

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-21663

(P2019-21663A)

(43) 公開日 平成31年2月7日(2019.2.7)

(51) Int.Cl.

H01L	23/12	(2006.01)
H05K	3/46	(2006.01)
H05K	1/02	(2006.01)
H01P	5/08	(2006.01)
H01P	5/02	(2006.01)

F 1

H01L	23/12
H05K	3/46
H05K	1/02
H01P	5/08
H01P	5/02

テーマコード(参考)

E	5 E 3 1 6
N	5 E 3 3 8
Z	
N	
Q	

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願2017-135647 (P2017-135647)

(22) 出願日

平成29年7月11日 (2017.7.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100107766

弁理士 伊東 忠重

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 石橋 大二郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】電子デバイス、及び、電子デバイスの製造方法

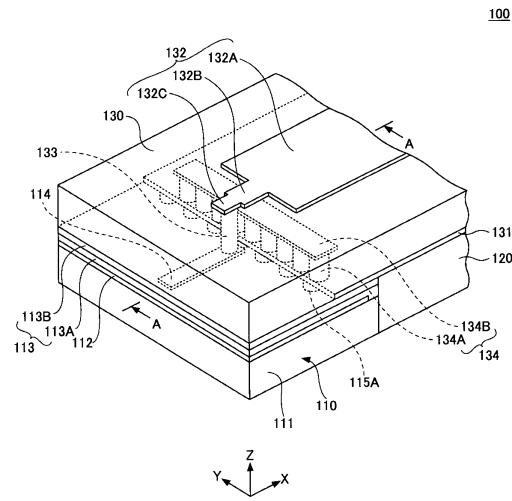
(57) 【要約】

【課題】動作特性の良好な電子デバイスを提供する。

【解決手段】電子デバイスは、所定の特性インピーダンスの第1伝送路を第1接地層と構築する第1配線とを有する半導体チップと、半導体チップに重ねて配置される絶縁層と、半導体チップと絶縁層との間に設けられる第2接地層と、絶縁層に重ねて配置される第2配線であつて、第1線幅を有し、所定の特性インピーダンスの第2伝送路を第2接地層と構築する第1部分と、第1線幅よりも細い第2線幅を有する第2部分とを有する第2配線と、第1配線と第2部分とを接続するビアと、平面視で第2部分と重なる位置において絶縁層の内部に設けられ、第2部分よりも広い幅を有し、ビアに沿って第2部分の手前まで延在する接地導体とを含み、ビアは、所定の特性インピーダンスの第3伝送路を接地導体と構築し、第2配線の第2部分は、所定の特性インピーダンスの第4伝送路を接地導体と構築する。

【選択図】図1

実施の形態の電子デバイス100を示す斜視図



【特許請求の範囲】**【請求項 1】**

半導体装置と、前記半導体装置の第1面側に設けられる第1接地層と、所定の特性インピーダンスを有する第1伝送路を前記第1接地層と構築する第1配線とを有する半導体チップと、

前記半導体チップに重ねて配置される絶縁層と、

前記半導体チップと前記絶縁層との間、又は、前記絶縁層の内部に設けられる第2接地層と、

前記絶縁層に重ねて配置される第2配線であって、平面視で前記第2接地層と重なる部分に配置され、第1線幅を有し、前記第1伝送路と等しい所定の特性インピーダンスを有する第2伝送路を前記第2接地層と構築する第1部分と、平面視で前記第2接地層の端部側に配置され、前記第1線幅よりも細い第2線幅を有する第2部分とを有する第2配線と、

前記第1配線と前記第2配線の前記第2部分とを接続するピアと、

平面視で前記第2配線の前記第2部分と重なる位置において前記絶縁層の内部に設けられ、前記第2部分の線幅方向において前記第2部分よりも広い幅を有し、前記ピアに沿つて前記第2接地層から前記第2部分の手前まで延在する接地導体と

を含み、

前記ピアは、前記第1伝送路と等しい所定の特性インピーダンスを有する第3伝送路を前記接地導体と構築し、

前記第2配線の前記第2部分は、前記第1伝送路と等しい所定の特性インピーダンスを有する第4伝送路を前記接地導体と構築する、電子デバイス。

【請求項 2】

前記接地導体は、

一端が前記第2接地層に接続され、前記線幅方向に配置される、複数の柱状部と、前記線幅方向に延在し、前記複数の柱状部の他端を接続する接続導体とを有する、請求項1記載の電子デバイス。

【請求項 3】

前記第2接地層は、前記第1接地層に接続される、請求項1又は2記載の電子デバイス。

【請求項 4】

前記半導体チップは、

前記半導体装置の第1面に設けられるチップ絶縁層と、

前記第1配線を覆う保護絶縁層と

をさらに有し、

前記第1接地層は、前記半導体装置と前記チップ絶縁層との間に設けられ、

前記第1配線は、前記チップ絶縁層に重ねて配置される、請求項1乃至3のいずれか一項記載の電子デバイス。

【請求項 5】

半導体装置と、前記半導体装置の第1面側に設けられる第1接地層と、所定の特性インピーダンスを有する第1伝送路を前記第1接地層と構築する第1配線とを有する半導体チップに、平面視で前記第1配線と重ならないように第2接地層を積層する工程と、

前記半導体チップ及び前記第2接地層に重ねて第1絶縁層を形成する工程と、

一端が前記第2接地層の端部に接続され、前記第1絶縁層を厚さ方向に貫通し、前記第1配線よりも広い幅を有する接地導体を形成する工程と、

前記第1絶縁層に重ねて第2絶縁層を形成する工程と、

一端が前記第1配線に接続され、前記第1絶縁層及び前記第2絶縁層を厚さ方向に貫通するとともに前記接地導体に沿つて延在し、他端が前記第2絶縁層から表出するピアを形成する工程と、

前記第2絶縁層に重ねて第2配線を形成する工程であって、平面視で前記第2接地層と

10

20

30

40

50

重なる部分に配置され、第1線幅を有し、前記第1伝送路と等しい所定の特性インピーダンスを有する第2伝送路を前記第2接地層と構築する第1部分と、平面視で前記第2接地層の前記端部側において前記接地導体と重なる位置に配置され、前記第1線幅及び前記接地導体の幅よりも細い第2線幅を有し、前記ビアに接続される第2部分とを有する第2配線を形成する工程と

を含み、

前記ビアは、前記第1伝送路と等しい所定の特性インピーダンスを有する第3伝送路を前記接地導体と構築し、

前記第2配線の前記第2部分は、前記第1伝送路と等しい所定の特性インピーダンスを有する第4伝送路を前記接地導体と構築する、電子デバイスの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイス、及び、電子デバイスの製造方法に関する。

【背景技術】

【0002】

従来より、次のように作製される高周波デバイス実装用基板がある。基板を下部絶縁層上に上部絶縁層をグランド層を介して積層して形成する。グランド層には、透孔を開口して、その内径を小径に形成し、その透孔に遊撃した導体線路部分の特性インピーダンスを低下させる。下部絶縁層は、厚く形成して、下部絶縁層に上下に貫通させて備えた導体線路部分の特性インピーダンスを上昇させる。そして、導体線路の特性インピーダンスを所定値にマッチングさせる。上部絶縁層の上には、信号線路が設けられている。信号線路は、導体線路に接続されるとともに、グランド層とマイクロストリップラインを構築している（例えば、特許文献1参照）。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平08-078797号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

ところで、従来の高周波デバイス実装用基板では、導体線路と信号線路の接続部分では、特性インピーダンスの調整は行われていない。特に、周波数が100GHz～数100GHzあるいはそれ以上のように高い場合には、接続部分における特性インピーダンスを調整することの重要性は高い。特性インピーダンスが所望の値に設定されていない場合には、電子デバイスの動作特性が低下する。

【0005】

そこで、動作特性の良好な電子デバイス、及び、電子デバイスの製造方法を提供することを目的とする。

【課題を解決するための手段】

40

【0006】

本発明の実施の形態の電子デバイスは、半導体装置と、前記半導体装置の第1面側に設けられる第1接地層と、所定の特性インピーダンスを有する第1伝送路を前記第1接地層と構築する第1配線とを有する半導体チップと、前記半導体チップに重ねて配置される絶縁層と、前記半導体チップと前記絶縁層との間、又は、前記絶縁層の内部に設けられる第2接地層と、前記絶縁層に重ねて配置される第2配線であって、平面視で前記第2接地層と重なる部分に配置され、第1線幅を有し、前記所定の特性インピーダンスを有する第2伝送路を前記第2接地層と構築する第1部分と、平面視で前記第2接地層の端部側に配置され、前記第1線幅よりも細い第2線幅を有する第2部分とを有する第2配線と、前記第1配線と前記第2配線の前記第2部分とを接続するビアと、平面視で前記第2配線の前記

50

第2部分と重なる位置において前記絶縁層の内部に設けられ、前記第2部分の線幅方向において前記第2部分よりも広い幅を有し、前記ビアに沿って前記第2接地層から前記第2部分の手前まで延在する接地導体とを含み、前記ビアは、前記所定の特性インピーダンスを有する第3伝送路を前記接地導体と構築し、前記第2配線の前記第2部分は、前記所定の特性インピーダンスを有する第4伝送路を前記接地導体と構築する。

【発明の効果】

【0007】

動作特性の良好な電子デバイス、及び、電子デバイスの製造方法を提供することができる。

【図面の簡単な説明】

【0008】

【図1】実施の形態の電子デバイス100を示す斜視図である。

【図2】図1におけるA-A矢視断面を示す図である。

【図3】電子デバイス100を示す平面図である。

【図4】図3におけるB-B矢視断面を示す図である。

【図5】図3におけるC-C矢視断面を示す図である。

【図6】電磁界解析結果を示す図である。

【図7】電子デバイス100の製造工程を示す図である。

【図8】電子デバイス100の製造工程を示す図である。

【図9】電子デバイス100の電界分布を説明する図である。

10

20

30

40

50

【発明を実施するための形態】

【0009】

以下、本発明の電子デバイス、及び、電子デバイスの製造方法を適用した実施の形態について説明する。

【0010】

<実施の形態>

図1は、実施の形態の電子デバイス100を示す斜視図である。図2は、図1におけるA-A矢視断面を示す図である。図3は、電子デバイス100を示す平面図である。図4は、図3におけるB-B矢視断面を示す図である。図5は、図3におけるC-C矢視断面を示す図である。図1乃至図5ではXYZ座標系を定義して説明する。また、図3乃至図5に一例として示す各部の寸法を表す数値の単位は、 μm である。図4に示す断面は、図2に示す断面と同一であり、寸法を加えたものである。なお、以下では説明の便宜上、Z軸正方向側を上、Z軸負方向側を下と称すが、普遍的な上下の関係を表すものではない。

【0011】

電子デバイス100は、半導体チップ110、モールド樹脂120、絶縁層130、接地層131、配線層132、ビア133、及び接地導体134を含む。電子デバイス100は、ウエハに複数の半導体装置及び電子素子等を形成し、半導体製造技術で配線等を形成した後に個片化して半導体チップ及びチップ部品等を作製し、半導体チップ及びチップ部品等をモールド樹脂120でウエハ状に再構築してから再び個片化し、再配線を行ったものである。なお、電子デバイス100は、半導体チップ110に加えて、キャパシタ又はインダクタ等のチップ部品をさらに含んでもよい。

【0012】

電子デバイス100は、FOWLP(Fan Out Wafer Level Package)技術を利用したモジュールであり、バンプを用いることなく、半導体装置及び電子素子等の端子に直接的に配線等を接続することができる。

【0013】

半導体チップ110は、半導体装置111、接地層112、絶縁層113(113A、113B)、配線114、及びビア115を有する。半導体装置111は、一例として、シリコンウエハに形成された半導体装置であり、演算処理又は制御処理等を行う回路等を含む。半導体装置111のZ軸正方向側の面にある信号端子111A及びグランド端子1

11Bには、それぞれ、配線114及び接地層112が接続される。

【0014】

配線114は、接地層112の開口部112A内に設けられるはんだ114Aを介して信号端子111Aに接続される。開口部112Aは、平面視で円形の開口部である。また、接地層112は、直接的にグランド端子111Bに接続される。なお、はんだを用いて接地層112をグランド端子111Bに接続してもよい。

【0015】

接地層112は、半導体装置111のZ軸正方向側の面に配置されており、半導体製造技術で形成されたものである。接地層112は、第1接地層の一例である。接地層112の幅は、平面視で配線114の幅よりも広く、一例として、半導体チップ110のY軸方向の幅全体にわたって設けられている。10

【0016】

接地層112は、半導体装置111のグランド端子111Bに接続され、接地電位に保持される。接地層112のX軸正方向側の端部には、ビア115が接続されている。接地層112の上面及び側面は、絶縁層113のうちの絶縁層113Aによって覆われている。10

【0017】

絶縁層113は、絶縁層113A及び113Bを有する。絶縁層113は、チップ絶縁層の一例である。絶縁層113Aは、接地層112を覆っており、絶縁層113Aの上には配線114が配置されている。絶縁層113Aは、例えば、ポリイミド樹脂であり、接地層112と配線114を絶縁する層間絶縁膜である。20

【0018】

絶縁層113Bは、配線114の上に配置されており、配線114を覆っている。絶縁層113Bは、例えば、ソルダーレジストである。絶縁層113Bの上面は、半導体チップ110の上面である。絶縁層113Bは、保護絶縁層の一例である。

【0019】

配線114は、絶縁層113Aの上面に形成されている。配線114は、第1配線の一例である。配線114は、一端が半導体装置111の信号端子111Aに接続され、他端がビア133に接続されている。配線114は、半導体製造技術で形成されたものである。配線114は、接地層112とマイクロストリップラインを構築する。配線114の特性インピーダンスは、一例として50Ωに設定される。配線114及び接地層112が構築するマイクロストリップラインは、第1伝送路の一例である。30

【0020】

ビア115は、ビア115A、接続部115B、及びビア115Cを有する。ビア115は、半導体製造技術で形成されたものである。ビア115は、下端が接地層112のX軸正方向側の端部に接続され、上端が接地層131のX軸負方向側の端部に接続される。ビア115は、接地層131を接地電位に保持するために設けられている。

【0021】

モールド樹脂120は、半導体チップ110の側面を覆っている。モールド樹脂120は、半導体チップ及びチップ部品等をウエハ状に再構築するために用いられる。モールド樹脂120は、例えば、エポキシ系の樹脂に球状のシリカフィラー（充填材）を混合させたものである。なお、モールド樹脂120は、半導体チップ110の側面に加えて、上面を覆っていてもよい。40

【0022】

絶縁層130は、半導体チップ110及び接地層131の全体の上に配置される。絶縁層130は、再配線層としての接地層131と配線層132を絶縁する層間絶縁膜である。また、絶縁層130には、ビア133と接地導体134が設けられる。絶縁層130は、誘電正接が低い絶縁材料製であればよく、例えば、ポリフェニレンエーテル系材料のフィルム状非感光性材料を用いることができる。

【0023】

10

20

30

40

50

接地層 131 は、半導体チップ 110 の X 軸正方向側の端部と、モールド樹脂 120 の上に配置される。接地層 131 の幅は、平面視で配線層 132 の幅よりも広く、一例として、半導体チップ 110 及びモールド樹脂 120 の Y 軸方向の幅全体にわたって設けられている。また、接地層 131 の X 軸負方向側の端部は、ビア 133 に近接しており、X 軸負方向側の端部の上面には、接地導体 134 が設けられる。接地層 131 は、第 2 接地層の一例である。

【0024】

配線層 132 は、絶縁層 130 の上に設けられている。配線層 132 は、主導体部 132A と、配線部 132B 及び 132C とを有する。配線層 132 は、第 2 配線の一例であり、主導体部 132A は第 1 部分の一例であり、配線部 132B 及び 132C は第 2 部分の一例である。10

【0025】

主導体部 132A は、絶縁層 130 の X 軸正方向側の端から平面視で接地導体 134 の手前まで延在しており、絶縁層 130 を挟んで接地層 131 と重ねられている。また、主導体部 132A の幅は、配線部 132B 及び 132C の幅よりも広く、第 1 線幅の一例である。主導体部 132A は、接地層 131 とマイクロストリップラインを構築する。主導体部 132A と接地層 131 が構築するマイクロストリップラインは、第 2 伝送路の一例である。主導体部 132A の特性インピーダンスは、一例として 50 Ω に設定されている。20

【0026】

配線部 132B 及び 132C は、主導体部 132A の X 軸負方向側の端部から突出するように設けられている。配線部 132B 及び 132C の幅は、主導体部 132A の幅よりも狭く、第 2 線幅の一例である。また、配線部 132B 及び 132C の Y 軸方向における位置は、配線 114 の位置と合わせられている。20

【0027】

配線部 132B は、接地導体 134 の接続部 134B の上に位置している。配線部 132B は、接続部 134B (接地導体 134) とマイクロストリップラインを構築する。配線部 132B は、主導体部 132A と接続部 134B (接地導体 134) との結合を弱めるために、X 軸方向において、接続部 134B の X 軸正方向側の端よりも X 軸正方向側に少し延出している。30

【0028】

また、配線部 132B は、X 軸方向において、接続部 134B の X 軸負方向側の端よりも X 軸負方向側に少し延出している。接続部 134B (接地導体 134) とマイクロストリップラインを構築できる範囲で X 軸負方向側に伸ばすためである。また、配線部 132B の先端には、配線部 132C が設けられている。30

【0029】

配線部 132C は、ビア 133 の上端に接続されている。配線部 132C の幅は、インピーダンスを調整するために、配線部 132B の幅よりも少しだけ狭くされている。配線部 132C は、配線部 132B のうちの接続部 134B の X 軸負方向側の端よりも X 軸負方向側に少し延出している部分と同様に、接続部 134B (接地導体 134) とマイクロストリップラインを構築する。40

【0030】

配線部 132B 及び 132C と、接続部 134B (接地導体 134) とが構築するマイクロストリップラインの特性インピーダンスは、一例として 50 Ω に設定されている。配線部 132B 及び 132C と、接続部 134B (接地導体 134) とが構築するマイクロストリップラインは、第 4 伝送路の一例である。40

【0031】

ビア 133 は、絶縁層 113B と絶縁層 130 とを厚さ方向 (Z 軸方向) に貫通し、配線 114 の X 軸正方向側の端部と、配線部 132C との間を接続している。ビア 133 は、ビア 115A 、接続部 115B 、及び接地導体 134 とマイクロストリップラインを構

築する。ビア 133 の接地導体 134 よりも高い部分も、接地導体 134 とマイクロストリップラインを構築する。ビア 133 と、ビア 115A、接続部 115B、及び接地導体 134 とが構築するマイクロストリップラインは、第 3 伝送路の一例である。

【0032】

接地導体 134 は、接地層 131 の X 軸負方向側の端部において、Z 軸正方向に起立するように、垂直に設けられている。接地導体 134 は、複数の円柱部 134A と、複数の円柱部 134B の上端を接続する接続部 134B とを有する。

【0033】

複数の円柱部 134A は、Y 軸方向に配列されている。ここでは一例として、9 本の円柱部 134A を示す。複数の円柱部 134A の下端は接地層 131 に接続され、上端は接続部 134B によって接続されている。接続部 134B は、数の円柱部 134A の上端を接続し、Y 軸方向に延在している。円柱部 134A は、柱状部の一例である。

10

【0034】

このような接地導体 134 は、上述したように、ビア 133 及び配線部 132B 及び 132C と XZ 面視で逆 L 字型のマイクロストリップラインを構築するために設けられている。9 本の円柱部 134A と接続部 134B とによって構築される接地導体 134 は、接地電位に保持される 1 つの壁部があることと等価である。

20

【0035】

ここで、図 3 乃至図 5 を用いて、各部の寸法について説明する。図 3 に示すように、接地層 112 と配線 114 との Z 軸方向のギャップは 10 μm である。絶縁層 130 の厚さは 50 μm である。すなわち、接地層 131 と配線層 132 との Z 軸方向のギャップは 50 μm である。

20

【0036】

ビア 133 と、接地導体 134 の円柱部 134A との X 軸方向のギャップは 10 μm である。ビア 133 の直径は 15 μm である。円柱部 134A の直径は 20 μm である。接続部 134B の X 軸方向の幅は 30 μm である。配線層 132 と接続部 134B との Z 軸方向のギャップは 10 μm である。

30

【0037】

また、図 4 に示すように、配線 114 の Y 軸方向の幅は 23 μm である。配線部 132C の Y 軸方向の幅は 20 μm であり、X 軸方向の長さは 20 μm である。配線部 132B の Y 軸方向の幅は 25 μm であり、X 軸方向の長さは 37.5 μm である。主導体部 132A の Y 軸方向の幅は 140 μm である。配線 114 と、主導体部 132A、配線部 132B 及び 132C は、すべて Y 軸方向の幅の中心が一致（中心軸が一致）するように配置されている。また、図 5 に示すように、隣り合う円柱部 134A 同士のピッチ（中心軸同士の間隔）は 25 μm である。

30

【0038】

なお、接地層 112、配線 114、接地層 131、及び配線層 132 の厚さは、0.5 μm である。

【0039】

電子デバイス 100 では、配線層 132 の主導体部 132A における電力伝達損失を低減するために、主導体部 132A の線幅を広く取っている。マイクロストリップラインで所定のインピーダンス（ここでは、50 ）を一定に保つためには、配線の線幅が広くなれば、接地層及び配線のギャップを大きく取る必要がある。

40

【0040】

ところで、例えばソルダーレジストのような一般的な液状感光性材料は、誘電正接が 300 GHz で 0.087 と大きいため、絶縁層 130 (50 μm) のように厚くすることは困難である。このため、絶縁層 130 に液状感光性材料を用いると、主導体部 132A の線幅を広く取ることは困難になる。

【0041】

そこで、電子デバイス 100 では、絶縁層 130 に、誘電正接が小さく、厚膜化が容易

50

なフィルム状非感光性材料を用いることによって、絶縁層 130 を厚くしている。そして、絶縁層 130 を厚くした分だけ、主導体部 132A の線幅を広く取り、主導体部 132A における電力伝達損失を大幅に低減できる構成にしている。

【0042】

なお、ここでは、配線 114 と接地層 112、ピア 133 と接地導体 134 及びピア 115、配線層 132 と接地層 131 がそれぞれマイクロストリップラインを構築する形態について説明する。これら 4 つのマイクロストリップラインの特性インピーダンスは、すべて 50 Ω であるが、50 Ω は設計値あるいは理論値であり、各マイクロストリップラインの実際の特性インピーダンスは、50 Ω から少しずれている場合が有り得る。このようなずれば、製造誤差又はその他の要因等によって生じうる。しかしながら、このような場合も含めて、4 つのマイクロストリップラインの特性インピーダンスは、50 Ω で等しいものとして取り扱う。特性インピーダンスが互いに等しいとは、このような意味である。

【0043】

図 6 は、電磁界解析結果を示す図である。図 6 (A) には S11 パラメータの周波数特性を示し、図 6 (B) には S21 パラメータの周波数特性を示す。なお、S11 パラメータと S21 パラメータは、配線 114 及び接地層 112 をポート 1、配線層 132 及び接地層 131 をポート 2 として、電磁界解析で求めた。

【0044】

実施の形態の電子デバイス 100 の絶縁層 130 の厚さは 50 μm であり、配線層 132 の主導体部 132A の線幅は 140 μm であり、絶縁層 130 には誘電正接が 300 GHz で 0.025 のフィルム状非感光性材料を用いた。

【0045】

また、比較用に、2 つの電子デバイス（以下、比較用デバイス 1、2 と称す）を用意した。比較用デバイス 1 では、絶縁層 130 の厚さを 10 μm、主導体部 132A の線幅を 25 μm とし、絶縁層 130 には誘電正接が 0.025 (300 GHz) のフィルム状非感光性材料を用いた。比較用デバイス 2 では、絶縁層 130 の厚さを 10 μm、主導体部 132A の線幅を 23 μm とし、絶縁層 130 には誘電正接が 0.087 (300 GHz) の液状感光性材料を用いた。比較用デバイス 1、2 は、接地導体 134 を含まない。

【0046】

図 6 (A) に示すように、S11 パラメータの周波数特性（反射特性）は、電子デバイス 100 では -25 dB 以下で最も低く、比較用デバイス 1 は、周波数が約 240 GHz 以上で -25 dB 以上であり、周波数の上昇とともに増大する傾向があった。また、比較用デバイス 2 では、約 -18 dB ~ 約 -15 dB であり、周波数の上昇とともに増大する傾向があった。

【0047】

図 6 (B) に示すように、S21 パラメータの周波数特性（通過特性）は、電子デバイス 100 では約 -0.5 dB であった。比較用デバイス 1 も約 -0.5 dB であり、電子デバイス 100 と同等の値であった。また、比較用デバイス 2 では、約 -0.6 dB ~ 約 -0.75 dB であり、周波数の上昇とともに低下する傾向があった。

【0048】

以上のように、電子デバイス 100 は、比較用デバイス 1、2 に比べて反射特性及び通過特性ともに良好であった。

【0049】

次に、電子デバイス 100 の製造方法について説明する。図 7 及び図 8 は、電子デバイス 100 の製造工程を示す図である。

【0050】

まず、図 7 (A) に示すように、モールド樹脂 120 が接合された半導体チップ 110 を用意する。図 7 (A) に示す半導体チップ 110 及びモールド樹脂 120 は、複数の半導体チップ 110 を配列し、モールド樹脂 120 でウエハ状に再構築してから再び個片化したものである。モールド樹脂 120 は、複数の半導体チップ 110 を配列した状態で、

ウェハの形状に対応した金型を用いて加熱処理を行い、個片化することによって作製される。なお、絶縁層 113B には、後にビア 133 の下端を形成するための開口部 133B 1 が設けられている。

【0051】

次に、図 7 (B) に示すように、モールド樹脂 120 の上に接地層 131 を形成する。接地層 131 の X 軸負方向側の端部の下面は、ビア 115A に接合される。接地層 131 は、例えば、スパッタ法で電解めっき用のシード層をモールド樹脂 120 の上に形成し、シード層の上にレジストを形成し、レジストを接地層 131 の形状にパターニングした後に電解めっき処理を行い、レジストと不要なシード層を除去することによって作製される。

10

【0052】

次に、図 7 (C) に示すように、絶縁層 130A を形成する。絶縁層 130A は、図 1 乃至図 5 に示す絶縁層 130 のうち、接地導体 134 の円柱部 134A の上端までの高さの部分であり、第 1 絶縁層の一例である。絶縁層 130A は、ポリフェニレンエーテル系材料のフィルム状非感光性材料をラミネート加工で貼り付け、熱処理して硬化させることによって作製される。このとき、開口部 113B 1 は絶縁層 130A で充填される。

【0053】

次に、絶縁層 130A に、ビア 133A と複数の円柱部 134A を形成するためのビアホールを形成し、スパッタ法で電解めっき用のシード層をビアホールの内部及び絶縁層 130A の上面に形成し、絶縁層 130A の上面のシード層にレジストを形成し、電解めっき処理を行うことによってビア 133A、円柱部 134A、及び接続部 134B を作製する。なお、ビアホールは、例えば、エキシマレーザを用いて絶縁層 130A を加工することによって作製すればよい。

20

【0054】

そして、絶縁層 130A の上面のレジストとシード層を除去することにより、図 7 (D) に示す構造体を得る。円柱部 134A は、所謂ビアの製造方法によって作製される。ここで、ビア 133A は、図 1 乃至図 5 に示すビア 133 のうち、円柱部 134A と同一の高さの部分である。

【0055】

次に、図 7 (D) に示す構造体の絶縁層 130、ビア 133A、接続部 134B の上に、図 8 (A) に示すように、絶縁層 130B を形成する。絶縁層 130B は、絶縁層 130A と同一の材料で、同様の方法によって形成すればよい。絶縁層 130B と絶縁層 130A との合計の厚さは、図 1 乃至図 5 に示す絶縁層 130 の厚さに等しい。絶縁層 130B は、第 2 絶縁層の一例である。

30

【0056】

次に、絶縁層 130B に、ビア 133A の上端まで到達するビアホールを形成し、ビアホールの内部及び絶縁層 130B の表面にスパッタ法で電解めっき用のシード層を形成し、シード層の上にレジストを形成し、レジストを配線層 132 の形状にパターニングした後に電解めっき処理を行い、レジストと不要なシード層を除去することにより、図 8 (B) に示すように、ビア 133B 及び配線層 132 (主導体部 132A と配線部 132B 及び 132C) を作製する。なお、ビアホールは、例えば、エキシマレーザを用いて絶縁層 130B を加工することによって作製すればよい。

40

【0057】

以上の工程を行うことにより、電子デバイス 100 が完成する。

【0058】

図 9 は、電子デバイス 100 の電界分布を説明する図である。図 9 には、電界の方向を矢印で示す。電子デバイス 100 では、配線 114 は、接地層 112 とマイクロストリップラインを構築し、配線層 132 の主導体部 132A は、接地層 131 とマイクロストリップラインを構築する。

【0059】

50

主導体部 132A の線幅を広くして電力伝達損失を低減するために、絶縁層 130 として、誘電正接が小さく、厚膜化が容易なフィルム状非感光性材料を用いて絶縁層 130 の厚さを稼いでいる。

【0060】

このように絶縁層 130 を厚くすると、ビア 133 が Z 軸方向に長くなるので、ビア 133 の特性インピーダンスを改善することが望ましい。また、配線層 132 の配線部 132B 及び 132C の特性インピーダンスを改善することも望ましい。

【0061】

そこで、電子デバイス 100 では、ビア 133 に沿って Z 軸方向に延在する接地導体 134 を設けている。

10

【0062】

ビア 133 は、接地導体 134 及びビア 115 とマイクロストリップラインを構築する。ビア 133 の接地導体 134 よりも高い部分も、斜めの矢印で示すような電界の分布が得られ、接地導体 134 とマイクロストリップラインを構築する。また、ビア 133 の下側の部分も、ビア 115A 及び接続部 115B とマイクロストリップラインを構築する。

【0063】

また、配線層 132 の配線部 132B 及び 132C は、接続部 134B (接地導体 134) とマイクロストリップラインを構築する。配線部 132C と接続部 134B との間にも、斜めの矢印で示すような電界の分布が得られ、マイクロストリップラインが構築される。

20

【0064】

また、接続部 115B 及びビア 115C と配線 114 との間にも、斜めの矢印で示すような電界の分布が得られ、マイクロストリップラインが構築される。

【0065】

このように、電子デバイス 100 では、半導体チップ 110 に、マイクロストリップラインを構築する、配線 114 、ビア 133 、配線層 132 、接地層 112 、ビア 115 、接地導体 134 、及び接地層 131 が接続されている。

【0066】

従って、実施の形態によれば、動作特性の良好な電子デバイス 100 、及び、電子デバイス 100 の製造方法を提供することができる。

30

【0067】

また、配線層 132 の主導体部 132A の線幅は、数 100 GHz 以上の高周波電力が流れる場合においても、電力伝達損失を十分に低減できるほどに拡げられている。

【0068】

また、電子デバイス 100 は、絶縁層 130 として、誘電正接の小さいフィルム状非感光性材料を用いているため、絶縁層 130 を厚くすることができる。この結果、配線層 132 の主導体部 132A の線幅を広くすることができ、電力伝達損失を十分に低減することができる。

【0069】

周波数が 300 GHz を超えるような超高周波信号は、波長が 1 mm 以下であり、絶縁層 130 等の誘電率を考慮すると、1 / 20 波長の長さは 30 μm 以下になる。このため、ビア 133 の長さ (50 μm 強) は無視することができず、インピーダンス整合を取ることが必要になる。

40

【0070】

このような観点から、電子デバイス 100 は、ビア 133 に沿って延在する接地導体 134 を設け、ビア 133 がマイクロストリップラインを構築する構成にしている。このような構成により、低損失な接続構造を実現している。

【0071】

なお、以上では、半導体チップ 110 が、半導体装置 111 の上に設けられる接地層 112 、絶縁層 113 (113A 、 113B) 、及び配線 114 を含む形態について説明し

50

たが、半導体チップ 110 は、さらに他の配線又は接地層を含んでもよい。

【0072】

また、モールド樹脂 120、絶縁層 130、接地層 131、及び配線層 132 は、X 軸正方向にさらに延在していてもよく、また、接地層 131 及び配線層 132 は、図示しない他の電子装置又は電子部品等に接続されていてもよい。

【0073】

また、以上では、ビア 115 が接地層 131 と接地層 112 とを接続する形態について説明したが、配線 114 の X 軸正方向側の端部における特性インピーダンスに影響が生じないような場合には、ビア 115 を設けることなく、別な手段で接地層 131 をグランド電位に保持するようにしてもよい。

10

【0074】

また、以上では、接地導体 134 が、複数の円柱部 134A と、接続部 134B とを有する形態について説明したが、接地導体 134 は、ビア 133 及び配線部 132B 及び 132C とマイクロストリップラインを構築できるのであれば、どのような形状であってもよい。

20

【0075】

また、以上では、接地層 131 が半導体チップ 110 と絶縁層 130 との間に設けられる形態について説明したが、接地層 131 は、絶縁層 130 の内部に設けられていてもよい。絶縁層 130 の内部とは、厚さ方向において、絶縁層 130 に上下を挟まれる位置である。

20

【0076】

以上、本発明の例示的な実施の形態の電子デバイス、及び、電子デバイスの製造方法について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

30

【0077】

以上の実施の形態に関し、さらに以下の付記を開示する。

(付記 1)

半導体装置と、前記半導体装置の第 1 面側に設けられる第 1 接地層と、所定の特性インピーダンスを有する第 1 伝送路を前記第 1 接地層と構築する第 1 配線とを有する半導体チップと、

30

前記半導体チップに重ねて配置される絶縁層と、

前記半導体チップと前記絶縁層との間、又は、前記絶縁層の内部に設けられる第 2 接地層と、

前記絶縁層に重ねて配置される第 2 配線であって、平面視で前記第 2 接地層と重なる部分に配置され、第 1 線幅を有し、前記第 1 伝送路と等しい所定の特性インピーダンスを有する第 2 伝送路を前記第 2 接地層と構築する第 1 部分と、平面視で前記第 2 接地層の端部側に配置され、前記第 1 線幅よりも細い第 2 線幅を有する第 2 部分とを有する第 2 配線と、

30

前記第 1 配線と前記第 2 配線の前記第 2 部分とを接続するビアと、

平面視で前記第 2 配線の前記第 2 部分と重なる位置において前記絶縁層の内部に設けられ、前記第 2 部分の線幅方向において前記第 2 部分よりも広い幅を有し、前記ビアに沿って前記第 2 接地層から前記第 2 部分の手前まで延在する接地導体と

40

を含み、

前記ビアは、前記第 1 伝送路と等しい所定の特性インピーダンスを有する第 3 伝送路を前記接地導体と構築し、

前記第 2 配線の前記第 2 部分は、前記第 1 伝送路と等しい所定の特性インピーダンスを有する第 4 伝送路を前記接地導体と構築する、電子デバイス。

(付記 2)

前記接地導体は、

一端が前記第 2 接地層に接続され、前記線幅方向に配置される、複数の柱状部と、

50

前記線幅方向に延在し、前記複数の柱状部の他端を接続する接続導体と
を有する、付記1記載の電子デバイス。

(付記3)

前記第2接地層は、前記第1接地層に接続される、付記1又は2記載の電子デバイス。

(付記4)

前記半導体チップは、

前記半導体装置の第1面に設けられるチップ絶縁層と、

前記第1配線を覆う保護絶縁層と

をさらに有し、

前記第1接地層は、前記半導体装置と前記チップ絶縁層との間に設けられ、

10

前記第1配線は、前記チップ絶縁層に重ねて配置される、付記1乃至3のいずれか一項記載の電子デバイス。

(付記5)

前記第1伝送路、前記第2伝送路、前記第3伝送路、及び前記第4伝送路は、マイクロストリップラインである、付記1乃至4のいずれか一項記載の電子デバイス。

(付記6)

半導体装置と、前記半導体装置の第1面側に設けられる第1接地層と、所定の特性インピーダンスを有する第1伝送路を前記第1接地層と構築する第1配線とを有する半導体チップに、平面視で前記第1配線と重ならないように第2接地層を積層する工程と、

20

前記半導体チップ及び前記第2接地層に重ねて第1絶縁層を形成する工程と、

一端が前記第2接地層の端部に接続され、前記第1絶縁層を厚さ方向に貫通し、前記第1配線よりも広い幅を有する接地導体を形成する工程と、

前記第1絶縁層に重ねて第2絶縁層を形成する工程と、

一端が前記第1配線に接続され、前記第1絶縁層及び前記第2絶縁層を厚さ方向に貫通するとともに前記接地導体に沿って延在し、他端が前記第2絶縁層から表出するビアを形成する工程と、

前記第2絶縁層に重ねて第2配線を形成する工程であって、平面視で前記第2接地層と重なる部分に配置され、第1線幅を有し、前記第1伝送路と等しい所定の特性インピーダンスを有する第2伝送路を前記第2接地層と構築する第1部分と、平面視で前記第2接地層の前記端部側において前記接地導体と重なる位置に配置され、前記第1線幅及び前記接地導体の幅よりも細い第2線幅を有し、前記ビアに接続される第2部分とを有する第2配線を形成する工程と

30

を含み、

前記ビアは、前記第1伝送路と等しい所定の特性インピーダンスを有する第3伝送路を前記接地導体と構築し、

前記第2配線の前記第2部分は、前記第1伝送路と等しい所定の特性インピーダンスを有する第4伝送路を前記接地導体と構築する、電子デバイスの製造方法。

【符号の説明】

【0078】

100 電子デバイス

40

110 半導体チップ

111 半導体装置

111A 信号端子

111B グランド端子

112 接地層

113 (113A、113B) 絶縁層

114 配線

115 ビア

115A ビア

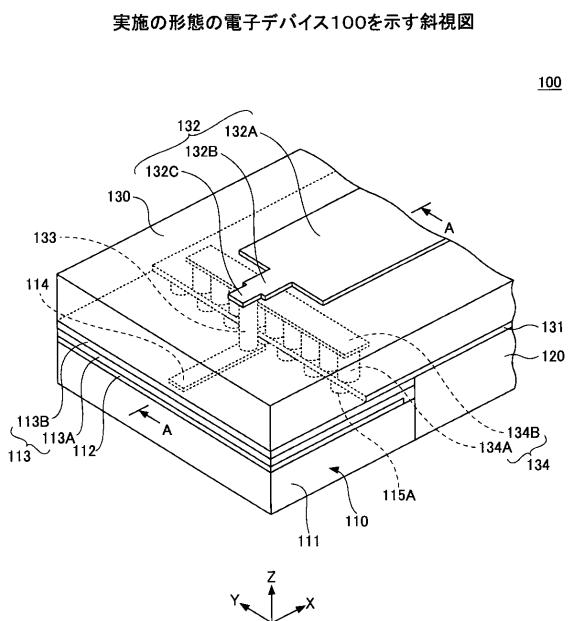
115B 接続部

50

1 1 5 C ビア
 1 2 0 モールド樹脂
 1 3 0 絶縁層
 1 3 1 接地層
 1 3 2 配線層
 1 3 2 A 主導体部
 1 3 2 B、1 3 2 C 配線部
 1 3 3 ビア
 1 3 4 接地導体
 1 3 4 A 円柱部
 1 3 4 B 接続部

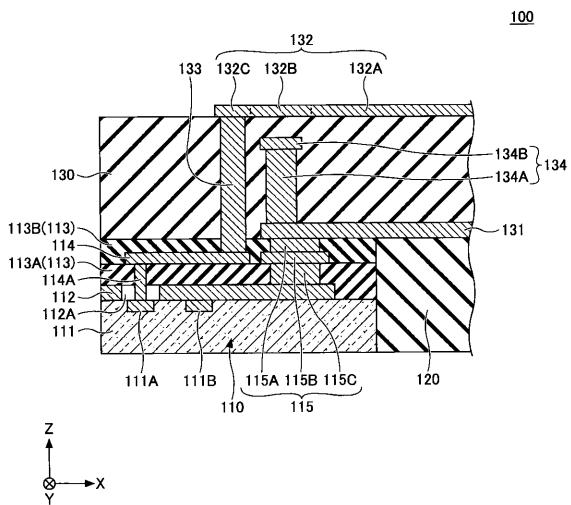
10

【図1】



【図2】

図1におけるA-A矢視断面を示す図



【図3】

〔 四 4 〕

電子デバイス100を示す平面図

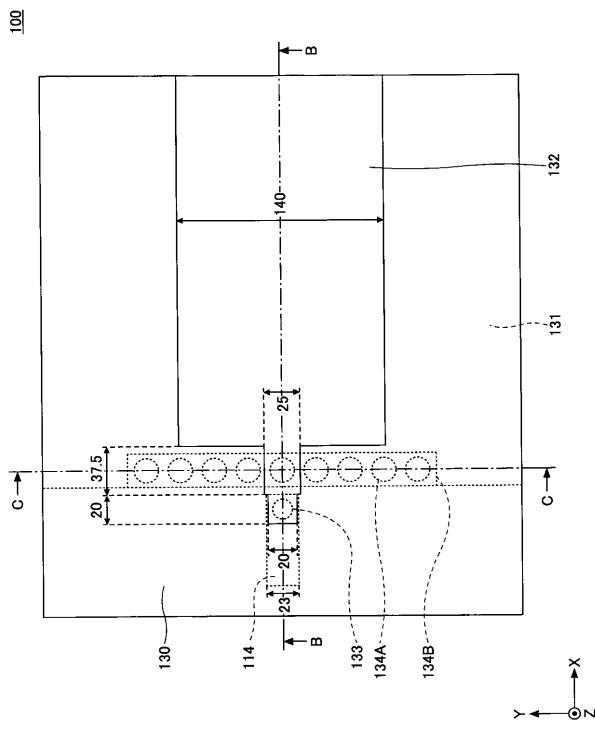
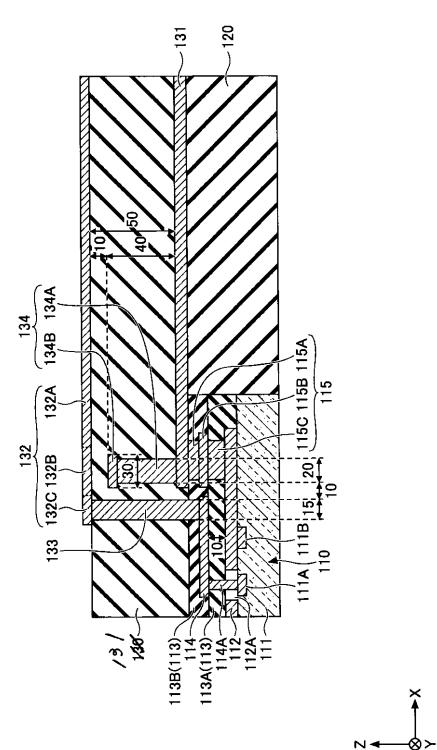


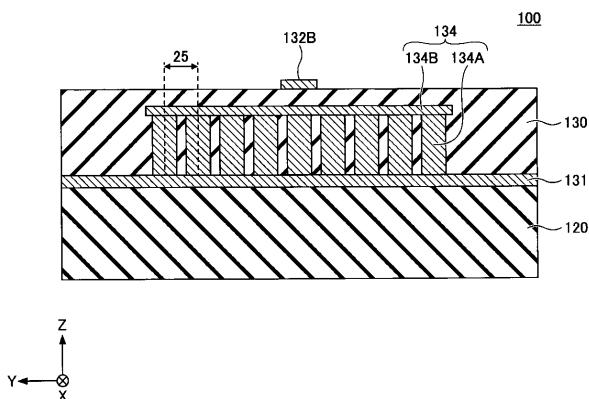
図3におけるB-B矢視断面を示す図



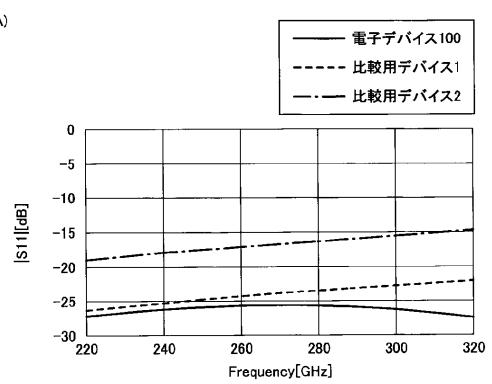
【 図 5 】

【 四 6 】

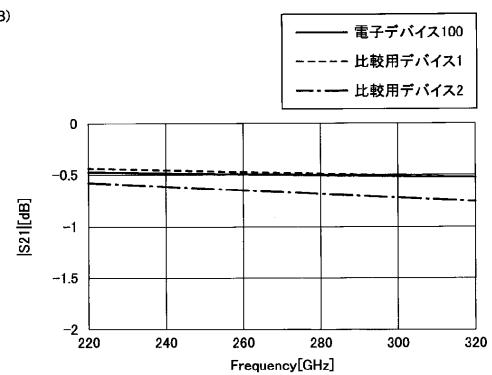
図3におけるC-C矢視断面を示す図



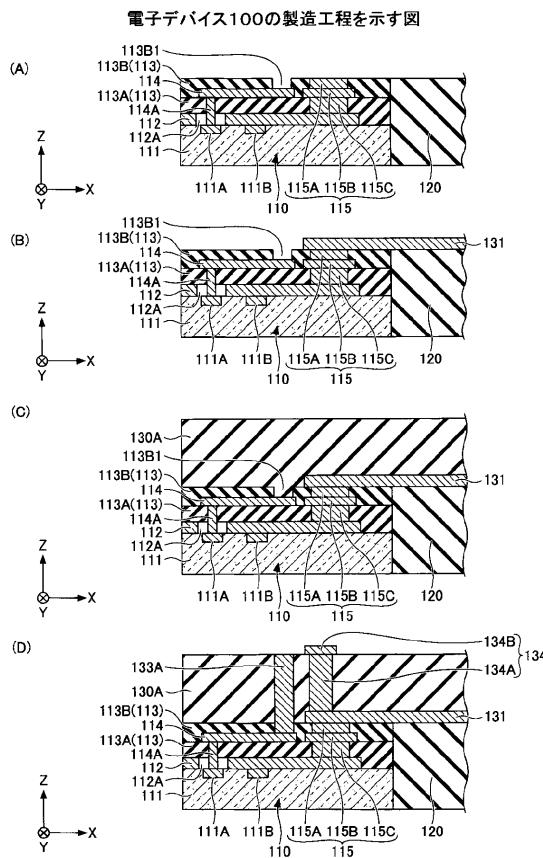
電磁界解析結果を示す図



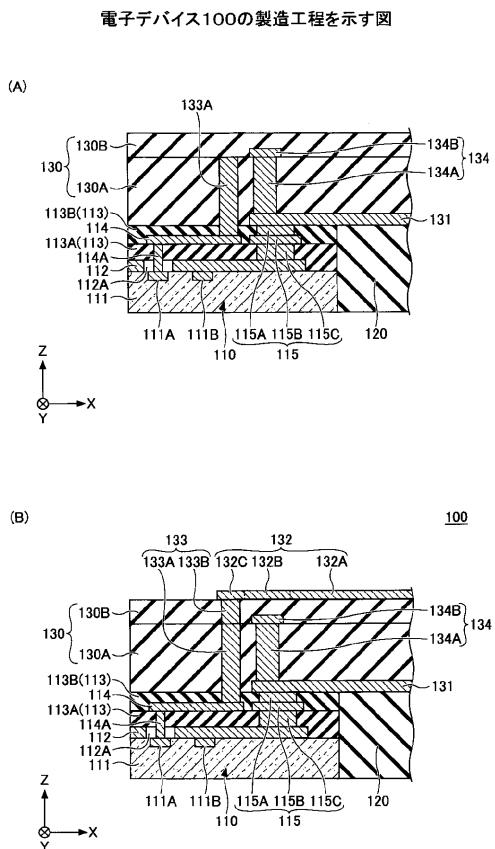
(B)



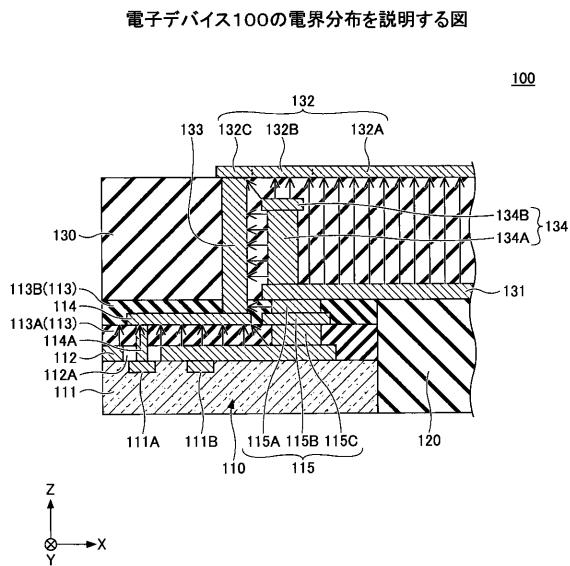
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
	H 0 1 P 5/08	L
	H 0 1 P 5/02	6 0 3 C
	H 0 1 P 5/02	6 0 3 F

F ターム(参考) 5E316 AA12 AA15 AA32 AA38 AA43 BB02 BB04 BB06 CC08 CC32
CC52 DD17 DD24 DD33 EE31 FF15 FF23 FF45 GG15 GG17
GG22 HH03 JJ12
5E338 AA03 AA16 CC01 CC06 CD12 CD23 EE13