

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5109026号
(P5109026)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.	F I		
HO4N 5/335 (2011.01)	HO4N	5/335	P
HO1L 27/146 (2006.01)	HO4N	5/335	E
HO4N 3/14 (2006.01)	HO1L	27/14	A
HO4N 9/07 (2006.01)	HO4N	3/15	
	HO4N	9/07	A

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2006-539879 (P2006-539879)	(73) 特許権者	510309204
(86) (22) 出願日	平成16年11月12日(2004.11.12)		ラウンド ロック リサーチ リミテッド
(65) 公表番号	特表2007-515869 (P2007-515869A)		ライアビリティー カンパニー
(43) 公表日	平成19年6月14日(2007.6.14)		アメリカ合衆国 10549 ニューヨー
(86) 国際出願番号	PCT/US2004/037729		ク州 マウント キスコ ピー. オー. ボ
(87) 国際公開番号	W02005/050977	(74) 代理人	100117787
(87) 国際公開日	平成17年6月2日(2005.6.2)		弁理士 勝沼 宏仁
審査請求日	平成18年6月28日(2006.6.28)	(72) 発明者	アレクサンドル、クリムスキー
審判番号	不服2010-17305 (P2010-17305/J1)		アメリカ合衆国カリフォルニア州、ラ、ク
審判請求日	平成22年8月2日(2010.8.2)		レセンタ、マウンテン、パイン、ドライブ
(31) 優先権主張番号	10/705, 843		、2960
(32) 優先日	平成15年11月13日(2003.11.13)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 センサ回路の列回路における画素信号のビニングおよび補間

(57) 【特許請求の範囲】

【請求項1】

イメージセンサの画素アレイ用の異なる解像度を支持するように形成され得るイメージセンサ読み出し回路であって、

複数のアナログ画素およびアナログリセットの信号値を受信する列ラインと、

前記列ラインに連結されたビニング回路とをそなえ、

前記ビニング回路は、

前記列ラインからの複数の画素から予め定められた第1の複数のアナログ画素信号値を第1の所定順序にしたがって各別に蓄積する並列に接続された第1の複数の電荷蓄積素子と、

蓄積された前記第1の複数のアナログ画素信号値を所定のサンプリング順序で組み合わせ、第1の出力ライン上に前記蓄積された第1の複数の平均したアナログ画素信号値を出力する第1組合せ回路と、

前記列ラインからの複数の画素から予め定められた第2の複数のアナログリセット信号値を第2の所定順序にしたがって各別に蓄積する並列に接続された第2の複数の電荷蓄積素子と、

前記所定のサンプリング順序にしたがって前記蓄積された前記第2の複数のアナログリセット信号値を組み合わせ、第2の出力ライン上に平均した第2の複数のアナログリセット信号値を出力する第2組合せ回路とをそなえ、

前記第1の複数の電荷蓄積素子のそれぞれは前記第1の複数のアナログ画素信号値の一

つを蓄積し、前記第2の複数の電荷蓄積素子のそれぞれは前記第2の複数のアナログリセット信号値の一つを蓄積し、かつ

前記第1および第2の複数の電荷蓄積素子のそれぞれは、スイッチを介して前記画素アレイ用の前記所定のサンプリング順序により前記異なる解像度を得るように制御可能である

イメージセンサ読出し回路。

【請求項2】

前記第1の組み合わせ回路は、複数の第1サンプルスイッチを有し、

前記第1の複数の電荷蓄積素子は、第1の複数の容量素子を有し、

前記複数の第1サンプルスイッチの各々が前記複数の第1容量素子のそれぞれに連結され、前記複数の第1容量素子が前記第1出力ラインにさらに連結される、請求項1に記載の読出し回路。

10

【請求項3】

前記第2の組み合わせ回路は、複数の第2サンプルスイッチを有し、

前記第2の複数の電荷蓄積素子は、複数の第2容量素子を有し、

前記複数の第2サンプルスイッチの各々が、前記複数の第2容量素子のそれぞれに連結され、前記複数の第2容量素子が、前記第2出力ラインにさらに連結される、請求項2に記載の読出し回路。

【請求項4】

前記複数の第1サンプルスイッチおよび第2サンプルスイッチと前記複数の第1容量素子および第2容量素子が、偶数個のサンプルスイッチと容量素子を含む、請求項3に記載の読出し回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してイメージセンサに関し、詳細には、イメージセンサ用の電荷 - ドメインアナログ読出し回路に関する。

【背景技術】

【0002】

イメージセンサは、マシン・ビジョン、ロボット工学、誘導および航行、自動車用途、および消費財をはじめ、多種多様な分野に応用されている。多くのスマートイメージセンサにおいては、オンチップ回路を統合してイメージセンサを制御すると共に、出力画像における信号および画像処理を実行することが望ましい。電荷結合素子(CCD)は、イメージセンサに使用される主な技術の一つであったが、大規模な信号処理に適用したり、CMOS回路と統合したりすることが容易でなく、不利である。さらに、CCDの読み出しは、半導体を通して信号電荷を連続的に伝送することにより行われるが、電荷をほぼ完全に伝送することが必要なため、読出しの速度に限界がある。

30

【0003】

画素単位セル内にアクティブトランジスタを1つ以上有するアクティブピクセルセンサ(APS)は、CMOS技術と互換性を持たせることができると共に、パッシブピクセルセンサに比べて読出し速度が速い。アクティブピクセルセンサは、例えば一度に1つの列を読み出すことのできる素子のアレイとして構成されることが多い。読出し回路が列毎に読み出され、駆動され、かつ検出のためにバッファリングされる。

40

【0004】

図1は、アクティブピクセルセンサ30およびコントローラ32を含むCMOSアクティブピクセルセンサ集積回路チップの一例を示す。コントローラ32は、画素内に蓄積された信号の読出しをイネーブルにするタイミング信号および制御信号を供給する。一般に、典型的なアレイはN×M画素の大きさを有するが、アレイ30のサイズは特定の実施に基づく。イメージャは、列並列読出しアーキテクチャを使用して、一度に1つの行を読み出す。コントローラ32は、垂直アドレス回路34および行ドライバ40の動作を制御す

50

ることにより、アレイ 30 内の特定画素行を選択する。選択された画素行に蓄積された電荷信号は、読出し回路 42 に供給される。列の画素は、水平アドレス回路 44 を用いて連続的に読み出すことができる。典型的には、各画素は、リセット出力信号 V_{out1} と、統合期間中の集積電荷を表す信号 V_{out2} とを供給し、これらが読出し回路 42 の出力に供給される。

【0005】

図 2 に示すように、アレイ 30 は CMOS アクティブピクセルセンサ 50 の複数の列 49 を含む。各列 49 は、センサ 50 の複数の行を含む。特定の列におけるアクティブピクセルセンサ 50 からの信号は、当該列に対応した読出し回路 52 に読み出される。読出し回路 52 に蓄積された信号は出力部 54 に送られるが、これは画素アレイ 30 全てに対して共通である。次いで、アナログ出力信号は、例えばディファレンシャルアナログデジタル変換器 (ADC) に送られることができる。

10

【0006】

ディファレンシャル電荷モード読出しの読出しプロセス中に、CMOS イメージセンサの列から過度のノイズおよび遅延フレームが生じる。これを補償するために、現在の読出し回路は、サブサンプリングを用いて (サブ解像モードで) フレームレートを高める。殆どの撮像の場合、画素は、画素クロック (ブランキングの期間は除く) のパルス毎に捕捉される。サブサンプリングは、ベースの画素クロック周波数より遅い速度で画素を捕捉することにより、フレームレートを高める。例えば、画素クロックの 2 パルス毎に 1 つの画素が捕捉されることにより、ベースの画素クロック周波数の半分の有効サンプリングレートを供給される。サブサンプリングを使用することで、より高い周波数の画素クロックレートからより低い周波数のクロックサンプリングが可能となる。

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、サブサンプリング中に画素は連続して読み出されるものの、その読出しは隣接した画素同士に対するものではない。言い換えれば、いくつかの画素をスキップしてフレームレートを高める代償として、解像度が低くなってしまふ。そこで、エイリアシングが低減され、読出し回路のサブ解像度特性を向上させたイメージセンサが必要である。

【課題を解決するための手段】

30

【0008】

概して、本発明の実施形態は撮像回路を供給すると共に、それに関連した、読出し回路に信号ビニングを組み込む方法に関する。ビニングは、一回の動作で複数の画素の電荷を蓄積又は補間し、それらを読み出すこととして定義する。読出し回路にビニングを組み込むことにより、多様なサブ解像プロセスを実行して、エイリアシングの影響を最小化することができる。さらに、ビニングにアナログ処理を使用することにより、信号の帯域幅を減少し得る。これにより、センサの全電力消費量が減少する。アナログビニングを使用することの更なる利点は、デジタルドメインよりもアナログドメインによる方が、ビニングがもたらす信号対ノイズ比 (SNR) の利点がより一層顕著となることである。

【発明を実施するための最良の形態】

40

【0009】

本発明の上記および他の特徴並びに利点は、添付の図面を参照する以下の本発明の詳細な説明からより明らかとなる。

【0010】

図 3 は、イメージセンサ用のディファレンシャル電荷 - ドメイン読出し回路 150 を示し、列読出し回路 100 は画素からの信号を列ライン 101 に沿って受け取る。かかる回路の例は、本願と同一出願人による米国特許第 6,222,175 号に見ることができ、この特許の内容を援用して、本願の記載の一部とする。読出し回路 100 は、ゲートにおいて信号 (VLN) を受け取るロードトランジスタ 102 を含む。当該技術において周知の通り、VLN 信号がロードトランジスタ 102 を起動して、列ライン 101 上にロードする。列

50

ライン101はさらに2つのサンプルホールド回路に連結され、該回路は、第1のサンプルホールド信号(SHS)が供給される場合には画素信号レベルを蓄積し、第2のサンプルホールド信号(SHR)が読出し回路150に供給される場合には、リセットレベルを蓄積する。リセットレベルおよび画素信号レベルの両レベルをサンプリングすることで、相関2重サンプリング(CDS)を行うことができ、ピクセルセンサにおけるソースフォロア回路に関連したノイズばかりでなく、連結画素に関連するリセットノイズも低減できる。

【0011】

第1サンプルホールド回路は、トランジスタとして実行され得るスイッチ103およびコンデンサ106を含む。第1サンプルホールド信号SHSがスイッチ103に供給され、スイッチ103は導電状態又は非導電状態に制御される。第2サンプルホールド回路は、トランジスタとして実行され得るスイッチ104とコンデンサ107とを含む。第2サンプルホールド信号SHRがスイッチ104に供給され、スイッチ104の状態が制御される。コンデンサ106および107はそれぞれ、スイッチ109と108とを閉じることにより、基準電圧(VCL)に保持できる。信号clampSはスイッチ109の状態を制御し、信号clampRはスイッチ108の状態を制御する。

【0012】

サンプルホールド回路に加えて、列読出し回路100はクローバースイッチ105を含み、該スイッチもトランジスタとして実行され得る。クローバートランジスタ105の状態は、外部のクローバ制御信号(CB)により制御される。クローバースイッチ105を使用することで、列並列読出し構造(上述)による列間変動により生じる固定パターンノイズ(FPN)の低減が助長される。

【0013】

コンデンサ106, 107により蓄積された信号は、トランジスタとして実行してもよい、それぞれの列選択スイッチ110, 111を介して出力部120に伝送できる。スイッチ110, 111に供給された列選択信号(ColSel)は、スイッチ110, 111を導電状態又は非導電状態に制御する。列選択スイッチ110(又は111)がオンになると、サンプリングコンデンサ106(又は107)が、出力部120に連結したバス117(又は118)に直接連結される。両スイッチ110, 111は、必要に応じて同時に閉鎖し得ることを理解されたい。また、コンデンサ106, 107の代わりに、他の任意の適切な蓄積装置を設けることができることを理解されたい。

【0014】

前述のように、電荷-ドメイン読出し回路150の出力部120は、画素アレイ30の全体に共通である。よって、図3には単一の回路150のみを示しているが、複数の列読出し回路が出力部120に連結される。出力部120はスイッチ式積分器を含み、該積分器はさらに、差動オペアンプ112と、出力 V_{out1} および V_{out2} とオペアンプ112の負極および正極との間にそれぞれ連結された2つのフィードバックコンデンサ113, 114と、を含む。リセットスイッチ115, 116は、それぞれ出力 V_{out1} および V_{out2} とオペアンプ112の負極および正極との間に連結される。各積分出力部120は、信号Rst_ampを用いて、対応するリセットスイッチ115, 116をオンにすることで、選択的にリセットされることができる。オペアンプ112は2つの出力信号 V_{out1} および V_{out2} を出力し、それら信号は次いでアナログ-デジタル変換器(図3には図示せず)に伝送される。

【0015】

図4は本発明の一実施形態を示し、この実施形態では図3の読出し回路100において垂直ビニングを行う。図4に示す例示的な実施形態では、図3のコンデンサ106, 107が“分割”されている。コンデンサ106, 107を、それらの容量値より小さい容量値を有する複数の容量素子209から216に置き換えているが、それら容量素子はそれぞれ、元の容量の一部(例えば、1/4)を構成する。各コンデンサ209から216をそれぞれスイッチ201から208に連結し、各スイッチ201から208を制御して、

10

20

30

40

50

所定のサンプリングシーケンスの下でアレイ 30 (図 2) に対して異なる解像度を得ることができる。例えば、全てのスイッチ 201 から 208 を動作中に閉鎖すれば、コンデンサ 209 から 216 は実質的に 1 つのコンデンサとして動作し (即ちフル解像度)、有効容量は図 3 で示すものと同じである。図 4 における実施形態は、4 つのコンデンサからなる構成を示す (即ち、各コンデンサが 4 つのコンデンサ素子に分割されている) が、コンデンサを任意の数 (2, 3, 4, 6 など) に分割することが可能であることを理解されたい。別の例として、スイッチの半数だけを閉鎖すると、読出し回路の解像度は 1/2 の状態となる。

【0016】

一例として、図 4 の実施形態をモノクロセンサスキームと共に使用するが、この際センサは垂直方向においてフル解像度、1/2 解像度、および 1/4 解像度を支持するように構成することができる。簡潔を期すため、水平解像度がチップ外部にあると規定する例を仮定する。1/2 解像度の場合、アレイの第 1 行目から受け取った信号は、コンデンサに対応したそれぞれのスイッチ (例えば、スイッチ 201 および 202、並びに 205 および 206) をイネーブルにすることにより、コンデンサのうちの 2 つ (例えば、コンデンサ 209 および 210、並びに 213 および 214) においてサンプリングされ蓄積される。第 2 行目から受け取った信号は、それぞれのスイッチ (例えばスイッチ 203 および 204、並びに 207 および 208) をイネーブルにすることにより、他の 2 つのコンデンサ (例えば、コンデンサ 211 および 212、並びに 215 および 216) においてサンプリングされ蓄積される。データをサンプリングした後 (クローバ動作中)、コンデンサ 209 から 216 の左プレートが短絡され、第 1 行目および第 2 行目の平均化した信号が出力される。なお、図 4 の回路の利得はこの動作中安定したままであり、回路の使用に自由度が加わる。

【0017】

1/4 解像度の動作では、1 つの列の最初の 4 行から受け取った信号が、それぞれのコンデンサ 209 から 212 と、213 から 216 とに分けてサンプリングされる。4 つの行を蓄積した後、コンデンサ 209 から 216 の左プレートが短絡されて、特定の列に対する前記 4 つの行の間で平均化した信号が出力される。

【0018】

カラーセンサを使用する場合には、ベイヤーパターンを用いてカラー画像を捕捉するのが一般的である。ベイヤーカラーフィルタアレイが技術的に知られており、これを使用してカラー画像をデジタル処理で捕捉する。カラーフィルタのベイヤーパターンは、画素総数の半分を緑、1/4 の画素を赤、もう 1/4 の画素を青とするものである。

【0019】

4 行からなる画素に対して 1/2 解像度操作を行う場合、第 1 行目からのカラー信号が読み出され、各サンプルラインの最初の 2 つのコンデンサ 209 および 210、並びに 213 および 214 上でサンプリングされる (即ち、コンデンサ 209 および 210 には画素信号、コンデンサ 213 および 214 にはリセット信号)。次に、第 3 行目における信号が、サンプルラインのうちの他の 2 つのコンデンサ 211 および 212 と 215 および 216 に対してサンプリングされる。次いで、各サンプルラインからの 4 つのコンデンサ 209 から 212 と 213 から 216 とが共に短絡され、第 1 行目および第 3 行目に対する平均化した合計が (スイッチ 110, 111 を介して) 読み出される。第 2 行および第 4 行にも同じプロセスが繰り返され、上述のように列信号を平均化し、読み出しが行われる。

【0020】

カラー信号に対する 1/4 解像度読出しプロセスは、上述の 1/2 解像度読出しプロセスと同様であるが、1/4 解像度読出しプロセスでは、第 1 行、第 3 行、第 5 行、第 7 行がまずそれぞれのコンデンサ 209 から 212 と 213 から 216 とにおいて蓄積され、平均化および読出しが行われる。続いて、第 2 行、第 4 行、第 6 行、第 8 行がそれぞれのコンデンサ 209 から 212 と 213 から 216 とにおいて蓄積され、平均化および読出

10

20

30

40

50

しが行われる。

【 0 0 2 1 】

続いて参照する図 5 は、本発明の別の実施形態を示す。各ビニング回路 5 0 0 は、それぞれのスイッチ 5 0 2 , 5 0 3 を介して隣接する回路 5 0 1 に連結されるサンプルホールド画素信号およびサンプルホールドリセット信号ノードを有する。ビニング回路 5 0 1 はまた、スイッチ 5 0 4 , 5 0 5 を介して隣接ビニング回路 (図示せず) に連結する。必要に応じてビニング回路をさらに追加して、「水平方向に」平均化した信号 (即ち列回路同士の間で平均化した信号) を出力 (B I N 1 および B I N 2) に載せることもできる。

【 0 0 2 2 】

モノクロセンサにおいて図 5 の回路を使用すると、ビニング回路 5 0 0 , 5 0 1 からの平均化された信号が、奇数隣接列と偶数隣接列の間で加算される (図 1 5 A から図 1 5 C を参照して、以下でより詳細に説明する) 。カラーセンサの場合、ベイヤーパターン (上述) によって列の読み出しが行われる。平均化する範囲および短絡する列数は、必要とする解像度によって調整可能である。本文で述べる回路および方法は、他のタイプの撮像装置 (例えば、電荷結合素子 (C C D)) にも同じように適用できることを理解されたい。

【 0 0 2 3 】

図 6 は本発明の別の実施形態を示すが、図 6 の読み出し回路 6 5 0 は、サンプルラインの各コンデンサ 6 0 4 および 6 0 5 と 6 0 6 および 6 0 7 とが、各サンプルライン容量の半分 ($C / 2$) を構成する (図 4 では $1 / 4$) ことを除いて、図 4 に関して上述したものと同様である。各コンデンサ 6 0 4 から 6 0 7 は、それぞれのスイッチ 6 0 0 から 6 0 3 に連結される。スイッチ 6 0 0 から 6 0 3 の各々は、開状態と閉状態で回路 6 5 0 に対して異なる解像度 (即ちフル解像度未満とフル解像度) を得るように制御可能である。

【 0 0 2 4 】

図 6 の読み出し回路 6 5 0 は、各列における同一画素カラーの電荷を合計するように動作し得る。この種の操作から得られる解像度は、例えばソニー製 I C X 2 5 2 A Q 3 メガピクセル C C D 等で使用されるものなど、C C D 装置で使用される高解像度「スキップモード」で得られる解像度に匹敵する。図 6 の回路 6 5 0 の動作の一例を図 7 に示すが、この場合、読み出し回路における行選択アルゴリズムは、第 1 行および第 3 行 (7 0 0) から赤カラー (R) を読み出し、コンデンサ 6 0 4 および 6 0 5 にそれらを蓄積するように構成する。第 1 行および第 3 行からのリセット信号も読み出され (図示せず) 、コンデンサ 6 0 6 および 6 0 7 に蓄積される。コンデンサ 6 0 4 から 6 0 7 の左プレートを短絡することにより、第 1 行および第 3 行の赤カラーを平均化した信号が出力される。

【 0 0 2 5 】

続いて、図 7 のプロセスは、第 1 行および第 3 行の緑カラー (G r) に対して行われ、緑カラー (G r) が読み出され (7 0 0) 、コンデンサ 6 0 4 および 6 0 5 に蓄積される。第 1 行および第 3 行からの G r 画素のリセット信号も読み出され (図示せず) 、コンデンサ 6 0 6 , 6 0 7 に蓄積される。次いで、コンデンサ 6 0 4 から 6 0 7 の左プレートが短絡され、第 1 行および第 3 行の G r カラーを平均化した信号が出力される。図 6 に示すように、次に第 8 行および第 1 0 行から緑 (G b) および青 (B) 信号が同様に読み出され (7 0 1) 、その次に第 1 3 行および第 1 5 行 (7 0 3) に対して読み出しが行われる、といった具合に読み出しが行われる。

【 0 0 2 6 】

高フレーム読み出しモードにおける 4 メガピクセル C C D (例えば、ソニーの I C X 4 0 6 A Q 4 メガピクセル (M e g) C C D) のエミュレーションでは、第 1 行と第 5 行、第 1 0 行と第 1 4 行、第 1 7 行と第 2 1 行等が、上記で説明したように総括される。かかる例示のビニングスキームを実現するために、図 6 および図 7 で示す回路を使用するが、この際、行選択アルゴリズムを調整して読み出し順序に適合させる。

【 0 0 2 7 】

図 8 から図 1 0 は、3 M e g センサに対する別のサブ解像度スキームを示す。3 M e g センサに対する最大 (フル) 解像度は、約 $2 0 4 8 \times 1 5 3 6$ である。3 M e g センサに

10

20

30

40

50

対するサブ解像度の例として、 1280×1024 ($2/3$ 解像度)、 1024×768 ($1/2$ 解像度)、および 640×480 ($1/4$ 解像度)等がある。サブ解像度ピクセル信号を正確に読み出すために、画素信号を平均化することが必要である。

【0028】

図8は、例示として 6×6 画素マトリクス810を示すものであり、マトリクス810のカラーはベイヤーパターンで構成され、読出し中の行は明るい部分(即ち陰影部でない)で示してある。ベイヤーパターンは、第1緑画素(Gr)および第2緑画素(Gb)、赤(R)画素、青(B)画素から構成される。GrおよびRカラー画素は奇数行1, 3, 5等において交互に存在し、BおよびGbカラー画素は偶数行2, 4, 6等において交互に存在する。例示的な実施形態における $2/3$ 読出しスキームでは、第1行および第3行は、マトリクス810の最初の 3×3 角820から読み出され、図4に関して上述したものと同様の読出し回路において蓄積される。第1パス(800)中、第1行および第3行からの第1緑画素をまず次のように平均化するように、読出し回路のスイッチを構成する： $Gr(1, 1) + Gr(1, 3) + Gr(3, 1) + Gr(3, 3)$ (ここで、 $Gr(1, 3)$ は第1行第3列における緑画素、 $Gr(3, 1)$ は第3行第1列における緑画素)と合計する。第1行および第3行からの第1緑画素を平均化した後、平均化プロセスは赤画素(801)に移行し、 $R(1, 2) + R(3, 2)$ と合計を行う。

10

【0029】

第1の画素角820を読み出した後、続いてプロセスは第2の画素角821に移り、Gr画素を読み出し(802)、 $Gr(1, 5) + Gr(3, 5)$ と平均化を行い、赤画素を読み出し(803)、 $R(1, 4) + R(1, 6) + R(3, 4) + R(3, 6)$ によって平均化する。当業者であれば理解するであろうが、ベイヤーパターンを保持するために、第5列(802)の読み出しは、第4列および第6列(803)の前に行われる。画素角820および821を読み出して平均化すると、プロセスは図9に示すように第2パスに移行する。

20

【0030】

図9において、第1画素角820内の青画素を読み出して $B(2, 1) + B(2, 3)$ と平均化することにより、第2列を処理する。次に、第2緑画素(Gb)を読み出すが(901)、画素角820の行の中で唯一つの画素カラーであるため、これに対する平均化は行わない。プロセスは続いて第2画素角821に移行し、青画素の読出しを行うが(902)、これに対する平均化は行わない。そして第2緑画素(Gb)を読み出し、 $Gg(2, 4) + Gb(2, 6)$ と平均化する(902)。より単純なアルゴリズムでは、第2緑画素(Gb)(901)をスキップしてもよく、または代替的に、第2緑画素を読み出し、 $1/5$ の相対重量を持たせて第1パスからの第1緑画素(Gr)に加算してもよい。

30

【0031】

図10を参照すると、平均化プロセスはマトリクス810の第3画素角822および第4画素角823に進み、第1パス(810A)で第5行を読み出し、続いて第2パス(810B)において第4行および第6行を読み出す。第1パスは第3画素角822から始まり、第5行の第1緑画素(Gr)を読み出し、 $Gr(5, 1) + Gr(5, 3)$ と平均化を行い(1000)、続いて画素角822における赤画素(1001)R(5, 2)を読み出す。第4画素角823では、第5行における第1緑画素(Gr)、 $Gr(5, 5)$ を読み出し(1002)、その後赤画素を読み出して(1003)、 $R(5, 4) + R(5, 6)$ と平均化する。

40

【0032】

続いて、第2パスにおいて第4行および第6行の読出しを行う。画素角822からスタートし、青画素を読み出して、 $B(4, 1) + B(4, 3) + B(6, 1) + B(6, 3)$ と平均化する(1004)。次に、第2緑画素(Gb)を読み出し、 $Gb(4, 2) + Gb(6, 2)$ と平均化する(1005)。プロセスは画素角823に移行し、青画素(B)を読み出して、 $B(4, 5) + B(6, 5)$ と平均化する(1006)と共に、Gb緑画素を読み出し、 $Gb(4, 4) + Gb(4, 6) + Gb(6, 4) + Gb(6, 6)$

50

と平均化する(1007)。

【0033】

上述の図8から図10によってピニング(即ち、読出しと平均化)を行った画素を、陰影を付けて図11に示す。図から判るように、ベイヤーパターンの解像度2/3が実現される(6×6マトリクスから4×4マトリクスへ)。図11に示す「ベイヤー状」パターンを保持するため、列5は列4の前に読み出し、行5は行4の前に読み出すべきである。

【0034】

VGAベイヤーモードでは、各6×6画素角は、2つの緑画素と、1つの赤画素と、1つの青画素とを含むべきである。VGAベイヤーパターンを実現する一例のスキームを図12に示すが、ここでは3つの行と3つの列から画素を平均化する。図3から図7と共に上述した回路の何れかを用いて、平均すべき画素を第1緑(Gr)、赤(R)、第2緑(Gb)、および青(B)として示す。まず、第1行、第3行、および第5行をイネーブルにして、第1列、第3列、第5列と、第2列、第4列、第6列を平均化する。次に、第2行、第4行、および第6行をイネーブルにし、上記と同様に平均化し、読出しを行う。このピニングスキームでは、画素データをスキップしない。

【0035】

別のピニングスキームを図13に示すが、このスキームは3列に亘って2行(例えば第2行と第5行)を平均化することで、画素データの2/3を得る(画素の1/3をスキップする)。代替的に、図14は同様のピニングスキームを示すが、このスキームでは3列毎にスキップを行うことで、列2つと行2つを平均化し、これにより画素データの4/9を保持する(画素の5/9をスキップする)。例えば、2048×1536、1600×1200、1280×1024、1024×768など、多様な解像度の下で他の画素(1.3Meg、4Meg、5Meg等)に対して同様のピニングおよび平均化スキームを行うことができることは、当業者には明らかであろう。

【0036】

図15Aから図15Cは、特に図5の実施形態と共に本発明によって使用され得る種々の水平ピニングスキームを示す。具体的には、図15Aから図15Cはそれぞれ、列蓄積システムから最初の8列を蓄積する回路1500を示している。列蓄積回路は、図5に示す蓄積回路500、501と略同じである。8列蓄積回路1500はそれぞれ、相互接続する列スイッチ1501から1507を有し、それらは図5を参照して上述したように列同士のピニング動作を起動する。

【0037】

8列回路同士のピニング動作を示すに当り、8つの列に対するフル解像度を2048×1536とする。図15Aでは、1/2解像度(1024×768RGB)を示すが、ここではスイッチ1501から1504を作動させて、第1列と第3列、第2列と第4列、第5列と第7列、そして、代替的にVGAツルカラー、又はVGAベイヤー5/9スキップ)解像度を示し、スイッチ1501、1505および1506を作動させて、第1列と第3列、第4列と第6列、第7列と第9列(図示せず)の間でピニングを行う。最後に、図15Cは「1/3スキップ」スキームを使用するVGAベイヤー型応答を示し、スイッチ1501と1507、1502と1505、のように作動することにより、第1列、第3列、および第5列をピニングし、次いで第2列、第4列、および第6列、その他のようにピニングする。

【0038】

図16を参照して、Mg-Cy-Ye-Gフィルタアレイ1600と共に列/行画素値の減算を示す。 $C2 - C1 = (Ye + Mg) - (Cy - G)$ 又は $C3 - C4 = (Cy + Mg) - (Ye - G)$ として、色分解値を計算する。これを行うために、通常は画素信号の蓄積に使用されるコンデンサに画素リセット信号を蓄積し、通常リセット信号の蓄積に使用されるコンデンサに画素信号を蓄積する。

【0039】

例えば図6を参照すると、色分解値を計算するために、コンデンサ606および607

10

20

30

40

50

に画素信号を蓄積すると共に、コンデンサ604および605にリセット信号を蓄積し、それら値を減算する。

【0040】

なお、幾つかの蓄積コンデンサは、ある信号が読み出されている時に同じ信号のコピーを維持するため、上述のビニング回路とそれに関連した方法により、読出し回路における信号対ノイズ比(SNR)が改善する。従って、すべてのコピーを読み出すことからディザリングが生じ、SNR特性と色空間ノイズが改善する。

【0041】

上記ビニング回路およびそれに関連した方法の何れかを備える撮像装置2000の一例を図17に示す。撮像装置2000は、撮像対象からイメージセンサを含む画像検出部2002へと光を送るレンズシステム2001と、画像検出部2002において受け取られた画像信号をデジタル信号に変換するアナログ-デジタル変換器2003と、色補間、鮮鋭化フィルタリング、ホワイトバランス等の画像修正プロセスを実行する画像/カラー処理部2005と、ユーザへの出力又はディスプレイに適したフォーマットに画像データを変換する出力フォーマット変換/圧縮部2007と、撮像装置2000全体の動作を制御するコントローラ2004と、を含む。

【0042】

画像検出部2002におけるイメージセンサは、シリコン等の感光材料から作製された画素を含む集積回路として構成されるのが好ましい。イメージセンサをCMOSセンサとして構成し、CPU、デジタル信号プロセッサ、又はマイクロプロセッサ等のプロセッサと組み合わせて単一の集積回路としてもよい。代替的に、画像検出部2004におけるイメージセンサを電荷結合素子(CCD)として構成してもよい。

【0043】

かかる撮像装置2000は、上記に制限されることなく、コンピュータシステム、カメラシステム、スキャナ、マシンビジョンシステム、車両ナビゲーションシステム、テレビ電話、監視システム、オートフォーカスシステム、スタートラッカシステム、動作検出システム、並びにハイビジョンテレビ用の画像安定化システムおよびデータ圧縮システムの一部であってもよく、それら全ては本発明を使用することができる。

【0044】

撮像装置2000を接続することのできる一例のプロセッサシステム4000を、図18に示す。例えばコンピュータシステム等の処理システム4000は一般に、バス4006上で入力/出力装置4004と通信する中央処理装置(CPU)4001を含む。撮像装置2000は、バス4006上又はポート接続でシステムと通信する。プロセッサシステム4000はまた、ランダムアクセスメモリ(RAM)4005を含み、コンピュータシステムの場合には、バス4006上でCPU4001と通信するフロッピーディスクドライブ4002とコンパクトディスク(CD)ROMドライブ4003のような周辺装置を含み得る。

【0045】

現時点で知られている好適な実施形態と共に本発明を詳述したが、本発明はここに開示した実施形態に限定されないことは容易に理解されよう。本発明は多くの変形、修正、代用、又はこれまでに述べた構成と同等の構成のみならず本発明の主旨および範囲に相応する構成、を含んで変更することができる。したがって、本発明は前述の説明あるいは図面によって制限されず、添付の特許請求の範囲によってのみ制限される。

【図面の簡単な説明】

【0046】

【図1】従来技術の一例であるCMOSアクティブピクセルセンサのブロック線図。

【図2】従来のアクティブピクセルセンサのアレイおよび読出し回路のブロック線図。

【図3】電荷モード読出し回路の一例を示す図。

【図4】本発明の例示的な実施形態による分割コンデンサ構成を実行することによる垂直ビニングを示す図。

10

20

30

40

50

【図 5】本発明の別の例示的な実施形態による列ライン間の水平方向平均スキームを示す図。

【図 6】本発明の別の例示的な実施形態による 1 / 2 容量ライン平均回路を示す図。

【図 7】図 6 の回路に対する一例の色平均化操作を示す図。

【図 8】本発明の例示的な実施形態による画素マトリクスの第 1 画素角に対する色平均化プロセスを示す図。

【図 9】本発明の例示的な実施形態による画素マトリクスの第 2 画素角に対する色平均化プロセスを示す図。

【図 10】本発明の例示的な実施形態によるピクセルマトリクスの第 3 画素角および第 4 画素角に対する色平均化プロセスを示す図。

10

【図 11】図 8 から図 10 の平均化プロセスの後の、ビニング処理された画素マトリクスを示す図。

【図 12】3 つの行と 3 つの列から画素を平均化する V G A ベイヤーパターンを実現する本発明による構成を例示する図。

【図 13】画素マトリクスの 3 列からの 2 行を平均化する、本発明による 2 / 3 解像度ビニングスキームを示す図。

【図 14】3 行毎にスキップして 3 つの列と 2 つの行を平均化する、本発明によるビニングスキームを示す図。

【図 15 A】本発明の別の実施形態による 1 0 2 4 x 7 6 8 R G B 解像度を実現する水平ビニングスキームを例示する図。

20

【図 15 B】本発明のさらに別の実施形態による 1 2 8 0 x 1 0 2 4 R G B 解像度を実現する水平ビニングスキームを例示する図。

【図 15 C】本発明のさらに別の実施形態による「1 / 3 スキップ」V G A ベイヤー解像度を実現する水平ビニングスキームを例示する図。

【図 16】本発明のさらに別の実施形態によって色分離値の計算を行うことに用いる M g - C y - Y e - G フィルタアレイを示す図。

【図 17】本発明のさらに別の実施形態による撮像装置のブロック線図。

【図 18】本発明の実施形態のうちのいずれかによって構成されたビニング回路を使用する処理システムを示す図。

30

【符号の説明】

【 0 0 4 7 】

1 0 0 列読出し回路

1 0 1 列ライン

1 0 2 ロードトランジスタ

1 0 3 , 1 0 4 , 1 0 8 , 1 0 9 スイッチ

1 0 5 クローバースイッチ

1 1 0 , 1 1 1 列選択スイッチ

2 0 1 - 2 0 8 スイッチ

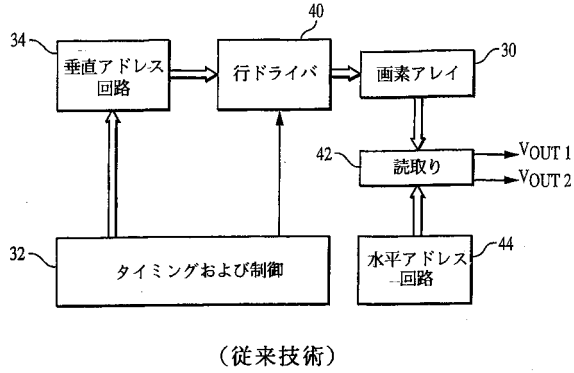
2 0 9 - 2 1 6 コンデンサ (容量素子)

5 0 1 ビニング回路

40

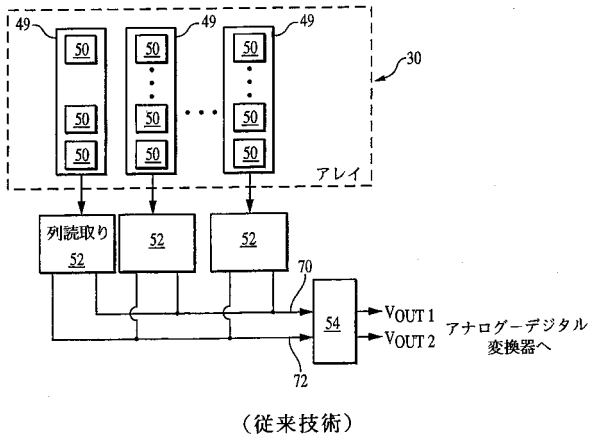
5 0 4 , 5 0 5 スイッチ

【図1】



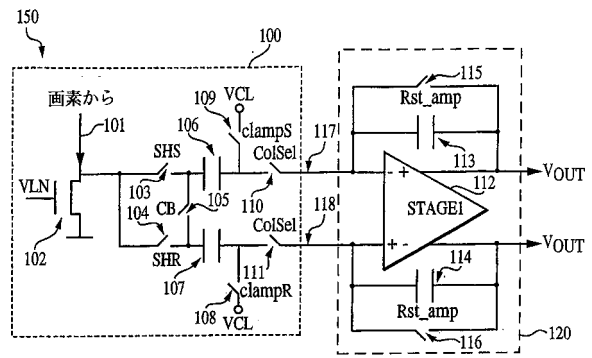
(従来技術)

【図2】



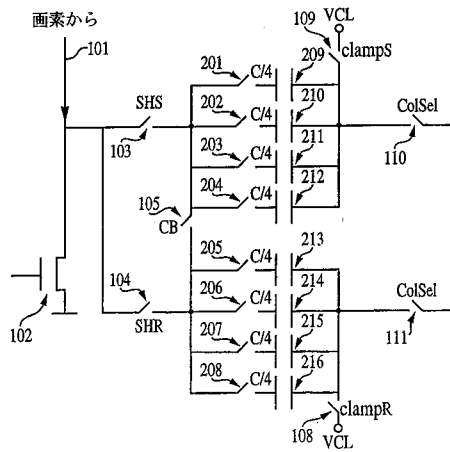
(従来技術)

【図3】



(従来技術)

【図4】



【図5】

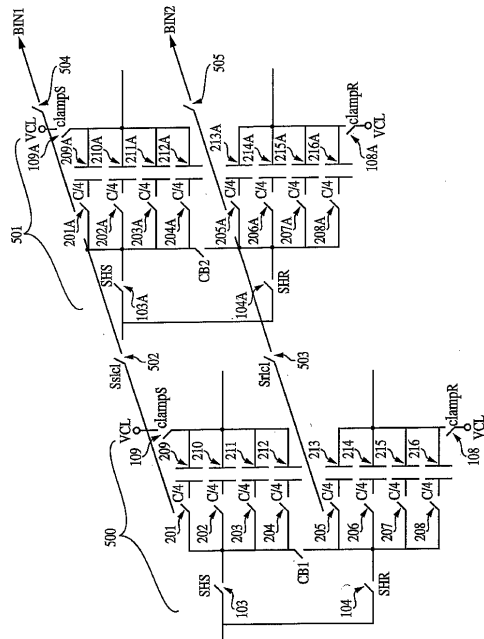
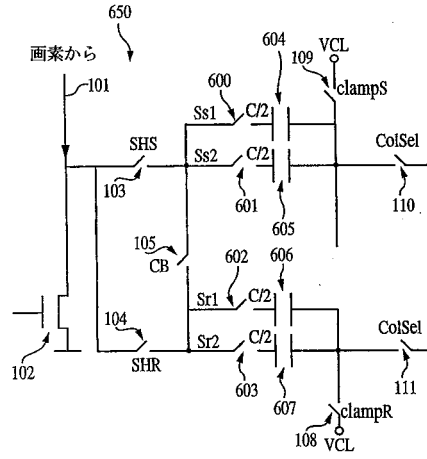
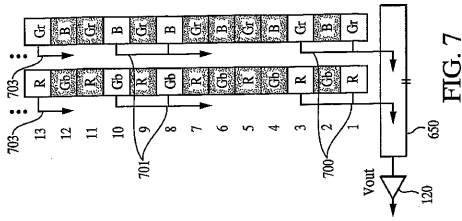


FIG. 5

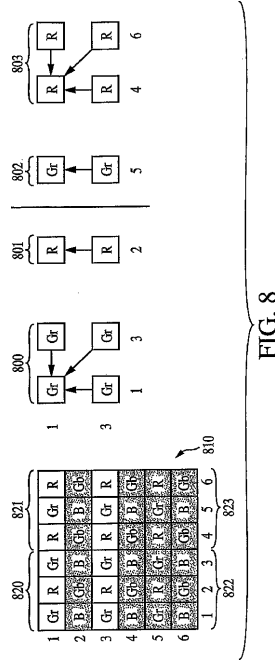
【 図 6 】



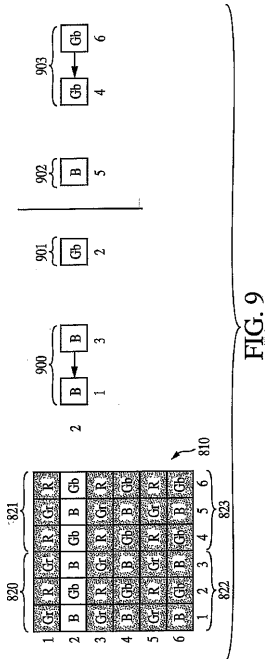
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

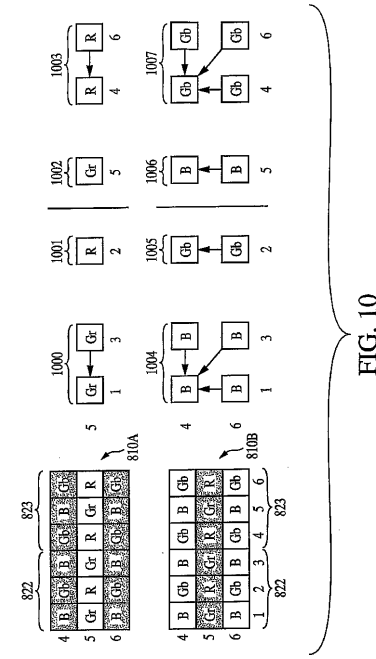


FIG. 10

【 1 1 】

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

FIG. 11

【 1 2 】

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

FIG. 12

【 1 3 】

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

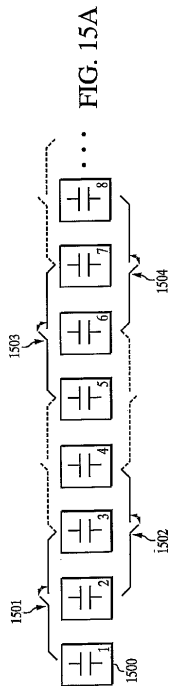
FIG. 13

【 1 4 】

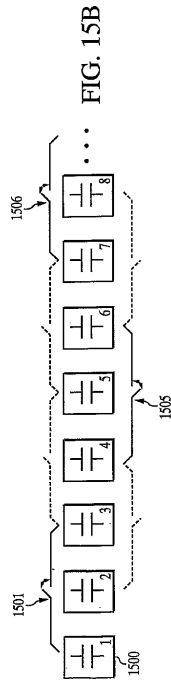
1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

FIG. 14

【 1 5 A 】



【 1 5 B 】



【 図 1 5 C 】

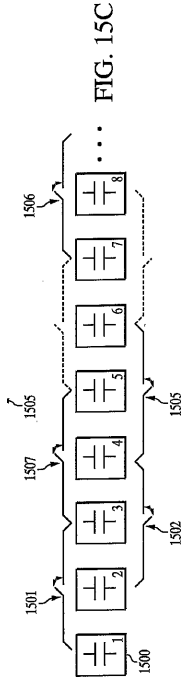


FIG. 15C

【 図 1 6 】

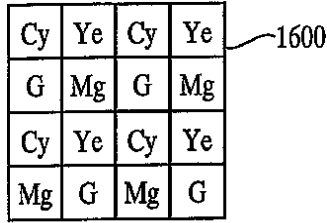
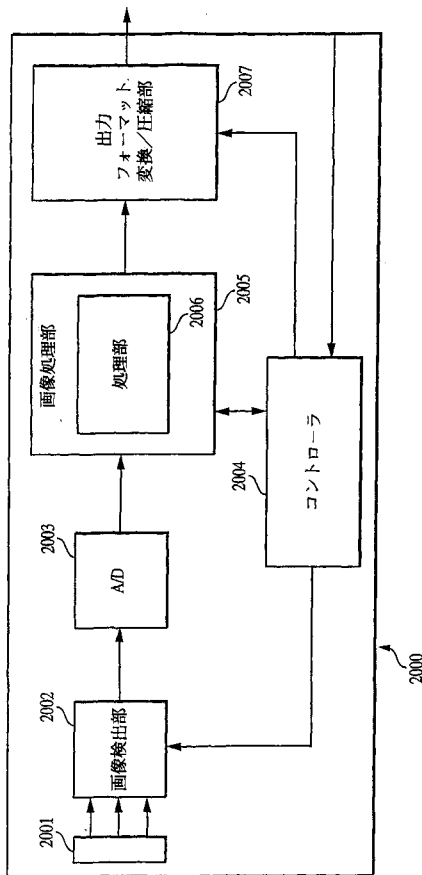
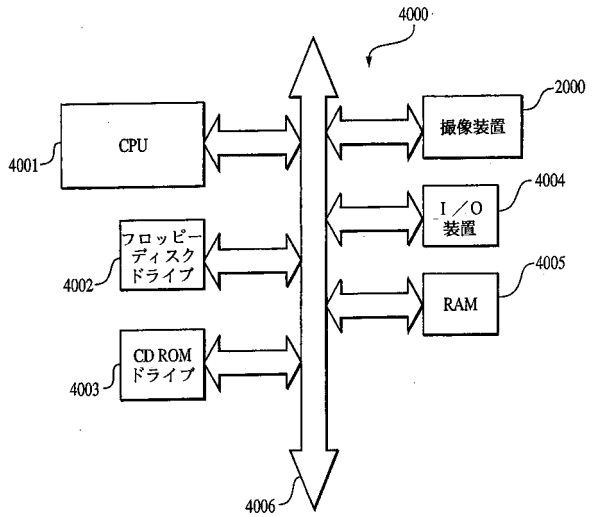


FIG. 16

【 図 1 7 】



【 図 1 8 】



フロントページの続き

合議体

審判長 渡邊 聡

審判官 小池 正彦

審判官 千葉 輝久

(56)参考文献 特開平11-146278(JP,A)
特開2002-165132(JP,A)