



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월26일  
(11) 등록번호 10-1204759  
(24) 등록일자 2012년11월20일

(51) 국제특허분류(Int. Cl.) *H01L 29/78* (2006.01) *H01L 21/336* (2006.01)

(21) 출원번호 10-2010-7016531

(22) 출원일자(국제) 2009년02월13일  
심사청구일자 2011년01월27일

(85) 번역문제출일자 2010년07월23일

(65) 공개번호 10-2011-0004356

(43) 공개일자 2011년01월13일

(86) 국제출원번호 PCT/US2009/034065

(87) 국제공개번호 WO 2009/102963  
국제공개일자 2009년08월20일

(30) 우선권주장

(73) 특허권자  
**비쉐이-실리코닉스**  
미국 95054 캘리포니아주 산타 클라라 로렐우드  
로드 2201

(72) 발명자  
**엑스유, 로버트**  
미합중국 캘리포니아 94539 프리몬트 40164 투신  
다 코어트

(74) 대리인  
**속창규**

(74) 대리인

## 속한구

卷之三

(30) 우선권주장  
12/030.719 2008년02월13일 미국(US)

### (56) 선행기술조사문항

KR100653536 B1

JP2007019264 A

전체 청구항 수 : 총 20 항

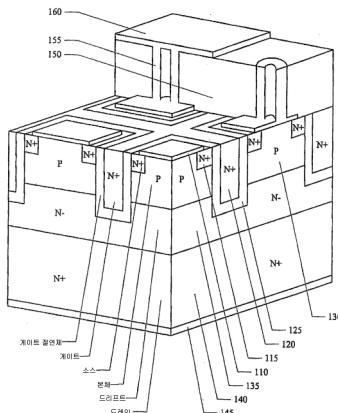
심사관 : 이귀남

#### (54) 발명의 명칭 전계효과 트랜지스터

### (57) 요약

본 발명은 자가-복구 전계효과 트랜지스터(FET) 디바이스에 관한 것으로서, 각각의 퓨즈 링크를 포함하는 다수의 FET 셀로 구성되어 있다. 퓨즈 링크는 대응하는 셀에 고전류가 흐르는 동안 끊어지는 것을 특징으로 한다.

## 대표도 - 도1



## 특허청구의 범위

### 청구항 1

각각의 전계효과 트랜지스터 셀이 소스 접촉부(corresponding source contact)을 포함하고 있는 다수의 전계효과 트랜지스터 셀들(field effect transistor cells);

소스 상호 연결부(source interconnect); 및

각각의 소스 퓨즈 링크가 소스 접촉부를 소스 상호 연결부에 연결하고 있는 소스 퓨즈 링크들(source fuse links);

을 포함하는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 2

제 1 항에 있어서, 각각의 소스 퓨즈 링크는 중공(cavity)을 포함하는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 3

제 1 항에 있어서, 상기 소스 퓨즈 링크는 결함 있는 전계효과 트랜지스터 셀에서 고전류 도통시 끊어지는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 4

제 1 항에 있어서, 상기 소스 퓨즈 링크는, 특정한 전계효과 트랜지스터 셀에서 소스-드레인 단락(source-to-drain short)이 발생할 때, 상기 특정한 전계효과 트랜지스터 셀이 작동하지 못하게 하는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 5

제 1 항에 있어서, 상기 소스 퓨즈 링크는, 특정한 전계효과 트랜지스터 셀에서 게이트-소스 단락(gate-to-source short)이 발생할 때, 상기 특정한 전계효과 트랜지스터 셀이 작동하지 못하게 하는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 6

제 1 항에 있어서, 상기 다수의 소스 접촉부들은 제 1 금속을 포함하는 것으로 구성되어 있고, 상기 다수의 소스 퓨즈 링크들은 제 1 금속보다 응점이 낮은 제 2 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 7

제 1 항에 있어서, 상기 다수의 전계효과 트랜지스터 셀들은 500 내지 50억 개의 전계효과 트랜지스터 셀들을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 8

제 1 항에 있어서, 상기 다수의 전계효과 트랜지스터 셀들은 평면적인 금속-산화막-반도체 전계효과 트랜지스터 셀들을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 9

제 1 항에 있어서, 상기 다수의 전계효과 트랜지스터 셀들은 수직적인 금속-산화막-반도체 트랜지스터 셀들을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 10

제 1 항에 있어서, 상기 소스 접촉부, 소스 퓨즈 링크, 및 소스 상호 연결부는 전계효과 트랜지스터 디바이스의 제작 면(fabrication surface)에 대해 수직한 측면에 배열되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스.

### 청구항 11

드레인 영역(drain region);

드레인 영역 상부에 배치되어 있는 게이트 영역으로서, 게이트 영역의 제 1 부위가 평행하게 연장되어 있는 다수의 제 1 구조들로서 형성되어 있고, 게이트 영역의 제 2 부위가 상기 평행하게 연장되어 있는 다수의 제 1 구조에 수직하며 평행하게 연장되어 있는 다수의 제 2 구조들로서 형성되어 있는 게이트 영역(gate region);

평행하게 연장되어 있는 제 1 및 제 2 구조들 사이에서 게이트 영역의 외연(periphery)에 인접하여 배치되어 있는 다수의 소스 영역(source regions);

드레인 영역과 다수의 소스 영역들 사이, 및 평행하게 연장되어 있는 다수의 제 1 구조와 제 2 구조 사이에 배치되어 있는 본체 영역(body regions);

게이트 영역과 다수의 소스 영역들 사이, 게이트 영역과 다수의 본체 영역들 사이, 및 게이트 영역과 드레인 영역 사이에 배치되어 있는 게이트 절연체 영역(gate insulator regions);

각각의 소스 접촉부가 대응하는 소스 영역과 본체 영역에 연결되어 있는 다수의 소스 접촉부(source contacts);

소스 상호 연결부(a source interconnect);

다수의 셀들과 소스 상호 연결부 사이에 배치되어 있는 유전층(dielectric layer); 및

각각의 소스 퓨즈 링크가 소스 접촉부를 소스 상호 연결부에 연결하는 다수의 소스 퓨즈 링크들(source fuse links);

을 포함하는 것을 특징으로 하는 접적회로.

### 청구항 12

제 11 항에 있어서, 상기 각각의 소스 퓨즈 링크는 열을 접적하도록 구성되어 있는 중공을 포함하는 것을 특징으로 하는 접적회로.

### 청구항 13

제 11 항에 있어서, 상기 소스 퓨즈 링크는 대응하는 소스 접촉부로부터 소스 상호 연결부까지 연장되어 있는 중공을 가진 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 접적회로.

### 청구항 14

제 11 항에 있어서, 상기 각각의 소스 퓨즈 링크는 중앙에 중공을 가진 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 접적회로.

### 청구항 15

제 11 항에 있어서, 상기 각각의 소스 퓨즈 링크는 금속을 포함하는 것으로 구성되어 있고, 전류의 고장 모드 레벨에 의해 차단되도록 구성되어 있는 것을 특징으로 하는 접적회로.

### 청구항 16

각각의 셀이 소스 영역을 포함하고 있는 다수의 전계효과 트랜지스터 셀들을 형성하는 단계;

각각의 소수 접촉부가 대응하는 소스 영역에 연결되어 있는 다수의 소수 접촉부들을 형성하는 단계; 및

각각의 소스 퓨즈 링크가 대응하는 소수 접촉부 및 소수 상호 연결부 사이에 연결되어 있는 다수의 소수 퓨즈 링크들을 형성하는 단계;

를 포함하고 있는 전계효과 트랜지스터 디바이스의 제조방법.

### 청구항 17

제 16 항에 있어서, 상기 다수의 소스 퓨즈 링크들은 구리, 알루미늄, 비스무트, 인듐, 및 주석으로 이루어진 군에서 선택되는 하나 또는 그 이상의 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 제조방법.

### 청구항 18

제 17 항에 있어서, 상기 다수의 소스 접촉부들은 탄탈(tantalum), 티타늄, 텅스텐, 티타늄 질화물(titanium nitride), 탄탈 질화물(tantalum nitride), 및 티타늄 규화물(titanium silicide)로 이루어진 군에서 선택되는 하나 또는 그 이상의 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스의 제조방법.

### 청구항 19

제 17 항에 있어서, 상기 각각의 소스 퓨즈 링크는 중공을 포함하는 것을 특징으로 하는 전계효과 트랜지스터 디바이스의 제조방법.

### 청구항 20

제 16 항에 있어서, 상기 다수의 소스 접촉부들은 탄탈, 티타늄, 텅스텐, 티타늄 질화물, 탄탈 질화물, 및 티타늄 규화물로 이루어진 군에서 선택되는 하나 또는 그 이상의 금속을 포함하는 것으로 구성되어 있는 것을 특징으로 하는 전계효과 트랜지스터 디바이스의 제조방법.

## 명세서

### 기술 분야

[0001]

본 발명은 자가-복구 전계효과 트랜지스터에 관한 것이다.

### 배경 기술

[0002]

반도체 제조 기술이 계속적으로 진보함에 따라, 전계효과 트랜지스터(FET)와 같은 디바이스는 점차 소형화되고 원가가 낮아지고 있다. 그러한 디바이스에 관계된 설계 및 레이아웃은 디바이스의 다양한 구조 및 제조 수단의 기술적으로 특이적인 최소한의 크기, 간격(spacings), 배열(alignments), 및 중첩(overlaps)에 의해 제한된다. 제조 과정에서, 디바이스의 일부는 공정 변수들에 의해 결함을 갖는다.

### 발명의 내용

#### 해결하려는 과제

[0003]

전형적인 파워 모스펫(MOSFET) 디바이스는 수천 또는 수백만 개의 병렬 모스펫 셀들을 가질 수 있다. 다수의 병렬 연결된 셀들은 디바이스가 고전류를 처리하고 낮은 저항을 가질 수 있게 한다. 일반적으로 디바이스의 전류 운반 능력이 높을수록 디바이스 내의 셀 수가 많아진다. 디바이스 내의 단일 셀에 게이트-소스 또는 소스-드레인 단락과 같은 결함이 있는 경우, 그 결함은 통상적으로 전체 디바이스에 영향을 끼친다. 그러므로 하나의 셀에 결함이 있는 경우 전체 디바이스는 폐기되어야만 하고 이는 제조 수율을 감소시킨다. 또한, 대규모의 병렬 셀 구조는 디바이스의 불량을 점검(screening)하기에 어려움이 있다. 특히, 소스-게이트와 드레인-게이트 사이에 발생한 비치명적인 결함은 발견이 용이하지 않는 바, 그 디바이스 및/또는 그 디바이스가 이용된 전자제품의 신뢰성에도 영향을 끼칠 수 있다.

#### 과제의 해결 수단

[0004]

본 발명의 실시예들은 자가 복구 트랜지스터에 관한 것이다. 하나의 실시예에서, 전계효과 트랜지스터 디바이스는 다수의 FET 셀을 포함하는데, 다수의 셀과 소스 상호 연결부(source interconnect) 사이에 유전층(dielectric layer)이 위치한다. 각 셀의 소스 접촉부(source contact)는 대응하는 소스 퓨즈 링크(source fuse link)에 의해 소스 상호 연결부와 연결되어 있다.

[0005] 또 다른 실시예로, 집적 회로는 드레인 영역(drain region), 게이트 영역(gate region), 다수의 소스 영역(source regions), 다수의 본체 영역(body regions), 및 다수의 게이트 절연체 영역(gate insulator regions)을 포함한다. 게이트 영역은 상기 드레인 영역 상부에 위치하는데, 게이트 영역의 제 1 부위는 실질적으로 평행하게 연장되어 있는 다수의 제 1 구조들로서 형성되어 있고, 게이트 영역의 제 2 부위는 상기 실질적으로 평행하게 연장되어 있는 다수의 제 1 구조에 수직하며 실질적으로 평행하게 연장되어 있는 다수의 제 2 구조들로서 형성되어 있다. 다수의 소스 영역은 실질적으로 평행하게 연장되어 있는 제 1 및 제 2 구조들에 의해 설정된 게이트 영역의 외연(periphery)에 인접하여 배치되어 있다. 본체 영역은 각 셀 내에서 드레인과 소스 영역 사이에 위치한다. 게이트 절연체 영역은 게이트와 소스 영역 사이, 게이트와 본체 영역 사이, 게이트와 드레인 영역 사이에 위치한다. 또한, 집적 회로는 다수의 소스 접촉부, 하나의 소스 상호연결부, 다수의 소스 퓨즈 링크로 되어 있다. 다수의 소스 접촉부는 대응하는 소스 영역에 연결되어 있다. 소스 퓨즈 링크는 대응하는 소스 접촉부를 소스 상호 연결부에 연결시킨다.

[0006] 또 다른 실시예에서, 전계효과 트랜지스터 디바이스의 제조방법은 소스 영역을 가진 다수의 전계효과 트랜지스터 셀을 형성하는 과정을 포함한다. 상기 방법은 또한 다수의 소스 접촉부, 다수의 소스 퓨즈 링크 및 소스 상호 연결부를 형성하는 단계를 포함한다. 각 주어진 소스 접촉부는 대응하는 소스 영역에 연결되어 있다. 각각의 소스 퓨즈 링크는 대응하는 소스 접촉부에 연결되어 있다. 소스 상호 연결부는 다수의 소스 퓨즈 링크에 연결되어 있다.

### 발명의 효과

[0007] 본 발명은 게이트-소스, 게이트-드레인, 및/또는 소스-드레인 단락에서 FET 디바이스에서 하나 또는 그 이상의 셀들을 비작동시키는데 사용될 수 있다. 퓨즈 링크는 평면 및 수직 FET 디바이스 모두를 위해 구성될 수 있다. 퓨즈 링크는 추가적인 실리콘 영역을 소모하지 않으면서 수직으로 구성될 수 있다. 결과적으로, 자가-복구 전계효과 트랜지스터 디바이스를 유용하게 수행한다.

### 도면의 간단한 설명

[0008] 본 기술의 구체예들을 비제한적인 예들을 참조하여 첨부 도면들에서 설명하며, 도면에서 유사한 번호들은 유사한 구성요소들을 나타낸다:

도 1은 본 기술의 하나의 실시예에 따른 트렌치 금속-산화막 반도체 전계효과 트랜지스터(TMOSFET) 디바이스의 단면도를 보여준다.

도 2는 본 기술의 하나의 실시예에 따른 소스 퓨즈 링크가 끊어진 예시적인 TMOSFET 디바이스의 단면도를 보여주고 있다.

도 3은 본 기술의 하나의 실시예에 따른 예시적인 소스 퓨즈 링크의 단면도를 보여주고 있다.

도 4는 본 기술의 하나의 실시예에 따른 예시적인 칩 저항의 그래프를 보여주고 있다.

도 5는 본 기술의 하나의 실시예에 따른 소스 퓨즈 링크를 녹이는데 소요되는 예시적인 시간에 관한 그래프를 보여주고 있다.

도 6a-6d는 본 기술의 하나의 실시예에 따른 폐쇄 셀(closed cell) 트렌치 금속-산화막 반도체 전계효과 트랜지스터(TMOSFET)를 제조하는 방법의 흐름도를 보여주고 있다.

도 7a-7m은 본 기술의 하나의 실시예에 따른 폐쇄 셀(closed cell) 트렌치 금속-산화막 반도체 전계효과 트랜지스터(TMOSFET)의 제조 방법을 설명하는 블록 다이어그램을 보여주고 있다.

도 8은 본 기술의 하나의 실시예에 따른 예시적인 평면 금속-산화막-반도체 전계효과 트랜지스터 디바이스(MOSFET)의 단면도를 보여주고 있다.

도 9는 본 기술의 하나의 실시예에 따른 예시적인 수직 접합 전계효과 트랜지스터(JFET) 디바이스의 단면도를 보여주고 있다.

### 발명을 실시하기 위한 구체적인 내용

[0009] 첨부 도면들에서 설명되는 예들을 참조하여 본 발명의 실시예들을 상세히 설명할 것이다. 발명을 실시예들과 함께 기술하지만, 이러한 실시예들이 본 발명을 제한하지 않는 것으로 이해될 것이다. 이에 반하여, 발명은 첨

부된 청구항에 의해 정의되는 발명의 범주 안에 속하는, 대체물, 변경물 및 등가물들을 포함하는 것으로 의도된다. 더욱이, 다음의 본 발명의 실시예들의 상세한 설명에서, 많은 특정한 세부사항들은 본 발명의 전반적인 이해를 제공하기 위하여 개시된다. 그러나 본 발명의 당업자는 이러한 특정 세부사항 없이 실시할 수도 있다. 다른 예로서, 불필요하게 본 발명의 관점은 흐리지 않게 하기 위해 공지된 방법, 절차, 부품, 및 회로는 상세히 기술하지 않았다.

[0010] 본 발명의 실시예들은 자가-복구 전계효과 트랜지스터(FET) 및 그 제조방법들을 포함한다. 특히 대규모의 병렬 셀 구조를 가진 디바이스의 개별 셀 내에 퓨즈가 부가된다. 셀에 결함이 있는 경우, 과전류가 도통한 셀은 단전되고 자동적으로 결함 있는 셀을 작동하지 못하게 한다. 셀은 수직으로 배열될 수도 있어서, 표면적을 실질적으로 증가시키지 않는다. FET 디바이스는 MOSFET, JFET 등일 수 있다. 더욱이, FET 디바이스는 수직 또는 평면의 위상을 가질 수 있다.

[0011] FET 디바이스는 실질적으로 대칭으로 설명된다. 특히, FET 디바이스의 소스와 드레인은 서로 교환될 수 있다. 따라서, 소스와 드레인이 상호 바뀔 수 있을 때, 여기서 용어 "소스"의 사용은 "드레인"에 등가물임을 이해하게 될 것이다. 도 1을 참조하면, 본 기술의 하나의 실시예에 따른 예시적인 수직 트랜치 금속-산화막-반도체 전계효과 트랜지스터(TMOSFET) 디바이스(100)가 개시되어 있다. 설명한 바와 같이, FET는 폐쇄 셀 트랜치 금속-산화막-반도체 전계효과 트랜지스터(TMOSFET)일 수 있다. 폐쇄 셀 TMOSFET(100)는 다수의 수직 MOSFET 셀을 포함하는데, 각각의 셀은 소스 영역, 본체 영역, 게이트 영역, 및 드레인 영역을 포함한다. 수직 MOSFET 셀들은 서로 병렬로 연결되어 있다.

[0012] MOSFET 디바이스는 다수의 소스/본체 접촉부(110), 다수의 소스 영역(115), 게이트 영역(120), 게이트 절연체 영역(125), 다수의 본체 영역(130), 드레인 영역(135, 140), 및 드레인 상호 연결부(145)를 포함한다. 드레인 영역(135, 140)은 선택적으로 보통 드리프트 영역(drift region)으로 칭하는 제 1 드레인 부위(140)와 보통 드레인 영역으로 칭하는 제 2 부위(135)를 포함한다. 또한, MOSFET 디바이스는 캡슐화 층(encapsulation layer: 150), 다수의 소스 퓨즈 링크(155), 및 소스 상호 연결부(160)를 포함한다.

[0013] 본체 영역(130), 소스 영역(115), 게이트 영역(120), 및 게이트 절연체 영역(125)은 드레인 영역(135) 위치에 위치한다. 게이트 영역(120)의 제 1 부위와 게이트 절연체 영역(125)은 실질적으로 평행하게 연장된 구조(12 1)로 형성된다. 게이트 영역(120)과 게이트 절연체 영역(125)의 제 2 부위는 평행하게 연장된 구조에 대해 실질적으로 수직인 구조로 형성된다. 게이트 영역(120)의 제 1, 2 부위는 모두 상호 연결되어 있고 다수의 셀을 형성한다. 본체 영역(130)은 게이트 영역(120)에 의해 형성된 다수의 셀들 내부에 위치한다. 따라서, 게이트 영역(120)은 게이트 절연체 영역(125)으로 둘러싸여 있어 전기적으로 이격되어 있다. 소스 영역(115)은 게이트 절연체 영역(125)의 외연(periphery)을 따라 다수의 셀에 형성되어 있다.

[0014] 하나의 구체예에서, 소스 영역들(115)과 드레인 영역(140)은 인 또는 비소로 도핑된 실리콘과 같이 고농도 n-도핑(+N) 반도체이다. 본체 영역(130)은 붕소로 도핑된 실리콘과 같이 p-도핑(P) 반도체이다. 게이트 영역(12 0)은 인으로 도핑된 폴리실리콘과 같이 고농도 n-도핑 반도체(N+)이다. 게이트 절연체 영역(125)은 이산화규소와 같은 절연체일 수 있다.

[0015] 소스/본체 접촉부(110)는 각 셀의 소스 영역(115)과 본체 영역(130)에 연결된다. 그러므로, 소스/본체 접촉부(110)는 소스 영역(115)을 각 셀의 본체 영역(130)에 연결시킨다. 캡슐화 층은 게이트 영역(120), 소스 영역(115), 소스/본체 접촉부(110), 소스 퓨즈 링크(155), 및 소스 상호 연결부(160) 사이에 위치해 있다. 소스 퓨즈 링크(155)는 소스/본체 접촉부(110)와 소스 상호 연결부(160) 사이에 위치한다. 소스 상호 연결부(160)는 다수의 소스 영역들(115)을 연결하여 디바이스의 공통 소스를 형성한다. 소스 퓨즈 링크들(155)은 개별 셀의 상단에서 소스/본체 접촉부(115)로부터 수직으로 연장되어 있으므로, 디바이스(100)에서 추가적인 측면 표면적을 소비하지 않는다.

[0016] 소스 영역(115)에 대해 게이트 영역(120)의 전위가 디바이스(100)의 문턱 전압(threshold voltage)을 초과할 때, 전도 채널(conducting channel)이 게이트 절연체 영역(125)의 외연을 따라 본체 영역(130)에 유도된다. 그런 다음, 디바이스(100)는 드레인 영역(140)과 소스 영역(115) 사이에 전류를 통하여 할 것이다. 따라서, 디바이스(100)는 "on" 상태에 놓이게 된다.

[0017] 게이트 영역(120)의 전위가 문턱 전압 아래로 내려가면 전도 채널은 더 이상 유도되지 않는다. 결과적으로, 드레인 영역(140)과 소스 영역(115) 사이에 인가된 전압 전위는 이들 간에 전류가 흐르도록 하지 않을 것이다. 따라서, 디바이스는 "off" 상태가 되고, 본체 영역(130)과 드레인 영역(140)에 형성된 접합(junction)은 소스와

드레인에 걸쳐 인가된 전압을 지지한다.

[0018] 드레인 영역(135, 140)이 제 1 부위(140) 상부에 제 2 부위(135)가 위치하는 구조로 구성되는 경우라면, 드레인 영역의 제 2 부위(135)는 인 또는 비소로 도핑된 실리콘과 같이 저농도 n-도핑(N-) 반도체이고, 드레인 영역의 제 1 부위(140)는 인으로 도핑된 실리콘과 같이 고농도 n-도핑(N+) 반도체이다. 드레인 영역(135)의 저농도 n-도핑(N-) 제 2 부위는, 본체 영역(130)과 드레인 영역(135)의 제 2 부위 안으로 연장된 공핍 영역(depletion region)을 초래함으로써, 펀치-쓰루(punch-through) 효과를 감소시킨다. 따라서, 저농도 n-도핑(N-) 제 2 부위는 폐쇄 셀 TMOSFET(200)의 항복 전압(breakdown voltage)을 증가시키는 작용을 한다.

[0019] 폐쇄 셀 TMOSFET(100)의 채널 폭(channel width)은 소스 영역(115)의 폭의 가늘기(slim)의 함수이다. 따라서, 폐쇄 셀 TMOSFET (100)은 상대적으로 낮은 채널 저항(예를 들면 "on" 상태에서의 드레인-소스 저항)을 가진다. 낮은 채널 저항은 폐쇄 셀 TMOSFET 100에서 분산된 파워를 줄인다. 유사하게, 폐쇄 셀 TMOSFET (120)의 게이트-드레인 캐apasitance는 게이트 영역(120)의 상부와 드레인 영역(140) 사이에 중첩된 영역의 함수이다.

[0020] 하나의 구체예에서, 캡슐화 층(150)은 BPSG와 같은 유전체일 수 있으나 이에 한정되지 않는다. 소스/본체 접촉부(110)는 높은 용접을 가진 금속으로 이루어질 수 있으며, 예를 들어, 탄탈(tantalum), 티타늄, 텉스텐, 티타늄 질화물(titanium nitride), 탄탈 질화물(tantalum nitride), 및/또는 티타늄 규화물(titanium silicide) 등 일 수 있지만 이에 한정되지 않는다. 소스 퓨즈 링크(155)는 낮은 용접을 가진 금속으로 이루어질 수 있으며, 예를 들어, 구리, 알루미늄, 비스무트(bismuth), 인듐, 및/또는 규소 등일 수 있지만 이에 한정되지 않는다. 소스 상호 연결부(160)는 높은 또는 낮은 용접을 가진 금속 또는 그러한 금속들의 조합으로 이루어질 수 있다.

[0021] 하나의 구체예에서, 소스 퓨즈 링크(155)는 실질적으로 고체일 수 있다. 상대적으로 고전류가 셀의 소스를 통해 흐를 때, 열은 대응하는 소스 퓨즈 링크에 집적될 것이다. 이러한 열은 퓨즈 링크의 금속을 용융시키고 이를 둘러싸고 있는 캡슐화 층(150)의 국소적인 용융을 초래한다. 캡슐화 층의 국소적 용융은 소스 퓨즈 링크의 낮은 용접을 가진 금속이 흐르는 공동(void)을 형성하고, 그로 인해 소스 퓨즈 링크에서 절단을 초래한다. 소스 퓨즈 링크에서의 절단이 진행되면, 퓨즈는 끊어지고, 셀을 통한 고전류 경로는 파괴된다.

[0022] 또 다른 구체예에서, 도 1에서 보는 바와 같이 소스 퓨즈 링크(155)는 각각 중공을 포함할 수 있다. 중공은 실질적으로 소스 퓨즈 링크(155)의 길이 또는 그 일부분까지 연장되어 있다. 상대적으로 고전류가 각 셀의 소스를 통해 흐를 때 그 열이 중공으로 집적될 것이다. 도 2에서 보는 바와 같이, 열은 퓨즈 링크(255)의 금속을 녹이고 이는 중공 안으로의 흐름을 초래하여 소스 퓨즈 링크(255)에서 파괴를 일으킨다. 소스 퓨즈 링크(255)에서 파괴가 진행될 때, 퓨즈가 끊어지고 셀을 통한 고전류 도통을 막게 된다. 소스 퓨즈 링크의 금속 용융에 추가하여 또는 그 대신하여, 소스 퓨즈 링크에서 금속의 전자이동(electromigration)을 초래할 수도 있다. 전자이동은 단독으로, 또는 소스 퓨즈 링크 금속의 열적 용융과 함께, 퓨즈 링크가 끊어지게 초래할 수 있다.

[0023] 각 퓨즈 링크(255)는 대응하는 셀이 다른 셀에 피해를 입히기 전에 끊어지도록 구성되어 있다. 통상적인 MOSFET 셀은 직류 모드(DC 모드)에서 약 0.1 mA, 펄스 모드에서 약 0.5 mA가 흐른다. 셀에 결함이 있고 게이트-소스, 게이트-드레인 또는 소스-드레인 사이에 고전류 경로(예를 들어, 단락)가 있을 때, 상기 셀에서 유입 전류(rush current)는 점진적으로 더 커져서 통상적으로 10-100 mA에 도달하게 된다. 퓨즈 링크는 디바이스에서 셀의 나머지 부분에의 피해 방지를 위해 당해 셀이 고전류 수준에 도달하기 전에 끊어지도록 구성되어 있다. 따라서, 결함 있는 셀은 작동되지 않고 나머지 셀은 작용을 유지한다. 그러므로 디바이스는 약간의 성능 저하 또는 성능 저하 없이 자가-복구 된다.

[0024] 도 3을 참조하면, 본 기술의 하나의 실시예에 따른 예시적인 소스 퓨즈 링크가 개시되어 있다. 소스 퓨즈 링크(310)는 L의 높이, d의 내경 및 D의 외경을 가질 수 있다. 소스 퓨즈 링크는 소스/본체 접촉부(320)상에  $x * y$ 로 형성된다. 하나의 구체예에서, 소스/본체 접촉부는  $x=y=2.5 \mu\text{m}$ 의 크기를 가질 수 있다. 하나의 구체예에서 소스 퓨즈 링크는 알루미늄일 수 있다. 알루미늄은 하기와 같은 특성을 지닌다: 밀도(고체) 2689 kg/m<sup>3</sup>; 밀도(액체) 2400 kg/m<sup>3</sup>; 용접 933.5 K; 끊는점 2740 K; 용융 엔탈피 10.67 KJ/mole; 증발 엔탈피 293.72 KJ/mole; 저항(고체) 2.66E-08 Ohm M; 열용량(고체) 24.35 KJ/mole; 및 물질량 26.98 g. 예시적인 구체예에서, 소스 퓨즈 링크를 가지는 FET 디바이스에 있어서, 어떠한 열도 주변으로 빼앗기지 않고 열용량이 실온과 용접 사이에서 일정하다고 가정한다. 소스 퓨즈 링크(300)에서 공동(void)의 부피는 소스 퓨즈 링크(310)의 알루미늄 부피와 실질적으로 동일하다. 용융 에너지는 온도와 용융 엔탈피를 높이는데 필요한 열의 총합인 것으로 가정한다. 예시적인 디바이스 내에서의 병렬 셀의 수는 대략 100만개일 수 있다. 칩은 295K인 실온에서 작동하는 것으로

가정한다.

[0025] 개별적인 셀 퓨즈 링크 영역 저항은 하기 식 1에 따라 계산될 수 있다.

$$r = \rho * L * 4 / [\pi * (D^2 - d^2)] \quad (1)$$

[0026] 첨가된 알루미늄 퓨즈로 인한 칩 저항은 하기 식 2에 따라 계산될 수 있다.

$$R = r / N \quad (2)$$

[0027] 여기서, N은 병렬 셀의 수를 나타낸다. 하나의 셀 퓨즈가 녹기 위해 필요한 에너지는 하기 식 3에 의해 계산될 수 있다.

$$E = \text{부피} * d * (C_p * \Delta T + \Delta H_{\text{용융}}) / AW \quad (3)$$

[0029] 여기서, AW는 원자량, d는 밀도,  $C_p$ 는 물 열용량, 및  $\Delta H_{\text{용융}}$ 은 용융 엔탈피를 의미한다. 그 결과 한 셀의 소스 퓨즈 링크를 녹이는데 필요한 시간은 하기 식 4에 의해 계산될 수 있다.

$$t = E / (R I^2)$$

$$= \frac{[L * [\pi * (D^2 - d^2)] / 4 * d * (C_p * \Delta T + \Delta H_{\text{용융}})] / AW}{[\rho * L * 4 / [\pi * (D^2 - d^2)] * I^2} \quad (4)$$

$$= \frac{[(\pi * (D^2 - d^2)] / 4 * d * (C_p * \Delta T + \Delta H_{\text{용융}})}{AW * \rho * I^2} \quad (5)$$

[0036] 도 4를 참조하면, 본 기술의 하나의 실시예에 따른 예시적인 칩 저항의 그래프가 개시되어 있다. 그래프는 소스 퓨즈 링크를 포함하지 않는 디바이스에 대해 각기 다른 단면적을 가지는 소스 퓨즈 링크로부터, 길이에 따른 칩 저항의 기여도를 비교한 것이다. 첫 번째 직선으로 도시된 바와 같이, 소스 퓨즈 링크를 가지지 않는 폐쇄 셀 TMOSFET의 칩 저항은 실질적으로 일정하다. 두 번째 직선은 내경 0.35  $\mu\text{m}$ 와 외경 0.5  $\mu\text{m}$ 를 갖는 소스 퓨즈 링크의 칩 저항 기여도를 보여 준다. 세 번째 직선은 내경 0.56  $\mu\text{m}$ 와 외경 0.8  $\mu\text{m}$ 를 갖는 소스 퓨즈 링크의 칩 저항 기여도를 보여 준다. 보는 바와 같이, 소스 퓨즈 링크의 단면적이 증가함에 따라 칩 저항의 기여도는 감소한다. 더욱이, 퓨즈 길이가 증가함에 따라 칩 저항의 기여도 역시 증가함을 알 수 있다. 그러나, 예시적인 소스 퓨즈 링크에서 칩 저항 기여도는 대략 0.1  $\mu\text{ohm}$  내지 1  $\mu\text{ohm}$ 의 범위에 있다.

[0037] 도 5를 참조하면, 본 기술의 하나의 실시예에 따른 소스 퓨즈 링크를 녹이는데 필요한 예시적인 시간에 관한 그래프가 개시되어 있다. 그래프는 1.0 mA의 정전류하에서의 퓨즈에 대해, 소스 퓨즈 링크의 단면적에 따른 퓨즈를 녹이는 시간을 비교한 것이다. 도시된 바와 같이, 퓨즈의 단면적이 증가할수록 퓨즈를 녹이는 시간이 증가한다.

[0038] 도 6a-6d를 참조하면, 본 기술의 하나의 실시예에 따른 폐쇄 셀 금속-산화막-반도체 전계효과 트랜지스터 (MOSFET)을 제조하는 방법이 개시되어 있다. 본 발명의 하나의 실시예에 따른 폐쇄 셀 TMOSFET의 제조 방법은 도 7a-7m에 설명되어 있다. 단계(602)에서, 도 6a와 7a에 도시된 바에 따라, 기판(702)상에서 세정 (cleaning), 증착(depositing), 도핑(doping), 식각(etching) 및/또는 기타와 같은 다양한 초기 공정 등이 시작된다. 반도체 기판(702)은 고농도 인(N+)으로 도핑된 실리콘일 수 있다. 단계(604)에서, 반도체층(704)은 기판(702)상에 애피택셜(epitaxially) 방식으로 증착된다. 일 실시예에서, 반도체층(704)은 비소 또는 붕소로 도핑된 실리콘일 수 있다. 애피택셜 증착 실리콘(704)은 반응 챔버(reaction chamber)으로 불순물을 도입함으로써 도핑될 수 있다. 단계(606)에서, 포토-레지스트는 통상 알려진 리쏘그래피 공정에 의해 증착되고 패턴화

되어 게이트 트렌치 마스크(706)를 형성한다.

[0039] 도 7b를 참조하면, 단계(608)에서, 애피택셜 증착 반도체층(704)의 노출 부분이 통상 알려진 등방성 식각법(isotropic etching method)에 의하여 식각된다. 하나의 실시예에서, 이온성 엣칭제(ionic etchant)가 포토레지스트 패턴층(706)에 의해 노출된 애피택셜 증착 반도체층과 반응한다. 첫 번째 세트의 트렌치들은 실질적으로 서로 평행하고 두 번째 세트의 트렌치(도시하지 않음)들은 첫 번째 세트의 트렌치들에 대해 수직방향으로 형성되도록, 다수의 트렌치(708)가 형성된다.

[0040] 단계(610)에서, 게이트 트렌치 마스크(706)는 적당한 스트립퍼(stripper) 또는 레지스트 에슁(ashing) 공정을 이용하여 제거한다. 도 7c를 참조하며, 단계(612)에서, 유전체(712)가 다수의 트렌치(708)에 형성된다. 하나의 실시예에서, 유전체(712)는 실리콘 표면을 산화시켜 실리콘 산화막층을 형성함으로써 생성된다. 트렌치에서 결과적인 유전체는 게이트 절연체 영역의 제 1 부위를 형성한다.

[0041] 도 7d를 참조하면, 단계(614)에서, 폴리실리콘층(714)이 트렌치 첫 번째 세트와 두 번째 세트에 증착되어 게이트 영역을 형성한다. 하나의 실시예에서, 폴리실리콘(714)은 규소(SiH<sub>4</sub>)의 석출 공정과 같은 방법으로 트렌치에 증착된다. 폴리실리콘은 인 또는 비소와 같은 n형 불순물로 도핑된다. 증착 공정 동안 불순물을 도입함으로써 폴리실리콘(714)이 도핑될 수도 있다. 단계(616)에서, 에치-백(etch-back) 공정은 웨이퍼(wafer) 표면상에서 과잉의 폴리실리콘을 제거하기 위해 수행된다. 하나의 실시예에서, 과잉의 폴리실리콘은 화학적 기계적 연마(CMP) 공정으로 제거된다.

[0042] 도 7e를 참조하면, 단계(618)에서, 제 2 포토-레지스트가 증착되고 패턴화되어 본체 영역 마스크를 형성한다. 본체 영역 마스크는 게이트 영역 내부의 영역에 의해 설정된 다수 셀들에 대응한다. 단계(620)에서, 애피택셜 증착 반도체층의 노출 부위는 다수 셀에서 본체 영역(704)의 도핑을 조절하기 위해 도핑된다. 하나의 실시예에서, 도핑 공정은 봉소 또는 비소와 같은 p형 불순물을 애피택셜 증착된 반도체층(704)에 주입한다. 고온 열순환 공정이 본체 영역 도핑을 가속하기 위해 이용될 수도 있다. 단계(622)에서 본체 영역 마스크는 제거된다.

[0043] 도 7f를 참조하면, 단계(624)에서, 제 3 포토-레지스트가 증착되고 패턴화되어 소스 영역 마스크를 형성한다. 소스 영역 마스크는 게이트 산화막 영역과 인접한 각 셀에서 소스 영역을 설정한다. 단계(626)에서, 소스 영역 마스크(724)에 의해 노출된 채 남겨진 제 1 반도체층의 부분은 소스 영역(726)을 형성하기 위해 도핑된다(725). 하나의 구체예에서, 도핑 공정은 인과 같은 n형 불순물을 게이트 산화물 영역(712)에 인접한 다수 셀 안으로 고농도 주입하는 과정을 포함한다. 고온의 열순환이 소스 영역 도핑을 가속화하기 위해 이용될 수도 있다. 단계(628)에서, 소스 영역 마스크는 제거된다.

[0044] 도 7g를 참조하면, 단계(630)에서, 유전체층(730)이 웨이퍼상에 증착된다. 하나의 구체예에서, 유전체층(730)은 화학기상증착(CVD) 시스템에서 tetraethylorthosilicate (TEOS)의 분해에 의해 증착된다. 단계(632)에서, 제 4 포토-레지스트층이 증착되고 패턴화되어 셀 상에 소스/본체 접촉부 마스크(732)를 설정한다. 도 7h를 참조하면, 단계(634)에서, 소스/본체 접촉부 마스크(732)에 의해 노출된 상태인 유전체층(730)의 부분이 식각되어 게이트 절연체층(734)을 형성한다. 단계(636)에서, 소스/본체 접촉부 마스크는 제거된다.

[0045] 도 7i를 참조하면, 단계(634)에서, 소스/본체 금속층(738)은 웨이퍼상에 증착된다. 하나의 구체예에서 소스/본체 금속층(738)은 스퍼터링(sputtering)과 같은 잘 알려진 방법으로 증착된다. 소스/본체 금속층(738)은 텐탈, 티타늄, 텅스텐, 티타늄 질화물, 탄탈 질화물, 티타늄 규화물, 및/또는 기타의 것들일 수 있다. 그러한 금속들은 구리, 알루미늄, 비스무트, 인듐 및 주석과 비교했을 때 상대적으로 높은 용접을 가지는 것이 특징이다. 소스/본체 금속층(738)은 패턴화된 유전체층(734)에 의해 노출된 상태인 본체(720)와 소스 영역(726)과 접촉부를 형성한다. 단계(640)에서, 제 5 포토-레지스트가 증착되고 패턴화되어 소스 접촉부 마스크를 형성한다. 소스 접촉부 마스크는 각 셀에서 소스 접촉부 영역을 설정한다. 도 7j를 참조하면, 그런 다음 단계(642)에서, 소스/본체 금속층이 선택적 식각 방법을 이용하여 패턴화되어 소스/본체 접촉부(747)를 형성한다. 도 7k를 참조하면, 단계(644)에서, 제 2 유전층(744)이 웨이퍼상에 증착된다. 하나의 구체예에서, 제 2 유전층(744)은 spin-on glass(BPSG)일 수 있다. 단계(646)에서, 제 6 포토-레지스트층(746)이 증착되고 패턴화되어 소스 퓨즈 링크 마스크(746)를 형성한다. 단계(648)에서, 소스 퓨즈 링크 마스크(746)에 의해 노출된 상태인 제 2 유전층(744)의 부분이 식각되어 다수의 트렌치(748)를 설정한다. 각 트렌치(748)는 제 2 유전층(744)을 통해 대응하는 소스/본체 접촉부(742)로 연정된다. 단계(650)에서, 소스 퓨즈 링크 마스크는 제거된다.

[0046] 도 7l를 참조하면, 단계(652)에서, 소스 퓨즈 링크 금속층(752)이 웨이퍼상에 증착된다. 하나의 구체예에서, 소스 퓨즈 링크 금속층(752)은 화학기상증착(CVD)과 같은 공지된 방법으로 증착된다. 소스 퓨즈 링크 금속층

(752)은 소스 퓨즈 링크 트렌치(748)의 벽(wall)과 소스/본체 접촉부(742)의 노출 부위에 금속 필름을 형성한다. 소스/본체 금속층은 구리, 알루미늄, 비스무트, 인듐, 주석, 및/또는 기타 물질일 수 있다. 이러한 금속들은 탄탈, 티타늄, 텅스텐, 티타늄 질화물, 탄탈 질화물, 티타늄 규화물과 비교해 상대적으로 낮은 용점을 가지는 특징이다. 도 7m을 참조하면, 단계(654)에서, 소스 상호 연결부 금속층(754)이 웨이퍼상에 중착된다. 소스 접촉부 금속(742), 소스 퓨즈 링크 금속(752), 및 소스 퓨즈 링크 트렌치에 인접한 소스 상호 연결부 금속(754)은 중공(755)을 가지는 소스 퓨즈 링크를 형성한다.

[0047] 다른 실시예에서, 소스 퓨즈 링크 트렌치들은 더 큰 종횡비(aspect ratio)를 가질 수 있다. 소스 퓨즈 링크 트렌치는 스퍼터링과 같은 공정을 사용하여 금속으로 채워진다. 포토-레지스트 층이 중착되고 패턴화되어, 소스 퓨즈 링크 트렌치에 중착된 금속으로 소스 퓨즈 링크 중공을 설정한다. 선택적 식각 공정이 소스 퓨즈 링크 트렌치(748)에서 금속의 노출 부위를 제거하기 위해 사용된다. 그런 다음, 소스 상호 연결부 금속층이 웨이퍼상에 중착된다.

[0048] 단계(656)에서, 소스 상호 연결부 금속층(754)이 패턴화되어, 소스 퓨즈 링크들에 의해 소스 접촉부에 전기적으로 연결된 소스 상호 연결부를 형성한다. 단계(658)에서, 제조 과정은 다양한 기타 공정들을 가지고 계속된다. 다양한 공정들은 통상적으로 식각(etching), 중착(deposition), 도핑(doping), 세척(cleaning), 어닐링(annealing), 부동화(passivation), 클리빙(cleaving) 및/또는 기타의 과정을 포함한다.

[0049] 도 8을 참조하면, 본 기술의 하나의 실시예에 따른 예시적인 평면 트렌치 금속-산화막 반도체 전계효과 트랜지스터(TMOSFET)가 개시되어 있다. 평면 MOSFET 디바이스(800)는 다수의 소스/본체 접촉부(805), 다수의 소스 영역(810), 게이트 영역(815), 게이트 절연체 영역(820), 다수의 본체 영역(825), 드레인 영역(830, 835) 및 드레인 상호 연결부(840)를 포함하고 있다. 평면 MOSFET 디바이스(800)는 또한 캡슐화 층(845), 다수의 소스 퓨즈 링크(850), 및 소스 상호 접촉부(855)를 포함하고 있다. 본체 영역(825), 소스 영역(810), 게이트 영역(815), 및 게이트 절연체 영역(820)은 드레인 영역(830, 835) 상에 위치한다. 본체 영역들(825)은 다수의 다각형 영역으로서 배열되어 있다. 하나의 구체예에서 본체 영역(825)은 육각형 영역이다. 드레인 영역(830, 835)은 각각의 다각형 본체 영역(825) 사이에서 위로 연장되어 있다. 소스 영역(810)은 각 본체 영역(825)의 주변에 인접한 본체 영역(825)에 위치하여, 각 본체 영역(825)의 일부는 드레인 영역(831, 835)으로부터 대응 소스 영역(810)을 분리시킨다. 따라서, 소스 영역(810)은 본체 영역(825) 내에 위치하는 다각형 고리이다. 본체 영역(825)과 소스 영역(810)의 다각형 형태는 인접한 소스(810) 사이의 거리가 디바이스 전반에서 비교적 일정하도록 구성되어 있다.

[0050] 게이트 영역(815)은, 본체 영역들(825) 사이에서 위로 연장되어 있는 드레인 영역(830, 835)의 부위 인접하고, 소스 영역들(805)과 드레인 영역(830, 835) 사이에서 본체 영역(825)의 부위에 인접하며, 또한 소스 영역(810)의 일부에 인접하여 위치되어 있다. 게이트 절연체 영역(820)은 게이트 영역(815)을 둘러싸고 있어서, 본체 영역(825), 소스 영역들(810), 및 드레인 영역(830, 835)으로부터 게이트 영역(815)을 분리시킨다. 드레인 영역(830, 835)은, 본체 영역(825)에 인접한, 통한 드리프트 영역(drift region)으로 칭하는 제 1 드레인 부위(830)와, 드리프트 영역에 의해 본체 영역(825)으로부터 이격된, 통상 드레인 영역으로 칭하는 제 2 드레인 부위(835)를 포함한다.

[0051] 소스/본체 접촉부(805)는 본체 영역(825)과 소스 영역(810) 각각에 연결된다. 따라서, 소스/본체 접촉부(805)는 소스 영역(810)을 각 셀의 본체 영역(825)에 연결한다. 캡슐화 층(845)은 소스/본체 접촉부(805)와 소스 상호 연결부(855) 사이에 위치한다. 소스 퓨즈 링크(850)는 소스/본체 접촉부(805)와 소스 상호 연결부(855) 사이에서 캡슐화 층(845)을 통해 연장되어 있다. 소스 퓨즈 링크(850)는 각 셀의 상단에서 소스/본체 접촉부(805)로부터 수직으로 연장되어 있어서, 디바이스(100)에서 추가적인 측면을 소모하지 않는다.

[0052] 게이트 영역(815)의 전위가 디바이스(800)의 문턱 전압을 넘어서 증가될 때, 전도 채널이 소스 영역(810)과 드레인 영역(830, 835) 사이에서 본체 영역 부분(825)에 유도된다. 그런 다음, 디바이스(800)는 드레인 영역들(830, 835)과 소스 영역(810) 사이에 전류를 통전시킨다. 따라서, 디바이스(800)는 "on" 상태가 된다. 게이트 영역(815)의 전위가 문턱 전압 아래로 떨어질 때, 채널은 더 이상 유도되지 않는다. 결과적으로, 드레인 영역(830, 835)과 소스 영역(810) 사이에 인가된 전압 전위는 이들 사이에 전류가 흐르도록 하지 않을 것이다. 따라서, 디바이스는 "off" 상태가 되어, 본체 영역(825)과 드레인 영역(830, 835)에 의해 형성된 접합이 소스와 드레인에 걸쳐 인가된 전압을 지지한다.

[0053] 각 소스 퓨즈 링크(850)는 전류의 고장 모드 레벨에 의해 차단되도록 구성되어 있다. 따라서, 결합 있는 셀은 작동 불가능해지고 나머지 셀들은 작용을 유지한다. 그러므로, 디바이스(800)는 약간의 성능 저하 또는 성능

저하 없이 자가-복구된다. 하나의 구체예에서, 소스 퓨즈 링크(850)는 실질적으로 고체일 수 있다. 다른 구체 예로서, 소스 퓨즈 링크(850)는 각 소스 퓨즈 링크 길이의 적어도 일부를 연장한 중공을 포함할 수 있다.

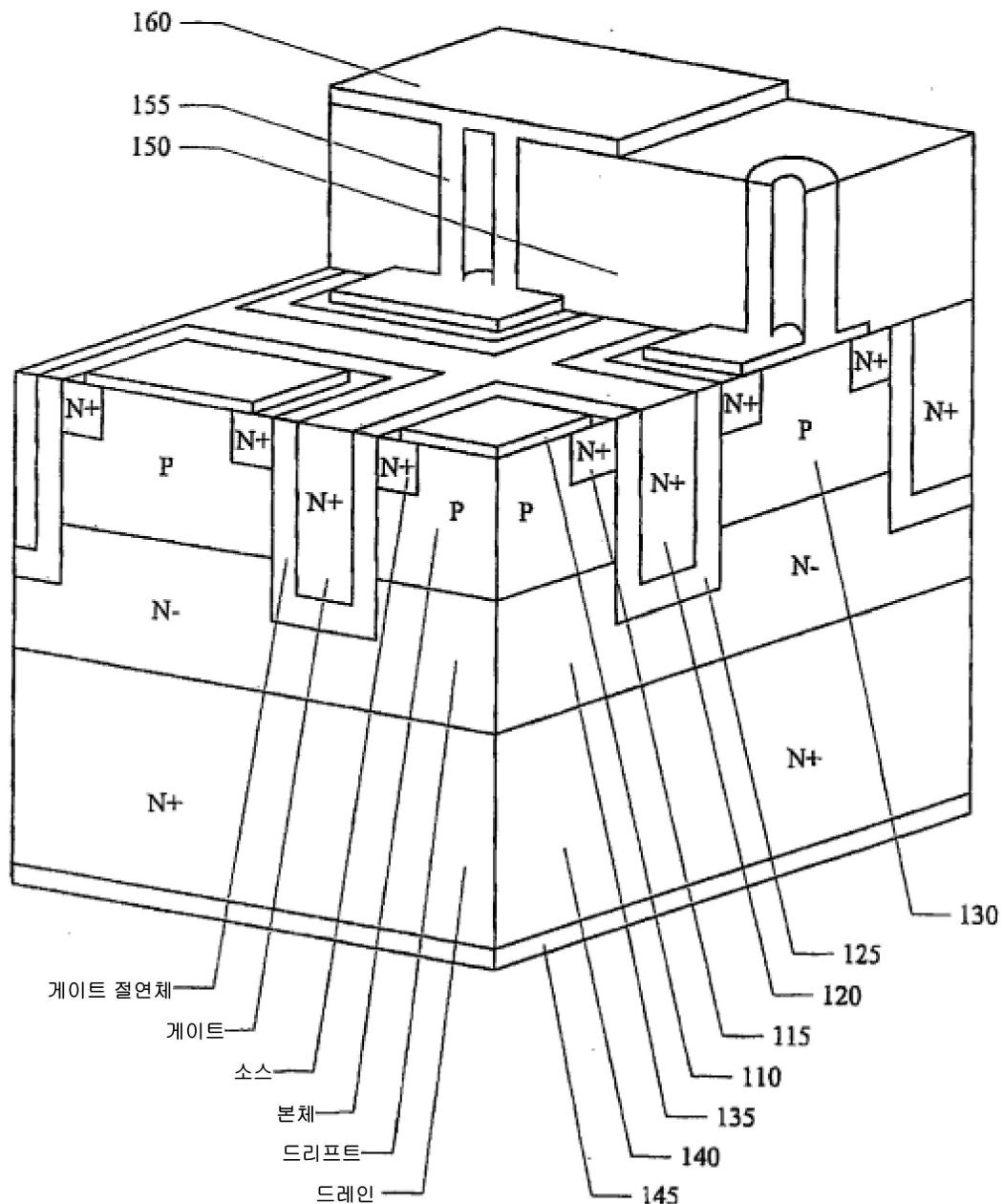
[0054] 도 9를 참조하면, 본 기술의 하나의 실시예에서, 예시적인 수직 접합형 전계효과 트랜지스터(JFET) 디바이스가 개시되어 있다. 수직 JFET 디바이스(900)는 대응하는 소스 접촉부(920)를 포함하는 다수의 JFET 셀들(905, 910, 915)을 포함한다. 또한, JFET 디바이스(900)는 소스 상호 연결부와 다수의 퓨즈 링크들(925)을 포함한다. 각 소스 퓨즈 링크(925)는 주어진 소스 접촉(920)를 소스 상호 연결부(도시되지 않음)에 연결한다. 소스 퓨즈 링크(925)는 전류의 고장 모드 레벨에 의해 차단되도록 구성되어 있다.

[0055] 본 발명의 실시예들은 게이트-소스, 게이트-드레인, 및/또는 소스-드레인 단락에서 FET 디바이스에서 하나 또는 그 이상의 셀들을 비작동시키는데 사용될 수 있다. 퓨즈 링크는 평면 및 수직 FET 디바이스 모두를 위해 구성될 수 있다. 퓨즈 링크는 추가적인 실리콘 영역을 소모하지 않으면서 수직으로 구성될 수 있다. 결과적으로, 실시예들은 자가-복구 전계효과 트랜지스터 디바이스를 유용하게 수행한다.

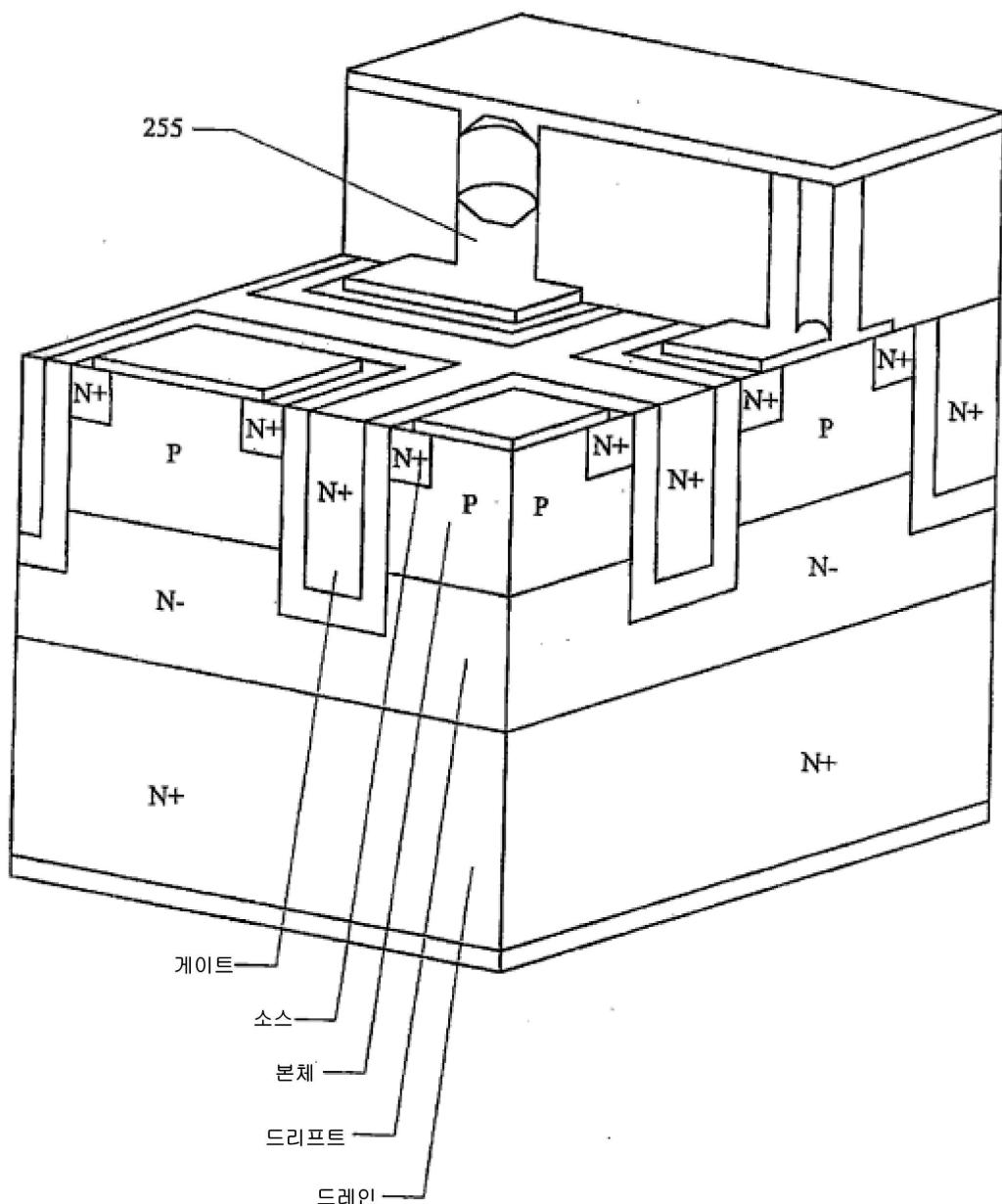
[0056] 본 기술의 특정 실시예들에 대한 이상의 것들은 설명 및 기술을 목적으로 제공되었다. 이들은 본 발명을 총망라한 것이 아니며 발명을 개시되어 있는 상세한 형태로 발명을 한정하도록 의도되지 않으며, 상기 교시에 비추어 변경 및 변형이 가능하다. 실시예들은, 당업자들이 본 기술과 특정 용도를 고려하여 다양한 변형들이 적용된 다양한 실시예들을 최선으로 활용할 수 있도록, 본 기술의 원리 및 구체적 적용들을 최선으로 설명하기 위해 선택 및 기재되었다. 발명의 범주는 여기에 첨부한 청구항들과 그것의 등가물에 의해 설정되는 것으로 의도된다.

## 도면

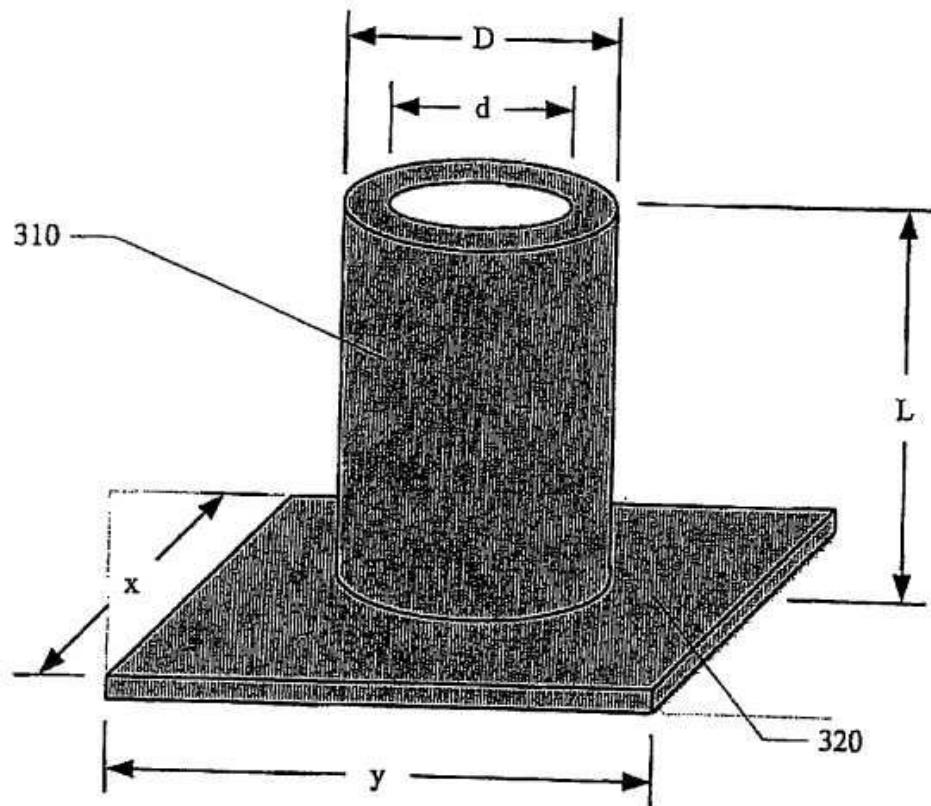
## 도면1



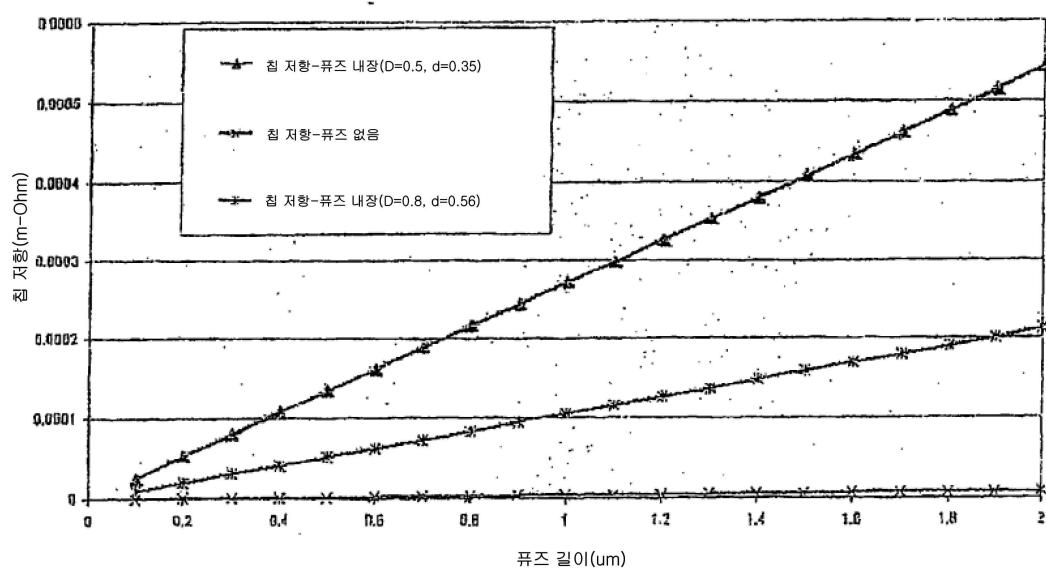
도면2



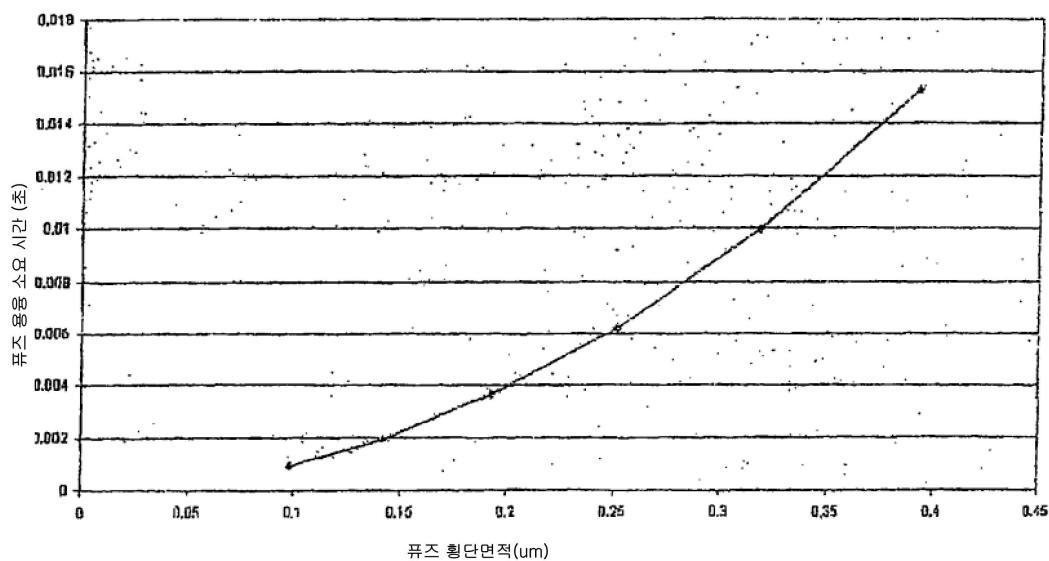
도면3



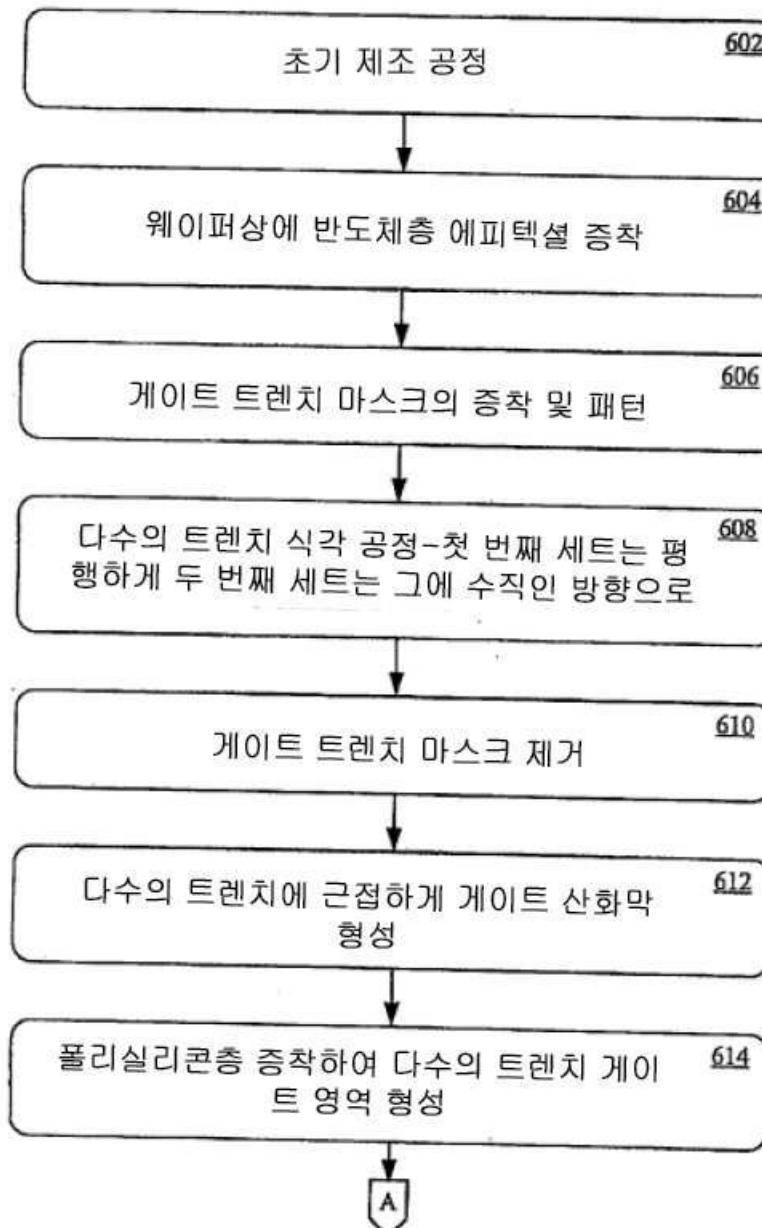
도면4



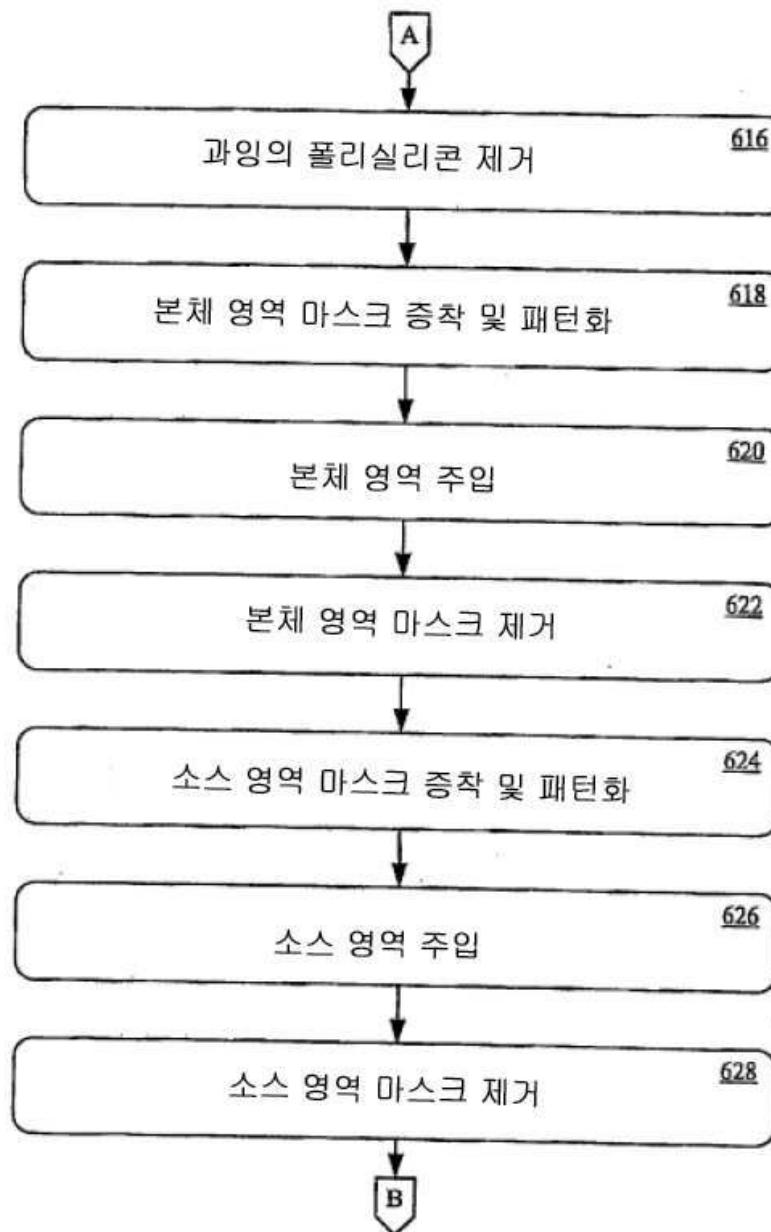
도면5



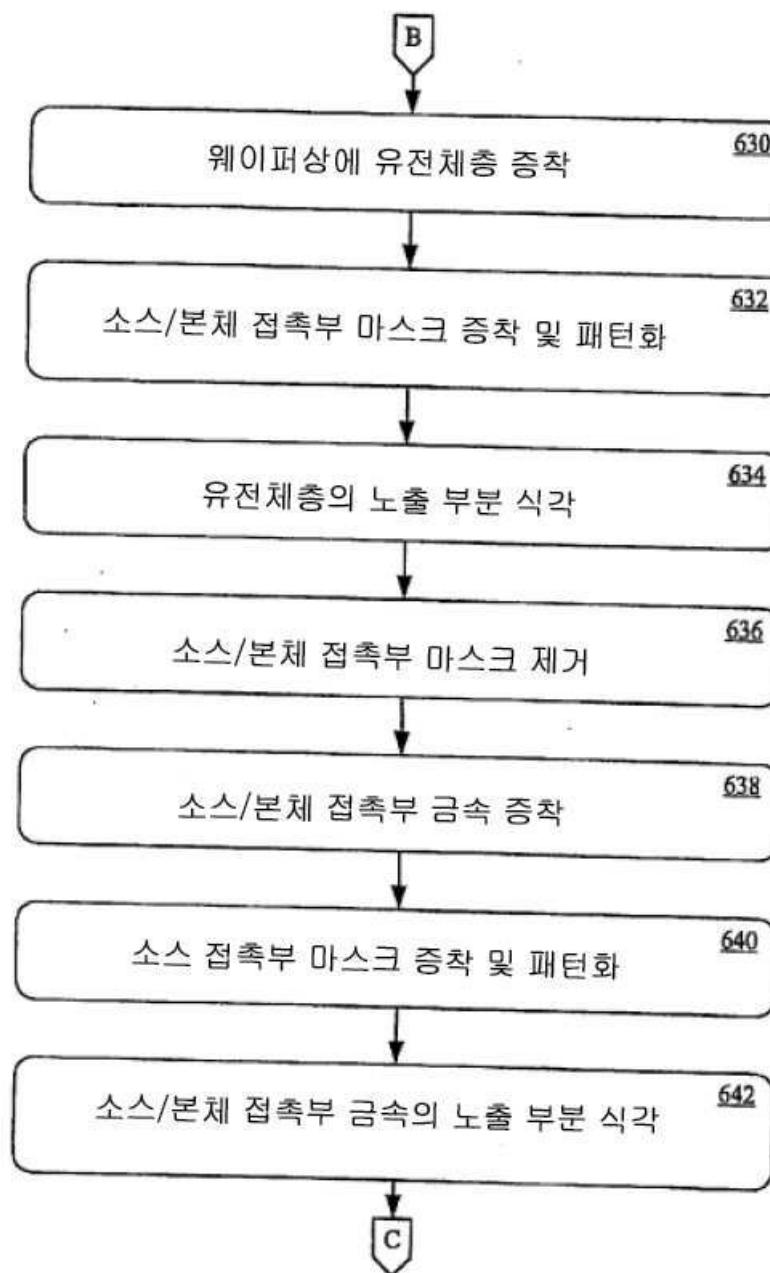
## 도면6a



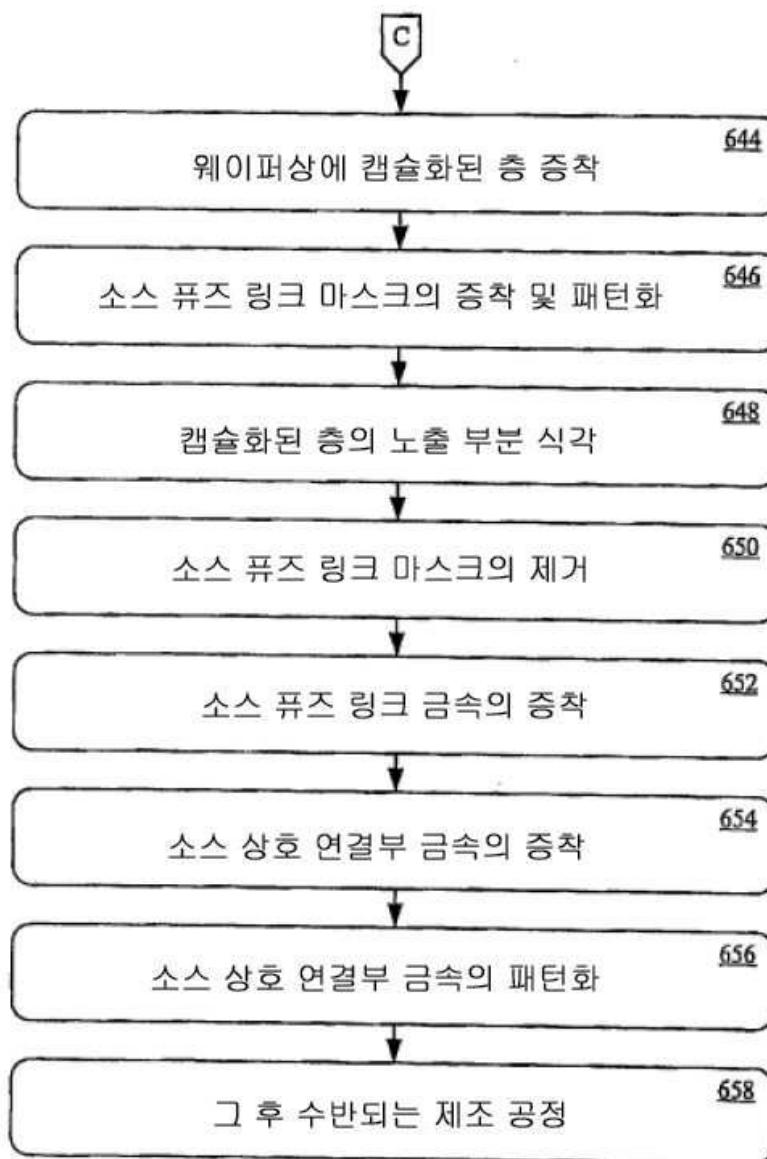
도면6b



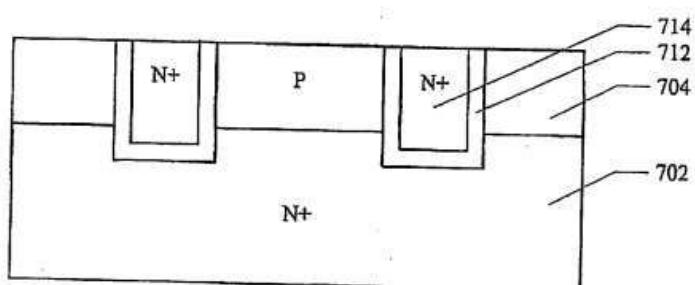
## 도면6c



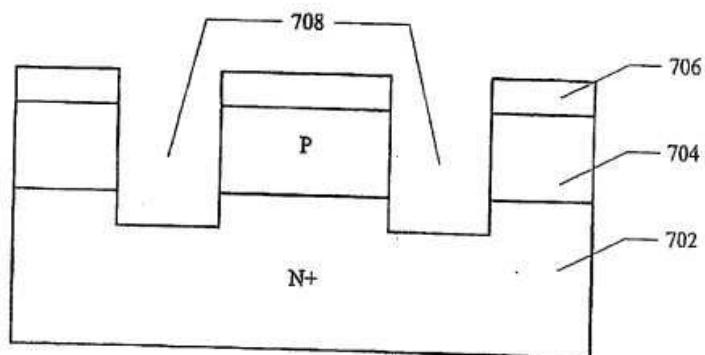
## 도면6d



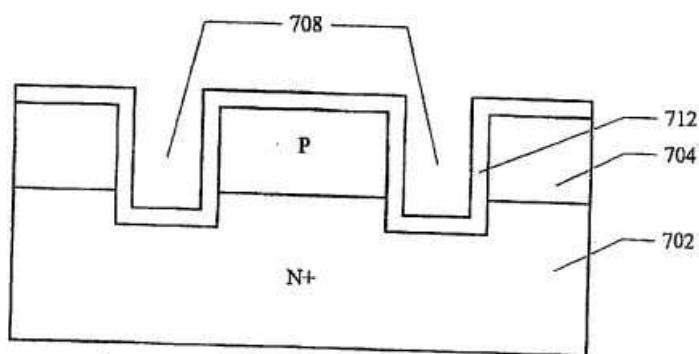
## 도면7a



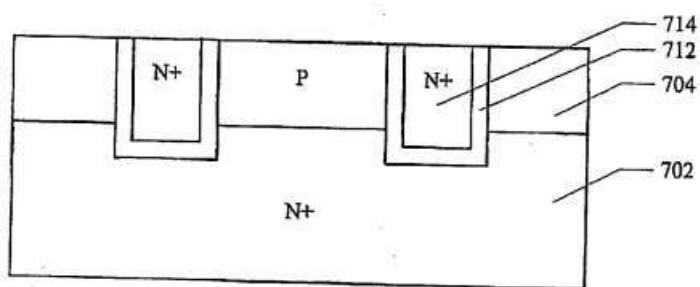
도면7b



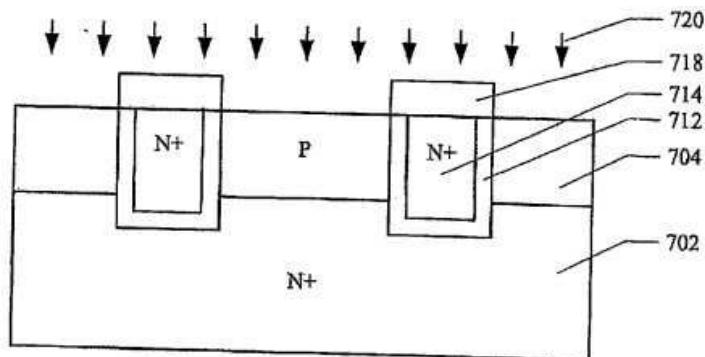
도면7c



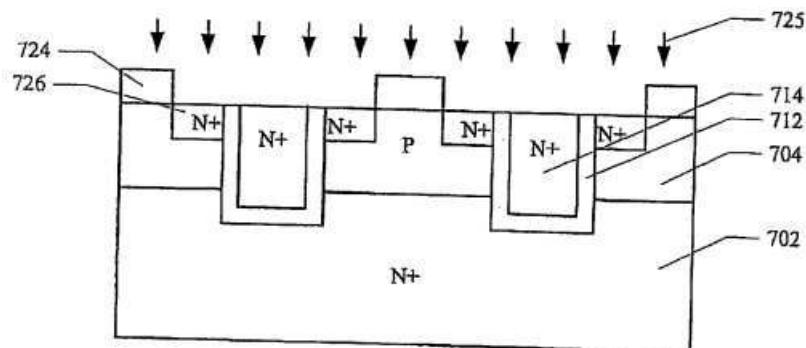
도면7d



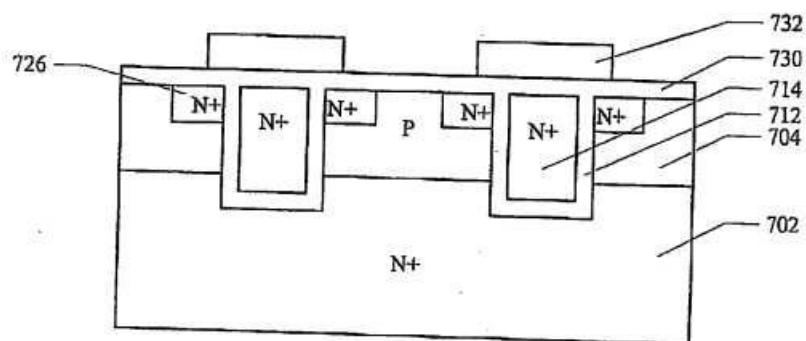
도면7e



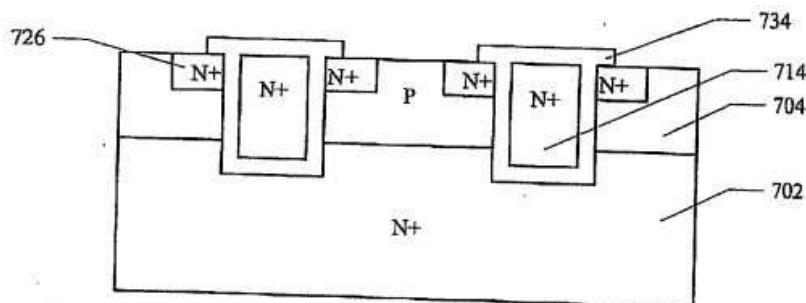
도면7f



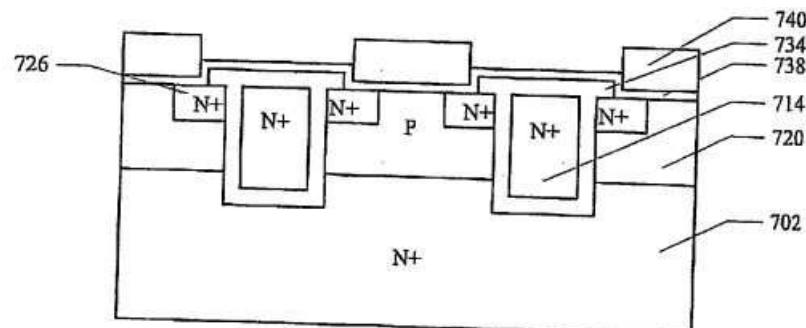
도면7g



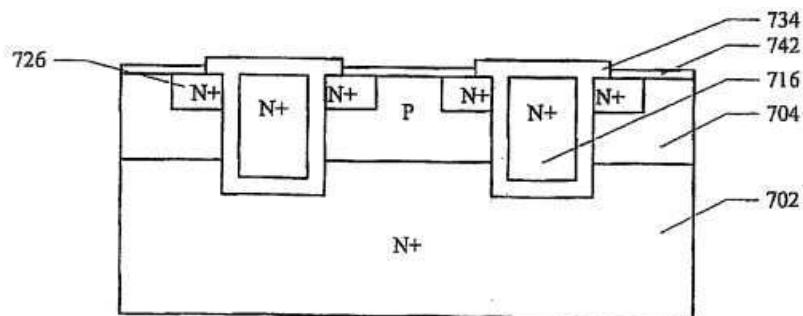
도면7h



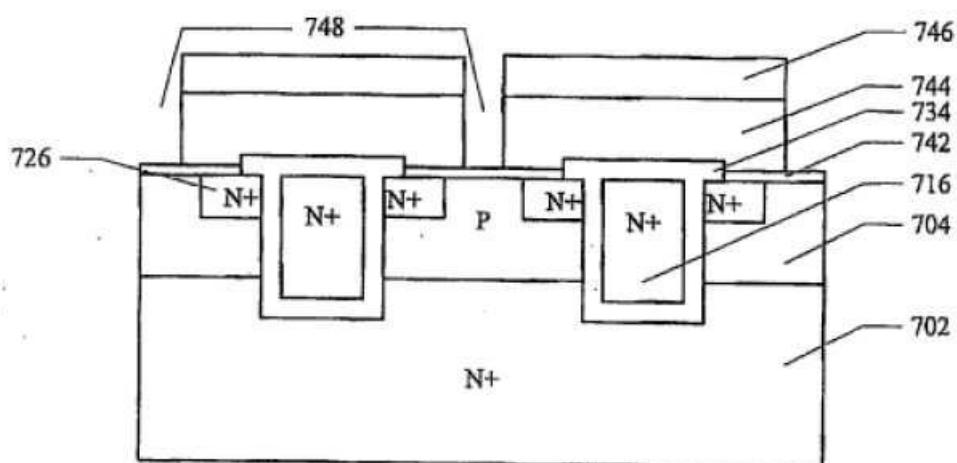
도면7i



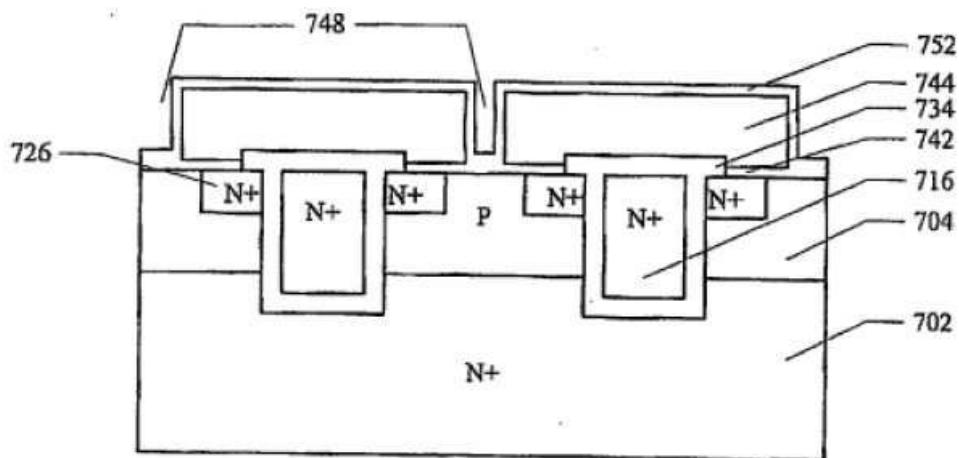
도면7j



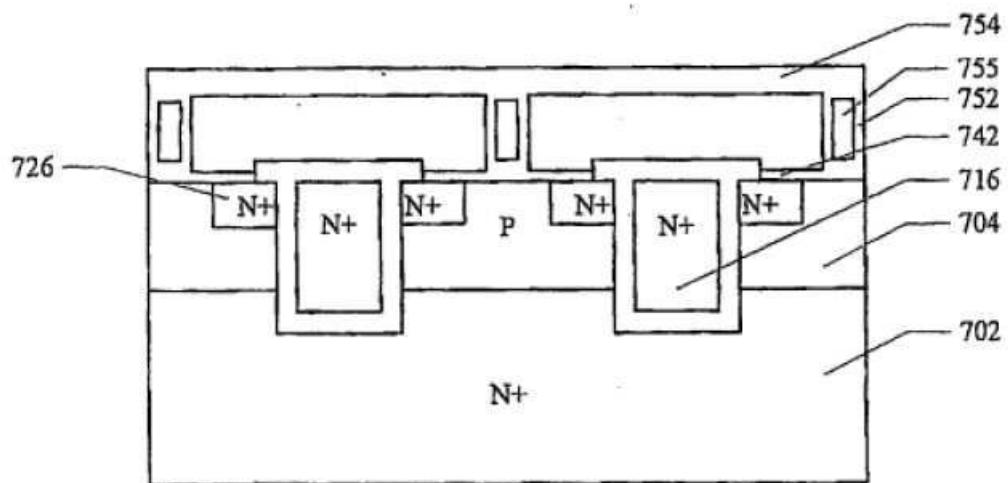
도면7k



도면7l

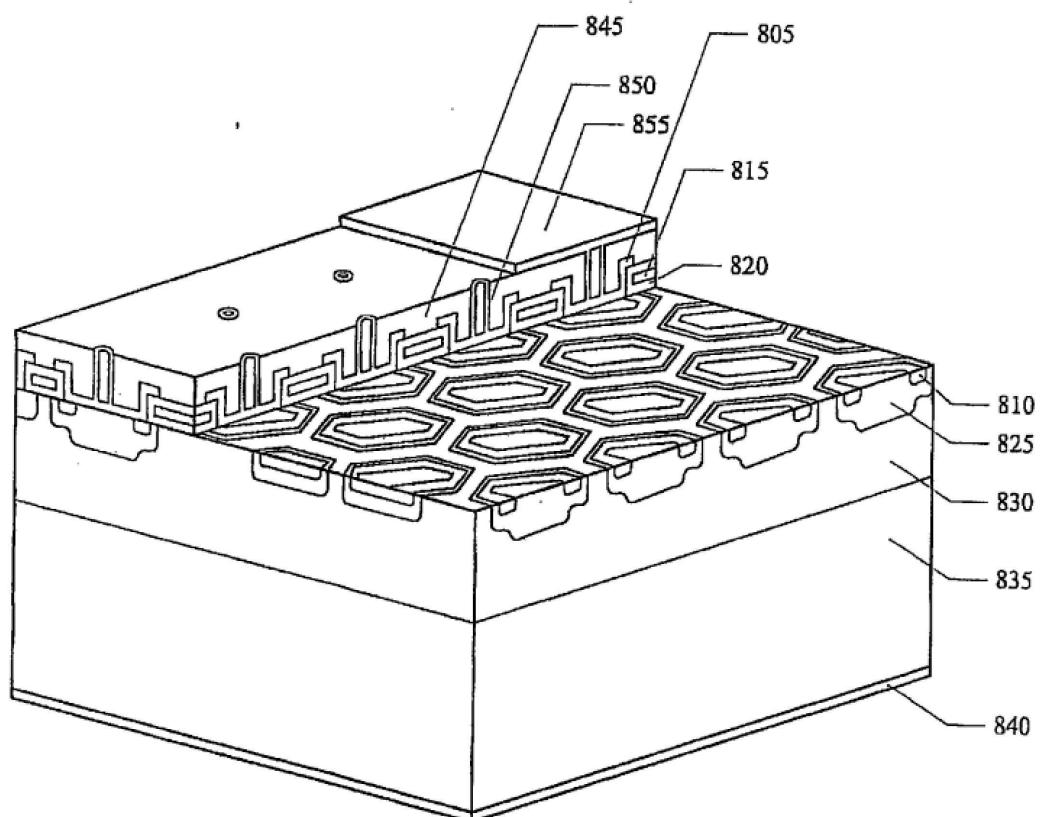


도면7m



도면8

800



도면9

