(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4260936号
(P4260936)

(45)発行日　平成21年4月30日(2009.4.30)　(24)登録日　平成21年2月20日(2009.2.20)

(51)Int.Cl.　　F I
H02M 7/10 (2006.01)　　H02M 7/10 B
B05B 5/053 (2006.01)　　B05B 5/053

請求項の数 12　(全 18 頁)

(21)出願番号　特願平10-287759
(22)出願日　平成10年10月9日(1998.10.9)
(65)公開番号　特開平11-196575
(43)公開日　平成11年7月21日(1999.7.21)
審査請求日　平成17年6月1日(2005.6.1)
(31)優先権主張番号　08/953858
(32)優先日　平成9年10月16日(1997.10.16)
(33)優先権主張国　米国(US)

(73)特許権者　591033250
イリノイ　ツール　ワークス　インコーポレイテッド
アメリカ合衆国　イリノイ州　グレンビュウ　ウエスト　レーク　アベニュウ　３６００
(74)代理人　100059959
弁理士　中村　稔
(74)代理人　100067013
弁理士　大塚　文昭
(74)代理人　100065189
弁理士　宍戸　嘉一
(74)代理人　100096194
弁理士　竹内　英人

最終頁に続く

(54)【発明の名称】電源制御システム

(57)【特許請求の範囲】

【請求項１】

高電位電源において、

上記高電位電源の１対の出力端子にまたがる所望の高電位に関係付けられた第１の信号を生成する第１の回路と、

上記高電位電源からの出力電流に関係付けられた第２の信号を生成する第２の回路と、

制御端子を有し、上記高電位電源が高い動作電位を発生できるようにある動作電位を上記高電位電源に供給する第３の回路と、

上記第１及び第２の回路及び上記制御端子に接続され、上記第１及び第２の回路から上記第１及び第２の信号を受信し、そして上記第３の回路によって上記高電位電源へ供給される上記動作電位を制御する第４の回路と、

上記制御端子に接続され、上記高電位電源が上記高い動作電位を供給できないように、上記高電位電源への上記動作電位の供給を不能にする第５の回路と、

を備え、

上記第１の回路は、所望の出力高電位を選択するための第１のポテンショメータと、上記第１のポテンショメータを上記第４の回路に接続するための導体とを備えていることを特徴とする高電位電源。

【請求項２】

高電位電源において、

上記高電位電源の１対の出力端子にまたがる所望の高電位に関係付けられた第１の信号

を生成する第１の回路と、
上記高電位電源からの出力電流に関係付けられた第２の信号を生成する第２の回路と、
制御端子を有し、上記高電位電源が高い動作電位を発生できるようにある動作電位を上記高電位電源に供給する第３の回路と、
上記第１及び第２の回路及び上記制御端子に接続され、上記第１及び第２の回路から上記第１及び第２の信号を受信し、そして上記第３の回路によって上記高電位電源へ供給される上記動作電位を制御する第４の回路と、
上記制御端子に接続され、上記高電位電源が上記高い動作電位を供給できないように、上記高電位電源への上記動作電位の供給を不能にする第５の回路と、
を備え、
上記第１の回路は、プログラム可能な論理制御装置（ＰＬＣ）を備え、
更に、上記ＰＬＣを上記第４の回路に接続する高速バスを備えていることを特徴とする高電位電源。
【請求項３】
上記第１の回路は、所望の出力高電位を選択するための第１のポテンショメータと、上記第１のポテンショメータを上記第４の回路に接続するための導体とを備えている請求項２に記載の高電位電源。
【請求項４】
上記ＰＬＣ及び上記第１のポテンショメータの一方を、上記第４の回路に選択的に接続するためのスイッチを更に備えている請求項３に記載の高電位電源。
【請求項５】
上記第３の回路は、一次巻線及び二次巻線を有する高電位変成器を備え、上記一次巻線はセンタータップ及び２つの端端子を有し、上記第３の回路は、上記端端子のそれぞれの端子に接続されている第１及び第２のスイッチ、及び上記第１及び第２のスイッチをそれぞれ制御するための互いに逆相の第１及び第２のスイッチング信号の源を更に備えている請求項４に記載の高電位電源。
【請求項６】
上記第２の回路は、所望の出力電流を選択するための第２のポテンショメータと、上記第２のポテンショメータを上記第４の回路に接続するための導体とを備えている請求項４に記載の高電位電源。
【請求項７】
上記ＰＬＣ及び上記第２のポテンショメータの一方を、上記第４の回路に選択的に接続するための第２のスイッチを更に備えている請求項６に記載の高電位電源。
【請求項８】
上記第３の回路は、一次巻線及び二次巻線を有する高電位変成器を備え、上記一次巻線はセンタータップ及び２つの端端子を有し、上記第３の回路は、上記端端子のそれぞれの端子に接続されている第１及び第２のスイッチ、及び上記第１及び第２のスイッチをそれぞれ制御するための互いに逆相の第１及び第２のスイッチング信号の源を更に備えている請求項７に記載の高電位電源。
【請求項９】
高電位電源において、
上記高電位電源の１対の出力端子にまたがる所望の高電位に関係付けられた第１の信号を生成する第１の回路と、
上記高電位電源からの出力電流に関係付けられた第２の信号を生成する第２の回路と、
制御端子を有し、上記高電位電源が高い動作電位を発生できるようにある動作電位を上記高電位電源に供給する第３の回路と、
上記第１及び第２の回路及び上記制御端子に接続され、上記第１及び第２の回路から上記第１及び第２の信号を受信し、そして上記第３の回路によって上記高電位電源へ供給される上記動作電位を制御する第４の回路と、
上記制御端子に接続され、上記高電位電源が上記高い動作電位を供給できないように、

上記高電位電源への上記動作電位の供給を不能にする第５の回路と、
を備え、
上記第２の回路は、プログラム可能な論理制御装置（ＰＬＣ）を備え、
更に、上記ＰＬＣを上記第４の回路に接続する高速バスを備えていることを特徴とする高電位電源。
【請求項１０】
上記第２の回路は、所望の出力電流を選択するための第１のポテンショメータと、上記第１のポテンショメータを上記第４の回路に接続するための導体とを備えている請求項９に記載の高電位電源。
【請求項１１】
上記ＰＬＣ及び上記第１のポテンショメータの一方を、上記第４の回路に選択的に接続するための第１のスイッチを更に備えている請求項１０に記載の高電位電源。
【請求項１２】
上記第３の回路は、一次巻線及び二次巻線を有する高電位変成器を備え、上記一次巻線はセンタータップ及び２つの端端子を有し、上記第３の回路は、上記端端子のそれぞれの端子に接続されている第１及び第２のスイッチ、及び上記第１及び第２のスイッチをそれぞれ制御するための互いに逆相の第１及び第２のスイッチング信号の源を更に備えている請求項１１に記載の高電位電源。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、例えば静電塗装材料用アトマイザ及びディスペンサに使用されるような高電位電源のための制御装置に関する。
【０００２】
【従来の技術】
これらのシステムの多くが公知である。例えば、米国特許第 3,851,618号、同第 3,875,892号、同第 3,894,272号、同第 4,075,677号、同第 4,187,527号、同第 4,324,812号、同第 4,481,557号、同第 4,485,427号、同第 4,745,520号、及び同第 5,159,544号等に開示されている。
【０００３】
【発明の開示】
本発明による高電位電源は、その１対の出力端子にまたがる所望の出力高電位に関係付けられた第１の信号を生成する第１の回路と、その出力電流に関係付けられた第２の信号を生成する第２の回路と、それが高い動作電位を発生することができるように、高電位電源へ動作電位を供給する制御端子を有する第３の回路とを備えている。第４の回路が、第１及び第２の回路と、制御端子とに接続されている。第４の回路は、第１及び第２の回路からの第１及び第２の信号を受信し、第３の回路によって高電位電源へ供給される動作電位を制御する。第５の回路は、高電位電源への動作電位の供給を選択的に動作不能にして、高電位電源が高い動作電位を供給できないようにする。第５の回路も、制御端子に接続されている。
【０００４】
一実施例では、第１及び第２の回路は、プログラム可能な論理制御装置（ＰＬＣ）、及びＰＬＣを第４の回路に接続するための高速バスを備えている。
別の実施例では、第１及び第２の回路は各々、所望の出力高電位及び出力電流をそれぞれ選択するための第１及び第２のポテンショメータと、第１及び第２のポテンショメータを第４の回路に接続するための導体とを備えている。
更に別の実施例では、第１及び第２のスイッチがそれぞれ、ＰＬＣ及び第１のポテンショメータの一方、及びＰＬＣ及び第２のポテンショメータの一方を第４の回路に選択的に接続する。
本発明の更に別の実施例では、第３の回路は、一次巻線及び二次巻線を有する高電位変成

器を含む。一次巻線は、センタータップと、両端の端子とを有している。第３及び第４のスイッチがそれぞれ、一方の端端子に接続されている。互いに逆相の第１及び第２のスイッチ信号の源が、第３及び第４のスイッチをそれぞれ制御する。

【０００５】

一実施例では、第４の回路は、第１の信号と第２の信号との加算接合点を形成している入力端子と、センタータップに接続されている出力端子とを有するスイッチングレギュレータを備えている。第５の回路は、マイクロプロセッサ（μＰ）と、μＰに接続されていてμＰから第３のスイッチング信号を受信する第５のスイッチを含んでいる。第５のスイッチは、加算接合点に接続されていて、第３のスイッチング信号をスイッチングレギュレータに印加してセンタータップへ動作電位を供給できないようにする。

一実施例では、第５のスイッチは、μＰの制御に応答して第５のスイッチが生成したスイッチング信号を平滑化するフィルタを通して加算接合点に接続されている。

【０００６】

最後の実施例では、動作電位が高電位電源に供給されているか否かをμＰと共働して決定する第６の回路と、高電位電源が高電位を生成していることを指示しているか否かをμＰと共働して決定する第７の回路とを備えている。μＰは、もし動作電位が高電位電源に供給されていないにも拘わらず高電位電源が高電位を生成していることを指示していれば、障害が発生しているものと解釈する。一実施例では、μＰは、動作電位が高電位電源に供給されているにも拘わらず高電位電源が高電位を生成していないことを指示していれば、障害が発生しているものと解釈する。

本発明は、以下の添付図面に基づく実施例の詳細な説明からより明白に理解できるであろう。

【０００７】

【実施例】

以下の詳細な説明においては、特定の回路の型及び資源として幾つかの集積回路及び他の成分が示されている。多くの場合、これら特定的に示された回路の型及び資源のための端子名及びピン番号も示されているが、以下に説明する機能を遂行するのは、同一の、または他の何れかのメーカーから入手可能なこれらの示された回路だけであることを意味していると解釈すべきではない。典型的には、同一の、または他の何れかのメーカーからの他の回路も使用可能である。これらの他の回路の端子名及びピン番号は、本明細書に示されている特定の回路のそれらと同一であることも、または同一でないこともあり得る。

μＰ　４０によって実行されるルーチンの流れ図を図１－４に示す。特に図１を参照する。高電圧電源の接地戻り電流フィードバックＩＦＢ、及び複数のフィルタサンプルがブロック４２に供給され、ブロック４２はこれらの変数から「ＩＦＢ平均」（ＩＦＢ　ＡＶＧ）を計算する。di/dt Δ設定がディスプレイ／セット機能ルーチン４４からμＰ　４０へ供給される。di/dt Δ及びサンプルホールド時間の長さが判断ブロック４６へ供給され、ブロック４６は、サンプルホールド時間の間のＩＦＢ平均、即ちＩＦＢ　ＡＶＧΔの変化がdi/dtΔよりも大きいか否かを決定する。この判断ブロック４６は、サンプルホールド時間の間のＩＦＢ　ＡＶＧΔがdi/dtΔより大きくなるまで質問され続ける。そのようになると、ルーチンは次にブロック４８において「di/dt動作可能はアクティブであるか？」否かを決定する。この判断ブロック４８は、di/dt 動作可能がアクティブであることが検出されるまで質問され続ける。そのようになると、ブロック４９において「di/dtをアクティブにセット」する。

【０００８】

別のルーチンは判断ブロック５０、即ち「高電圧はオンであるか？」を含む。この判断ブロック５０は、高電圧がオンであることが検出されるまで質問され続ける。高電圧がオンであることが検出されると、判断ブロック５２に達して「ＩＦＢは指令された電流限界（ＣＬＣＯＭ）より大きいか？」（即ち、ＩＦＢ＞ＣＬＣＯＭ？）が調べられる。判断ブロック５２は、ＩＦＢ＞ＣＬＣＯＭになるまで質問され続ける。そのようになると判断ブロック５４、即ち「過電流動作可能はアクティブであるか？」へ進む。判断ブロック５４は

、過電流動作可能がアクティブであることが検出されるまで質問され続ける。di/dt 動作可能または過電流動作可能が達成されると、ブロック５５において「過電流をアクティブにセット」する。

【０００９】

「高電圧をオン」を動作不能にする別の判断を以下に説明する。出力高電圧及び高電圧電源への接地戻り電流フィードバック経路は、高電圧電源に障害が発生しているとシステムが解釈する若干の状態を指示する。もしこれらの状態の何れかが発生すれば、μＰ　４０によって高電圧電源は動作不能にされる。図示のシステムでは、判断ブロック５７において「ＩＦＢが２μＡより大きい、またはｋＶフィードバック（ＫＶＦＢ）が２ｋＶより大きい」ことが決定されれば、システムが初期化されてから所定の「禁止」時間の後に（ブロック５３）、μＰ　４０はフィードバックが障害の発生を指示しているものと解釈して「フィードバック障害をセット」し（ブロック５８）、システムを動作不能にする。これは、入力が印加されていないにも拘わらず出力が発生している状況に対応する。同様にもしＩＦＢが 0.1μＡよりも小さいか、または、ＫＶＦＢが 0.5ｋＶより小さく、且つ、高電位電源入力変成器のセンタータップの電圧が４ＶＤＣよりも大きければ（判断ブロック５９）、μＰ　４０はフィードバックが障害の発生を指示しているものと解釈し、「禁止」時間が経過した後に「フィードバック障害をセット」し（ブロック５８）、システムを動作不能にする。これは入力が印加されているにも拘わらず出力が発生しない状況に対応する。

【００１０】

これらのルーチンの何れかが原因でブロック６２において「高電圧オンをセット」しなければ、μＰ　４０は判断ブロック６０において「高電圧オフはアクティブであるか？」否かを決定する。この判断ブロック６０は、高電圧オフがアクティブであることが検出されるまで質問され続ける。高電圧オフがアクティブであることが検出されれば、ブロック６２の「高電圧オンをセット」が動作不能にされている。もしこれらの経路の１つによって「高電圧オン」が動作不能にされていなければ、μＰ　４０は次に判断ブロック６４において、システムの「高電圧インターロックはアクティブであるか？」否かを決定する。この判断ブロック６４は、高電圧インターロックが動作可能になるまで質問され続ける。「高電圧インターロックはセットされているか？」否かの判断ブロック６４は、ゲート６５において判断ブロック６６からの「プログラム可能な論理制御装置レディはアクティブであるか？」、または判断ブロック６８からの「フロントパネルの高電圧オンはアクティブであるか？」と論理積（ＡＮＤ）される。これらの判断ブロック６６、６８の何れかがＹＥＳであれば、判断ブロック６４からの「高電圧インターロックはアクティブであるか？」のＹＥＳと論理積されてブロック７０の「高電圧レディをセット」する。これは、ブロック５５の「過電流をアクティブにセット」、またはブロック５８の「フィードバック障害をセット」によってブロック６２の「高電圧オンをセット」が動作不能にされていない限り、ブロック６２の「高電圧オンをセット」する。

【００１１】

センタータップの電圧の調整を説明するために、図２を参照する。μＰ　４０は先ず、判断ブロック７４において「電圧傾斜(ramp)は動作可能であるか？」否かを決定する。この判断ブロック７４は、「電圧傾斜」が動作可能になるまで質問され続ける。「電圧傾斜」が動作可能になると、次にμＰ　４０は、判断ブロック７６において「ＫＶＦＢΔは電圧傾斜Δより大きいか？」否か（即ち、ＫＶＦＢΔ＞Ｖ．ＲＡＭＰΔ？）を決定する。この判断ブロック７６は、ＫＶＦＢΔ＞ＲＡＭＰΔになるまで質問され続ける。この状態が検出されると、ブロック７８において「電圧傾斜をアクティブにセット」する。これは、パルス列を「センタータップ電圧（ＶＣＴ）」ゲート８０に供給する一つの経路である。フィードバック電流（ＩＦＢ）がフィードバック電流限界（ＩＬＩＭ）よりも大きくても、パルスがＶＣＴゲート８０へ送られる。この判断を行うブロックは判断ブロック８１（ＩＦＢ＞ＩＬＩＭ？）である。ＶＣＴゲート８０へパルスを送る第３の経路は dt/diがアクティブの時である。この判断は判断ブロック４９において行われる。これは、図１に関

して説明済みである。図示実施例では、操作者はオプション（スイッチ８２で示す）で、この経路を使用することも、または使用しないこともできる。

【００１２】

後述する手法で決定されるパルス幅及び周波数を有するパルスが、ＶＣＴ遮断スイッチ８４へ供給される。ＶＣＴ遮断スイッチ８４からの出力は、ＶＣＴレギュレータＩＣ　８６への入力である。ＶＣＴレギュレータＩＣ　８６への他の入力は、ＫＶＦＢバッファ８８によって緩衝されたＫＶＦＢ信号と、指令されたＫＶ設定（ＫＶＳＥＴ）とを含む。指令されたＫＶ設定（ＫＶＣＯＭ）は２つの源、即ち、装置のフロントパネルのＫＶ調整ポテンショメータ９０、またはＩ／Ｏ機能８９の１つとしてＰＬＣの何れかから到来する。図３に示すＩ／Ｏ機能の中からＫＶ調整を選択するためには、操作者はフロントパネル上のローカル／遠隔スイッチ９６の遠隔位置を選択する必要がある。

次にシステムを構成している２つの印刷回路基板のブロック線図を参照する。図４に示すμＰ　４０基板は、μＰ　４０自体と、ディスプレイ１００と、標準制御域ネットワークバス（ＣＡＮＢＵＳ）Ｉ／Ｏのような高速ネットワークＩ／Ｏ　１０２とを含んでいる。図示のμＰ　４０は、８０Ｃ１９６ＫＢ－１２μＰ型である。μＰ　４０は、フロントパネルからの指令されたＫＶ（ＫＶＣＯＭ）、指令された高電位電源出力電流限界（ＣＬＣＯＭ）、高電位電源の出力からのキロボルトフィードバック信号（ＫＶＦＢ）、高電位電源の接地接続における接地戻り電流フィードバック（ＩＦＢ）、及び高電位電源の高電圧変成器の一次巻線のセンタータップ電圧の大きさ（ＶＣＴ）を含む幾つかの入力をＡ／Ｄ変換する。μＰ　４０はこれらの入力その他から、高電位電源のフェーズロックドループ発振器１１２を動作可能ならしめる「フェーズロック可能化信号」（ＰＬＥＮ）、ＶＣＴレギュレータ８６への「コロナＳＳｅＮＳｅ信号」（ＣＲＳＮＳ）、例えば自動式の銃型アトマイザのような空気圧で援助されたアトマイザ１１３（図８）、またはベル型またはディスク型アトマイザのような回転アトマイザへの空気の流れの噴霧、または成形をトリガする「空気トリガ」制御信号（ＡＩＲＴＲＩＧ）、例えば塗装動作中に、または色を変化させる時にそれぞれ、塗装材料または溶剤の流れをトリガする「流体トリガ」制御信号（ＦＬＵＩＤ　ＴＲＩＧ）、ローカル制御モード中のＫＶＣＯＭ、または遠隔制御モード中のＰＬＣによって指令される出力高電圧設定の何れかであるＫＶセット信号（ＫＶＳＥＴ）、ローカル制御モード中にＣＬＣＯＭ、または遠隔制御モード中にＰＬＣによって指令される電流設定の何れかである電流セット信号（ＩＳＥＴ）、及び、高電位電源１０６をアトマイザ１１３へスイッチする「高電圧オン」信号（ＨＶＯＮ）を含む出力を生成する。

【００１３】

図５に示す出力印刷回路基板は、ＩＦＢ信号を受信して、緩衝されたＩＦＢ信号をμＰ　４０とアナログ勾配制御回路１１６とに出力するバッファ増幅器１１４、ＫＶＦＢ信号を受信して緩衝されたＫＶＦＢ信号をμＰ　４０と、アナログ勾配制御回路１１６と、単極双投一次／二次フィードバック選択スイッチ１１８の一方の端子１１８ａとに出力するバッファ増幅器８８を含んでいる。この出力基板は、ＶＣＴレギュレータ８６へのＫＶＳＥＴ入力をも含んでいる。ＶＣＴレギュレータ８６の出力端子は、バッファ１２２を通して高電位変成器の一次巻線のセンタータップ１０８に接続されている。この端子は、スケーリング増幅器１２４を通してフィードバック選択スイッチ１１８の他方の端子１１８ｃにも接続されている。従って、操作者はＶＣＴレギュレータ８６の電圧フィードバック入力端子への電圧フィードバック信号の源として、増幅器１２４によって適切にスケールされてスイッチの端子１１８ｃに現れる信号か、または端子１１８ａに現れる高電位電源の出力電圧ＫＶＦＢの何れかを選択することができる。この出力印刷回路基板は、μＰ　４０からの信号である「コロナＳＳｅＮＳｅ　Ａ信号」（ＣＲＳＮＳ）に応答してＶＣＴレギュレータ８６の「補償」入力端子（ＣＯＭＰ）をスイッチさせ、ＶＣＴレギュレータ８６を動作不能にするＶＣＴ遮断スイッチ８４を更に含んでいる。出力基板は、フェーズロックを動作可能にする入力（ＰＬＥＮ）を有するフェーズロックドループ高電位電源発振器１１２を更に含み、トランジスタ１３２、１３４によって増幅されたその出力Ａ及びＢは

高電位電源の入力変成器１３３の一次巻線１３３ａ（図８）の両端に接続される。

【００１４】

図６ａ－ｉは、システムの処理基板を、部分的にブロック線図で、また部分的に回路図で示している。図６ａ－ｃに示すシステムの内部バス１４０は、信号及び動作電位を送受するために使用される。μＰ　４０（図６ｄ）は、バス１４０からＶＣＴ、ＩＦＢ、ＫＶＣＯＭ、パルス幅変調制御（ＰＷＭＣＯＮＴ）、緩衝されたＩＦＢ（ＢＵＦＦＩＦＢ）、ＣＬＣＯＭ（以上図６ａ）、及び緩衝されたＫＶＦＢ（ＢＵＦＦＫＶＦＢ）信号（図６ｂ）を受信するＡ／Ｄポート０を含んでいる。これらの信号は、図６ａに示すように 270Ω－0.01μＦのＲＣ回路及びバック・トゥ・バックダイオード保護回路を含む入力回路を通して、ポート０のＰ０．７－Ｐ０．１端子にそれぞれ印加される。図４に示したディスプレイ１００は、μＰ　４０のポート１とディスプレイ１００との間に接続されているディスプレイドライバ１４２（図６ｅ）によって駆動される。即ち、μＰ　４０のＰ１．０－Ｐ１．５端子はそれぞれ、ディスプレイドライバ１４２の１Ｄ０－１Ｄ３、モード、及び書き込み端子に接続されている。図示したディスプレイドライバ１４２は、Ｉ　ＣＭ７２１８ＡＩ　Ｊ１型ディスプレイドライバである。

【００１５】

μＰ　４０によって実行されるプログラムは、図６ｆ－ｇに示すＥＰＲＯＭ１４４内に格納されている。スタティックＲＡＭ（ＳＲＡＭ）１４６は、μＰ４０によって行われる計算、並びにバス１４８へ、及びバス１４８から引き渡されるデータのための記憶装置になっている。例示のために図示したＥＰＲＯＭ１４４は、２８Ｆ００１ＢＸ型のＥＰＲＯＭであり、ＳＲＡＭ　１４６は、４３２５６型のＳＲＡＭである。ＣＡＮＢＵＳ　Ｉ／Ｏ　１０２は、３：８デマルチプレクサ１５０を含み（図６ｈ）、デマルチプレクサ１５０からの出力Ｑ４－Ｑ０は、バス１４８の「コロナＳＳｅＮＳｅ　Ａ」（ＣＳＳＮＳＡ）、「フェーズロック動作可能」（ＰＬＥＮ）、「流体トリガ」（ＦＬＵＩＤＴＲＩＧ）、「空気トリガ」（ＡＩＲＴＲＩＧ）、及び「高電圧オン」（ＨＶＯＮＡ）をそれぞれ駆動する。図示のデマルチプレクサ１５０は、７４ＬＳ２５９型のデマルチプレクサである。ＣＡＮＢＵＳ　Ｉ／Ｏ　１０２は、直並列／並直列（Ｓ－Ｐ／Ｐ－Ｓ）変換器１５４及びバスドライバ１５６（図６ｈ）を更に含む。バス１４８のＣＡＮ＋及びＣＡＮ－端子は、バスドライバ１５６のＣＡＮ＋及びＣＡＮ－端子にそれぞれ接続されている。Ｓ－Ｐ／Ｐ－Ｓ変換器１５４のＲＸ１及びＲＸ０端子は、バスドライバ１５６のＲＥＦ及びＲＸ端子にそれぞれ接続されている。Ｓ－Ｐ／Ｐ－Ｓ変換器１５４のＴＸ０端子は、バスドライバ１５６のＴＸ端子に接続されている。図示のＳ－Ｐ／Ｐ－Ｓ変換器１５４は、８２Ｃ２００型Ｓ－Ｐ／Ｐ－Ｓ変換器である。Ｉ／Ｏ機能には、ＲＳ２３２インタフェースに対する準備がなされている。即ち、Ｉ／Ｏは、図６ｉに示すようにＲＳ２３２－ＴＴＬ／ＴＴＬ－ＲＳ２３２インタフェース１６０を更に含んでいる。μＰ　４０のＴＸＤライン（端子Ｐ２．０）及びＲＸＤライン（端子Ｐ２．１）は、それぞれインタフェース１６０のＴ２ｉ及びＲ２ｏ端子に接続されている。インタフェース１６０のＴ２ｏ及びＲ２ｉ端子は、それぞれバス１４８のＴＸ２３２及びＲＸ２３２ラインに接続されている。図示のインタフェース１６０は、ＭＡＸ２３２型インタフェースである。

【００１６】

図６ｇに示すＤ／Ａ変換器１６４は、図７ａ－ｆに示す出力基板へのアナログ信号を生成する。Ｄ／Ａ変換器１６４の入力ポートＤＢ０－ＤＢ７は、それぞれシステムＡＤ０－ＡＤ７ラインを介して、μＰ　４０のＰ３．０－Ｐ３．７端子にそれぞれ接続されている。Ｄ／Ａ変換器１６４のＶｏｕｔＡ及びＶｏｕｔＢ端子は、それぞれバス１４８のＫＶＳＥＴ及びＩＳＥＴラインを形成している。図示のＤ／Ａ変換器１６４は、ＤＡＣ８２２９型のＤ／Ａ変換器である。ＣＡＮＢＵＳ上のμＰ　４０のノードアドレスは、図６ｅに示す８進ラッチ１６８を介してシステムＡＤ０－ＡＤ７ラインに接続されている８進スイッチ１６６及び 10 ｋΩのプルダウン抵抗によって確立される。図示した８進ラッチ１６８は、７４ＡＬＳ２４５型８進ラッチである。システムは、いろいろな異なる型の電源（あるものは、例えば米国特許第 5,159,544号に開示されているような高Ｑの高圧電源入力変成

器１３３を使用し、あるものは比較的低Ｑの高圧電源入力変成器１３３を使用している）を制御するように設計されている。システムは、システムが制御している電源の型を識別できる必要がある。図６ｇに示す反転ＲＰ１０００ラインは、図示したシステムによって制御されている電源を、高Ｑ入力変成器１３３を有する電源であるか、またはそうでないかを識別する。バス１４８のこのライン（図６ｉ）は、４進スイッチ１７１（図６ｇ）の１つのスイッチを介してμＰ　４０への入力の１ビットを指示する。４進スイッチ１７１の別のスイッチは、システムの手動「高電圧オン」スイッチである。別の４進スイッチ１７３は、システムの初期化シーケンスを制御する。これらのスイッチは、８進ラッチ１７０を介してシステムＡＤ０－ＡＤ７ラインに接続されている。図示したラッチ１７０は、７４ＡＬＳ２４５型８進ラッチである。ＡＤ０－ＡＤ７ラインは、それぞれＥＰＲＯＭ　１４４のＤ０－Ｄ７端子に、それぞれＳＲＡＭ　１４６のＯ０－Ｏ７端子に、及びそれぞれＳ－Ｐ／Ｐ－Ｓ変換器１５４（図６ｈ）のＡＤ０－ＡＤ７端子にも接続されている。

【００１７】

ＡＤ０－ＡＤ７ラインは、それぞれバッファ／ラッチ１７４（図６ｆ）のＤ０－Ｄ７ラインにも接続されている。バッファ／ラッチ１７４の出力端子Ｑ０－Ｑ７は、それぞれシステムＡ０－Ａ７ラインに接続されている。図示のバッファ／ラッチ１７４は、７４ＡＬＳ５７３型のバッファ／ラッチである。システムＡ０－Ａ７ラインは、それぞれＥＰＲＯＭ　１４４のＡ０－Ａ７端子に、及びそれぞれＳＲＡＭ　１４６のＡ０－Ａ７端子に接続されている。μＰ　４０のＰ４．０－Ｐ４．７端子は、それぞれシステムＡ８－Ａ１５を介してＥＰＲＯＭ　１４４のＡ８－Ａ１５端子にそれぞれ接続され、またＡ８－Ａ１４ラインはそれぞれＳＲＡＭ　１４６のＡ８－Ａ１４端子に接続されている。図６ｆに示すように、μＰ　４０のＨＳ０．３、ＨＳ０．２、ＨＳ０．１、ＨＳ０．０端子は、それぞれ適切な増幅器を通して接続されているＬＥＤ等によって、「高電圧オン」（ＨＶＯＮ）、「高電圧レディ」（ＨＶＲＤＹ）、「過電流」（ＯＶＣＵＲ）、及び「フィードバック障害」（ＦＢＦＬＴ）状態を操作者に指示する。μＰ　４０のための初期化パラメータを含むＥＥＰＲＯＭ　１８０（図６ｄ）のＤＯ、ＤＩ、ＳＫ、及びＣＳ端子は、それぞれμＰ４０のＰ２．４－Ｐ２．７端子に接続されている。図示のＥＥＰＲＯＭ　１８０は、９３Ｃ４６型のＥＥＰＲＯＭである。適切な増幅器を通してデマルチプレクサ１５０（図６ｈ）のＱ６及びＱ７端子に接続されているＬＥＤ等によって、「ＣＡＮＢＵＳアクティブ」及び「ＣＡＮＢＵＳエラー」状態が指示される。

【００１８】

図７ａ－ｆに示す出力基板は、フェーズロックドループ（ＰＬＬ）ＩＣ　１９８（図７ｃ）、及びＡ及びＢドライブトランジスタ１３２及び１３４（図７ｆ）を含んでいる。ＰＬＬ　ＩＣ　１９８（図７ｃ）へのＳＩＧＩＮ入力は、一方の電極が接地されている 0.0047 μＦのコンデンサ、及び 0.01 μＦのコンデンサと１ｋΩの抵抗の直列組合わせを含むＲＣ回路によって成形された「フェーズロックフィードバック」信号（ＰＬＦＢ）である。ＰＬＬ　ＩＣ　１９８のＳＩＧＩＮ入力端子は、反転「フェーズロック入力　Ａ」信号（反転ＰＬＩＮＡ）ラインにも接続されている。図示したＰＬＬ　ＩＣ　１９８は、ＣＤ４０４６型のＰＬＬ　ＩＣであり、ドライブトランジスタ１３２、１３４（図７ｆ）は、ＩＦＲ５４０型のＦＥＴである。トランジスタ１３２の駆動信号は、ＰＬＬ　ＩＣ　１９８のＶＯＵＴ端子から、Ｄフリップフロップ（ＦＦ）２００のクロック（ＣＬＫ）入力端子へ出力される。Ｄ　ＦＦ　２００の互いに逆相のＱ、及び反転Ｑ出力は、２つのプッシュプルに構成されたプリドライバトランジスタ対２０２、２０４にそれぞれ接続されている。これらのトランジスタ対の出力は、それぞれの波形成形用並列ＲＣ回路２０６（図７ｅ）を通して、それぞれのＡ及びＢドライブトランジスタ１３２、１３４のゲートに接続されている。Ａ及びＢドライブトランジスタ１３２、１３４のドレインは、高電位電源の入力変成器１３３（図８）の一次巻線１３３ａの両端、即ち「ドライブＡ」及び「ドライブＢ」端子にそれぞれ接続されている。トランジスタ１３２、１３４のソースは、システムの＋24ＶＤＣ接地戻り（ＲＥＴ）に接続されている。図示したＤ　ＦＦは、ＣＤ４０１３型のＤ　ＦＦである。図示したトランジスタ対２０２、２０４は、ＴＰＱ６００２型ト

ランジスタ対である。ＰＬＬ回路の残余は、米国特許第 5,159,544号に開示されている。

【００１９】

図７ｂを参照する。ＰＬＣからシステムへ到来する電流設定信号（ＰＣＩＳＥＴ）は、100 ｋΩの入力抵抗を通して差動増幅器２１０の非反転（＋）入力端子に印加される。増幅器２１０の＋入力端子は、49.9ｋΩの抵抗を通して接地されている。システムバスのアナログ接地ライン（ＡＮＧＮＤ）は、100 ｋΩの入力抵抗を通して差動増幅器２１０の反転（－）入力端子に印加される。差動増幅器２１０の－入力端子は、49.9ｋΩのフィードバック抵抗を通してその出力端子に接続されている。増幅器２１０の出力端子は、リレー２１２の常閉接点２１２ａを通して端子２１４に接続されている。リレー２１２の常開接点２１２ｂは、端子２１４と、１ｋΩのポテンショメータ２１８のワイパーとに接続されている。この配列により操作者は、システムの電流設定をＰＬＣ制御によるのか、またはフロントパネルからポテンショメータ２１８を介して行うのかを選択することができる。

【００２０】

増幅器２２０を含む同じような構成により、システム操作者は、高電位電源の所望の出力高電位の大きさをＰＬＣ制御するのか、フロントパネルから行うのかを選択することができる。ＰＣＫＶＳＥＴ信号ラインは、100 ｋΩの入力抵抗を通して増幅器２２０の＋入力端子に接続されている。＋５ＶＤＣ電源と接地との間の２つの直列の 49.9 ｋΩの抵抗が増幅器の＋入力端子を＋2.5 ＶＤＣにバイアスしている。アナログ接地（ＡＮＧＮＤ）は、100 ｋΩの抵抗を通して増幅器２２０の－入力端子に接続されている。25.2ｋΩの抵抗と 0.01 μＦのコンデンサを含む並列ＲＣフィードバック回路が、増幅器２２０の－入力端子と出力端子とにまたがって接続されている。増幅器２２０の出力端子は、リレー２２２の常閉接点２２２ａを通してシステムバスの指令されたＫＶ（ＫＶＣＯＭ）ラインに接続されている。この信号は、操作者のオプションで、バッファ増幅器２２４の＋入力端子上に確立される直流電圧と交互に選択することができる。この直流電圧は、１ｋΩのポテンショメータ２２６のワイパ上に確立される。ポテンショメータ２２６は、825 Ωの抵抗及び 500Ωのポテンショメータと直列に＋５ＶＤＣと接地との間に接続されている。500Ωのポテンショメータのワイパも接地されているので、825 Ωの抵抗及び 500Ωのポテンショメータの設定によって操作者は、システムフロントパネルから設定可能な最小出力高電位を確立することができる。増幅器２２０の出力は、リレー２２２の常開接点２２２ｂを通してＫＶＣＯＭラインに選択的に接続される。図示の増幅器２１０、２２０、及び２２４は、ＬＦ４４４ＣＮ型のクワッド増幅器の中の３つである。

【００２１】

図７ｄを参照する。システムバスからのＩＦＢ信号は、47ｋΩの抵抗を通して増幅器１１４の＋入力端子に印加される。増幅器１１４の＋入力端子と接地との間には 0.22 μＦのコンデンサが接続されている。増幅器１１４の出力端子は、バッファ構成で増幅器１１４の－入力端子に接続され、「緩衝されたＩＦＢ」（ＢＵＦＦ＿ＩＦＢ）を形成してμＰ４０に接続されている。システムバスからのＫＶＦＢ信号は、１ｋΩの抵抗を通して増幅器８８の＋入力端子に印加されている。増幅器８８の＋入力端子はこの１ｋΩの抵抗に接続されているダイオード２２６、２２８によって＋0.6 ＶＤＣと－15.6ＶＤＣとの間にクランプされる。増幅器８８の出力端子は、バッファ構成でその－入力端子に接続され、「緩衝されたＫＶＦＢ」（ＢＵＦＦ＿ＫＶＦＢ）を形成してμＰ ４０に接続される。ＢＵＦＦ＿ＫＶＦＢは、一次／二次フィードバックスイッチ１１８の端子１１８ａにも接続されている。スイッチ１１８の端子１１８ｂは、20ｋΩの直列抵抗を通してスケーリング増幅器１２０の－入力端子に接続されている。この増幅器の＋入力端子は、 20 ｋΩと 10 ｋΩの直列抵抗分圧器によって＋5/3 ＶＤＣにバイアスされている。増幅器１２０の出力端子（システムバスのパルス幅変調制御（ＰＷＭＣＯＮＴ）ラインを形成している）は、１ｋΩの直列抵抗を通してスイッチングレギュレータＩＣ（ＶＣＴレギュレータ）８６（図７ｅ）の制御入力端子（ピン１）に接続されている。センタータップ電圧（ＶＣＴ）は、ＩＣ ８６のＩ＋出力端子（ピン４）と、接地との間にまたがって現れる。ＶＣＴは、直列接続された 0.1Ω３Ｗの抵抗（図７ｅ）及び 21.5 ｋΩの抵抗（図７ｄ）を通してス

ケーリング増幅器１２４の－入力端子へフィードバックされている。増幅器１２４の出力端子は、15ｋΩのフィードバック抵抗を通してその－入力に接続され、またスイッチ１１８の端子１１８ｃに接続されている。図示した増幅器８８、１１４、１２０、及び１２４は、ＬＦ４４４ＣＮ型のクワッド増幅器である。例示したＶＣＴレギュレータＩＣ　８６は、ＵＣ３５２４Ａ型のスイッチングレギュレータである。

アナログ勾配制御回路１１６は、差動増幅器２３０、差動増幅器２３２、及びトランジスタ２３４を含んでいる。増幅器２３０の－入力端子は、増幅器８８の出力端子から 100ｋΩのポテンショメータのワイパ及び直列の 100ｋΩの抵抗を通してＢＵＦＦ＿ＫＶＦＢ信号を受信する。増幅器２３０の出力端子と、－入力端子との間には 100ｋΩのフィードバック抵抗が接続されている。増幅器２３０の出力端子は、100 ｋΩの抵抗を通して増幅器２３２の－入力端子に接続されている。ＢＵＦＦ＿ＩＦＢも、100 ｋΩの抵抗を通して増幅器２３２の－入力端子に印加される。増幅器２３２の－入力端子は、－ 15 ＶＤＣと接地との間に直列接続されている 100ｋΩのポテンショメータのワイパから、100 ｋΩの抵抗を通して負にバイアスされている。増幅器２３２の出力端子は、100 Ωの抵抗を通してトランジスタ２３４のベースに接続されている。トランジスタ２３４のコレクタは接地され、そのエミッタはＩＣ　８６の「補償」（ＣＯＭＰ）端子に接続されている。図示した増幅器２３０、２３２は、ＬＦ４４２ＣＮ型のデュアル増幅器である。図示のトランジスタ２３４は、２Ｎ２９０７型のバイポーラトランジスタである。

【００２２】

図７ｅを参照する。システムバスの「コロナＳＳｅＮＳｅ　Ａ」（ＣＳＳＮＳＡ）端子は、ＶＣＴ遮断スイッチ８４のゲートに接続され、また 100ｋΩの抵抗を通して接地されている。スイッチ８４のドレインは、6.8 Ωの抵抗２４０と、390 Ωの抵抗２４２との直列接続を通してＩＣ　８６の「補償」（ＣＯＭＰ）端子に接続されている。これらの抵抗の接合点と接地との間には、100 μＦの平滑用コンデンサ２４４が接続されている。μＰ４０からのパルス幅変調された出力「コロナＳＳｅＮＳｅ　Ａ」信号は、コンデンサ２４４にまたがって直流電圧を発生させる。この電圧はＩＣ　８６の「補償」（ＣＯＭＰ）端子において、アナログ勾配制御回路１１６からの出力信号と加算される。この信号は、他の経路でＩＣ　８６の「補償」端子に供給することもできる。例えば、μＰ　４０はＤ／Ａ出力ポートを有している。μＰ　４０のＤ／Ａ出力ポート上の出力信号は、フィルタ２４０、２４２、２４４によって濾波された「コロナＳＳｅＮＳｅ　Ａ」出力信号よりも滑らかな信号をＩＣ　８６の「補償」端子に供給する。μＰ４０からのパルス幅変調された出力「コロナＳＳｅＮＳｅ　Ａ」をフィルタ２４０、２４２、２４４で濾波して使用するか、またはμＰ　４０のＤ／Ａ出力ポートからの信号を使用することによって、１台よりも多くのアトマイザ１１３がシステムに結合されているような応用に柔軟性を付加することができる。例えば、アトマイザ１１３が１台である状況では、完全な高電位に到達するまでに 0.5秒かかってもシステムは許容できる。しかしながら、複数のアトマイザ１１３が共通の高電位電源に接続されている場合には、高電位をその指令された完全な値まで余りにも急速に上昇させようとすると、充電電流が静止過電流ＩＳＥＴよりも大きくなり得る。これらの状況では、μＰ　４０は高電位を指令された完全な値（ＫＶＳＥＴ）までより緩やかに傾斜させる柔軟性を操作者に与え、「有害性」が低い過電流状態をもたらすようになる。更に、指令された完全な高電圧まで緩やかに傾斜させることにより、通常は高電位電源と塗装用アトマイザ１１３とを接続している高電圧ケーブルの応力を軽減する。ＩＣ　８６の「発振器」（ＯＳＣ）端子は、１ｋΩの抵抗と 100ｐＦのコンデンサとの直列回路を通してトランジスタ対２０４の共通エミッタに接続されている。図示したスイッチ８４は、ＩＲＦＤ２１０型のＦＥＴである。ＩＣ　８６及びその付属成分は、米国特許第 4,745,520号に開示されているように機能する。

【図面の簡単な説明】

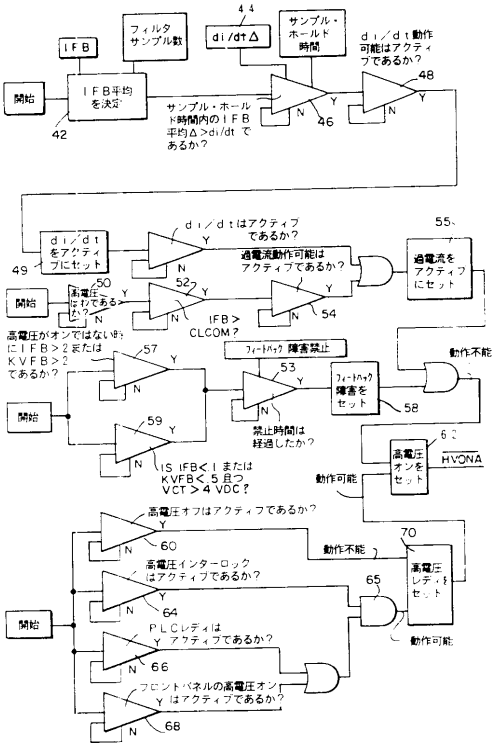
【図１】本発明による高電圧電源の動作中に、マイクロプロセッサ（μＰ）が実行するルーチンの流れ図である。

【図２】変成器の一次巻線のセンタータップ電圧（ＶＣＴ）を調整するルーチンの流れ図

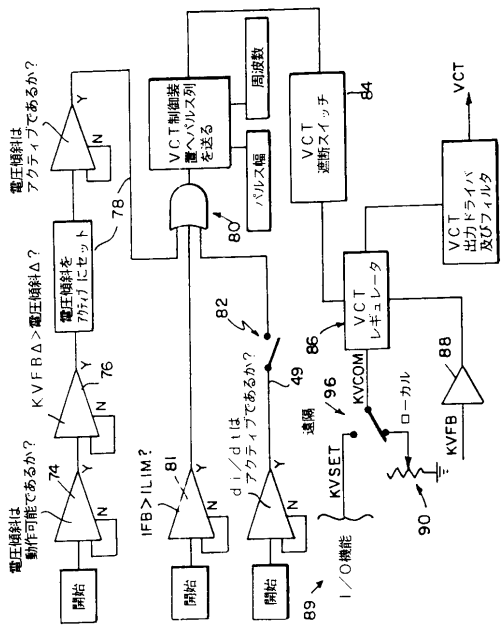
である。
【図３】図２のＩ／Ｏ機能８９の詳細を示す図である。
【図４】μＰ基板への入出力を示す図である。
【図５】出力印刷回路基板上の成分を示すブロック線図である。
【図６ａ】本発明の高電位電源の処理基板上の内部バスとそれに接続されている種々の成分を示すブロック線図である。
【図６ｂ】図６ａの下側に続く図であって、処理基板上の内部バスとそれに接続されている種々の成分を示すブロック線図である。
【図６ｃ】図６ｂの下側に続く図であって、処理基板上の内部バスとそれに接続されている種々の成分を示すブロック線図である。
【図６ｄ】図６ａの右側に続く図であって、処理基板上のμＰとその周辺の成分を示すブロック線図である。
【図６ｅ】図６ｄの下側に続く図であって、処理基板上のディスプレイドライバ、８進スイッチ及び８進ラッチの接続を示す図である。
【図６ｆ】図６ｄの右側に続く図であって、処理基板上のＥＰＲＯＭ、ＳＲＡＭ、及びバッファ／ラッチ等の接続を示す図である。
【図６ｇ】図６ｆの下側に続く図であって、処理基板上のＤ／Ａ変換器、８進ラッチ、及び４進スイッチ等の接続を示す図である。
【図６ｈ】図６ｇの右側に続く図であって、処理基板上のバス、デマルチプレクサ、直並列／並直列変換器、及びバスドライバ等の接続を示す図である。
【図６ｉ】図６ｈの下側に続く図であって、処理基板上のバス、ＲＳ２３２その他の接続を示す図である。
【図７ａ】本発明の高電位電源の出力基板上の電源回路を示すブロック線図である。
【図７ｂ】図７ａの左側に続く図であって、主として高電位電源の出力電流及び電圧を自動及び手動で設定する回路の回路図である。
【図７ｃ】出力基板上の高電位電源用のフェーズロックドループ（ＰＬＬ）及びその周辺の回路図である。
【図７ｄ】図７ａの右側に続く図であって、電圧及び電流フィードバック信号処理回路、及びアナログ勾配制御回路の回路図である。
【図７ｅ】図７ｃの右側及び図７ｄの下に続く図であって、主としてセンタータップ電圧の制御回路の回路図である。
【図７ｆ】図７ｃのＰＬＬによって駆動され、図８に示す回路を駆動する回路の回路図である。
【図８】高電位変成器を含む回路を、それに接続されているアトマイザと共に示す図である。
【符号の説明】
４０　マイクロプロセッサ（μＰ）
８４　センタータップ電圧（ＶＣＴ）遮断スイッチ
８６　ＶＣＴレギュレータ
８８　バッファ増幅器
１００　ディスプレイ
１０２　制御域ネットワークバスＩ／Ｏ
１０６　高電圧電源
１０８　変成器一次巻線のセンタータップ
１１２　フェーズロックドループ発振器（ＰＬＬ）
１１３　アトマイザ
１１４、１２２　バッファ増幅器
１１６　アナログ勾配制御回路
１１８　フィードバック選択スイッチ
１２０、１２４　スケーリング増幅器

１２２　バッファ
１３３　入力変成器
１４０　内部バス
１４２　ディスプレイドライバ
１４４　ＥＰＲＯＭ
１４６　ＳＲＡＭ
１４８　バス
１５０　デマルチプレクサ
１５４　直並列／並直列変換器
１５６　バスドライバ
１６０　ＲＳ２３２－ＴＴＬ／ＴＴＬ－ＲＳ２３２インタフェース
１６４　Ｄ／Ａ変換器
１６６　８進スイッチ
１６８、１７０　８進ラッチ
１７１、１７３　４進スイッチ
１７４　バッファ／ラッチ
１８０　ＥＥＰＲＯＭ
１９８　ＰＬＬ
２００　Ｄフリップフロップ
２１０、２２０　差動増幅器
２１２、２２２　リレー
２２４　バッファ増幅器
２３０、２３２　差動増幅器

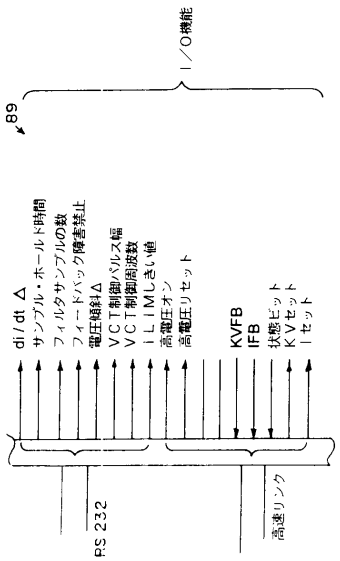
【図１】



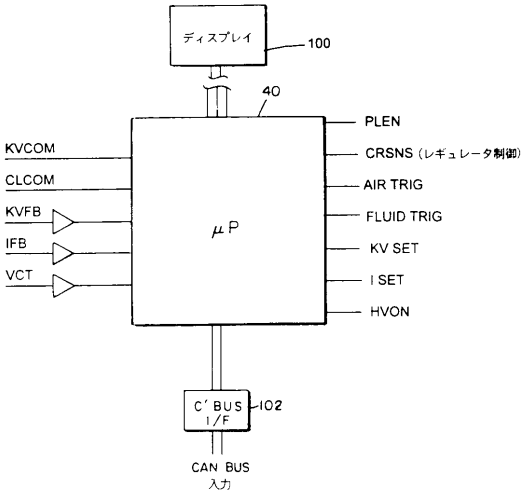
【図２】



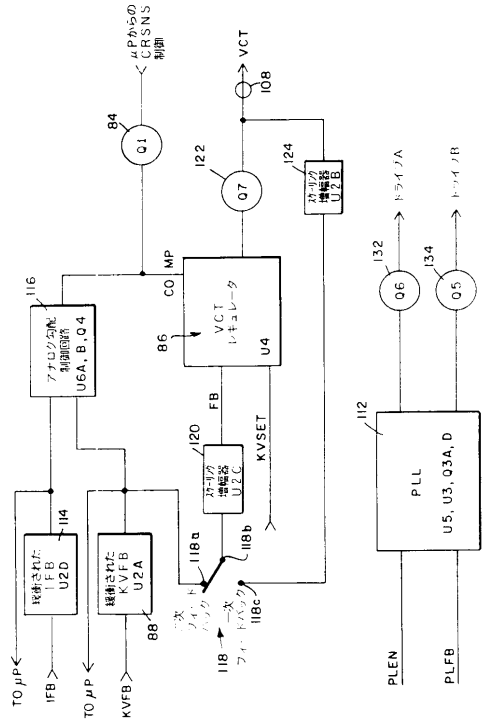
【図３】


I／O機能
89
di / dt Δ
サンプル・ホールド時間
フィルタサンプルの数
フィードバック障害禁止
電圧傾斜Δ
VCT制御パルス幅
VCT制御周波数
ILIMしきい値
高電圧オン
高電圧リセット
KVFB
IFB
状態ビット
KVセット
Iセット
RS 232
高速リンク

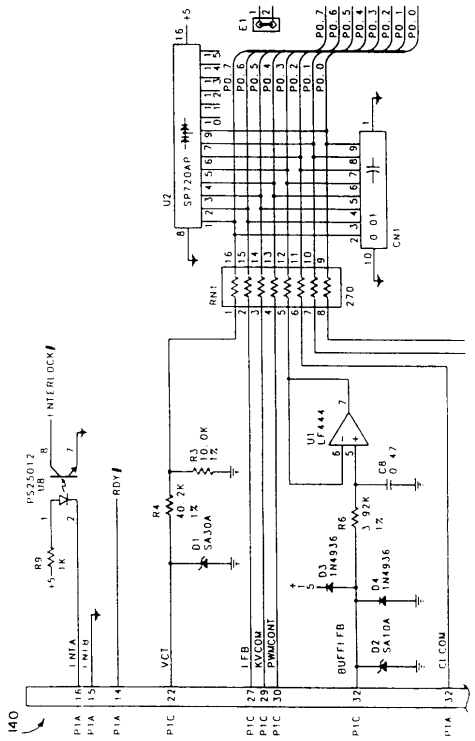
【図４】


ディスプレイ
100
40
KVCOM
CLCOM
KVFB
IFB
VCT
μP
PLEN
CRSNS（レギュレータ制御）
AIR TRIG
FLUID TRIG
KV SET
I SET
HVON
C' BUS I/F
102
CAN BUS 入力

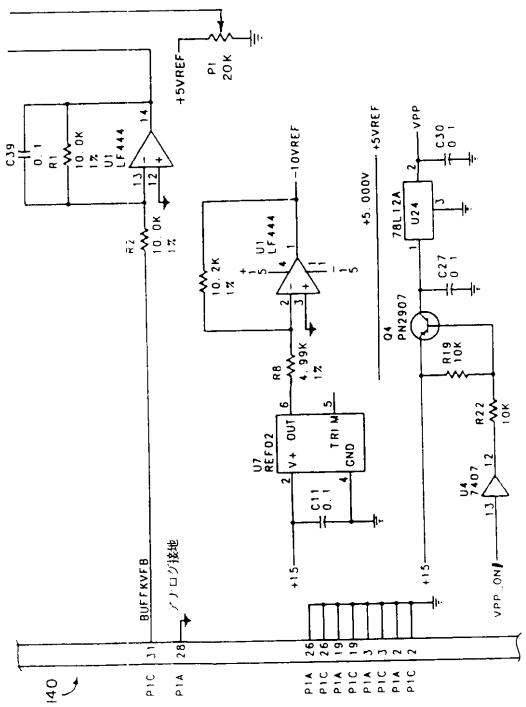
【図５】


μPからのCRSNS制御
VCT
108
84
Q1
122
Q7
124
オペアンプ U2B
トライアA
トライアB
132
Q6
134
Q5
116
アナログ分離制御部 U6A, B, Q4
MP
CO
VCTレギュレータ U4
86
FB
120
オペアンプ U2C
KVSET
112
PLL U5, U3, Q3A, D
114
検出されたIFB U2D
検出されたKVFB U2A
88
118a
118b
118c
一次フィードバック
TO μP
IFB
KVFB
PLEN
PLFB

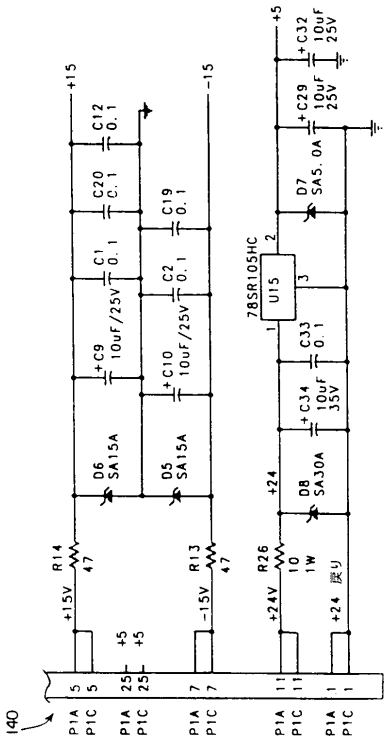
【図６ａ】


+5
E1
U2
SP720AP
CN1
RN1
270
U1
LF444
R3 0K
R4 40.2K 1%
R6 3.92K 1%
R9 1K
C8 0.47
D1 SA30A
D2 SA10A
D3 1N4936
D4 1N4936
PS2501-2
U8
INTERLOCK
RDY
INTA
INTB
VCT
IFB
KVCOM
PWMCONT
BUFFIFB
CLCOM
140

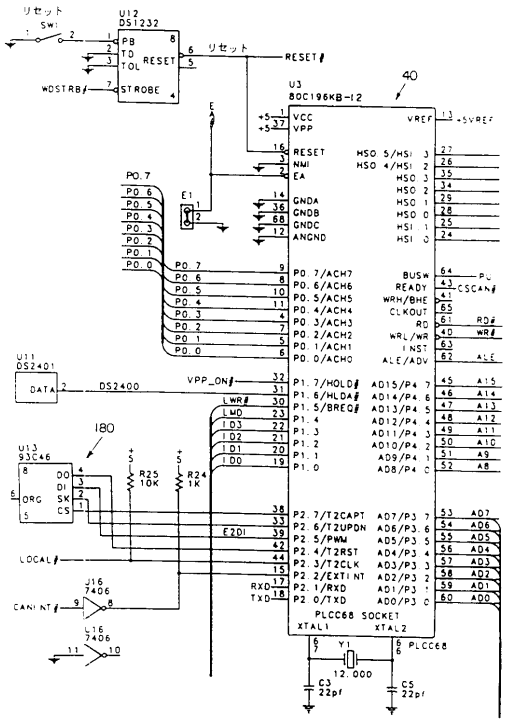
【図６ｂ】



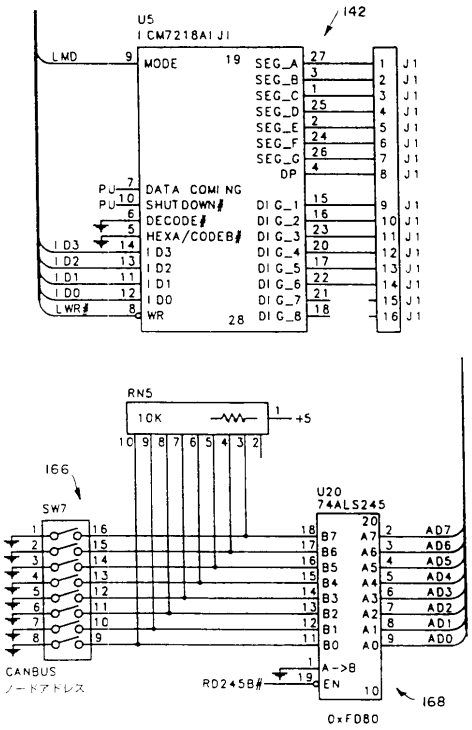
【図６ｃ】



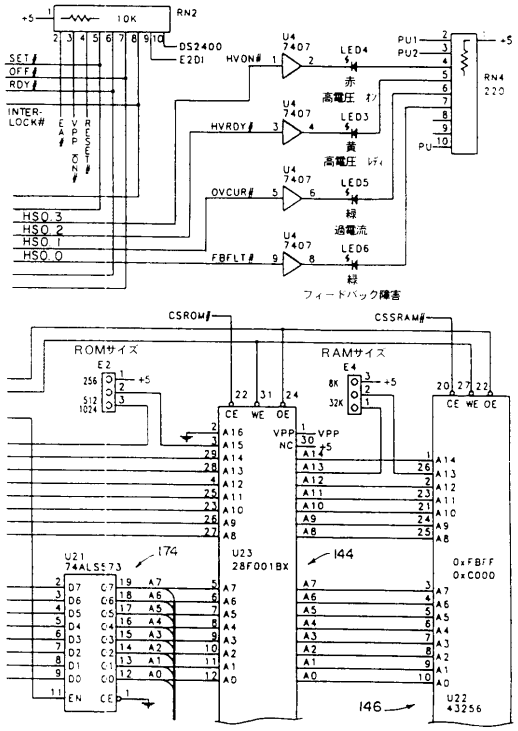
【図６ｄ】



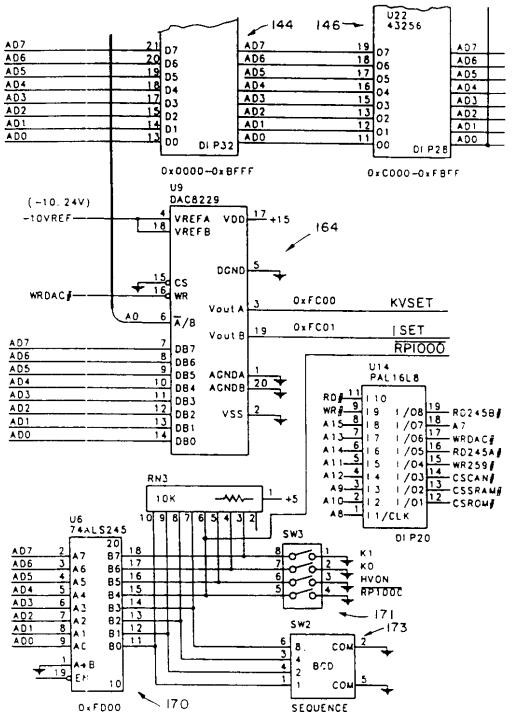
【図６ｅ】



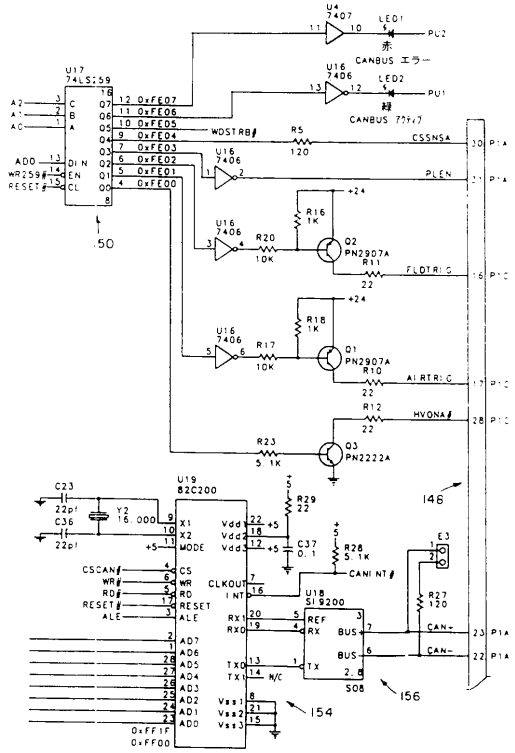
【図６ｆ】



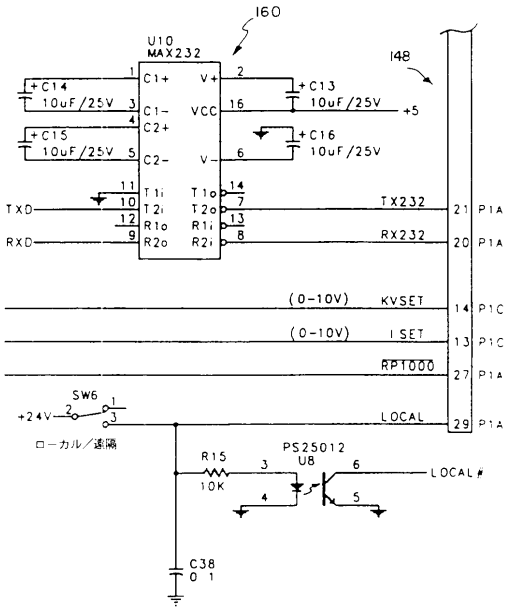
【図６ｇ】



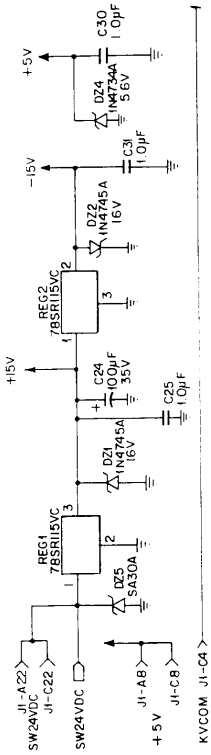
【図６ｈ】



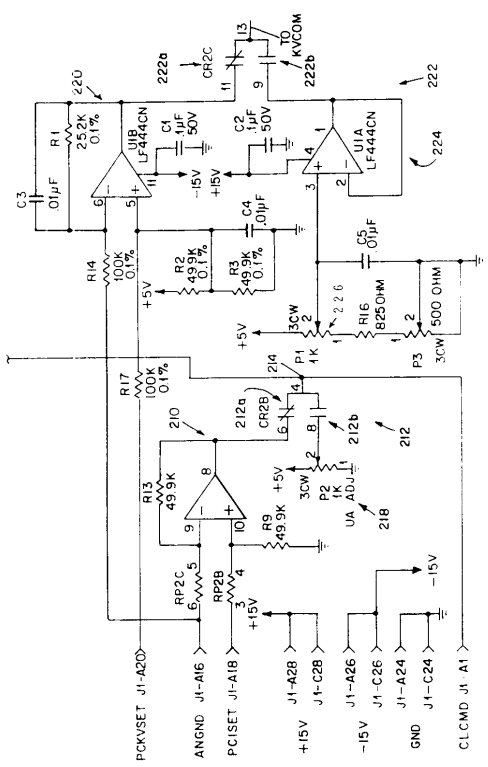
【図６ｉ】



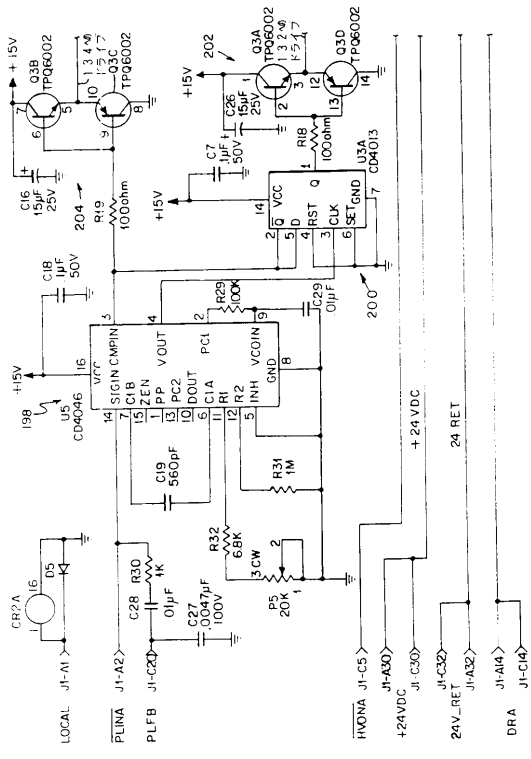
【図７ａ】



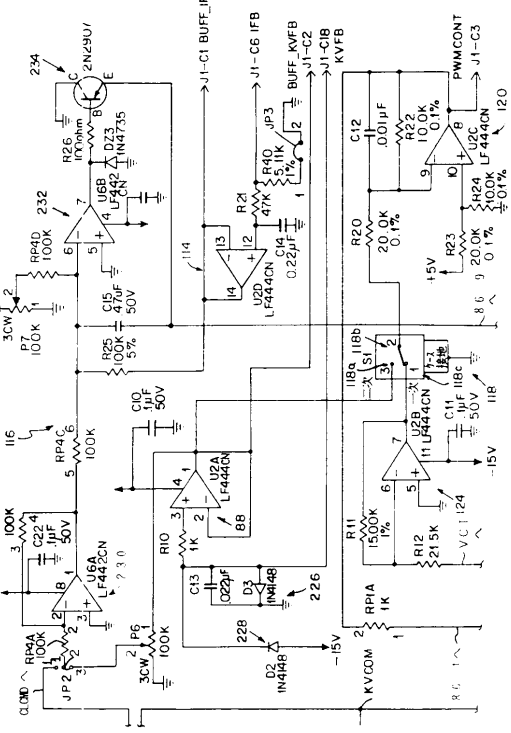
【図７ｂ】



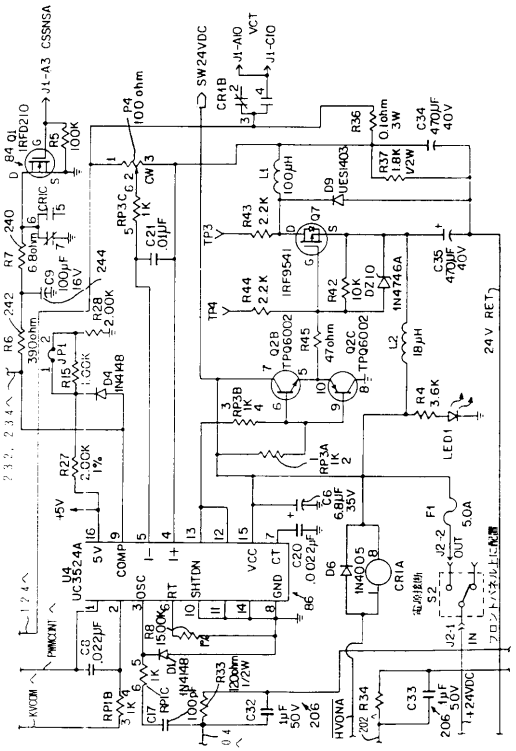
【図７ｃ】



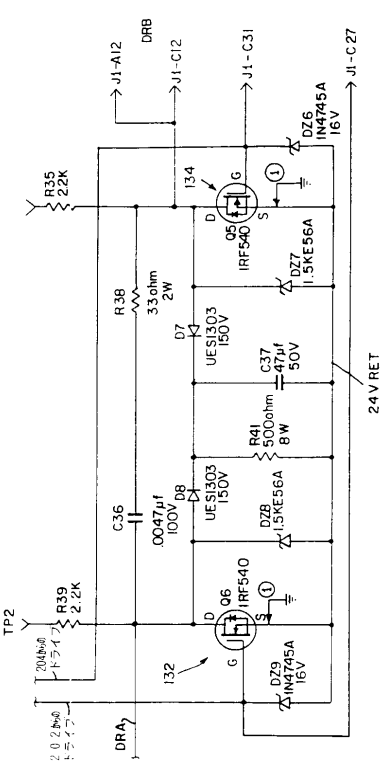
【図７ｄ】



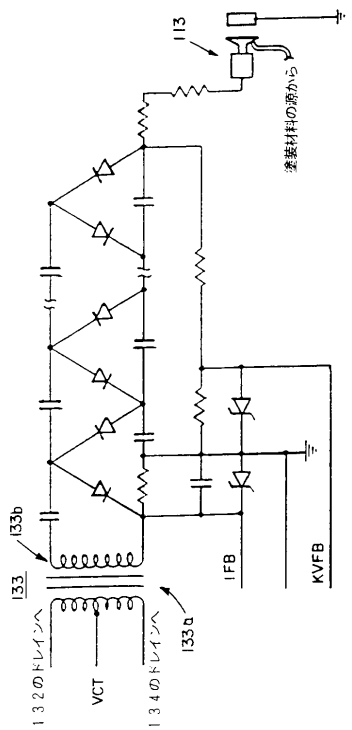
【図７ｅ】


J1-A3 CSNSA
SW24VDC
J1-A10 VCT
J1-C10
Q4 IRFD210
R5 100K
R7 240
6.80hm
T5
C9 100μF 16V
244
R28 2.00K
242
R6 390ohm
P1
R15 1.00K
D4 1N4148
R27 2.00K 1%
+5V
U4 UC3524A
5V
COMP
OSC
SHTDN
VCC
GND CT
C6 0.022μF
C20 0.022μF
C0 .022μF
R8 150K
R33 120ohm 1/2W
C32 1μF 50V
206
HVONA
R34 202
C33 1μF 50V
206
1.42VDC
CR1A
D6 1N4005
F1 5.0A
J2-1
J2-2
OUT
IN
フロントパネルへ
24 V RET
P4 100 ohm
CW
R31C 1K
C21 .01μF
TP3
R43 2.2K
L1 100μH
D9 UES1403
R36 0.10ohm 3W
R37 1.8K 1/2W
C34 470UF 40V
Q7 IRF9541
R44 2.2K
TP4
Q2B TPQ6002
Q2C TPQ6002
R45 47ohm
R42 10K
DZ10 1N4746A
C35 470UF 40V
L2 18μH
R4 3.6K
LED1
RP3B 1K
RP3A 1K
R1B 1K
C7 APPIC
D1 1N4148
R2 100K
R3 100K
C17 APPIC
PWMCNT
KVCOM
232, 234へ
124へ
204へ

【図７ｆ】


J1-A12
DRB
J1-C12
J1-C31
J1-C27
R35 2.2K
R38 33ohm 2W
C36 .0047μf 100V
R39 2.2K
TP2
DRA
132
134
Q5 IRF540
Q6 IRF540
D7 UES1303 150V
D8 UES1303 150V
C37 47μf 50V
R41 500ohm 8W
DZ6 1N4745A 16V
DZ7 1.5KE56A
DZ8 1.5KE56A
DZ9 1N4745A 16V
24 V RET

【図８】


113
塗装材料の源から
133b
133
133a
IFB
KVFB
VCT
132のドレインへ
134のドレインへ

フロントページの続き

(74)代理人 100074228
弁理士 今城 俊夫
(74)代理人 100084009
弁理士 小川 信夫
(74)代理人 100082821
弁理士 村社 厚夫
(72)発明者 ダニエル シー ヒューイ
アメリカ合衆国 インディアナ州 ４６２６０ インディアナポリス リーバー ロード ７７１６

審査官 松本 泰典

(56)参考文献 特開平０７－１９４１４６（ＪＰ，Ａ）
特開平０９－０２３６５４（ＪＰ，Ａ）
特開昭６０－２３４４７５（ＪＰ，Ａ）
特開平０４－３４６８６０（ＪＰ，Ａ）
特開平０４－０８８８７９（ＪＰ，Ａ）
特開平０９－０８５１３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H02M 7/10
B05B 5/053