

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月19日(19.01.2023)



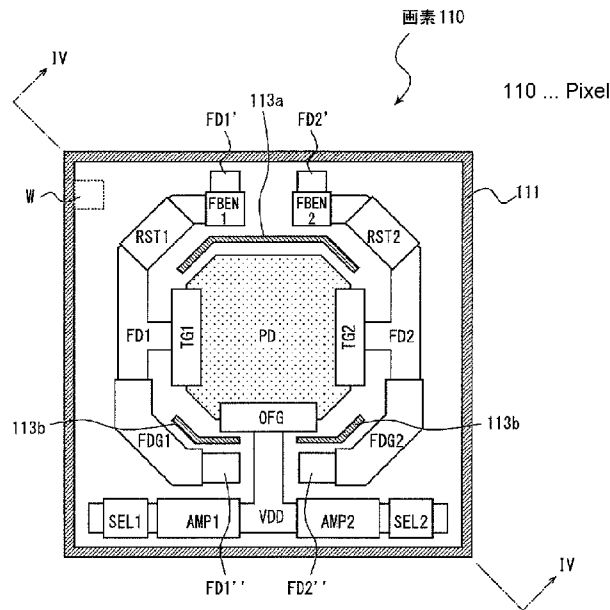
(10) 国際公開番号

WO 2023/286306 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2022/005837 (72) 発明者: 渡辺 竜太 (**WATANABE Ryota**);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2022年2月15日(15.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-115939 2021年7月13日(13.07.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014
- (74) 代理人: 田中 秀 ▲ てつ ▼, 外 (**TANAKA Hidetetsu et al.**); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー3 2階 弁理士法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置



(57) **Abstract:** The present invention provides a solid-state imaging device in which pixels are arranged in an array. Each pixel comprises: a pixel separating portion formed between adjacent pixels; a photoelectric conversion portion for generating an electric charge corresponding to incident light; a plurality of transistors including a transfer transistor for transferring the electric charge generated by the photoelectric conversion portion; a floating diffusion region for temporarily accumulating the electric charge transferred from the photoelectric conversion portion; and a shielding portion for shielding light directed from the photoelectric conversion portion toward the floating diffusion region. The plurality of transistors additionally include: a reset transistor for resetting the potential of the floating diffusion region; and a feedback enable

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

transistor connected to a feedback amplification circuit for canceling voltage noise with respect to the reset transistor. The shielding portion shields light directed toward a portion of the floating diffusion region formed in the vicinity of the feedback enable transistor.

(57) 要約: 本発明は、画素がアレイ状に配置された固体撮像装置である。各画素は、隣接する前記画素間に形成された画素分離部と、入射光に応じた電荷を生成する光電変換部と、前記光電変換部により生成された電荷を転送するための転送トランジスタを含む複数のトランジスタと、前記光電変換部から転送される電荷を一時的に蓄積する浮遊拡散領域と、前記光電変換部から前記浮遊拡散領域へ向かう光を遮蔽する遮蔽部とを備える。前記複数のトランジスタは、前記浮遊拡散領域の電位をリセットするためのリセットトランジスタと、前記リセットトランジスタに対する電圧ノイズをキャンセリングするための帰還増幅回路に接続された帰還イネーブルトランジスタとを更に含む。前記遮蔽部は前記帰還イネーブルトランジスタ近傍に形成された前記浮遊拡散領域の一部に向かう光を遮蔽する。

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本技術は、固体撮像装置に関する。

背景技術

[0002] 固体撮像装置は、光を受光するための各画素（受光画素）を構成するフォトダイオード等の光電変換素子を用いて、該画素に結像した光の強弱に応じた電荷量を電気信号に変換する半導体装置である。入射光の利用効率の観点から、光の入射面（受光面）と光電変換素子との間に金属配線層を配置しない裏面照射型固体撮像装置が広く用いられている。

[0003] このような裏面照射型固体撮像装置では、隣接する画素どうしで入射した光が混ざりあうクロストークが発生し、これにより、解像度や色再現性の低下、輝度段差といった画質の低下を招いてしまうことが知られている。したがって、クロストークによるこのような画質低下を回避するために、各画素間にトレンチ構造の画素分離部を設けて、電氣的・光学的に画素を分離するように設計される。また、画素内において、光電変換素子の近傍に形成された浮遊拡散（フローティングディフュージョン）領域に光が入り込むと、意図しない電荷が生成されるため、光電変換素子から電荷を引き込まない状態であっても、意図しない電荷に基づく電気信号を検出してしまい、とりわけ低光量時の画質に悪影響を及ぼす。したがって、このような画像品質の低下を防止するためにも、画素内に形成される浮遊拡散領域へ光が入り込まないようにするための対策が必要になる。

[0004] 例えば、下記特許文献１は、電荷蓄積部として機能する浮遊拡散領域に対する迷光を抑止する撮像装置を開示する。

[0005] また、下記特許文献２は、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、低コストで電荷蓄積部を遮光することができるようにする撮像装置を開示する。

[0006] 更に、下記特許文献3は、隣接する画素領域間における不要光の入射を抑制し、より優れた撮像性能を発揮することのできる撮像装置を開示する。

先行技術文献

特許文献

[0007] 特許文献1：特開2017-168566号公報

特許文献2：WO2018/083990号公報

特許文献3：特開2020-194912号公報

発明の概要

発明が解決しようとする課題

[0008] 裏面照射型固体撮像装置では、上述したように、電荷蓄積部である浮遊拡散領域に対する意図しない光の入り込みが発生し、画像品質が低下してしまうという問題がある。とりわけ、間接TOF方式に適合された裏面照射型固体撮像装置では、画素内の光電変換素子で生成された電荷を複数のゲートの開閉タイミングに応じてそれぞれの電荷蓄積部に振り分けるために光電変換素子の周囲に各種のトランジスタ素子等を多数配置する必要があり、その配置構造が複雑化している。

[0009] 例えば、裏面照射型固体撮像装置の画素内には、浮遊拡散領域の電荷をリセットする際のノイズキャンセリングを目的とした帰還駆動機構が設けられる。この帰還駆動機構を構成するトランジスタの配置は、追加的な浮遊拡散領域を形成することになる。

[0010] しかしながら、上記特許文献のいずれも、帰還駆動機構を構成するトランジスタを配置した追加的な浮遊拡散領域への光の入り込みを何ら考慮していなかった。このため、このような追加的な浮遊拡散領域への光の入り込みによる画質低下が問題となっていた。

[0011] そこで、本開示は、裏面照射型固体撮像装置において、画素に形成される浮遊拡散領域への意図しない光の入り込みを確実に抑制する技術を提案することを目的とする。

[0012] より具体的には、本開示は、裏面照射型固体撮像装置において、画素内に配置されるトランジスタの近傍に形成される追加的な浮遊拡散領域への意図しない光の入り込みを確実に抑制する技術を提案することを目的とする。

[0013] とりわけ、本開示は、裏面照射型固体撮像装置において、画素内に配置される帰還駆動機構を構成するトランジスタにより形成される追加的な浮遊拡散領域への意図しない光の入り込みを確実に抑制する技術を提案することを目的とする。

課題を解決するための手段

[0014] 上記課題を解決するための本技術は、以下に示す発明特定事項乃至は技術的特徴を含んで構成される。

[0015] ある観点に従う本技術は、複数の画素がアレイ状に配置された画素アレイ部を備える固体撮像装置である。前記複数の画素のそれぞれは、前記画素の外縁形状を画定し、隣接する前記画素の間に形成された画素分離部と、外部から入射した光に応じた量の電荷を生成する光電変換部と、前記光電変換部の一端部に形成され、前記光電変換部により生成された前記電荷を転送するための転送トランジスタを含む、複数のトランジスタと、前記光電変換部の周囲に形成され、前記光電変換部により生成され転送される電荷を一時的に蓄積する浮遊拡散領域と、前記光電変換部の周囲に形成され、前記光電変換部から漏出し前記浮遊拡散領域へ向かう光を遮蔽する遮蔽部とを備える。前記複数のトランジスタは、前記浮遊拡散領域の電位をリセットするためのリセットトランジスタと、前記リセットトランジスタに対する電圧ノイズをキャンセリングするための帰還増幅回路に接続された帰還イネーブルトランジスタとを更に含む。そして、前記遮蔽部は、前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の一部に向かう光を遮蔽する。

[0016] なお、本開示において、「システム」とは、複数の装置（又は特定の機能を実現する機能モジュール）が論理的に集合した物のことをいい、各装置や機能モジュールが単一の筐体内にあるか否かは特に問わない。

本技術の他の技術的特徴、目的、及び作用効果乃至は利点は、添付した図

面を参照して説明される以下の実施形態により明らかにされる。本開示に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があっても良い。

図面の簡単な説明

[0017] [図1]図 1 は、本技術の一実施形態に係る固体撮像装置の概略的構成の一例を示すブロックダイアグラムである。

[図2]図 2 は、本技術の第 1 の実施形態に係る固体撮像装置の画素アレイ部における画素の回路構成の一例を示す図である。

[図3]図 3 は、本技術の第 1 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図4]図 4 は、図 3 に示した画素の $I-V-I-V$ 断面における概略断面構造の一例を示す図である。

[図5A]図 5 A は、本技術の第 1 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図5B]図 5 B は、本技術の第 1 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図6]図 6 は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ部における画素の回路構成の一例を示す図である。

[図7A]図 7 A は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図7B]図 7 B は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図7C]図 7 C は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ

部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図7D]図7Dは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図7E]図7Eは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図7F]図7Fは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図8A]図8Aは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図8B]図8Bは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図8C]図8Cは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図8D]図8Dは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図9]図9は、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図10]図10は、図9に示した画素のX-X断面における概略断面構造の一例を示す図である。

[図11A]図 1 1 Aは、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。

[図11B]図 1 1 Bは、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図12A]図 1 2 Aは、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図12B]図 1 2 Bは、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。

[図13A]図 1 3 Aは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図13B]図 1 3 Bは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図13C]図 1 3 Cは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図13D]図 1 3 Dは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図14A]図 1 4 Aは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図14B]図 1 4 Bは、本技術の第5の実施形態に係る固体撮像装置の画素アレ

イ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[図14C]図14Cは、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

発明を実施するための形態

[0018] 以下、図面を参照して本技術の実施の形態を説明する。ただし、以下に説明する実施形態は、あくまでも例示であり、以下に明示しない種々の変形や技術の適用を排除する意図はない。本技術は、その趣旨を逸脱しない範囲で種々変形（例えば各実施形態を組み合わせる等）して実施することができる。また、以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付して表している。図面は模式的なものであり、必ずしも実際の寸法や比率等とは一致しない。図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることがある。なお、本開示では、本技術を以下の実施形態に分けて説明する。

1. 第1の実施形態（基本構成例）
2. 第2の実施形態（2個の電荷排出トランジスタを用いた構成例）
3. 第3の実施形態（ソースフォロワ回路の別レイアウトによる構成例）
4. 第4の実施形態（縦型トランジスタを用いた構成例）
5. 第5の実施形態（ダミーの半導体構造を用いた構成例）
6. 第6の実施形態（帰還イネーブルトランジスタを用いない場合の構成例）

[0019] 1. 第1の実施形態

本実施形態は、固体撮像装置が、単フォトダイオード等の光電変換部の周囲に形成される浮遊拡散領域への光の入り込みを抑制する構造を有する画素を備えることを特徴とする。とりわけ、本実施形態では、帰還イネーブルトランジスタ及び切替トランジスタによってそれぞれ形成される浮遊拡散領域への光の入り込みを抑制する構造を有する画素が説明される。

[0020] 図1は、本技術の一実施形態に係る固体撮像装置の概略的構成の一例を示すブロックダイアグラムである。固体撮像装置1は、各画素を構成するフォトダイオード等の光電変換素子を用いて、該画素上に結像した光の強弱に応じた電荷量を電気信号に変換し、これを画素データとして出力する半導体装置である。本開示の固体撮像装置1は、間接T_oF方式に適合された半導体素子構造を有する裏面照射型固体撮像装置である。

[0021] 同図に示すように、固体撮像装置1は、例えば、画素アレイ部11と、垂直駆動部12と、カラム処理部13と、水平駆動部14と、システム制御部15と、信号処理部16と、データ格納部17といったコンポーネントを含み構成される。

[0022] 画素アレイ部11は、水平方向（行方向）及び垂直方向（列方向）にアレイ配列された受光素子としての画素110群からなる。画素アレイ部11は、各画素上に結像した入射光の強さに応じた量の電荷を電気信号に変換し、画素信号として出力する。画素110は、後述するように、半導体領域に形成されたフォトダイオード及び幾つかのトランジスタ等を含み構成される。画素アレイ部11は、例えば、実際の光を受光可能な領域に配置された有効画素と該領域の外側に配置されメタル等により遮蔽されたダミー画素とを含み得る。なお、図示されていないが、画素アレイ部11の各画素上には入射光を集光するマイクロオンチップレンズやカラーフィルタといった光学系素子が形成される。

[0023] 垂直駆動部12は、シフトレジスタ及びアドレスデコーダ等の回路を含み構成される。垂直駆動部12は、複数の画素駆動線18を介して各画素に駆動信号等を供給することにより、画素アレイ部11の各画素を例えば同時に又は行単位等で駆動する。

[0024] カラム処理部13は、画素アレイ部11の画素列（カラム）ごとに垂直信号線（VSL）19を介して各画素から画素信号を読み出して、ノイズ除去処理、相関二重サンプリング（CDS）処理、及びA/D（Analog-to-Digital）変換処理等を行う。カラム処理部13により処理された画素信号は、信

号処理部 16 に出力される。本開示において、垂直信号線（VSL）19は、読み出し信号線の一例である。

[0025] 水平駆動部 14 は、シフトレジスタ及びアドレスデコーダ等の回路を含み構成される。水平駆動部 14 は、カラム処理部 13 の画素列に対応する画素を順番に選択する。この水平駆動部 14 による選択走査により、カラム処理部 13 において画素ごとに信号処理された画素信号が順番に信号処理部 16 に出力される。

[0026] システム制御部 15 は、各種のタイミング信号を生成するタイミングジェネレータ等の回路を含み構成される。システム制御部 15 は、例えば図示しないタイミングジェネレータにより生成されたタイミング信号に基づいて、垂直駆動部 12、カラム処理部 13、及び水平駆動部 14 の駆動制御を行なう。

[0027] 信号処理部 16 は、必要に応じてデータ格納部 17 にデータを一時的に格納しながら、カラム処理部 13 から供給された画素信号に対して演算処理等の信号処理を行ない、各画素信号に基づく画像信号を出力する。

[0028] 固体撮像装置 1 は、上述したような構成に限られるものではない。一例として、固体撮像装置 1 は、データ格納部 17 がカラム処理部 13 の後段に配置され、カラム処理部 13 から出力される画素信号を、データ格納部 17 を経由して信号処理部 16 に供給するように構成されても良い。他の例として、固体撮像装置 1 は、縦続的に接続されたカラム処理部 13 とデータ格納部 17 と信号処理部 16 とが各画素信号を並列的に処理するように構成されても良い。

[0029] 以上のように構成される固体撮像装置 1 は、例えば、対象物までの距離情報に基づいた距離画像を取得するための距離画像センサデバイスに適合される。このような距離画像センサデバイスは、例えばシステム・オン・チップ（SOC）のCMOSイメージセンサとして構成される。一例として、距離画像センサデバイスは、車両に搭載され、車外の対象物までの距離情報を測定する車載用システムに適用される。他の例として、距離画像センサデバイ

スは、ユーザの手指等までの距離を測定し、その測定結果に基づいてユーザのジェスチャを認識するユーザインターフェースに適用される。

[0030] 図2は、本技術の第1の実施形態に係る固体撮像装置の画素アレイ部における画素の回路構成の一例を示す図である。すなわち、同図は、図1に示した固体撮像装置1の画素アレイ部11を構成する複数の画素110のうちの任意の1つの画素（単位画素）110の回路構成の一例を示している。

[0031] 同図に示すように、画素110は、例えばフォトダイオード等からなる光電変換部PDを備える。また、本開示では、画素110は、間接TOF方式による距離の計測を可能にするため、受光した光の強度に応じて光電変換部PDにより生成される電荷を振り分けて別々の画素信号として出力可能に構成される。

[0032] すなわち、本例の画素110は、転送トランジスタTG1及びTG2と、付加容量CFD1及びCFD2と、切替トランジスタFDG1及びFDG2と、リセットトランジスタRST1及びRST2と、帰還イネーブルトランジスタFBEN1及びFBEN2と、帰還増幅回路FBOP1及びFBOP2と、増幅トランジスタAMP1及びAMP2と、選択トランジスタSEL1及びSEL2と、電荷排出トランジスタOFGとを含み構成される。また、転送トランジスタTG1及びTG2と増幅トランジスタAMP1及びAMP2との間には、それぞれ、浮遊拡散領域FD1及びFD2が形成されている。転送トランジスタTG1及びTG2、切替トランジスタFDG1及びFDG2、リセットトランジスタRST1及びRST2、帰還イネーブルトランジスタFBEN1及びFBEN2、選択トランジスタSEL1及びSEL2、及び電荷排出トランジスタOFGは、垂直駆動部12によって駆動制御される。なお、図中、例えば転送トランジスタTG1及TG2のように2個ずつ示されている素子又は要素については、互いに特に区別する必要がない場合、以下では、転送トランジスタTGのように表記するものとする。また、本開示では、転送トランジスタTG1及びTG2等是一对のトランジスタとして説明されるが、これに限られず、3個以上のトランジスタの組により構

成されても良い。

[0033] 本開示では、画素 110 における各トランジスタは NMOS トランジスタであるが、これに限られない。また、これらトランジスタの全て又は少なくともいくつかは、ポリクリスタルシリコン (Polycrystalline Silicon) (以下「ポリシリコン」という。) からなる。ポリシリコンは、光の反射又は遮蔽に有利である。本開示では、ポリシリコンで構成された縦型構造のトランジスタは、光電変換部 PD から漏出又は通過する光を反射し又は遮蔽し得る。

[0034] 転送トランジスタ TG は、光電変換部 PD で生成された電荷を浮遊拡散領域 FD に転送するためのスイッチングトランジスタである。すなわち、転送トランジスタ TG1 は、そのゲートに供給される転送駆動信号 TG__S1 の電圧が LOW レベルで非導通状態 (オフ状態) にあり、転送駆動信号 TG__S1 の電圧が High レベルになるとこれに応答して導通状態 (オン状態) になり、これにより、光電変換部 PD で生成された電荷を浮遊拡散領域 FD1 に転送する。また、転送トランジスタ TG2 は、そのゲートに供給される転送駆動信号 TG__S2 の電圧が LOW レベルで非導通状態 (オフ状態) にあり、転送駆動信号 TG__S2 の電圧が High レベルになるとこれに応答して導通状態 (オン状態) になり、これにより、光電変換部 PD で生成された電荷を浮遊拡散領域 FD1 に転送する。転送駆動信号 TG__S1 と転送駆動信号 TG__S2 とは、互いに所定の位相差を有しており、これにより、異なるタイミングで、光電変換部 PD で生成された電荷が浮遊拡散領域 FD1 及び FD2 にそれぞれ転送される。

[0035] 浮遊拡散領域 FD は、光電変換部 PD によって生成され、そこから転送される電荷を一時保持する電荷蓄積部として機能する。すなわち、本開示では、光電変換部 PD で生成された電荷は、転送トランジスタ TG1 及び TG2 の所定の時間差による動作によって、浮遊拡散領域 FD1 及び FD2 にそれぞれ振り分けられ、蓄積される。浮遊拡散領域 FD1 及び FD2 に蓄積された電荷は、その量に応じた電圧の電気信号 (画素信号) として所定のタイミ

ングで読み出される。なお、本開示では、後述するように、浮遊拡散領域FDの一部をFD'やFD''ということがある。

[0036] 切替トランジスタFDGは、受光した光の強度に応じて、浮遊拡散領域FDに付加容量CFDを結合するためのスイッチングトランジスタである。すなわち、切替トランジスタFDG1は、そのゲートに供給されるFD駆動信号FDG__S1の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD1と付加容量CFD1とが電氣的に結合する。また、切替トランジスタFDG2は、そのゲートに供給されるFD駆動信号FDG__S2の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD2と付加容量CFD2とが電氣的に結合する。

[0037] 付加容量CFDは、所定の動作条件に従って、浮遊拡散領域FDと結合することにより、付加的な容量を提供する。例えば、受光した光の強度が高い（高照度である）場合に、上述したように、FD駆動信号FDG__S1及びFDG__S2により切替トランジスタFDG1及びFDG2が導通状態になり、これにより、浮遊拡散領域FD1及びFD2での電荷のオーバーフローを防止し、より多くの電荷を蓄積することができるようになる。したがって、固体撮像装置1における受光量のダイナミックレンジは拡大することになる。なお、付加容量CFD1及びCFD2は、例えば、配線の容量によって形成される。

[0038] リセットトランジスタRSTは、浮遊拡散領域FDの電位をリセットするためのスイッチングトランジスタである。すなわち、リセットトランジスタRST1は、そのゲートに供給されるFD駆動信号RST__S1の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD1の電位をリセットする。また、リセットトランジスタRST2は、そのゲートに供給されるFD駆動信号RST__S2の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD2の電位をリセットする。なお、本例では、リセットトランジスタRST

の導通状態に連動して切替トランジスタFDGもまた導通状態となり、付加容量CFDがリセットされる。

[0039] なお、容量CSTは、リセットトランジスタRSTが設けられたことによる寄生容量である。

[0040] 帰還イネーブルトランジスタFBENは、帰還増幅回路FBOPの帰還回路を構成し、浮遊拡散領域FDの電荷をリセットする際のノイズキャンセリングを目的としてリセット電圧を制御するスイッチングトランジスタである。帰還イネーブルトランジスタFBENの近傍、本例では、光電変換部PDに対して帰還イネーブルトランジスタFBENの遠位側には浮遊拡散領域FD1が形成される。

[0041] すなわち、帰還イネーブルトランジスタFBEN1は、そのゲートに供給されるFBEN駆動信号FBEN__S1の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、リセットトランジスタRST1は、帰還増幅回路FBOP1に接続される。帰還増幅回路FBOP1は、垂直信号線VSL1の電圧と基準電圧 V_{Ref} との差動入力に差がなくなるように動作するため、これにより、リセットトランジスタRST1に対する電圧のノイズ（リセットノイズ）がキャンセルされ、浮遊拡散領域FD1の電荷を確実にリセットすることができる。また、帰還イネーブルトランジスタFBEN2は、そのゲートに供給されるFBEN駆動信号FBEN__S2の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、リセットトランジスタRST2は、帰還増幅回路FBOP2に接続される。帰還増幅回路FBOP1は、垂直信号線VSL1の電圧と基準電圧 V_{Ref} との差動入力に差がなくなるように動作し、これにより、リセットトランジスタRST2に対する電圧のノイズがキャンセルされ、浮遊拡散領域FD1の電荷を確実にリセットすることができる。

[0042] なお、容量CFBは、帰還イネーブルトランジスタFBENを設けたことによる寄生容量であり、浮遊拡散領域FDに電氣的に結合している。

[0043] 増幅トランジスタAMPは、ソースフォロウ回路を構成するトランジスタ

である。すなわち、増幅トランジスタAMP 1は、そのソースが選択トランジスタSEL 1を介して垂直信号線19 (VSL 1)に接続され、更に定電流源(図示せず)に接続されて、これにより、ソースフォロワ回路を構成する。また、増幅トランジスタAMP 2は、そのソースが選択トランジスタSEL 2を介して垂直信号線19 (VSL 2)に接続され、更に図示しない定電流源に接続されて、これにより、ソースフォロワ回路を構成する。

[0044] 選択トランジスタSELは、浮遊拡散領域FDに蓄積された電荷に基づく画素信号を、任意のタイミングで垂直信号線19に出力するためのスイッチングトランジスタである。すなわち、選択トランジスタSEL 1は、そのゲートに供給される選択信号SEL__S 1の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD 1の電荷に基づく画素信号が増幅トランジスタAMP 1によって増幅されて、垂直信号線VSL 1に出力される。また、選択トランジスタSEL 2は、そのゲートに供給される選択信号SEL__S 2の電圧がHighレベルになるとこれに応答して導通状態になり、これにより、浮遊拡散領域FD 2の電荷に基づく画素信号が増幅トランジスタAMP 2によって増幅されて、垂直信号線VSL 2に出力される。

[0045] 電荷排出トランジスタOFGは、光電変換部PDに残存する電荷を排出するためのスイッチングトランジスタである。すなわち、電荷排出トランジスタOFGは、そのゲートに供給される電荷排出駆動信号OFG__Sの電圧がHighレベルになるとこれに応答して導通状態になり、これにより、光電変換部PDの電位がVDDとなって電荷が排出される。

[0046] 電荷排出トランジスタOFGは、半導体膜が積層されて形成された縦型構造を有し得る。このようなトランジスタは縦型トランジスタと称される。これにより、電荷排出トランジスタOFGは、光電変換部PDから漏出した光を光電変換部PDに向けて反射し、これにより、光電変換部PDにおける光の再利用を促進し、浮遊拡散領域FD 1' ' 及びFD 2' ' への光の入り込みを効果的に抑制する。なお、他の実施形態で示されるように、電荷排出ト

ランジスタOFGは、光電変換部PDに蓄積された電荷の排出を促進するため、複数個設けられても良い。

[0047] 図3は、本技術の第1の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。同図は、光が入射する画素110の面（入射面又は受光面）から見たときの平面レイアウトを示している。また、図4は、図3に示した画素のI-V-I断面における概略断面構造の一例を示す図である。なお、本開示において、画素110の入射面に平行な面をXY面といい、XY面に垂直な方向をZ方向又は深さ方向というものとする。以下、これらの図を参照しつつ、画素を構成する各素子を説明する。

[0048] 画素110は、図3に示すように、平面視で（XY面において）、例えば略矩形形状の外縁形状をなしている。すなわち、画素110は、画素分離部111によって略矩形形状に画定された半導体領域を含み構成される。画素110の略中央部には光電変換部PDが形成されている。本例では、光電変換部PDは、八角形状に形成されている。なお、画素分離部111の一角には、ウェルコンタクトWが形成されている。ウェルコンタクトWは、浮遊拡散領域FDの電位の変動を抑制するために、浮遊拡散領域FDの近傍に形成されることが好ましい。

[0049] また、図4に示すように、画素110の上面（受光面）には、遮光蓋112が形成されている。遮光蓋112は、入射する光が後述する光電変換部PD以外の領域に入り込まないようにするための画素前面に設けられた遮光性を有する例えば酸化絶縁膜からなる構造体である。また、図示していないが、画素110の受光面には、カラーフィルタやオンチップレンズといった光学素子が設けられる。

[0050] 画素分離部111は、隣接する画素110間に設けられ、画素110どうしを電氣的・光学的に分離するトレンチ状の構造体である。したがって、画素110の一辺は、隣接する画素の画素分離部111と共有する。画素分離部111は、隣接する画素110間のクロストークを防止し、画質低下を抑

止する。画素分離部 111 は、例えば酸化シリコン (SiO_2)、酸化タンタル (Ta_2O_5)、酸化ハフニウム (HfO_2)、又は酸化アルミニウム (Al_2O_3) 等の絶縁性の単層膜又は多層膜で形成される。このような絶縁性の画素分離部 111 は、DTI (Deep Trench Isolation) と称される。或いは、画素分離部 111 は、例えばタンタル (Ta)、アルミニウム (Al)、銀 (Ag)、金 (Au) 又は銅 (Cu) 等の遮光性の高い金属により形成されていても良く、また、ポリシリコンにより形成されても良い。

[0051] 光電変換部 PD の周囲には、上述した各種のトランジスタ等が配置されている。すなわち、光電変換部 PD の一対の端部近傍には、転送トランジスタ TG1 及び TG2 がそれぞれ形成され、更に、その外側には浮遊拡散領域 FD1 及び FD2 が形成されている。本例では、浮遊拡散領域 FD1 及び FD2 は、光電変換部 PD の周囲に沿って、部分的に取り囲むように形成されている。また、光電変換部 PD の他の端部近傍には、配線層に形成された電源配線パターン VDD と、電源配線パターン VDD に電氣的に接続された電荷排出トランジスタ OFG が形成されている。配線層は、光電変換部 PD を漏出した光を反射して、光電変換部 PD の光の再利用に寄与し得る。更に、図中、延伸する電源配線パターン VDD に Z 方向において重なるように、増幅トランジスタ AMP1 及び AMP2 と、選択トランジスタ SEL1 及び SEL2 とが形成されている。なお、本例では、帰還増幅回路 FBOP は、配線層を通じて離れた位置に形成されているため、同図には示されていない。

[0052] また、光電変換部 PD の周囲には、Z 方向において浮遊拡散領域 FD1 及び FD2 に重なるように、リセットトランジスタ RST1 及び RST2 と、帰還イネーブルトランジスタ FBEN1 及び FBEN2 と、切替トランジスタ FDG1 及び FDG2 とが形成されている。本例では、帰還イネーブルトランジスタ FBEN1 及び FBEN2 と切替トランジスタ FDG1 及び FDG2 とのそれぞれの近傍に、浮遊拡散領域 FD1' 及び FD2' 並びに FD1'' 及び FD2'' が延伸するように形成されている。つまり、本例では、浮遊拡散領域 FD' は、光電変換部 PD に対して帰還イネーブルトランジ

スタ F B E N 1 及び F B E N 2 の遠位側に形成される一方、浮遊拡散領域 F D ' ' は、一对の切替トランジスタ F D G 1 と F D G 2 との間に形成される。

[0053] また、本例の切替トランジスタ F D G は、Z 方向に半導体膜が積層された縦型構造を有する縦型トランジスタである（図 4 参照）。更に、切替トランジスタ F D G は、平面視で、光電変換部 P D の外周縁に沿って屈曲部分を有するように構成されている。これにより、切替トランジスタ F D G は、光電変換部 P D から漏出した光（その一部は配線層からの反射光を含み得る。）を光電変換部 P D に向けて反射し、これにより、浮遊拡散領域 F D 1 ' ' 及び F D 2 ' ' への光の入り込みを効果的に抑制するとともに、光電変換部 P D における光の再利用を促進する。

[0054] 光電変換部 P D と帰還イネーブルトランジスタ F B E N 1 及び F B E N 2 との間には、遮蔽部 1 1 3 a が設けられる。遮蔽部 1 1 3 a は、光電変換部 P D から漏出し、帰還イネーブルトランジスタ F B E N 1 及び F B E N 2 の近傍に形成される浮遊拡散領域 F D 1 ' 及び F D 2 ' に向かう光を遮蔽又は反射する例えばトレンチ状の構造体である。本例では、遮蔽部 1 1 3 a は、光電変換部 P D の外周縁に沿って形成されている。また、遮蔽部 1 1 3 a は、浮遊拡散領域 F D 1 ' 及び F D 2 ' に向かう光を効果的に遮蔽又は反射することができるように、Z 方向に深くまで延伸している。遮蔽部 1 1 3 a によって反射した光は、光電変換部 P D に入射し、再利用されて電荷の生成に寄与し得る。加えて、帰還イネーブルトランジスタ F B E N は、縦型トランジスタであり得る。これにより、光電変換部 P D から漏出し浮遊拡散領域 F D 1 ' 及び F D 2 ' に向かう光を確実に遮蔽することができる。

[0055] また、光電変換部 P D と切替トランジスタ F D G 1 及び F D G 2 との間には、遮蔽部 1 1 3 b が設けられる。遮蔽部 1 1 3 b は、光電変換部 P D から漏出し、切替トランジスタ F D G 1 及び F D G 2 の近傍に形成される浮遊拡散領域 F D 1 ' ' 及び F D 2 ' ' に向かう光を遮蔽又は反射する例えばトレンチ状の構造体である。本例では、遮蔽部 1 1 3 b は、光電変換部 P D の外

周縁に沿って形成されている。遮蔽部 113b もまた、浮遊拡散領域 FD1' ' 及び FD2' ' に向かう光を効果的に遮蔽又は反射することができるように、Z 方向に深くまで延伸している。遮蔽部 113b によって反射した光は、光電変換部 PD に入射し、再利用されて電荷の生成に寄与し得る。

[0056] 遮蔽部 113 は、上述した画素分離部 111 と同様に、例えば酸化シリコン (SiO_2)、酸化タンタル (Ta_2O_5)、酸化ハフニウム (HfO_2)、又は酸化アルミニウム (Al_2O_3) 等の絶縁性の単層膜又は多層膜で形成されるが、これに限られない、例えば、遮蔽部 113a は、例えばタンタル (Ta)、アルミニウム (Al)、銀 (Ag)、金 (Au) 又は銅 (Cu) 等の遮光性の高い金属により形成されていても良く、また、ポリシリコン (Polycrystalline Silicon) により形成されても良い。本例では、遮蔽部 113 は、光電変換部 PD の外周縁に沿うように形成された屈曲部分を有している。なお、遮蔽部 113 の形状及び配置は、後述するように、様々な態様をとることができる。

[0057] 以上のように、本実施形態によれば、画素 110 における浮遊拡散領域 FD への意図しない光の入り込みを確実に抑制することができる。とりわけ、間接 TOF 方式に適合された画素 110 において、光電変換部 PD と帰還イネーブルトランジスタ FBEN との間に遮蔽部 113a を設けたので、光電変換部 PD から漏出した光を光電変換部 PD に向けて反射し、帰還イネーブルトランジスタ FBEN の近傍に形成される浮遊拡散領域 FD' への光の入り込みを確実に抑制するとともに、光電変換部 PD における光の再利用を促進することができる。更に、本実施形態では、光電変換部 PD と切替トランジスタ FDG との間に遮蔽部 113b を設けたので、同様に、光電変換部 PD から漏出した光を光電変換部 PD に向けて反射し、切替トランジスタ FDG の近傍に形成される浮遊拡散領域 FD' ' への光の入り込みを確実に抑制するとともに、光電変換部 PD における光の再利用を促進することができる。

[0058] (変形例 1-1)

図5 Aは、本技術の第1の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。本例では、切替トランジスタFDGの形状が異なり、また、その近傍の浮遊拡散領域FD' 'が異なる位置に形成されている。

[0059] 同図に示すように、切替トランジスタFDG1及びFDG2は、平面視で、略矩形形状に形成される。つまり、本例の切替トランジスタFDG1及びFDG2は、上述した例のような屈曲部分を有していない。なお、切替トランジスタFDG1及びFDG2は、縦型トランジスタとして形成されることが好ましい。

[0060] 切替トランジスタFDG1及びFDG2の近傍の浮遊拡散領域FD1' '及びFD2' 'は、光電変換部PDに対して遠位側に形成される。つまり、浮遊拡散領域FD1' '及びFD2' 'は、平面視において、画素分離部111に対して斜めに形成された切替トランジスタFDG1及びFDG2の背後に形成される。また、遮蔽部113b1及び113b2は、切替トランジスタFDG1及びFDG2が光電変換部PDに略対向する部分に形成される。

[0061] 以上のような構成の画素110においても、上述した例と同様に、画素110における浮遊拡散領域FDへの意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタFDGの近傍に形成される浮遊拡散領域FD' 'が光電変換部PDに対して切替トランジスタFDGの遠位側に形成されているので、切替トランジスタFDGによって浮遊拡散領域FD' 'への光の入り込みを確実に抑制することができると共に、光電変換部PDの受光領域をより広くとることができる。また、切替トランジスタFDGが縦型トランジスタとして形成された場合には、より効果的に光の入り込みを確実に抑制することができるようになる。

[0062] (変形例1-2)

図5 Bは、本技術の第1の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するため

の図である。本例は、上記変形例 1 - 2 の更なる変形であり、切替トランジスタ F D G の近傍の浮遊拡散領域 F D' ' が別の異なる位置に形成されている。

[0063] すなわち、同図に示すように、本例の切替トランジスタ F D G は、平面視で、画素分離部 1 1 1 に対して略並行に設けられている。また、切替トランジスタ F D G の近傍の浮遊拡散領域 F D' ' は、画素分離部 1 1 1 に対向するように形成されている。つまり、浮遊拡散領域 F D' ' は、光電変換部 P D からより遠位に形成されている。

[0064] 以上のような構成の画素 1 1 0 においても、上述した例と同様に、画素 1 1 0 における浮遊拡散領域 F D への意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタ F D G の近傍に形成される浮遊拡散領域 F D' ' が光電変換部 P D に対して切替トランジスタ F D G の遠位側で、かつ、画素分離部 1 1 1 に対向する位置に設けられているので、光電変換部 P D からより離すことができ、切替トランジスタ F D G によって浮遊拡散領域 F D' ' への光の入り込みを確実に抑制できると共に、光電変換部 P D の受光領域をより広くとることができる。

[0065] 2. 第 2 の実施形態

本実施形態は、上記第 1 の実施形態の変形であり、2 個の電荷排出トランジスタを光電変換部 P D の周囲に配置した構造を有する画素を備える固体撮像装置であることを特徴とする。

[0066] 図 6 は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ部における画素の回路構成の一例を示す図である。すなわち、同図は、図 1 に示した固体撮像装置 1 の画素アレイ部 1 1 を構成する複数の画素 1 1 0 のうちの任意の 1 つの画素（単位画素）1 1 0 の回路構成の一例を示している。

[0067] すなわち、同図に示すように、本実施形態の画素 1 1 0 では、光電変換部 P D に蓄積された電荷を排出するための電荷排出トランジスタ O F G 1 及び O F D 2 が光電変換部 P D に接続されている。電荷排出トランジスタ O F G 1 及び O F D 2 は縦型トランジスタとして形成され得る。電荷排出トランジ

スタＯＦＧ１及びＯＦＤ２は、同じものであっても良いし、或いは、その大きさ（例えばゲート絶縁膜の厚さ）が異なっても良い。電荷排出トランジスタＯＦＧ１及びＯＦＤ２は、そのゲートに供給される共通の排出駆動信号ＯＦＧ＿Ｓの電圧がＨｉｇｈレベルになるとこれに応答して共に導通状態になり、これにより、光電変換部ＰＤの電位がＶＤＤとなって電荷が排出される。このように、本実施形態では、２個の電荷排出トランジスタＯＦＧ１及びＯＦＤ２が設けられていることにより、こり高速に光電変換部ＰＤの電位をより高速にリセットすることができる。

[0068] なお、同図において、転送トランジスタＴＧ等の他のトランジスタについては、第１の実施形態のものと同様であるため、その説明を省略する。

[0069] 図７Ａは、本技術の第２の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。同図に示すように、本例では、画素１１０において、光電変換部ＰＤの一对の一端部近傍に、転送トランジスタＴＧ１及びＴＧ２がそれぞれ形成されている一方、該一对の一端部とは異なる一对の他端部近傍には、電荷排出トランジスタＯＦＧ１及びＯＦＤ２が形成されている。すなわち、電荷排出トランジスタＯＦＤ２は、帰還イネーブルトランジスタＦＢＥＮの近傍に形成されている。また、本例では、ＶＤＤ配線パターンは、配線層において、電荷排出トランジスタＯＦＤ２の略直下まで延伸し、電荷排出トランジスタＯＦＤ２を電氣的に接続している。

[0070] 更に、本例では、光電変換部ＰＤから漏出し、帰還イネーブルトランジスタＦＢＥＮ１及びＦＢＥＮ２の近傍の浮遊拡散領域ＦＤ'へ向かう光を遮蔽する遮蔽部１１３ａ１及び１１３ａ２が設けられている。他の例として、上記の実施形態と同様に、遮蔽部１１３ａ１及び１１３ａ２は、連続した１個の遮蔽部１１３ａとして構成されても良い。

[0071] 以上のように、本実施形態によれば、第１の実施形態と同様の利点及び効果を奏し得る。とりわけ、本実施形態によれば、帰還イネーブルトランジスタＦＢＥＮの近傍に縦型トランジスタとして形成された電荷排出トランジスタ

タ O F G 2 を配置しているので、光電変換部 P D から漏出した光を光電変換部 P D に向けて反射し、これにより、光電変換部 P D における光の再利用を促進し、浮遊拡散領域 F D への光の入り込みを効果的に抑制することができる。

[0072] (変形例 2-1)

図 7 B は、本技術の第 2 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。本例では、2 個の電荷排出トランジスタ O F G を設けつつ、上記変形例 1-1 と同様に、切替トランジスタ F D G が屈曲部分を有しない構造に形成されている。

[0073] まず、同図に示すように、切替トランジスタ F D G 1 及び F D G 2 は、平面視で、略矩形形状に形成される。つまり、本例の切替トランジスタ F D G 1 及び F D G 2 は、上述した例のような屈曲部分を有しない。なお、本例では、切替トランジスタ F D G 1 及び F D G 2 は、縦型トランジスタとして形成されることが好ましい。

[0074] 切替トランジスタ F D G 1 及び F D G 2 の近傍の浮遊拡散領域 F D 1' ' 及び F D 2' ' は、光電変換部 P D に対して遠位側に形成される。言い換えれば、浮遊拡散領域 F D 1' ' 及び F D 2' ' は、平面視において、切替トランジスタ F D G 1 及び F D G 2 の背後に、画素分離部 1 1 1 に対して斜めに形成される。また、遮蔽部 1 1 3 b 1 及び 1 3 1 b 2 は、切替トランジスタ F D G 1 及び F D G 2 が光電変換部 P D に略対向する部分に形成される。

[0075] 以上のような構成の画素 1 1 0 においても、上述した例と同様に、画素 1 1 0 における浮遊拡散領域 F D への意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタ F D G の近傍に形成される浮遊拡散領域 F D' ' が光電変換部 P D に対して切替トランジスタ F D G の遠位側に形成されているので、切替トランジスタ F D G によって浮遊拡散領域 F D' ' への光の入り込みを確実に抑制できると共に、光電変換部 P D の受光領域をより広くすることができる。また、切替トラ

ンジスタFDGが縦型トランジスタとして形成された場合には、より効果的に光の入り込みを確実に抑制することができるようになる。

(変形例2-2)

図7Cは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。本例は、上記変形例1-2の更なる変形であり、切替トランジスタFDGの近傍の浮遊拡散領域FD'が光電変換部PDからより離れた位置に形成されている。

[0076] すなわち、同図に示すように、本例の切替トランジスタFDGは、平面視で、画素分離部111に略並行に設けられている。また、切替トランジスタFDGの近傍の浮遊拡散領域FD'は、画素分離部111に対向するように設けられている。したがって、浮遊拡散領域FD'は、光電変換部PDからより遠位に形成されている。

[0077] 以上のような構成の画素110においても、上述した例と同様に、画素110における浮遊拡散領域FDへの意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタFDGの近傍に形成される浮遊拡散領域FD'が光電変換部PDに対して切替トランジスタFDGの遠位側で、かつ、画素分離部111に対向する位置に設けられているので、光電変換部PDからより離すことができ、切替トランジスタFDGによって浮遊拡散領域FD'への光の入り込みを確実に抑制できると共に、光電変換部PDの受光領域をより広くとることができる。

[0078] (変形例2-3)

図7Dは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。本例では、浮遊拡散領域FD'は、帰還イネーブルトランジスタFBENの間に形成されている。

[0079] すなわち、同図に示すように、本例の浮遊拡散領域FD'は、平面視で、帰還イネーブルトランジスタFBEN1とFBEN2との間で、光電変換部

P Dの一端部に沿って、互いに対向するように形成されている。つまり、浮遊拡散領域F D'は、一对の帰還イネーブルトランジスタF B E N 1とF B E N 2との間に形成される。これにより、画素1 1 0における各トランジスタをより効率的に配置することができる。また、本例では、浮遊拡散領域F D'は、上述した例に比較して、光電変換部P Dの一端部に近い位置に形成されることとなるが、遮蔽部1 1 3 a 1及び1 3 1 a 2並びに電荷排出トランジスタO F G 2により、光の入り込みを抑制することができると共に、光電変換部P Dの受光領域をより広くすることができる。

[0080] (変形例2-4)

図7 Eは、本技術の第2の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。本例では、切替トランジスタF D Gの近傍の浮遊拡散領域F D' 'が異なる位置に形成されている。

[0081] すなわち、切替トランジスタF D G 1及びF D G 2の近傍の浮遊拡散領域F D 1' '及びF D 2' 'は、平面視において、画素分離部1 1 1に対して斜めに形成された切替トランジスタF D G 1及びF D G 2の背後に形成される。また、遮蔽部1 1 3 b 1及び1 3 1 b 2は、切替トランジスタF D G 1及びF D G 2が光電変換部P Dに略対向する部分に形成される。

[0082] 以上のような構成の画素1 1 0においても、上述した例と同様に、画素1 1 0における浮遊拡散領域F Dへの意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタF D Gの近傍に形成される浮遊拡散領域F D' 'が光電変換部P Dに対して切替トランジスタF D Gの遠位側に形成されているので、切替トランジスタF D Gによって浮遊拡散領域F D' 'への光の入り込みを確実に抑制することができると共に、光電変換部P Dの受光領域をより広くとることができる。

[0083] (変形例2-5)

図7 Fは、本技術の第1の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するため

の図である。本例は、切替トランジスタFDGの近傍の浮遊拡散領域FD' 'が異なる位置に形成されている。

[0084] すなわち、同図に示すように、本例の切替トランジスタFDGは、平面視で、画素分離部111に対して略並行に設けられている。また、切替トランジスタFDGの近傍の浮遊拡散領域FD' 'は、画素分離部111に対向するように形成されている。したがって、浮遊拡散領域FD' 'は、光電変換部PDからより遠位に形成されている。

[0085] 以上のような構成の画素110においても、上述した例と同様に、画素110における浮遊拡散領域FDへの意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、切替トランジスタFDGの近傍に形成される浮遊拡散領域FD' 'が光電変換部PDに対して切替トランジスタFDGの遠位側で、かつ、画素分離部111に対向する位置に設けられているので、光電変換部PDからより離すことができ、切替トランジスタFDGによって浮遊拡散領域FD' 'への光の入り込みを確実に抑制できると共に、光電変換部PDの受光領域をより広くとることができる。

[0086] 3. 第3の実施形態

本実施形態は、上記の実施形態の変形であり、ソースフォロワ回路を構成する増幅トランジスタAMP及び選択トランジスタSELが異なる位置に形成されていることを特徴とする。

[0087] 図8Aは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。

[0088] すなわち、同図に示すように、増幅トランジスタAMP及び選択トランジスタSELは、転送トランジスタTG1とTG2とを結ぶ線に直交する画素分離部111の一辺に平行に設けられている。したがって、転送トランジスタTG1とTG2との間の距離が狭まるため、光電変換部PDの電界が高くなり、電荷の振り分け能力が向上する。

[0089] このような配置では、一の画素110において、転送トランジスタTG2

と増幅トランジスタAMP 2及び選択トランジスタSEL 2との配線距離が長くなる。このため、転送トランジスタTG 2側に位置する他の画素110における増幅トランジスタAMP 2及び選択トランジスタSEL 2が、一の画素110における転送トランジスタTG 2から転送された電荷を蓄積する浮遊拡散領域FD 2を読み出すように構成される。

[0090] (変形例)

図8B～8Dは、本技術の第3の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。これらの図に示される例は、上述した種々の平面レイアウトに対応するものであり、同様の利点乃至作用効果を奏するため、説明を省略する。

[0091] 以上のような構成の画素110においても、上述した例と同様に、画素110における浮遊拡散領域FDへの意図しない光の入り込みを確実に抑制することができる。とりわけ、本例では、光電変換部PDの一对の端部に設けられる転送トランジスタTG 1とTG 2との距離が近くなるため、光電変換部PDの電界が高くなり、電荷の振り分け能力が向上する。

[0092] 4. 第4の実施形態

本実施形態は、上記の実施形態の変形であり、画素におけるいくつかのトランジスタを縦型トランジスタとして構成したことを特徴とする。以下で説明されるように、縦型トランジスタの構造は、遮光性と電荷転送効率とを考慮して適宜に決定される。

[0093] 図9は、本技術の第4の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。また、図10は、図9に示した画素のX-X断面における概略断面構造の一例を示す図である。

[0094] これらの図に示すように、本実施形態の画素110では、転送トランジスタTG及び電荷排出トランジスタOFGは、その一部に埋め込み構造114を有する縦型トランジスタとして形成されている。また、図示されていない

が、埋め込み構造 114 の下部には、ゲート酸化膜が形成されている。

[0095] 転送トランジスタ T_G の埋め込み構造 114_{T_G} は、光電変換部 P_D から漏出し浮遊拡散領域 F_D へ向かう光を反射又は遮蔽する。埋め込み構造 114_{T_G} で反射した光は、光電変換部 P_D へ入射し、再利用されることになる。転送トランジスタ T_G は、そのゲートに供給される転送駆動信号 T_G__S が High レベルになると、光電変換部 P_D で生成された電荷を浮遊拡散領域 F_D に転送する。このとき、光電変換部 P_D の電荷は埋め込み構造 114_{T_G} の下のシリコン層を通して浮遊拡散領域 F_D に転送されるため、その流れが僅かに抑制されて電荷転送効率が低下することになるが、光電変換部 P_D から漏出し浮遊拡散領域 F_D へ向かう光を効果的に反射又は遮蔽するため、画像品質の低下を防止することができる。

[0096] 同様に、電荷排出トランジスタ O_{F_G} の埋め込み構造 114_{O_{F_G}} は、切替トランジスタ F_{D_G} の近傍の浮遊拡散領域 F_D' ' へ向かう光を反射又は遮蔽する。埋め込み構造 114_{O_{F_G}} で反射した光は、光電変換部 P_D へ入射し、再利用されることになる。電荷排出トランジスタ O_{F_G} は、そのゲートに供給される電荷排出駆動信号 O_{F_G}__S が High レベルになると、光電変換部 P_D の電位を排出する。

[0097] 以上のように、本例の転送トランジスタ T_G 及び電荷排出トランジスタ O_{F_G} が縦型トランジスタとして形成されているため、浮遊拡散領域 F_D への光の入り込みを確実に抑制するとともに、その光を光電変換部 P_D へ再入射して再利用することができるようになる。

[0098] (変形例 4-1)

転送トランジスタ T_G 及び／又は電荷排出トランジスタ O_{F_G} の埋め込み構造 114 は、遮光性や電荷転送効率を考慮して、種々の形態をとることができる。

[0099] 図 11A は、本技術の第 4 の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの他の例を説明するための図である。同図に示すように、転送トランジスタ T_G 及び電荷排出トランジ

スタＯＦＧの埋め込み構造１１４は、いわゆる櫛状又は柱状に形成される（図中、小さな四角い点線で示されている。）。つまり、本例の埋め込み構造１１４は、Ｚ方向（深さ方向）の面において、部分的に間隙を有する。このような櫛状の埋め込み構造１１４により、電荷はその間隙を通ることができるため、遮光性を考慮しつつ、電荷転送効率の過度な低下を防止することができる。

[0100] 一方、図１１Ｂは、本技術の第４の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。同図に示すように、転送トランジスタＴＧ及び電荷排出トランジスタＯＦＧの埋め込み構造１１４は、平面視で、ジグザグ状に形成される。本例の埋め込み構造１１４は、図１１Ａの櫛状の埋め込み構造１１４に比較して間隙が少ないため、遮光性と電荷転送効率とのバランスを適宜に調整することができる。

[0101] （変形例４－２）

図１２Ａ及び図１２Ｂは、それぞれ、本技術の第４の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの更に他の例を説明するための図である。これらの図に示すように、縦型トランジスタは、転送トランジスタＴＧ及び／又は電荷排出トランジスタＯＦＧのみならず、例えば切替トランジスタＦＤＧにも適用することができる。すなわち、本例の切替トランジスタＦＤＧは、その一部に埋め込み構造１１４、ＦＤＧを有する縦型トランジスタとして構成される。

[0102] ５．第５の実施形態

本実施形態は、上記の実施形態の変形であり、遮蔽部１１３が、縦型構造のダミートランジスタにより形成されることを特徴とする。ダミートランジスタは、半導体積層構造を有する、いずれの配線パターンにも電氣的に接続されていないトランジスタである。

[0103] 図１３Ａ～１３Ｄは、それぞれ、本技術の第５の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例

を説明するための図である。

[0104] すなわち、図13Aに示すように、転送トランジスタTG1とTG2との間には、ダミートランジスタ115aが光電変換部PDの一端部に沿って形成されている。これにより、光電変換部PDから漏出した光が、転送トランジスタTGの近傍の浮遊拡散領域FD、及び切替トランジスタFDGの近傍のFD' 'に入り込むことを抑制することができる。

[0105] また、電荷排出トランジスタOFGの両側には、ダミートランジスタ115b1及び115b2が形成されている。つまり、ダミートランジスタ115b1及び115b2は、隣接する画素110から延伸する、帰還イネーブルトランジスタFBEN1及びFBEN2の近傍の浮遊拡散領域FD1' 及びFD2' 、並びに切替トランジスタFDG1及びFDG2の近傍の浮遊拡散領域FD1' ' 及びFD2' ' への光の入り込みを抑制するように、光電変換部PDの一端部に沿って形成されている。

[0106] また、本例では、光電変換部PDに対してダミートランジスタ115a及び115bの遠位側、つまり、浮遊拡散領域FD、FD' 、及びFD' ' の近傍には、半導体導電領域（ウェル）に電氣的に接続するためのウェルコンタクトWが形成されている。これにより、浮遊拡散領域FD、FD' 、及びFD' ' での電位の変動を低減することができる。

[0107] 図13Bでは、ダミートランジスタ115a及び115bが、それぞれ、屈曲部分を有する例が示されている。これにより、光の入り込みをより一層抑制することができる。

[0108] 図13C及び13Dでは、ウェルコンタクトWが光電変換部PDの近傍に配置された例が示されている。これにより、ダミートランジスタ115a及び115bは、浮遊拡散領域FD、FD' 、及びFD' ' により近い位置に配置することができ、光の入り込みをより一層抑制することができる。

[0109] 6. 第6の実施形態

本実施形態は、帰還イネーブルトランジスタFBENを省略した画素の例を示している。

[0110] 図14A～14Cは、それぞれ、本技術の第5の実施形態に係る固体撮像装置の画素アレイ部における画素を構成する各素子の平面レイアウトの一例を説明するための図である。これらの図に示されるように、本実施形態の画素110は、帰還イネーブルトランジスタFBENが省略されている点で、上記の実施形態と異なっている。また、本例では、2個の電荷排出トランジスタOFGを用いた例が示されている。

[0111] 以上のように、本技術は、帰還イネーブルトランジスタFBENを省略したような種々の画素110に適用し得る。

[0112] 上記各実施形態は、本技術を説明するための例示であり、本技術をこれらの実施形態にのみ限定する趣旨ではない。本技術は、その要旨を逸脱しない限り、さまざまな形態で実施することができる。

[0113] 例えば、本明細書に開示される方法においては、その結果に矛盾が生じない限り、ステップ、動作又は機能を並行して又は異なる順に実施しても良い。説明されたステップ、動作及び機能は、単なる例として提供されており、ステップ、動作及び機能のうちのいくつかは、発明の要旨を逸脱しない範囲で、省略でき、また、互いに結合させることで一つのものとしてもよく、また、他のステップ、動作又は機能を追加してもよい。

[0114] また、本明細書では、さまざまな実施形態が開示されているが、一の実施形態における特定のフィーチャ（技術的事項）を、適宜改良しながら、他の実施形態に追加し、又は該他の実施形態における特定のフィーチャと置換することができる、そのような形態も本技術の要旨に含まれる。

[0115] また、本技術は、以下のような技術的事項を含み構成されても良い。

(1)

複数の画素がアレイ状に配置された画素アレイ部を備える固体撮像装置であって、

前記複数の画素のそれぞれは、

前記画素の外縁形状を画定し、隣接する前記画素の間に形成された画素分離部と、

外部から入射した光に応じた量の電荷を生成する光電変換部と、
前記光電変換部の一端部に形成され、前記光電変換部により生成された前記電荷を転送するための転送トランジスタを含む、複数のトランジスタと、
前記光電変換部の周囲に形成され、前記光電変換部により生成され転送される電荷を一時的に蓄積する浮遊拡散領域と、
前記光電変換部の周囲に形成され、前記光電変換部から漏出し前記浮遊拡散領域へ向かう光を遮蔽する遮蔽部と、を備え、
前記複数のトランジスタは、
前記浮遊拡散領域の電位をリセットするためのリセットトランジスタと、
前記リセットトランジスタに対する電圧ノイズをキャンセリングするための帰還増幅回路に接続された帰還イネーブルトランジスタと、を更に含み、
前記遮蔽部は、前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の一部に向かう光を遮蔽する第1の遮蔽部を含む、
固体撮像装置。

(2)

前記遮蔽部は、前記光電変換部から漏出する光を前記光電変換部に向けて反射するように形成される、
前記(1)に記載の固体撮像装置。

(3)

前記遮蔽部は、前記光電変換部の外周縁に沿うように形成された屈曲部分を有する、
前記(1)又は(2)に記載の固体撮像装置。

(4)

前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の前記一部は、前記光電変換部に対して前記帰還イネーブルトランジスタの遠位側に形成される、前記(1)～(3)のいずれか一つに記載の固体撮像装置。

(5)

前記帰還イネーブルトランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、

前記（１）～（４）のいずれか一つに記載の固体撮像装置。

（６）

前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の前記一部は、一対の前記帰還イネーブルトランジスタの間に形成される、
前記（１）～（５）のいずれか一つに記載の固体撮像装置。

（７）

前記複数のトランジスタは、前記光電変換部の周囲に形成され、前記浮遊拡散領域を付加容量に電氣的に結合するための切替トランジスタを更に含み、

前記遮蔽部は、前記切替トランジスタの近傍に形成された前記浮遊拡散領域の他の一部に向かう光を遮蔽する第２の遮蔽部を更に含む、
前記（１）～（６）のいずれか一つに記載の固体撮像装置。

（８）

前記切替トランジスタは、屈曲部分を有するように形成される、
前記（１）～（７）のいずれか一つに記載の固体撮像装置。

（９）

前記切替トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、
前記（７）に記載の固体撮像装置。

（１０）

前記切替トランジスタの近傍に形成された前記浮遊拡散領域の前記他の一部は、一対の前記切替トランジスタの間に対向するように形成される、
前記（７）～（９）のいずれか一つに記載の固体撮像装置。

（１１）

前記切替トランジスタの近傍に形成された前記浮遊拡散領域の前記他の一部は、前記光電変換部に対して前記切替トランジスタの遠位側に形成される

、

前記（７）～（９）のいずれか一つに記載の固体撮像装置。

（１２）

前記複数のトランジスタは、前記光電変換部の前記一端部と異なる他端部に形成され、前記光電変換部に残存する電荷を排出するための少なくとも１つの電荷排出トランジスタを更に含む、

前記（１）～（１１）のいずれか一つに記載の固体撮像装置。

（１３）

前記電荷排出トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、

前記（１２）に記載の固体撮像装置。

（１４）

前記電荷排出トランジスタの縦型構造は、前記画素の深さ方向の面において、部分的に間隙を有する、

前記（１３）に記載の固体撮像装置。

（１５）

前記転送トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、

前記（１）～（１５）のいずれか一つに記載の固体撮像装置。

（１６）

前記転送トランジスタの縦型構造は、前記画素の深さ方向の面において、部分的に間隙を有する、

前記（１５）に記載の固体撮像装置。

（１７）

前記遮蔽部は、ポリクリスタルシリコンからなる半導体積層構造を有するダミートランジスタである、

前記（１）～（１６）のいずれか一つに記載の固体撮像装置。

（１８）

前記画素の半導体導電領域に電氣的に接続するためのウェルコンタクトが、前記浮遊拡散領域の近傍に形成される、

前記（１）～（１７）のいずれか一つに記載の固体撮像装置。

（１９）

前記転送トランジスタは、前記光電変換部により生成された前記電荷を所定のタイミングで一对の前記浮遊拡散領域にそれぞれ振り分けるための一对のトランジスタとして構成される、

前記（１）～（１８）のいずれか一つに記載の固体撮像装置。

（２０）

前記（１）～（１９）に記載の前記固体撮像装置により得られる対象物までの距離情報に基づいた距離画像を取得するための距離画像センサデバイス。

符号の説明

[0116] １…固体撮像装置

１１…画素アレイ部

１１０…画素

１１１…画素分離部

１１２…遮光蓋

１１３，１１３ａ，１１３ｂ…遮蔽部

１１４，１１４_{TG}，１１４_{OFFG}…埋め込み構造

１１５…ダミートランジスタ

１２…垂直駆動部

１３…カラム処理部

１４…水平駆動部

１５…システム制御部

１６…信号処理部

１７…データ格納部

１８…画素駆動線

19, VSL…垂直信号線

TG…転送トランジスタ、FDG…切替トランジスタ、RST…リセットトランジスタ、FBEN…帰還イネーブルトランジスタ、FBOP…帰還増幅回路、AMP…増幅トランジスタ、SEL…選択トランジスタ、OFG…電荷排出トランジスタ、FD…浮遊拡散領域

請求の範囲

- [請求項1] 複数の画素がアレイ状に配置された画素アレイ部を備える固体撮像装置であって、
- 前記複数の画素のそれぞれは、
- 前記画素の外縁形状を画定し、隣接する前記画素の間に形成された画素分離部と、
- 外部から入射した光に応じた量の電荷を生成する光電変換部と、
- 前記光電変換部の一端部に形成され、前記光電変換部により生成された前記電荷を転送するための転送トランジスタを含む、複数のトランジスタと、
- 前記光電変換部の周囲に形成され、前記光電変換部により生成され転送される電荷を一時的に蓄積する浮遊拡散領域と、
- 前記光電変換部の周囲に形成され、前記光電変換部から漏出し前記浮遊拡散領域へ向かう光を遮蔽する遮蔽部と、を備え、
- 前記複数のトランジスタは、
- 前記浮遊拡散領域の電位をリセットするためのリセットトランジスタと、
- 前記リセットトランジスタに対する電圧ノイズをキャンセリングするための帰還増幅回路に接続された帰還イネーブルトランジスタと、を更に含み、
- 前記遮蔽部は、前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の一部に向かう光を遮蔽する第1の遮蔽部を含む、
- 固体撮像装置。
- [請求項2] 前記遮蔽部は、前記光電変換部から漏出する光を前記光電変換部に向けて反射するように形成される、
- 請求項1に記載の固体撮像装置。
- [請求項3] 前記遮蔽部は、前記光電変換部の外周縁に沿うように形成された屈

曲部分を有する、

請求項 1 に記載の固体撮像装置。

[請求項4] 前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の前記一部は、前記光電変換部に対して前記帰還イネーブルトランジスタの遠位側に形成される、
請求項 1 に記載の固体撮像装置。

[請求項5] 前記帰還イネーブルトランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、
請求項 4 に記載の固体撮像装置。

[請求項6] 前記帰還イネーブルトランジスタの近傍に形成された前記浮遊拡散領域の前記一部は、一対の前記帰還イネーブルトランジスタの間に形成される、
請求項 1 に記載の固体撮像装置。

[請求項7] 前記複数のトランジスタは、前記光電変換部の周囲に形成され、前記浮遊拡散領域を付加容量に電氣的に結合するための切替トランジスタを更に含み、

前記遮蔽部は、前記切替トランジスタの近傍に形成された前記浮遊拡散領域の他の一部に向かう光を遮蔽する第 2 の遮蔽部を更に含む、
請求項 1 に記載の固体撮像装置。

[請求項8] 前記切替トランジスタは、屈曲部分を有するように形成される、
請求項 7 に記載の固体撮像装置。

[請求項9] 前記切替トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、
請求項 7 に記載の固体撮像装置。

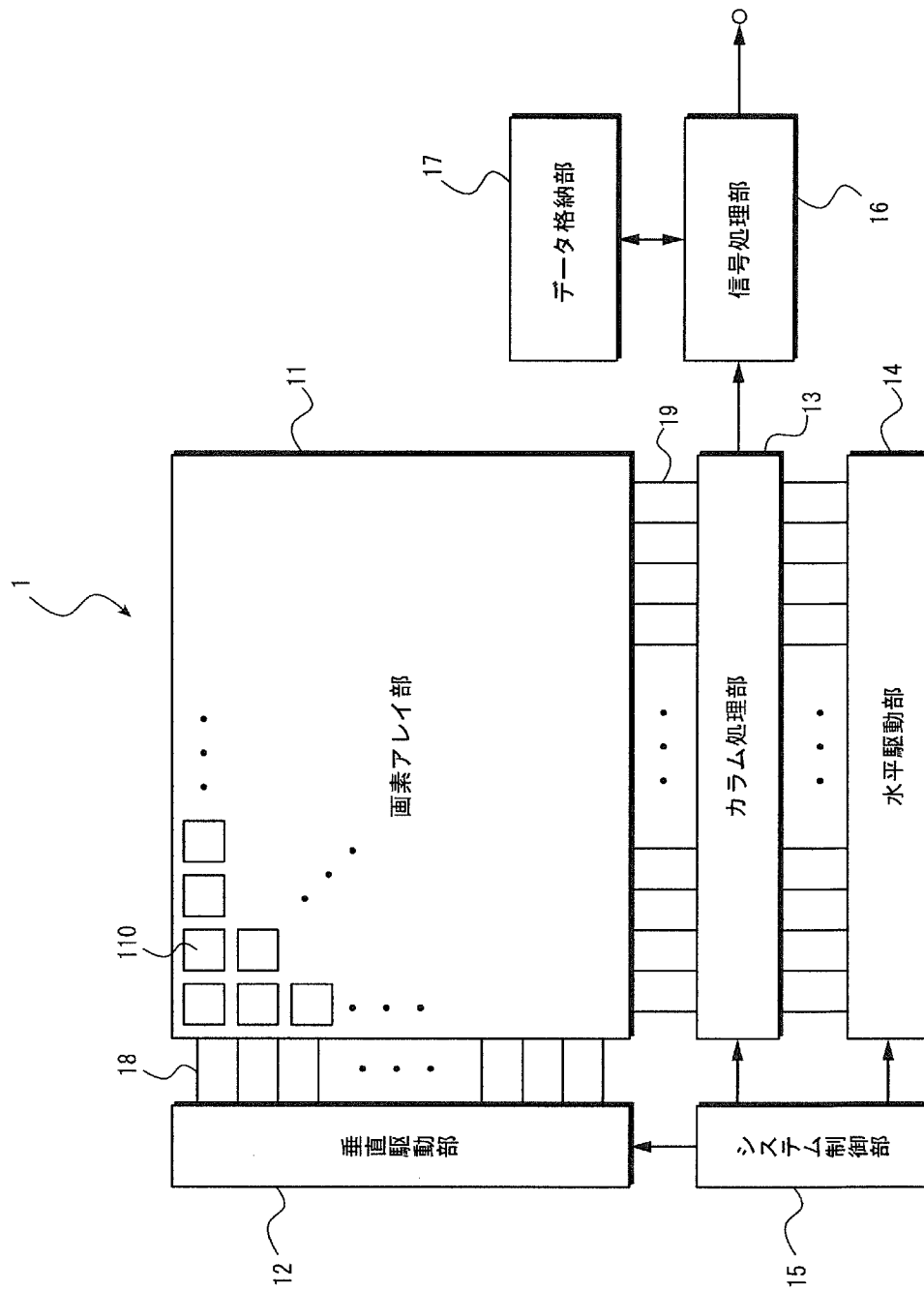
[請求項10] 前記切替トランジスタの近傍に形成された前記浮遊拡散領域の前記他の一部は、一対の前記切替トランジスタの間に対向するように形成される、
請求項 7 に記載の固体撮像装置。

- [請求項11] 前記切替トランジスタの近傍に形成された前記浮遊拡散領域の前記他の一部は、前記光電変換部に対して前記切替トランジスタの遠位側に形成される、
請求項7に記載の固体撮像装置。
- [請求項12] 前記複数のトランジスタは、前記光電変換部の前記一端部と異なる他端部に形成され、前記光電変換部に残存する電荷を排出するための少なくとも1つの電荷排出トランジスタを更に含む、
請求項1に記載の固体撮像装置。
- [請求項13] 前記電荷排出トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、
請求項12に記載の固体撮像装置。
- [請求項14] 前記電荷排出トランジスタの縦型構造は、前記画素の深さ方向の面において、部分的に間隙を有する、
請求項13に記載の固体撮像装置。
- [請求項15] 前記転送トランジスタは、ポリクリスタルシリコンからなる縦型トランジスタとして構成される、
請求項1に記載の固体撮像装置。
- [請求項16] 前記転送トランジスタの縦型構造は、前記画素の深さ方向の面において、部分的に間隙を有する、
請求項15に記載の固体撮像装置。
- [請求項17] 前記遮蔽部は、ポリクリスタルシリコンからなる半導体積層構造を有するダミートランジスタである、
請求項1に記載の固体撮像装置。
- [請求項18] 前記画素の半導体導電領域に電氣的に接続するためのウェルコンタクトが、前記浮遊拡散領域の近傍に形成される、
請求項1に記載の固体撮像装置。
- [請求項19] 前記転送トランジスタは、前記光電変換部により生成された前記電荷を所定のタイミングで一对の前記浮遊拡散領域にそれぞれ振り分け

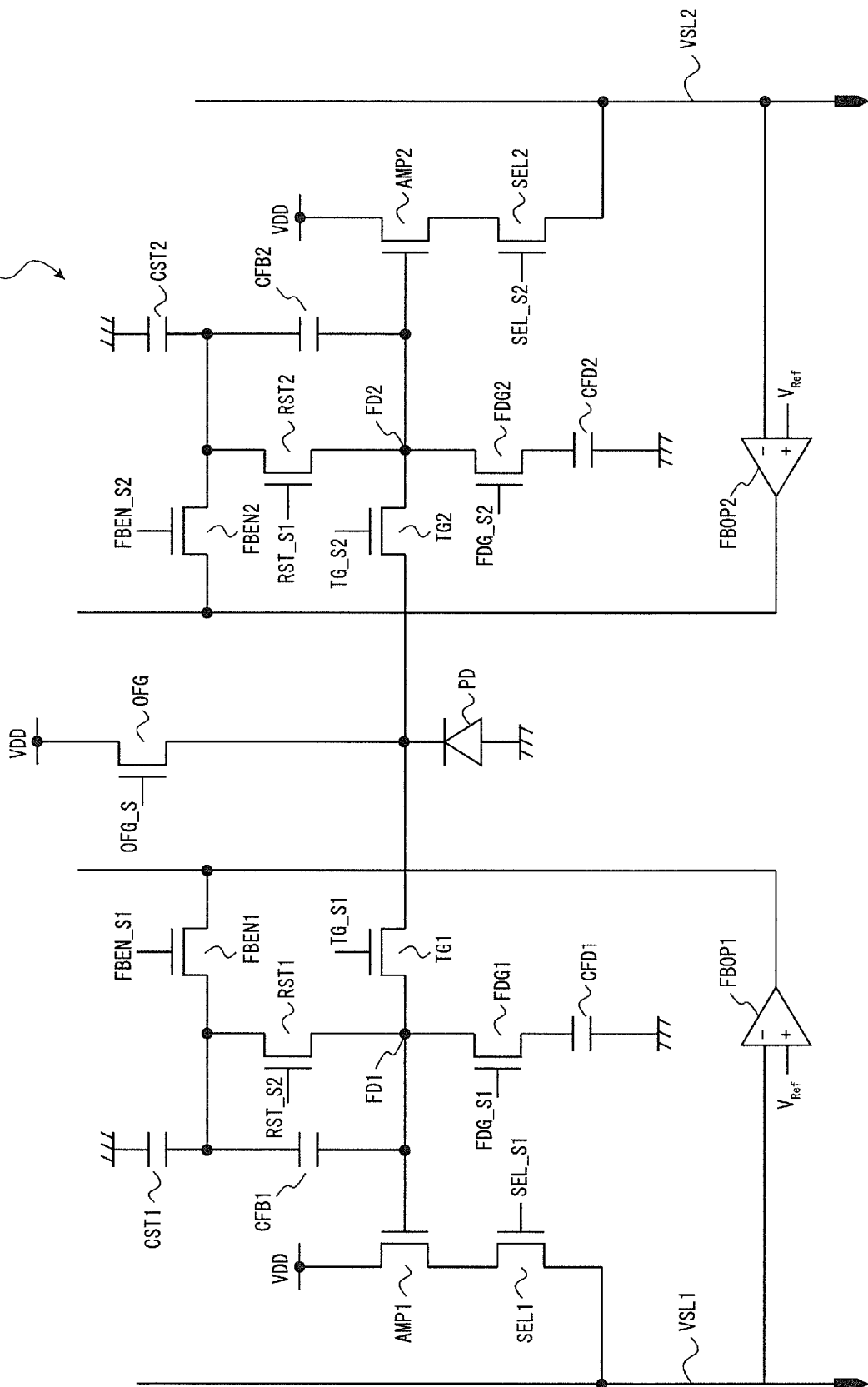
るための一対のトランジスタとして構成される、
請求項 1 に記載の固体撮像装置。

[請求項20] 請求項 1 に記載の前記固体撮像装置により得られる対象物までの距離情報に基づいた距離画像を取得するための距離画像センサデバイス
。

[図1]



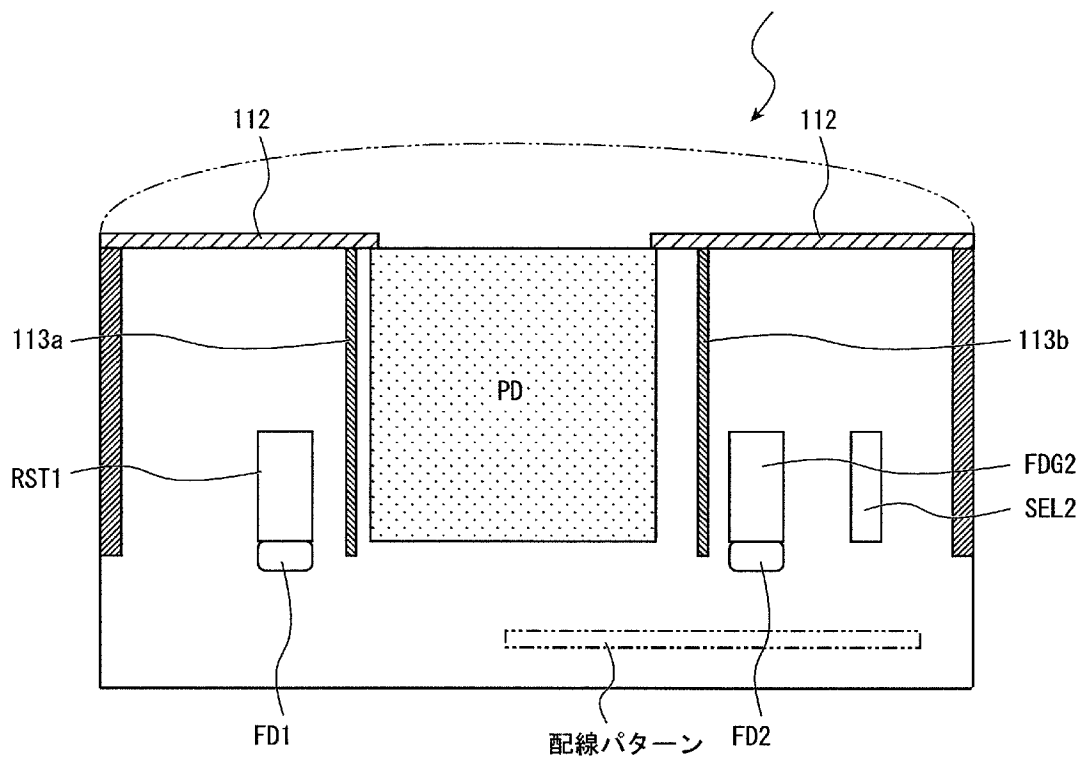
画素110



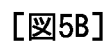
画素110



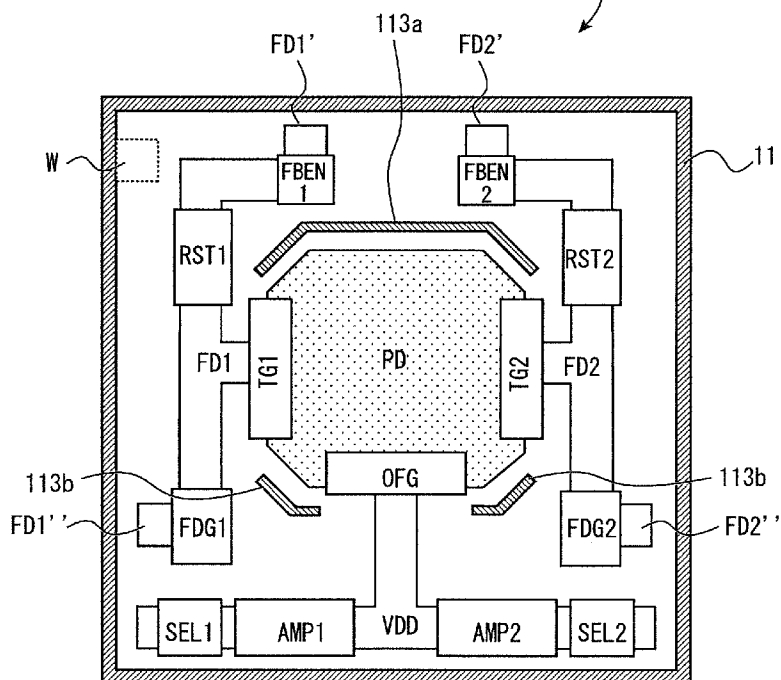
画素110



画素110

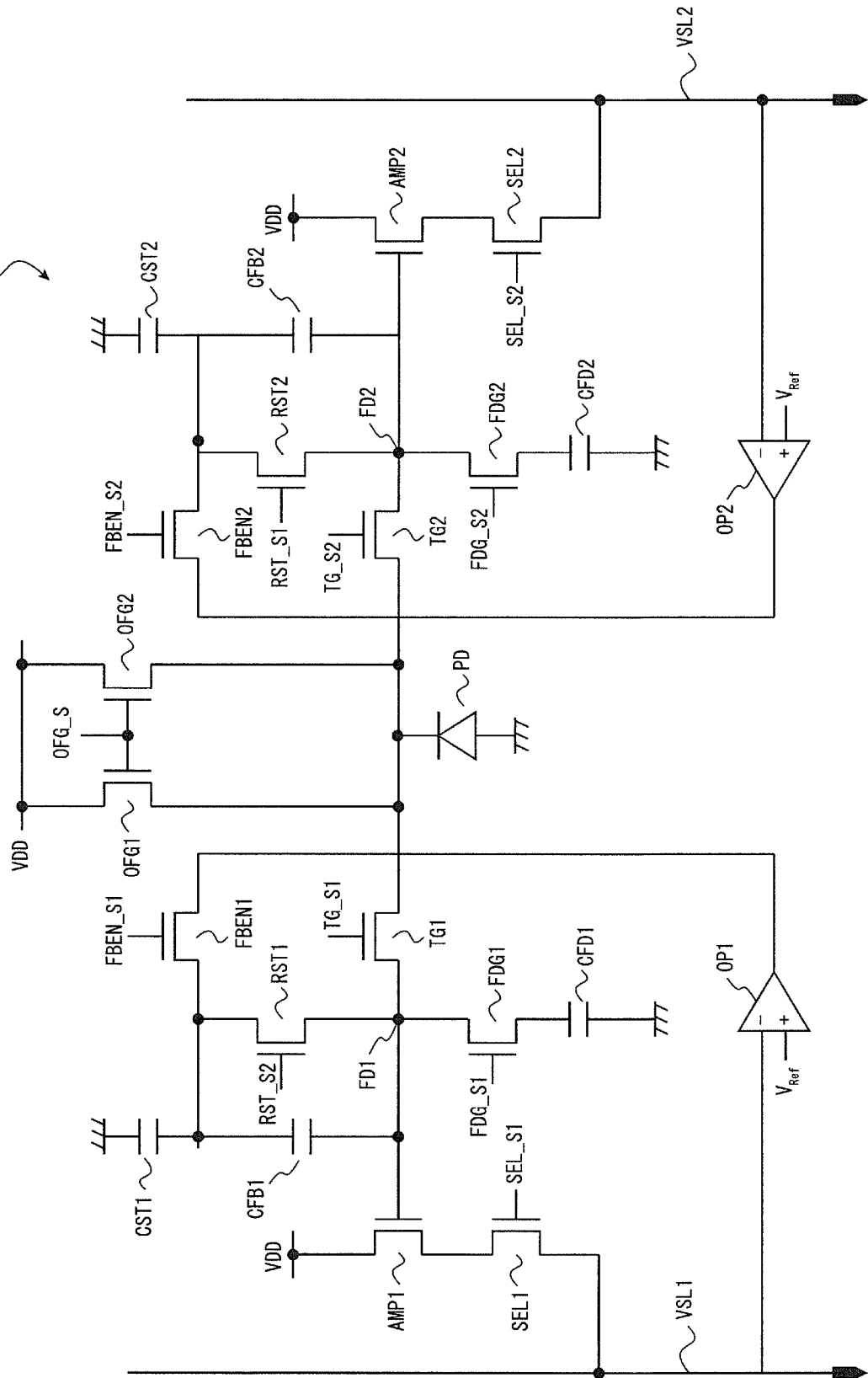


画素110

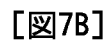


[図6]

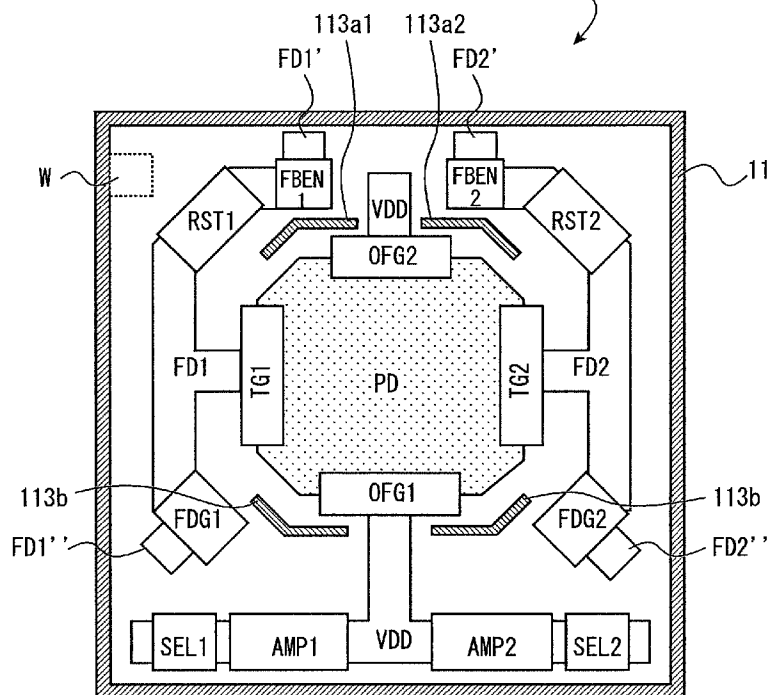
画素 110



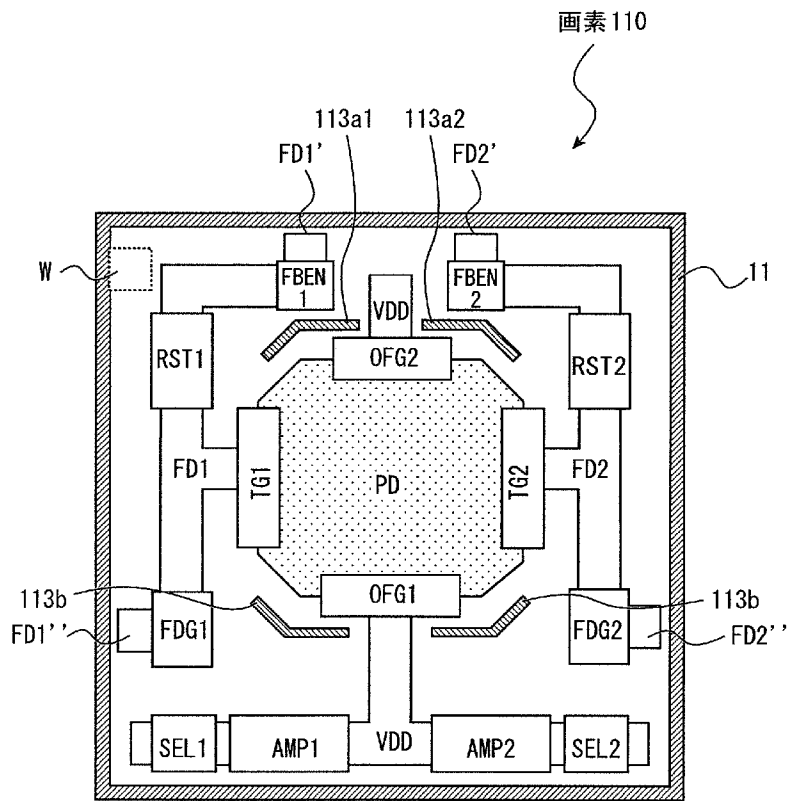
画素 110



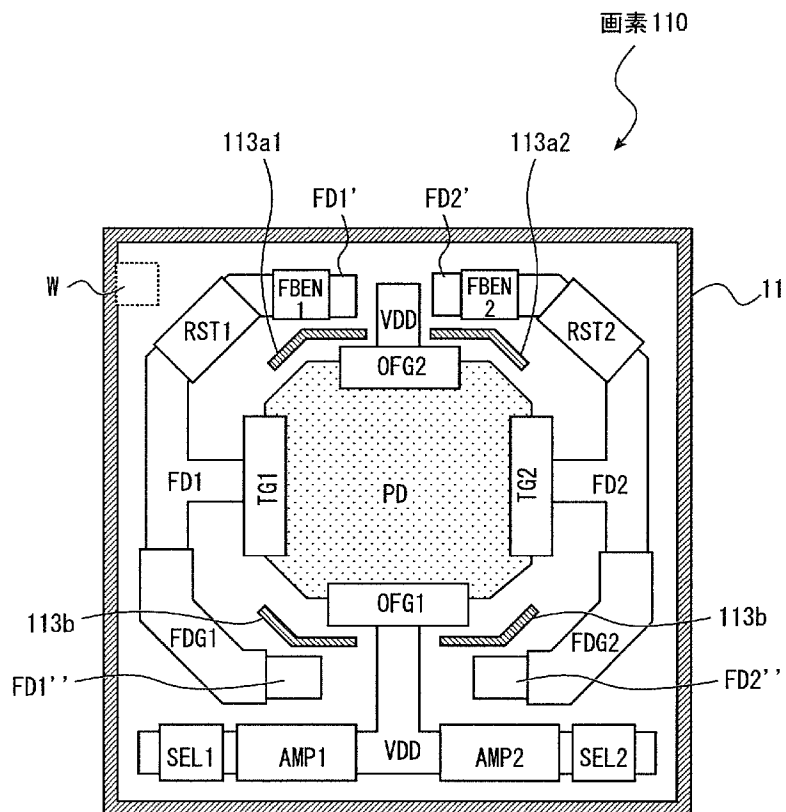
画素110



[図7C]



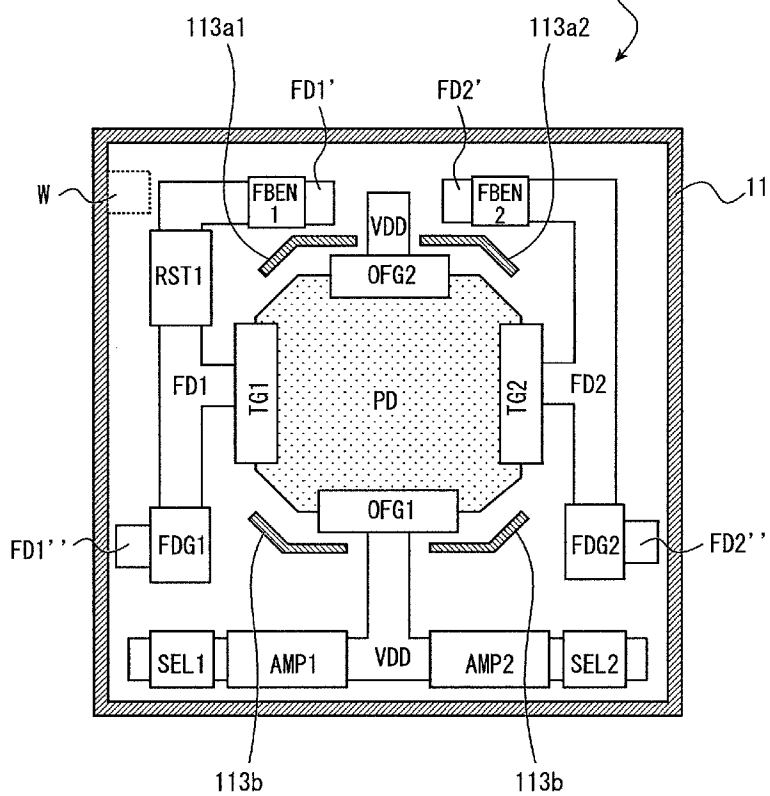
[図7D]



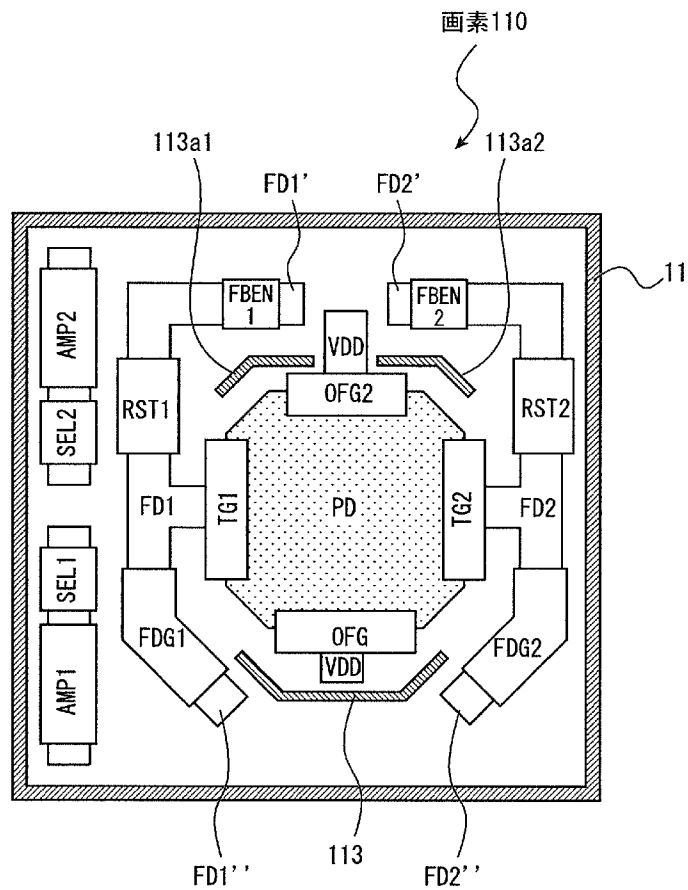
画素110



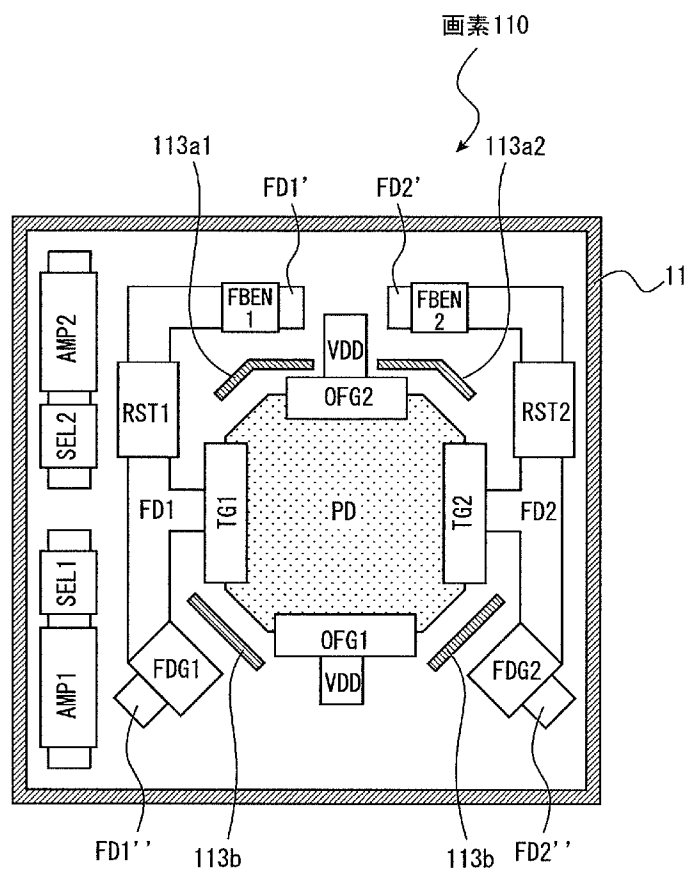
画素110



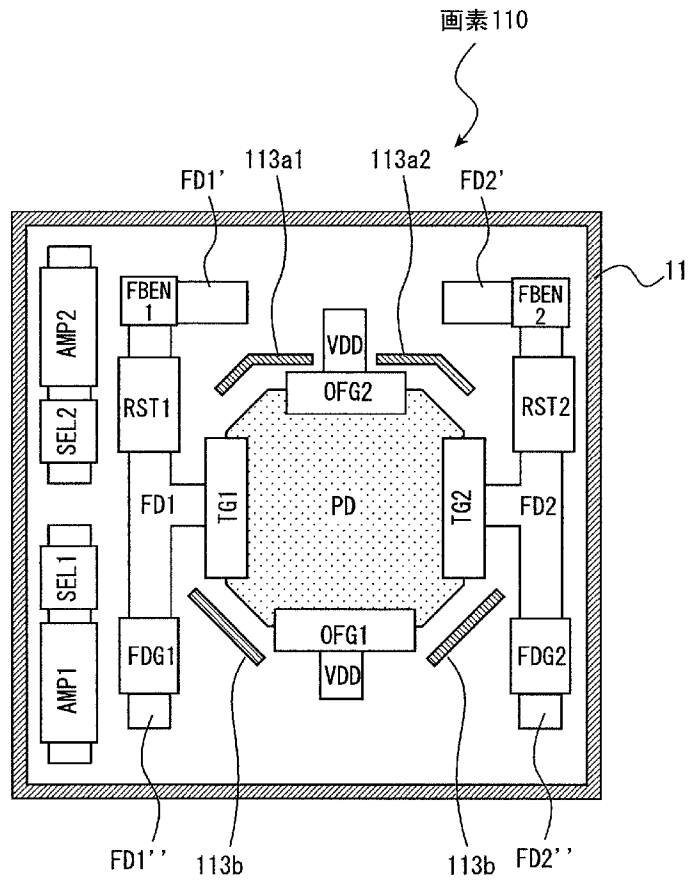
[図8A]



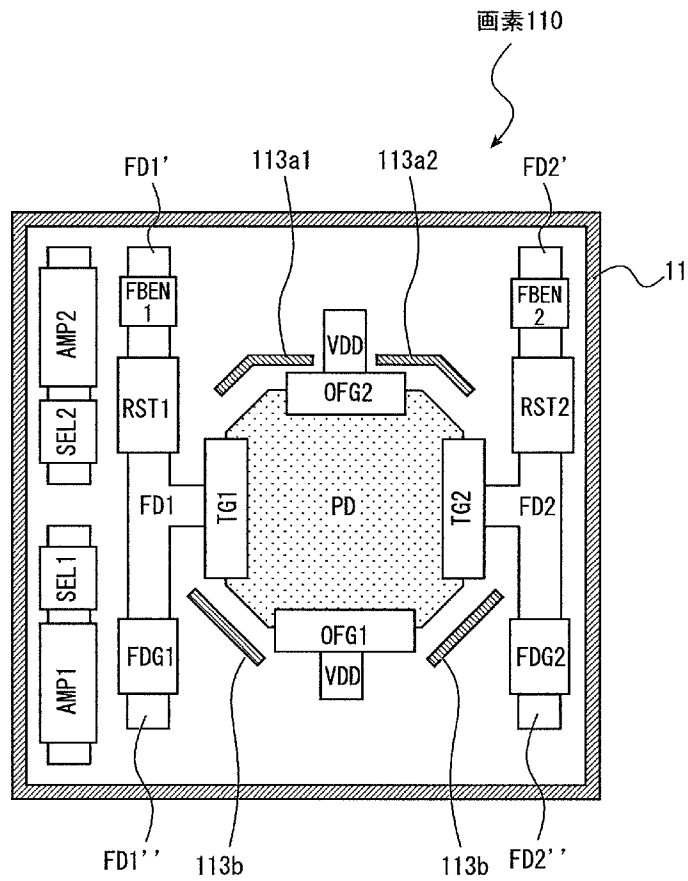
[図8B]



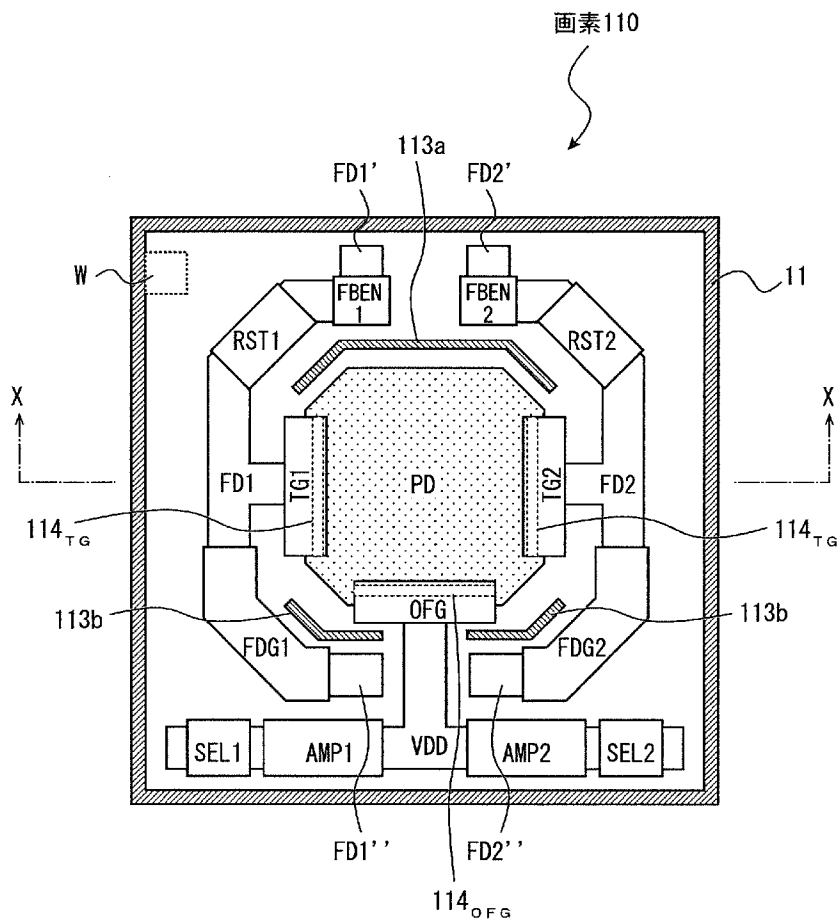
[図8C]



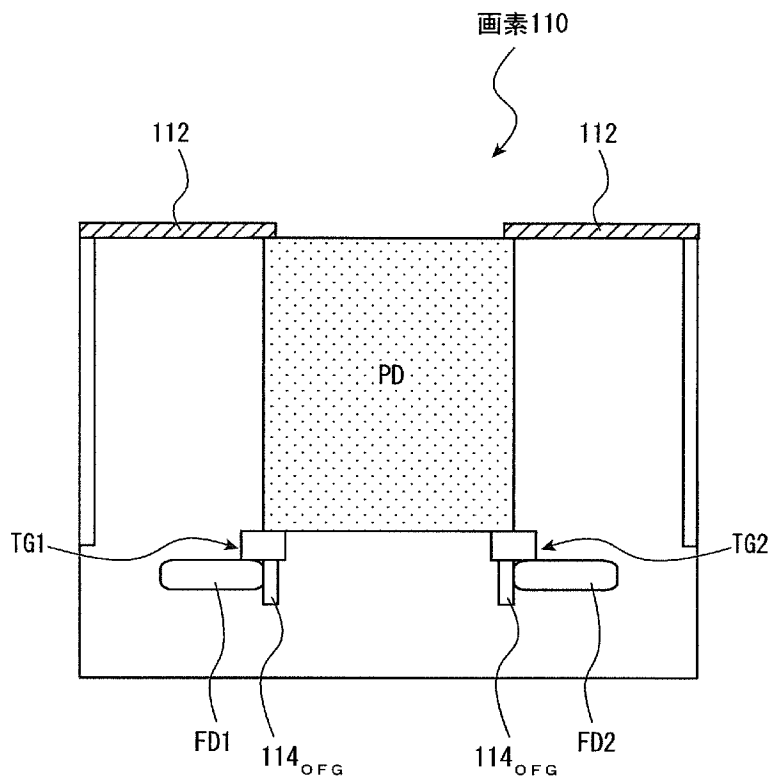
[図8D]



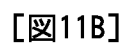
[図9]



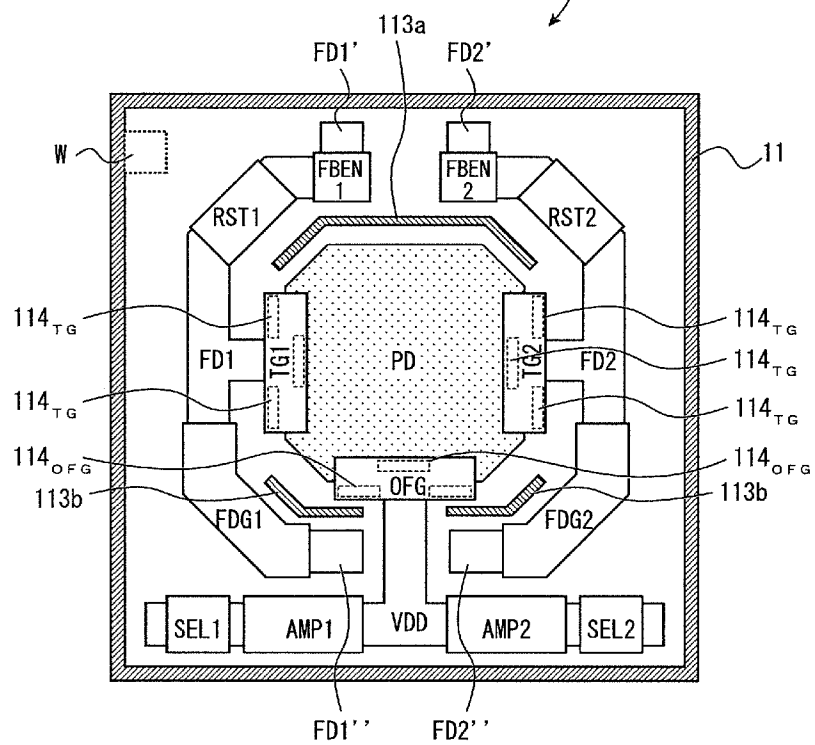
[図10]



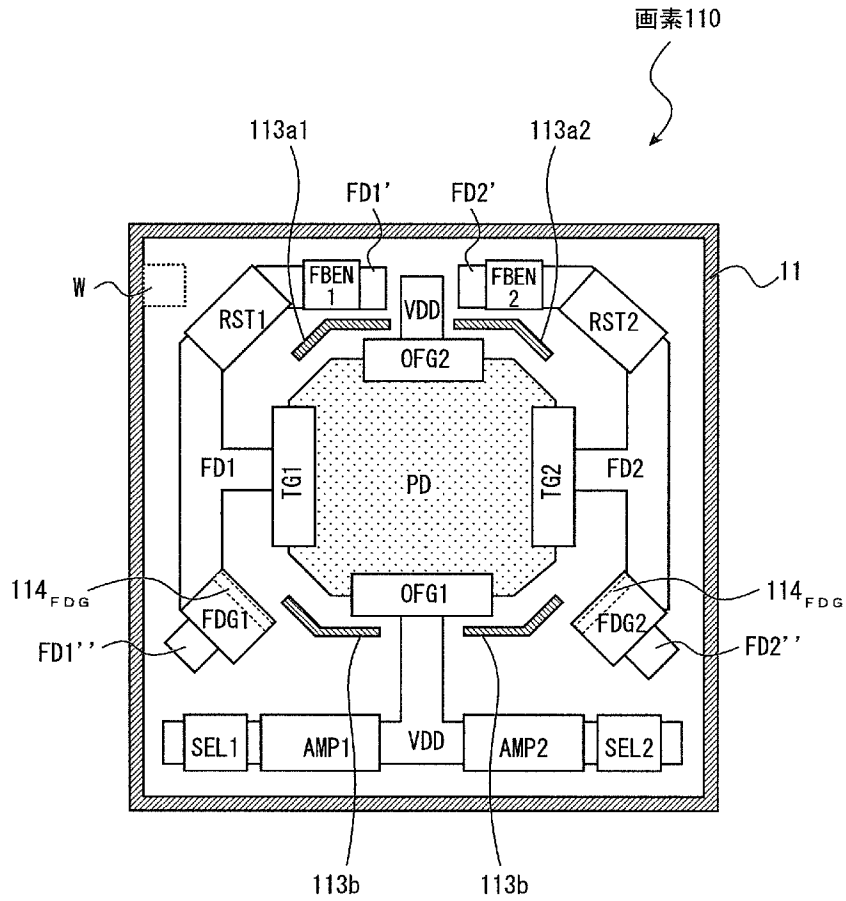
画素110



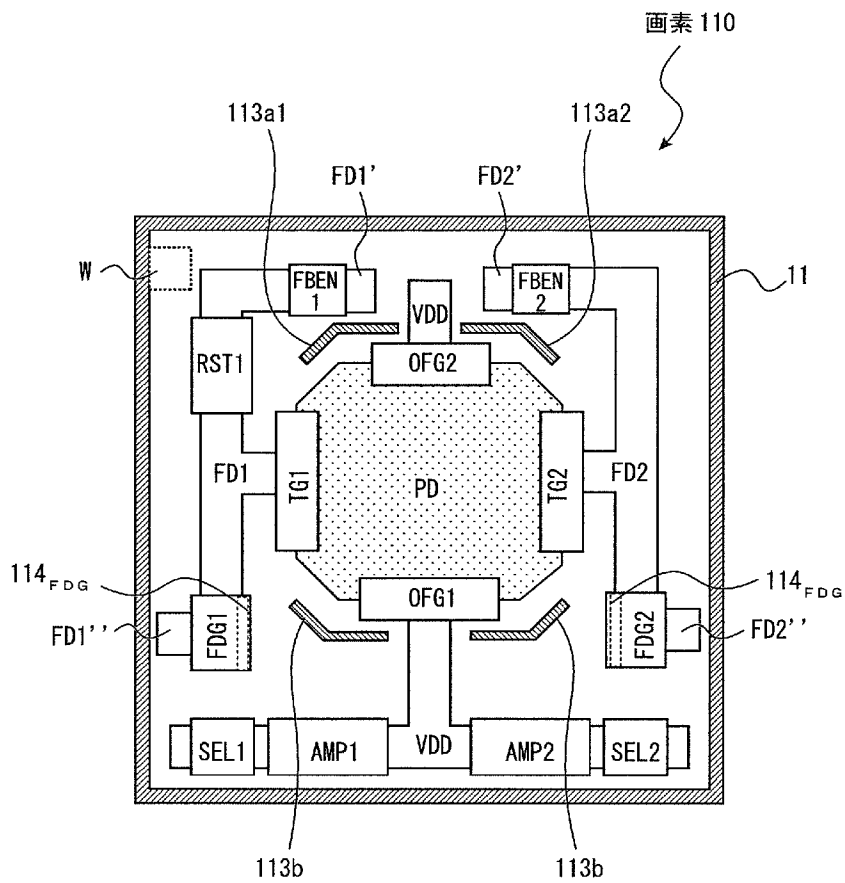
画素110



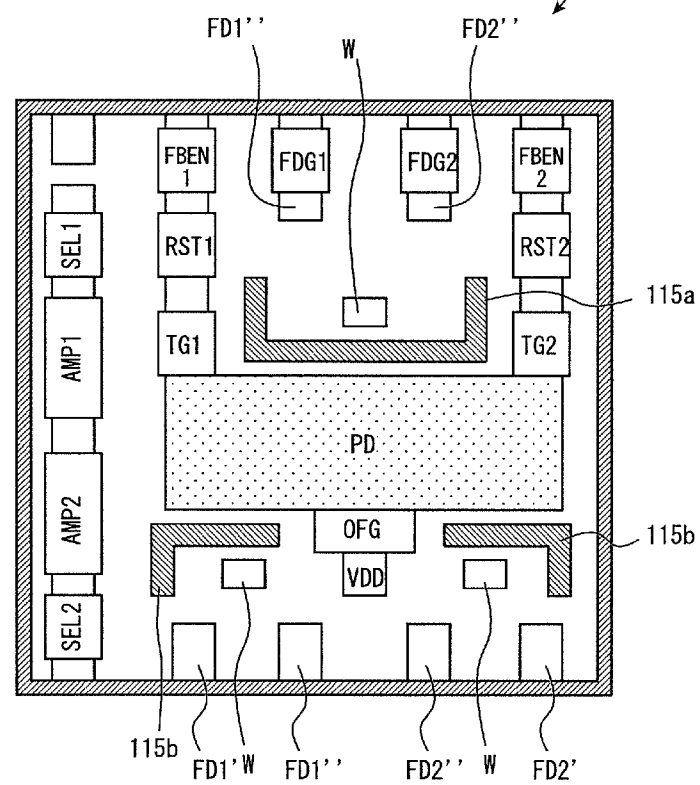
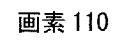
[図12A]



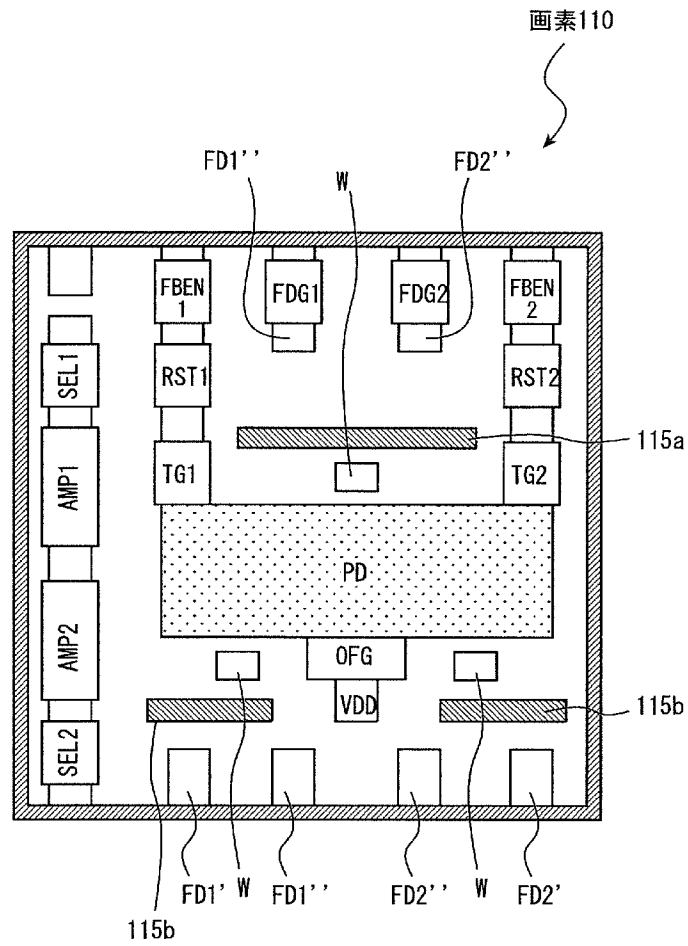
[図12B]



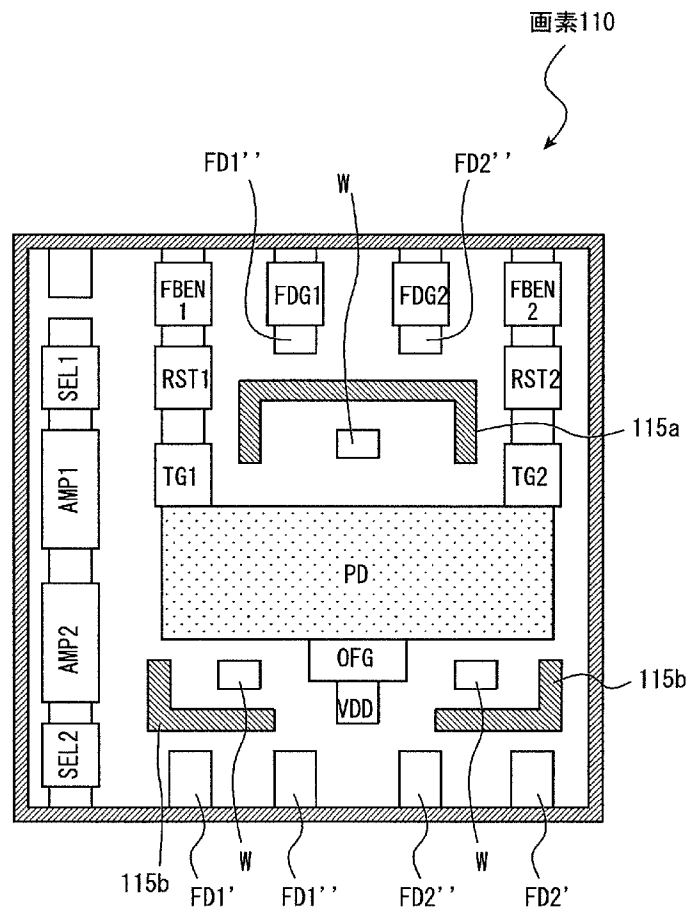
画素110



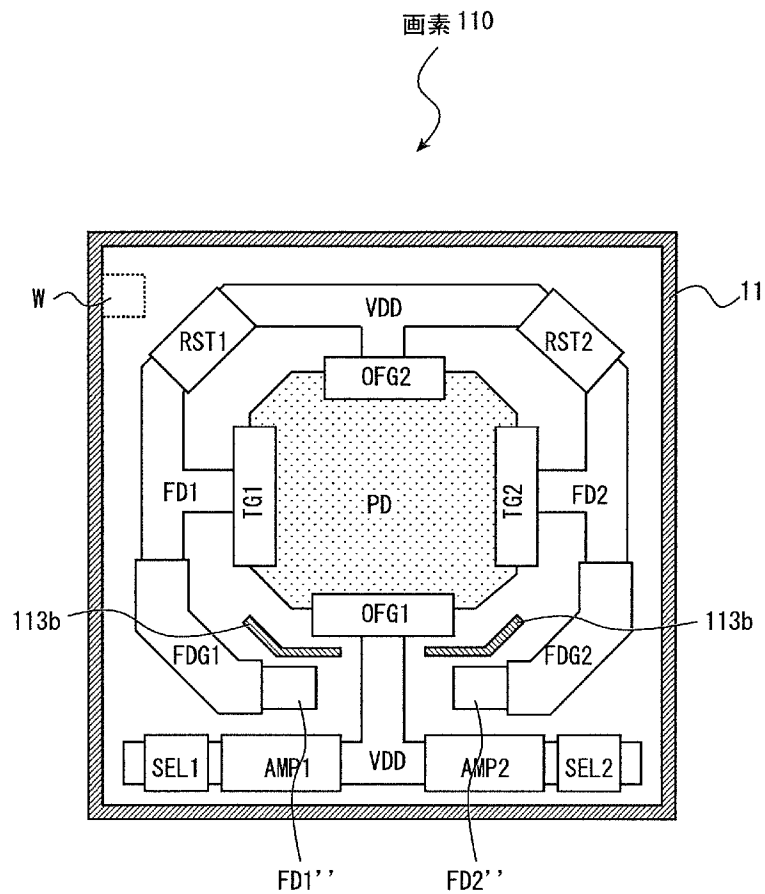
[図13C]

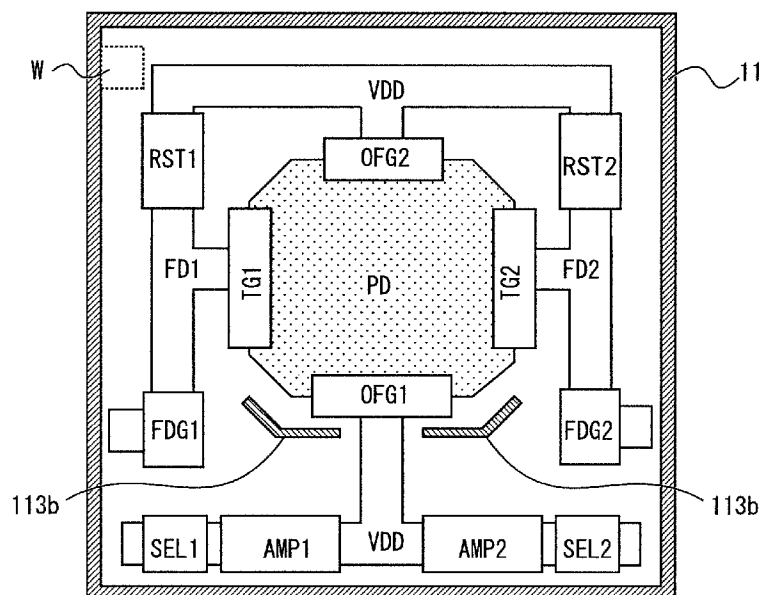


[図13D]



[図14A]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/005837

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; **H04N 5/369**(2011.01)i
 FI: H01L27/146 A; H01L27/146 D; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-194912 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 03 December 2020 (2020-12-03) paragraphs [0015], [0028], [0041], [0048], [0083], [0099], [0109], fig. 1-16	1, 2, 4, 12, 18, 20
Y		3, 5, 13-16, 19
A		6-11, 17
Y	US 2021/0029311 A1 (OMNIVISION TECHNOLOGIES, INC.) 28 January 2021 (2021-01-28) paragraphs [0030], [0031], [0035], [0044], [0051], fig. 1-6	3, 19
Y	JP 2020-9883 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 16 January 2020 (2020-01-16) paragraphs [0030], [0072], [0074], fig. 1-23	5, 13-16
A	JP 2021-64711 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 22 April 2021 (2021-04-22) paragraphs [0026]-[0047], fig. 1-24	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 April 2022

Date of mailing of the international search report

17 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/005837

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-194912	A	03 December 2020	WO 2020/241163 A1 paragraphs [0015], [0028], [0041], [0048], [0083], [0099], [0109], fig. 1-16	
US	2021/0029311	A1	28 January 2021	(Family: none)	
JP	2020-9883	A	16 January 2020	US 2021/0255282 A1 paragraphs [0069], [0113], [0115], fig. 1-23	
				WO 2020/008907 A1	
JP	2021-64711	A	22 April 2021	WO 2021/075077 A1 paragraphs [0027]-[0048], fig. 1-24	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H01L27/146 D; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-194912 A（ソニーセミコンダクタソリューションズ株式会社）03.12.2020 （2020-12-03） 段落0015, 0028, 0041, 0048, 0083, 0099, 0109, 図1-16	1, 2, 4, 12, 18, 20
Y		3, 5, 13-16, 19
A		6-11, 17
Y	US 2021/0029311 A1（OMNIVISION TECHNOLOGIES, INC.）28.01.2021（2021-01-28） 段落0030, 0031, 0035, 0044, 0051, 図1-6	3, 19
Y	JP 2020-9883 A（ソニーセミコンダクタソリューションズ株式会社）16.01.2020 （2020-01-16） 段落0030, 0072, 0074, 図1-23	5, 13-16
A	JP 2021-64711 A（ソニーセミコンダクタソリューションズ株式会社）22.04.2021 （2021-04-22） 段落0026-0047, 図1-24	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.04.2022		国際調査報告の発送日 17.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/005837

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-194912	A	03.12.2020	WO 2020/241163 A1 段落0015, 0028, 0041, 0048, 0083, 0099, 0109, 図1-16	
US	2021/0029311	A1	28.01.2021	(ファミリーなし)	
JP	2020-9883	A	16.01.2020	US 2021/0255282 A1 段落0069, 0113, 0115, 図1-23 WO 2020/008907 A1	
JP	2021-64711	A	22.04.2021	WO 2021/075077 A1 段落0027-0048, 図1-24	