

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-114877

(P2010-114877A)

(43) 公開日 平成22年5月20日(2010.5.20)

(51) Int.Cl.

H03F 3/45 (2006.01)
H03F 1/30 (2006.01)

F 1

H 03 F 3/45
H 03 F 1/30

A
Z

テーマコード(参考)

5 J 5 0 0

審査請求 未請求 請求項の数 17 O L (全 35 頁)

(21) 出願番号 特願2009-146836 (P2009-146836)
(22) 出願日 平成21年6月19日 (2009.6.19)
(31) 優先権主張番号 特願2008-259249 (P2008-259249)
(32) 優先日 平成20年10月6日 (2008.10.6)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000005821
パナソニック株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100109210
弁理士 新居 広守
小川 宗彦
大阪府門真市大字門真1006番地 パナ
ソニックセミコンダクターシステムテクノ
株式会社内
(72) 発明者 西 和義
大阪府門真市大字門真1006番地 パナ
ソニック株式会社内

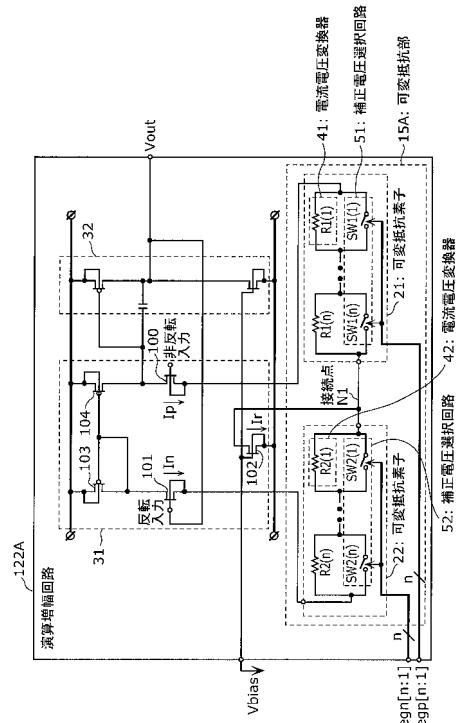
(54) 【発明の名称】演算增幅回路及び表示装置

(57) 【要約】

【課題】回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる演算增幅回路を提供する。

【解決手段】本発明に係る演算增幅回路122Aは差動增幅部31を含む。差動増幅部31は、第1差動対を形成する差動トランジスタ100及び差動トランジスタ101と、第1差動対に電流を供給する電流源トランジスタ102とを含む。演算增幅回路122Aは、さらに、差動トランジスタ100及び差動トランジスタ101の少なくとも一方と、電流源トランジスタ102のドレインとの間に接続された可変抵抗素子21を備える。可変抵抗素子21は、第1端子及び第2端子と、直列に接続された複数の電流電圧変換器41と、第1端子と第2端子との間に接続される直列に接続された複数の電流電圧変換器41の段数を変更することにより、第1端子と第2端子との間の抵抗値を変更する補正電圧選択回路51とを備える。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

差動増幅部を含む演算増幅回路であって、
 前記差動増幅部は、
 第1差動対を形成する第1差動トランジスタ及び第2差動トランジスタと、
 前記第1差動対に電流を供給する電流源トランジスタとを含み、
 前記演算増幅回路は、さらに、
 前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースと、
 前記電流源トランジスタのドレインとの間に接続された第1可変抵抗素子を備え、
 前記第1可変抵抗素子は、
 第1端子及び第2端子と、
 直列に接続された複数の第1抵抗素子と、
 前記第1端子と前記第2端子との間に接続される前記直列に接続された複数の第1抵抗
 素子の段数を変更することにより、前記第1端子と前記第2端子との間の抵抗値を変更す
 る第1補正電圧選択回路とを備える
 演算増幅回路。

10

【請求項 2】

前記第1可変抵抗素子は、前記第1差動トランジスタのソースと、前記電流源トランジ
 スタのドレインとの間に接続され、
 前記演算増幅回路は、さらに、
 前記第2差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接
 続された第2可変抵抗素子を備え、
 前記第2可変抵抗素子は、
 第3端子及び第4端子と、
 直列に接続された複数の第2抵抗素子と、
 前記第3端子と前記第4端子との間に接続される前記直列に接続された複数の第2抵抗
 素子の段数を変更することにより、前記第3端子と前記第4端子との間の抵抗値を変更す
 る第2補正電圧選択回路とを備える
 請求項1記載の演算増幅回路。

20

【請求項 3】

前記演算増幅回路は、さらに、
 前記第1可変抵抗素子を、前記第1差動トランジスタのソースと、前記電流源トランジ
 スタのドレインとの間に接続するとともに、当該第1可変抵抗素子を、前記第2差動トラン
 ジスタのソースと、前記電流源トランジスタのドレインとの間に接続しない第1のモー
 ドと、前記第1可変抵抗素子を、前記第2差動トランジスタのソースと、前記電流源トラン
 ジスタのドレインとの間に接続するとともに、当該第1可変抵抗素子を、前記第1差動トラン
 ジスタのソースと、前記電流源トランジスタのドレインとの間に接続しない第2のモードと
 を切り替える補正極性切換え回路を備える

30

請求項1記載の演算増幅回路。

【請求項 4】

前記演算増幅回路は、さらに、
 前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースに
 複数の電流値のうちいずれかの電流値の電流を選択的に供給する可変電流源を備える
 請求項1～3のいずれか1項に記載の演算増幅回路。

40

【請求項 5】

前記演算増幅回路は、さらに、
 前記電流源トランジスタのゲートに、複数の電圧値のうちいずれかの電圧値の電圧を選
 択的に出力する電圧可変回路を備える
 請求項1～4のいずれか1項に記載の演算増幅回路。

【請求項 6】

50

前記第1補正電圧選択回路は、

前記複数の第1抵抗素子の各々に対応して設けられ、対応する前記第1抵抗素子の両端を短絡又は開放する複数の第1スイッチを備える

請求項1～5のいずれか1項に記載の演算増幅回路。

【請求項7】

前記複数の第1抵抗素子は、それぞれ抵抗値が異なる

請求項6記載の演算増幅回路。

【請求項8】

前記第1補正電圧選択回路は、

前記複数の第1抵抗素子の直列接続の両端及び接続点にそれぞれ一端が接続され、前記第1端子及び前記第2端子の一方に他端が接続された複数の第1スイッチを備える

請求項1～5のいずれか1項に記載の演算増幅回路。

【請求項9】

前記第1抵抗素子の抵抗値の温度依存性は、前記第1スイッチの抵抗値の温度依存性の逆方向の特性である

請求項6～8のいずれか1項に記載の演算増幅回路。

【請求項10】

前記第1差動トランジスタ及び前記第2差動トランジスタは、Nチャネル型MOSトランジスタである

請求項1～9のいずれか1項に記載の演算増幅回路。

【請求項11】

前記第1差動トランジスタ及び前記第2差動トランジスタは、Pチャネル型MOSトランジスタである

請求項1～9のいずれか1項に記載の演算増幅回路。

【請求項12】

前記第1差動トランジスタ及び前記第2差動トランジスタは、Nチャネル型MOSトランジスタであり、

前記差動増幅部は、さらに、第2差動対を形成する第3差動トランジスタ及び第4差動トランジスタを含み、

前記第3差動トランジスタ及び前記第4差動トランジスタは、Pチャネル型MOSトランジスタである

請求項1～9のいずれか1項に記載の演算増幅回路。

【請求項13】

差動増幅部を含む演算増幅回路であって、

前記差動増幅部は、

第1差動対を形成する第1差動トランジスタ及び第2差動トランジスタと、

前記第1差動対に電流を供給する電流源トランジスタとを含み、

前記演算増幅回路は、さらに、

前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースと、前記電流源トランジスタのドレインとの間に接続された第1可変抵抗素子を備え、

前記第1可変抵抗素子は、

第1端子及び第2端子と、

前記第1端子にソース端子及びドレイン端子の一方が接続され、前記第2端子に前記ソース端子及び前記ドレイン端子の他方が接続されたトランジスタと、

前記トランジスタに複数の電圧値のうちいずれかの電圧値の電圧を供給することにより、前記トランジスタのオン抵抗を変更する電圧可変回路とを備える

演算増幅回路。

【請求項14】

前記トランジスタは、一定の電圧がゲート端子に印加され、

前記電圧可変回路は、トランジスタの基盤電圧を変更することにより、前記トランジス

10

20

30

40

50

タのオン抵抗を変更する

請求項 1 3 記載の演算增幅回路。

【請求項 1 5】

前記トランジスタは、一定の基盤電圧が供給され、

前記電圧可変回路は、前記トランジスタのゲート電圧を変更することにより、前記トランジスタのオン抵抗を変更する

請求項 1 3 記載の演算增幅回路。

【請求項 1 6】

画像データに応じた画像を表示する表示装置であって、

前記画像を表示する表示パネルと、

10

前記表示パネルを駆動する表示駆動装置とを備え、

前記表示パネルは、

行列状に配置された複数の発光画素と、

行毎又は列毎に設けられた複数のソースラインとを備え、

前記表示駆動装置は、

前記ソースライン毎に設けられ、対応する前記ソースラインに、前記画像データに応じた信号電圧を出力する、請求項 1 ~ 請求項 1 5 のいずれか 1 項に記載の複数の演算增幅回路を備える

表示装置。

20

【請求項 1 7】

前記表示パネルは有機 E L パネルである

請求項 1 6 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、演算增幅回路及び表示装置に関し、特に、差動増幅部を含む演算增幅回路に関する。

【背景技術】

【0 0 0 2】

近年、液晶パネル及び有機 E L (エレクトロルミネッセンス) パネルは、携帯機器、小型モバイル機器、及び大型パネル機器に用いられている。また、液晶パネル及び有機 E L パネルは、益々市場が拡大する T V などの映像機器分野の表示装置に用いられている。このような、表示装置では、より自然画に近づけるための、多階調化 (8 b i t 1 0 b i t 1 2 b i t) 、及び表示パネルの高画質化が進められている。また、表示装置が備える表示ドライバ L S I には、出力端子間の出力電圧のバラツキの低減が求められている。

30

【0 0 0 3】

例えば、この出力電圧のバラツキを低減する従来技術が特許文献 1 及び特許文献 2 に開示されている。

【0 0 0 4】

以下、特許文献 1 記載の出力回路 3 0 0 について説明する。

40

図 1 8 は、特許文献 1 記載の出力回路 3 0 0 の構成を示す図である。

【0 0 0 5】

図 1 8 に示す出力回路 3 0 0 では、差動段の差動トランジスタのソースと差動段の電流源トランジスタのドレインに、複数組の抵抗とスイッチが並列接続されている。

【0 0 0 6】

図 1 8 に示す出力回路 3 0 0 では、差動トランジスタ 3 0 2 及び 3 0 4 を含むオペアンプが形成され、一方の差動トランジスタ 3 0 2 と接続点 3 0 6 との間には抵抗 R A 1 が接続され、他方の差動トランジスタ 3 0 4 と接続点 3 0 6 との間には抵抗 R B 1 が接続されている。

【0 0 0 7】

50

さらに、差動トランジスタ302と接続点306との間には複数組の抵抗RA2、RA3、RA4、・・・とスイッチ310とがそれぞれ接続されており、同様に、差動トランジスタ304と接続点306との間には複数組の抵抗RB2、RB3、RB4、・・・とスイッチ310とがそれぞれ接続される。

【0008】

以上のように構成された出力回路300について、その動作を説明する。

まず、抵抗RA2、RA3、RA4、・・・に接続されたそれぞれのスイッチ310をすべてオン状態にして、抵抗RB2、RB3、RB4、・・・にそれぞれ接続されたスイッチ310をすべてオフ状態にして、これらの状態にて出力回路300の出力を行う。抵抗RA2、RA3、RA4、・・・は並列に接続されているので差動トランジスタ302、304に同じだけの電流が流れたときに、差動トランジスタ304のソースと接続点306との間の電圧は、差動トランジスタ302のソースと接続点306との間の電圧より大きくなる。したがって差動トランジスタ302、304のゲート電圧がそれぞれ同じであるオフセット無しの状態であるとすると、出力回路300の出力電圧は、入力320への入力電圧よりも高い状態にて安定する。

10

【0009】

以上説明したように、出力回路300は、並列に接続した抵抗RA2、RA3、RA4、・・・に接続されたそれぞれのスイッチ310の制御を行う。つまり、並列抵抗の数を変更することで合成抵抗値を変える。これにより、出力回路300は、出力電圧を変更している。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2007-116493号公報

【特許文献2】特開平6-35414号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

ここで、従来の表示駆動装置では階調数が少なかったため、数十mVの出力電圧バラツキの演算增幅回路（出力回路300）であっても、表示画質に大きな影響を及ぼさなかった。

30

【0012】

しかしながら、近年のパネル開発技術の向上と、多階調化とにより、数十mVの出力電圧バラツキが、表示画質を低下させる原因になってきている。よって、液晶パネル及び有機ELパネル向けの演算增幅回路には、さらなる出力電圧バラツキの低減が求められている。

40

【0013】

ここで、出力電圧バラツキとは、製造工程上ランダムに発生するバラツキを示している。よって、製造工程を改善することにより、出力電圧バラツキを数mV程度に抑えるためには、莫大なコストと時間とを要するので実現が困難である。

40

【0014】

一方で、特許文献1記載のように、回路を追加することにより、出力電圧バラツキを低減した場合、表示駆動装置の回路面積が増加してしまう。ここで、特に、液晶パネル及び有機ELパネル向けの表示駆動装置では、さらなる小面積化が求められている。つまり、このような回路面積の増加を可能な限り少なくすることが好ましい。

【0015】

そこで本発明は、回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる演算增幅回路、及び表示装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

50

上記目的を達成するために、本発明に係る演算増幅回路は、差動増幅部を含む演算増幅回路であって、前記差動増幅部は、第1差動対を形成する第1差動トランジスタ及び第2差動トランジスタと、前記第1差動対に電流を供給する電流源トランジスタとを含み、前記演算増幅回路は、さらに、前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースと、前記電流源トランジスタのドレインとの間に接続された第1可変抵抗素子を備え、前記第1可変抵抗素子は、第1端子及び第2端子と、直列に接続された複数の第1抵抗素子と、前記第1端子と前記第2端子との間に接続される前記直列に接続された複数の第1抵抗素子の段数を変更することにより、前記第1端子と前記第2端子との間の抵抗値を変更する第1補正電圧選択回路とを備える。

【0017】

10

この構成によれば、本発明に係る演算増幅回路は、第1可変抵抗素子の抵抗値を出力電圧バラツキが小さくなるように設定することにより、演算増幅回路の出力電圧バラツキを低減できる。

【0018】

さらに、本発明に係る演算増幅回路は、直列に接続された複数の第1抵抗素子を含む第1可変抵抗素子を備える。これにより、演算増幅回路が並列に接続された複数の抵抗素子を含む可変抵抗素子を備える場合に比べて、本発明に係る演算増幅回路は小面積化を実現できる。さらに、本発明に係る演算増幅回路は、出力電圧バラツキの調整間隔を等間隔に容易にできる。

【0019】

20

このように、本発明に係る演算増幅回路は、回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる。

【0020】

また、前記第1可変抵抗素子は、前記第1差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続され、前記演算増幅回路は、さらに、前記第2差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続された第2可変抵抗素子を備え、前記第2可変抵抗素子は、第3端子及び第4端子と、直列に接続された複数の第2抵抗素子と、前記第3端子と前記第4端子との間に接続される前記直列に接続された複数の第2抵抗素子の段数を変更することにより、前記第3端子と前記第4端子との間の抵抗値を変更する第2補正電圧選択回路とを備えてもよい。

30

【0021】

この構成によれば、本発明に係る演算増幅回路は、正及び負の出力電圧バラツキを低減できる。

【0022】

40

また、前記演算増幅回路は、さらに、前記第1可変抵抗素子を、前記第1差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続するとともに、当該第1可変抵抗素子を、前記第2差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続しない第1のモードと、前記第1可変抵抗素子を、前記第2差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続するとともに、当該第1可変抵抗素子を、前記第1差動トランジスタのソースと、前記電流源トランジスタのドレインとの間に接続しない第2のモードとを切り替える補正極性切換え回路を備えてもよい。

【0023】

この構成によれば、本発明に係る演算増幅回路は、正及び負の出力電圧バラツキを低減できる。さらに、演算増幅回路が2つの可変抵抗素子を備える場合に比べ、本発明に係る演算増幅回路は回路面積を小さくできる。

【0024】

50

また、前記演算増幅回路は、さらに、前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースに、複数の電流値のうちいずれかの電流値の電流を選択的に供給する可変電流源を備えてよい。

【0025】

この構成によれば、本発明に係る演算增幅回路は、出力電圧バラツキの調整範囲の拡大できるとともに、出力電圧バラツキの調整間隔を細かくできる。

【0026】

また、前記演算增幅回路は、さらに、前記電流源トランジスタのゲートに、複数の電圧値のうちいずれかの電圧値の電圧を選択的に出力する電圧可変回路を備えてもよい。

【0027】

この構成によれば、本発明に係る演算增幅回路は、出力電圧バラツキの調整範囲の拡大できるとともに、出力電圧バラツキの調整間隔を細かくできる。

【0028】

また、前記第1補正電圧選択回路は、前記複数の第1抵抗素子の各々に対応して設けられ、対応する前記第1抵抗素子の両端を短絡又は開放する複数の第1スイッチを備えてもよい。

10

【0029】

この構成によれば、本発明は、出力電圧バラツキの調整間隔が等間隔となる演算增幅回路を小面積で実現できる。

【0030】

また、前記複数の第1抵抗素子は、それぞれ抵抗値が異なってもよい。

また、前記第1補正電圧選択回路は、前記複数の第1抵抗素子の直列接続の両端及び接続点にそれぞれ一端が接続され、前記第1端子及び前記第2端子の一方に他端が接続された複数の第1スイッチを備えてもよい。

20

【0031】

また、前記第1抵抗素子の抵抗値の温度依存性は、前記第1スイッチの抵抗値の温度依存性の逆方向の特性であってもよい。

【0032】

この構成によれば、本発明に係る演算增幅回路は、出力電圧バラツキの温度依存性を緩和できる。

【0033】

また、前記第1差動トランジスタ及び前記第2差動トランジスタは、Nチャネル型MOSトランジスタであってもよい。

30

【0034】

また、前記第1差動トランジスタ及び前記第2差動トランジスタは、Pチャネル型MOSトランジスタであってもよい。

【0035】

また、前記第1差動トランジスタ及び前記第2差動トランジスタは、Nチャネル型MOSトランジスタであり、前記差動増幅部は、さらに、第2差動対を形成する第3差動トランジスタ及び第4差動トランジスタを含み、前記第3差動トランジスタ及び前記第4差動トランジスタは、Pチャネル型MOSトランジスタであってもよい。

【0036】

また、本発明に係る演算增幅回路は、差動増幅部を含む演算增幅回路であって、前記差動増幅部は、第1差動対を形成する第1差動トランジスタ及び第2差動トランジスタと、前記第1差動対に電流を供給する電流源トランジスタとを含み、前記演算增幅回路は、さらに、前記第1差動トランジスタ及び前記第2差動トランジスタの少なくとも一方のソースと、前記電流源トランジスタのドレインとの間に接続された第1可変抵抗素子を備え、前記第1可変抵抗素子は、第1端子及び第2端子と、前記第1端子にソース端子及びドレン端子の一方が接続され、前記第2端子に前記ソース端子及び前記ドレン端子の他方が接続されたトランジスタと、前記トランジスタに複数の電圧値のうちいずれかの電圧値の電圧を供給することにより、前記トランジスタのオン抵抗を変更する電圧可変回路とを備える。

40

【0037】

50

この構成によれば、本発明に係る演算增幅回路は、第1可変抵抗素子の抵抗値を出力電圧バラツキが小さくなるように設定することにより、演算增幅回路の出力電圧バラツキを低減できる。

【0038】

さらに、本発明に係る演算增幅回路は、トランジスタを含む第1可変抵抗素子を備えることにより、小面積化を実現できる。

【0039】

このように、本発明に係る演算增幅回路は、回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる。

【0040】

また、前記トランジスタは、一定の電圧がゲート端子に印加され、前記電圧可変回路は、トランジスタの基盤電圧を変更することにより、前記トランジスタのオン抵抗を変更してもよい。

【0041】

この構成によれば、本発明に係る演算增幅回路は、トランジスタのゲート電圧を変更することにより第1可変抵抗素子の抵抗値を変更できる。

【0042】

また、前記トランジスタは、一定の基盤電圧が供給され、前記電圧可変回路は、前記トランジスタのゲート電圧を変更することにより、前記トランジスタのオン抵抗を変更してもよい。

【0043】

この構成によれば、本発明に係る演算增幅回路は、トランジスタの基盤電圧を変更することにより第1可変抵抗素子の抵抗値を変更できる。

【0044】

また、本発明に係る表示装置は、画像データに応じた画像を表示する表示装置であって、前記画像を表示する表示パネルと、前記表示パネルを駆動する表示駆動装置とを備え、前記表示パネルは、行列状に配置された複数の発光画素と、行毎又は列毎に設けられた複数のソースラインとを備え、前記表示駆動装置は、前記ソースライン毎に設けられ、対応する前記ソースラインに、前記画像データに応じた信号電圧を出力する、複数の前記演算增幅回路を備える。

【0045】

この構成によれば、本発明に係る表示装置は、表示パネルの表示ムラを低減できるので、表示画質を向上できる。

【0046】

また、前記表示パネルは有機ELパネルであってもよい。

この構成によれば、液晶パネルに比べ、さらに出力電圧バラツキを低減させる必要がある、有機ELパネルを備える表示装置において、演算增幅回路の出力電圧バラツキを低減できる。

【0047】

なお、本発明は、このような演算增幅回路として実現できるだけでなく、このような演算增幅回路の出力電圧バラツキを低減する演算增幅回路の調整方法として実現したり、このような演算增幅回路の調整方法をコンピュータに実行させるプログラムとして実現したりすることもできる。そして、そのようなプログラムは、CD-ROM等の記録媒体及びインターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

【0048】

さらに、本発明は、このような演算增幅回路の機能の一部又は全てを実現する半導体集積回路(LSI)として実現したり、このような演算增幅回路を備える表示駆動装置、又は表示装置として実現したりできる。

【発明の効果】

【0049】

10

20

30

40

50

以上より本発明は、回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる演算增幅回路、及び表示装置を提供できる。

【図面の簡単な説明】

【0050】

【図1】本発明の実施の形態に係る表示装置の構成を示す図である。

【図2】本発明の実施の形態に係る駆動部の構成を示す図である。

【図3】本発明の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図4】本発明の実施の形態1に係る演算增幅回路の比較例の回路図である。

【図5】本発明の実施の形態1に係る演算增幅回路の回路図である。

【図6】本発明の実施の形態1に係る可変抵抗素子の抵抗値の一例を示す図である。 10

【図7】本発明の実施の形態1に係る演算增幅回路の調整方法のフローチャートである。

【図8】本発明の実施の形態1に係る演算增幅回路の調整方法のタイミングチャートである。

【図9】本発明の実施の形態2に係る演算增幅回路の回路図である。

【図10】本発明の実施の形態2に係る、正の出力電圧バラツキを調整する場合の演算增幅回路の調整方法のタイミングチャートである。

【図11】本発明の実施の形態2に係る、負の出力電圧バラツキを調整する場合の演算增幅回路の調整方法のタイミングチャートである。

【図12】本発明の実施の形態3に係る演算增幅回路の回路図である。

【図13】本発明の実施の形態4に係る演算增幅回路の回路図である。 20

【図14】本発明の実施の形態に係る可変抵抗素子の変形例の構成を示す図である。

【図15】本発明の実施の形態に係る可変抵抗素子の変形例の抵抗値の一例を示す図である。

【図16】本発明の実施の形態に係る演算增幅回路の変形例の回路図である。

【図17】本発明の実施の形態に係る演算增幅回路の変形例の回路図である。

【図18】従来の出力回路の回路図である。

【発明を実施するための形態】

【0051】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

また、以下では、本発明の実施の形態として、複数の実施の形態を説明するが、まず、当該複数の実施の形態に共通の事項について説明する。 30

【0052】

図1は、本発明の実施の形態に係る表示装置10の構成を示すプロック図である。

図1に示す表示装置10は、入力された画像データに応じた画像を表示する。この表示装置10は、有機ELパネル111と、表示駆動装置110とを備える。

【0053】

有機ELパネル111は、画像データに応じた画像を表示する表示パネルである。この有機ELパネル111は、行列状に配置された複数の画素112と、列毎に設けられた複数のソースライン115と、行毎に設けられた複数のゲートライン116とを備える。 40

【0054】

各画素112は有機EL素子を含む。この有機EL素子は、対応するゲートライン116が選択された際に、対応するソースライン115の電圧値に応じて発光する。

【0055】

表示駆動装置110は、有機ELパネル111を駆動する。この表示駆動装置110は、複数のソースドライバ113と、複数のゲートドライバ117と、タイミングコントローラ118とを備える。

【0056】

複数のソースドライバ113は、複数のソースライン115を駆動する。また、複数のゲートドライバ117は、複数のゲートライン116を駆動する。

【0057】

10

20

30

40

50

タイミングコントローラ 118 は、ソースドライバ 113 及びゲートドライバ 117 が複数のソースライン 115 及び複数のゲートライン 116 を駆動するタイミングを制御する。

【0058】

複数のソースドライバ 113 は、列毎に設けられた複数の駆動部 114 を備える。

なお、図 1 に示す表示装置 10 は、複数のソースドライバ 113 及び複数のゲートドライバ 117 を備えているが、一つのソースドライバ 113 及び一つのゲートドライバ 117 のみを備えてもよい。

【0059】

図 2 は、駆動部 114 の構成例を示す図である。

10

図 2 に示すように、駆動部 114 は、演算增幅回路 122 と、セレクト部 123 と、第 1 ラッチ部 124 と、第 2 ラッチ部 125 とを備える。また、駆動部 114 には、タイミングコントローラ 118 により出力されるデータ信号 126 とデータ取込信号 127 とデータ転送信号 128 とが入力される。ここで、データ信号 126 は、画素で表示される画素データに対応する。また、複数の駆動部 114 に入力されるデータ取込信号 127 はそれぞれ異なる。また、複数の駆動部 114 には、共通のデータ転送信号 128 が入力される。

【0060】

第 1 ラッチ部 124 は、データ取込信号 127 の変化のタイミングで、データ信号 126 を取り込む。また、第 1 ラッチ部 124 は取り込んだデータ信号 126 を第 1 ラッチデータ 129 として出力する。

20

【0061】

第 2 ラッチ部 125 は、データ転送信号 128 の変化のタイミングで、第 1 ラッチデータ 129 を取り込む。また、第 2 ラッチ部 125 は取り込んだ第 1 ラッチデータ 129 を第 2 ラッチデータ 130 として出力する。

【0062】

セレクト部 123 は、デジタル値である第 2 ラッチデータ 130 をアナログ電圧のアナログ信号 131 に変換する。具体的には、セレクト部 123 は、第 2 ラッチデータ 130 のデジタル値に対応するアナログ電圧を選択し、選択したアナログ電圧をアナログ信号 131 として演算增幅回路 122 へ出力する。

30

【0063】

演算增幅回路 122 は、アナログ信号 131 に応じたアナログ電圧をソースライン 115 に出力する。つまり、演算增幅回路 122 は、画像データに応じた信号電圧をソースライン 115 に出力する。

【0064】

次に、以上のように構成された表示装置 10 の動作を説明する。図 3 は表示装置 10 の動作を示すタイミングチャートである。

【0065】

なお、図 3 に示すゲートライン 116a、116b 及び 116c は、それぞれ、複数のゲートライン 116 のうちのいずれかの信号を示す。例えば、ゲートライン 116a、116b 及び 116c は、上側から 1 番目～3 番目のゲートライン 116 である。

40

【0066】

また、第 1 ラッチデータ 129a、第 2 ラッチデータ 130a 及びソースライン 115a は駆動部 114a に対応し、第 1 ラッチデータ 129n、第 2 ラッチデータ 130n 及びソースライン 115n は駆動部 114n に対応する。ここで駆動部 114a 及び駆動部 114n は、複数の駆動部 114 のうち、例えば、両端の列に対応する駆動部 114 である。

【0067】

図 3 に示す時刻 T1 のタイミングで、第 1 ラッチ部 124 は、タイミングコントローラ 118 から伝送されるデータ信号 126 をデータ取込信号 127 に応じて取り込む。また

50

、この動作が、表示装置 10 が備える全ての駆動部 114 に対し順番に行われる。

【0068】

時刻 T2において、全ての第1ラッチ部 124 にデータ信号 126 が取り込まれる。

次に、時刻 T3 のタイミングで、ゲートドライバ 117 は、タイミングコントローラ 118 からの命令に従い、ゲートライン 116a のみに“ハイ”を出力する。ここでハイ状態は、表示状態であり、ロー状態は、非表示状態である。

【0069】

また、時刻 T3 のタイミングで、データ転送信号 128 が立ち上がる。これにより、複数の第2ラッチ部 125 は、第1ラッチデータ 129 を取り込み、第2ラッチデータ 130 をセレクト部 123 に転送する。

10

【0070】

また、セレクト部 123 は、第2ラッチ部 125 から転送された第2ラッチデータ 130 に応じて所望のアナログ電圧を選択し、選択したアナログ電圧をアナログ信号 131 として演算增幅回路 122 へ出力する。

【0071】

演算增幅回路 122 は、セレクト部 123 から出力されたアナログ信号 131 に応じたアナログ電圧をソースライン 115 に出力する。

【0072】

以上により、ゲートライン 116 がハイ状態の画素 112 に、画像データに応じた電圧が印加される。よって、この動作を行毎に繰り返すことにより、全行の画素 112 への電圧印加が行われる。これにより、全画面つまり 1 フレームの表示が行われる。

20

【0073】

以下、実施の形態 1～4 において、演算增幅回路 122 の具体例を説明する。

【0074】

(実施の形態 1)

本発明の実施の形態 1 では、図 2 に示す演算增幅回路 122 の一実施例である演算增幅回路 122A について説明する。

【0075】

図 4 は、比較のための図であり、一般的な演算增幅回路 222 の回路図である。

図 4 に示す演算增幅回路 222 は、反転入力端子と、非反転入力端子と、出力端子 V_{out} を備えるオペアンプである。

30

【0076】

反転入力端子は出力端子 V_{out} に接続されている。これにより、演算增幅回路 222 は、非反転入力端子に印加された電圧値を出力端子 V_{out} に出力する。

【0077】

この演算增幅回路 222 は、差動増幅部 31 (差動段) と、出力部 32 (出力段) とを備える。

【0078】

差動増幅部 31 は、反転入力端子の電圧と、非反転入力端子の電圧との電圧差を増幅し、増幅した電圧差を示す電圧を出力する。出力部 32 は、差動増幅部 31 により出力された電圧を出力端子 V_{out} に出力する。

40

【0079】

また、差動増幅部 31 は、差動対を形成する差動トランジスタ 100 及び 101 と、この差動対に電流を供給する電流源トランジスタ 102 と、負荷トランジスタ 103 及び 104 とを含む。

【0080】

図 5 は、本発明の実施の形態 1 に係る演算增幅回路 122A の回路図である。なお、図 4 と同様の要素には同一の符号を付している。

【0081】

図 5 に示す演算增幅回路 122A は、図 4 に示す演算增幅回路 222 の構成に加え、さ

50

らに、可変抵抗部 15A を備える。可変抵抗部 15A は、接続点 N1 (電流源トランジスタ 102 のドレイン) と、非反転入力側の差動トランジスタ 100 のソースと、反転入力側の差動トランジスタ 101 のソースとに接続され、接続点 N1 と差動トランジスタ 100 のソースとの間の抵抗値、及び接続点 N1 と差動トランジスタ 101 のソースとの間の抵抗値を制御信号 regn [n : 1] 及び制御信号 regp [n : 1] に応じて変更する。この可変抵抗部 15A は、可変抵抗素子 21 及び 22 を備える。

【0082】

可変抵抗素子 21 は、非反転入力側の差動トランジスタ 100 のソースと電流源トランジスタ 102 のドレインとの間に接続される。具体的には、可変抵抗素子 21 は、非反転入力側の差動トランジスタ 100 のソースに第 1 端子が接続され、接続点 N1 に第 2 端子が接続される。可変抵抗素子 22 は、非反転入力側の差動トランジスタ 101 のソースと電流源トランジスタ 102 のドレインとの間に接続される。具体的には、可変抵抗素子 22 は、反転入力側の差動トランジスタ 101 のソースに第 3 端子が接続され、接続点 N1 に第 4 端子が接続される。

10

【0083】

また、可変抵抗素子 21 は、n (1 以上の整数) 個直列に接続された電流電圧変換器 41 と、補正電圧選択回路 51 とを備える。

20

【0084】

各電流電圧変換器 41 は、電流を電圧に変換する抵抗素子である。また、n 個の電流電圧変換器 41 の抵抗値はそれぞれ異なる。

20

【0085】

補正電圧選択回路 51 は、第 1 端子と第 2 端子との間に接続される直列に接続された電流電圧変換器 41 の段数を変更することにより、第 1 端子と第 2 端子との間の抵抗値を変更する。この補正電圧選択回路 51 は、n 個のスイッチ SW1 (1) ~ SW1 (n) を備える。なお、n 個のスイッチ SW1 (1) ~ SW1 (n) を特に区別しない場合、スイッチ SW1 と記す。

30

【0086】

n 個のスイッチ SW1 (1) ~ SW1 (n) は、n 個の電流電圧変換器 41 の各々に対応して設けられ、対応する電流電圧変換器 41 の両端を短絡又は開放する。

【0087】

言い換えると、1 個の電流電圧変換器 41 と 1 個のスイッチ SW1 とが並列に接続され、並列に接続された 1 個の電流電圧変換器 41 と 1 個のスイッチ SW1 との組が、n 個直列に接続される。

30

【0088】

また、n 個のスイッチ SW1 (1) ~ SW1 (n) は、n ビットの可変抵抗素子制御信号 regp [n : 1] によって、短絡又は開放が制御される。

【0089】

可変抵抗素子 22 は、可変抵抗素子 21 と同様の構成であり、n 個直列に接続された電流電圧変換器 42 と、補正電圧選択回路 52 とを備える。

40

【0090】

各電流電圧変換器 42 は、電流を電圧に変換する抵抗素子である。また、n 個の電流電圧変換器 42 の抵抗値はそれぞれ異なる。

【0091】

補正電圧選択回路 52 は、第 3 端子と第 4 端子との間に接続される直列に接続された電流電圧変換器 42 の段数を変更することにより、第 3 端子と第 4 端子との間の抵抗値を変更する。この補正電圧選択回路 52 は、n 個のスイッチ SW2 (1) ~ SW2 (n) を備える。なお、n 個のスイッチ SW2 (1) ~ SW2 (n) を特に区別しない場合、スイッチ SW2 と記す。

【0092】

n 個のスイッチ SW2 (1) ~ SW2 (n) は、n 個の電流電圧変換器 42 の各々に対

50

応して設けられ、対応する電流電圧変換器 4 2 の両端を短絡又は開放する。

【0093】

言い換えると、1個の電流電圧変換器 4 2 と1個のスイッチ SW 2 とが並列に接続され、並列に接続された1個の電流電圧変換器 4 2 と1個のスイッチ SW 2との組が、n 個直列に接続される。

【0094】

また、n 個のスイッチ SW 2 (1) ~ SW 2 (n) は、n ビットの可変抵抗素子制御信号 regn [n : 1] によって、短絡又は開放が制御される。

【0095】

以上のように構成された演算增幅回路 122A の動作を、以下で説明する。 10

可変抵抗素子 2 1 は、可変抵抗素子制御信号 regp [n : 1] を受けて、n 個のスイッチ SW 1 (1) ~ SW 1 (n) を短絡するか、開放するかを制御する。

【0096】

同様に、可変抵抗素子 2 2 は、可変抵抗素子制御信号 regn [n : 1] の信号を受けて、n 個のスイッチ SW 2 (1) ~ SW 2 (n) を短絡するか、開放するかを制御する。

【0097】

この可変抵抗素子制御信号 regp [n : 1] 及び可変抵抗素子制御信号 regn [n : 1] は、例えば、表示装置 10 が備える他の回路(図示せず)、又は、表示装置 10 の外部の装置から入力される。 20

【0098】

並列に接続された1個の電流電圧変換器 4 1 と1個のスイッチ SW 1 との組の抵抗値は、スイッチ SW 1 が ON された場合、0 として考えることができ、スイッチ SW 1 が OFF された場合、電流電圧変換器 4 1 の抵抗値となる。

【0099】

同様に、並列に接続された1個の電流電圧変換器 4 2 と1個のスイッチ SW 2 との組の抵抗値は、スイッチ SW 2 が ON された場合、0 として考えることができ、スイッチ SW 2 が OFF された場合、電流電圧変換器 4 2 の抵抗値となる。

【0100】

例えば、電流電圧変換器 4 1 が1段の直列接続の場合、つまり、n = 1 の場合、可変抵抗素子 2 1 の抵抗値は、0 と電流電圧変換器 4 1 の抵抗値 R との2値のいずれかとなる。 30

【0101】

また、電流電圧変換器 4 1 が2段の直列接続の場合、つまり、n = 2 の場合、2つの電流電圧変換器 4 1 の抵抗値を R 及び 2R とすると、可変抵抗素子 2 1 の抵抗値は、0 と抵抗値 R の1倍、2倍及び3倍との4値のいずれかとなる。

【0102】

図 6 は、n = 2 の場合の、可変抵抗素子制御信号 regp [n : 1] と、複数のスイッチ SW 1 (1) ~ SW (n) のON 及びOFF の状態と、可変抵抗素子 2 1 の抵抗値とを示す図である。 40

【0103】

なお、可変抵抗素子 2 2 の抵抗値も可変抵抗素子 2 1 と同様である。

演算增幅回路 122A は、電流源トランジスタ 102 が電流 Ir を流すことで、可変抵抗素子 2 1 に電流 Ip 、可変抵抗素子 2 2 に電流 In を流す。

【0104】

ここで、可変抵抗素子 2 1 の抵抗値と可変抵抗素子 2 1 に流れる電流 Ip とに応じて、非反転入力側の差動トランジスタ 100 のソースと、接続点 N 1 の間に電圧差 Vp が発生する。

【0105】

同様に、可変抵抗素子 2 2 の抵抗値と可変抵抗素子 2 2 に流れる電流 In とに応じて、反転入力側の差動トランジスタ 101 のソースと、接続点 N 1 の間に電圧差 Vn が発生 50

する。

【0106】

以下に、この V_n 及び V_p が発生することで、出力電圧バラツキが低減される原理を説明する。

【0107】

まず、図4に記載の演算增幅回路222において、非反転入力に電圧 V_{in} が印加される場合、演算增幅回路222の出力電圧 V_{out} は、下記式(1)で表される。

【0108】

$$V_{out} = (V_{in} - V_p) + V_n \cdots (1)$$

【0109】

ここで、 V_p は、差動トランジスタ100の閾値電圧と、差動トランジスタ100のオーバードライブ電圧との和であり、 V_n は、差動トランジスタ101の閾値電圧と、差動トランジスタ101のオーバードライブ電圧との和である。

【0110】

V_p と V_n とが等しい場合、 $V_{out} = V_{in}$ となり、出力電圧バラツキはない。しかしながら、製造工程上のバラツキが起こるため V_p と V_n とは等しくならない。つまり、出力電圧バラツキが発生する。

【0111】

一方、図5に記載の本発明の実施の形態1に係る演算增幅回路122Aの出力電圧 V_{out} は、下記式(2)で表される。

【0112】

$$V_{out} = (V_{in} - (V_p + V_p)) + (V_n + V_n) \cdots (2)$$

【0113】

式(2)に示すように、製造工程上のバラツキにより V_p と V_n とが等しくならない場合でも、演算增幅回路122Aは、 V_p 及び V_n を調整することにより、出力電圧バラツキを低減することができる。

【0114】

つまり、 $V_p + V_p = V_n + V_n$ の関係になるように、 V_p 及び V_n を調整することで、 $V_{out} = V_{in}$ となる。このように、本発明の実施の形態1に係る演算增幅回路122Aは、出力電圧バラツキを0Vに近づけることができる。

【0115】

V_p 及び V_n の調整方法としては、 V_{out} が V_{in} に対し高い電圧を出力する出力電圧バラツキが発生した場合、 $V_p > V_n$ の関係を保ち調整することで、出力電圧バラツキを0Vに近づける事ができる。

【0116】

逆に、 V_{out} が V_{in} に対し、低い電圧を出力する出力電圧バラツキが発生した場合、 $V_n > V_p$ の関係を保ち調整することで、出力電圧バラツキを0Vに近づける事ができる。

【0117】

以下に、演算增幅回路122Aにおける、出力電圧バラツキを低減する調整方法の1例を説明する。

【0118】

図7は、この調整方法のフローチャートである。また、図8は、この調整方法のタイミングチャートである。また、以下では、 $n = 2$ の場合を例に説明する。

【0119】

ここで、図8に示す $regp[2:1]$ は、可変抵抗素子21の抵抗値を変化させるための制御信号である。 $regn[2:1]$ は、可変抵抗素子22の抵抗値を変化させるための制御信号である。

【0120】

また、図8では、正の出力電圧バラツキが発生していることを前提としている。また、

10

20

30

40

50

V_p は、可変抵抗素子 21 の両端に発生する電圧差、 V_n は、可変抵抗素子 22 の両端に発生する電圧差である。

【0121】

また、以下に示す調整方法は、表示装置 10 の外部の調整装置により行われる。なお、この調整方法の一部又は全てを、表示装置 10 が備える他の回路（図示せず）が行わってもよい。また、この調整方法の一部を、上記調整装置を操作するユーザが行ってもよい。

【0122】

まず、調整装置は、出力電圧バラツキの補正を行わない状態での演算增幅回路 122A の出力電圧バラツキを測定する（S101）。

【0123】

具体的には、図 8 の期間 T11 で、調整装置は、`regp[2:1]` 及び `regn[2:1]` を共に“00”にする。これにより、可変抵抗素子 21 及び 22 の抵抗値は共に 0 になる。つまり、接続点 N1 と差動トランジスタ 100 のソースとが短絡されるとともに、接続点 N1 と差動トランジスタ 101 のソースとが短絡される。これにより、 V_p は $I_p \times 0 \times R = 0V$ となり、 V_n は $I_n \times 0 \times R = 0V$ となる。

10

【0124】

調整装置は、この状態での、演算增幅回路 122A の出力電圧 V_{out} を測定する。

次に、調整装置は、正の出力電圧バラツキが発生しているか、負の出力電圧バラツキが発生しているかを判定する（S102）。つまり、調整装置は、測定した出力電圧 V_{out} が期待値より大きいか小さいかを判定する。

20

【0125】

なお、調整装置は、測定した出力電圧 V_{out} が期待値に等しい場合、又は、出力電圧 V_{out} と期待値との差が予め定められた値以下の場合には、出力電圧バラツキが予め定められた値以下であるので調整不要と判断し、以下に示す調整を行わない。

【0126】

ここでは、図 8 に示すように、正の出力電圧バラツキが生じているとする。

正の出力電圧バラツキの場合（S102 で Yes）、調整装置は、 V_p を変更しながら出力電圧 V_{out} を測定する（S103）。

【0127】

具体的には、調整装置は、期間 T12 において、`regn[2:1]` を“00”に固定したまま、`regp[2:1]` を“01”、“10”、“11”と変化させていく。これにより、可変抵抗素子 22 の抵抗値は、0 に固定でされるので、 V_n は、 $I_n \times 0 \times R = 0V$ の状態で固定される。また、`regp[2:1]` に応じて、可変抵抗素子 21 の抵抗値が変化し、 V_p が変化する。

30

【0128】

具体的には、図 8 に示すように、`regp[2:1]` の設定を“01”、“10”、“11”と変化させていくと V_p が大きくなっていく。その結果、出力電圧 V_{out} が期待値に近づいていく。つまり、出力電圧バラツキが小さくなっていく。

【0129】

次に、調整装置は、各設定のうち出力電圧バラツキが最も小さい`regp[2:1]` の設定を判定する。また、調整装置は、出力電圧バラツキが最も小さい`regp[2:1]` の設定を補正後の設定として固定する（S105）。具体的には、調整装置は、出力電圧バラツキが最小になった時点で、`regp[2:1]` のデータのインクリメントを停止し、`regp[2:1]` のデータを固定する。

40

【0130】

図 8 に示す例では、出力電圧バラツキが最小となる設定は、`regp[2:1] = “11”`、`regn[2:1] = “00”` である。この場合、 $V_{out} = V_{in} (V_p + V_p \cdot V_n + V_n)$ の関係が成立となる。このように、出力電圧バラツキを 0V に近づけることができる。

【0131】

50

一方、負の出力電圧バラツキを発生している場合（S102でNo）、可変抵抗素子22の抵抗値を増加させることにより、同様に、出力電圧バラツキを0Vに近づけることができる。具体的には、調整装置は、Vnを変更しながら出力電圧Voutを測定する（S104）。次に、調整装置は、各設定のうち出力電圧バラツキが最も小さいregn[2:1]の設定を判定する。また、調整装置は、出力電圧バラツキが最も小さいregn[2:1]の設定を補正後の設定として固定する（S105）。

【0132】

以上のように、本発明の実施の形態1に係る演算增幅回路122Aは、2つの可変抵抗素子21及び22によってVn及びVpを発生させることにより、正負両方の出力電圧バラツキを低減することができる。10

【0133】

また、本発明の実施の形態1に係る演算增幅回路122Aは、図18に示す従来の出力回路300に比べ、回路面積を小さくできる。

【0134】

具体的には、従来の出力回路300では、調整間隔を等間隔にしようとするとき、SW310を1つずつON、OFFする必要がある。例えば、16段階の出力電圧調整を可能にしようとするとき、従来の出力回路300は、抵抗とスイッチとの組が16個必要となる。

【0135】

一方、本発明の実施の形態1に係る演算增幅回路122Aは、調整間隔が等間隔な16段階の出力電圧調整を、抵抗とスイッチとの組4個で実現できる。このように、本発明の実施の形態1に係る演算增幅回路122Aは、従来の出力回路に比べ、回路面積を縮小できる。20

【0136】

なお、従来の出力回路300において、回路面積を小さくするために、SW310を1個ずつオンするのではなく、複数個を同時にONする制御を行うことで、抵抗とスイッチとの組4個で、16段階の出力電圧調整が可能となる。しかしながら、この調整方法で、並列抵抗の合計抵抗を等間隔に変更することは困難である。よって、調整後の出力電圧が理論値に対して細かく調整される場合と、理論値に対して粗く調整される場合が生じ、調整自体にバラツキが生じるという問題がある。

【0137】

これに対して、本発明の実施の形態1に係る演算增幅回路122Aは、調整間隔が等間隔な16段階の出力電圧調整を、抵抗とスイッチとの組4個で実現できる。30

【0138】

さらに、本発明の実施の形態1に係る演算增幅回路122Aと、従来の出力回路300とで同じく4組の抵抗及びスイッチを用いて、同一の調整範囲を実現しようとした場合、本発明の実施の形態1に係る演算增幅回路122Aのほうが、回路面積を小さくできる。なぜなら、この調整範囲は、可変抵抗素子が取り得る最大抵抗値で決定する。よって、従来の出力回路300では、最も抵抗値が大きい抵抗の抵抗値をこの最大抵抗値にする必要がある。一方、本発明の実施の形態1に係る演算增幅回路122Aでは、4つの抵抗値の合計をこの最大抵抗値にすればよい。このように、本発明の実施の形態1に係る演算增幅回路122Aが備える4つの抵抗値の合計値は、出力回路300が備える4つの抵抗値の合計値より小さくなる。よって、本発明の実施の形態1に係る演算增幅回路122Aは、従来の出力回路300に比べ、回路面積を小さくできる。40

【0139】

このように、本発明の実施の形態1に係る演算增幅回路122Aは、回路面積の増加を抑制しつつ、出力電圧バラツキを低減できる。

【0140】

なお、本発明の実施の形態1では、可変抵抗素子21及び可変抵抗素子22の、2つの可変抵抗素子を備えた演算增幅回路122Aを用いて説明したが、正負いずれかの出力電圧バラツキを低減するだけでよい場合は、演算增幅回路122Aは、可変抵抗素子21及

び可変抵抗素子 2 2 のうちいずれか 1 つのみを備えてもよい。この構成にすることで、演算增幅回路 1 2 2 A の小面積化を実現できる。

【 0 1 4 1 】

(実施の形態 2)

本発明の実施の形態 2 では、図 2 に示す演算增幅回路 1 2 2 の一実施例である演算增幅回路 1 2 2 B について説明する。

【 0 1 4 2 】

図 9 は、本発明の実施の形態 2 に係る演算增幅回路 1 2 2 B の回路図である。なお、図 5 と同様の要素には同一の符号を付しており、重複する説明は省略する。

【 0 1 4 3 】

図 9 に示す演算增幅回路 1 2 2 B は、図 5 に示す演算增幅回路 1 2 2 A の構成に対して、可変抵抗部 1 5 A の代わりに、可変抵抗部 1 5 B を備える。この可変抵抗部 1 5 B は、可変抵抗素子 2 1 と、補正極性切換え回路 6 1 とを備える。

【 0 1 4 4 】

可変抵抗素子 2 1 は、非反転入力側の差動トランジスタ 1 0 0 のソース及び非反転入力側の差動トランジスタ 1 0 1 のソースと電流源トランジスタ 1 0 2 のドレインとの間に接続される。具体的には、可変抵抗素子 2 1 は、補正極性切換え回路 6 1 に第 1 端子が接続され、接続点 N 1 (電流源トランジスタ 1 0 2 のドレイン) に第 2 端子が接続される。また、可変抵抗素子 2 1 の構成は、図 5 に示す可変抵抗素子 2 1 と同様である。

【 0 1 4 5 】

補正極性切換え回路 6 1 は、可変抵抗素子 2 1 を非反転入力側の差動トランジスタ 1 0 0 のソースと接続点 N 1 との間に接続するとともに、当該可変抵抗素子 2 1 を非反転入力側の差動トランジスタ 1 0 1 のソースと接続点 N 1 との間に接続しない第 1 のモードと、可変抵抗素子 2 1 を反転入力側の差動トランジスタ 1 0 1 のソースと接続点 N 1 との間に接続するとともに、当該可変抵抗素子 2 1 を非反転入力側の差動トランジスタ 1 0 0 のソースと接続点 N 1 との間に接続しない第 2 のモードとを切り替える。

【 0 1 4 6 】

具体的には、補正極性切換え回路 6 1 は、第 1 のモード時には、可変抵抗素子 2 1 の第 1 端子を、非反転入力側の差動トランジスタ 1 0 0 のソースに接続するとともに、反転入力側の差動トランジスタ 1 0 1 のソースと電流源トランジスタ 1 0 2 のドレインとを短絡する。また、補正極性切換え回路 6 1 は、第 2 のモード時には、可変抵抗素子 2 1 の第 1 端子を、反転入力側の差動トランジスタ 1 0 1 のソースに接続するとともに、非反転入力側の差動トランジスタ 1 0 0 のソースと電流源トランジスタ 1 0 2 のドレインとを短絡する。

【 0 1 4 7 】

この補正極性切換え回路 6 1 は、スイッチ SWn とスイッチ SWp とスイッチ NSWn とスイッチ NSWp とを含む。

【 0 1 4 8 】

スイッチ SWp は、可変抵抗素子 2 1 の第 1 端子と差動トランジスタ 1 0 0 のソースとの間に接続され、制御信号 Cnt SWp により短絡又は開放が制御される。このスイッチ SWp は、補正極性切換え回路 6 1 の設定が第 1 のモードのときに、差動トランジスタ 1 0 0 のソースと可変抵抗素子 2 1 の第 1 端子との間を短絡し、補正極性切換え回路 6 1 の設定が第 2 のモードのときに、差動トランジスタ 1 0 0 のソースと可変抵抗素子 2 1 の第 1 端子との間を開放する。

【 0 1 4 9 】

スイッチ SWn は、可変抵抗素子 2 1 の第 1 端子と差動トランジスタ 1 0 1 のソースとの間に接続され、制御信号 Cnt SWn により短絡又は開放が制御される。このスイッチ SWn は、補正極性切換え回路 6 1 の設定が第 2 のモードのときに、差動トランジスタ 1 0 1 のソースと可変抵抗素子 2 1 の第 1 端子との間を短絡し、補正極性切換え回路 6 1 の設定が第 1 のモードのときに、差動トランジスタ 1 0 1 のソースと可変抵抗素子 2 1 の第

10

20

30

40

50

1端子との間を開放する。

【0150】

スイッチN S W pは、接続点N 1と、差動トランジスタ101のソースとの間に接続され、制御信号C n t N S W pにより短絡又は開放が制御される。このスイッチN S W pは、補正極性切換え回路61の設定が第1のモードのときに、反転入力側の差動トランジスタ101のソースと接続点N 1との間を短絡し、補正極性切換え回路61の設定が第2のモードのときに、反転入力側の差動トランジスタ101のソースと接続点N 1との間を開放する。

【0151】

スイッチN S W nは、接続点N 1と、差動トランジスタ100のソースとの間に接続され、制御信号C n t N S W nにより短絡又は開放が制御される。このスイッチN S W nは、補正極性切換え回路61の設定が第2のモードのときに、非反転入力側の差動トランジスタ100のソースと接続点N 1との間を短絡し、補正極性切換え回路61の設定が第1のモードのときに、非反転入力側の差動トランジスタ100のソースと接続点N 1との間を開放する。

【0152】

また、制御信号C n t S W n、制御信号C n t S W p、制御信号C n t N S W n及び制御信号C n t N S W pは、例えば、表示装置10が備える他の回路(図示せず)、又は、表示装置10の外部から入力される。

【0153】

以上のように構成された本発明の実施の形態2に係る演算增幅回路122Bの動作を、以下で説明する。

【0154】

可変抵抗素子21は、可変抵抗素子制御信号r e g p [n : 1]を受けて、n個のスイッチS W 1 (1) ~ S W 1 (n)を短絡するか、開放するかを制御する。

【0155】

スイッチS W 1が短絡された場合、並列に接続された1個の電流電圧変換器41と1個のスイッチS W 1との組の合計抵抗値は、理想的には0として考えることができる。また、スイッチS W 1が開放された場合、並列に接続された1個の電流電圧変換器41と1個のスイッチS W 1との組の合計抵抗値は、理想的には、電流電圧変換器41の抵抗値となる。

【0156】

例えば、電流電圧変換器41が1段の直列接続の場合、つまり、n = 1の場合、可変抵抗素子21の抵抗値は、0と電流電圧変換器41の抵抗値Rとの2値のいずれかとなる。

【0157】

また、電流電圧変換器41が2段の直列接続の場合、つまり、n = 2の場合、2つの電流電圧変換器41の抵抗値をR及び2Rとすると、可変抵抗素子21の抵抗値は、0と抵抗値Rの1倍、2倍及び3倍との4値のいずれかとなる。

【0158】

演算增幅回路122Bは、電流源トランジスタ102が電流I rを流すことで、非反転入力側の差動トランジスタ100に電流I pを流し、反転入力側の差動トランジスタ101に電流I nを流す。

【0159】

また、補正極性切換え回路61は、可変抵抗素子21に電流I p及び電流I nのうちどちらを流すかを、制御信号C n t S W p、制御信号C n t S W n、制御信号C n t N S W p、制御信号C n t N S W nに応じて切替える。

【0160】

具体的には、出力電圧V o u tが非反転入力電圧よりも大きい場合、つまり正の出力電圧バラツキが発生している場合、制御信号C n t S W p及び制御信号C n t S W nに応じ

10

20

30

40

50

て、スイッチ SW p が ON し、スイッチ SW n が OFF する。また、制御信号 C nt NSW p に応じてスイッチ NSW p は ON し、制御信号 C nt NSW n に応じてスイッチ NSW n は OFF する。このように補正極性切換え回路 6 1 は、第 1 のモードを設定し、電流 I p を可変抵抗素子 2 1 に流す。

【0161】

つまり、第 1 のモードでは、電流 I p によって、非反転入力側の差動トランジスタ 10 0 のソースと接続点 N 1との間に、可変抵抗素子 2 1 の抵抗値に応じた電圧差 V p が発生する。

【0162】

一方、出力電圧 V out が非反転入力電圧よりも小さい場合、つまり負の出力電圧バラツキが発生している場合、制御信号 C nt SW p 、及び制御信号 C nt SW n に応じて、スイッチ SW n が ON し、スイッチ SW p が OFF する。また、制御信号 C nt NSW p に応じてスイッチ NSW p は OFF し、制御信号 C nt NSW n に応じてスイッチ NSW n は ON する。このように補正極性切換え回路 6 1 は、第 2 のモードを設定し、電流 I n を可変抵抗素子 2 1 に流す。

【0163】

つまり、第 2 のモードでは、電流 I n によって、反転入力側の差動トランジスタ 10 1 のソースと接続点 N 1 の間に、可変抵抗素子 2 1 の抵抗値に応じた電圧差 V n が発生する。

【0164】

また、V n 及び V p を発生することで、出力電圧バラツキを低減できることの説明は、実施の形態 1 の記載と同じである。

【0165】

以下に、演算增幅回路 122Bにおいて、出力電圧バラツキを低減する調整方法の 1 例を説明する。

【0166】

図 10 及び図 11 は、この調整方法のタイミングチャートである。

ここで、図 10 及び図 11 に示す reg p [n : 1] は、可変抵抗素子 2 1 の抵抗値を変化させるための制御信号である。C nt SW p 、C nt SW n 、C nt NSW n 及び C nt NSW p は、上記説明のとおり、補正極性切換え回路 6 1 に入力される制御信号である。V p 及び V n は、可変抵抗素子 2 1 の両端に発生する電圧差である。

【0167】

また、図 10 では、reg p [n : 1] は n = 2 であり、正の出力電圧バラツキが発生していることを前提にしている。

【0168】

また、図 11 では、reg p [n : 1] は n = 2 であり、負の出力電圧バラツキが発生していることを前提としている。

【0169】

また、この調整方法の流れの概要は図 7 と同様である。

まず、調整装置は、出力電圧バラツキの補正を行わない状態での演算增幅回路 122B の出力電圧バラツキを測定する (S101)。

【0170】

なお、この出力電圧バラツキを測定する際には、調整装置は、(1)スイッチ NSW n 及びスイッチ NSW p を共にオンする、又は(2)reg p [2 : 1] を“00”にすることにより、接続点 N 1 と差動トランジスタ 100 のソースとを短絡するとともに、接続点 N 1 と差動トランジスタ 101 のソースとを短絡できる。

【0171】

次に、調整装置は、正の出力電圧バラツキが発生しているか、負の出力電圧バラツキが発生しているかを判定する (S102)。

【0172】

10

20

30

40

50

以下、図10に示す正の出力電圧バラツキを発生している場合（S102でYes）について説明する。

【0173】

図10に示すように、制御信号Cn t SWp及びCn t NSWpは対応するスイッチをONする論理であり、制御信号Cn t SWn及びCn t NSWnは対応するスイッチをOFFする論理である。これにより、可変抵抗素子21に電流Ipが流れる第1のモードになる。

【0174】

図10の期間T21では、可変抵抗素子21が0であり、Vpは $I_p \times 0 \times R = 0$ Vである。この設定状態のままでは、大きな出力電圧バラツキが生じる。

10

【0175】

図10の期間T22では、調整装置は、Vpを変更しながら出力電圧Voutを測定する（S103）。具体的には、可変抵抗素子21の抵抗値が、regp[2:1]に応じて変化する。

【0176】

図10に示すように、regp[2:1]の設定を“01”、“10”、“11”と変化させていくとVpが大きくなり、出力電圧Voutが期待値に近づいていく。

【0177】

次に、調整装置は、各設定のうち出力電圧バラツキが最も小さいregp[2:1]の設定を判定する。また、調整装置は、出力電圧バラツキが最も小さいregp[2:1]の設定を補正後の設定として固定する（S105）。

20

【0178】

図10に示す例では、出力電圧バラツキが最小となる設定は、regp[2:1] = “11”である。この場合、Vout Vin (Vp + Vp Vn + Vnの関係が成立)となる。つまり、出力電圧バラツキを0Vに近づけることができる。

【0179】

次に、図11に示す負の出力電圧バラツキを発生している場合（S102でNo）について説明する。

【0180】

図11に示すように、制御信号Cn t SWp及びCn t NSWpは対応するスイッチをOFFする論理であり、制御信号Cn t SWn及びCn t NSWnは対応するスイッチをONにする論理である。これにより、可変抵抗素子21に電流Inが流れる第2のモードになる。

30

【0181】

図11の期間T31では、可変抵抗素子21が0であり、Vnは $I_n \times 0 \times R = 0$ Vである。この設定状態は、従来の演算增幅回路222と同様の出力電圧バラツキを生じてしまう。

【0182】

図11のT32期間では、調整装置は、Vnを変更しながら出力電圧Voutを測定する（S104）。具体的には、可変抵抗素子21の抵抗値が、regp[2:1]に応じて変化する。

40

【0183】

図11に示すように、regp[2:1]の設定を“01”、“10”、“11”と変化させていくとVnが大きくなり、出力電圧Voutが期待値に近づいていく。

【0184】

次に、調整装置は、各設定のうち出力電圧バラツキが最も小さいregp[2:1]の設定を判定する。また、調整装置は、出力電圧バラツキが最も小さいregp[2:1]の設定を補正後の設定として固定する（S105）。

【0185】

図11に示す例では、出力電圧バラツキが最小となる設定は、regp[2:1] = “

50

11" の設定時である。この場合、 $V_{out} = V_{in} (V_p + V_p \cdot V_n + V_n)$ の関係が成立となる。つまり、出力電圧バラツキを 0V に近づけることができる。

【0186】

以上のように、本発明の実施の形態 2 に係る演算增幅回路 122B は、実施の形態 1 と同様に、回路面積の増加を抑制しつつ、正負両方の出力電圧バラツキを低減できる。

【0187】

さらに、演算增幅回路 122B は、補正極性切換え回路 61 を備えることで、 V_n 及び V_p を 1 つの可変抵抗素子 21 によって発生できる。これにより、実施の形態 1 に係る演算增幅回路 122A に比べ、さらに回路面積を縮小できる。

【0188】

(実施の形態 3)

本発明の実施の形態 3 では、図 2 に示す演算增幅回路 122 の一実施例である演算增幅回路 122C について説明する。

【0189】

図 12 は、本発明の実施の形態 3 に係る演算增幅回路 122C の回路図である。なお、図 5 と同様の要素には同一の符号を付しており、重複する説明は省略する。

【0190】

図 12 に示す演算增幅回路 122C は、図 5 に示す演算增幅回路 122A の構成に加え、さらに、可変電流源 81 及び 82 を備える。

【0191】

可変電流源 81 は、非反転入力側の差動トランジスタ 100 のソースとバイアス電圧との間に接続され、非反転入力側の差動トランジスタ 100 のソースに正又は負の電流 I_{cp} を供給する。また、可変電流源 81 は、x 段階の電流値のうちいずれかの電流値の電流を差動トランジスタ 100 のソースに選択的に供給する。つまり、この可変電流源 81 により生成される電流 I_{cp} の電流値は、x 段階で可変である。また、この電流値は、可変電流源制御信号 $I_{contp}[x:1]$ によって制御される。

【0192】

可変電流源 82 は、反転入力側の差動トランジスタ 101 のソースとバイアス電圧との間に接続され、反転入力側の差動トランジスタ 101 のソースに正又は負の電流 I_{cn} を供給する。また、可変電流源 82 は、x 段階の電流値のうちいずれかの電流値の電流を差動トランジスタ 101 のソースに選択的に供給する。つまり、この可変電流源 82 により生成される電流 I_{cn} の電流値は、x 段階で可変である。また、この電流値は、可変電流源制御信号 $I_{contn}[x:1]$ によって制御される。

【0193】

また、可変電流源制御信号 $I_{contp}[x:1]$ 及び可変電流源制御信号 $I_{contn}[x:1]$ は、例えば、表示装置 10 が備える他の回路（図示せず）、又は、表示装置 10 の外部から入力される。

【0194】

以上のように構成された本発明の実施の形態 3 に係る演算增幅回路 122C の動作を、以下で説明する。

【0195】

可変抵抗素子 21 は、可変抵抗素子制御信号 $regp[n:1]$ を受けて、n 個のスイッチ SW1(1) ~ SW1(n) を短絡するか、開放するかを制御する。

【0196】

同様に、可変抵抗素子 22 は、可変抵抗素子制御信号 $regn[n:1]$ を受けて、n 個のスイッチ SW2(1) ~ SW2(n) を短絡するか、開放するかを制御する。

【0197】

スイッチ SW1 が短絡された場合、並列に接続された 1 個の電流電圧変換器 41 と 1 個のスイッチ SW1 との組の合計抵抗値は、理想的には 0 として考えることができる。また、スイッチ SW1 が開放された場合、並列に接続された 1 個の電流電圧変換器 41 と 1

10

20

30

40

50

個のスイッチ SW 1 との組の合計抵抗値は、理想的には、電流電圧変換器 4 1 の抵抗値となる。

【0198】

同様に、スイッチ SW 2 が短絡された場合、並列に接続された 1 個の電流電圧変換器 4 2 と 1 個のスイッチ SW 2 との組の合計抵抗値は、理想的には 0 として考えることができる。また、スイッチ SW 2 が開放された場合、並列に接続された 1 個の電流電圧変換器 4 2 と 1 個のスイッチ SW 2 との組の合計抵抗値は、理想的には、電流電圧変換器 4 2 の抵抗値となる。

【0199】

例えば、電流電圧変換器 4 1 が 1 段の直列接続の場合、つまり、 $n = 1$ の場合、可変抵抗素子 2 1 の抵抗値は、0 と電流電圧変換器 4 1 の抵抗値 R との 2 値のいずれかとなる。

10

【0200】

また、電流電圧変換器 4 1 が 2 段の直列接続の場合、つまり、 $n = 2$ の場合、2 つの電流電圧変換器 4 1 の抵抗値を R 及び 2 R とすると、可変抵抗素子 2 1 の抵抗値は、0 と抵抗値 R の 1 倍、2 倍及び 3 倍との 4 値のいずれかとなる。

【0201】

演算增幅回路 122C は、電流源トランジスタ 102 が電流 I_r を流すことで、非反転入力側の差動トランジスタ 100 に電流 I_p を流し、反転入力側の差動トランジスタ 101 に電流 I_n を流す。

20

【0202】

ここで、可変抵抗素子 2 1 には、電流 I_p に、可変電流源 8 1 からの電流 I_{cp} を加算又は減算した電流 I_{ap} が流れる。

【0203】

同様に、可変抵抗素子 2 2 には、電流 I_n に、可変電流源 8 2 からの電流 I_{cn} を加算又は減算した電流 I_{an} が流れる。

【0204】

また、可変抵抗素子 2 1 の抵抗値と可変抵抗素子 2 1 に流れる電流 I_{ap} とに応じて、電圧差 V_p が発生する。この V_p は、可変抵抗素子制御信号 $regp[n:1]$ と可変電流源制御信号 $Icontp[x:1]$ とを変更することによって変更できる。

30

【0205】

同様に、可変抵抗素子 2 2 の抵抗値と可変抵抗素子 2 2 に流れる電流 I_{an} とに応じて、電圧差 V_n が発生する。この V_n は、可変抵抗素子制御信号 $regn[n:1]$ と可変電流源制御信号 $Icontn[x:1]$ とを変更することによって変更できる。

【0206】

この V_n 及び V_p が発生することで、出力電圧バラツキを低減できることの説明は、実施の形態 1 の記載と同じである。

【0207】

以上のように、本発明の実施の形態 3 に係る演算增幅回路 122C は、実施の形態 1 と同様に、回路面積の増加を抑制しつつ、正負両方の出力電圧バラツキを低減できる。

40

【0208】

さらに、本発明の実施の形態 3 に係る演算增幅回路 122C は、実施の形態 1 に係る演算增幅回路 122A の構成に加え、さらに可変電流源 8 1 及び可変電流源 8 2 を備えたことで、可変抵抗素子 2 1 及び 2 2 と、可変電流源 8 1 及び 8 2 との両方を用いて、 V_n 及び V_p を変更できる。これにより、実施の形態 3 に係る演算增幅回路 122C は、実施の形態 1 に係る演算增幅回路 122A に比べ、大きい出力電圧バラツキが発生した場合にも対応できるとともに、出力電圧バラツキの調整をさらに細かく設定できる。

【0209】

また、実施の形態 3 に係る演算增幅回路 122C は、実施の形態 1 に係る演算增幅回路 122A と同程度の出力電圧バラツキの調整範囲及び調整間隔をより小面積で実現するこ

50

とも可能である。例えば、可変電流源 8 1 及び 8 2 を 1 つのトランジスタで構成することで、小面積化が実現できる。

【0210】

なお、本発明の実施の形態 3 では、可変抵抗素子 2 1 及び可変抵抗素子 2 2 の、2 つの可変抵抗素子を備えた演算增幅回路 122C を用いて説明したが、正負いずれかの出力電圧バラツキを低減するだけでよい場合は、演算增幅回路 122C は、可変抵抗素子 2 1 及び可変抵抗素子 2 2 のうちいずれか 1 つのみを備えててもよい。また、演算增幅回路 122C は、2 つの可変電流源 8 1 及び可変電流源 8 2 のうち、この出力電圧バラツキの正負に對応する一方のみを備えててもよい。この構成にすることで、演算增幅回路 122C の小面積化を実現できる。

10

【0211】

さらに、演算增幅回路 122C は、可変抵抗素子 2 1 及び可変抵抗素子 2 2 を共に備えるとともに、可変電流源 8 1 及び可変電流源 8 2 のうち一方のみを備えててもよいし、可変抵抗素子 2 1 及び可変抵抗素子 2 2 の一方のみを備えるとともに、可変電流源 8 1 及び可変電流源 8 2 を共に備えててもよい。

【0212】

また、上記実施の形態 3 では、実施の形態 1 で説明した演算增幅回路 122A が、さらに、可変電流源 8 1 及び可変電流源 8 2 を備える構成について説明したが、実施の形態 2 に係る演算增幅回路 122B が、さらに、可変電流源 8 1 及び可変電流源 8 2 を備えてもよい。

20

【0213】

(実施の形態 4)

本発明の実施の形態 4 では、図 2 に示す演算增幅回路 122 の一実施例である演算增幅回路 122D について説明する。

【0214】

図 13 は、本発明の実施の形態 4 に係る演算增幅回路 122D の回路図である。なお、図 5 と同様の要素には同一の符号を付しており、重複する説明は省略する。

【0215】

図 13 に示す演算增幅回路 122D は、図 5 に示す演算增幅回路 122A の構成に加え、さらに、電圧可変回路 9 1 を備える。

30

【0216】

電圧可変回路 9 1 は、電流源トランジスタ 102 のゲート電圧を制御する。この電圧可変回路 9 1 は、電圧可変回路制御信号 Vset [m : 1] に応じて、m 段階の電圧値のうちいずれかの電圧値の電圧を電流源トランジスタ 102 のゲートに選択的に出力する。

【0217】

また、電圧可変回路制御信号 Vset [m : 1] は、例えば、表示装置 10 が備える他の回路（図示せず）、又は、表示装置 10 の外部から入力される。

【0218】

以上のように構成された本発明の実施の形態 4 に係る演算增幅回路 122D の動作を、以下で説明する。

40

【0219】

可変抵抗素子 2 1 は、可変抵抗素子制御信号 regp [n : 1] を受けて、n 個のスイッチ SW1 (1) ~ SW1 (n) を短絡するか、開放するかを制御する。

【0220】

同様に、可変抵抗素子 2 2 は、可変抵抗素子制御信号 regn [n : 1] を受けて、n 個のスイッチ SW2 (1) ~ SW2 (n) を短絡するか、開放するかを制御する。

【0221】

スイッチ SW1 が短絡された場合、並列に接続された 1 個の電流電圧変換器 4 1 と 1 個のスイッチ SW1 との組の合計抵抗値は、理想的には 0 として考えることができる。また、スイッチ SW1 が開放された場合、並列に接続された 1 個の電流電圧変換器 4 1 と 1

50

個のスイッチ SW 1 との組の合計抵抗値は、理想的には、電流電圧変換器 4 1 の抵抗値となる。

【0222】

同様に、スイッチ SW 2 が短絡された場合、並列に接続された 1 個の電流電圧変換器 4 2 と 1 個のスイッチ SW 2 との組の合計抵抗値は、理想的には 0 として考えることができる。また、スイッチ SW 2 が開放された場合、並列に接続された 1 個の電流電圧変換器 4 2 と 1 個のスイッチ SW 2 との組の合計抵抗値は、理想的には、電流電圧変換器 4 2 の抵抗値となる。

【0223】

例えば、電流電圧変換器 4 1 が 1 段の直列接続の場合、つまり、 $n = 1$ の場合、可変抵抗素子 2 1 の抵抗値は、0 と電流電圧変換器 4 1 の抵抗値 R との 2 値のいずれかとなる。

10

【0224】

また、電流電圧変換器 4 1 が 2 段の直列接続の場合、つまり、 $n = 2$ の場合、2 つの電流電圧変換器 4 1 の抵抗値を R 及び 2 R とすると、可変抵抗素子 2 1 の抵抗値は、0 と抵抗値 R の 1 倍、2 倍及び 3 倍との 4 値のいずれかとなる。

【0225】

また、電圧可変回路制御信号 $V_{set}[n : 1]$ に応じて電圧可変回路 9 1 は電流源トランジスタ 102 のゲート電圧を変更する。これにより、電流源トランジスタ 102 に流れる電流 I_{rx} を変更できる。

20

【0226】

例えば、電流 I_r が倍された場合、理想的には、非反転入力側の差動トランジスタ 100 に電流 I_{px} が流れ、反転入力側の差動トランジスタ 101 に電流 I_{nx} が流れる。

【0227】

よって、可変抵抗素子 2 1 の抵抗値と可変抵抗素子 2 1 に流れる電流 I_{px} を制御することにより、非反転入力側の差動トランジスタ 100 のソースと接続点 N 1 との間に任意の電圧差 V_{px} を発生できる。

【0228】

同様に、可変抵抗素子 2 2 の抵抗値と可変抵抗素子 2 2 に流れる電流 I_{nx} を制御することにより、非反転入力側の差動トランジスタ 101 のソースと接続点 N 1 との間に任意の電圧差 V_{nx} を発生できる。

30

【0229】

なお、 $V_{nx} = V_n$ と置き換え、 $V_{px} = V_p$ と置き換えると、出力電圧バラツキを低減できることの説明は、実施の形態 1 の記載と同じである。

【0230】

以上のように、本発明の実施の形態 4 に係る演算增幅回路 122D は、実施の形態 1 と同様に、回路面積の増加を抑制しつつ、正負両方の出力電圧バラツキを低減できる。

【0231】

さらに、本発明の実施の形態 4 に係る演算增幅回路 122D は、電流源トランジスタ 102 のゲート電圧を変更できるようにしたことで、実施の形態 1 に係る演算增幅回路 122A に比べ、可変抵抗素子 2 1 及び 2 2 の両端に発生する電圧差 V_p 及び V_n を細い刻みで変更することができる。さらに、実施の形態 4 に係る演算增幅回路 122D は、実施の形態 1 に係る演算增幅回路 122A に比べ、より大きい出力電圧バラツキが発生した場合にも対応できる。

40

【0232】

なお、本発明の実施の形態 4 では、可変抵抗素子 2 1 及び可変抵抗素子 2 2 の、2 つの可変抵抗素子を備えた演算增幅回路 122D を用いて説明したが、正負いずれかの出力電圧バラツキを低減するだけでよい場合は、演算增幅回路 122D は、可変抵抗素子 2 1 及び可変抵抗素子 2 2 のうちいずれか 1 つのみを備えててもよい。この構成にすることで、演

50

算增幅回路 122D の小面積化を実現できる。

【0233】

また、上記実施の形態 4 では、実施の形態 1 で説明した演算增幅回路 122A が、さらに、電圧可変回路 91 を備える構成について説明したが、実施の形態 2 に係る演算增幅回路 122B 又は実施の形態 3 に係る演算增幅回路 122C が、さらに、電圧可変回路 91 を備えてよい。

【0234】

なお、本発明は、以上の実施の形態 1 ~ 4 に限定されることなく、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

【0235】

例えば、本発明の実施の形態 1 ~ 4 では、差動対が N チャネル型 MOS トランジスタ対で構成される演算增幅回路 122A ~ 122D の例を示したが、差動対が P チャネル型 MOS トランジスタ対で構成される演算增幅回路にも本発明を適用できる。

【0236】

さらに、演算增幅回路 122A ~ 122D は、N チャネル型 MOS トランジスタ対で構成される第 1 差動対と、P チャネル型 MOS トランジスタ対で構成される第 2 差動対とを含んでもよい。つまり、Rail-to-Rail 型のように複数の差動対で構成された演算增幅回路においても、同様の設計思想で本発明を適用できる。

【0237】

また、補正電圧選択回路 51(52) の抵抗値の温度依存性は、スイッチ SW1(SW2) の抵抗値の温度依存性と逆方向の特性であることが好ましい。この構成にすることで、補正電圧選択回路 51(52) の抵抗値が、温度による変動をスイッチ SW1(SW2) の抵抗値の温度による変動によりキャンセルできる。その結果、出力電圧バラツキの温度依存性を緩和できる。

【0238】

また、可変抵抗素子 21 及び 22 の構成は、上記構成に限らず、以下に示す構成を用いてよい。

【0239】

図 14 は、上記可変抵抗素子 21 及び 22 の別の例である可変抵抗素子 21A の構成を示す図である。

【0240】

図 14 に示す可変抵抗素子 21A は、n - 1 (n は 2 以上の整数) 個直列に接続された電流電圧変換器 41 と、補正電圧選択回路 51A とを備える。なお、図 14 では、n = 4 の例を示している。

【0241】

各電流電圧変換器 41 は、電流を電圧に変換する抵抗素子である。例えば、n - 1 個の電流電圧変換器 41 の抵抗値は等しい。

【0242】

補正電圧選択回路 51A は、第 1 端子 A と第 2 端子 B との間に接続される直列に接続された電流電圧変換器 41 の段数を変更することにより、第 1 端子 A と第 2 端子 B との間の抵抗値を変更する。この補正電圧選択回路 51A は、n 個のスイッチ SWy(1) ~ SWy(n) を備える。なお、n 個のスイッチ SWy(1) ~ SWy(n) を特に区別しない場合、スイッチ SWy と記す。

【0243】

n 個のスイッチ SWy(1) ~ SWy(n) は、n - 1 個の電流電圧変換器 41 の直列接続の接続点、及び当該直列接続の両端にそれぞれ一端が接続され、第 2 端子 B に他端が接続される。また、n 個のスイッチ SWy(1) ~ SWy(n) は、n ビットの可変抵抗素子制御信号 regp[n : 1] によって、短絡又は開放が制御される。

【0244】

図 15 は、n = 4 の場合の、可変抵抗素子制御信号 regp[n : 1] と、スイッチ S

10

20

30

40

50

$W_y(1) \sim SW_y(n)$ の ON 及び OFF の状態と、可変抵抗素子 21A の抵抗値とを示す図である。

【0245】

図 15 に示すように、3つの電流電圧変換器 41 の抵抗値を等しくするとともに、4つのスイッチ $SW_y(1) \sim SW_y(4)$ のうち1つのみを ON にすることで、等間隔な調整間隔を実現できる。

【0246】

また、図 15 に示す可変抵抗素子 21A を用いた場合と、従来の出力回路 300 とで、同一の調整範囲を実現しようとした場合、図 15 に示す可変抵抗素子 21A を用いた場合のほうが、回路面積を小さくできる。なぜなら、この調整範囲は、可変抵抗素子が取り得る最大抵抗値で決定する。よって、従来の出力回路 300 では、最も抵抗値が大きい抵抗の抵抗値をこの最大抵抗値にする必要がある。一方、図 15 に示す可変抵抗素子 21A を用いた場合では、複数の電流電圧変換器 41 の抵抗値の合計をこの最大抵抗値にすればよい。このように、よって、図 15 に示す可変抵抗素子 21A を用いた場合も、図 5 等に示す可変抵抗素子 21 及び 22 を用いた場合と同様に、従来の出力回路 300 に比べ、回路面積を小さくできる。

10

【0247】

なお、可変抵抗素子 21A と、図 5 等に示す可変抵抗素子 21 を比較した場合、図 5 等に示す可変抵抗素子 21 のほうが、調整間隔が等間隔な出力電圧調整を、より小面積で実現できるので、より好ましい。

20

【0248】

また、可変抵抗素子 21 及び 22 の代わりに、以下に示す構成を用いてよい。

図 16 は、上記可変抵抗素子 21 及び 22 の別の例である可変抵抗素子 21B を備える演算增幅回路 122E の構成を示す図である。なお、図 9 と同様の要素には同一の符号を付している。

【0249】

図 16 に示す演算增幅回路 122E は、図 9 に示す演算增幅回路 122B に対して、可変抵抗素子 21 の代わりに、可変抵抗素子 21B を備える。

【0250】

可変抵抗素子 21B は、トランジスタ 92B と、電圧可変回路 91B とを備える。

30

トランジスタ 92B は、可変抵抗素子 21B の第 1 端子にソース端子及びドレイン端子の一方が接続され、可変抵抗素子 21B の第 2 端子にソース端子及びドレイン端子の他方が接続される。また、トランジスタ 92B は、一定のバイアス電圧が基盤電圧として供給されている。

【0251】

電圧可変回路 91B は、制御信号 $V_{set}[n:1]$ に応じて、 n 段階の電圧値のうちいずれかの電圧値の電圧をトランジスタ 92B のゲート端子に供給することにより、トランジスタ 92B のオン抵抗を変更する。つまり、電圧可変回路 91B は、トランジスタ 92B のゲート電圧を変更することにより、可変抵抗素子 21B の第 1 端子と第 2 端子との間の抵抗値（トランジスタ 92B のオン抵抗）を変更する。

40

【0252】

この構成にすることで、複数の抵抗素子とスイッチとの組みで構成していた可変抵抗素子を 1 つのトランジスタと電圧可変回路とで構成することができるので、可変抵抗素子の面積を縮小できる。

【0253】

さらに、可変抵抗素子 21 及び 22 の代わりに、以下に示す構成を用いてよい。

図 17 は、上記可変抵抗素子 21 及び 22 の別の例である可変抵抗素子 21C を備える演算增幅回路 122E の構成を示す図である。なお、図 9 と同様の要素には同一の符号を付している。

【0254】

50

図17に示す演算増幅回路122Fは、図9に示す演算増幅回路122Bに対して、可変抵抗素子21の代わりに、可変抵抗素子21Cを備える。

【0255】

可変抵抗素子21Cは、トランジスタ92Cと、電圧可変回路91Cとを備える。

トランジスタ92Cは、可変抵抗素子21Cの第1端子にソース端子及びドレイン端子の一方が接続され、可変抵抗素子21Cの第2端子にソース端子及びドレイン端子の他方が接続される。また、トランジスタ92Cは、一定のバイアス電圧がゲート端子に印加されている。

【0256】

電圧可変回路91Cは、制御信号Vset[n:1]に応じて、n段階の電圧値のうちいずれかの電圧値の電圧をトランジスタ92Cに供給することにより、トランジスタ92Cのオン抵抗を変更する。具体的には、電圧可変回路91Cは、トランジスタ92Cの基盤電圧をn段階で変更することにより、トランジスタ92Cのオン抵抗を変更する。これにより、電圧可変回路91Cは、可変抵抗素子21Cの第1端子と第2端子との間の抵抗値(トランジスタ92Cのオン抵抗)を変更する。

【0257】

この構成にすることで、複数の抵抗素子とスイッチとの組みで構成していた可変抵抗素子を1つのトランジスタと電圧可変回路とで構成することができるので、可変抵抗素子の面積を縮小できる。

【0258】

なお、上述した実施の形態1に係る演算増幅回路122A、実施の形態3に係る演算増幅回路122C及び実施の形態4に係る演算増幅回路122Dが、図16に示す可変抵抗素子21B又は図17に示す可変抵抗素子21Cを備えてもよい。

【0259】

また、上記実施の形態1~4では、一般的な演算増幅回路の一例に対して、本発明を適用した例を述べたが、一般的な演算増幅回路として周知の別の回路構成を用いることも可能である。例えば、上記電流源トランジスタ102にカスコードカレントミラー型の差動電流源を用いてもよい。言い換えると、実施の形態1~4に係る演算増幅回路122A~122Fは、さらに、電流源トランジスタ102と接続点N1との間に接続される、電流源トランジスタ102のバラツキを低減するための抵抗素子等を備えてもよい。この抵抗素子は、例えば、ゲート電圧がバイアス電圧で固定されたトランジスタである。

【0260】

また、図1及び図2に示す表示装置10に含まれる各処理部は典型的には集積回路であるLSIとして実現される。これらは個別に1チップ化されてもよいし、一部又はすべてを含むように1チップ化されてもよい。

【0261】

また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【0262】

さらには、半導体技術の進歩又は派生する別技術によりLSIに置き換わる集積回路化の技術が登場すれば、当然、その技術を用いて各処理部の集積化を行ってもよい。

【0263】

また、表示装置10の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。

【0264】

さらに、本発明は上記プログラムであってもよいし、上記プログラムが記録された記録媒体であってもよい。また、上記プログラムは、インターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

10

20

30

40

50

【0265】

また、本発明は、上記演算增幅回路122A～122Dのいずれかの出力電圧バラツキを低減する演算增幅回路の調整方法として実現してもよい。さらに、表示駆動装置110又は表示装置10の調整方法として実現してもよい。

【0266】

また、本発明は、上記調整装置と、演算增幅回路122A～122Dのいずれかとを含む演算增幅回路の調整システムとして実現してもよいし、上記調整装置を含む表示駆動装置110又は表示装置10として実現してもよい。さらに、この調整装置の機能は、専用の回路(ハードウェア)で実現されてもよいし、CPU等のプロセッサがプログラムを実行すること(ソフトウェア)により実現してもよいし、これらの組み合わせにより実現してもよい。

10

【0267】

また、上記説明では、本発明の実施の形態1～4に係る演算增幅回路122A～122Dを、有機ELパネル111を備える表示装置10が備える例を述べたが、他の表示装置に本発明を適用してもよい。例えば、液晶パネルを備える表示装置に本発明を適用してもよい。

【0268】

また、上記で用いた数字は、すべて本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、ハイ/ローにより表される論理レベル又はオン/オフにより表されるスイッチング状態は、本発明を具体的に説明するために例示するものであり、例示された論理レベル又はスイッチング状態の異なる組み合わせにより、同等な結果を得ることも可能である。また、トランジスタ等のn型及びp型等は、本発明を具体的に説明するために例示するものであり、これらを反転させることで、同等の結果を得ることも可能である。また、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

20

【0269】

また、上記実施の形態1～4に係る演算增幅回路122A～122D、及びその変形例の機能のうち少なくとも一部を組み合わせてもよい。

30

【産業上の利用可能性】

【0270】

本発明は、演算增幅回路及び表示装置に適用できる。また、本発明は、演算增幅回路の出力電圧バラツキを低減できるので、電源回路及びフラットパネル向けドライバに好適である。また、本発明は、液晶パネル及び有機ELパネルを備える携帯機器、小型モバイル機器及び大型パネル機器に適用できる。

【符号の説明】

【0271】

10 表示装置

15A、15B 可変抵抗部

21、21A、21B、21C、22 可変抵抗素子

40

31 差動増幅部

32 出力部

41、42 電流電圧変換器

51、51A、52 補正電圧選択回路

61 補正極性切換え回路

81、82 可変電流源

91、91B、91C 電圧可変回路

92B、92C トランジスタ

100、101、302、304 差動トランジスタ

102 電流源トランジスタ

50

1 0 3、1 0 4 負荷トランジスタ

1 1 0 表示駆動装置

1 1 1 有機 E L パネル

1 1 2 画素

1 1 3 ソースドライバ

1 1 4、1 1 4 a、1 1 4 n 駆動部

1 1 5、1 1 5 a、1 1 5 n ソースライン

1 1 6、1 1 6 a、1 1 6 b、1 1 6 c ゲートライン

1 1 7 ゲートドライバ

1 1 8 タイミングコントローラ

10

1 2 2、1 2 2 A、1 2 2 B、1 2 2 C、1 2 2 D、1 2 2 E、1 2 2 F、2 2 2 演

算增幅回路

1 2 3 セレクト部

1 2 4 第1ラッチ部

1 2 5 第2ラッチ部

1 2 6 データ信号

1 2 7 データ取込信号

1 2 8 データ転送信号

1 2 9、1 2 9 a、1 2 9 n 第1ラッチデータ

1 3 0、1 3 0 a、1 3 0 n 第2ラッチデータ

20

1 3 1 アナログ信号

3 0 0 出力回路

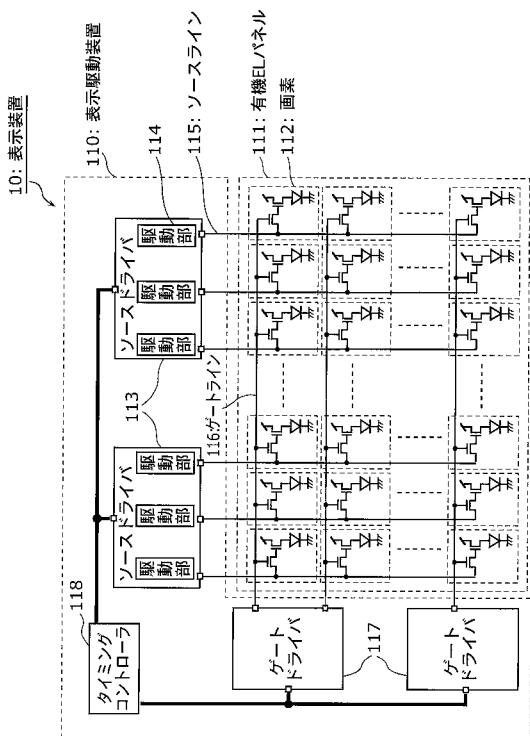
3 0 6、N 1 接続点

3 1 0、N S W n、N S W p、S W 1、S W 2、S W n、S W p、S W y スイッチ

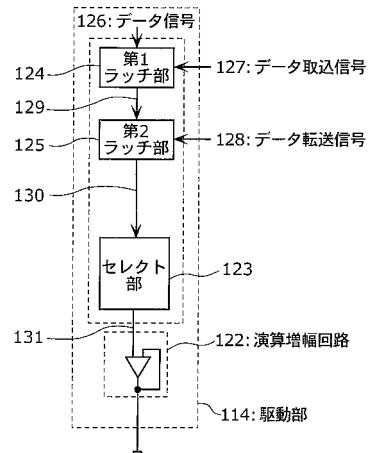
3 2 0 入力

R A 1、R A 2、R A 3、R A 4、R B 1、R B 2、R B 3、R B 4 抵抗

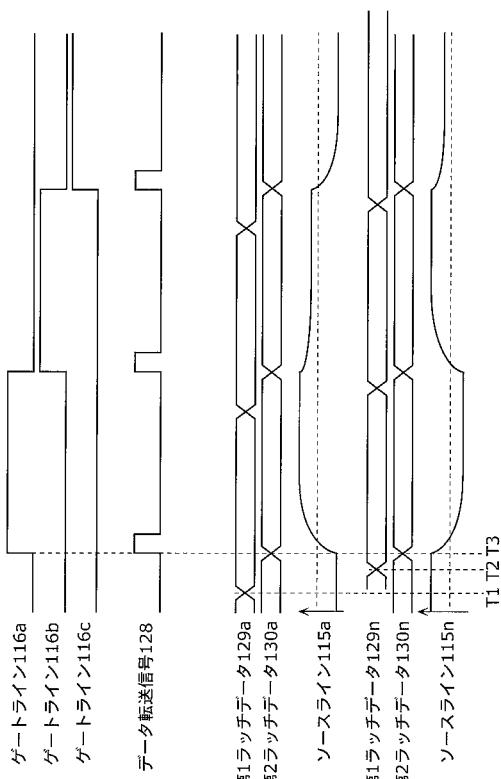
【図 1】



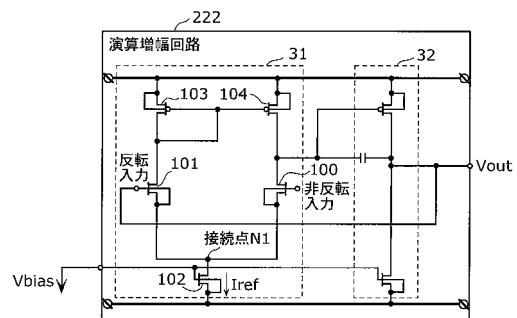
【図 2】



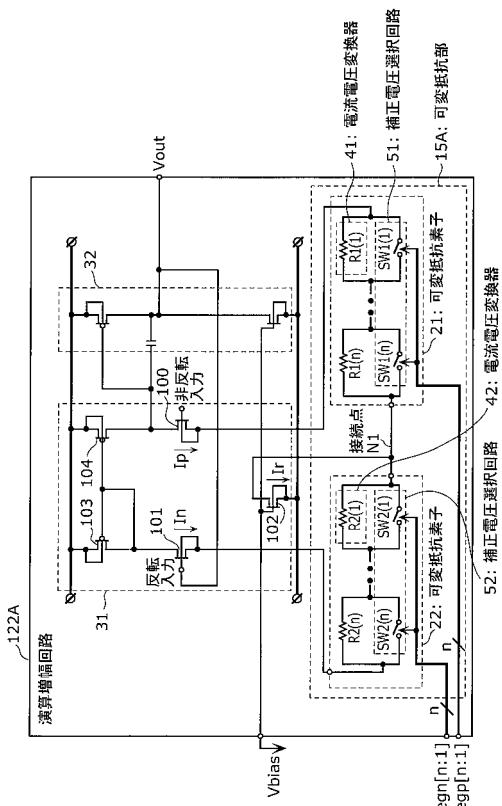
【図 3】



【図 4】



【図5】

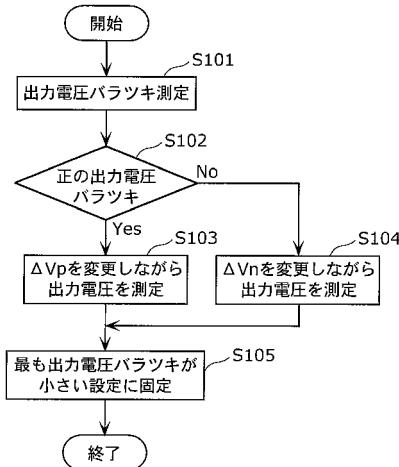


【図6】

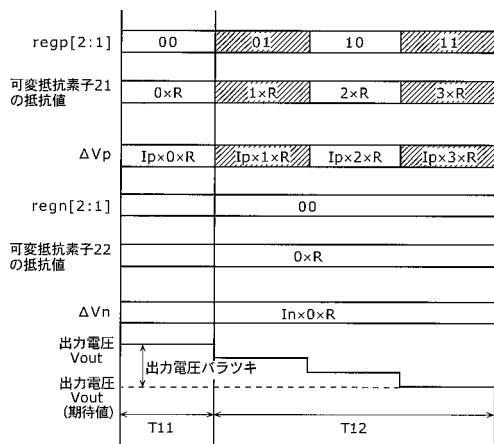
$$R(1) = R[\Omega] \quad R(2) = 2R[\Omega]$$

regp[2:1]	SW1(2)	SW1(1)	可変抵抗素子の抵抗値
00	OFF	OFF	$R(1)+R(2)=3R$
01	OFF	ON	$R(2)=2R$
10	ON	OFF	$R(1)=R$
11	ON	ON	0

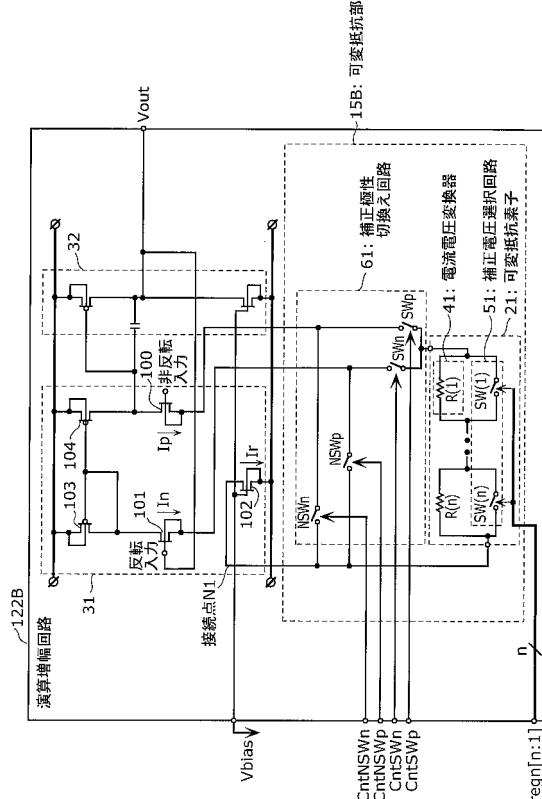
【図7】



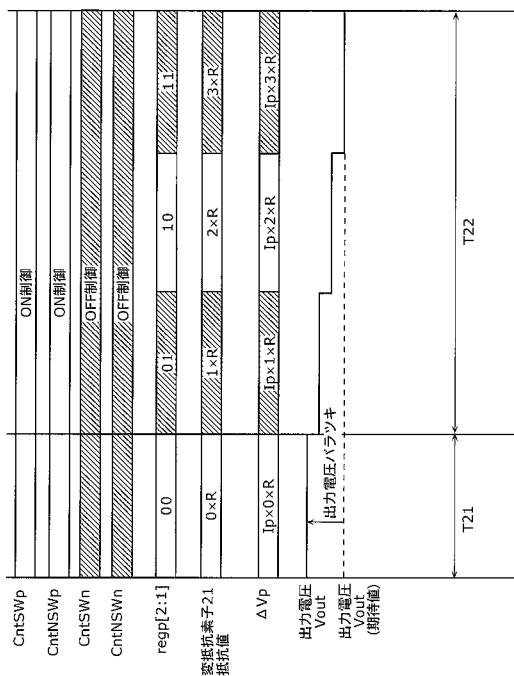
【図8】



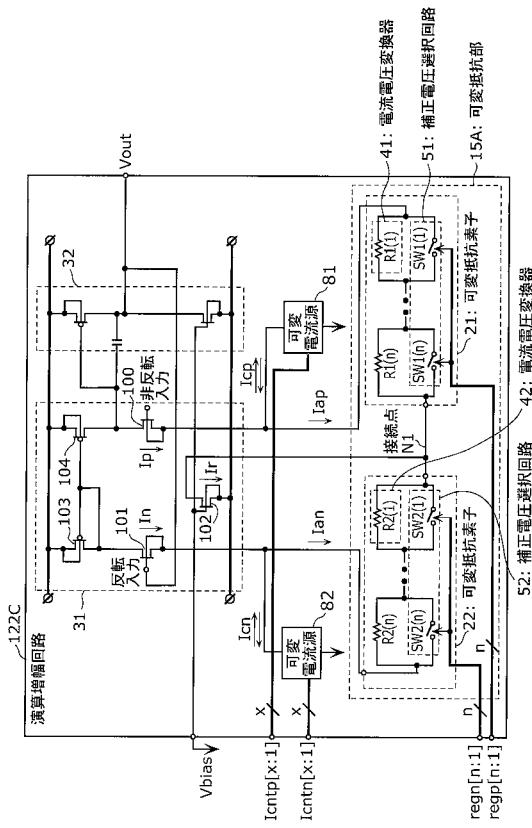
【図9】



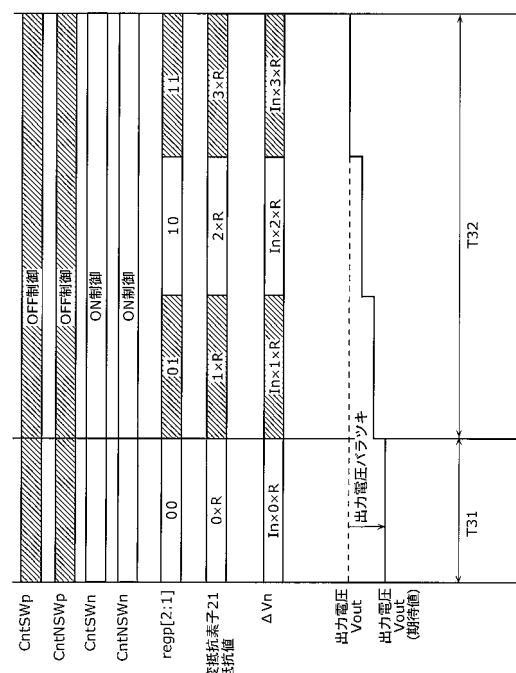
【 図 1 0 】



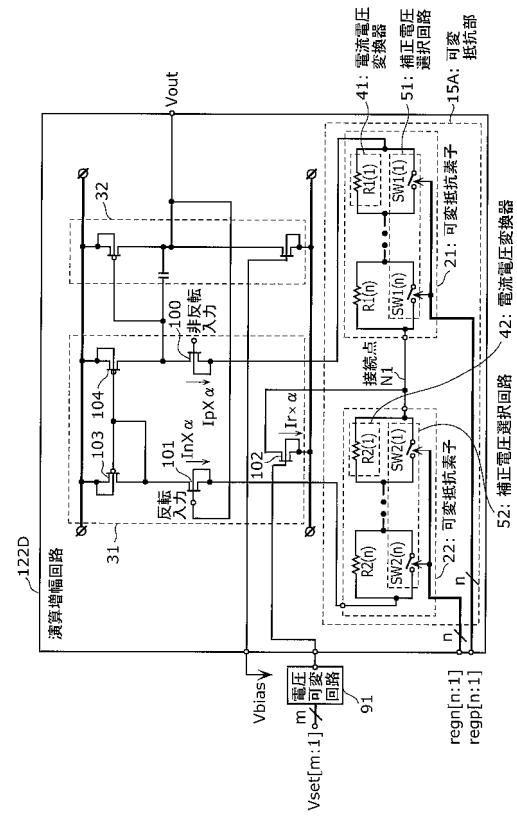
【 図 1 2 】



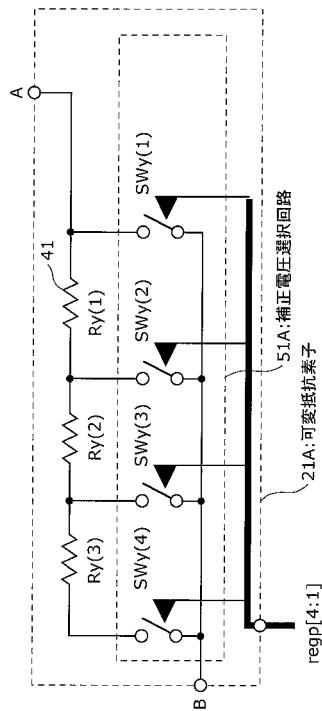
【 図 1 1 】



【 図 1 3 】



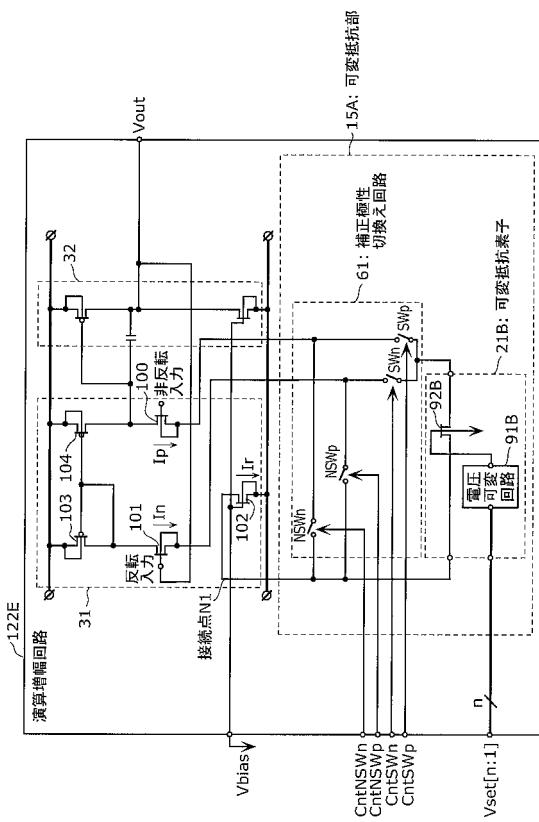
【図 14】



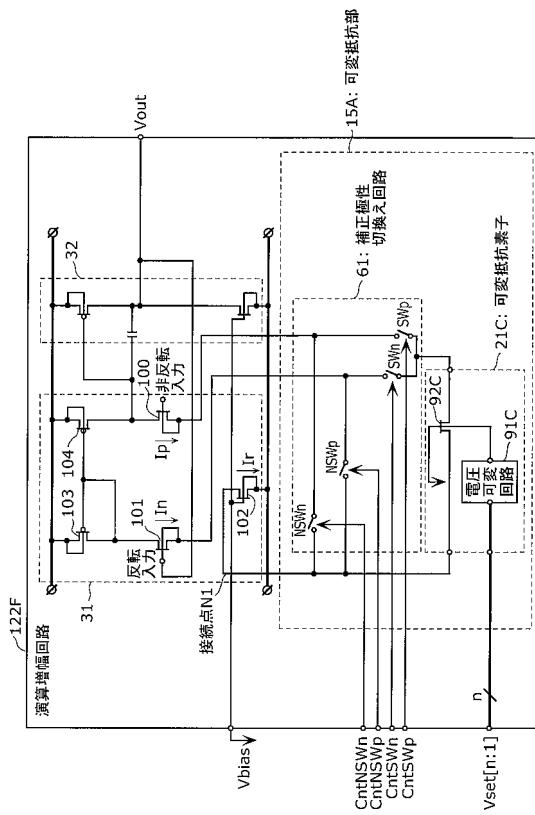
【図 15】

	Ry(1)	SWy(4)	SWy(3)	SWy(2)	SWy(1)
reg[4:1]	OFF	OFF	OFF	ON	ON
0001	OFF	OFF	OFF	ON	OFF
0010	OFF	OFF	ON	OFF	OFF
0100	OFF	ON	OFF	OFF	OFF
1000	ON	OFF	OFF	OFF	OFF

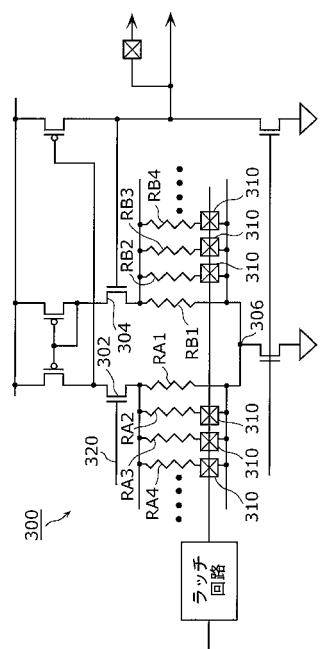
【図 16】



【図 17】



【図 18】



フロントページの続き

(72)発明者 小嶋 寛

大阪府門真市大字門真1006番地 パナソニックセミコンダクターシステムテクノ株式会社内

(72)発明者 小島 友和

大阪府門真市大字門真1006番地 パナソニックセミコンダクターシステムテクノ株式会社内

F ターム(参考) 5J500 AA01 AA47 AC14 AF18 AH10 AH25 AH26 AH38 AK02 AK06

AK09 AM21 AS08 AT06 AT07 DN23 DN25 DP01