

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4041075号
(P4041075)

(45) 発行日 平成20年1月30日(2008.1.30)

(24) 登録日 平成19年11月16日(2007.11.16)

(51) Int.Cl.		F I	
HO 1 L 21/337 (2006.01)		HO 1 L 29/80	C
HO 1 L 29/808 (2006.01)		HO 1 L 29/78	3 O 1 B
HO 1 L 29/78 (2006.01)		HO 1 L 29/80	H
HO 1 L 21/338 (2006.01)			
HO 1 L 29/778 (2006.01)			

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2004-54330 (P2004-54330)	(73) 特許権者	000003078
(22) 出願日	平成16年2月27日(2004.2.27)		株式会社東芝
(65) 公開番号	特開2005-244072 (P2005-244072A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年9月8日(2005.9.8)	(74) 代理人	100075812
審査請求日	平成16年2月27日(2004.2.27)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100108785
			弁理士 箱崎 幸雄

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

組成式 $A_{1-x}Ga_{1-x}N(0 < x < 1)$ により表わされる第1の半導体層と、
 前記第1の半導体層上に形成され、組成式 $A_{1-y}Ga_{1-y}N(0 < y < 1, x < y)$ により表わされる第1導電型またはノンドープの第2の半導体層と、
 前記第2の半導体層上に選択的に形成され、組成式 $A_{1-x}Ga_{1-x}N(0 < x < 1)$ により表わされる第2導電型の第3の半導体層と、
 前記第3の半導体層の上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲート電極と、
 前記第2の半導体層および前記第3の半導体層に電氣的に接続されたソース電極と、
 前記第2の半導体層に電氣的に接続されたドレイン電極と、
 を備え、

前記第3の半導体層は、前記ソース電極の長手方向と直交する方向に延在するようにストライプ状に形成された延設部分を有し、前記延設部分により前記ソース電極と局部的に接続される、

半導体装置。

【請求項2】

前記第3の半導体層のうち前記ゲート電極下方の部分は分断されて形成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記ドレイン電極と前記第3の半導体との間隔は、前記ソース電極と前記第3の半導体層との間隔よりも広いことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記第3の半導体層のシート不純物濃度は、前記第2の半導体層のシート不純物濃度以上であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】

前記ゲート電極の上方に形成され、前記ソース電極に電氣的に接続されたフィールドプレート電極をさらに備えることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば窒化物半導体を用いた絶縁ゲート型電界効果トランジスタに関する。

【背景技術】

【0002】

窒化ガリウム（以下、単にGaNという）を用いた窒化物半導体素子は、シリコン（Si）を用いた半導体素子に比べて大きなバンドギャップを有するため、高臨界電界を有するという特性から、小型でかつ高耐圧な素子を実現し易い。これにより、電力制御用半導体素子では、低いオン抵抗となり、損失の低い素子を実現できる。とりわけ、AlGaN / GaNヘテロ構造を用いた電界効果トランジスタ（以下、単にHFEET（Heterostructure Field Effect Transistor）という）は、単純な素子構造で良好な特性が期待できる。HFEETでのゲート電極は、AlGaN層とショットキー接合を形成するショットキーゲート構造である。また、従来のGaN系HFEETは、ゲート電圧がゼロの時、ドレイン電圧を印加すると、ソース・ドレイン間に電流が流れるノーマリーオフ型の素子である。

20

【0003】

しかしながら、ショットキーゲート構造では、一般的に、ゲートリーク電流が大きく、素子温度が上昇すると、さらにリーク電流は増加するという問題がある。また、ノーマリーオン型の素子は、回路の電源を投入した瞬間に素子に大電流が流れ、破壊に至る場合があるという問題もある。

30

【特許文献1】特開P2001-230407号公報

【特許文献2】特開P2003-142501号公報

【特許文献3】米国特許第6,521,961号公報

【特許文献4】米国特許第6,552,373号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は上記事情に鑑みてなされたものであり、その目的は、ゲートリーク電流の小さいノーマリーオフ型の窒化物半導体を用いた電界効果トランジスタを提供することにある。

40

【課題を解決するための手段】

【0005】

本発明は、以下の手段により上記課題の解決を図る。

【0006】

本発明によれば、

組成式 $Al_x Ga_{1-x} N$ ($0 < x < 1$) により表わされる第1の半導体層と、

前記第1の半導体層上に形成され、組成式 $Al_y Ga_{1-y} N$ ($0 < y < 1$ 、 $x < y$) により表わされる第1導電型またはノンドープの第2の半導体層と、

前記第2の半導体層上に選択的に形成され、組成式 $Al_x Ga_{1-x} N$ ($0 < x < 1$) により表わされる第2導電型の第3の半導体層と、

50

前記第3の半導体層の上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲート電極と、
 前記第2の半導体層および前記第3の半導体層に電氣的に接続されたソース電極と、
 前記第2の半導体層に電氣的に接続されたドレイン電極と、
 を備え、

前記第3の半導体層は、前記ソース電極の長手方向と直交する方向に延在するようにストライプ状に形成された延設部分を有し、前記延設部分により前記ソース電極と局部的に接続される、

半導体装置が提供される。

【発明の効果】

10

【0008】

本発明によれば、ゲートリーク電流が小さく、オン抵抗が低い、ノーマリーオフ型の窒化物半導体を用いた電界効果トランジスタが提供される。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。以下の説明において、第1導電型としてn型、第2導電型としてp型が使用される。また、以下の各図において、同一の部分には同一の参照番号を付し、その重複説明は、必要な場合に限る。

【0010】

20

(第1の実施の形態)

図1は、本発明にかかる半導体装置の第1の実施の形態を模式的に示す断面図である。同図に示すGaNヘテロ構造電界効果トランジスタ(以下、単にHFETという)220は、チャンネル層2と、n型バリア層4と、p型ベース層6と、ゲート電極16と、ソース電極12と、ドレイン電極14とを備える。チャンネル層2は、 i -GaN層で形成され、例えば組成式 $Al_xGa_{1-x}N$ ($0 < x < 1$)により表わされる第1の半導体層に対応する。n型バリア層4は、例えば組成式 $Al_yGa_{1-y}N$ ($0 < y < 1$ 、 $x < y$)により表わされる第1導電型またはノンドープの第2の半導体層に対応し、チャンネル層2の上にn-AlGaN層で形成されてチャンネルに電子を供給する。さらに、p型ベース層6は、バリア層4の上にp-GaN層で選択的に形成され、例えば組成式 $Al_xGa_{1-x}N$ ($0 < x < 1$)により表わされる第3の半導体層に対応する。なお、図1には特に示していないが、チャンネル層2は、一般的に、SiC、サファイア、SiまたはGaN等の基板の上に形成される。

30

【0011】

ゲート電極16はベース層6の上に形成され、ソース電極12とドレイン電極14はいずれもバリア層4に接触するようにバリア層4の上に形成される。ソース電極12とドレイン電極14はバリア層とオーミック接触を形成しており、電子はソース電極12からAlGaN/GaNヘテロ界面に形成される二次元電子ガス(2DEG)チャンネルを介してドレイン電極14へと流れる。これらの電極12, 14はTi/Alなどで形成可能である。

40

【0012】

本実施形態のHFET220では、ベース層6とバリア層4とでpn接合が形成されているので、ショットキー接合の場合よりゲートリーク電流が小さくなる。

【0013】

ゲートしきい値電圧は、2DEGチャンネルのキャリア濃度で決まる。したがって、ノーマリーオフを実現するためには、ゲート電圧がゼロの時に2DEGキャリア濃度がゼロ、つまり2DEGチャンネルが空乏化していなければならない。AlGaN/GaNヘテロ構造の2DEGキャリア濃度は、バリア層のシートキャリア濃度とヘテロ界面の応力により発生するピエゾ分極により発生するキャリア濃度とで決まる。

【0014】

50

本実施形態のH F E T 2 2 0は、バリア層4上にG a Nで形成されたベース層6を備えるので、G a Nチャンネル層2とA l G a Nバリア層4とのヘテロ界面に発生するピエゾ分極は、A l G a Nバリア層4とG a Nベース層6とのヘテロ界面に発生するピエゾ分極で打ち消される。これにより、チャンネル部の2 D E Gキャリア濃度を選択的に小さくすることが可能となる。

【0015】

また、p - G a Nベース層6は、n - A l G a Nバリア層4のシート不純物濃度以上のシート不純物濃度を有するように形成される。これにより、2 D E Gチャンネルを空乏化され、ノーマリーオフが実現される。

【0016】

図1に示すように、ベース層6は、ゲート電極16と同様にストライプ状に形成される。これにより、ゲート電圧が0Vの時、ゲート電極16下のチャンネルの電子濃度をゼロとすることが可能となり、ノーマリーオフが実現できる。

【0017】

従来のH F E Tでは、バリア層4の厚さを薄くすることによりノーマリーオフを実現していた。しかし、この場合は、チャンネル以外の2 D E Gキャリア濃度も下がってしまい、ゲート・ソース間、ゲート・ドレイン間のオフセット部分の抵抗が増加してしまう。この結果、オン抵抗が増加していた。これに対して、本実施形態のH F E T 2 2 0では、ベース層6がバリア層4上で選択的に形成されるので、2 D E Gキャリア濃度をチャンネル部のみ小さくすることが可能となる。この結果、オン抵抗を増加させることなくノーマリー

【0018】

ベース層6を選択的に形成する具体的方法には、チャンネル層2、バリア層4、ベース層6と順次に結晶成長を行った後に、エッチングによりパターンを形成する方法と、チャンネル層2、バリア層4を結晶成長した後、絶縁膜を堆積してパターンを形成し、その後選択成長を行う方法が含まれる。

【0019】

さらに、本実施形態のH F E T 2 2 0では、ゲート・ソース間距離 L_{gs1} に比べて、ゲート・ドレイン間距離 L_{gd1} が長くなるように形成されている。H F E Tは横型の素子であることから、その素子耐圧はゲート・ドレイン間の耐圧で決まる。高耐圧素子にするためには、ゲート・ドレイン間距離を長くする必要があり、この一方、寄生抵抗の原因となるゲート・ソース間距離は、耐圧に関係無く短いことが望ましい。

【0020】

また、素子の高耐圧化は、ゲート・ドレイン間の電界分布を平坦化することによっても可能である。その具体的な手段の一つを実現したH F E Tを図1に示すH F E T 2 2 0の変形例として図2の断面図に示す。同図に示すH F E T 2 2 2は、ゲート電極16を覆うようにフィールド絶縁膜32を介してゲート電極16の上方に形成されビアによりソース電極12に接続された第1のフィールドプレート電極34を備える。このような構造により、ゲート電極16の端部の電界が緩和され、素子の耐圧が増加する。なお、フィールド絶縁膜32を間に介することなくフィールドプレート電極34をゲート電極16に接続し

【0021】

図1に示すH F E T 2 2 0の変形例を図3に示す。同図に示すH F E T 2 2 4は、ドレイン電極14に接続された第2のフィールドプレート電極36をさらに備える。これにより、ドレイン電極14の端部の電界も同様に緩和されるので、さらに高耐圧化が可能になる。

【0022】

(第2の実施の形態)

図4は、本発明にかかる半導体装置の第2の実施の形態を模式的に示す断面図である。

10

20

30

40

50

【 0 0 2 3 】

同図に示す GaN 絶縁ゲート型ヘテロ構造電界効果トランジスタ（以下、単に GaN - MIS - HFET という）230 は、バリア層 4 とベース層 6 とを覆うように形成されたゲート絶縁膜 22 を備え、図 1 に示す HFET 220 のゲート電極 16 に代えて、ゲート絶縁膜 22 の上に形成されたゲート電極 18 を備える絶縁ゲート（MIS ゲート）構造となっている。ゲート絶縁膜 22 は、SiN や SiO₂、Al₂O₃ など形成することができる。

【 0 0 2 4 】

本実施形態によれば、このような MIS ゲート構造を採用することにより、ゲートリーク電流をほぼゼロとすることが可能となる。

10

【 0 0 2 5 】

図 4 に示す MIS - HFET のその他の構成は図 1 に示す HFET 220 と実質的に同一である。したがって、ゲート電極 18 と同様のストライプ形状で GaN から形成されたベース層 6 により、第 1 の実施の形態と同様に、ゲート電圧が 0 V の時、ゲート電極下のチャンネルの 2DEG キャリア濃度をゼロとすることができ、ノーマリーオフが実現できる。

【 0 0 2 6 】

図 5 は、図 4 に示す GaN - MIS - HFET 230 の変形例を示す。エッチングによりベース層 6 を局所的に形成する場合、工程のばらつきにより、バリア層 4 までエッチングされてしまうことがある。この場合、バリア層 4 がエッチングされて厚さが変化することで、ゲート・ソース間やゲート・ドレイン間の 2DEG キャリア濃度が変化してしまい、素子のオン抵抗が変化してしまう。

20

【 0 0 2 7 】

図 5 に示す GaN - MIS - HFET 232 は、i - GaN 層で、かつ、エッチング深さのばらつきを超える厚さで形成されてベース層 6 とバリア層 4 の間に介装されたバッファ層 8 をさらに備える。これにより、エッチングばらつきによるオン抵抗のばらつきを抑制することが可能になる。バッファ層 8 は、例えば第 4 の半導体層に対応し、エッチング深さのばらつきを上回る厚さで形成される。これにより、バリア層 4 がエッチングされることがなく、また、バッファ層 8 の厚さが変化してもチャンネルへのシートキャリア濃度は変化しない。このため、一定のオン抵抗を得ることができる。

【 0 0 2 8 】

（第 3 の実施の形態）

図 6 は、本発明にかかる半導体装置の第 3 の実施の形態を模式的に示す断面図である。

30

【 0 0 2 9 】

図 6 に示す GaN - MIS - HFET 240 は、ゲート電極 18 とドレイン電極 14 の間隔 L_{gd} をゲート電極 18 とソース電極 12 の間隔 L_{gs} よりも大きくしている。電力用半導体素子では、高い耐圧が期待され、図 6 に示すような横型素子では、ゲート・ドレイン間でその耐圧を保持する必要がある。このため、ゲート・ドレイン間距離を長くすることで耐圧を大きくすることが可能となる。

【 0 0 3 0 】

図 7 は、図 6 に示す GaN - MIS - HFET 240 の第 1 の変形例を模式的に示す断面図である。同図に示す GaN - MIS - HFET 242 は、更なる高耐圧を得るために、ゲート電極を覆うように形成された第 1 のフィールド絶縁膜 32 と、フィールド絶縁膜 32 の上に形成されビアによりソース電極 12 に接続されたたフィールドプレート電極 38 とをさらに備える。フィールドプレート電極 38 がゲート電極 18 を覆うことでゲート電極 18 の端部の電界が緩和され、耐圧が増加する。

40

【 0 0 3 1 】

図 8 は、図 6 に示す GaN - MIS - HFET 240 の第 2 の変形例を模式的に示す断面図である。同図に示す GaN - MIS - HFET 244 は、さらに耐圧を増加させるため、ドレイン側に形成された第 2 のフィールドプレート電極 42 をさらに備える。この構造により、ドレイン電極 14 の端部での電界が緩和され、耐圧が増加する。なお図 8 に示

50

す例では、フィールド絶縁膜 32 は一様の厚さで形成されているが、厚さを段階的に変化させることで、さらに耐圧を向上させることが可能である。

【0032】

(第4の実施の形態)

図9は、本発明にかかる半導体装置の第4の実施の形態を模式的に示す断面図である。

【0033】

同図に示す GaN-MIS-HFET 250 は、導電性半導体基板 24 上に結晶成長により形成されたチャンネル層 2、バリア層 4 およびベース層 6 と、裏面電極 26 を介して導電性半導体基板 24 と電氣的に接続されたソース電極 12 とを備える。ソース電極 12 に電氣的に接続されることにより、基板 24 もフィールドプレート電極 38 と同様に機能してゲート電極 18 の端部やドレイン電極 14 端部の電界を緩和し、これにより耐圧が増加する。導電性半導体基板としては、Si や SiC、GaN 基板を用いることが可能である。図9に示す GaN-MIS-HFET 250 では、裏面電極 26 とソース電極 12 を接続することでソース電極 12 と基板 24 とを電氣的に接続しているが、これに限ることなく、例えばチャンネル層 2 をエッチングすることにより、ソース電極 12 と同じ表面から接続することもできる。また、導電性基板 24 とチャンネル層 2 との間に結晶成長用のバッファ層を介装しても良い。

10

【0034】

図10は、図9に示す GaN-MIS-HFET 250 の変形例を模式的に示す断面図である。同図に示す GaN-MIS-HFET 252 の特徴は、チャンネル層 2 の下面に高濃度の p 層で形成された正孔吸収層 44 と、正孔吸収層 44 の端部のソース電極 12 と同一表面側に形成された正孔吸収電極 46 をさらに備え、この正孔吸収電極 46 を介して正孔吸収層 44 がソース電極 12 に接続されている点にある。正孔吸収電極 46 は、例えば第5の半導体層に対応する。

20

【0035】

本実施形態によれば、p-GaN層で形成される正孔吸収層 44 上にチャンネル層 2、バリア層 4 およびベース層 6 を順次に形成することにより、耐圧が増加するだけでなく、アバランシェ耐量を向上させることが可能になる。図1から図5に示した HFET の構造では、高いドレイン電圧が印加されて、アバランシェ降伏が起きた場合、電子はドレイン電極 14 に流れ込み、正孔はベース層 6 を介してゲート電極に流れ込む。しかし、図6から図9に示された GaN-MIS-HFET の構造では、正孔を吸収する層が存在しない。このため、アバランシェ耐量が小さくなるという不利益点がある。

30

【0036】

図10に示す GaN-MIS-HFET 252 では、チャンネル層 2 の下に高濃度 p 層で形成され正孔吸収層 44 を備えるので、低い抵抗で正孔を排出することが可能となり、アバランシェ耐量を向上させることが可能となる。また、ソース電極 12 に接続されることにより正孔吸収層 44 がフィールドプレート電極としての機能も果たすので、耐圧がさらに向上する。アバランシェ降伏時の正孔を確実に正孔吸収層 44 に流れ込ませるためには、チャンネル層 2 の厚さをゲート・ドレイン間距離 L_{gd2} よりも小さくすることが望ましい。また、図10に示す例では、ソース電極 12 と同一表面側に形成された正孔吸収電極 46 を介して正孔吸収層 44 とソース電極 12 とが電氣的に接続されているが、正孔吸収層 44 のオーミック電極は裏面から取り出してもよく、電極の取り出し方法に制限されるものではない。

40

【0037】

なお、図1から図5に示す HFET 構造に正孔吸収層を追加的に設けることによっても、アバランシェ耐量を向上させることは可能である。

【0038】

(第5の実施の形態)

図11は、本発明の第5の実施の形態にかかる半導体装置の構成を模式的に示す分解斜視図である。同図に示す GaN-MIS-HFET 260 の特徴は、ソース電極 12 に接

50

続するベース層56を備え、これにより、ベース層が帯電した場合に速やかにキャリアが排出される構造となっている点にある。

【0039】

図6から図10に示した半導体装置では、MISゲート構造であるために、ベース層6がどの電極にも接続されておらず、ベース層6の電位はフローティング電極と同様の状態になる。このため、ベース層6に電子が注入されたり、ベース層6から正孔が排出されると、ベース層6が帯電したままになってしまう。この一方、ソース電極12とゲート電極18の間の領域全面を覆うようにベース層を形成してしまうと、ゲート・ソース間抵抗が大きくなってしまう。図11に示すGaN-MIS-HFET260のベース層56は、ソース電極12と局部的に接続されるように、ソース電極12の長手方向と直交する方向に延在するようにストライプ状に形成された延設部分を有し、この延設部分によりソース電極12と接続されている。ベース層56のうち、ソース電極12の長手方向に沿って形成された部分は、例えば第1のストライプ部分に対応し、ソース電極12の長手方向と直交する方向にストライプ状に形成された延設部分は、例えば第2のストライプ部分に対応する。

10

【0040】

基本的に、ベース層56、バリア層4およびチャネル層2は、p-GaN/n-AlGaN/i-GaNヘテロ構造で形成されているため、ゲート電圧に大きな電圧を印加して、トンネル効果によって電流を流さない限り、ベース層56にはキャリアが注入されることはないが、スイッチング時のノイズなど、何らかの原因でゲート電極に大きな電圧が加わる場合がある。本実施形態によれば、図11に示す形状のベース層56を備えるので、速やかにキャリアを排出することが可能になる。

20

【0041】

なお、ベース層56は、ソース電極12に接続されているので、ゲート電極18に加える電圧によってチャネル部の電位を制御するためには空乏化していることが望ましい。

【0042】

図12は、図11に示すGaN-MIS-HFET260の変形例を示す。本例のGaN-MIS-HFET262が備えるpベース層58は、図11のMIS-HFET260と同様にソース電極12に接続されているが、pベース層58のうちゲート電極18の下の部分は、連続なストライプ形状でなく、分断されて形成されている。このような構造により、pベース層58が厳密に制御された不純物濃度を有していない場合でも安定したゲートしきい値電圧が実現できる。図11に示すように連続した形状でpベース層56が形成されている場合は、pベース層56の不純物濃度に依存してゲートしきい値電圧が変化してしまう。さらに、ゲート電圧によりpベース層56の電位を変化させるために、pベース層56の不純物濃度をある程度低くしなければならない。

30

【0043】

そこで、図12に示すようにpベース層58を不連続に形成すれば、pベース層58が形成されていない部分が選択的にチャネルとなる。この場合、ゲートしきい値電圧は、pベース層58の不純物濃度を十分に高くすると、不純物濃度ではなく、隣り合う間隔WB3の値で決まるようになる。そして、間隔WB3の寸法精度はリソグラフィーの寸法制度で決まるので、ばらつきが小さく、安定したゲートしきい値電圧が実現できる。

40

【0044】

ゲートしきい値電圧がプラスとなり、ノーマリーオフを実現するためには、WB3の間隔を狭くする必要がある。さらに、ゲート・ソース間のオフセット領域におけるpベース層58の延設部分ではチャネルが形成されないため、空乏層の領域をより広く確保し、ゲート・ソース間オフセット領域の抵抗を下げるために、pベース層58の延設部分の間隔WB1を広くする一方、延設部分自身の幅WB2を狭くする必要がある。延設部分の幅WB2は、少なくとも互いのピッチの半分($(WB1 + WB2) / 2$)以下にすることが望ましい。

【0045】

50

なお、図 1 1、1 2 に示した構造においても、フィールドプレート電極を追加的に設けることで耐圧を向上させることは可能であり、さらに正孔吸収層を加えることでアバランシェ耐量を向上させることが可能である。

【 0 0 4 6 】

(第 6 の実施の形態)

図 1 3 は、本発明にかかる半導体装置の第 6 の実施の形態構成を模式的に示す断面図である。

【 0 0 4 7 】

同図に示す H F E T 2 7 0 の特徴は、ゲート電極下の領域でのみ薄くなるようにチャンネル層 2 の上に形成されたバリア層 6 4 を備えるリセスゲート構造となっており、且つ、バリア層 6 4 のリセス部分の底面にベース層 6 が配設されている点にある。バリア層 6 4 は、例えば第 1 導電型またはノンドープの第 2 の半導体層に対応し、また、ベース層 6 は、例えば第 3 の半導体層に対応する。本実施形態によれば、バリア層 6 4 の厚さを局所的に変化させることによりゲート下のチャンネル部でのみ電子濃度をゼロとしている。これにより、オン抵抗を低くしたまま、ノーマリーオフを実現している。

【 0 0 4 8 】

ノーマリーオフを実現するために、チャンネルの電子濃度を決めている、ゲート電極 1 6 下方の薄くなったバリア層 6 4 のシート不純物濃度よりもベース層 6 のシート不純物濃度を大きくすればチャンネルの電子濃度をゼロとすることが可能となる。この一方、バリア層 6 4 のリセス部分以外の厚い部分では、チャンネル層の電子濃度はゼロとならないため、低いオン抵抗が実現される。

【 0 0 4 9 】

図 1 4 は、図 1 3 に示す H F E T 2 7 0 の第 1 の変形例を示す断面図である。同図に示す H F E T 2 7 2 は、ゲート電極 1 6 直下のバリア層 6 4 が薄く形成された部分だけでなくリセスの側面を経てバリア層 6 4 が厚くなっている部分まで延在するように形成された p ベース層 6 6 を備える。このようにリセス底面のみならずバリア層 6 4 が厚くなっている部分まで延在するように p ベース層を形成しても良い。また、図 1 5 は、図 1 3 に示す H F E T 2 7 0 の第 2 の変形例を示す断面図である。同図に示す H F E T 2 7 4 は、ドレイン電極側にまで延設されたベース層 6 8 を備える。ベース層 6 8 は、ドレイン電極 1 4 に触れない範囲でバリア層 6 4 の厚い部分を覆うようにできるだけ長く延設することが好ましく、その延在部分は、バリア層 6 4 の厚い部分の少なくとも半分以上を覆うように形成されることが望ましい。ベース層 6 8 のこのような形状により、ドレイン電極に高電圧が加わった場合でも、バリア層 6 4 の空乏層が速やかにドレイン電極 1 4 側に伸びる。これにより、R E S U R F 層と同様な効果が得られ、ゲート・ドレイン間の電界分布が平坦になってより高い耐圧を得ることができる。

【 0 0 5 0 】

(第 7 の実施の形態)

図 1 6 は、本発明にかかる半導体装置の第 7 の実施の形態の構成を模式的に示す断面図である。

【 0 0 5 1 】

同図に示す G a N - M I S - H F E T 2 8 0 は、バリア層 6 4 とベース層 6 とを覆うように形成されたゲート絶縁膜 8 2 を備え、図 1 5 に示す H F E T 2 7 4 のゲート電極 1 6 に代えて、ゲート絶縁膜 8 2 の上に形成されたゲート電極 8 2 を備える絶縁ゲート (M I S ゲート) 構造となっている。

【 0 0 5 2 】

本実施形態によれば、このような M I S ゲート構造を採用することにより、ゲートリーク電流を小さくすることができる。また、図 1 3 に示す H F E T 2 7 0 の構造と同様に、ベース層 6 のシート不純物濃度は、ゲート電極 7 2 下方の薄くなったバリア層の領域におけるシート不純物濃度よりも大きいことによりノーマリーオフ化が実現できる。

【 0 0 5 3 】

10

20

30

40

50

図17は、図16に示すGaN-MIS-HFET280の第1の変形例を示す断面図である。同図に示すGaN-MIS-HFET282のように、pベース層68をバリア層64の厚い部分にまで延在するように形成しても良い。pベース層68の延在部分は、バリア層64の表面領域のうちゲート電極72とドレイン電極14との間の領域の半分以上を覆うように形成することが望ましい。さらに、図18に示す第2の変形例では、ゲート電極72とドレイン電極14との間隔 L_{gd3} をゲート電極72とソース電極12との間隔 L_{gs3} よりも大きくしている。電力用半導体素子では、高い耐圧が期待され、横型素子では、ゲート・ドレイン間でその耐圧を保持する必要がある。本例のGaN-MIS-HFET284によれば、ゲート・ドレイン間距離を長くすることにより、耐圧を大きくすることが可能となる。

10

【0054】

図19に、さらに高い耐圧を得るための構造を備える第3の変形例を示す。同図に示すGaN-MIS-HFET286は、ゲート電極72を覆うように形成されたフィールド絶縁膜92と、このフィールド絶縁膜92の上に形成されたフィールドプレート電極94とを備える。このようにフィールドプレート電極94がゲート電極72を覆うことでゲート電極72の端部における電界が緩和され、耐圧が増加する。

【0055】

耐圧をより一層増加させる構造を備える第4の変形例を図20に示す。同図に示すGaN-MIS-HFET288の特徴は、フィールド絶縁膜92のドレイン側の上に形成された第2のフィールドプレート電極96をさらに備える点にある。これにより、ドレイン電極14端部での電界が緩和され、耐圧がより一層増加する。なお、図20では、一様な厚さで形成されたフィールド絶縁膜92が示されているが、その厚さを段階的に変化させれば、さらに耐圧を向上させることが可能である。

20

【0056】

(第8の実施の形態)

図21は、本発明にかかる半導体装置の第8の実施の形態の構成を模式的に示す断面図である。同図に示すMIS-HFET290の特徴は、導電性半導体基板24の上にチャネル層2、バリア層64およびベース層68が形成され、裏面電極26を介して導電性半導体基板24がソース電極12に接続されている点にある。これにより、基板24がフィールドプレートの機能を果たし、ゲート/ドレイン間の電界分布が平坦に近づくので、耐圧を向上させることが可能となる。この結果、図19に示すGaN-MIS-HFET286よりもさらに高耐圧を実現することが可能になる。

30

【0057】

図22に、図21に示すMIS-HFET290の変形例を示す。同図に示すMIS-HFET292は、チャネル層の下部にフィールドプレート構造を設けることに代えて、チャネル層2の下にp型GaN層で形成された正孔吸収層44を備える。これにより、下部のフィールドプレート構造と同様の高耐圧化に加えて、正孔を速やかに排出させることができ、アバランシェ耐量をも向上させることが可能になる。

【0058】

(第9の実施の形態)

図23は、本発明にかかる半導体装置の第9の実施の形態の構成を模式的に示す断面図である。

40

【0059】

図16から図22に示した素子は、MISゲート構造であるため、ベース層は、いずれの電極にも接続されておらず、このため各ベース層はフローティング電極と同様になる。したがって、ベース層に電子が注入されたり、ベース層から正孔が排出されたりすると、ベース層は帯電したままになってしまう。

【0060】

図23に示すMIS-HFET300は、ソース電極12に接続されたベース層74を備え、この構造により、ベース層が帯電した場合に速やかにキャリアが排出される。この

50

一方、図11に示すMIS-HFET260の場合とは異なり、ソース電極12とゲート電極72との間の領域全面を覆うようにベース層74を形成しても、バリア層64がチャンネル部以外は厚いため、ゲート・ソース間抵抗は大きくなることなく、オン抵抗は増加しない。

【0061】

また、チャンネル部の電位をゲート電極に加える電圧によって制御するためにベース層74はソース電極12に接続されているが、ゲート・ソース間の厚いバリア層64のキャリアによって空乏化される程度にベース層74の不純物濃度は小さいことが望ましい。

【0062】

図24は、図23に示すMIS-HFET300の変形例を模式的に示す分解斜視図である。同図に示すMIS-HFET302によれば、ゲート電極72直下のベース層75が局所的に形成されるので、図12に示すMIS-HFET260と同様にpベース層75の不純物濃度が高く、厳密な濃度制御を行わずとも、オン抵抗の増大やゲートしきい値電圧の変化のない素子を実現できる。

10

【0063】

また、図23および図24に示す構造についても、フィールドプレート電極を加えることで耐圧を向上させることができ、正孔吸収層を加えることでアバランシェ耐量を向上させることができる。

【0064】

(第10の実施の形態)

20

図25は、本発明にかかる半導体装置の第10の実施の形態の構成を模式的に示す断面図である。

【0065】

図25に示すHFET310の特徴は、p型GaN層で形成されたチャンネル層102を備え、これにより、ゲートしきい値電圧がプラス側にシフトする点にある。チャンネル層102は、例えば第2導電型の第2の半導体層に対応する。また、バリア層64は、上述した第7乃至第9の実施の形態と同様に、ゲート電極形成予定領域でのみ薄く形成したりセスゲート構造になっているので、ゲート電極16の直下の領域でのみ2DEGキャリア濃度が小さくなり、ノーマリーオフを実現し易くなる。この一方、ゲート・ドレイン間やゲート・ソース間のオフセット部分では2DEGキャリア濃度が大きいので、オン抵抗は小さい。本実施形態でのバリア層64は、例えば第1導電型またはノンドープの第1の半導体層に対応する。

30

【0066】

HFET310のこのような構造は、図13に示すHFET270のようにバリア層64上にp-GaN層を配置した場合に比べて、AlGaN/GaNヘテロ界面におけるピエゾ分極による2DEGキャリアの発生を抑えることができない。このため、p型チャンネル層102のシート不純物濃度はバリア層64のシート不純物濃度よりもピエゾ分極によるチャージの分だけさらに大きくしないとノーマリーオフが実現されないという不利益点がある。しかしながら、本実施形態のHFET310には、リセスゲート形成後に再成長の工程が必要ないので、一回の結晶成長で形成が可能という利点がある。

40

【0067】

図26は、図25に示すHFET310の第1の変形例を模式的に示す断面図である。同図に示すHFET312は、p型チャンネル層102の下にi-GaNで形成されたチャンネル層2をさらに備える。ゲートしきい値電圧は、バリア層64のシート不純物濃度とp型チャンネル層102のシート不純物濃度から決まるので、ヘテロ界面近傍のみにp型チャンネル層を形成して良い。

【0068】

図27は、図25に示すHFET310の第2の変形例を模式的に示す断面図である。同図に示すHFET314の特徴は、p型チャンネル層102とソース電極104とが接続されている点にある。このような構造により、アバランシェ降伏時に発生する正孔が速や

50

かに排出されるので、アバランシェ耐量が向上される。ただし、図 27 に示す構造では、p 型チャネル層 102 の不純物濃度が高過ぎると、電圧が印加された場合に空乏化せず、低い電圧でアバランシェ降伏が起きてしまい、耐圧が低下するおそれがある。そこで、高耐圧が得られるように p 型チャネル層 102 も電圧が加わると空乏化する構造を採用することが望ましい。具体的には、p 型チャネル層 102 のシート不純物濃度をバリア層 64 と同程度のシート不純物濃度にすればよい。

【0069】

図 28 は、図 25 に示す H F E T 3 1 0 の第 3 の変形例を模式的に示す断面図である。同図に示す H F E T 3 1 6 は、図 27 に示す構造に加え、フィールド絶縁膜 32 上でゲート電極 16 を覆うように形成されソース電極 104 に接続されたフィールドプレート電極 34 をさらに備える。このような構造により、ゲート電極 16 の端部の電界が緩和されるので、素子の耐圧を向上させることが可能になる。さらに、図 29 に示す H F E T 3 1 8 のように、フィールド絶縁膜 32 上のドレイン側についてもフィールドプレート電極 36 を追加的に設けることにより、さらに耐圧を向上させることが可能になる。

【0070】

(第 11 の実施の形態)

図 30 は、本発明にかかる半導体装置の第 11 の実施の形態の構成を模式的に示す断面図である。同図に示す M I S - H F E T 3 2 0 の特徴は、バリア層 64 の表面に形成されたゲート絶縁膜 84 をさらに備え、このゲート絶縁膜 84 を介してゲート電極 16 がバリア層 64 の凹部に形成されている点にある。このような M I S ゲート構造にも本発明を適用することができる。さらに、図 31 および図 32 にそれぞれ示す変形例 322, 324 のように、ゲート電極 16 を覆うようにフィールド絶縁膜 32 を介してフィールドプレート電極 34 を設ければ、ゲート電極 12 の端やドレイン電極 14 の端の電界集中を緩和して、耐圧をさらに向上させることが可能になる。

【0071】

さらに、図 33 に示す M I S - H F E T 3 2 6 のように、p 型チャネル層 102 をソース電極 104 と接続すれば、正孔を速やかに排出させることができるので、アバランシェ耐量を大きくすることが可能になる。

【0072】

以上、第 1 乃至第 11 の実施の形態について説明したが、本発明は、上述した実施の形態に限定されるものではなく、当業者であれば、これ以外にも本発明の技術的範囲内でさまざまな変形例を容易に考えることができる。

【0073】

例えば、チャネル層 2、ベース層 6、およびバッファ層 8 は G a N 層を用いて説明したが、A l G a N 層として、A l 組成比を 3 層とも同じにし、バリア層 4 よりも小さくすることで実施可能である。また、バッファ層 8 の A l 組成比は、チャネル層 2 とベース層 6 と同じとしたが、異なる組成比でも実施可能である。ただし、バリア層 4 とチャネル層 2 のヘテロ界面でのピエゾ分極を打ち消して、ゲート電極下の 2 D E G キャリア濃度を低下させるためには、バッファ層 8 とチャネル層 2 の A l 組成比は等しいことが望ましい。

【0074】

また、チャネル層に I n G a N 層、バリア層に G a N 層を用いた場合や、チャネル層に A l G a N 層、バリア層に A l N 層を用いた場合など、組成比によりバンドギャップを変化させた場合でもバンドギャップの大小関係が同じであれば実施可能である。

【0075】

また、変調ドープやヘテロ界面の急峻さを保つためにチャネル層 2 とバリア層 4 の間やバリア層 4 とベース層 6 の間に i - A l G a N 層を挿入しても実施可能である。

【0076】

さらにまた、チャネル層やバリア層などの半導体層は、基板上に結晶成長することにより形成可能であり、G a N や S i C、サファイア、S i などの基板で実施可能であるが、本発明は基板の材料に限定されるものではなく、結晶成長に伴うバッファ層などがチャネ

10

20

30

40

50

ル層の下に形成されていても実施可能である。

【0077】

さらにまた、本発明では、ノーマリーオフの実現を目的として、AlGa_nNバリア層上にGa_nN層を形成すれば、ノーマリーオンの素子においても、しきい値電圧をプラス側にシフトさせることができる。特に、ベース層6とチャンネル層2のAl組成比を同じものとしたが、ピエゾ分極によるキャリアを低減するという意味では、Al組成比が同じでなくても、バリア層4のAl組成比よりも小さければ実施可能である。

【図面の簡単な説明】

【0078】

【図1】本発明にかかる半導体装置の第1の実施の形態を模式的に示す断面図である。 10

【図2】図1に示す半導体装置の第1の変形例を模式的に示す断面図である。

【図3】図1に示す半導体装置の第2の変形例を模式的に示す断面図である

【図4】本発明にかかる半導体装置の第2の実施の形態を模式的に示す断面図である。

【図5】図4に示す半導体装置の変形例を模式的に示す断面図である

【図6】本発明にかかる半導体装置の第3の実施の形態を模式的に示す断面図である。

【図7】図6に示す半導体装置の第1の変形例を模式的に示す断面図である。

【図8】図6に示す半導体装置の第2の変形例を模式的に示す断面図である。

【図9】本発明にかかる半導体装置の第4の実施の形態を模式的に示す断面図である。

【図10】図9に示す半導体装置の変形例を模式的に示す断面図である。

【図11】本発明にかかる半導体装置の第5の実施の形態を模式的に示す分解斜視図である。 20

【図12】図11に示す半導体装置の変形例を模式的に示す分解斜視図である。

【図13】本発明にかかる半導体装置の第6の実施の形態を模式的に示す断面図である。

【図14】図13に示す半導体装置の第1の変形例を模式的に示す断面図である。

【図15】図13に示す半導体装置の第2の変形例を模式的に示す断面図である。

【図16】本発明にかかる半導体装置の第7の実施の形態の構成を模式的に示す断面図である。

【図17】図16に示す半導体装置の第1の変形例を模式的に示す断面図である。

【図18】図16に示す半導体装置の第2の変形例を模式的に示す断面図である。

【図19】図16に示す半導体装置の第3の変形例を模式的に示す断面図である。 30

【図20】図16に示す半導体装置の第4の変形例を模式的に示す断面図である。

【図21】本発明にかかる半導体装置の第8の実施の形態の構成を模式的に示す断面図である。

【図22】図21に示す半導体装置の変形例を模式的に示す断面図である。

【図23】本発明にかかる半導体装置の第9の実施の形態の構成を模式的に示す断面図である。

【図24】図23に示す半導体装置の変形例を模式的に示す分解斜視図である。

【図25】本発明にかかる半導体装置の第10の実施の形態の構成を模式的に示す断面図である。

【図26】図25に示す半導体装置の第1の変形例を模式的に示す断面図である。 40

【図27】図25に示す半導体装置の第2の変形例を模式的に示す断面図である。

【図28】図25に示す半導体装置の第3の変形例を模式的に示す断面図である。

【図29】図25に示す半導体装置の第4の変形例を模式的に示す断面図である。

【図30】本発明にかかる半導体装置の第11の実施の形態の構成を模式的に示す断面図である。

【図31】図30に示す半導体装置の第1の変形例を模式的に示す断面図である。

【図32】図30に示す半導体装置の第2の変形例を模式的に示す断面図である。

【図33】図30に示す半導体装置の第3の変形例を模式的に示す断面図である。

【符号の説明】

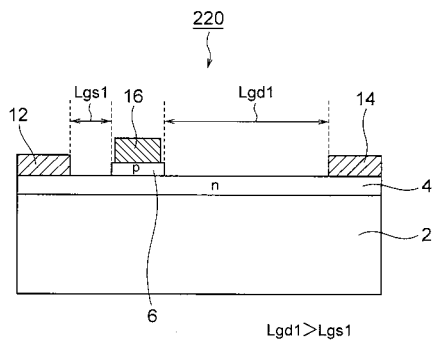
【0079】

- 2 チャンネル層
- 4, 64 n型バリア層
- 6, 56, 66, 68, 74, 75 p型ベース層
- 8 バッファ層
- 12, 104 ソース電極
- 14 ドレイン電極
- 16, 72 ゲート電極
- 18, 22, 82, 84 ゲート絶縁膜
- 24 導電性半導体基板
- 26 裏面電極
- 32, 42, 92 フィールド絶縁膜
- 34, 36, 38, 94, 96 フィールドプレート電極
- 44 正孔吸収層
- 46 正孔吸収用電極
- 102 p型チャンネル層
- 220, 222, 224, 250, 252, 270, 272, 274, 310, 312, 314, 316, 318 HFET
- 230, 232, 240, 242, 244, 260, 262, 280, 282, 284, 286, 288 GaN-MIS-HFET
- 290, 292, 300, 302, 320, 322, 324, 326 MIS-HFET
- Lgs1, Lgs2, Lgs3 ゲート・ソース間距離
- Lgd1, Lgd2, Lgd3 ゲート・ドレイン間距離
- WB1 ベース層の延在部分の間隔
- WB2 ベース層の在部分の幅
- WB3 ベース層のゲート電極直下部分の間隔

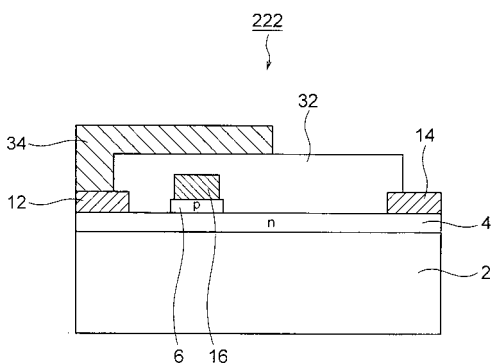
10

20

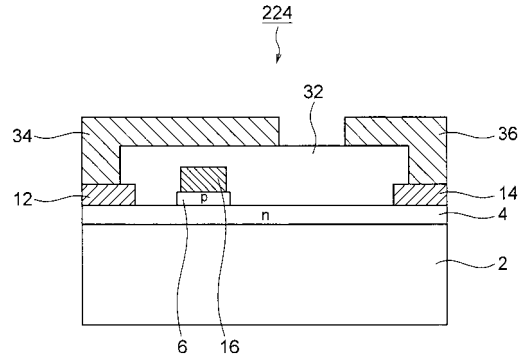
【図1】



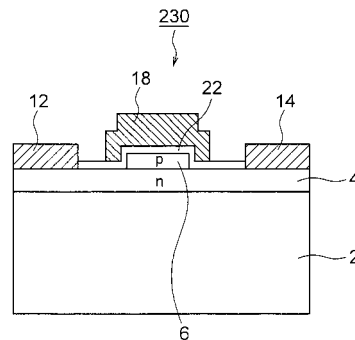
【図2】



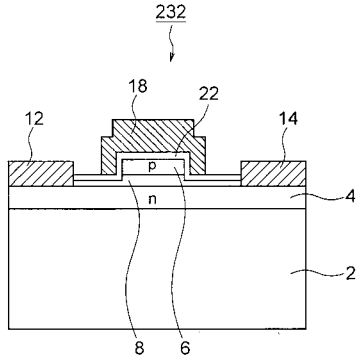
【図3】



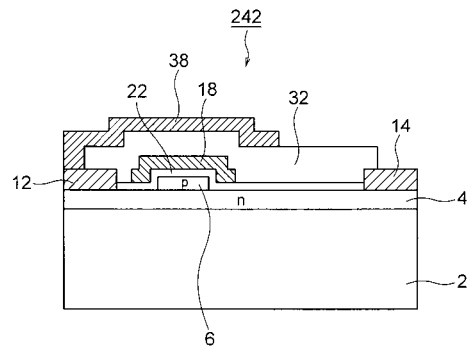
【図4】



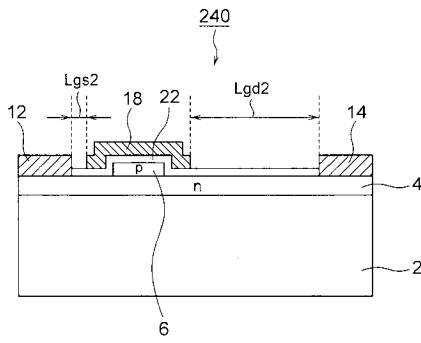
【図5】



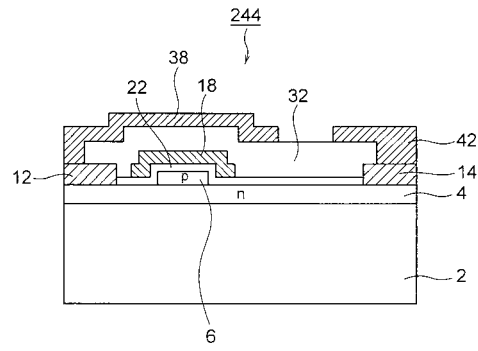
【図7】



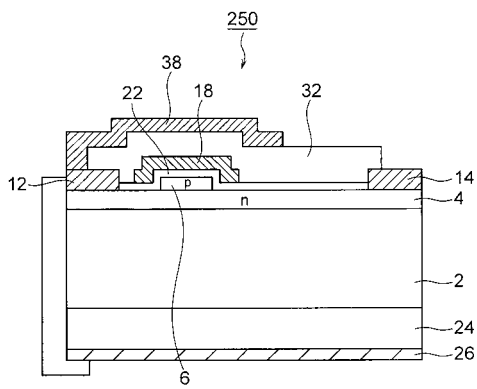
【図6】



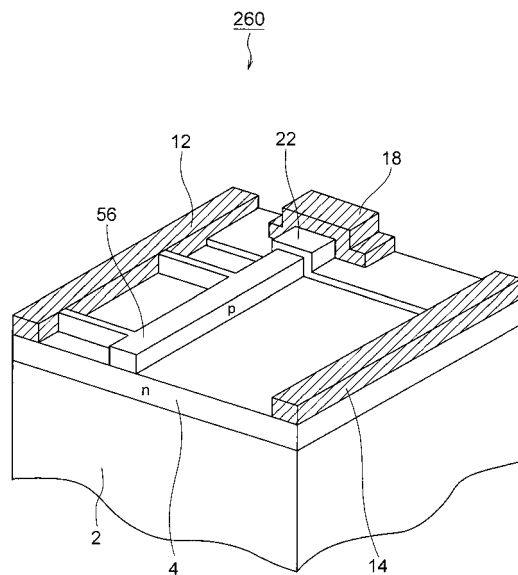
【図8】



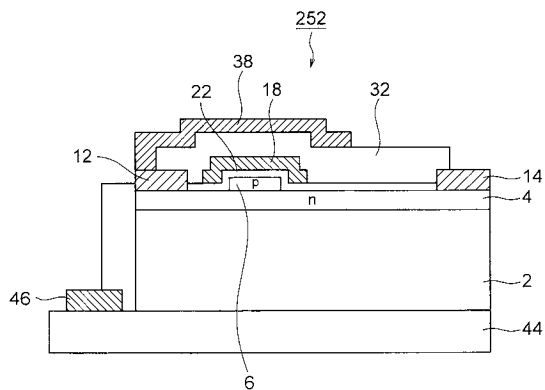
【図9】



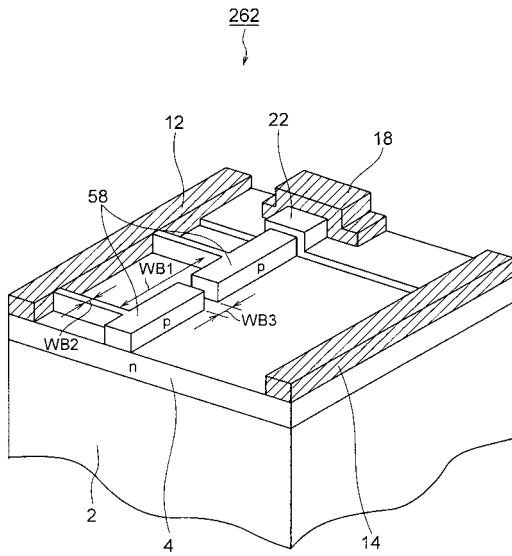
【図11】



【図10】

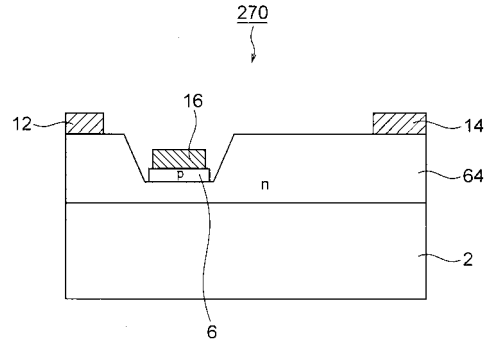


【 図 1 2 】

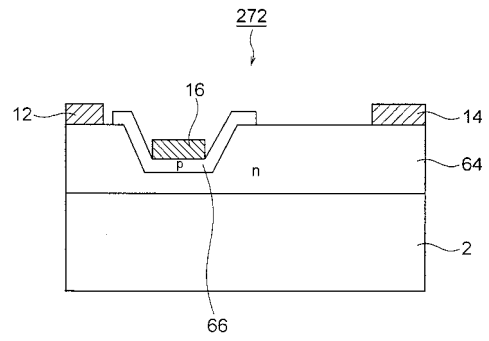


WB1 > WB2
WB1 > WB3

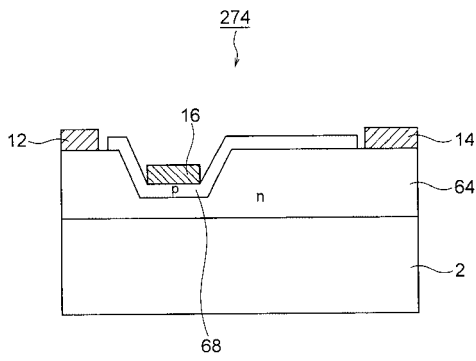
【 図 1 3 】



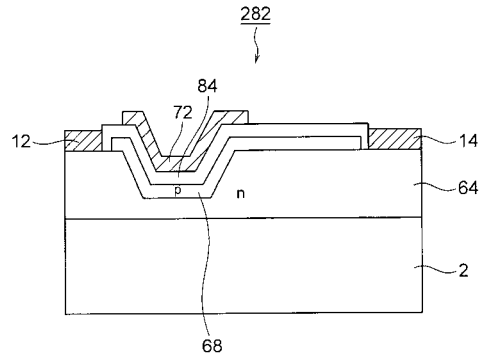
【 図 1 4 】



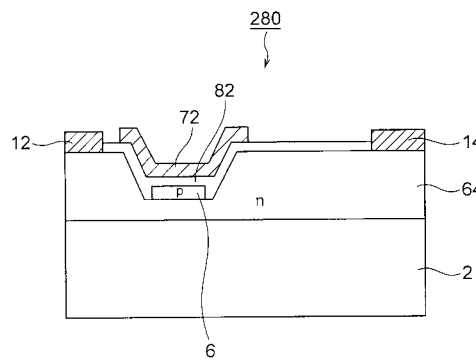
【 図 1 5 】



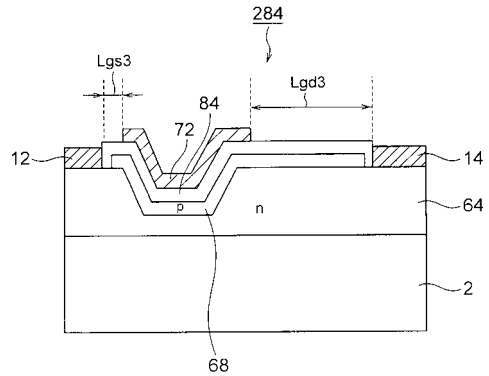
【 図 1 7 】



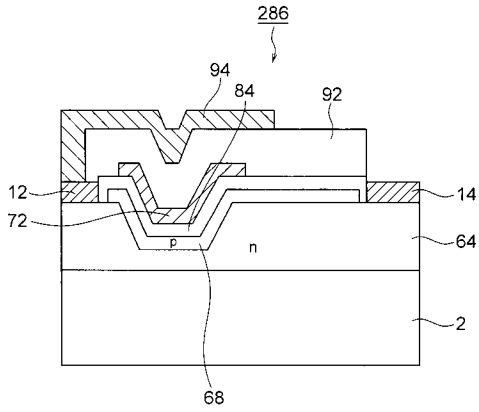
【 図 1 6 】



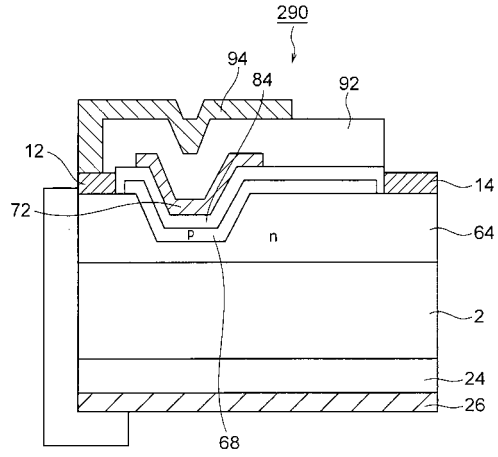
【 図 1 8 】



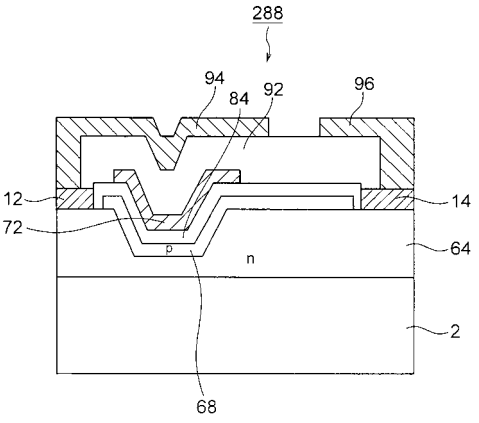
【**図 19**】



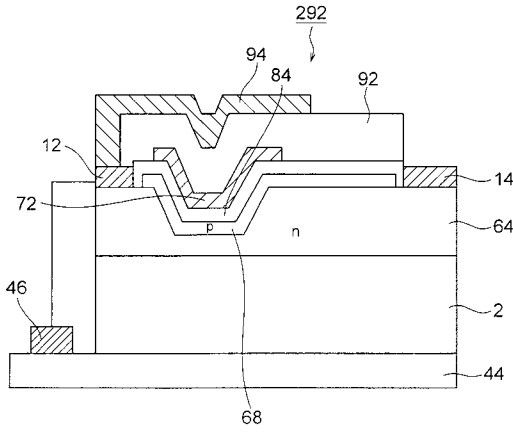
【**図 21**】



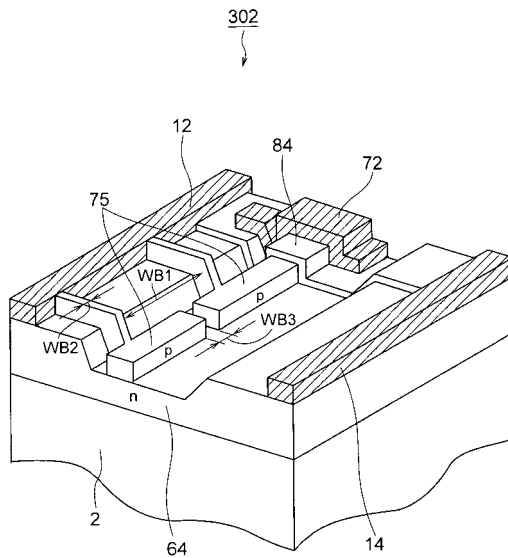
【**図 20**】



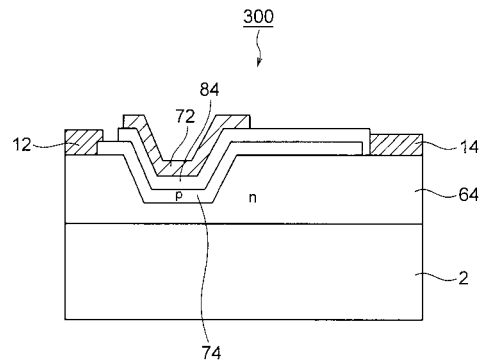
【**図 22**】



【**図 24**】

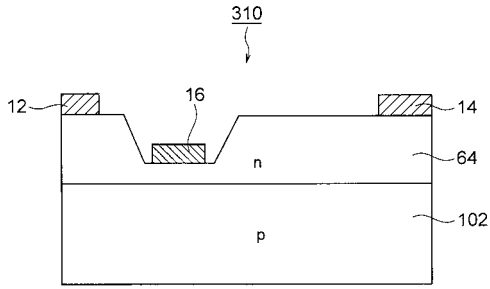


【**図 23**】

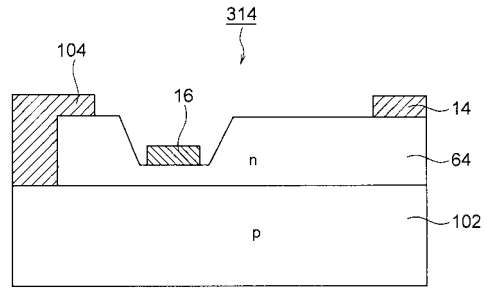


WB1 > WB2
WB1 > WB3

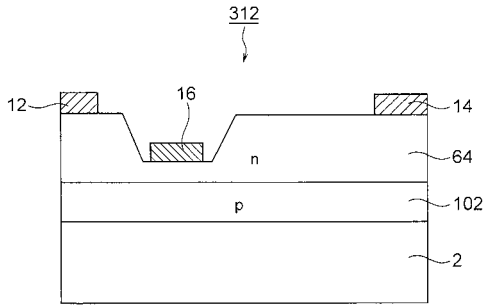
【図 25】



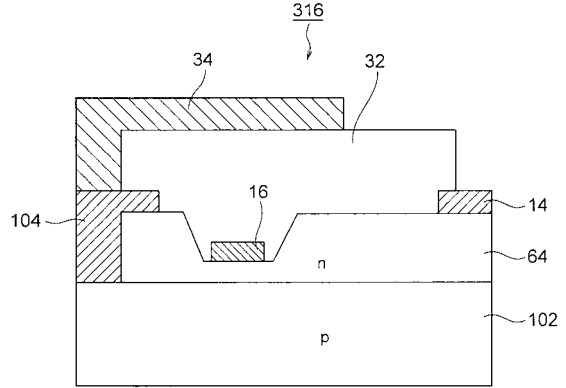
【図 27】



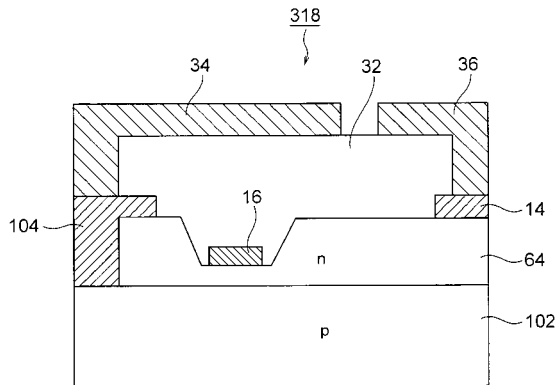
【図 26】



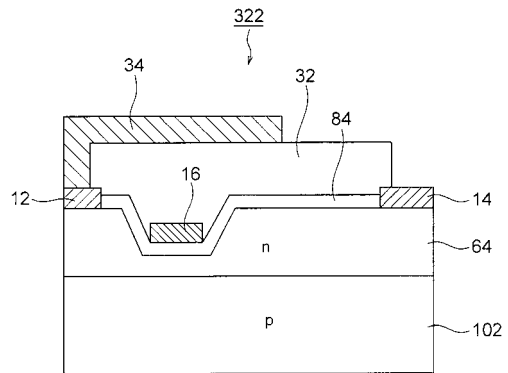
【図 28】



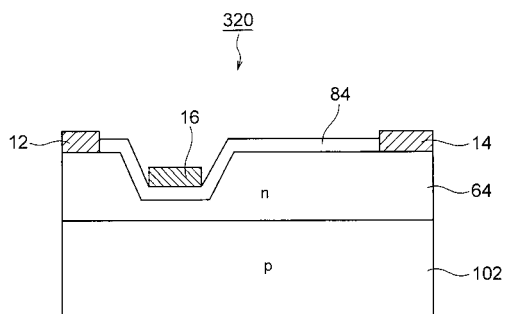
【図 29】



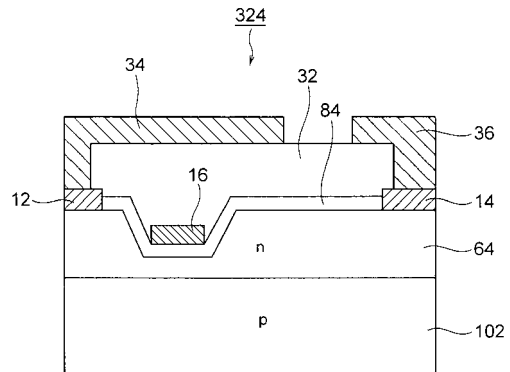
【図 31】




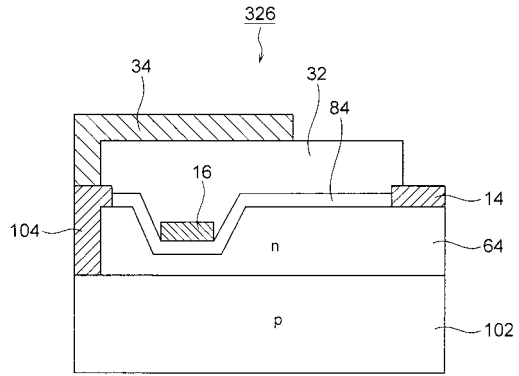
【図 30】



【図 32】



【 3 3】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/812 (2006.01)

(72)発明者 齋 藤 渉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 大 村 一 郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 宇多川 勉

(56)参考文献 特開平11-261053(JP,A)
特開昭58-170070(JP,A)
国際公開第03/032397(WO,A1)
特開昭62-171164(JP,A)
特開2004-048058(JP,A)
特開平06-310535(JP,A)
特表平10-505951(JP,A)
特開2004-273486(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 7
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 9 / 7 7 8
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 0 8
H 0 1 L 2 9 / 8 1 2