



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ЗАЯВКА НА ИЗОБРЕТЕНИЕ

(21)(22) Заявка: 2012109385/08, 12.03.2012

Приоритет(ы):

(22) Дата подачи заявки: 12.03.2012

(43) Дата публикации заявки: 20.09.2013 Бюл. № 26

Адрес для переписки:

129090, Москва, ул. Б. Спасская, 25, стр.3, ООО
"Юридическая фирма Городисский и Партнеры"

(71) Заявитель(и):

ЭлЭсАй КОРПОРЕЙШН (US)

(72) Автор(ы):

ШУТКИН Юрий Семенович (RU),
НЕЗНАНОВ Илья Владимирович (RU),
СОКОЛОВ Андрей Павлович (RU),
ПАНТЕЛЕЕВ Павел Анатольевич (RU),
ГАСАНОВ Эльяр Эльдарович (RU)**(54) ОПТИМИЗАЦИЯ ПРОЦЕССОРОВ ДАННЫХ С ИСПОЛЬЗОВАНИЕМ НЕРЕГУЛЯРНЫХ КОМБИНАЦИЙ****(57) Формула изобретения**

1. Способ согласования скоростей потока данных в передатчике, причем данный способ включает в себя:

подачу потока данных, который подвергается модификации по меньшей мере одного типа, на процессор;

определение, на основе упомянутой модификации по меньшей мере одного типа, длинной комбинации и короткой комбинации для каждой из одной или более итераций, причем каждая длинная комбинация и каждая короткая комбинация i) создается из длинной комбинации и короткой комбинации по меньшей мере одной предыдущей итерации, ii) каждая длинная комбинация некоторой итерации длиннее по длине, чем длинная комбинация предыдущей итерации, и iii) каждая короткая комбинация некоторой итерации длиннее по длине, чем короткая комбинация предыдущей итерации;

начиная с текущей итерации, соответствующей длинной комбинации наибольшей длины и короткой комбинации наибольшей длины, и повторяя для каждой последующей итерации, соответствующей длинной и короткой комбинации все более уменьшающейся длины до тех пор, пока поток данных не будет обработан:

идентификацию процессором по меньшей мере одного частичного преобразования данных в пределах частей потока данных на основе длинной комбинации и короткой комбинации для этой итерации и на основе состояния процессора, причем каждое частичное преобразование данных включает в себя подстановку соответствующей комбинации битов для упомянутой части потока данных;

применение частичного преобразования данных для соответствующей идентифицированной комбинации битов к соответствующей части потока данных, обновление состояния процессора, и повторение этапов идентифицирования, применения и обновления для текущей итерации.

2. Способ по п.1, в котором по меньшей мере одна модификация выбирается из

группы, состоящей из выкалывания, копирования и повторения.

3. Способ по п.2, дополнительно включающий в себя передачу обработанного потока данных на приемник.

4. Способ по п.1, в котором каждая длинная комбинация и каждая короткая комбинация для итерации i , где i является целым числом, большим 1, создается из длинной комбинации и короткой комбинации итерации $(i-2)$.

5. Способ по п.1, в котором обновление состояния процессора включает в себя обновление текущего счета битов потока данных и по меньшей мере одного значения ошибки, относящегося к текущему частичному преобразованию данных и требуемому частичному преобразованию данных для соответствующей итерации.

6. Способ по п.1, в котором длина каждой части потока данных для некоторой итерации, которая обрабатывается на этапе применения частичного преобразования данных, относится к числу битов для типа модификации в каждой длинной комбинации и каждой короткой комбинации для соответствующей итерации.

7. Способ по п.1, причем данный способ реализуется в модуле обработки устройства беспроводной связи.

8. Способ по п.7, причем данный способ реализуется в модуле обработки устройства беспроводной связи, работающем в соответствии со стандартом беспроводной связи 3GPP.

9. Устройство для согласования скоростей обработанных данных в передатчике, причем данное устройство включает в себя:

подачу потока данных, который подвергается модификации по меньшей мере одного типа, на процессор;

причем процессор определяет, на основе модификации по меньшей мере одного типа, длинную комбинацию и короткую комбинацию для каждой из одной или более итераций, при этом каждая длинная комбинация и каждая короткая комбинация i) создается из длинной комбинации и короткой комбинации по меньшей мере одной предыдущей итерации, ii) каждая длинная комбинация некоторой итерации длиннее по длине, чем длинная комбинация предыдущей итерации, и iii) каждая короткая комбинация некоторой итерации длиннее по длине, чем короткая комбинация предыдущей итерации;

модуль согласования скоростей, который выполнен с возможностью, начиная с текущей итерации, соответствующей длинной комбинации наибольшей длины и короткой комбинации наибольшей длины, и с повторением для каждой последующей итерации, соответствующей длинной и короткой комбинации все более уменьшающейся длины до тех пор, пока поток данных не будет обработан:

идентифицировать по меньшей мере одно частичное преобразование данных в пределах частей потока данных на основе длинной комбинации и короткой комбинации для итерации и на основе состояния процессора, причем каждое частичное преобразование данных включает в себя подстановку соответствующей комбинации битов для части потока данных;

применять частичное преобразование данных для соответствующей идентифицированной комбинации битов к соответствующей части потока данных, и обновлять состояние процессора.

10. Устройство по п.9, в котором по меньшей мере одна модификация выбирается из группы, состоящей из выкалывания, копирования и повторения.

11. Устройство по п.9, дополнительно включающее в себя приемник для приема обработанного потока данных и преобразования его в исходный поток данных.

12. Устройство по п.9, в котором:

каждая длинная комбинация и каждая короткая комбинация для итерации i , где i является целым числом, большим 1, создается из длинной комбинации и короткой

комбинации итерации (i-2).

13. Устройство по п.9, в котором обновлением состояния процессора обновляется текущий счет битов потока данных и по меньшей мере одно значение ошибки, относящееся к текущему частичному преобразованию данных и требуемому частичному преобразованию данных для соответствующей итерации.

14. Устройство по п.9, в котором длина каждой части потока данных для некоторой итерации, которая обрабатывается путем применения частичного преобразования данных, относится к числу битов для типа модификации в каждой длинной комбинации и каждой короткой комбинации для соответствующей итерации.

15. Устройство по п.9, в котором процессор реализован в устройстве беспроводной связи.

16. Устройство по п.15, в котором устройство беспроводной связи работает в соответствии со стандартом беспроводной связи 3GPP.

17. Не изменяемый со временем машиночитаемый носитель информации, содержащий кодированный программный код, причем, когда программный код исполняется машиной, машина реализует способ согласования скоростей потока данных в передатчике, включающий в себя этапы:

подачи потока данных, который подвергается модификации по меньшей мере одного типа, на процессор;

определения, на основе модификации по меньшей мере одного типа, длинной комбинации и короткой комбинации для каждой из одной или более итераций, причем каждая длинная комбинация и каждая короткая комбинация i) создается из длинной комбинации и короткой комбинации по меньшей мере одной предыдущей итерации, ii) каждая длинная комбинация некоторой итерации длиннее по длине, чем длинная комбинация предыдущей итерации, и iii) каждая короткая комбинация некоторой итерации длиннее по длине, чем короткая комбинация предыдущей итерации;

начиная с текущей итерации, соответствующей длинной комбинации наибольшей длины и короткой комбинации наибольшей длины, и с повторением для каждой последующей итерации, соответствующей длинной и короткой комбинации все более уменьшающейся длины до тех пор, пока поток данных не будет обработан:

идентификации процессором по меньшей мере одного частичного преобразования данных в пределах частей потока данных на основе длинной комбинации и короткой комбинации для итерации и на основе состояния процессора, причем каждое частичное преобразование данных включает в себя подстановку соответствующей комбинации битов для части потока данных;

применения частичного преобразования данных для соответствующей идентифицированной комбинации битов к соответствующей части потока данных, обновления состояния процессора, и повторения этапов идентификации, применения и обновления для текущей итерации.