

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-194965

(P2017-194965A)

(43) 公開日 平成29年10月26日(2017.10.26)

| | | | | |
|--------------------------------|--|---------|-------------|-------------|
| (51) Int.Cl. | | F I | | テーマコード (参考) |
| G 0 6 F 11/10 (2006.01) | | G 0 6 F | 11/10 6 6 8 | 5 B 0 0 1 |
| G 1 1 C 16/28 (2006.01) | | G 1 1 C | 16/28 | 5 B 2 2 5 |
| G 1 1 C 7/14 (2006.01) | | G 1 1 C | 7/14 | |

審査請求 有 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2017-81958 (P2017-81958)
 (22) 出願日 平成29年4月18日 (2017. 4. 18)
 (31) 優先権主張番号 15/132, 771
 (32) 優先日 平成28年4月19日 (2016. 4. 19)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595039162
 華邦電子股▲ふん▼有限公司
 Winbond Electronics Corp.
 台湾台中市大雅區中部科學園區科雅一路8號
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 黄 科穎
 米国 カリフォルニア 9 5 1 2 9, サ
 ン ホセ, プレントウッド ドライブ
 9 5 4
 Fターム(参考) 5B001 AA03 AB05 AD03
 5B225 BA02 CA01 DE08 EA01 EA05
 EG12 EH01 EK01 FA02 FA05

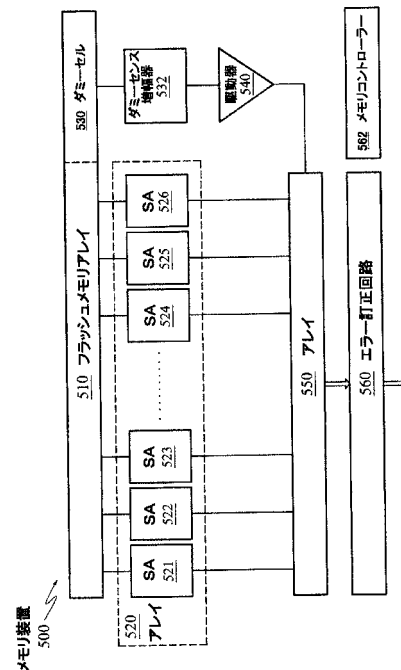
(54) 【発明の名称】 ECC使用可能フラッシュメモリにおける読み取り時間制御の装置と方法

(57) 【要約】

【課題】 ECC使用可能フラッシュメモリにおける読み取り時間制御の装置と方法を提供する。

【解決手段】 フラッシュ半導体メモリにおいて、所定数のクロックを、個々の操作ではなく、結合操作に割り当てるとともに、フラッシュ半導体メモリを、高V_{CC} 値時に高い周波数、および、低V_{CC} 値時に低い周波数で操作させることにより、感知、および、連続ECC符号化操作がV_{CC} 値の範囲で実行されて、時間を浪費しない。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体メモリであって、
 フラッシュメモリアレイと、
 前記フラッシュメモリアレイに結合される複数のセンス増幅器と、
 前記複数のセンス増幅器に結合される複数の高速メモリ素子と、
 前記高速メモリ素子に結合されるエラー訂正符号 (“ E C C ”)回路と、
 前記フラッシュメモリアレイに関連する少なくとも一つのダミーフラッシュメモリセルと、
 前記ダミーフラッシュメモリセルに関連する少なくとも一つのダミーセンス増幅器と、
 前記ダミーセンス増幅器に結合される入力端、および、前記高速メモリ素子に結合される
 出力端を有する駆動器、および、
 前記フラッシュメモリアレイ、前記センス増幅器、前記ダミーセンス増幅器、および、前
 記 E C C 回路に結合され、且つ、ロジック回路、および、メモリ素子を有するメモリコン
 トローラと、を有し、
 前記メモリコントローラは、
 公称電源電圧と第一周波数の条件下で、所定総数のクロックパルス、および、第一比率関
 係を有する個別数目のクロックパルスで、感知操作、および、連続 E C C 操作を実行し、
 公称電圧より高い電源電圧と前記第一周波数より大きい第二周波数の条件下で、前記所定
 総数のクロックパルス、および、前記第一比率関係より小さい第二比例関係を有する個別
 数目のクロックパルスで、前記感知操作、および、前記連続 E C C 操作を実行し、および
 公称電圧より低い電源電圧と前記第一周波数より低い第三周波数の条件下で、前記所定総
 数のクロックパルス、および、前記第一比率関係より大きい第三比率関係を有する個別数
 目のクロックパルスで、前記感知操作、および、前記連続 E C C 操作を実行することを特
 徴とする半導体メモリ。

10

20

【請求項 2】

前記フラッシュメモリアレイは、N O R フラッシュメモリアレイを有することを特徴とす
 る請求項 1 に記載の半導体メモリ。

【請求項 3】

前記フラッシュメモリアレイは、N A N D フラッシュメモリアレイを有することを特徴と
 する請求項 1 に記載の半導体メモリ。

30

【請求項 4】

前記所定総数のクロックパルスは 9、前記第一比率関係は 3 . 5、前記第二比率関係は 1
 . 0、前記第三比率関係は 4 . 2 であることを特徴とする請求項 1 に記載の半導体メモリ
 。

【請求項 5】

さらに、追加ダミーフラッシュメモリセル、および、追加センス増幅器、を有し、
 前記追加ダミーフラッシュメモリセルは、前記フラッシュメモリアレイに関連し、前記ダ
 ミーフラッシュメモリセルは読み取りゼロセルであるとともに、前記追加ダミーフラッシ
 ュメモリセルは読み取り 1 セルであり、
 前記追加センス増幅器は、前記追加ダミーフラッシュメモリセルに結合され、
 前記駆動器は、前記追加ダミーセンス増幅器に結合される追加入力端を有することを特徴
 とする請求項 1 に記載の半導体メモリ。

40

【請求項 6】

前記駆動器は、前記センス増幅器、および、前記追加センス増幅器からの入力に反応して
 、ラッチ制御パルスを生成するロジック回路を有することを特徴とする請求項 5 に記載の
 半導体メモリ。

【請求項 7】

半導体メモリであって、

50

フラッシュメモリアレイと、
 前記フラッシュメモリアレイに結合される複数のセンス増幅器と、
 前記複数のセンス増幅器に結合される複数の高速メモリ素子と、
 前記高速メモリ素子に結合されるエラー訂正符号 (“ E C C ”)回路と、
 前記フラッシュメモリアレイに関連するダミー読み取りゼロフラッシュメモリセルと、
 前記読み取りゼロダミーフラッシュメモリセルに結合される第一ダミーセンス増幅器と、

前記フラッシュメモリアレイに関連するダミー読み取り 1 フラッシュメモリセルと、
 前記読み取り 1 ダミーフラッシュメモリセルに結合される第二ダミーセンス増幅器と、
 前記第一ダミーセンス増幅器に結合される第一入力端、および、前記第二ダミーセンス増幅器に結合される第二入力端を有し、ラッチ制御パルスの出力端で、前記第一ダミーセンス増幅器、および、前記第二ダミーセンス増幅器の感知時間の差異の函数として提供し、
 前記出力端 が前記高速メモリ素子に結合されるロジック回路、および、
 前記フラッシュメモリアレイ、前記センス増幅器、前記ダミーセンス増幅器、および、前記 E C C 回路に結合され、且つ、ロジック回路、および、メモリ素子を有するメモリコントローラと、を有し、
 前記メモリコントローラは、
 公称電源電圧と第一周波数の条件下で、所定総数のクロックパルス、および、第一比率関係を有する個別数目のクロックパルスで、感知操作、および、連続 E C C 操作を実行し、
 公称電圧より高い電源電圧と前記第一周波数より大きい第二周波数の条件下で、前記所定総数のクロックパルス、および、前記第一比率関係より小さい第二比例関係を有する個別数目のクロックパルス、前記感知操作、および、前記連続 E C C 操作を実行し、および、
 公称電圧より低い電源電圧と前記第一周波数より低い第三周波数の条件下で、前記所定総数のクロックパルス、および、前記第一比率関係より大きい第三比率関係を有する個別数目のクロックパルスで、前記感知操作、および、前記連続 E C C 操作を実行する、
 ことを特徴とする半導体メモリ。

【請求項 8】

前記フラッシュメモリアレイは、N O R フラッシュメモリアレイを有することを特徴とする請求項 7 に記載の半導体メモリ。

【請求項 9】

前記フラッシュメモリアレイは、N A N D フラッシュメモリアレイを有することを特徴とする請求項 7 に記載の半導体メモリ。

【請求項 10】

エラー訂正符号 (“ E C C ”)の実行方法であって、半導体メモリのフラッシュメモリアレイの読み取りを処理し、
 公称電源電圧下で、前記半導体メモリを第一周波数で操作し、感知操作、および、連続 E C C 操作が、所定総数のクロックパルス、および、第一比率関係を有する個別数目のクロックパルスで発生させる工程と、
 公称電圧より高い電源電圧下で、前記半導体メモリを、前記第一周波数より大きい第二周波数で操作し、前記感知操作、および、前記連続 E C C 操作は、前記所定総数のクロックパルス、および、前記第一比率関係より小さい第二比例関係を有する個別数目のクロックパルスで発生される工程、および、
 公称電圧より低い電源電圧下で、前記半導体メモリを、前記第一周波数より低い第三周波数で操作し、前記感知操作、および、前記連続 E C C 操作が、前記所定総数のクロックパルス、および、前記第一比率関係より大きい第三比率関係を有する個別数目のクロックパルスで発生させる工程、
 を有することを特徴とする方法。

【請求項 11】

前記フラッシュメモリアレイは、N O R フラッシュメモリアレイを有することを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記フラッシュメモリアレイは、NANDフラッシュメモリアレイを有することを特徴とする請求項10に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルメモリデバイスに関するものであって、とくに、ECC（エラー訂正符号）使用可能フラッシュメモリにおける読み取り時間制御の装置と方法に関するものである。

【背景技術】

10

【0002】

フラッシュメモリ装置（デバイス）は、メモリアレイ、たとえば、NORタイプとNANDタイプを有する各種タイプのメモリアレイを含む。NANDフラッシュメモリは、特に、その費用優位性のため、ますます普及してきている。さらに、現在、NANDフラッシュメモリは、各種異なるインターフェース、たとえば、従来のNANDインターフェースから、低ピンカウント（low pin count）のシリアルペリフェラルインタフェース（“SPI”）の範囲を有する。しかし、NANDフラッシュメモリは、悪いブロック条件、および、偶発的な読み取りエラーの影響を受けやすく、悪いブロック管理、および、エラー訂正符号（“ECC”）処理は、通常、このようなメモリに用いられる。ECC処理は、NORタイプのメモリアレイに用いられるが、あまり一般的ではない。

20

【0003】

ECC処理は、メモリ装置の内部、あるいは、外部で実行される。多くのECC実施例において、ページプログラミングの間に、内部ECC計算が行われ、生成されたECC情報は、各ページ中のスペア領域として知られる領域に保存される。データ読み取り操作中、メモリ装置の内部のECCエンジンは、前に保存されたECC情報にしたがって、データを検証するとともに、一つの制限された範囲に対し指示訂正を出す。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、広い電源電圧 V_{CC} の範囲内で、各種タイプのフラッシュメモリ装置にECCを使用して、高速読み取り速度時のメモリ信頼性を改善することを目的とする。

30

【課題を解決するための手段】

【0005】

本発明の一実施態様は、フラッシュメモリアレイと、フラッシュメモリアレイに結合される複数のセンス増幅器と、複数のセンス増幅器に結合される複数の高速メモリ素子と、高速メモリ素子に結合されるエラー訂正符号（“ECC”）回路と、フラッシュメモリアレイに関連する少なくとも一つのダミーフラッシュメモリセルと、ダミーフラッシュメモリセルに結合される少なくとも一つのダミーセンス増幅器と、ダミーセンス増幅器に結合される入力端、および、高速メモリ素子に結合される出力端を有する駆動器、および、フラッシュメモリアレイ、センス増幅器、ダミーセンス増幅器、および、ECC回路に結合されるメモリコントローラを有する半導体メモリである。メモリコントローラは、ロジック回路、および、メモリ素子を有して、以下の機能を実行する。公称電源電圧 V_{CC} と第一周波数の条件下で、所定総数のクロックパルス、および、第一比率関係を有する個別数目的クロックパルスで、感知操作、および、連続ECC操作が発生する。公称電圧より高い電圧と第一周波数より大きい第二周波数の条件下で、所定総数のクロックパルス、および、第一比率関係より小さい第二比率関係を有する個別数目的クロックパルスで、感知操作、および、連続ECC操作が発生する。公称電圧より低い電源電圧と第一周波数より小さい第三周波数の条件下で、所定総数のクロックパルス、および、第一比率関係より大きい第三比率関係を有する個別数目的クロックパルスで、感知操作、および、連続ECC操作が発生する。

40

50

【 0 0 0 6 】

本発明の別の実施態様は、エラー訂正符号 (“ E C C ”) の実行方法であり、その操作は、半導体メモリのフラッシュメモリアレイの読み取りを処理し、公称電源電圧で、半導体メモリを第一周波数で操作し、感知操作、および、連続 E C C 操作を、所定総数のクロックパルス、および、第一比率関係を有する個別数目的クロックパルスで実行する工程と、公称電圧より高い電源電圧で、半導体メモリを、第一周波数より大きい第二周波数で操作し、感知操作、および、連続 E C C 操作を、所定総数のクロックパルス、および、第一比率関係より小さい第二比率関係を有する個別数目的クロックパルスで実行する工程、および、公称電圧より低い電源電圧で、半導体メモリを、第一周波数より小さい第三周波数で操作し、感知操作、および、連続 E C C 操作を、所定総数のクロックパルス、および、第一比率関係より大きい第三比率関係を有する個別数目的クロックパルスで実行する工程、を有する。

10

【 発明の効果 】

【 0 0 0 7 】

本発明により、広い電源電圧範囲内で、各種タイプのフラッシュメモリ装置に E C C を使用して、高速読み取り速度時のメモリ信頼性を改善することができる。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 E C C による連続ページ読み取り時に実行する各種操作を示す図である。

【 図 2 】 感知時間と E C C 符号化時間が電源電圧 V_{CC} の関数である説明例のグラフである。

20

【 図 3 】 公称電源電圧下で、メモリ装置のメモリ素子から読み取るタイミング図である。

【 図 4 】 公称電圧より高い電源電圧下で、メモリ装置のメモリ素子から読み取るタイミング図である。

【 図 5 】 公称電圧より低い電源電圧下で、メモリ装置を読み取るタイミング図である。

【 図 6 】 メモリ装置のブロック図である。

【 図 7 】 公称電圧より低い電源電圧下で、図 6 のメモリ装置のメモリ素子から読み取るタイミング図である。

【 図 8 】 高い V_{CC} 下で、図 6 のメモリ装置のメモリ素子から読み取るタイミング図である。

30

【 図 9 】 公称電圧より低い電源電圧下で、図 6 のメモリ装置のメモリ素子から読み取るタイミング図である。

【 図 10 】 個別のダミーセンス増幅器と一緒に、フラッシュメモリアレイ中のダミー読み取りゼロ、および、ダミー読み取り 1 セルを用いて、データラッチアレイを制御するメモリ装置のブロック図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

フラッシュメモリ装置は各種配置構成を有し、直列と並列 NOR フラッシュ、および、直列と並列 NAND フラッシュを含む。このようなフラッシュメモリは、通常、センス増幅器のアレイを用いて、フラッシュメモリアレイからデータを読み取る。これらのセンス増幅器はアナログ回路であり、アドレスされた一組のメモリセル中のデータを感知するとともに、デジタル回路、たとえば、エラー訂正符号 (“ E C C ”) 回路により後続処理される高速メモリ素子のアレイ (単一口ウ、あるいは、複数の口ウ) にラッチされる感知されたデータを有効にし、エラー訂正符号回路は、NANDメモリアレイのチップ上に用いられるとともに、NORメモリアレイに用いられる。説明に用いられるセンス増幅器は、Chan 等により、2015年2月10日に取得された米国特許番号第8953384で記述されており、その内容は引用によって本願発明に援用される。説明に用いられる高速メモリ素子、ページバッファ(データレジスタ、および、キャッシュレジスタを有する)、ECC回路、および、それらの操作は、2013年11月26日にウィンボンドエレクトロニクス株式会社(Winbond Electronics Corporation)が台湾新竹市で発表したW25N01GV文献(

40

50

SpiFlash 3V 1G-Bit Serial SLC NAND Flash Memory with Dual/Quad SPI & Continuous Read: Preliminary Revision B)、Gupta 等による 2014 年 3 月 4 日に取得された米国特許番号第 8667368、Michael 等による 2015 年 9 月 8 日に取得された米国特許番号第 9128822、および、Jigour 等による 2014 年 9 月 18 日に公開された米国特許公開番号第 2014/0269065 に記述されており、これらはすべて、引用によって本願発明に援用される。

【0010】

高速読み取りパフォーマンスは、フラッシュメモリ装置中に最も必要なものである。連続ページ読み取りは、高いパフォーマンスの読み取り中でも、特に有利なタイプで、チップ内で実行する必要がある(execute-in-place)アプリケーション、および、コードシャドローイング (code shadowing) に用いる。高速読み取りパフォーマンスは、NOR フラッシュを用いた低密度、および、中密度のメモリ装置に適用可能である。たとえば、2014 年 11 月 18 日に提出された Winbond Electronics Corporation による W25Q16DV 文献 (spiflash 3V 16M-Bit Serial Flash memory with Dual and Quad SPI, Rev. 1) を参照する。高速読み取りパフォーマンスも、NAND フラッシュを用いた高密度メモリ装置により達成される。図 1 は、感知と ECC 操作両方を有する NAND フラッシュアレイの連続ページ読み取りを示す図である。このタイミング例は、2014 年 3 月 4 日に取得された Gupta 等による米国特許番号第 8667368 で記述されており、その内容は引用によって本願発明に援用される。

【0011】

読み取りパフォーマンスは、通常、公称電源電圧 V_{CC} において最適化され、読み取りパフォーマンスは、電源電圧が公称電圧より高い、あるいは、電源電圧が公称電圧より低いとき、影響を受けやすい。図 2 は、 V_{CC} 範囲上の感知時間 50 の変化と ECC 符号化時間 60 の変化を示す図である。図面で示される全値は説明のための例であり、メモリタイプとキャパシティの違いによって異なる。図 3、図 4、および、図 5 は、感知時間 50 と ECC 符号化時間 60 の V_{CC} 範囲での変化が、読み取りパフォーマンスにどのように影響するかを示す図である。

【0012】

図 3 は、メモリコントローラにおける読み取り操作の簡潔なタイミング図であり、クロック信号 CLK 100、各種例示的シーケンシャル操作 120、たとえば、コマンド入力操作 121、アドレスローディング操作 122、感知操作 123、ECC 操作 124、および、データ出力操作 125、および、データラッチ信号 130 を示す。メモリコントローラは、データラッチ信号 130 として時間 132 でパルスを生成し、ECC 操作 124 の開始において、感知済みデータを、高速メモリ素子のアレイにラッチする。感知操作 123 は、割り当てられた m 個のクロックを有し、ECC 操作 124 は割り当てられた n 個のクロックがある。公称電源電圧 V_{CC} (以下、公称 V_{CC}) 80 で、1.8 ボルトは説明の例示であり (その他は、一般的に、公称 V_{CC} が 3.3 ボルト)、感知時間は、説明の例では、35 ns、ECC 符号化時間は説明の例では、10 ns である。これにより、感知時間と符号化時間の比率は 7 : 2 で、且つ、“ m ” と “ n ” との比率が構築されて、 $m : n$ の比率も 7 : 2 である。よって、読み取り時間、および、ECC 符号化時間両方が最適化され、時間が無駄にならない。

【0013】

あいにく、アナログ読み取り感知回路の感度のせいで、パフォーマンスは、(公称電圧より高い電源電圧 (以下、高い V_{CC}) と公称電圧より低い電源電圧 (以下、低い V_{CC}) で全く異なり、デジタル ECC 処理回路の電源電圧 V_{CC} 、温度、および、プロセスパラメータの変化をより少なくする。

【0014】

高い V_{CC} 90 の状況下で、1.9 ボルトを例とすると、感知時間の説明の例では、8 ns、ECC 符号化時間の説明の例では、8 ns である。この場合、アナログ読み取り感知回路は、デジタル ECC 処理回路より迅速に操作する。図 4 に示されるように、 $m : n$ が 7 : 2

10

20

30

40

50

であるとき、ECC操作230は、n個のクロックが必要であり、アナログ感知操作210は、m個のクロックの期間より前に迅速に終了し、時間上の浪費220となる。m:nの最適な比率は、特別な比例2:2で、7:2とかなり差がある。

【0015】

低 V_{CC} 70の状況下で、1.7ボルトを例とすると、感知時間は、説明の例では、50ns、ECC符号化時間は、説明の例では、12nsである。この場合、アナログ読み取り感知回路の処理は、デジタルECC処理回路より遅い。図5に示されるように、m:nが7:2であるとき、アナログ感知操作310に、m個のクロックが必要であり、ECC操作320は、n個のクロック期間より前に、迅速に終了し、時間上の浪費330となる。m:nの最適な比率は、特別な比例8:3:2で、7:2とかなり差がある。

10

【0016】

図6は、例示的なメモリ装置500のブロック図であり、例示的なメモリ装置500は、所定数のクロックを、単独の操作ではなく、結合操作に割り当てることにより感知操作、および、連続ECC符号化操作を V_{CC} 値の範囲で実行し、高い V_{CC} 値のとき、高い周波数で操作し、低 V_{CC} 値のとき、低い周波数で操作し、時間を浪費しない。メモリ装置500は、少なくとも一つのダミーセンス増幅器、および、ダミーメモリセルを使用して、データラッチ信号速度を制御するので、感知、および、ECC符号化は時間を浪費することなく実行される。メモリ装置500が簡潔化されて、例示的な読み取り回路を示し、これは、アドレス可能なフラッシュメモリアレイ510(簡潔にするため、アドレッシング回路は省略する)を有する。フラッシュメモリアレイ510は、任意の適切なタイプ、あるいは、フラッシュメモリセルのタイプの組み合わせ、および、ECC処理が必要、あるいは、望まれるメモリ機構であり、フラッシュメモリアレイ510は、たとえば、NANDフラッシュメモリアレイ、あるいは、NORフラッシュメモリアレイ、あるいは、それらの組み合わせを含む。メモリアレイ510の複数のセルは、センス増幅器521~526のレイ520を用いて感知されるとともに、アドレスされたセルにより保存されるデジタル値が、高速メモリ素子のレイ550にラッチされる。レイ550は、任意のタイプの高速メモリ素子を有し、たとえば、NORメモリ装置中によく用いられるデータラッチ回路の一次元レイ、あるいは、複雑なレイ、たとえば、二個の部分から構成されるデータレジスタ、および、二個の部分から構成されるキャッシュレジスタを有するページバッファであり、特に、NANDメモリ装置に適用され、さらに詳細には、2014年3月4日

取得された上述の米国特許番号第8667368、2015年9月8日に取得された米国特許番号第9128822、および、2014年9月18日に公開された米国特許公開番号第2014/026065に記述されており、これらはすべて、引用によって本願発明に援用される。メモリ装置500は、さらに、エラー訂正回路560を有し、任意のタイプの適切なECCアルゴリズムを実行する任意のタイプのECC回路であり、統一されたECC回路、あるいは、ページバッファ中のキャッシュレジスタの部分に対応する二個以上の部分に設置されるECC回路を有し、さらに詳細には、2014年3月4日に取得された米国特許番号8667368、2015年9月8日に取得された米国特許番号9128822、および、2014年9月18日に公開された米国特許公開番号第2014/0269065に記述されており、これらはすべて、引用によって本願発明に援用される。

20

30

40

【0017】

メモリ装置500は、さらに、ダミーセンス増幅器532、および、駆動器540を有する。ダミーセンス増幅器532は、センス増幅器レイ520中のセンス増幅器521~526と同じ、あるいは、本質的に同じ回路特性を有する。一つ以上のダミーセル530の読み取り操作終了後、ダミーセンス増幅器532は、その出力を駆動器540に提供し、駆動器540は、データラッチ信号をデータラッチレイ550に供給して、データをラッチするとともに、ECC操作を開始する。

【0018】

メモリ装置500は、さらに、メモリコントローラ562を有し、フラッシュメモリア

50

レイ 5 1 0、センス増幅器 5 2 0、ダミーセンス増幅器 5 3 2、および、ECC回路 5 6 0を有するメモリ装置 5 0 0の回路に結合されるとともに、メモリコントローラ 5 6 2は、ロジック回路、および、メモリ素子、たとえば、メモリ装置 5 0 0を制御するレジスタを有する。

【 0 0 1 9 】

図 7 は、公称、 V_{CC} 下のメモリ装置 5 0 0の読み取り操作のタイミング図である。図 7 は、クロック信号 CLK 6 0 0、各種例示的操作 6 2 0(コマンド入力操作 6 2 1、アドレスローディング操作 6 2 2、感知操作 6 2 3、ECC操作 6 2 4、および、データ出力操作 6 2 5)、ダミーセンス、および、メインレイセンス有効信号 6 3 0、および、データラッチ信号 6 4 0を示す。データラッチパルス 6 4 2は、感知操作 6 2 3の終了後、本質的に発生され、感知されたデータを高速メモリ素子 5 5 0にラッチするとともに、ECC操作 6 2 4の開始を制御する。公称 V_{CC} 下で、感知操作 6 2 3、および、ECC操作 6 2 4は、 $m + n$ 個のクロックの合計で発生する。示される感知操作 6 2 3は m 個のクロックで発生し、示されるECC操作 6 2 4は“ n ”個のクロックで発生するが、これは単なる例にすぎず、“ m ”個のクロックが感知操作 6 2 3に割り当てられる、あるいは、“ n ”個のクロックがECC操作 6 2 4に割り当てられることを意味するものではない。しかし、 $m + n$ 個のクロックの合計が、感知操作 6 2 3とECC操作 6 2 4の組み合わせに割り当てられる。総時間は、35 nsに、10 ns、あるいは、45 nsを加えたもので、よって、感知とECC操作のクロックの比率は、7 : 2、あるいは、3 : 5で、公称、 V_{CC} 下で時間が無駄にならない。

10

20

【 0 0 2 0 】

有利なことに、全体的な操作の特定の V_{CC} 範囲で、感知操作 6 2 3、および、ECC操作 6 2 4が、 $m + n$ 個のクロックの期間内で、共同(共に)で発生し、感知操作 6 2 3、あるいは、ECC操作 6 2 4を、任意の特定のクロック数 m 個、あるいは、 n 個に制限しない。

【 0 0 2 1 】

図 8 は、高い、 V_{CC} 下での読み取り操作のタイミングを示す図である。高い、 V_{CC} 下で、 $m + n$ 個の高速クロックが発生し、このようなクロック速度、および、データラッチ信号のタイミングで、ECC操作 6 2 4は、実質上、感知操作 6 2 3に連続して、ごくわずかな遅延が感知操作 6 2 3の後に発生し、時間を浪費しない。大幅に加速した感知操作 6 2 3は m 個より少ないクロックで発生し、ECC操作 6 2 4は n 個より多いクロックで発生する。感知操作、および、ECC操作の時間は、8 nsと8 nsであり、感知とECC操作のクロックの比率は、1 : 1、あるいは、1 : 0である(公称、 V_{CC} で、3 . 5より小さい)。総時間は16 ns(図 2)であるので、クロック数の比例は、 $7 + 2 = 9$ で、積のクロック周波数は562.5 MHzである。図 8の例と図 4の例を比較すると、最大クロック周波数はECCにより制限され、その時間は、8 ns(図 2)で、クロック数は2であり、250 MHzの積のクロック周波数を生成する。これにより、実際は、最大クロック周波数はその他の設計要素により制限されるが、図 6の実施方式を用いた図 8の読み取り操作は、図 4の読み取り操作より高い周波数で操作することができる。

30

【 0 0 2 2 】

図 9 は、低い、 V_{CC} 下での読み取り操作のタイミングを示す図である。低い、 V_{CC} 下で、 $m + n$ 個の遅いクロックが発生し、このようなクロック速度、および、データラッチ信号のタイミングで、ECC操作 6 2 4は、実質上、感知操作 6 2 3に連続して、ごくわずかな遅延が感知操作 6 2 3の後に発生し、時間を浪費しない。大幅に減速した感知操作 6 2 3は m 個以上のクロックで発生し、ECC操作 6 2 4は、 n 個より少ないクロックで発生する。感知操作、および、ECC操作の時間は、50 nsと12 nsであるので、感知とECC操作のクロックの比率は、25 : 6、あるいは、4 . 2である(公称、 V_{CC} で3 . 5より大きい)。総時間は62 ns(図 2)であるので、 $7 + 2 = 9$ のクロック数で、積のクロック周波数は145 MHzであり、これは、本発明の設計で実現可能である。図 5の例において、最大クロック周波数はセンシングにより制限され、その時間は50 ns(図 2)で、クロック数

40

50

は7、140MHzの積のクロック周波数を生成する。これにより、図6の実施方式を用いた図9の読み取り操作は、図5の読み取り操作より高い周波数で操作することができる。

【0023】

図10は、例示的なメモリ装置570のブロック図であり、図6のメモリ装置500に類似するが、追加の実施方式詳細を含んでいる。メモリ装置570は、フラッシュメモリアレイ571、および、ダミーアレイ573を有し、ダミーアレイ573は、ダミー読み取りゼロセル、および、ダミー読み取り1セルを有する。ダミーアレイ573は、メインアレイ571の一部である、あるいは、分離したミニアレイである。一対のダミー読み取りゼロとダミー読み取り1セルだけが示されているが、メモリ装置570中の感知とECC組数、および、一対がメモリ全体、メモリのブロック、あるいは、メモリのページに関連するかどうかに基づいて、それ以上の対が用いられる(図を簡潔にするため、一組だけ示している)。メモリ装置570は、さらに、フラッシュメモリアレイ571のセンス増幅器572、および、ダミーアレイ573ダミーセンス増幅器574を有する。センス増幅器572の出力を、個別の比較器581~586中の参照セル(図示しない)により提供される参照バイアス(REFBIAS)電圧と比較して、アドレスされたメモリセルに保存されるデジタル値を決定し、その後、個別のラッチ591~596でラッチする。ラッチ591~596の出力がECC回路560に提供されて、ECC処理を実行するとともに、出力回路(図示しない)に提供して、メモリ装置570からの読み取りデータを供給する。ラッチ591~596の単一口ウアレイだけが示され、ラッチの一つ以上の追加口ウが用いられるとともに、ECC回路560は、異なる口ウ、あるいは、複数の口ウのラッチからデータを受信、および、異なる口ウ、あるいは、複数の口ウのラッチにデータを提供する。

10

20

【0024】

各ラッチ591~596中のそれぞれは、パストランジスタロジック中のゲートDラッチとして示され、且つ、二個のクロス結合インバータを有し、その入力端と出力端は、信号LATCHとLATCHBに関連して、二個のパスゲートにより制御される。ラッチ591~596は、単なる一個の適切なタイプの高速度デジタルメモリ素子の例であり、各種タイプのフリップフロップ、および、ラッチを含む多くの異なるタイプの高速度デジタルメモリ素子は、フラッシュメモリ装置に適切であり、且つ、この領域は従来技術である。

30

【0025】

センス増幅器574の出力は、個別の比較器573~574中の参照セル(図示しない)により提供されるREFBIAS電圧と比較されて、補間データラッチ信号LATCHとLATCHBを生成する。データラッチ信号LATCHは、データラッチ信号640(図7、図8、および、図9)に対応する。ダミー読み取りゼロセルにより決定される比較器575の出力は、インバータ577により、ANDゲート578の入力に適用され、ダミー読み取り1セルにより決定される比較器576の出力は、ANDゲート578の第二入力端に適用される。“0”セルと“1”セルの感知時間の差異は、ANDゲート578の出力がパルスとして出現し、インバータ579により、シグナルLATCH、および、LATCHBとして適用されて、ラッチ591~596を制御するとともに、ECC符号化プロセスを開始する。この実施方式は、ダミーアレイ573中のダミー読み取りゼロセル、および、ダミー読み取り1セル、および、ダミーセンス増幅器574を、アレイ571とセンス増幅器572中のフラッシュメモリセルと実質上同じ電圧、処理および温度条件のもとで行われる。

40

【0026】

メモリ装置570は、さらに、フラッシュメモリアレイ571、センス増幅器572、ダミーセンス増幅器574、および、ECC回路560を含むメモリ装置570の回路に結合されるメモリコントローラ599を有し、メモリコントローラ599は、ロジック、および、メモリ素子、たとえば、メモリ装置570を制御するレジスタを有する。

【0027】

50

ダミーアレイ 573 中のダミー読み取りゼロセルとダミー読み取り 1 セルがトリムされて、データラッチ信号 LATCH と LATCHB の速度を制御し、これにより、読み取り速度と品質間の所望のバランスを達成する。ダミー読み取りゼロセルがトリムされて、最も遅いメインアレイデータ読み取りゼロ速度を有し、ダミー読み取り 1 セルがトリムされて、最も遅いメインアレイデータ読み取り 1 速度を有する。必要ならば、適切なエラー誤差範囲を提供する。フラッシュメモリセルの読み取り速度は、参照セル電流とメモリセル電流の間の差異に基づき、電圧（たとえば、信号 REFBIAS）として、各種比較器 581 ~ 586 に適用される。たとえば、この例において、参照セル電流は 12 μ A、最小読み取り 1 セル電流は 22 μ A、および、最大読み取りゼロセル電流は 2 μ A である。説明の例では、ダミー読み取り 1 セル電流が 20 μ A トリムされ、ダミー読み取りゼロセル電流が 4 μ A にトリムされる。トリミングは、任意の既知の手段、たとえば、メモリセルと異なるローディングを有するダミーセルを設計する、あるいは、各ダミーメモリセルに複数のセルを用いる、あるいは、ダミーメモリセルに書き込むことにより実行される。

10

【0028】

感知操作が完了するとき、データラッチ信号が用いられて、フラッシュメモリアレイ 571 をパワーダウンさせるか、あるいは、オフにして、電力消費を減少させる。フラッシュメモリアレイ 571 への電力のこのような制御は、特に、低周波数で有利である。

【0029】

本明細書では好ましい実施例を前述の通り開示したが、本発明は決して本明細書の記載に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変形や修正を加えることができ、従って本発明の保護範囲は、特許請求の範囲で規定した内容を基準とする。

20

【符号の説明】

【0030】

Vcc... 電圧

LATCH... 第一データラッチ信号

LATCHB... 第二データラッチ信号

ECC-0、ECC-1... エラー訂正符号

PR... ページ読み取り

50... 感知時間

60... エラー訂正符号時間

70... 低電圧

90... 高電圧

100... クロック信号

120... シーケンシャル操作

121... コマンド入力操作

122... アドレスローディング操作

123... 感知操作

124... エラー訂正符号操作

125... データ出力操作

130... データラッチ信号

132... 時間

210... アナログ感知操作

220... 浪費時間

230... エラー訂正符号操作

310... アナログ感知操作

320... エラー訂正符号操作

330... 浪費時間

500... メモリ装置

510... フラッシュメモリアレイ

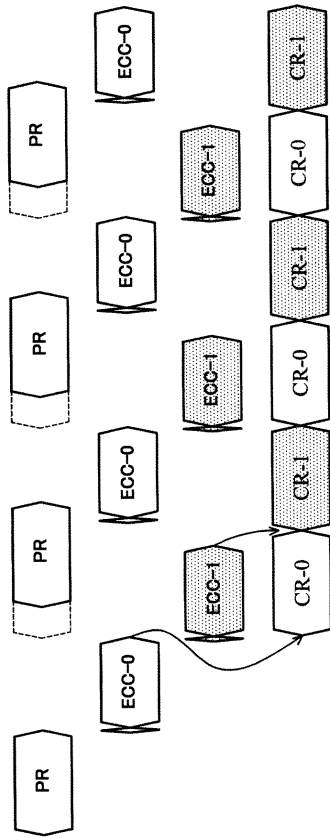
30

40

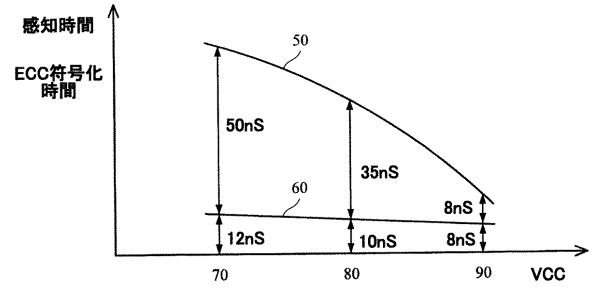
50

| | |
|---------------------------------|----|
| 520... アレイ | |
| 521-526... センス増幅器 | |
| 530... ダミーセル | |
| 532... ダミーセンス増幅器 | |
| 540... 駆動器 | |
| 550... アレイ | |
| 560... エラー訂正回路 | |
| 562... メモリコントローラー | |
| 570... メモリ装置 | |
| 571... フラッシュメモリアレイ | 10 |
| 572... センス増幅器 | |
| 573... ダミーアレイ | |
| 574... ダミーセンス増幅器 | |
| 575-576... 比較器 | |
| 577... インバータ | |
| 578... A N Dゲート | |
| 579... インバータ | |
| 581-586... 比較器 | |
| 591-596... ラッチ | |
| 599... メモリコントローラー | 20 |
| 600... クロック信号 | |
| 620... タイミング操作 | |
| 621... コマンド入力操作 | |
| 622... アドレスローディング操作 | |
| 623... 感知操作 | |
| 624... エラー訂正符号操作 | |
| 625... データ出力操作 | |
| 630... ダミーセンス、および、メインアレイセンス有効信号 | |
| 640... データラッチ信号 | |
| 642... データラッチパ | 30 |

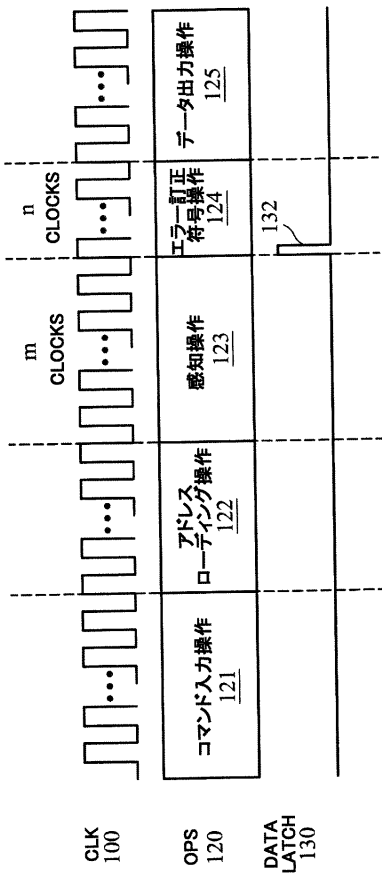
【 図 1 】



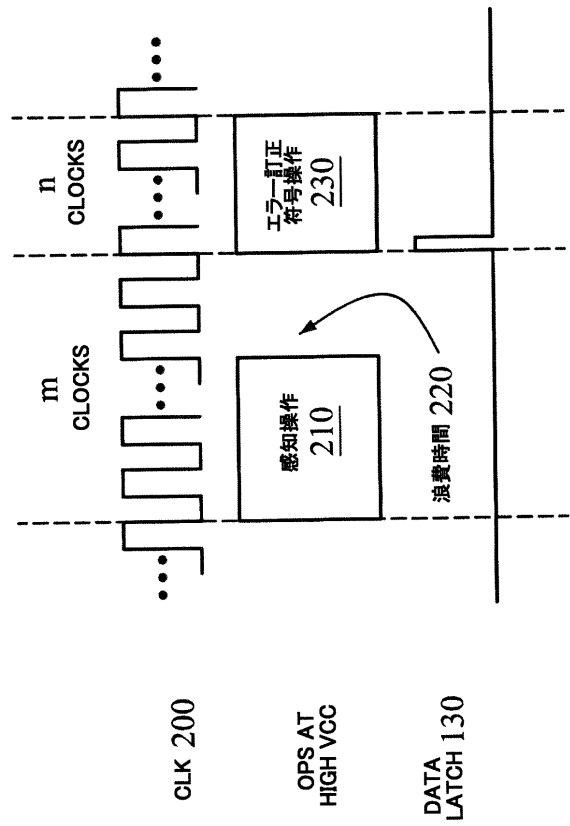
【 図 2 】



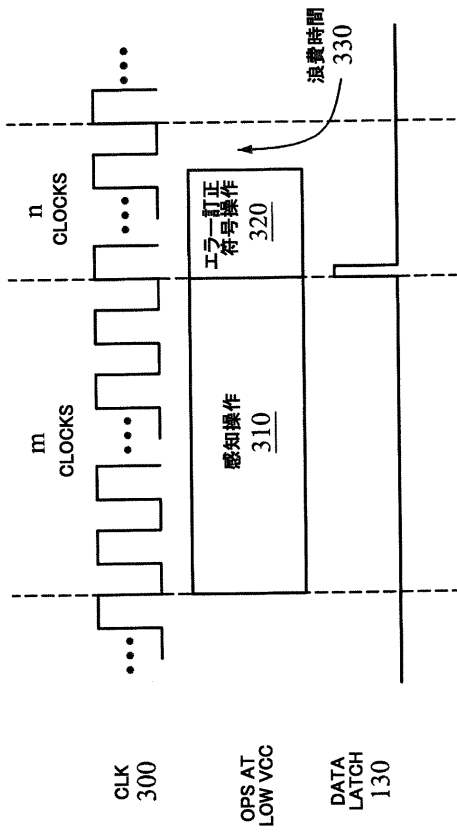
【 図 3 】



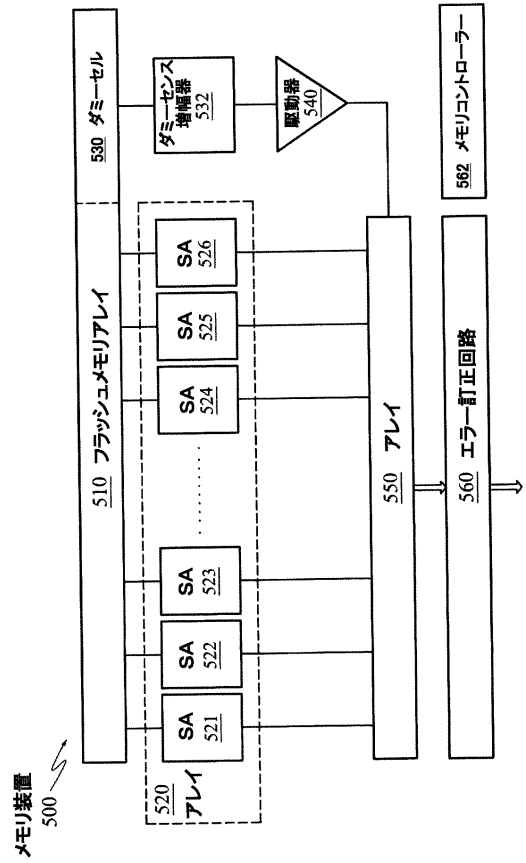
【 図 4 】



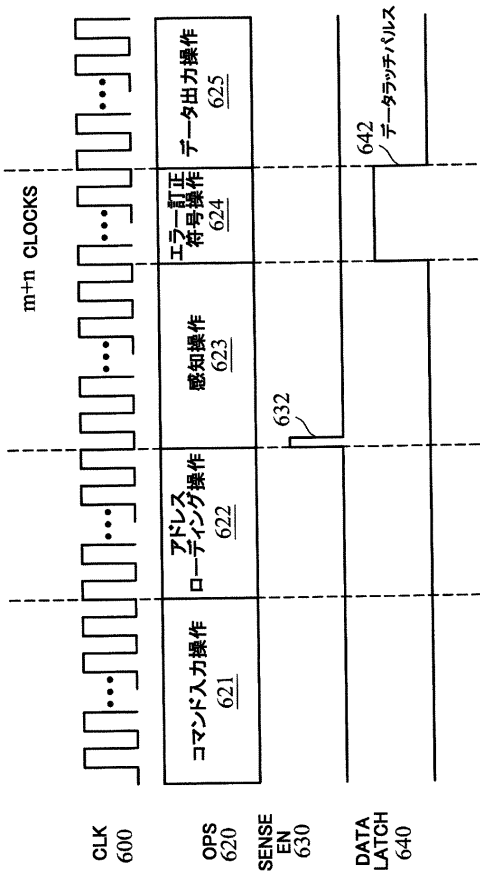
【 図 5 】



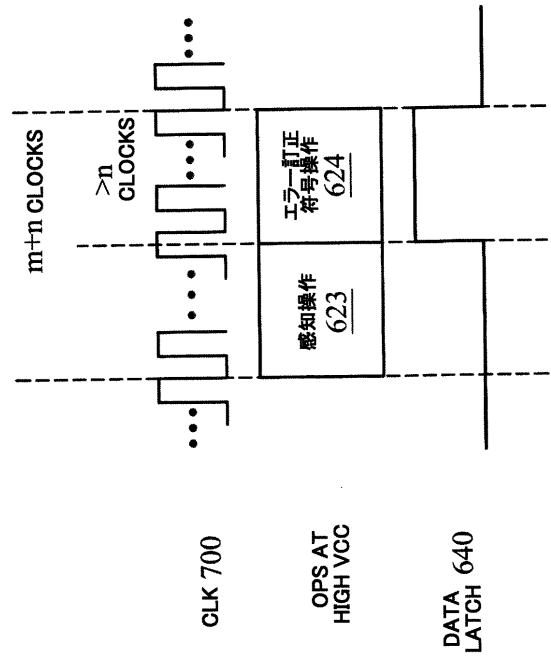
【 図 6 】



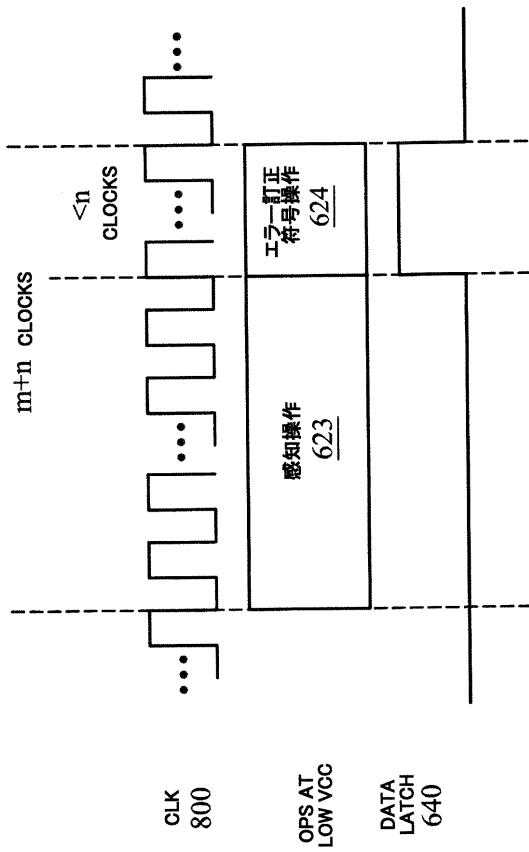
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

