

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月29日(29.10.2020)



(10) 国際公開番号

WO 2020/217826 A1

(51) 国際特許分類:

G06F 9/38 (2006.01) G06F 15/167 (2006.01)
G06F 9/50 (2006.01) G06F 15/78 (2006.01)

(21) 国際出願番号: PCT/JP2020/013209

(22) 国際出願日: 2020年3月25日(25.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-081651 2019年4月23日(23.04.2019) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: 堀口 辰也 (HORIGUCHI Tatsuya); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 石郷岡 祐 (ISHIGOOKA Tasuku); 〒1008280 東

京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 芹沢 一 (SERIZAWA Kazuyoshi); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 月館 統宙 (TSUKIDATE Tsunamichi); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP).

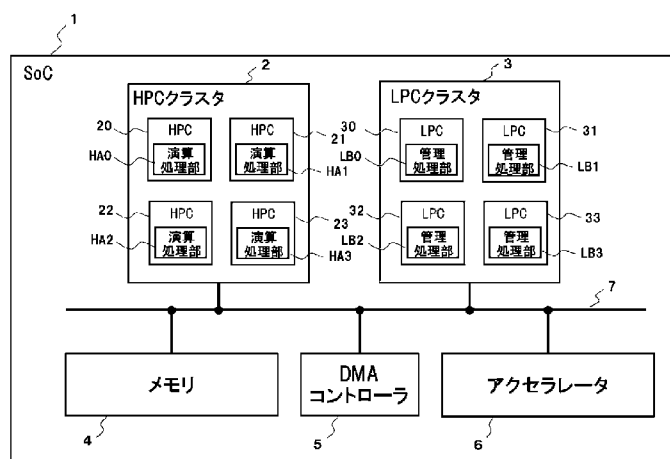
(74) 代理人: 戸田 裕二 (TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: ELECTRONIC ARITHMETIC DEVICE

(54) 発明の名称: 電子演算装置

【図1】



2... HPC CLUSTER
3... LPC CLUSTER
4... MEMORY
5... DMA CONTROLLER
6... ACCELERATOR
HA0-HA3... ARITHMETIC PROCESSING UNIT
LB0-LB3... MANAGEMENT PROCESSING UNIT

(57) Abstract: This electronic arithmetic device has improved arithmetic operation efficiency. HPCs 20-23 are respectively provided with arithmetic processing units HA0-HA3. The arithmetic processing units HA0-HA3 carry out arithmetic processes in parallel. LPCs 30-33 are respectively provided with management processing units LB0-LB3. The management processing units LB0-LB3 manage execution of a specific process of an accelerator 6 when the arithmetic processing units HA0-HA3 cause the accelerator 6 to execute the specific process, and gives, to a DMA controller 5 and the accelerator 6, a series of commands for causing the accelerator 6 to execute the specific process.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 電子演算装置の演算効率を向上させる。各HPC20~23は、演算処理部HA0~HA3を備え、各演算処理部HA0~HA3は、演算処理を並列実行し、各LPC30~33は、管理処理部LB0~LB3を備え、各管理処理部LB0~LB3は、各演算処理部HA0~HA3がアクセラレータ6に特定処理を実行させるときに、アクセラレータ6による特定処理の実行を管理し、アクセラレータ6に特定処理を実行させるための一連の指令をDMAコントローラ5およびアクセラレータ6に行う。

明 細 書

発明の名称：電子演算装置

技術分野

[0001] 本発明は、電子制御装置（Electronic Control Unit、以下、ECUと言う）などに適用可能な電子演算装置に関する。

背景技術

[0002] 近年、産業用電子制御装置を支えるシステムの開発において、制御性能の向上、厳格化する規制への対応および装置の自律化に伴う制御演算処理の増大というアプリケーションの高負荷化が進んでいる。このような高負荷化に対応して、ECUにおいてもメニーコア化およびアクセラレータの利用などの高性能化を実現するために、マルチコアもしくはメニーコアを有するプロセッサ、メモリなどの周辺資源およびアクセラレータ等を混載したSoC（System on Chip）が登場し、電子演算装置の複雑化が進んでいる。

[0003] 一方、組込み分野においては、前段のコントローラにおける制御演算結果を後段のコントローラもしくはアクチュエータに規定のタイミングで伝達する必要から、強いリアルタイム制約が存在する。このため、アプリケーションの高負荷化に伴う制御装置の複雑化と、リアルタイム制約の遵守とを両立させた電子演算装置の利用方式が求められる。

[0004] 特許文献1では、特に、リアルタイム性に着目した高応答化の観点から、マルチコアプロセッサに対してコア負荷率を意図的に調整し、高応答性を実現する方式が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-171153号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献 1 に開示された方式では、リアルタイム性を強く意識する一方で、組込み分野におけるアプリケーションの高負荷化の背景と、適用先に応じた競合軸として消費電力、コストおよび発熱量などの要件が、必ずしも十全に考慮されていない。

[0007] 自律システムを例にすると、特に、周辺環境の認識から自身の動作計画までを行うアプリケーションの負荷増が激しいが、これらアプリケーションは、周期的なセンシングに基づく周期的な処理となる。このような周期的な処理に対し、周辺環境に危害を加えかねない状況における緊急停止などの状況発生に対し、即応性が求められる処理は、イベント駆動型の処理と言える。どちらの処理も、一定のリアルタイム性が求められるが、前者は負荷増の観点からスループットにも重きが置かれる。

[0008] 本発明は、上記事情に鑑みなされたものであり、その目的は、演算効率を向上させることが可能な電子演算装置を提供することにある。

課題を解決するための手段

[0009] 上記目的を達成するため、第 1 の観点に係る電子演算装置は、第 1 処理を実行する第 1 計算資源と、第 2 処理を実行する第 2 計算資源と、前記第 1 計算資源からの前記第 2 計算資源の呼び出しに基づいて、前記第 2 計算資源による前記第 2 処理の実行を管理する第 3 計算資源とを備える。

発明の効果

[0010] 本発明によれば、電子演算装置の演算効率を向上させることができる。

図面の簡単な説明

[0011] [図1]図 1 は、第 1 実施形態に係る電子演算装置が適用される S o C の構成を示すブロック図である。

[図2]図 2 は、図 1 の S o C で実行される周期的な処理の流れを示すブロック図である。

[図3]図 3 は、アクセラレータ管理処理を示すフローチャートである。

[図4]図 4 は、アクセラレータを利用するコアへの割り込みを伴う処理の流れを示すシーケンス図である。

[図5]図5は、アクセラレータを利用するコアへの割り込みを伴わない処理の流れを示すシーケンス図である。

[図6]図6は、第2実施形態に係る電子演算装置が適用されるS o Cの構成を示すブロック図である。

[図7]図7は、図6のDMAコントローラ、CPUクラスタおよびアクセラレータの処理の流れを示すシーケンス図である。

発明を実施するための形態

[0012] 実施形態について、図面を参照して説明する。なお、以下に説明する実施形態は特許請求の範囲に係る発明を限定するものではなく、また、実施形態の中で説明されている諸要素およびその組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0013] 図1は、第1実施形態に係る電子演算装置が適用されるS o Cの構成を示すブロック図である。

図1において、S o C 1は、H P C (H i g h P e r f o r m a n c e C o r e) クラスタ2、L P C (L o w P e r f o r m a n c e C o r e) クラスタ3、メモリ4、DMA (D i r e c t M e m o r y A c c e s s) コントローラ5およびアクセラレータ6を備える。H P C クラスタ2、L P C クラスタ3、メモリ4、DMAコントローラ5およびアクセラレータ6は、内部バス7を介して相互に接続されている。ここで、H P C クラスタ2は、第1処理を実行する第1計算資源、アクセラレータ6は、第2処理を実行する第2計算資源、L P C クラスタ3は、第2計算資源による第2処理の実行を管理する第3計算資源として用いることができる。

[0014] H P C クラスタ2は、相対的に処理性能が高いC P Uコア（以下、H P C と言う）の集合である。L P C クラスタ3は、相対的に処理性能が低いC P Uコア（以下、L P C と言う）の集合である。このとき、S o C 1は、処理性能が異なる複数のC P Uコア（アプリケーションコア）を有するテロジニアスな構成となる。

[0015] このS o C 1上において、周期的に動作するアプリケーションと、イベン

トを契機として動作するアプリケーションの2種類のアプリケーションが動作する。このとき、相対的に負荷の重い周期処理をHPCを中心に割り当て、負荷の比較的低いイベント駆動処理をLPCを中心に割り当てることができる。

[0016] HPCクラスタ2は、HPC20～23を備える。各HPC20～23は、プログラムで記述される汎用処理を実行することができる。各HPC20～23は、演算処理部HA0～HA3を備える。

[0017] 各演算処理部HA0～HA3は、演算処理を実行する。このとき、各演算処理部HA0～HA3は、演算処理を並列実行することができる。また、各演算処理部HA0～HA3は、アクセラレータ6を呼び出し、アクセラレータ6に特定処理を実行させることができる。各演算処理部HA0～HA3がアクセラレータ6に特定処理を実行させることにより、各HPC20～23の演算負荷を軽減することができる。各演算処理部HA0～HA3による演算処理と、アクセラレータ6による特定処理は、並列実行することができる。

[0018] LPCクラスタ3は、LPC30～33を備える。各LPC30～33は、管理処理部LB0～LB3を備える。

[0019] 各管理処理部LB0～LB3は、各演算処理部HA0～HA3がアクセラレータ6に特定処理を実行させるときに、アクセラレータ6による特定処理の実行を管理する。このとき、管理処理部LB0～LB3は、アクセラレータ6に特定処理を実行させるための一連の指令をDMAコントローラ5およびアクセラレータ6に行うことができる。

[0020] メモリ4は、例えば、SRAMまたはDRAMなどの半導体メモリから構成することができる。メモリ4には、各HPC20～23、各LPC30～33およびアクセラレータ6が実行中のプログラムを格納したり、各HPC20～23、各LPC30～33およびアクセラレータ6がプログラムを実行するためのワークエリアを設けたりすることができる。

[0021] DMAコントローラ5は、各HPC20～23とアクセラレータ6との間

のデータ転送に際してDMA転送を制御する。このとき、DMAコントローラ5は、割り込みコントローラとして動作することができる。

[0022] アクセラレータ6は、特定処理を実行する。この特定処理は、HPC20～23で実行される処理よりも負荷の重い処理とすることができる。この特定処理は、例えば、ディープラーニング、行列演算または画像処理などである。アクセラレータ6は、複数のコアを備えるCPUであってもよいし、ASIC (Application Specific Integrated Circuit) またはFPGA (Field-Programmable Gate Array) などの専用ハードウェアであってもよい。アクセラレータ6として複数のコアを備えるCPUを用いた場合、プログラムに基づいて特定処理を実行させることができる。

[0023] 図2は、図1のSoCで実行される周期的な処理の流れを示すブロック図である。

図2において、図1のHPCクラスタ2は、前処理P1を実行した後、HPC並列演算処理P2を実行する。HPCクラスタ2は、HPC並列演算処理P2において、アクセラレータ処理P3を呼び出し、アクセラレータ処理P3後に後処理P4を実行する。

[0024] HPC並列演算処理P2では、図1の各HPC20～23は、HPC並列演算処理E0～E3を実行し、各HPC並列演算処理E0～E3からアクセラレータ演算処理A0～A3を個別に呼び出す。なお、OS (Operating System) 処理は、LPCクラスタ3上にて行われているものとする。

[0025] HPCクラスタ2内の各HPC20～23と、アクセラレータ6を非同期に動作させて処理を行う場合、アクセラレータ6を動作させる際には、以下の一連の手順が必要となる。この一連の手順を、アクセラレータ管理処理と呼ぶ。アクセラレータ管理処理は、各LPC30～33の管理処理部LB0～LB3のいずれか1つが実行することができる。アクセラレータ管理処理を実行する管理処理部LB0～LB3は、OSが指定することができる。O

Sは、各L P C 3 0～3 3が実行中の処理の負荷に基づいて、アクセラレータ管理処理を実行する管理処理部L B 0～L B 3を選択することができる。

[0026] 図3は、アクセラレータ管理処理を示すフローチャートである。

図3において、図1のアクセラレータ6を利用する各コアは、DMAコントローラ5に対し、アクセラレータ6へのデータ転送を指示する(S1)。

[0027] 次に、DMAコントローラ5は、S1で指示されたデータ転送が完了すると、各コアに対し、データ転送完了割込みを実行する(S2)。

[0028] 次に、データ転送完了割込みが実行された各コアは、アクセラレータ6に対し、処理の開始を指示する(S3)。

[0029] 次に、アクセラレータ6は、処理の開始を指示した各コアに対し、処理完了割込みを実行する(S4)。

[0030] 次に、処理完了割込みが実行された各コアは、DMAコントローラ5に対し、アクセラレータ6からのデータ転送を指示する(S5)。

[0031] 次に、DMAコントローラ5は、データ転送を指示した各コアに対し、データ転送完了割込みを実行する(S6)。

[0032] 図4は、アクセラレータを利用するコアへの割り込みを伴う処理の流れを示すシーケンス図である。なお、図4では、図1のH P C クラスタ2内の1つのH P C 2 0に着目し、アクセラレータ6を利用するH P C 2 0がアクセラレータ管理処理を行う例を示した。

[0033] 図4において、図1のH P C 2 0は、H P C 並列演算処理E 0が完了すると、DMAコントローラ5に対し、アクセラレータ6へのデータ転送を指示する(S1A)。

[0034] DMAコントローラ5は、アクセラレータ6へのデータ転送がH P C 2 0から指示されると、アクセラレータ6に対するデータ転送を実行する(K1)。アクセラレータ6へのデータ転送中は、H P C クラスタ2は、別のアプリケーションなどの他処理K2を実行することができる。

[0035] 次に、DMAコントローラ5は、H P C 2 0から指示されたデータ転送が完了すると、H P C 2 0に対し、データ転送完了割込みを実行する(S2A

）。このとき、HPC20は、他処理K2を中断し、アクセラレータ処理開始指示を行う処理K11を実行した上で、アクセラレータ処理開始指示を実行する（S3A）。

[0036] 次に、アクセラレータ6は、HPC20から指示されたアクセラレータ処理P3を実行した後、HPC20に対し、アクセラレータ処理完了割込みを実行する（S4A）。HPC20から指示された処理をアクセラレータ6が実行中は、HPCクラスタ2は、別のアプリケーションなどの他処理K3を実行することができる。

[0037] HPC20は、アクセラレータ処理完了割込みが実行されると、他処理K3を中断し、DMAコントローラ5に対し、アクセラレータ6からのデータ転送の指示を行う処理K12を実行した上で、アクセラレータ6からのデータ転送の指示を実行する（S5A）。

[0038] DMAコントローラ5は、アクセラレータ6からのデータ転送がHPC20から指示されると、アクセラレータ6からのデータ転送を実行する（K5）。アクセラレータ6からのデータ転送中は、HPCクラスタ2は、別のアプリケーションなどの他処理K6を実行することができる。

[0039] 次に、DMAコントローラ5は、アクセラレータ6からのデータ転送が完了すると、HPC20に対し、データ転送完了割込みを実行する（S6A）。HPC20は、データ転送完了割込みが実行されると、他処理K6を中断する。

[0040] 以上から、HPC20とアクセラレータ6が非同期的に動作することにより、DMAコントローラ5またはアクセラレータ6の動作中にHPC20は別のアプリケーションを実行することが可能となる。このとき、HPC20には、後処理P4の完了までに3度の割込み処理が入り、割込みの度に割込みハンドラが動作し、コンテキストスイッチにより処理が中断する。処理の中断による影響としては、コンテキストスイッチのオーバーヘッドのみならず、他処理K2、K3の中断後に別の処理K11、K12が実行されることによる他処理K2、K3でのキャッシュヒット率が低下し、それにより実効性

能が低下する。

[0041] 図5は、アクセラレータを利用するコアへの割り込みを伴わない処理の流れを示すシーケンス図である。なお、図5では、図1のHPCクラスタ2内の4つのHPC20～23がアクセラレータ6を利用する並列処理を実行し、LPCクラスタ3内のいずれかのLPC30～33がアクセラレータ管理処理を行う例を示した。

[0042] また、図5では、図4の他処理K2、K3、K6は記載していないが、各HPC20～23は、HPC並列演算処理E0～E3の実行後は、後処理P4の実行時を除く全ての時間で他処理K2、K3、K6が実行可能となる。

[0043] 図5において、図3に示したアクセラレータ管理処理のうちS2からS6までに対応する処理が、アクセラレータ6を利用するHPC20～23から分離され、LPCクラスタ3内のいずれかのLPC30～33に割り当てられる。以下の説明では、アクセラレータ管理処理がLPCクラスタ3内のLPC30に割り当てられている場合を例にとる。

[0044] すなわち、各HPC20～23は、HPC並列演算処理E0～E3が完了すると、DMAコントローラ5に対し、アクセラレータ6へのデータ転送を指示する(S1B)。

[0045] DMAコントローラ5は、アクセラレータ6へのデータ転送が各HPC20～23から指示されると、アクセラレータ6に対するデータ転送を実行する(K1)。アクセラレータ6へのデータ転送中は、各HPC20～23は、別のアプリケーションなどの他処理を並列実行することができる。

[0046] 次に、DMAコントローラ5は、各HPC20～23から指示されたデータ転送が完了すると、LPCクラスタ3内のLPC30に対し、データ転送完了割り込みを実行する(S2B)。

[0047] 次に、LPCクラスタ3内のLPC30は、データ転送完了割り込みが実行されると、アクセラレータ6に対し、アクセラレータ処理P3の開始指示を実行する(S3B)。このとき、各HPC20～23は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。

- [0048] 次に、アクセラレータ6は、LPCクラスタ3内のLPC30から指示されたアクセラレータ処理P3を実行した後、そのLPC30に対し、アクセラレータ処理完了割込みを実行する（S4B）。このアクセラレータ処理P3では、各HPC20～23から呼び出されたアクセラレータ演算処理A0～A3が並列実行される。LPC30から指示された処理をアクセラレータ6が実行中は、各HPC20～23は、別のアプリケーションなどの他処理を並列実行することができる。
- [0049] LPCクラスタ3内のLPC30は、アクセラレータ処理完了割込みが実行されると、DMAコントローラ5に対し、アクセラレータ6からのデータ転送の指示を実行する（S5B）。このとき、各HPC20～23は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。
- [0050] DMAコントローラ5は、アクセラレータ6からのデータ転送がLPC30から指示されると、アクセラレータ6からのデータ転送を実行する（K5）。アクセラレータ6からのデータ転送中は、各HPC20～23は、別のアプリケーションなどの他処理を並列実行することができる。
- [0051] 次に、DMAコントローラ5は、アクセラレータ6からのデータ転送が完了すると、LPCクラスタ3内のLPC30に対し、データ転送完了割込みを実行する（S6B）。このとき、各HPC20～23は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。
- [0052] これにより、各HPC20～23は、S2B、S4B、S6Bにて発生する割込み処理により他処理を中断することなく継続して実行することができる。このため、キャッシュヒット率が一定量維持され、コンテキストスイッチも発生しないことから、アクセラレータ6の利用による実行性能の低下を抑制することができる。
- [0053] また、LPCクラスタ3内の各LPC30～33コアには、負荷の比較的低いイベント駆動処理を中心に割り当てられることから、LPCクラスタ3への割込み処理の増大による実行性能の低下は、HPCクラスタのそれに比

べて十分に低く、S o C 1 全体での処理性能を相対的に向上させることができる。

[0054] なお、図5では、DMAコントローラ5からのデータ転送完了割込み（S 6 B）をL P C クラスタ内のいずれかのL P C 3 0 ~ 3 3 にて処理し、アクセラレータ処理P 3 の完了を確認の上でO S イベントを経てH P C クラスタ2内のいずれかのH P C 2 0 ~ 2 3 に後処理P 4 の開始を通知する例を想定しているが、必ずしも本実施形態で説明した手順をとる必要はない。

[0055] また、本実施形態では、C P U コアとアクセラレータを非同期に実行させる例を示したが、別実施形態として、C P U コアとアクセラレータを同期させて処理を行う方法をとることも可能である。C P U コアとアクセラレータを同期的に実行させる場合、各C P U コアがアクセラレータに対して定期的にアクセスし、終了状況を確認するポーリングを行う例が想定される。別実施形態では、このようなケースにおいても、L P C クラスタ3内のいずれかのL P C 3 0 ~ 3 3 にアクセラレータ6へのポーリングを代替させることができ、高性能な処理に適したH P C クラスタ2において他処理を実行可能とすることで、S o C 1 全体での処理性能の向上を図ることができる。

[0056] S o C 1 を利用するユーザは、以上の手順を実現するためのプログラムを記述する必要がある可能性がある。すなわち、一連の指令を含むアクセラレータ管理処理にあたり、アクセラレータ管理処理を行うコアを明示的に示す必要がある場合、例えば、以下のようなプラグマ記述を用い、ユーザアプリケーションのソースコードに記述することが可能である。

```
# p r a g m a   A c c M a n a g e m e n t   L P C # 1
```

[0057] 上記のプラグマ記述は、例えば、アクセラレータ管理処理を行うコアを指定するためのプラグマ（A c c M a n a g e m e n t）を用い、その後にコアを指定する。この例では、H P C クラスタ2内のコアではなく、L P C クラスタ3内の1番目のコア（L P C # 1）を用いることを示す。

[0058] この他、プラグマ記述方式には様々な形態があり、例えば、L P C クラスタ3内のいずれのコアを用いてもよい場合、H P C クラスタ2およびL P C

クラスタ3内の任意のコアを利用できる場合、アクセラレータを呼び出す処理を行うコア自身が管理する場合など、様々な利用方式が想定される。

[0059] 本例では、それぞれの利用方式に応じて以下のような記述が可能である。

```
# p r a g m a   A c c M a n a g e m e n t   L P C # a n y # p r a g m a  
A c c M a n a g e m e n t   a n y # p r a g m a   A c c M a n a g e m e n t   s e l f
```

[0060] なお、本実施形態では、上記のプラグマ方式を例とするが、例えば、アクセラレータ呼出し関数の引数に上記のコア指定を含む例などであってもよく、アクセラレータ管理処理を行うコアを明示的に示す方式については、上記のプラグマ方式に限らない。

[0061] また、上記した実施形態において、2種類のCPUコア構成およびプログラミングモデルとしてのプラグマ記述方式を例示しているが、本発明はこれに限定されるものではない。

[0062] 図6は、第2実施形態に係る電子演算装置が適用されるSoCの構成を示すブロック図である。

図6において、SoC11は、CPUクラスタ8、メモリ4、DMAコントローラ5およびアクセラレータ6を備える。CPUクラスタ8、メモリ4、DMAコントローラ5およびアクセラレータ6は、内部バス7を介して相互に接続されている。このSoC11上において、周期的に動作するアプリケーションと、イベントを契機として動作するアプリケーションの2種類のアプリケーションが動作する。

[0063] CPCクラスタ8は、CPUコアの集合である。このとき、SoC11は、処理性能に差がない複数のCPUコア（アプリケーションコア）を有するホモジニアスな構成となる。ここで、CPCクラスタ8の一部のCPUコアは第1処理を実行する第1計算資源、アクセラレータ6は第2処理を実行する第2計算資源、CPCクラスタ8の他のCPUコアは第2計算資源による第2処理の実行を管理する第3計算資源として用いることができる。

[0064] CPCクラスタ8は、CPUコア80～83を備える。CPUコア80～

83は、プログラムで記述される汎用処理を実行することができる。各CPUコア80～83は、演算処理部CA0～CA3および管理処理部CB0～CB3を備える。

[0065] 各演算処理部CA0～CA3は、演算処理を実行する。このとき、各演算処理部CA0～CA3は、演算処理を並列実行することができる。また、各演算処理部CA0～CA3は、アクセラレータ6を呼び出し、アクセラレータ6に特定処理を実行させることができる。各演算処理部CA0～CA3による演算処理と、アクセラレータ6による特定処理は、並列実行することができる。

[0066] 各管理処理部CB0～CB3は、各演算処理部CA0～CA3がアクセラレータ6に特定処理を実行させるときに、アクセラレータ6による特定処理の実行を管理する。このとき、管理処理部CB0～CB3は、アクセラレータ6に特定処理を実行させるための一連の指令をDMAコントローラ5およびアクセラレータ6に行うことができる。

[0067] CPCクラスタ8は、図2の処理と同様に、前処理を実行した後、CPU並列演算処理を実行する。CPCクラスタ8は、CPU並列演算処理において、アクセラレータ処理を呼び出し、アクセラレータ処理後に後処理を実行する。

[0068] 各CPUコア80～83は、CPU並列演算処理を実行し、各CPU並列演算処理からアクセラレータ演算処理を個別に呼び出す。なお、OS (Operating System) 処理は、CPCクラスタ8内のいずれかのCPUコア80～83にて行われているものとする。

[0069] CPCクラスタ8内の各CPUコア80～83とアクセラレータ6を非同期に動作させて処理を行う場合、アクセラレータ6を動作させる際には、図3と同様の一連の手順が必要となる。

[0070] 図7は、図6のDMAコントローラ、CPUクラスタおよびアクセラレータの処理の流れを示すシーケンス図である。なお、図7では、図6のCPUクラスタ8内の4つのCPUコア80～83がアクセラレータ6を利用する

並列処理を実行し、CPUクラスタ8内の1つのCPUコア80がアクセラレータ管理処理を行う例を示した。

[0071] また、図7では、図4の他処理K2、K3、K6は記載していないが、各CPUコア81～83は、CPU並列演算処理C1～C3の後は、後処理P4の実行時を除く全ての時間で他処理K2、K3、K6が実行可能となる。

[0072] 図7において、図3に示したアクセラレータ管理処理のうちS2からS6までに対応する処理が、アクセラレータ6を利用するCPUコア81～83から分離され、CPUクラスタ8内のCPUコア80に割り当てられる。

[0073] すなわち、各CPUコア80～83は、CPU並列演算処理C0～C3が完了すると、DMAコントローラ5に対し、アクセラレータ6へのデータ転送を指示する(S1C)。

[0074] DMAコントローラ5は、アクセラレータ6へのデータ転送が各CPUコア80～83から指示されると、アクセラレータ6に対するデータ転送を実行する(K1)。アクセラレータ6へのデータ転送中は、各CPUコア81～83は、別のアプリケーションなどの他処理を並列実行することができる。

[0075] 次に、DMAコントローラ5は、各CPUコア80～83から指示されたデータ転送が完了すると、CPUクラスタ8内のCPUコア80に対し、データ転送完了割込みを実行する(S2C)。

[0076] 次に、CPUクラスタ8内のCPUコア80は、データ転送完了割込みが実行されると、アクセラレータ6に対し、アクセラレータ処理P3の開始指示を実行する(S3C)。

このとき、各CPUコア81～83は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。

[0077] 次に、アクセラレータ6は、CPUクラスタ8内のCPUコア80から指示されたアクセラレータ処理P3を実行した後、そのCPUコア80に対し、アクセラレータ処理完了割込みを実行する(S4C)。このアクセラレータ処理P3では、各CPUコア80～83から呼び出されたアクセラレータ

演算処理A0～A3が並列実行される。CPUコア80から指示された処理をアクセラレータ6が実行中は、各CPUコア81～83は、別のアプリケーションなどの他処理を並列実行することができる。

[0078] CPUクラスタ8内のCPUコア80は、アクセラレータ処理完了割込みが実行されると、DMAコントローラ5に対し、アクセラレータ6からのデータ転送の指示を実行する(S5C)。このとき、各CPUコア81～83は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。

[0079] DMAコントローラ5は、アクセラレータ6からのデータ転送がCPUコア80から指示されると、アクセラレータ6からのデータ転送を実行する(K5)。アクセラレータ6からのデータ転送中は、各CPUコア81～83は、別のアプリケーションなどの他処理を並列実行することができる。

[0080] 次に、DMAコントローラ5は、アクセラレータ6からのデータ転送が完了すると、CPUクラスタ8内のCPUコア80に対し、データ転送完了割込みを実行する(S6C)。このとき、各CPUコア81～83は、別のアプリケーションなどの他処理を中断することなく継続して実行することができる。

[0081] これにより、各CPUコア81～83は、S2C、S4C、S6Cにて発生する割込み処理により他処理を中断することなく継続して実行することができる。このため、キャッシュヒット率は一定程度維持され、コンテキストスイッチも発生しないことから、アクセラレータ6の利用による実行性能の低下を抑制することができる。

[0082] なお、本例においては、各種イベント駆動処理(OS処理および他割り込み処理)を明記していないが、アクセラレータ管理処理を実行するコアを、各種イベント駆動処理を行うコアと同一のコアとすることにより、他コアの利用効率を高めることが可能となる。

[0083] なお、本ケースについても、CPUコアとアクセラレータを同期的に実行させる場合、第1実施形態と同様に処理を継続できるコア数を増やすことが

できるため、処理性能を向上させることができる。

[0084] なお、本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。また、上記の各構成、機能、処理部、処理手段等は、それらの一部又は全部を、例えば集積回路で設計する等によりハードウェアで実現してもよい。

符号の説明

[0085] 1 SoC、2 HPCクラスタ、3 LPCクラスタ、4 メモリ、5 DMAコントローラ、6 アクセラレータ

請求の範囲

- [請求項1] 第1処理を実行する第1計算資源と、
第2処理を実行する第2計算資源と、
前記第1計算資源からの前記第2計算資源の呼び出しに基づいて、
前記第2計算資源による前記第2処理の実行を管理する第3計算資源
とを備える電子演算装置。
- [請求項2] 前記第1計算資源は第1CPU、
前記第2計算資源は第2CPUまたは専用ハードウェア、 前記第
3計算資源は第3CPUである請求項1に記載の電子演算装置。
- [請求項3] 前記第1CPU、前記第2CPUおよび前記第3CPUはそれぞれ
、複数のコアを備える請求項2に記載の電子演算装置。
- [請求項4] 前記第1処理は汎用処理、前記第2処理は特定処理である請求項1
に記載の電子演算装置。
- [請求項5] 前記第1計算資源は、前記第1処理を実行した後、前記第2計算資
源に前記第2処理を実行させる請求項1に記載の電子演算装置。
- [請求項6] 前記第1計算資源は、前記第1処理を実行した後、前記第2計算資
源に前記第2処理を実行させ、前記第2計算資源による前記第2処理
の実行結果に基づいて第3処理を実行する請求項1に記載の電子演算
装置。
- [請求項7] 前記第1計算資源は、前記第2計算資源にて実行される前記第2処
理を呼び出す第1CPUコアを備え、
前記第3計算資源は、前記第1CPUコアから前記第2計算資源へ
のデータ転送を管理する処理、前記第2計算資源から前記第1CPU
コアへのデータ転送を管理する処理、前記第2計算資源へ処理開始の
通知を送信する処理および前記第2計算資源からの処理完了通知を受
信する処理の少なくとも1つ以上の処理を実行する第2CPUコアを
備える請求項1に記載の電子演算装置。
- [請求項8] 前記第1計算資源は、前記第2計算資源にて実行される前記第2処

理を呼び出す第1 CPUコアを備え、

前記第3計算資源は、前記第1 CPUコアから前記第2計算資源へのデータ転送を管理する処理、前記第2計算資源から前記第1 CPUコアへのデータ転送を管理する処理、前記第2計算資源へ処理開始の通知を送信する処理および前記第2計算資源の処理完了を定期的に監視する処理の少なくとも1つ以上の処理を実行する第2 CPUコアを備える請求項1に記載の電子演算装置。

[請求項9] 前記第1計算資源と前記第2計算資源との間のデータ転送に際してDMA (Direct Memory Access) 転送を用いる請求項1に記載の電子演算装置。

[請求項10] 前記第2計算資源による前記第2処理の実行を管理するコアをOS (Operating System) から設定可能である請求項3に記載の電子演算装置。

[請求項11] 前記OSは、前記第2計算資源と前記第1計算資源とのデータ転送開始時および前記第2計算資源の処理開始時に完了通知を受けるコアを設定する請求項10に記載の電子演算装置。

[請求項12] 前記第2計算資源はアクセラレータである請求項1に記載の電子演算装置。

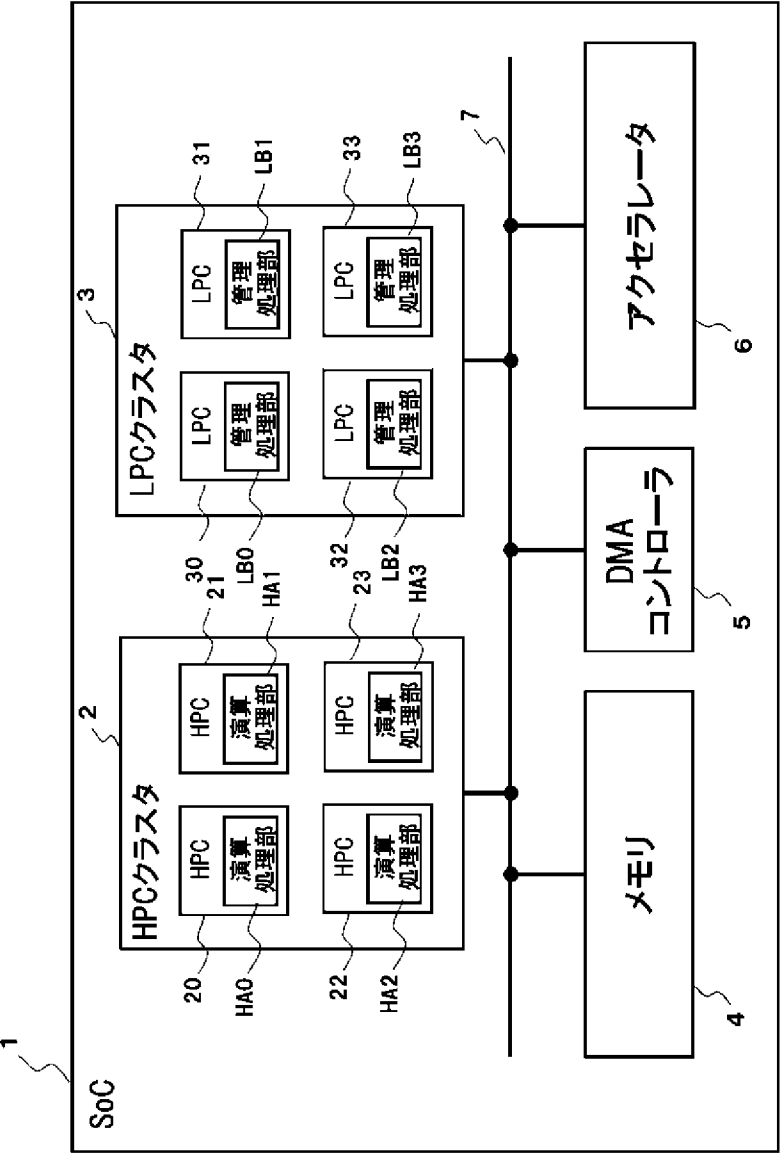
[請求項13] 前記第3計算資源が持つCPUコアは、前記第1計算資源が持つCPUコアよりも処理性能が低い請求項1に記載の電子演算装置。

[請求項14] 前記第3計算資源は複数のCPUコアを備え、
前記第2計算資源による前記第2処理の実行を管理するCPUコアの指定が、プラグマを用いてソースコードに記載されている請求項1に記載の電子演算装置。

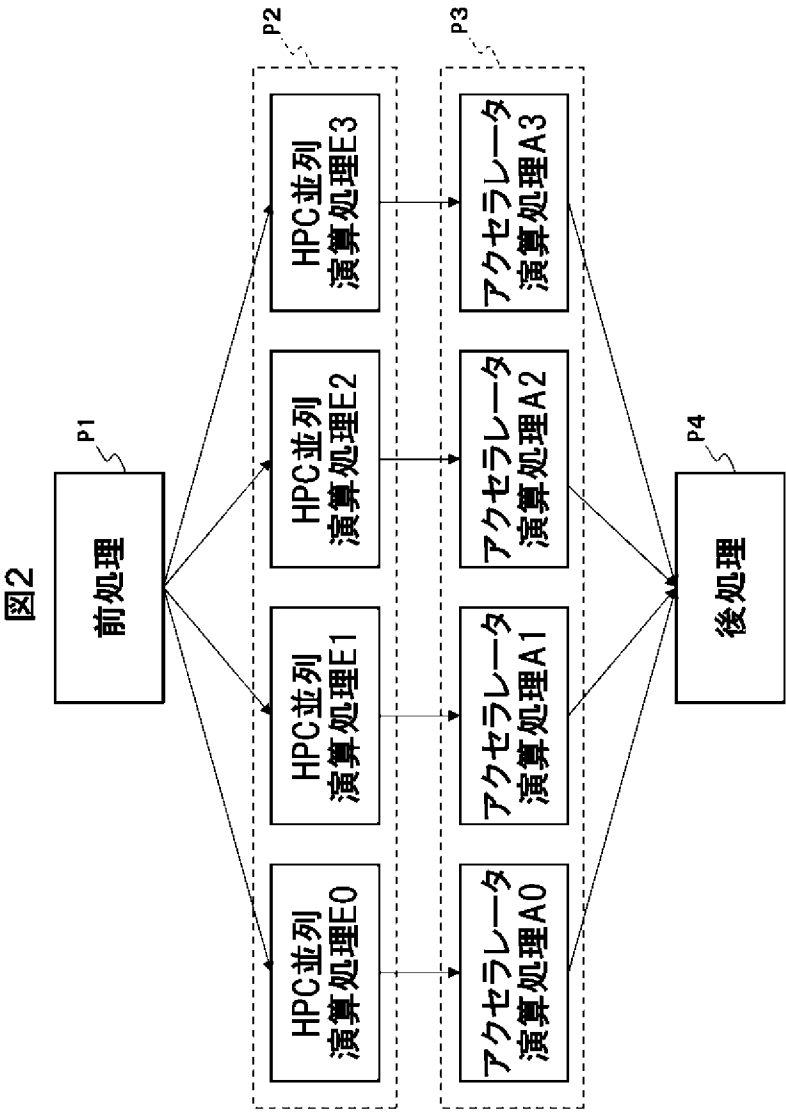
[請求項15] 前記第3計算資源は複数のCPUコアを備え、
前記第2計算資源による前記第2処理の実行を管理するCPUコアの指定が、前記第2計算資源を呼び出すための関数引数に記載されている請求項1に記載の電子演算装置。

[図1]

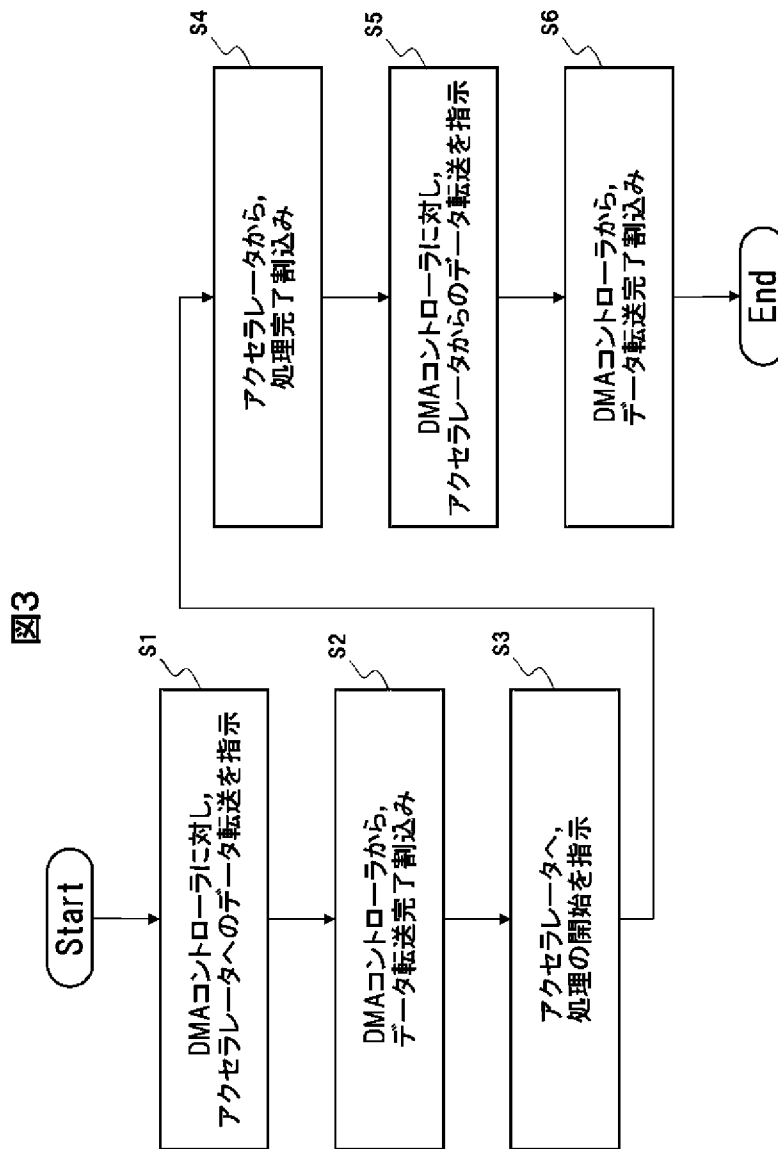
図1



[図2]

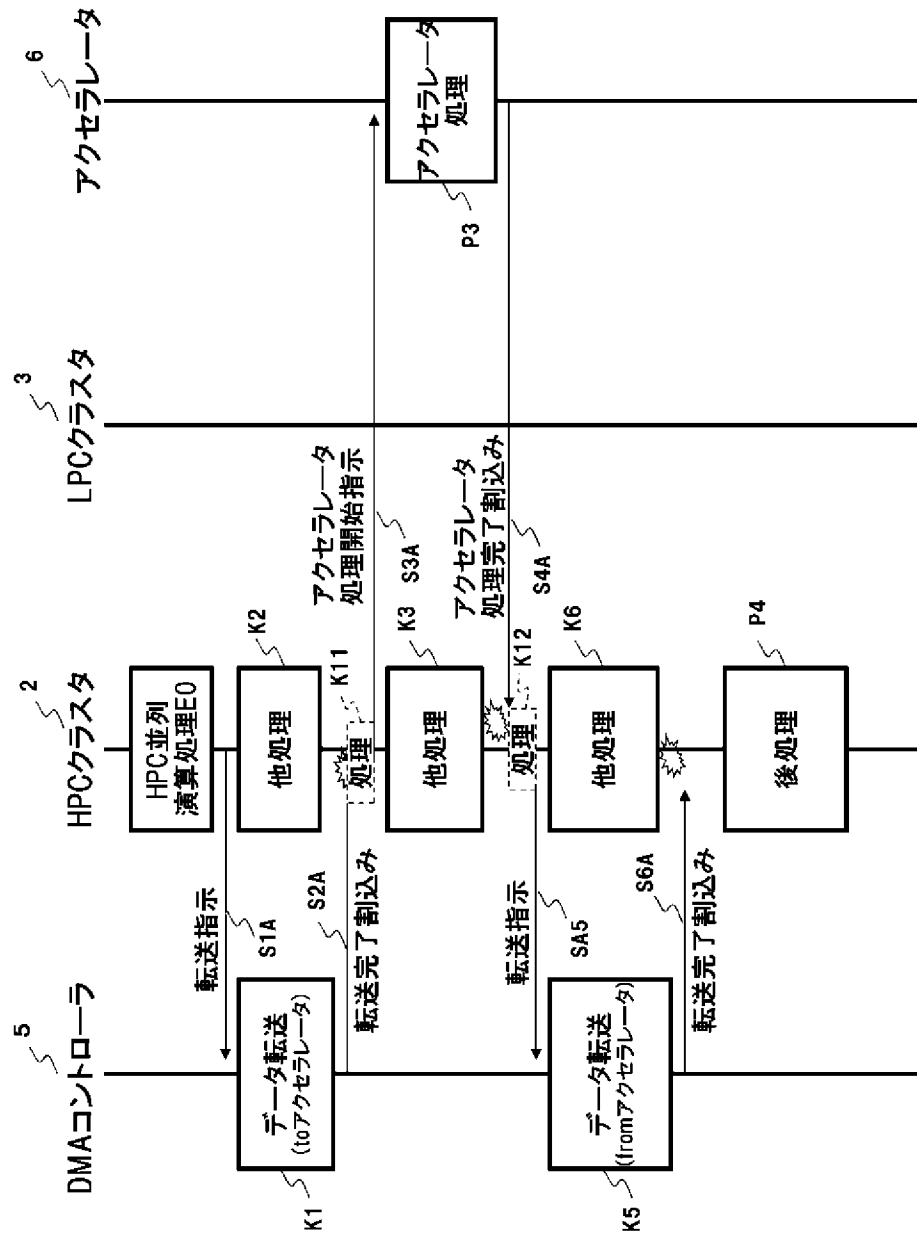


[図3]

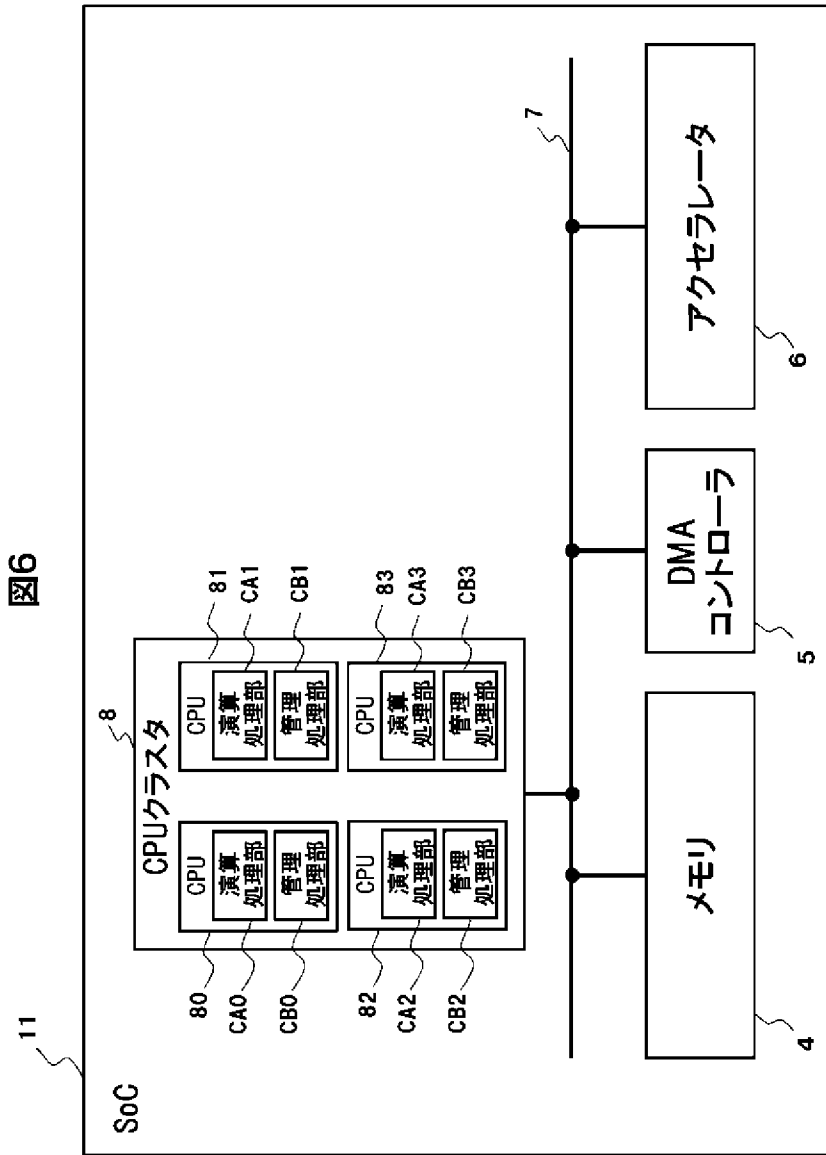


[図4]

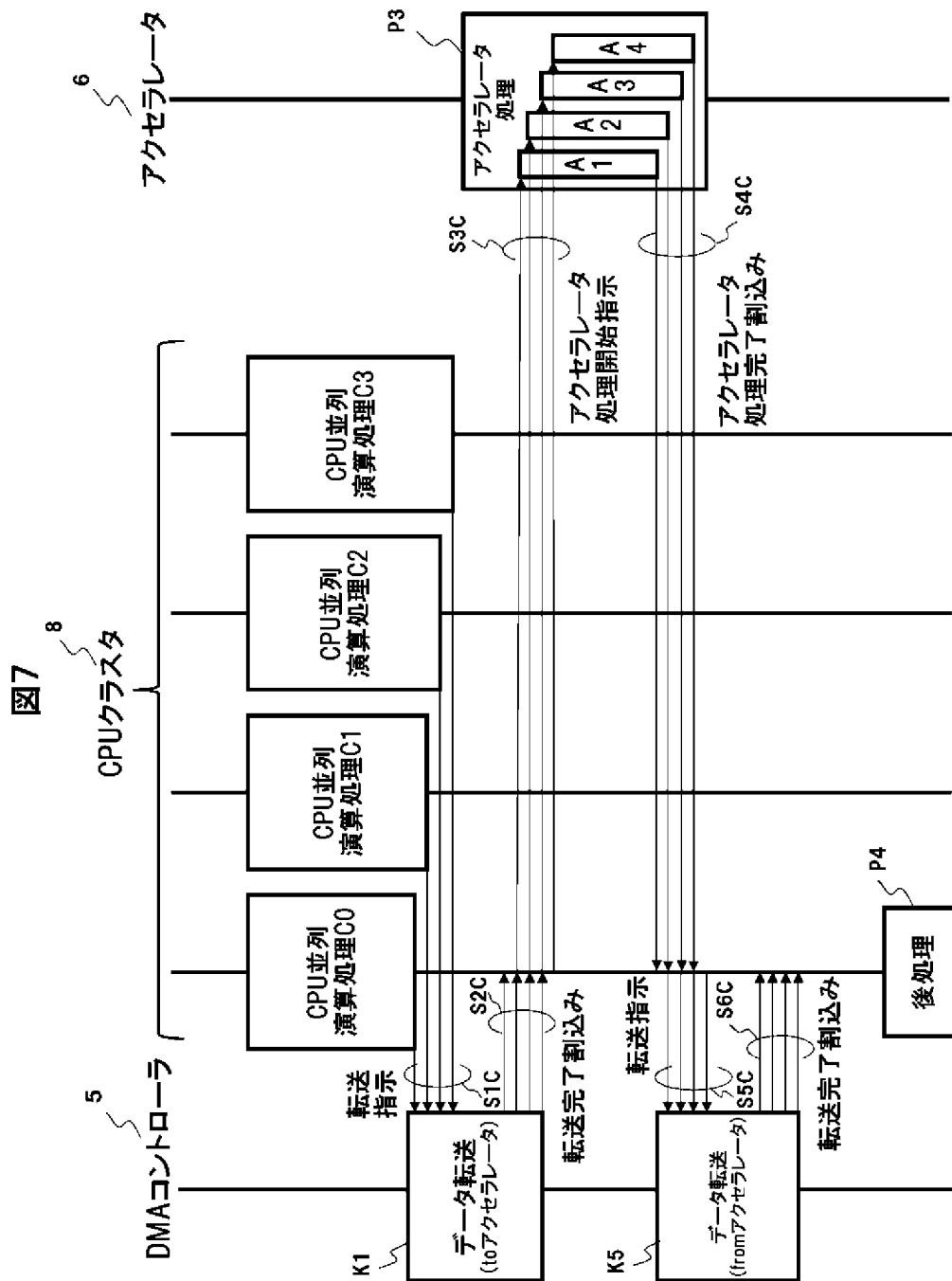
図4



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/013209

A. CLASSIFICATION OF SUBJECT MATTER

G06F 9/38(2006.01)i; G06F 9/50(2006.01)i; G06F 15/167(2006.01)i; G06F 15/78(2006.01)i

FI: G06F9/50 120A; G06F9/50 150C; G06F9/38 370X; G06F15/167 615A; G06F15/78 530; G06F15/167 610A; G06F9/38 370C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/38; G06F9/50; G06F15/167; G06F15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2017-105163 A (RICOH CO., LTD.) 15.06.2017 (2017-06-15) paragraphs [0025], [0163]-[0164], fig. 1, 18	1-2, 4-8, 12 3, 9-10, 13 11, 14-15
Y	JP 2018-122463 A (KONICA MINOLTA, INC.) 09.08.2018 (2018-08-09) paragraphs [0027]-[0028], fig. 1	3, 10, 13
Y	JP 2011-42056 A (RICOH CO., LTD.) 03.03.2011 (2011-03-03) paragraph [0078]	9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July 2020 (08.07.2020)

Date of mailing of the international search report
21 July 2020 (21.07.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/013209

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-105163 A	15 Jun. 2017	(Family: none)	
JP 2018-122463 A	09 Aug. 2018	US 2018/0217792 A1 paragraphs [0034]- [0035], fig. 1	
JP 2011-42056 A	03 Mar. 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 9/38(2006.01)i; G06F 9/50(2006.01)i; G06F 15/167(2006.01)i; G06F 15/78(2006.01)i FI: G06F9/50 120A; G06F9/50 150C; G06F9/38 370X; G06F15/167 615A; G06F15/78 530; G06F15/167 610A; G06F9/38 370C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G06F9/38; G06F9/50; G06F15/167; G06F15/78		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2017-105163 A（株式会社リコー）15.06.2017（2017-06-15） 段落0025, 0163-0164, 図1, 18	1-2, 4-8, 12 3, 9-10, 13 11, 14-15
Y	JP 2018-122463 A（コニカミノルタ株式会社）09.08.2018（2018-08-09） 段落0027-0028, 図1	3, 10, 13
Y	JP 2011-42056 A（株式会社リコー）03.03.2011（2011-03-03） 段落0078	9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 08.07.2020		国際調査報告の発送日 21.07.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 三坂 敏夫 5B 4178 電話番号 03-3581-1101 内線 3545

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/013209

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-105163	A	15.06.2017	(ファミリーなし)	
JP	2018-122463	A	09.08.2018	US 2018/0217792 A1 Paragraphs0034-0035, Figure1	
JP	2011-42056	A	03.03.2011	(ファミリーなし)	