

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166330

(P2008-166330A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 D	4 M 1 O 4
H O 1 L 27/088 (2006.01)	H O 1 L 29/44 L	5 F O 3 3
H O 1 L 29/41 (2006.01)	H O 1 L 29/50 M	5 F O 4 8
H O 1 L 29/417 (2006.01)	H O 1 L 21/90 D	
H O 1 L 21/768 (2006.01)		

審査請求 有 請求項の数 11 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2006-351039 (P2006-351039)	(71) 出願人	500174247
(22) 出願日	平成18年12月27日 (2006.12.27)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	眞鍋 和孝
			東京都中央区八重洲2-2-1 エルピー
			ダメモリ株式会社内
		Fターム(参考)	4M104 AA01 BB01 BB02 BB04 BB18
			BB40 CC01 DD02 DD04 DD16
			DD43 DD63 EE09 EE17 FF01
			FF26 GG09 GG10 GG14 HH15

最終頁に続く

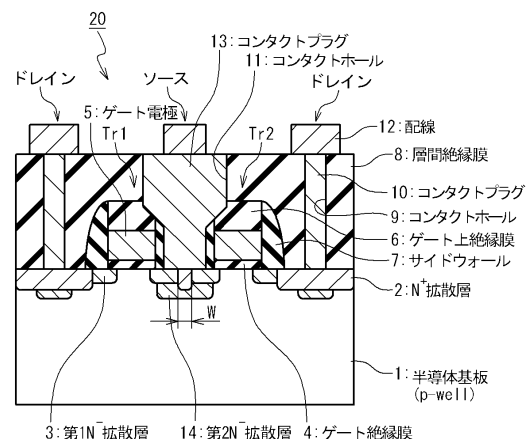
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】低抵抗コンタクトを維持しつつ、より微細化された半導体装置を提供する。

【解決手段】半導体装置は、トランジスタTr1、Tr2と、第1コンタクト13と、第2コンタクト10とを具備する。トランジスタTr1、Tr2は、半導体基板1上に設けられ隣接している。第1コンタクト13は、トランジスタTr1、Tr2間にセルフアライメント構造で設けられ、トランジスタTr1、Tr2の共通のソースに接続され、金属を含んでいる。第2コンタクト10は、トランジスタTr1、Tr2のドレインにそれぞれ接続され、金属を含んでいる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板上に設けられた隣接する二つのトランジスタと、
前記二つのトランジスタ間にセルフアライメント構造で設けられ、前記二つのトランジスタの共通のソースに接続された金属を含む第 1 コンタクトと、
前記二つのトランジスタのドレインにそれぞれ接続され、金属を含む二つの第 2 コンタクトと
を具備する
半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、
前記第 1 コンタクトの端部と前記トランジスタのゲートの端部との間隔は、前記第 2 コンタクトの端部と前記トランジスタのゲートとの間隔よりも小さい
半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、
前記第 1 コンタクトは、少なくとも一つのコンタクトを有し、
前記二つの第 2 コンタクトの各々は、複数のコンタクトを有する
前記少なくとも一つのコンタクトにおける前記二つのトランジスタのゲート幅方向の長さは、前記複数のコンタクトの各々における前記ゲート幅方向の長さと同じか長い
半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の半導体装置において、
前記二つのトランジスタは、前記半導体基板のウェル表面に設けられ、
前記ソースと前記ウェルとは略同電位である
半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の半導体装置において、
前記第 1 コンタクトは、前記ゲート幅方向の長さが前記ゲート長方向よりも長い形状を有する
半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、
前記第 1 コンタクトは、矩形形状を有する
半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の半導体装置において、
前記第 1 コンタクトは、一つである
半導体装置。

【請求項 8】

(a) 半導体基板上に隣接する二つのトランジスタを形成する工程と、
(b) 前記半導体基板と前記二つのトランジスタとを覆うように設けられた層間絶縁膜に、前記二つのトランジスタの共通のソースに対応する場所に自己整合的に第 1 コンタクトホールを形成する工程と、
(c) 前記第 1 コンタクトホールを金属を含む物質で埋めるように、第 1 コンタクトを形成する工程と、
(d) 前記層間絶縁膜に、前記二つのトランジスタの各々のドレインに対応する場所に二つの第 2 コンタクトホールを形成する工程と、
(e) 前記二つの第 2 コンタクトホールを金属を含む物質で埋めるように、二つの第 2 コンタクトを形成する工程と

を具備する

半導体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、

前記第 1 コンタクトの端部と前記トランジスタのゲートの端部との間隔は、前記第 2 コンタクトの端部と前記トランジスタのゲートとの間隔よりも小さい

半導体装置の製造方法。

【請求項 10】

請求項 8 又は 9 に記載の半導体装置の製造方法において、

前記第 1 コンタクトは、少なくとも一つのコンタクトを有し、

前記二つの第 2 コンタクトの各々は、複数のコンタクトを有し、

前記少なくとも一つのコンタクトの横断面は、前記複数のコンタクトの各々の横断面の和よりも大きい

半導体装置の製造方法。

【請求項 11】

請求項 8 乃至 10 のいずれか一項に記載の半導体装置の製造方法において、

前記 (b) 工程と前記 (d) 工程とは同時に行われ、

前記 (c) 工程と前記 (e) 工程とは同時に行われる

半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に微細化のための半導体装置に関する。

【背景技術】

【0002】

MOS (Metal-Oxide Semiconductor) トランジスタを有する半導体装置の微細化が進められている。図 1 は、従来の半導体装置の構成を示す断面図である。ここでは、N 型の MOS トランジスタについて説明する。半導体基板 (p-well) 101 の表面に、ソースドレインを構成する N 型拡散層が配置されている。N 型拡散層は、N+ 拡散層 102、第 1 N- 拡散層 103、及び第 2 N- 拡散層 114 を備える。ここで第 2 N- 拡散層 114 は、コンタクト抵抗低減手段であるので、抵抗値に問題なければ省略可能である。ゲート絶縁膜 104 及びその上のゲート電極 105 が、N 型拡散層に挟まれる形で半導体基板 101 上に配置されている。ゲート絶縁膜 104 及びゲート電極 105 の側面に、サイドウォール 107 が配置されている。ゲート絶縁膜 104、サイドウォール 107 及び N 型拡散層を覆うように、層間絶縁膜 108 が配置されている。層間絶縁膜 108 上の配線 112 と N 型拡散層とを電氣的に接続するためのコンタクトプラグ 110 が、層間絶縁膜 108 中に設けられたコンタクトホール 109 内に設けられている。

【0003】

このように、従来の半導体装置では、ソース及びドレインのいずれに対しても通常のコンタクト (コンタクトプラグ 110) を用いていた。ここで、コンタクトプラグ 110 は、通常、粒状 (島状) コンタクトである。粒状コンタクトの場合、半導体装置の微細化に伴い、コンタクトサイズが小さくなり、線幅が細くなるので抵抗が上昇する。その結果、所望の電気特性を得ることが難しく、微細化が困難であった。

【0004】

公知のセルフアライメント (self-alignment) 構造を、微細化技術として用いることが考えられる。ゲート (ゲート電極 105 及びゲート絶縁膜 104) 同士の距離が近づくので、微細化に有効である。しかし、この場合、N+ 拡散層 102 の領域が狭くなり、ソースドレインにおけるドーパント濃度の比較的薄い N- 拡散層 103 とコンタクトプラグ 110 とが接触することになる。すなわち、コンタクトプラグ 110 として

10

20

30

40

50

金属プラグを用いている場合には、N-拡散層103と金属とが接触することになる。そうすると、接触部分で形成されるシリサイド層がウェルにまで到達して、ソースドレインとウェルとの間でリーク電流が発生してしまう。それを回避する方法として、金属プラグではなくポリシリコンのプラグを用いることが考えられる。しかし、その場合、ポリシリコンのプラグは金属プラグよりも抵抗値が高いので、MOSトランジスタの電気特性が悪くなる。加えて、CMOSの場合、N型のポリシリコンプラグとP型のポリシリコンプラグとを別々に形成する必要があるため、工程が複雑でコスト上昇の原因となる。

【0005】

関連する技術として特開平10-242419号公報に半導体装置の製造方法及び半導体装置が開示されている。この半導体装置の製造方法は、シリコン半導体基板の主表面に第1の絶縁膜を形成する工程と、この第1の絶縁膜の上に第1の導電層を形成する工程と、この第1の絶縁層の上にシリコン酸化膜を形成する工程と、上記シリコン酸化膜及び上記第1の導電層をパターンニングして上面に酸化膜を有する複数のゲート電極を形成する工程と、上記ゲート電極の間の上記半導体基板の主表面に不純物を導入して複数の活性領域を形成する工程と、上記第1の絶縁膜及び上記ゲート電極を含む上記半導体基板の全面にシリコン窒化膜を形成する工程と、このシリコン窒化膜の上に第2の絶縁膜を形成する工程と、上記複数のゲート電極のうち選択された隣り合うゲート電極の間で上記第2の絶縁膜に開孔を設ける工程と、上記隣り合うゲート電極のそれぞれ側面のシリコン窒化膜の間において上記開孔から上記第1の絶縁膜の上のシリコン窒化膜及び上記第1の絶縁膜に開孔を設け、上記半導体基板の上記活性領域に至るコンタクトを形成する工程とを含むことを特徴とする。

【0006】

また、特開2001-44380号公報に半導体装置およびその製造方法が開示されている。この半導体装置は、ビット線の上層にキャパシタを備えるキャパシタオーバービットライン構造を有する。半導体装置は、キャパシタと導通するソースドレイン領域を覆う下層絶縁膜と、前記下層絶縁膜の上層に形成される上層絶縁膜と、前記下層絶縁膜および前記上層絶縁膜を貫通して前記ソースドレイン領域に開口するストレージノードコンタクトとを備える。前記ソースドレイン領域は、前記ストレージノードコンタクトが開口する部分を含む全面において実質的に平坦である。

【0007】

【特許文献1】特開平10-242419号公報

【特許文献2】特開2001-44380号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、低抵抗コンタクトを維持しつつ、より微細化された半導体装置及びその製造方法を提供することにある。

【0009】

また、本発明の他の目的は、コストを抑制しながら、トランジスタの集積度を向上することが可能な半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0010】

以下に、発明を実施するための最良の形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための最良の形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

【0011】

上記課題を解決するために、本発明の半導体装置は、二つのトランジスタ（Tr1、Tr2）と、第1コンタクト（13）と、二つの第2コンタクト（10）とを具備する。二

つのトランジスタ (Tr 1、Tr 2) は、半導体基板 (1) 上に設けられ、隣接している。第 1 コンタクト (13) は、二つのトランジスタ (Tr 1、Tr 2) 間にセルフアライメント構造で設けられ、二つのトランジスタ (Tr 1、Tr 2) の共通のソースに接続され、金属を含んでいる。二つの第 2 コンタクト (10) は、二つのトランジスタ (Tr 1、Tr 2) のドレインにそれぞれ接続され、金属を含んでいる。

本発明では、第 1 コンタクト (13) がセルフアライメント (自己整合型) 構造を有している、すなわち、自己整合的に形成するので、低コストで二つのトランジスタ (Tr 1、Tr 2) の間隔を狭くすることが出来、半導体チップをより微細化することができる。

【0012】

上記の半導体装置において、第 1 コンタクト (13) の端部とトランジスタ (Tr 1 / Tr 2) のゲートの端部との間隔は、第 2 コンタクト (10) の端部とトランジスタ (Tr 1 / Tr 2) のゲートとの間隔よりも小さい。

本発明では、第 1 コンタクト (13) がセルフアライメント (自己整合型) 構造を有しているので、第 1 コンタクト (13) 端部とゲート端部との間隔は、第 2 コンタクト (10) 端部とゲート端部との間隔と比較して小さくすることができる。それにより、半導体チップをより微細化することができる。

【0013】

第 1 コンタクト (13) は、少なくとも一つのコンタクトを有している。二つの第 2 コンタクト (10) の各々は、複数のコンタクトを有している。少なくとも一つのコンタクトにおける二つのトランジスタ (Tr 1、Tr 2) のゲート幅方向の長さは、複数のコンタクトの各々におけるゲート幅方向の長さ等しいか長い。

本発明では、第 1 コンタクト (13) のゲート幅方向の長さが、第 2 コンタクト (10) における個々のコンタクトのそれと比較して長くなっている。これにより、セルフアライメント構造によりソースにおいて N+ 拡散層と第 1 コンタクト (13) との接触幅 (W) が第 2 コンタクト (10) と比較して小さくなくても、接触面積 (接触長さ L × 接触幅 W) を大きく保つことができ、高集積化をしながら接触抵抗の低抵抗化を実現することができる。

【0014】

上記の半導体装置において、二つのトランジスタ (Tr 1、Tr 2) は、半導体基板 (1) のウェル表面に設けられている。ソースとウェルとは略同電位であることが好ましい。

本発明では、ウェル (半導体装置 1) とソースとが略同電位であるため、第 1 コンタクト (13) をセルフアライメント構造としたことでソースにおいて N- 拡散層と第 1 コンタクト (13) とが接触するが、リーク電流の問題を原理的に発生しないようにすることができる。それにより、コンタクトプラグ 13 として低抵抗な金属を用いることができる。略同電位とは、リーク電流の問題が発生しない程度に等しいということであり、誤差を含み得る。

【0015】

上記の半導体装置において、第 1 コンタクト (13) は、ゲート幅方向の長さがゲート長方向よりも長い形状を有することが好ましい。

これにより、接触面積 (接触長さ L × 接触幅 W) を大きく保つことができ、接触抵抗の低抵抗化を実現することができる。形状としては、ゲート幅方向に長径を有する楕円形状に例示される。

【0016】

上記の半導体装置において、第 1 コンタクト (13) は、矩形形状を有することが好ましい。

これにより、接触面積 (接触長さ L × 接触幅 W) をより確実に大きく保つことができ、接触抵抗の低抵抗化を実現することができる。

【0017】

上記の半導体装置において、第 1 コンタクト (13) は、一つであることが好ましい。

これにより、

【0018】

上記課題を解決するために、本発明の半導体装置の製造方法は、(a)半導体基板(1)上に隣接する二つのトランジスタ(T_{r1} 、 T_{r2})を形成する工程と、(b)半導体基板(1)と二つのトランジスタ(T_{r1} 、 T_{r2})とを覆うように設けられた層間絶縁膜(8)に、二つのトランジスタ(T_{r1} 、 T_{r2})の共通のソースに対応する場所に自己整合的に第1コンタクトホール(11)を、二つのトランジスタ(T_{r1} 、 T_{r2})の各々のドレインに対応する場所に二つの第2コンタクトホール(9)を、それぞれ形成する工程と、(c)第1コンタクトホール(11)及び二つの第2コンタクトホール(9)を金属を含む物質で埋めるように、それぞれ第1コンタクト(13)及び二つの第2コンタクト(10)を形成する工程とを具備する。

10

本発明では、第1コンタクト(13)をセルフアライメント(自己整合型)的に形成するので、低コストで二つのトランジスタ(T_{r1} 、 T_{r2})の間隔を狭くすることが出来、半導体チップをより微細化することができる。

【0019】

上記の半導体装置の製造方法において、第1コンタクト(13)の端部とトランジスタ(T_{r1}/T_{r2})のゲートの端部との間隔は、第2コンタクト(10)の端部とトランジスタ(T_{r1}/T_{r2})のゲートとの間隔よりも小さい。

本発明では、第1コンタクト(13)がセルフアライメント(自己整合型)構造を有しているので、第1コンタクト(13)端部とゲート端部との間隔は、第2コンタクト(10)端部とゲート端部との間隔と比較して小さくすることができる。それにより、半導体チップをより微細化することができる。

20

【0020】

上記の半導体装置の製造方法において、第1コンタクト(13)は、少なくとも一つのコンタクトを有している。二つの第2コンタクト(10)の各々は、複数のコンタクトを有している。少なくとも一つのコンタクトの横断面は、複数のコンタクトの各々の横断面の和よりも大きい。

本発明では、第1コンタクト(13)の横断面が、第2コンタクト(10)の個々の横断面の和よりも大きくなっている。これにより、セルフアライメント構造によりソースにおいてN+拡散層と第1コンタクト(13)との接触幅(W)が第2コンタクト(10)と比較して小さくなくても、接触面積(接触長さL×接触幅W)を大きく保つことで、高集積化をしながら接触抵抗の低抵抗化を実現することができる。

30

【0021】

上記の半導体装置の製造方法において、(b)工程と(d)工程とは同時に行われ、(c)工程と(e)工程とは同時に行われることが好ましい。

これにより、コンタクトホール(11、9)を形成する工程とコンタクト(13、10)を径生成する工程をまとめることが出来、工程にかかる時間を減少でき、コストも低減することが可能となる。

【発明の効果】

【0022】

本発明により、低抵抗コンタクトを維持しつつ、より微細化された半導体装置を提供することが可能となる。

40

【発明を実施するための最良の形態】

【0023】

以下、本発明の半導体装置の実施の形態に関して、添付図面を参照して説明する。ここでは、N型MOSトランジスタ T_{r1} 、 T_{r2} を有する半導体装置20に関して説明する。ただし、P型MOSトランジスタを有する場合にも、導電型を逆にすることで、同様に本発明を適用可能である。更に、N型及びP型の両方を有している場合にも、同様に本発明を適用可能である。

【0024】

50

図 2 は、本発明の半導体装置の実施の形態の構成を示す断面図（縦断面）である。半導体装置 20 は、半導体基板 1、N+拡散層 2、第 1 N-拡散層 3、第 2 N-拡散層 14、ゲート絶縁膜 4、ゲート電極 5、ゲート上絶縁膜 6、サイドウォール 7、層間絶縁膜 8、コンタクトホール 9、コンタクトプラグ 10、配線 12、コンタクトホール 11、コンタクトプラグ 13 を具備する。

【0025】

半導体基板 1 は、P 型半導体基板であり、ボロンドープ P-シリコン基板に例示される。ただし、半導体基板の表面にボロンのような P 型不純物を注入することで設けられた P 型ウェル（p-well）であっても良い。

【0026】

ゲート絶縁膜 4、及びゲート電極 5 は、MOS トランジスタ $Tr1$ 、 $Tr2$ のゲートを構成する。ゲート絶縁膜 4 は、半導体基板 1 表面のチャネル領域上に設けられている。絶縁膜であり、シリコン酸化膜に例示される。ゲート電極 5 は、ゲート絶縁膜 4 上に設けられている。電極であり、リンドープポリシリコンに例示される。ゲート上絶縁膜 6 は、ゲート電極 5 がコンタクト 13 と電氣的に接続することを防止するためにセルフアライメント構造に必須であり、ゲート電極 5 上に設けられている。絶縁膜であり、シリコン窒化膜に例示される。サイドウォール 7 は、ゲート絶縁膜 4、ゲート電極 5 及びゲート上絶縁膜 6 の側面に、それらを保護するように設けられている。絶縁膜であり、シリコン窒化膜に例示される。

【0027】

N+拡散層 2、第 1 N-拡散層 3、及び第 2 N-拡散層 14 は、N 型拡散層であり、MOS トランジスタ $Tr1$ 、 $Tr2$ のソースドレインを構成する。第 1 N-拡散層 3 は、半導体基板 1 表面のチャネル領域の両端部に設けられている。N+拡散層 2 は、チャネル領域から見て第 1 N-拡散層 3 の外側に設けられ、コンタクトプラグ 10 の一端と接続されている。第 2 N-拡散層 14 は、N+拡散層 2 の下側に設けられている。ここで、第 2 N-拡散層 14 はコンタクト形成後イオン注入で形成されるものであり、コンタクト抵抗低減手段であるので、コンタクト抵抗に問題なければ省略可能である。各 N 型拡散層の N 型ドーパント濃度 C の大小関係は、 $C(N+拡散層 2) > C(第 1 N-拡散層 3)$ 、 $C(N-拡散層 14)$ である。

【0028】

層間絶縁膜 8 は、N+拡散層 2、サイドウォール 7、及びゲート上絶縁膜 6 を覆うように設けられている。絶縁膜であり、低誘電率のシリコン酸化膜に例示される。

【0029】

コンタクトホール 9 は、MOS トランジスタ $Tr1$ 、 $Tr2$ のドレインとしての N+拡散層 2 と配線 12 とを繋ぐように層間絶縁膜 8 中に設けられた穴である。コンタクトプラグ 10 は、コンタクトホール 9 を充たすように設けられた配線であり、MOS トランジスタ $Tr1$ 、 $Tr2$ のドレインとしての N+拡散層 2 と配線 12 とを電氣的に接続する。コンタクトプラグ 10 は、通常（図 1）のコンタクトの構造を有している。導体であり、W（タングステン）、Al（アルミニウム）、Cu（銅）のような金属膜に例示される。

【0030】

配線 12 は、MOS トランジスタ $Tr1$ 、 $Tr2$ のソースドレインに関わる信号を供給又は送出する。

コンタクトホール 11 は、MOS トランジスタ $Tr1$ 、 $Tr2$ のソースとしての N+拡散層 2 と配線 12 とを繋ぐように層間絶縁膜 8 中に設けられた穴である。コンタクトホール 11 の下部は、MOS トランジスタ $Tr1$ 、 $Tr2$ のゲート上絶縁膜 6 及びサイドウォール 7 により、自己整合的に形成されている。コンタクトプラグ 13 は、コンタクトホール 11 を充たすように設けられた配線であり、MOS トランジスタ $Tr1$ 、 $Tr2$ のソースとしての N+拡散層 2 と配線 12 とを電氣的に接続する。コンタクトプラグ 13 は、セルフアライメント構造を有している。導体であり、W（タングステン）、Al（アルミニウム）、Cu（銅）のような金属膜に例示される。

10

20

30

40

50

【0031】

本実施の形態の半導体装置は、MOSトランジスタTr1とMOSトランジスタTr2との間にあるコンタクトプラグ13をセルフアライメント (self-alignment) 構造としている。このようにすることで、MOSトランジスタTr1、Tr2間の距離を、通常のコンタクトの構造を用いるのに比べて短く縮めることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【0032】

さらに、本実施の形態の半導体装置は、電気的には、MOSトランジスタTr1とMOSトランジスタTr2との間にあるN型拡散層をソースとし、両脇のN型拡散層をドレインとするように接続している。このとき、ウェル (半導体基板1) とソースとは、略同電位である。従って、コンタクトプラグ13をセルフアライメント構造としたことで、ソースにおいてN-拡散層3とコンタクトプラグ13とは接触するが、リーク電流の問題は原理的に発生しない。それにより、コンタクトプラグ13として低抵抗な金属を用いることができる。略同電位とは、リーク電流の問題が発生しない程度に等しいということであり、誤差を含み得る。

【0033】

図3は、本発明の半導体装置の実施の形態の構成を示す平面図である。ただし、配線12及び層間絶縁膜8を省略している。ドレインのコンタクトプラグ10は、従来の通常のコンタクトと同様に、粒状 (島状) の複数のプラグで構成されている。そのコンタクトプラグ10は、その横断面 (半導体基板1表面に平行な面) の面積が、コンタクトプラグ13のそれと比較して相対的に小さい。また、そのコンタクトプラグ10は、MOSトランジスタTr1、Tr2のゲート幅方向の長さが、コンタクトプラグ13のそれと比較して相対的に等しいか小さい。

【0034】

一方、ソースのコンタクトプラグ13は、従来の通常のコンタクトと異なり、少数で好ましくは一つのプラグで構成されている。そのコンタクトプラグ13は、その横断面の面積が、コンタクトプラグ10の個々のプラグのそれと比較して相対的に大きい。また、MOSトランジスタTr1、Tr2のゲート幅方向の長さ (L) がコンタクトプラグ10の個々のプラグのそれと比較して相対的に等しいか大きい。これにより、コンタクトプラグ13は、セルフアライン構造によりN+拡散層2とコンタクトプラグ13との接触幅 (W) がコンタクトプラグ10に比較して小さくなくても、接触面積 (接触長さL×接触幅W) を大きく保つことで、接触抵抗の低抵抗化を実現することができる。

【0035】

また、コンタクトプラグ13は、その横断面の形状が、ゲート幅方向 (図3における上下方向) に長いスリット形状 (矩形形状) を有していることが好ましい。それにより、接触面積 (接触長さL×接触幅W) をより確実に大きく保つことができる。ただし、接触長さLが十分に確保できる等の理由で抵抗値が十分に低ければ、端部や角部に丸みがついていたり、楕円形状を有していても良い。

【0036】

なお、両脇のドレインのコンタクトプラグ10は、図示されるように、通常のコンタクトと同様の粒状 (島状) であることが、スリット形状である場合に比較して、より好ましい。スリット形状にすると、リソグラフィの特性上スリットの中央で開口幅が大きくなる可能性があり、不向きであるからである。これは以下の理由による。コンタクトプラグ13 (ソース) の場合、接合リークを気にする必要がないので、セルフアラインメント構造を採用することができるので、中央で開口幅が大きくなったとしても問題がない。しかし、ドレインの場合、接合リークが発生しないように第1N-拡散層3とコンタクトプラグ10との接触を防止する必要がある。そのため、ゲートとコンタクトプラグ10との間隔を広げるか、中央が広がらない特別な技術を用いる必要があり、半導体チップの微細化に不適か、製造プロセスの高コスト化につながる。

【0037】

このように、本発明の半導体装置は、ソース側のコンタクトプラグ（金属配線コンタクト）をスリット形状、且つセルフアライメント構造とし、ドレイン側のコンタクトプラグ（金属配線コンタクト）を通常の粒状（島状）コンタクトとする。これにより、リーク電流の問題を回避し、低抵抗コンタクト（低抵抗な金属使用、かつ低接触抵抗）を維持しながら、トランジスタ間の距離を縮めて半導体装置の微細化、高集積化を図ることが可能となる。

【0038】

次に、本発明の半導体装置の製造方法における実施の形態について説明する。図4～図7は、本発明の半導体装置の製造方法における実施の形態を示す断面図である。

【0039】

図4を参照して、半導体基板の表面に一般的な方法により素子分離領域（図示されず）を形成する。次に、半導体基板の表面にボロンを注入することでP型ウェルを形成する。図中の半導体基板1は、ボロンを注入された半導体基板の表面を示している。続いて、例えば、酸化を施すことにより、半導体基板1の表面を覆うように、厚さ5nmのゲート絶縁膜を形成する。その後、例えば、厚さ100nmのリンドープポリシリコン、及び厚さ100nmのシリコン窒化膜を、それぞれCVD法により成膜する。そして、リンドープポリシリコン及びシリコン窒化膜を所望のパターンにパターニングする。このとき、ゲート絶縁膜も一部エッチングされる。その結果、ゲート絶縁膜4、ゲート電極5およびゲート上絶縁膜6が形成される。この状態が図4である。

【0040】

図4の状態において、次に、ゲート上絶縁膜6をマスクとして、例えば10keV、 $5 \times 10^{13} \text{ cm}^{-2}$ の条件で砒素をイオン注入し、第1N-拡散層3を形成する。続いて、例えば厚さ70nmのシリコン窒化膜をCVD法により成膜する。その後、異方性エッチバック技術を用いて、シリコン窒化膜をエッチバックして、サイドウォール7を形成する。この状態が図5である。

【0041】

図5の状態において、次に、ゲート上絶縁膜6及びサイドウォール7をマスクとして、例えば20keV、 $3 \times 10^{15} \text{ cm}^{-2}$ の条件で砒素をイオン注入し、N+拡散層2を形成する。続いて、例えば、厚さ1000nmのシリコン酸化膜をCVD法により成膜し、必要に応じてCMP（Chemical Mechanical Polishing）技術などで平坦化し、表面を層間絶縁膜108で覆う。この状態が図6である。

【0042】

図6の状態において、次に、MOSトランジスタTr1、Tr2のドレインに対応する層間絶縁膜8中の位置に、コンタクトホール9をエッチングにより開口する。そして、そのコンタクトホール9に金属材料からなるコンタクトプラグ10をCVD法とCMP技術により埋設する。また、コンタクトホール9の開口と同時に、ソースに対応する層間絶縁膜8中の位置に、コンタクトホール11をエッチングにより開口する。コンタクトホール11の下部の形状は、両側から迫るMOSトランジスタTr1、Tr2のゲート上絶縁膜6及びサイドウォール7の形状により自己整合的に決定される。そして、コンタクトプラグ10の埋設と同時に、そのコンタクトホール11に金属材料からなるコンタクトプラグ13をCVD法とCMP技術により埋設する。すなわち、コンタクトホール11及びコンタクトプラグ13は、セルフアライメント（self-alignment）構造を有している。さらに、例えば、10keV、 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でリンをイオン注入して、第2N-拡散層14を形成する。この状態が図7である。

【0043】

図7の状態において、金属材料から成る配線用の膜を成膜し、パターニングすることで配線12を形成する。これにより、図1に示される本発明の半導体装置を製造することができる。

【0044】

本実施の形態では、コンタクトプラグ13をコンタクトプラグ11と同時に、同様に金

10

20

30

40

50

属で形成することができる。それにより、例えば、コンタクトプラグ13としてポリシリコンのプラグを用いる場合に比較して、製造工程を簡略化することができ、工程にかかる時間を減少でき、コストも低減することが可能となる。

【図面の簡単な説明】

【0045】

【図1】図1は、従来の半導体装置の構成を示す断面図である。

【図2】図2は、本発明の半導体装置の実施の形態の構成を示す断面図である。

【図3】図3は、本発明の半導体装置の実施の形態の構成を示す平面図である。

【図4】図4は、本発明の半導体装置の実施の形態における製造方法を示す断面図である

10

【図5】図5は、本発明の半導体装置の実施の形態における製造方法を示す断面図である

【図6】図6は、本発明の半導体装置の実施の形態における製造方法を示す断面図である

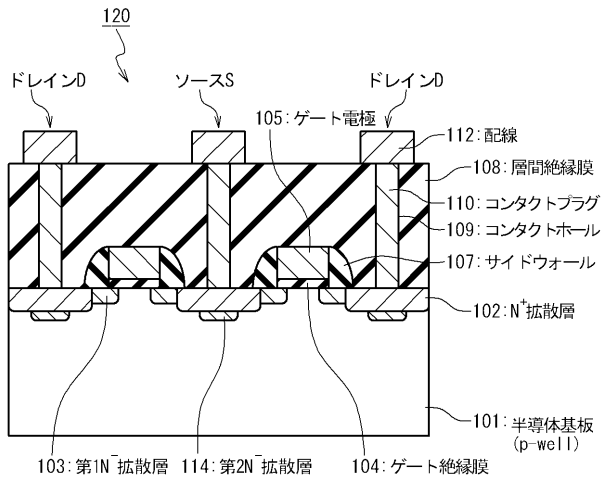
【図7】図7は、本発明の半導体装置の実施の形態における製造方法を示す断面図である

【符号の説明】

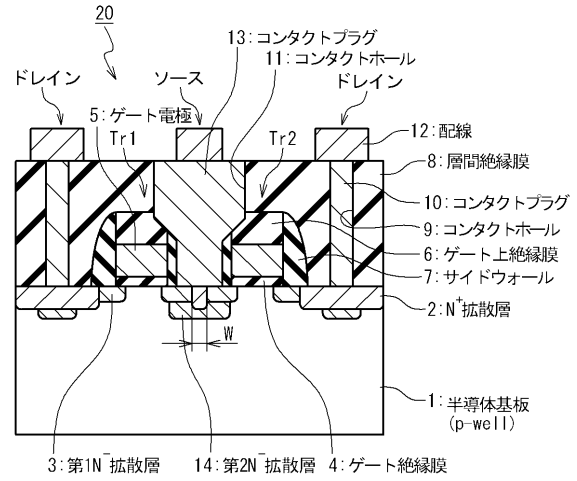
【0046】

- | | | |
|--------|-------------------|----|
| 1、101 | 半導体基板 (p-w e l l) | |
| 2、102 | N+拡散層 | 20 |
| 3、103 | 第1N-拡散層 | |
| 4、104 | ゲート絶縁膜 | |
| 5、105 | ゲート電極 | |
| 6 | ゲート上絶縁膜 | |
| 7、107 | サイドウォール | |
| 8、108 | 層間絶縁膜 | |
| 9、109 | コンタクトホール | |
| 10、110 | コンタクトプラグ | |
| 11 | コンタクトホール | |
| 12、112 | 配線 | 30 |
| 13 | コンタクトプラグ | |
| 14、114 | 第2N-拡散層 | |

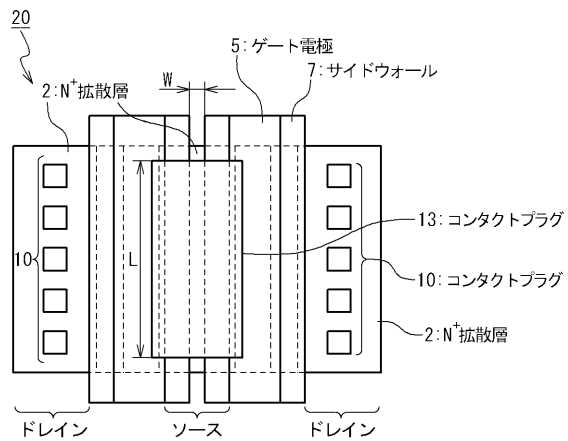
【図 1】



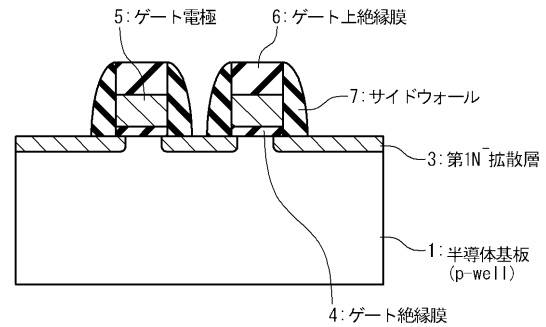
【図 2】



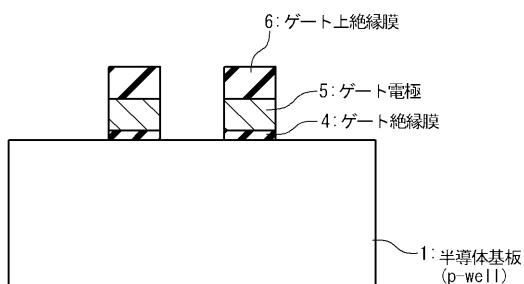
【図 3】



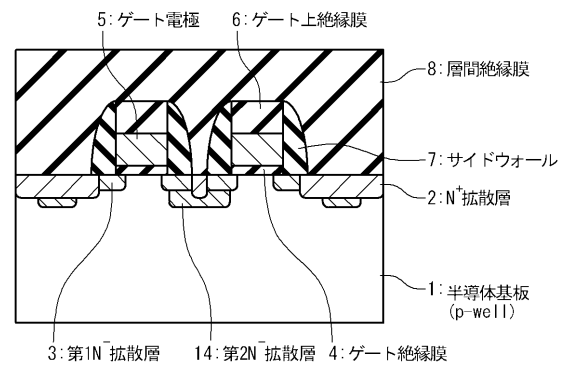
【図 5】



【図 4】



【図 6】



1: 半導体基板 (p-well)
 2: N^+ 拡散層
 3: 第1N 拡散層
 4: ゲート絶縁膜
 5: ゲート電極
 6: ゲート上絶縁膜
 7: サイドウォール
 8: 層間絶縁膜
 9: コンタクトホール
 10: 第1N 拡散層
 11: コンタクトホール
 12: 第2N 拡散層
 13: ゲート電極
 14: 第2N 拡散層

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 23/522 (2006.01)

Fターム(参考) 5F033 HH04 JJ08 JJ11 JJ19 KK01 LL04 NN33 NN34 PP06 QQ08
QQ09 QQ10 QQ31 QQ37 QQ48 RR04 RR06 SS11 TT08 VV06
XX09
5F048 AA01 AA07 AB01 AB03 AC01 BA01 BB06 BC03 BC06 BF07
BF16 BF17 DA27