



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

**243281**  
(11) (B1)

(22) Přihlášeno 06 11 84  
(21) [PV 8443-84]

(40) Zveřejněno 31 08 85

(45) Vydáno 15 11 87

(51) Int. Cl.<sup>4</sup>  
G 06 F 9/00  
G 06 F 9/32

(75)

Autor vynálezu

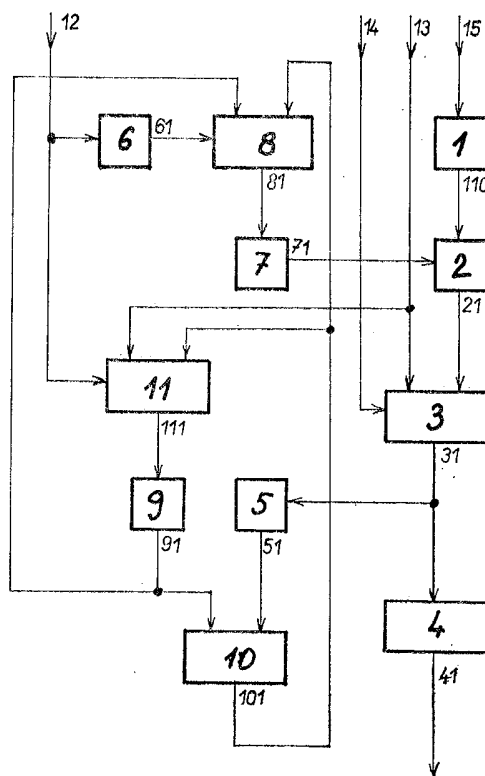
DRÁB VLASTIMIL ing.; KELBLER JOSEF ing.; ZAPLETAL ZDENĚK ing.,  
PRAHA

(54) Obvod pro automatické předečítání instrukce do instrukčního registru  
operačního procesoru

1

Zapojení se týká oboru počítačové techniky a řeší problém zvýšení rychlosti operačního procesoru počítače. Tento problém řeší vynález tím, že obsahuje vyrovnávací paměť pro pole instrukcí, odkud se pomocí přepínače výběru instrukce a přepínače degradace přesouvá nová instrukce do paměti instrukce. Výběr nové instrukce je řízen jednak ovládacím vstupem, jednak obsahem paměti nové adresy, jejíž obsah je v každé instrukci aktualizován. Aktualizace se provádí pomocí přepínače nové adresy, buď sečtením obsahu paměti adresy s obsahem paměti délky instrukce, nebo pouze přesunem obsahu paměti adresy. Volba záleží na hodnotě pomocného klopného obvodu, který je ovládán z řídicího vstupu.

2



Vynález se týká obvodu pro automatické předečítání instrukce do instrukčního registru operačního procesoru.

Dosavadní známá zapojení pro částečné předečítání instrukcí obsahovala paměť, do které se části instrukce obsahující operační znak předečítala pomocí mikroprogramového vybavení, jež bylo vlastně součástí mikroprogramu prováděné instrukce. Tento způsob značně prodlužoval prováděnou instrukci a zpomaloval operační rychlost počítače. Předečtení nebylo úplné a navíc paměť pro předečtení instrukce používal operační procesor i pro jiné účely.

Uvedené nevýhody odstraňuje zapojení obvodu pro automatické předečítání instrukce do instrukčního registru operačního procesoru podle vynálezu, jehož podstata spočívá v tom, že na první vstup přepínače výběru instrukce je připojen výstup vyrovnávací paměti, na jejíž vstup je připojen datový vstup celého obvodu. Druhý vstup přepínače výběru instrukce je připojen na výstup paměti nové adresy, jejíž vstup je spojen s výstupem přepínače nové adresy. První datový vstup přepínače nové adresy je připojen jak k výstupu sčítačky, tak k prvnímu datovému vstupu přepínače adresy, jehož výstup je připojen na vstup paměti adresy. Na druhý datový vstup přepínače adresy je připojen nejen adresový vstup celého obvodu, ale také první datový vstup přepínače degradace. Na třetí ovládací vstup přepínače adresy je připojen jak řídicí vstup celého obvodu, tak vstup pomocného klopného obvodu, jehož výstup je připojen na třetí ovládací vstup přepínače nové adresy. Výstup paměti adresy je připojen na první vstup sčítačky a rovněž na druhý datový vstup přepínače nové adresy. Druhý vstup sčítačky je spojen s výstupem paměti délky instrukce, jejíž vstup je připojen na výstup přepínače degradace a rovněž na vstup paměti instrukce. Výstup paměti instrukce je spojen s výstupem celého obvodu. Výstup přepínače výběru instrukce je připojen na druhý datový vstup přepínače degradace, na jehož ovládací vstup je připojen ovládací vstup celého obvodu.

Zapojení obvodu pro automatické předečítání instrukce do instrukčního registru operačního procesoru podle vynálezu má proti známým zapojením výhodu v tom, že se předečítá celá následující instrukce do instrukčního registru z vyrovnávací paměti pomocí přepínače výběru instrukce a přepínače degradace. Tím se zkracuje doba provádění instrukce, což vede k vyšší výkonnosti operačního procesoru. Předečítání probíhá automaticky a převážně asynchronně s paralelně běžícím operačním procesorem. Zapojení současně umožňuje pomalé předečítání instrukcí po částech pomocí mikroprogramového vybavení v průběhu provádění instrukce. Tato degradace předečítání je výhodná při takových poruchách technického vybavení, které znemožňuje normální funkci obvodu podle vynálezu.

Zapojení podle vynálezu je schematicky znázorněno na připojeném výkresu.

Na první vstup přepínače 2 výběru instrukce je připojen výstup 110 vyrovnávací paměti 1, na jejíž vstup je připojen datový vstup 15 celého obvodu. Druhý vstup přepínače 2 výběru instrukce je připojen na výstup 71 paměti 7 nové adresy, jejíž vstup je spojen s výstupem 81 přepínače 8 nové adresy. První datový vstup přepínače 8 nové adresy je připojen jak k výstupu 101 sčítačky 10, tak k prvnímu datovému vstupu přepínače 11 adresy, jehož výstup 111 je připojen na vstup paměti 9 adresy. Na druhý datový vstup přepínače 11 adresy je připojen nejen adresový vstup 13 celého obvodu, ale také první datový vstup přepínače 3 degradace. Na třetí ovládací vstup přepínače 11 adresy je připojen jak řídicí vstup 12 celého obvodu, tak vstup pomocného klopného obvodu 6, jehož výstup 61 je připojen na třetí ovládací vstup přepínače 8 nové adresy. Výstup 91 paměti 9 adresy je připojen na první vstup sčítačky 10 a rovněž na druhý datový vstup přepínače 8 nové adresy. Druhý vstup sčítačky 10 je spojen s výstupem 51 paměti 5 délky instrukce, jejíž vstup je připojen na výstup 31 přepínače 3 degradace a rovněž na vstup paměti 4 instrukce. Výstup 41 paměti 4 instrukce je spojen s výstupem 16 celého obvodu. Výstup 21 přepínače 2 výběru instrukce je připojen na druhý vstup přepínače 3 degradace, na jehož třetí ovládací vstup je připojen ovládací vstup 14 celého obvodu.

Během provádění instrukce, která je operačním procesoru poskytnuta na výstupu 16 celého obvodu z výstupu 41 paměti 4 instrukce, se ve sčítačce 10 zjišťuje nová adresa následující instrukce, která vzniká sečtením obsahu paměti 5 délky instrukce a obsahu paměti 9 adresy. Tento součet se z výstupu 101 sčítačky 10 přes první datový vstup a dále z výstupu 81 přepínače 8 nové adresy nahraje do paměti 7 nové adresy. Pomocí výstupu paměti 7 nové adresy se ovládá přepínač 2 výběru instrukce tak, že se v poslední mikroinstrukci právě prováděné instrukce nahraje z vyrovnávací paměti 1 nová následující instrukce ještě přes přepínač 3 degradace do paměti 4 instrukce. Zároveň se nahraje informace o délce nové instrukce z výstupu 31 přepínače 3 degradace do paměti 5 délky instrukce a adresa nové instrukce z výstupu 101 sčítačky 10 přes první datový vstup přepínače 11 adresy do paměti 9 adresy. Před provedením první instrukce se pomocí řídicího vstupu 12 celého obvodu a výstupu 61 pomocného klopného obvodu 6 nahraje z adresového vstupu 13 celého obvodu adresa této první instrukce do paměti 9 adresy přes druhý datový vstup přepínače 11 adresy a dále z výstupu 91 přes druhý datový vstup přepínače 8 nové adresy do paměti 7 nové adresy. Z datového vstupu 15 celého obvodu je do vy-

rovnávací paměti 1 nahráváno pole následujících instrukcí. Při degradaci automatického předečítání instrukcí je adresový vstup 13 celého obvodu používán jednak k nahrání adresy prováděné instrukce do paměti 9 adresy přes druhý datový vstup přepínače 11 adresy, který je ovládán pomocí signálu z řídicího vstupu 12 celého obvodu, jednak k nahrání instrukce do paměti 4 instrukce

přes první datový vstup přepínače 3 degradace ovládaného pomocí signálu, který je přiveden na třetí ovládací vstup přepínače 3 degradace z ovládacího vstupu 14 celého obvodu.

Zapojení podle vynálezu lze s výhodou použít v operačních procesorech číslicových počítačů.

#### PŘEDMĚT VYNÁLEZU

Obvod pro automatické předečítání instrukce do instrukčního registru operačního procesoru, vyznačený tím, že na první vstup přepínače (2) výběru instrukce je připojen výstup (110) vyrovnávače paměti (1), na jejíž vstup je připojen datový vstup (15) celého obvodu, zatímco druhý vstup přepínače (2) výběru instrukce je připojen na výstup (71) paměti (7) nové adresy, jejíž vstup je spojen s výstupem (81) přepínače (8) nové adresy, jehož první datový vstup je připojen jak k výstupu (101) sčítačky (10), tak k prvnímu datovému vstupu přepínače (11) adresy, jehož výstup (111) je připojen na vstup paměti (9) adresy, zatímco na druhý datový vstup přepínače (11) adresy je připojen nejen adresový vstup (13) celého obvodu, ale také první datový vstup přepínače (3) degradace, přičemž na třetí ovládací

vstup přepínače (11) adresy je připojen jak řídicí vstup (12) celého obvodu, tak i vstup pomocného klopného obvodu (6), jehož výstup (61) je připojen na třetí ovládací vstup přepínače (8) nové adresy, zatímco výstup (91) paměti (9) adresy je připojen na první vstup sčítačky (10) a rovněž na druhý datový vstup přepínače (8) nové adresy, přičemž druhý vstup sčítačky (10) je spojen s výstupem (51) paměti (5) délky instrukce, jejíž vstup je připojen na výstup (31) přepínače (3) degradace a rovněž na vstup paměti (4) instrukce, jejíž výstup (41) je výstupem celého obvodu, zatímco výstup (21) přepínače (2) výběru instrukce je připojen na druhý datový vstup přepínače (3) degradace, jehož třetí ovládací vstup je ovládacím vstupem (14) celého obvodu.

---

1 list výkresů

---

