

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



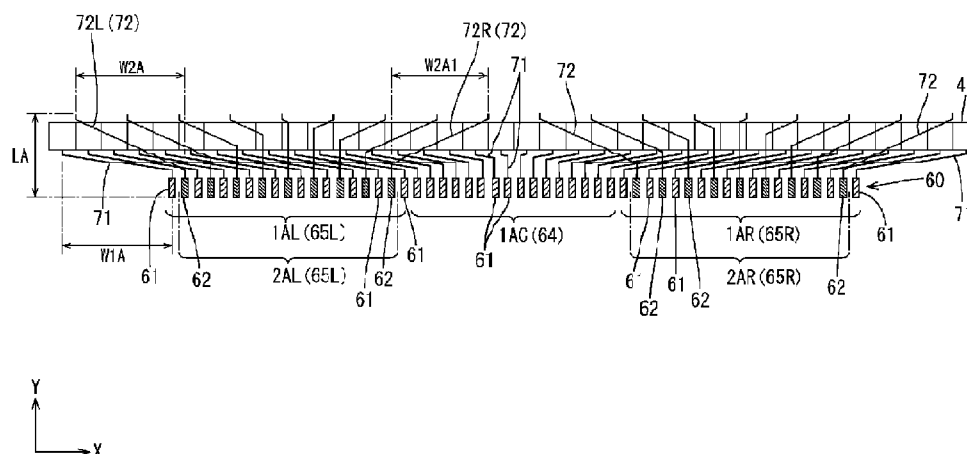
(10) 国際公開番号

WO 2018/168680 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) G02F 1/1345 (2006.01)
G02F 1/1333 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2018/009171
- (22) 国際出願日: 2018年3月9日(09.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-052171 2017年3月17日(17.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 藤川 陽介(FUJIKAWA Yohsuke).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKATSUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目1番1号 日土地名古屋ビル5階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: ACTIVE-MATRIX SUBSTRATE AND DISPLAY PANEL

(54) 発明の名称: アクティブマトリクス基板及び表示パネル



(57) **Abstract:** The present invention is characterized by comprising: a glass substrate 26, a plurality of pixel electrodes 40 arranged in a matrix, a plurality of TFTs 43, a plurality of common electrodes 42, a terminal group 60 composed of a plurality of terminals 61, 62 that are provided on one end of the glass substrate 26 in the Y axis direction and are aligned in the X axis direction, wiring 71 electrically connecting the terminals 61 and the TFTs 43, and wiring 72 electrically connecting the terminals 62 and the common electrodes 42. The terminal group 60 comprises: a central terminal group 64 which forms a center portion of the terminal group 60 in the X axis direction and which is formed of a plurality of terminals 61; and end terminal groups 65L, 65R which form the respective side portions of the terminal group 60 in the X axis direction and are formed of a plurality of the terminals 61, 62, wherein each terminal 62 is arranged between two adjacent terminals 61.



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: ガラス基板 26 と、マトリクス状に配列される複数の画素電極 40 と、複数の TFT 43 と、複数の共通電極 42 と、ガラス基板 26 上において Y 軸方向の一端部に設けられ、X 軸方向に沿って並ぶ複数の端子 61, 62 によって構成される端子群 60 と、端子 61 と TFT 43 とを電氣的に接続する配線 71 と、端子 62 と共通電極 42 とを電氣的に接続する配線 72 と、を備え、端子群 60 は、端子群 60 の X 軸方向における中央部分を構成すると共に複数の端子 61 によって構成される中央側端子群 64 と、端子群 60 の X 軸方向における両側部分をそれぞれ構成すると共に複数の端子 61, 62 によって構成されると共に、端子 62 が隣り合う 2 つの端子 61 の間に配されている端部側端子群 65L, 65R と、を備えることに特徴を有する。

明 細 書

発明の名称：アクティブマトリクス基板及び表示パネル

技術分野

[0001] 本発明は、アクティブマトリクス基板及び表示パネルに関する。

背景技術

[0002] 従来、携帯電話、スマートフォン、タブレット型ノートパソコンなどの携帯型の情報端末装置やコンピュータなどの電子機器には、液晶パネルなどの表示パネルを備えた表示装置が用いられている。表示パネルを構成するアクティブマトリクス基板においては、画素がマトリクス状に配列されており、各画素から引き出された配線の端子がアクティブマトリクス基板の一辺に沿って並んでいる。アクティブマトリクス基板に係る端子の配置態様については、例えば、下記特許文献１～５に記載されたものが知られている。

[0003] 特許文献１には、複数の端子において、配列方向の端部に配された端子間のピッチが、配列方向の中央部に配された端子間のピッチに比べて大きい構成が記載されている。特許文献２には、配列方向の端部に配された端子の面積及び端子間のピッチが、配列方向の中央部に配された端子の面積及び端子間のピッチに比べて大きい構成が記載されている。特許文献３には、ソースバスラインに係る端子、ゲートバスラインに係る端子、共通電極に係る端子がアクティブマトリクス基板の一辺に沿って配列されている構成が記載されている。また、特許文献３では、ソースバスラインに係る端子は３つの端子群に分けられており、ゲートバスラインに係る端子群がソースバスラインに係る端子群の外側に配されている。特許文献４には、ソースバスラインに係る端子とゲートバスラインに係る端子とが、アクティブマトリクス基板の一辺に形成されると共に、当該一辺方向において、交互に配されている構成が記載されている。

[0004] ここで、特許文献１～４に記載されたアクティブマトリクス基板における端子の配置態様をまとめると以下（１）～（３）の通りである。

(1) 複数の端子は、基本的には等間隔で配列され、同じ面積を有している。

(2) 複数の端子の一部について、実装精度を高くするために配列ピッチを大きくしたり、低抵抗化のために面積を大きくしたりする場合がある。

(3) 異なる機能を有する複数の端子が配列される場合は、機能毎に端子群としてグループ化され、一つの端子群の両側に他の端子群が配される場合がある。また、異なる機能を有する端子が基板の一边方向において、交互に配列される場合がある。

また、特許文献5には、タッチパネル機能を内蔵したインセル方式の液晶表示パネルが記載され、アクティブマトリクス基板の一边にソースバスラインに係る端子、ゲートバスラインに係る端子、共通電極に係る端子が形成されている構成が記載されている。特許文献5に記載されているようなタッチパネル機能を内蔵したアクティブマトリクス基板においては、共通電極を分割構成することで、タッチ位置を検出することが可能となっている。

先行技術文献

特許文献

- [0005] 特許文献1：特開昭61-3126号公報
- [0006] 特許文献2：特開2005-92185号公報
- [0007] 特許文献3：特開2005-84535号公報
- [0008] 特許文献4：特開平11-305681号公報
- [0009] 特許文献5：特開2013-254168号公報
- [0010] (発明が解決しようとする課題)

上記表示装置については、近年、高解像度化及び狭額縁化が求められている。このため、端子の配置態様としては、表示装置の高解像度化に伴う端子数の増加に対応しつつ、狭額縁化を図ることが可能なものが求められる。特に特許文献5に記載されているようなタッチパネル機能を内蔵したアクティブマトリクス基板においては、画素から引き出された配線の端子に加えて、各共通電極から引き出された配線の端子を設ける必要がある。これにより、

端子の総数が増加することから、狭額縁化を実現することがより困難となり、表示パネルの外形が大きくなってしまう。表示パネルの外形が大きくなると、例えば、意匠的な制約が生じることや、製造に係るコストが増加することが懸念される。

発明の概要

[0011] 本発明は上記のような事情に基づいて完成されたものであって、アクティブマトリクス基板の狭額縁化を図ることを目的とする。

[0012] (課題を解決するための手段)

上記課題を解決するために、本発明のアクティブマトリクス基板は、基板と、前記基板上に設けられ、行方向及び列方向に沿ってマトリクス状に配列される複数の画素電極と、前記基板上に設けられ、前記複数の画素電極の各々に接続される複数のスイッチング素子と、前記基板上に設けられる複数の共通電極と、前記基板上において前記列方向の一端部に設けられ、前記行方向に沿って並ぶ複数の第1端子及び複数の第2端子によって構成される端子群であって、前記行方向における長さが、前記行方向における前記複数のスイッチング素子の配置領域の長さ及び前記行方向における前記複数の共通電極の配置領域の長さよりも小さい値で設定されている端子群と、前記基板上に設けられ、前記第1端子と前記列方向に並ぶ複数の前記スイッチング素子とを電氣的に接続するスイッチング素子用配線であって、前記複数の第1端子の各々に対応して、複数本設けられるスイッチング素子用配線と、前記基板上に設けられ、前記複数の第2端子と前記複数の共通電極とをそれぞれ電氣的に接続する複数の共通電極用配線と、を備え、前記端子群は、前記端子群の前記行方向における中央部分を構成する中央側端子群であって、前記行方向に沿って並ぶ複数の前記第1端子によって構成される中央側端子群と、前記端子群の前記行方向における両側部分をそれぞれ構成する端部側端子群であって、前記行方向に沿って並ぶ複数の前記第1端子及び前記行方向に沿って並ぶ複数の前記第2端子によって構成されると共に、前記第2端子が前記行方向において隣り合う2つの前記第1端子の間に配されている端部側端

子群と、を備えることに特徴を有する。

[0013] 行方向に並ぶ複数の電極（又はスイッチング素子）の各々から、行方向における長さが相対的に小さい端子群の各端子に対して配線をそれぞれ延ばす場合には、複数の配線が端子群に向かって集束する形で配される。ここで、配線の集束の度合いが大きい程、配線の行方向における長さが大きくなるから、列方向において、より多くの配線が並ぶことになる。列方向に多くの配線が並ぶと、各配線の幅や隣り合う配線間の間隔に起因して、列方向における配線の配置スペースが大きくなってしまう。上記構成によれば、端子群の行方向における両側部分を構成する端部側端子群においては、隣り合う2つの第1端子の間に第2端子が配される構成とした。つまり、端部側端子群は、第1端子と第2端子とが混在する構成とした。これにより、仮に端子群の中央部分が第1端子のみによって構成され、端子群の両側部分が第2端子のみによって構成される場合に比べて、複数の第1端子の行方向における長さ、及び複数の第2端子の行方向における長さをより大きくすることができる。つまり、複数のスイッチング素子用配線の集束の度合い、及び複数の共通電極用配線の集束の度合いをそれぞれ小さくすることができる。この結果、スイッチング素子用配線及び共通電極用配線に係る列方向についての配置スペースをより小さくすることができるので、アクティブマトリクス基板の狭額縁化を図ることができる。

[0014] また、前記基板上に設けられ、前記端子群に対して前記行方向における両側にそれぞれ配されると共に、前記行方向に沿って並ぶ複数の第3端子によって構成される第3端子群を備えるものとすることができる。上記構成では、端子群の行方向における長さが複数のスイッチング素子の配置領域の長さ及び複数の共通電極の配置領域の長さよりも小さい値で設定されている。このため、端子群の行方向における両側に端子を配置するスペースを確保することができる。このため、第1端子、第2端子以外の端子である第3端子を配した場合において、アクティブマトリクス基板が行方向に大きくなる事態を抑制できる。

[0015] また、前記スイッチング素子用配線は、前記スイッチング素子のソース電極と電氣的に接続されており、前記第3端子は、前記スイッチング素子のゲート電極と電氣的に接続されているものとすることができる。このような構成とすれば、スイッチング素子及び共通電極に係る端子を行方向に沿って配列することができ、端子に係る列方向の配置スペースをより小さくすることができる。

[0016] 次に、上記課題を解決するために、本発明の表示パネルは、上記記載のアクティブマトリクス基板と、前記アクティブマトリクス基板に対して対向配置される対向基板と、を備える。このような構成の表示パネルによれば、アクティブマトリクス基板の狭額縁化が図られているので、表示パネルのデザイン性が高いものとなる。

[0017] (発明の効果)

本発明によれば、アクティブマトリクス基板の狭額縁化を図ることができる。

図面の簡単な説明

[0018] [図1]本発明の実施形態1に係る液晶表示装置をY軸方向に沿う切断線で切断した断面図

[図2]液晶パネルを示す斜視図

[図3]表示領域におけるアクティブマトリクス基板を示す断面図

[図4]アクティブマトリクス基板を示す平面図

[図5]端子の配置態様を示す平面図

[図6]比較例1の端子の配置態様を示す平面図

[図7]比較例2の端子の配置態様を示す平面図

[図8]比較例3の端子の配置態様を示す平面図

[図9]比較例4の端子の配置態様を示す平面図

[図10]比較例5の端子の配置態様を示す平面図

[図11]実施形態2に係る端子の配置態様を示す平面図

発明を実施するための形態

[0019] <実施形態１＞

本発明の実施形態１を図１から図１０によって説明する。なお、各図面の一部にはＸ軸、Ｙ軸及びＺ軸を示しており、各軸方向が各図面で示した方向となるように描かれている。液晶表示装置１０は、図１に示すように、液晶パネル１１（表示パネル）と、液晶パネル１１を駆動するドライバ１７（パネル駆動部）と、ドライバ１７に対して各種入力信号を外部から供給する制御回路基板１２（外部の信号供給源）と、液晶パネル１１と外部の制御回路基板１２とを電氣的に接続するフレキシブル基板１３（外部接続部品）と、液晶パネル１１に光を供給する外部光源であるバックライト装置１４（照明装置）と、を備える。バックライト装置１４は、図１に示すように、表側（液晶パネル１１側）に向けて開口した略箱形をなすシャーシ１４Ａと、シャーシ１４Ａ内に配された図示しない光源（例えば冷陰極管、ＬＥＤ、有機ＥＬなど）と、シャーシ１４Ａの開口部を覆う形で配される図示しない光学部材と、を備える。光学部材は、光源から発せられる光を面状に変換するなどの機能を有するものである。

[0020] また、液晶表示装置１０は、図１に示すように、相互に組み付けられた液晶パネル１１及びバックライト装置１４を収容及び保持するための表裏一対の外装部材１５，１６を備えており、このうち表側の外装部材１５には、液晶パネル１１の表示領域Ａ１に表示された画像を外部から視認させるための開口部１５Ａが形成されている。本実施形態に係る液晶表示装置１０は、例えば、携帯電話（スマートフォンなどを含む）、ノートパソコン（タブレット型ノートパソコンなどを含む）、ウェアラブル端末（スマートウォッチなどを含む）、携帯型情報端末（電子ブックやＰＤＡなどを含む）、携帯型ゲーム機、デジタルフォトフレームなどの各種電子機器（図示せず）に用いられるものである。

[0021] 液晶パネル１１は、図１に示すように、対向状に配される一対の基板２１，２２と、一対の基板２１，２２間に配され、電界印加に伴って光学特性が変化する物質である液晶分子を含む液晶層２３（媒質層）と、一対の基板２

1, 22の間に配されると共に液晶層23を囲むことで液晶層23を封止するシール部材24と、を備える。一对の基板21, 22のうち表側（正面側、図1の上側）の基板がCF基板21（対向基板）とされ、裏側（背面側）の基板がアクティブマトリクス基板22（アレイ基板、素子側基板）とされる。なお、液晶層23に含まれる液晶分子は、例えば水平配向とされるが、これに限定されない。また、両基板21, 22の外側には、それぞれ図示しない偏光板が貼り付けられている。

[0022] CF基板21は、ガラス基板（図示せず）の内面側（液晶層23側）に、カラーフィルタ、オーバーコート膜、配向膜（いずれも図示せず）が積層されることで構成されている。カラーフィルタは、マトリクス状に配列されるR（赤色）、G（緑色）、B（青色）の三色の着色部（図示せず）を備えている。各着色部は、アクティブマトリクス基板22の各画素（図4参照）と対向配置されている。

[0023] アクティブマトリクス基板22は、図3に示すように、ガラス基板26（基板）と、ガラス基板26における内面側（液晶層23側、図3の上側）に積層された各種の膜と、を備える。具体的には、ガラス基板26上には、下層側から順にベースコート膜28、半導体膜33、ゲート絶縁膜32、ゲート用導電膜31、絶縁膜35、導電膜34、平坦化膜36、配線72、絶縁膜39、画素電極40、絶縁膜41、共通電極42が積層形成されている。ベースコート膜28は、ガラス基板26における表面の全体を覆うベタ状のパターンとされており、例えば酸化珪素（ SiO_2 ）、窒化珪素（ SiN_x ）、窒化酸化珪素（ SiNO ）などからなる。半導体膜33は、ベースコート膜28の上層に積層され、TFT43においてソース電極34Sとドレイン電極34Dとに接続されるチャンネル部（半導体部）を構成する。半導体膜33は、低温ポリシリコン（LTPS）からなる。

[0024] ゲート絶縁膜32は、ベースコート膜28及び半導体膜33の上層側に積層されている。ゲート用導電膜31は、1種類の金属材料（例えばタンタルやタングステンなど）からなる単層膜や、異なる種類の金属材料からなる積

層膜や、合金などによって構成され、導電性及び遮光性を有している。ゲート用導電膜 31 は、ゲート配線 31A（図 4 参照）や TFT 43 のゲート電極 31G などを構成する。つまり、ゲート配線 31A とゲート電極 31G は同じ層に配されている。絶縁膜 35 は、ゲート絶縁膜 32 及びゲート用導電膜 31 の上層側に積層されている。導電膜 34 は、絶縁膜 35 の上層側に積層され、1 種類の金属材料（例えばアルミニウム（Al）やクロム銅（Cr）など）からなる単層膜や、異なる種類の金属材料からなる積層膜や、合金などによって構成され、導電性及び遮光性を有している。導電膜 34 は、ソース配線 34A（図 2 参照）や TFT 43 のソース電極 34S 及びドレイン電極 34D などを構成する。つまり、導電膜 34 は、ソース用導電膜及びドレイン用導電膜と呼ぶことができ、ソース配線 34A、ソース電極 34S、ドレイン電極 34D は同じ層に配されている。

[0025] 平坦化膜 36 は、導電膜 34 及び絶縁膜 35 の上層側に積層されると共に、例えば有機樹脂材料であるアクリル系樹脂材料（例えばポリメタクリル酸メチル樹脂（PMMA））からなる。平坦化膜 36 は有機絶縁膜であり、その膜厚が他の無機絶縁膜（絶縁膜 32, 35, 39, 41）に比べて厚いものとされ、表面を平坦化する機能を有する。配線 72 は、例えば銅（Cu）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、マグネシウム（Mg）、コバルト（Co）、クロム（Cr）、タングステン（W）のいずれか、またはこれらの混合物からなる。絶縁膜 39 は、平坦化膜 36 及び配線 72 の上層側に積層されている。

[0026] 画素電極 40 は、絶縁膜 39 上に配されており、透明電極材料（例えばITO（Indium Tin Oxide）など）の膜によって構成されている。絶縁膜 41 は、画素電極 40 及び絶縁膜 39 の上層側に積層されている。共通電極 42 は、絶縁膜 41 上に配されており、透明電極材料（例えばITOなど）の膜によって構成されている。ゲート絶縁膜 32、絶縁膜 35、絶縁膜 39、絶縁膜 41 は、例えば、窒化ケイ素（SiNx）、酸化ケイ素（SiO₂）等の無機材料からなる無機絶縁膜であり、防湿性を有している。

[0027] また、表示領域 A 1 においては、スイッチング素子である T F T 4 3 が画素電極 4 0 に対応して設けられている。T F T 4 3 は、ゲート電極 3 1 G と、半導体膜 3 3 と、ソース電極 3 4 S と、ドレイン電極 3 4 D とを備える。平坦化膜 3 6、絶縁膜 3 9 において、ドレイン電極 3 4 D と重なる箇所には、平坦化膜 3 6、絶縁膜 3 9 を貫通する形でコンタクトホール C H 1 が形成されている。画素電極 4 0 は、コンタクトホール C H 1 を介して、ドレイン電極 3 4 D と接続されている。絶縁膜 3 9、4 1 において、配線 7 2 と重なる箇所には、絶縁膜 3 9、4 1 を貫通する形でコンタクトホール C H 2 が形成されている。コンタクトホール C H 2 は、液晶層 2 3 側（図 3 の上側）に開口されており、共通電極 4 2 は、コンタクトホール C H 2 を介して、配線 7 2 と接続されている。また、ゲート絶縁膜 3 2、絶縁膜 3 5 を貫通する形でコンタクトホール C H 4、C H 5 がそれぞれ形成されている。ソース電極 3 4 S は、コンタクトホール C H 4 を介して、半導体膜 3 3 と接続されている。ドレイン電極 3 4 D は、コンタクトホール C H 5 を介して、半導体膜 3 3 と接続されている。

[0028] 液晶パネル 1 1 は、図 2 に示すように、画像を表示可能な表示領域 A 1 と、表示領域 A 1 を取り囲む形で外周側に配される非表示領域 A 2 を有する。表示領域 A 1 は、C F 基板 2 1 とアクティブマトリクス基板 2 2 とが重なる領域の内側部分に形成されている。C F 基板 2 1 及びアクティブマトリクス基板 2 2 は、それぞれ方形状をなしており、アクティブマトリクス基板 2 2 は、C F 基板 2 1 に対して、Y 軸方向における一方側に張り出している。これにより、アクティブマトリクス基板 2 2 の Y 軸方向における一方側の周端部は、C F 基板 2 1 と重ならない領域となっており、この領域には、端子 6 1、6 2、6 3（詳しくは後述）が形成されている。端子 6 1、6 2、6 3 には、例えば、ドライバ 1 7 やフレキシブル基板 1 3 などの回路部材が適宜接続される。なお、ドライバ 1 7 はフレキシブル基板 1 3 上に実装されていてもよく（C O F 実装）、その場合には、フレキシブル基板 1 3 を介して各端子（主に端子 6 1、6 2）がドライバ 1 7 と接続される。

[0029] 図4に示すように、アクティブマトリクス基板22を構成するガラス基板26上において、表示領域A1には、X軸方向（行方向）及びY軸方向（列方向）に沿ってマトリクス状に配列される複数の画素27（画素アレイ）が設けられている。ガラス基板26上において、X軸方向の両端部には、ゲートドライバ18がそれぞれ設けられている。また、複数の画素27の形成領域と、端子61、62、63との間には、RGBスイッチ回路45が設けられている。

[0030] 画素27は、画素電極40と、共通電極42と、TFT43と、を備える。画素電極40は、ガラス基板26上に設けられ、X軸方向（ガラス基板26の一辺方向）及びY軸方向（ガラス基板26の他辺方向）に沿ってマトリクス状に複数配列されている。TFT43（薄膜トランジスタ、スイッチング素子）は、X軸方向及びY軸方向に沿ってマトリクス状に複数配列されている。TFT43は、ゲート配線31A及びソース配線34Aが交差する箇所に設けられており、複数のTFT43が、複数の画素電極40に対してそれぞれ接続されている。TFT43は、ゲート配線31A及びソース配線34Aにそれぞれ供給される各種信号に基づいて駆動され、その駆動に伴って画素電極40に所定の電圧が印加されるようになっている。

[0031] 共通電極42は、ベタ状の電極であり、複数本のスリット（図示せず）を有した画素電極40と共通電極42の間に電位差が生じると、共通電極42と画素電極40との間には、アクティブマトリクス基板22の板面に沿う成分に加えて、アクティブマトリクス基板22の板面に対する法線方向の成分を含むフリンジ電界（斜め電界）が生じる。これにより、そのフリンジ電界を利用して液晶層23（図1参照）に含まれる液晶分子の配向状態を制御することで、表示領域A1に画像を表示することができる。

[0032] ゲートドライバ18は、図4に示すように、Y軸方向に長い形状をなしており、ガラス基板26上にモノリシックに形成され、TFT43への出力信号の供給を制御するための制御回路を有している。Y軸方向に沿って延びるゲート配線31Aは、両側のゲートドライバ18にそれぞれ接続されている。

。また、ゲートドライバ18からは、配線73が複数本引き出されている。配線73におけるゲートドライバ18とは反対側の端部には、端子63（第3端子）が設けられている。つまり、端子63は、配線73、ゲートドライバ18及びゲート配線31Aを介してTFT43のゲート電極31Gと電氣的に接続されている。ゲートドライバ18には、端子63及び配線73を介して、例えば、制御回路基板12（図1参照）から制御信号が供給される。

[0033] なお、本実施形態ではゲートドライバ18をガラス基板26上のX軸方向における両端部にそれぞれ配置する構成を例示したが、これに限らない。例えばゲートドライバ18をX軸方向における一端部のみに配置してもよい。また、Y軸方向に並ぶゲート配線31Aのうち、偶数番目のゲート配線31Aを駆動するゲートドライバ18をX軸方向における一方側に配し、奇数番目のゲート配線31Aを駆動するゲートドライバ18をX軸方向における他方側に配してもよい。

[0034] RGBスイッチ回路45は、ゲートドライバ18と同様にガラス基板26上にモノリシックに形成されており、画素アレイの周囲の1辺（X軸方向）に沿う形で形成されている。赤色、緑色、青色の各画素27に対応する3本のソース配線34Aは、RGBスイッチ回路45を介して1本の配線71と接続されている。配線71（スイッチング素子用配線）におけるRGBスイッチ回路45とは反対側の端部には、端子61（第1端子）が設けられている。配線71は、ガラス基板26上に設けられ、端子61とY軸方向に並ぶ複数のTFT43（ソース電極34S）とを電氣的に接続するための配線であり、複数の端子61の各々に対応して、複数本設けられている。なお、RGBスイッチ回路45から引き出された配線71は、Y軸方向に沿って端子61側に延びた後、Y軸に対して傾斜する方向に延び、その後、Y軸方向に沿って端子61に向かう形態で延びている。

[0035] RGBスイッチ回路45は、ドライバ17側から供給される出力信号に含まれる画像信号を、各ソース配線34Aに振り分ける機能を有している。その結果各色の画素27の透過率を変化させて、RGBの3原色方式のカラー

表示を行うことができる。なお、本実施形態では、１本の配線７１を３本のソース配線３４Ａと接続する構成を例示したが、これに限らない。例えば１本の配線７１を２本のソース配線３４Ａに振り分けてもよいし、１本の配線７１を４本のソース配線３４Ａに振り分けてもよい。

[0036] 本実施形態に係る液晶パネル１１は、画像を表示する表示機能と、表示される画像に基づいて使用者が入力する位置（入力位置）を検出するタッチパネル機能（位置入力機能）と、を有しており、タッチパネル機能を発揮するためのタッチパネルパターンを一体化（インセル化）している。このタッチパネルパターンは、いわゆる投影型静電容量方式とされており、その検出方式が自己容量方式とされる。本実施形態では、タッチパネルパターンは、図２に示すように、ガラス基板２６上に設けられた複数の共通電極４２によって構成されている。つまり、共通電極４２は、位置検出電極の機能を有している。複数の共通電極４２は、Ｘ軸方向及びＹ軸方向に沿ってマトリクス状に配列されている。なお、共通電極４２の面積は、例えば、画素電極４０の面積よりも大きい値で設定されており、一つの共通電極４２が複数の画素電極４０に対して対向配置されている。なお、一つの共通電極４２の配置領域の一例を図４において符号Ａ３で示す。

[0037] 共通電極４２には、ガラス基板２６上に設けられた配線７２（共通電極用配線）の一端部が接続されている。配線７２の他端部には、端子６２が設けられている。つまり、配線７２は、複数の端子６２と複数の共通電極４２とをそれぞれ電氣的に接続する構成とされる。共通電極４２には、端子６２及び配線７２を介して、共通電圧が印加される。

[0038] また、液晶表示装置１０の使用者が、液晶パネル１１の表面（表示面）に導電体である指（位置入力体、図示せず）を近づけると、その指と共通電極４２との間で静電容量が形成されることになる。これにより、指の近くにある共通電極４２にて検出される静電容量は、指から遠くにある共通電極４２の静電容量とは異なるものとなるので、それに基づいて入力位置を検出することが可能となる。入力位置を検出する制御の際、制御回路基板１２は、ド

ライバ 1 7、端子 6 2 及び配線 7 2 を介して、入力位置を検出するための駆動信号を共通電極 4 2 に供給すると共に、入力位置を検出するための検出信号を受信する。

[0039] 共通電極 4 2 の配置数（分割数）は、タッチセンシングの分解能や表示画面の大小によって適宜設定される。例えば、5 ～ 6 型程度のワイド画面の液晶パネルであれば 5 0 0 から 6 0 0 程度の分割数に設定される。なお、以下の説明では、共通電極 4 2 の配置数を n として説明する。共通電極 4 2 から引き出された配線 7 2 は、Y 軸方向に沿って端子 6 2 側に延びた後、Y 軸に対して傾斜する方向に延び、その後、Y 軸方向に沿って端子 6 2 に向かう形態で延びている。また、配線 7 2 は、画素アレイと Z 軸方向（アクティブマトリクス基板 2 2 の厚さ方向）において重なる形で配される。このため、配線 7 2 は、図 3 に示すように、ゲート用導電膜 3 1 及び導電膜 3 4（ソース用導電膜及びドレイン用導電膜）とは異なる導電膜によって形成され、異なる層（ゲート用導電膜 3 1 及び導電膜 3 4 に対して上層）に配される。

[0040] 次に、配線 7 1、7 2、7 3 及び端子 6 1、6 2、6 3 の構成について詳しく説明する。以下の説明では、端子 6 1 によって構成される端子群を第 1 端子群と呼び、端子 6 2 によって構成される端子群を第 2 端子群と呼ぶ。また、端子 6 3 によって構成される端子群を第 3 端子群と呼ぶ。本実施形態では、図 4 に示すように、複数の端子 6 1、6 2、6 3 がガラス基板 2 6 上において Y 軸方向の一端部に設けられ、X 軸方向に沿って直線状に配列されている。複数の端子 6 1、6 2 によって構成される端子群を端子群 6 0 とした場合、X 軸方向において、端子群 6 0 の長さは、複数の TFT 4 3 の配置領域の長さ、複数の共通電極 4 2 の配置領域の長さ、RGB スイッチ回路 4 5 の配置領域の長さよりもそれぞれ小さい値で設定されている。このため、図 5 に示すように、複数の配線 7 1 は、RGB スイッチ回路 4 5 から端子 6 1 によって構成される第 1 端子群（第 1 端子群 1 AC、1 AL、1 AR）に向かって扇状に絞り込まれるように形成されており、複数の配線 7 2 は、複数の共通電極 4 2 から第 2 端子群 2 AL、2 AR の各々に向かって扇状に絞り

込まれるように形成されている。なお、端子 6 1, 6 2, 6 3 の形状及び面積は、例えば同一とされる。なお、図 5 では、端子 6 3 を図示省略している。

[0041] 端子群 6 0 は、図 4 に示すように、X 軸方向における中央部分を構成する中央側端子群 6 4 と、X 軸方向における両側部分をそれぞれ構成する端部側端子群 6 5 L, 6 5 R と、を備える。中央側端子群 6 4 は、X 軸方向に沿って並ぶ複数の端子 6 1 (第 1 端子群 1 A C) によって構成されている。端部側端子群 6 5 L, 6 5 R は、端子 6 1 及び端子 6 2 によって構成されている。具体的には、端部側端子群 6 5 L は、X 軸方向に沿って並ぶ複数の端子 6 1 (第 1 端子群 1 A L) 及び複数の端子 6 2 (第 2 端子群 2 A L) によって構成されている。端部側端子群 6 5 R は、X 軸方向に沿って並ぶ複数の端子 6 1 (第 1 端子群 1 A R) 及び複数の端子 6 2 (第 2 端子群 2 A R) によって構成されている。端部側端子群 6 5 L, 6 5 R は、中央側端子群 6 4 を X 軸方向における両側から挟む形で配されている。

[0042] 配線 7 1 の本数は、画素 2 7 の数と、RGB スイッチ回路 4 5 によって 1 本の配線 7 1 を何本のソース配線 3 4 A に割り当てるかによって決定される。携帯電話に用いる液晶パネルにおいてポートレート表示の場合を例示すると、FHD (1080×1920) の解像度では配線 7 1 の本数は 1080 本とされ、WQHD (1440×2560) の解像度の場合では、配線 7 1 の本数は 1440 本や 2160 本とされることが多い。以下の説明では、配線 7 1 の本数を N 本とする。つまり、端子 6 1 の総数は N 個となる。なお、配線 7 1 は、例えば、ゲート用導電膜 3 1 又は導電膜 3 4 によって構成されている。

[0043] 図 4 に示すように、第 1 端子群 1 A L は、第 1 端子群 1 A C の左側に配され、第 1 端子群 1 A R は、第 1 端子群 1 A C の右側に配されている。第 1 端子群 1 A C では、複数の端子 6 1 が配列ピッチ d 1 で等間隔に配列されている。第 1 端子群 1 A L, 1 A R では、複数の端子 6 1 が配列ピッチ D 1 で等間隔に配列されている。配列ピッチ D 1 は、例えば、配列ピッチ d 1 の 2 倍

で設定されている。また、第1端子群1ACと第1端子群1ALはD1のピッチで隣接し、第1端子群1ACと第1端子群1ARはd1又はD1のピッチで隣接されている。すなわち第1端子群1AL, 1AC, 1ARは途中で配列ピッチが変わった総計N個の端子61の配列とみなすことができる。

[0044] 配線72及び端子62の数は、それぞれ共通電極42の数nと同数である。なお、上述したように一般的にNは1080や1440や2160、nは500～600であるため、 $n < N$ となることが一般的である。端部側端子群65L, 65Rでは、配列ピッチD1で隣り合う2つの端子61の間に、端子62が配されている。端部側端子群65L, 65Rを構成する第2端子群2AL, 2ARでは、複数の端子62が配列ピッチD2で等間隔に配列されている。配列ピッチD2は、配列ピッチD1と等しい値で設定されている。つまり、端部側端子群65L, 65Rでは、端子61と端子62が交互に配列されている。なお、図5では、端子61, 62の配置態様を分かり易くするために、端子61, 62の個数を実際よりも少ない数で図示してあり、端子61を36個、端子62を18個として図示してある。

[0045] 図5に示すように、複数の配線72のうち、一方の配線72群（全配線72の半数）は、第2端子群2ALに向かって扇状に絞り込まれる形（集束する形）で形成されており、他方の配線72群は、第2端子群2ARに向かって扇状に絞り込まれる形で形成されている。なお、ガラス基板26上において、配線72は、配線71と異なる層に配されており、配線71と干渉する事態が防止されている。また、配線72と配線71とが重なる箇所においてのみ、配線72が、配線71と異なる層に配されていてもよい。また、配線72は、RGBスイッチ回路45とは異なる層に形成されており、平面視においてRGBスイッチ回路45と重なるように配されている。

[0046] 図4に示すように、複数の端子63によって構成される第3端子群3AL, 3ARは、端子群60に対して、X軸方向の両側にそれぞれ配されている。つまり、図4において、ガラス基板26の1辺を左側から見ると、第3端子群3AL、端子群60（端部側端子群65L、中央側端子群64、端部側

端子群 6 5 R)、第 3 端子群 3 A R の順に配列されている。図 4 に示すように、X 軸方向において、端子群 6 0 の長さは、複数の画素 2 7 によって構成される画素アレイの長さよりも小さくなっている。このため、第 3 端子群 3 A L, 3 A R を端子群 6 0 の両側に配した場合であっても、アクティブマトリクス基板 2 2 の X 軸方向における長さが大きくなる事態が抑制される。

[0047] 端子 6 3 は画素 2 7 のゲート配線 3 1 A に係る端子としたが、その用途はこれに限定されない。例えば、端子 6 3 を、図 2 に示すように R G B スイッチ回路 4 5 の制御に係る配線 7 4 のための端子としてもよい。また、端子 6 3 の代わりに、液晶パネル 1 1 の検査用の端子（図示せず）を配置したり、製品を製造管理する為のマークや製品名をパターンニングしたものを設けたりしてもよい。また、ゲートドライバ 1 8 に電源電力を供給するための端子として端子 6 3 を用いる場合には、2 つ以上の端子 6 3 に跨って電源を電氣的に接続してもよい。

[0048] 次に、本実施形態の効果について説明する。本実施形態のように X 軸方向に並ぶ複数の共通電極（又はスイッチング素子）の各々から、X 軸方向における長さが相対的に小さい端子群の各端子に対して配線をそれぞれ延ばす場合には、複数の配線が端子群に向かって集束する形で配される。ここで、配線の集束の度合い（絞り込み量）が大きい程、配線の X 軸方向における長さが大きくなるから、Y 軸方向において、より多くの配線が並ぶことになる。Y 軸方向に多くの配線が並ぶと、各配線の幅や隣り合う配線間の間隔に起因して、Y 軸方向における配線の配置スペースが大きくなってしまう。

[0049] 本実施形態では、図 5 に示すように、端子群 6 0 の X 軸方向における両側部分を構成する端部側端子群 6 5 L, 6 5 R においては、隣り合う 2 つの端子 6 1 の間に端子 6 2 が配される構成とした。つまり、端部側端子群 6 5 L, 6 5 R は、端子 6 1 と端子 6 2 とが混在する構成とした。これにより、仮に端子群 6 0 の中央部分が複数の端子 6 1 のみによって構成され、端子群の両側部分が複数の端子 6 2 のみによって構成される場合（図 6 の端子群参照、詳しくは後述）に比べて、複数の端子 6 1 の X 軸方向における長さ（第 1

端子群 1 A L, 1 A C, 1 A R を合わせた長さ)、及び複数の端子 6 2 の X 軸方向における長さ (第 2 端子群 2 A L, 2 A R の各長さ) をより大きくすることができる。つまり、複数の配線 7 1 の集束の度合い (図 5 の絞り込み量 $W 1 A$)、及び複数の配線 7 2 の集束の度合い (図 5 の絞り込み量 $W 2 A$, $W 2 A 1$) をそれぞれ小さくすることができる。この結果、配線 7 1 及び配線 7 2 に係る Y 軸方向についての配置スペース (Y 軸方向についての額縁寸法 $L A$) をより小さくすることができるので、アクティブマトリクス基板 2 2 の狭額縁化を図ることができる。

[0050] また、図 4 に示すように、ガラス基板 2 6 上に設けられ、端子群 6 0 に対して X 軸方向における両側にそれぞれ配されると共に、X 軸方向に沿って並ぶ複数の端子 6 3 によって構成される第 3 端子群 3 A L, 3 A R を備える。本実施形態では、端子群 6 0 の X 軸方向における長さが複数の T F T 4 3 の配置領域の長さ及び複数の共通電極 4 2 の配置領域の長さよりも小さい値で設定されている。このため、端子群 6 0 の X 軸方向における両側に端子を配置するスペースを確保することができる。このため、端子 6 1、端子 6 2 以外の端子である端子 6 3 を配した場合において、アクティブマトリクス基板 2 2 が X 軸方向に大きくなる事態を抑制できる。

[0051] また、配線 7 1 は、T F T 4 3 のソース電極 3 4 S と電氣的に接続されており、端子 6 3 は、T F T 4 3 のゲート電極 3 1 G と電氣的に接続されている。このような構成とすれば、T F T 4 3 及び共通電極 4 2 に係る端子 6 1, 6 2, 6 3 を X 軸方向に沿って配列することができ、端子 6 1, 6 2, 6 3 に係る Y 軸方向の配置スペースをより小さくすることができる。

[0052] 次に、本実施形態の効果について比較例 1 ～ 5 を例示して詳しく説明する。比較例 1 ～ 5 は、端子 6 1, 6 2 の配置態様が本実施形態と相違しており、それ以外の構成は、本実施形態と同じである。なお、比較例 1 ～ 5 では、端子 6 1 の総数及び端子 6 2 の総数については、本実施形態と同数である。また、比較例 1 ～ 5 を示す図 6 ～ 図 1 0 においては、端子 6 3 を図示省略している。図 6 に示す比較例 1 では、複数の端子 6 1 によって構成された第 1

端子群 1 B が設けられ、第 1 端子群 1 B における X 軸方向の両側に、複数の端子 6 2 によって構成された第 2 端子群 2 B L, 2 B R がそれぞれ配されている。複数の端子 6 1, 6 2 は等間隔で配列されている。複数の配線 7 1 は、R G B スイッチ回路 4 5 から第 1 端子群 1 B へ向かって絞り込まれる形で延びており、全体としては扇状の外観を呈する。複数の配線 7 2 のうち、一方の配線 7 2 群は、第 2 端子群 2 B L に向かって扇状に絞り込まれる形で形成されており、他方の配線 7 2 群は、第 2 端子群 2 B R に向かって扇状に絞り込まれる形で形成されている。

[0053] X 軸方向において、第 1 端子群 1 B の長さは、本実施形態の第 1 端子群の長さ（第 1 端子群 1 A L, 1 A C, 1 A R を合わせた長さ）よりも小さくなっている。言い換えると、本実施形態では、端子 6 1 が、端子群 6 0 の両端に配されている。このため、比較例 1 における配線 7 1 の絞り込み量 W 1 B は、本実施形態における配線 7 1 の絞り込み量 W 1 A（図 5 参照）と比べて大きくなっている。ここで言う配線の絞り込み量とは、1 つの端子群に向かって扇状をなす形で延びる複数の配線のうち、X 軸方向において最も外側に配される配線の X 軸方向の長さのことである。配線の絞り込み量が大きいということは、Y 軸方向について、より多くの本数の配線が並ぶことになるから、Y 軸方向における配線の配置スペースが大きくなる。

[0054] なお、以下の説明では、一つの端子群に向かう複数の配線 7 1 のうち、最も左側に配された配線 7 1 に符号 7 1 L を付し、最も右側に配された配線 7 1 に符号 7 1 R を付して他の配線 7 1 と区別する場合がある。また、一つの端子群に向かう複数の配線 7 2 のうち、最も左側に配された配線 7 2 に符号 7 2 L を付し、最も右側に配された配線 7 2 に符号 7 2 R を付して他の配線 7 2 と区別する場合がある。

[0055] X 軸方向において、第 2 端子群 2 B L の長さは、本実施形態の第 2 端子群 2 A L の長さよりも小さくなっている。このため、比較例 1 における配線 7 2 L の絞り込み量 W 2 B は、本実施形態における配線 7 2 L の絞り込み量 W 2 A とほぼ同一となっているが、比較例 1 における配線 7 2 R の絞り込み量

W2B1は、本実施形態における配線72Rの絞り込み量W2A1と比べて明らかに大きくなっている。このように、比較例1は、配線71及び配線72の双方について、本実施形態よりも絞り込み量が大きくなっている。つまり、比較例1は、配線71及び配線72に律則して、Y軸方向についての額縁寸法LBが、本実施形態のY軸方向についての額縁寸法LAよりも大きくなっている。

[0056] 図7に示す比較例2では、複数の端子62によって構成された第2端子群2Cが設けられ、第2端子群2CにおけるX軸方向の両側に、複数の端子61によって構成された第1端子群1CL, 1CRがそれぞれ配されている。複数の端子61, 62は、等間隔で配列されている。複数の配線71のうち、半数の配線71群は、第1端子群1CLに向かって扇状に絞り込まれる形で形成されており、残り半数の配線71群は、第1端子群1CRに向かって扇状に絞り込まれる形で形成されている。複数の配線72は、第2端子群2Cへ向かって絞り込まれる形で延びており、全体としては扇状の外観を呈する。

[0057] 比較例2における配線71Lの絞り込み量W1Cは、本実施形態における配線71の絞り込み量W1Aと同一である。また、比較例2における配線71Rの絞り込み量W1C1は、絞り込み量W1Cとほぼ同じ又は若干大きい値となる。また、本実施形態では、第2端子群2AL, 2ARが、端子群60の一端側及び他端側にそれぞれ配されている。これに対して、比較例2では、端子群の中央側に第2端子群2Cが配されている。このため、比較例2における配線72Lの絞り込み量W2Cは、本実施形態における配線72Lの絞り込み量W2Aと比べて明らかに大きくなっている。この結果、比較例2は、配線72に律則して、Y軸方向についての額縁寸法LCが、本実施形態のY軸方向についての額縁寸法LAよりも大きくなっている。

[0058] 図8に示す比較例3では、複数の端子61によって構成された第1端子群1Dが、X軸方向においてRGBスイッチ回路45の配置領域とほぼ同じ長さの領域に配されている。複数の端子61は、一つの端子62を配すること

が可能な配列ピッチで等間隔に配列されている。第1端子群1Dにおける中央よりも左側の箇所では、隣り合う端子61の間に端子62が配されており、複数の端子62によって第2端子群2DLが構成されている。第1端子群1Dにおける中央よりも右側の箇所では、隣り合う端子61の間に端子62が配されており、複数の端子62によって第2端子群2DRが構成されている。なお、端子62の総数は、端子61の総数よりも少ないため、第2端子群2DL, 2DR以外の箇所では、隣り合う端子61の間に端子62が配されていない。複数の配線71は、RGBスイッチ回路45からY軸方向に沿う形で第1端子群1Dに向かって延びている。複数の配線72のうち、一方の配線72群は、第2端子群2DLに向かって扇状に絞り込まれる形で形成されており、他方の配線72群は、第2端子群2DRに向かって扇状に絞り込まれる形で形成されている。

[0059] 比較例3では、配線71がY軸方向に沿って延びることから、Y軸方向についての額縁寸法LDに影響を与えることはない。また、比較例3における配線72Lの絞り込み量W2Dは、本実施形態における配線72Lの絞り込み量W2Aとほぼ同一であり、比較例3における配線72Rの絞り込み量W2D1は、本実施形態における配線72Rの絞り込み量W2A1とほぼ同一である。このため、比較例3のY軸方向についての額縁寸法LCは、本実施形態のY軸方向についての額縁寸法LAとほぼ同じとなっている。しかしながら、比較例3では、第1端子群1Dが、X軸方向においてRGBスイッチ回路45の配置領域とほぼ同じ長さの領域に配されている。このため、端子63については、第1端子群1Dの両側の領域S3に配置する必要がある。この結果、比較例3の構成では、本実施形態の構成に比べて端子61, 62, 63に係るX軸方向の配置スペースがより大きくなってしまい、アクティブマトリクス基板22の狭額縁化が困難となる。

[0060] 図9に示す比較例4では、複数の端子61によって構成された第1端子群1Eが、X軸方向においてRGBスイッチ回路45の配置領域とほぼ同じ長さの領域に配されている。第2端子群2EL, 2ERは、隣り合う端子61

間に配された端子 6 2 によって構成されている点は、上記比較例 3 と同様であるが、比較例 3 の第 2 端子群 2 D L, 2 D R よりも、第 1 端子群 1 E の中央側に配されている点が相違する。

[0061] 比較例 4 では、複数の配線 7 1 は、RGB スイッチ回路 4 5 から Y 軸方向に沿う形で第 1 端子群 1 E に向かって延びている。複数の配線 7 2 のうち、一方の配線 7 2 群は、第 2 端子群 2 E L に向かって絞り込まれる形で形成されており、他方の配線 7 2 群は、第 2 端子群 2 E R に向かって絞り込まれる形で形成されている。つまり、複数の配線 7 2 は、第 2 端子群 2 E L, 2 E R に向かって扇状に絞り込まれる形で形成されている。比較例 4 における配線 7 2 L の絞り込み量 $W 2 E$ は、本実施形態における配線 7 2 L の絞り込み量 $W 2 A$ よりも大きくなっている。つまり、比較例 4 は、配線 7 2 に律則して、Y 軸方向についての額縁寸法 $L E$ が、本実施形態の Y 軸方向についての額縁寸法 $L A$ よりも大きくなっている。また、比較例 4 の構成では、比較例 3 の構成と同様に、端子 6 3 については、第 1 端子群 1 E の両側の領域 $S 4$ に配置する必要がある。このため、本実施形態の構成に比べて端子 6 1, 6 2, 6 3 に係る X 軸方向の配置スペースがより大きくなってしまい、アクティブマトリクス基板 2 2 の狭額縁化が困難となる。

[0062] 図 10 に示す比較例 5 では、第 1 端子群 1 F C が中央側に、第 1 端子群 1 F L, 1 F R がその両側にそれぞれ配されている。第 1 端子群 1 F C の端子 6 1 の配列ピッチは、第 1 端子群 1 F L, 1 F R の端子 6 1 の配列ピッチの 2 倍で設定されており、第 1 端子群 1 F C の端子 6 1 間には、第 2 端子群 2 F の端子 6 2 が配されている。複数の配線 7 1 は、RGB スイッチ回路 4 5 から第 1 端子群 1 F L, 1 F C, 1 F R に向かって扇状に絞り込まれる形で形成されている。複数の配線 7 2 は、第 2 端子群 2 F に向かって扇状に絞り込まれる形で形成されている。

[0063] 比較例 5 における配線 7 1 L の絞り込み量 $W 1 F$ は、本実施形態における配線 7 1 L の絞り込み量 $W 1 A$ と同じとなっている。また、比較例 5 では、最も外側に配される端子 6 2 が、第 1 端子群 1 F L, 1 F R の内側に配され

ている。これに対して、本実施形態では、最も外側に配される端子62が端子群60の両端付近にそれぞれ配されている。このため、比較例5における配線72（配線72L参照）の絞り込み量W2Fは、本実施形態における配線72（配線72L参照）の絞り込み量W2Aよりも大きくなっている。このため、比較例5は、配線72に律則して、Y軸方向についての額縁寸法LFが、本実施形態のY軸方向についての額縁寸法LAよりも大きくなっている。

[0064] 以上説明したように、本実施形態の構成は、比較例1, 2, 5の構成に対して、配線71又は／及び配線72の絞り込み量をより小さくすることができ、Y軸方向についての額縁寸法LAを小さくすることができる。また、本実施形態の構成は、比較例3, 4の構成に対して、X軸方向についての額縁寸法を小さくすることができる。

[0065] このように、本実施形態によれば、ガラス基板26の外形寸法をより小さくすることができる。これにより、1枚のマザー基板から製造できるガラス基板26の枚数を増やすことができ、製造コストを低減することができる。また、液晶パネル11の額縁寸法をより小さくすることができるから、液晶パネル11を用いた電気機器のデザインの自由度が損なわれる事態を抑制することができる。

[0066] なお、本実施形態では、ドライバ17がフレキシブル基板13上にCOF実装されていてもよく、COF実装とした場合は、ドライバ17はアクティブマトリクス基板22には直接積載されず、アクティブマトリクス基板22の背面側に設置される。したがってアクティブマトリクス基板22の周端部（非表示領域A2）には、端子を配置するためのスペースを確保すればよい。このため、上述した端子71, 72, 73の配置態様に係る効果と相まってアクティブマトリクス基板22をより一層狭額縁化させることができる。またCOF実装とした場合には、アクティブマトリクス基板22に設けられた端子のピッチをドライバ17の出力端子のピッチと一致させる必要がないから、アクティブマトリクス基板22の仕様（画面サイズ等）に応じて、端

子ピッチを設定することができる。このため、例えば、より広い端子ピッチに設定することができる。この点においてもCOF実装は狭額縁化に好ましい構成である。なお端子の並びを交互配置するなど狭額縁化に適した特殊な構成とした場合はドライバ17が大型化する可能性が懸念される。特にCOG実装の場合においては、大型化したドライバ17を載置するためにアクティブマトリクス基板22の額縁が大きくなってしまい不都合が生じる。しかしCOF実装とすることによって、たとえドライバ17が大型化しても、ドライバ17によってアクティブマトリクス基板の額縁が大きくなってしまったことを避けることができる。

[0067] <実施形態2>

次に、本発明の実施形態2を図11によって説明する。本実施形態では、端子61、62の配置態様が上記実施形態1と相違する。なお、上記実施形態と同一部分には、同一符号を付して重複する説明を省略する。本実施形態では、端子61、62によって構成される端子群160は、中央側端子群164及び端部側端子群165L、165Rによって構成されている。本実施形態では、上記実施形態と同様に端子61を36個、端子62を18個として図示してある。中央側端子群164は、X軸方向に沿って並ぶ複数の端子61によって構成されている。端部側端子群165L、165Rは、それぞれ、複数の端子61及び複数の端子62が混在する形で配されている。

[0068] 端部側端子群165Lは、第1端子群1GL及び3つの第2端子群2G1、2G2、2G3によって構成されている。第1端子群1GLにおける端子61の配列ピッチは、中央側端子群164における端子61の配列ピッチに比べて大きいものとされ、隣り合う端子61の間に端子62が配されている。但し、隣り合う第2端子群2G1、2G2、2G3間には、2つの端子61、61が連続して配されており、その2つの端子61、61は、中央側端子群164における端子61の配列ピッチと同じ配列ピッチを有している。端部側端子群165Rでは、第1端子群1GRにおける端子61の配列ピッチは、中央側端子群164における端子61の配列ピッチに比べて大きいも

のとされ、隣り合う端子 6 1 の間に端子 6 2 が配されている。但し、隣り合う第 2 端子群 2 G 4, 2 G 5, 2 G 6 間には、2 つの端子 6 1 が連続して配されており、その 2 つの端子 6 1, 6 1 は、中央側端子群 1 6 4 における端子 6 1 の配列ピッチと同じ配列ピッチを有している。このように、本実施形態の端部側端子群 1 6 5 L, 1 6 5 R では、隣り合う 2 つの端子 6 1 の間に端子 6 2 が配されている部分と、端子 6 1 が連続して 2 つ並ぶ部分とが混在されている。

[0069] 複数の配線 7 1 は、RGB スイッチ回路 4 5 から第 1 端子群 1 G L, 1 G C, 1 G R に向かって引き出されており、全体として扇状をなしている。複数の配線 7 2 のうち、一方の配線 7 2 は、第 2 端子群 2 G 1, 2 G 2, 2 G 3 に向かって引き出され、全体として扇状をなしている。複数の配線 7 2 のうち、他方の配線 7 2 は、第 2 端子群 2 G 4, 2 G 5, 2 G 6 に向かって引き出され、全体として扇状をなしている。配線 7 1 の絞り込み量 $W1G$ は、実施形態 1 における配線 7 1 の絞り込み量 $W1A$ と同一である。配線 7 2 L の絞り込み量 $W2G$ は、実施形態 1 における配線 7 2 L の絞り込み量 $W2A$ と同一である。隣り合う第 2 端子群 2 G 1, 2 G 2, 2 G 3 間に 2 つの端子 6 1, 6 1 が連続して配されていることに起因して、配線 7 2 R の絞り込み量 $W2G1$ は、実施形態 1 における配線 7 2 R の絞り込み量 $W2A1$ よりも小さい値となっている。なお、配線 7 1 の本数は、配線 7 2 の本数よりも多いことから、Y 軸方向についての額縁寸法 L_G により影響を与えやすい。本実施形態では、額縁寸法 L_G が配線 7 1 によって律則されており、配線 7 1 の絞り込み量 $W1G$ は、実施形態 1 における配線 7 1 の絞り込み量 $W1A$ と同一であることから、額縁寸法 L_G は、実施形態 1 における額縁寸法 L_A と同じとなっている。

[0070] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

(1) 各導電膜及び各絶縁膜の材質は、上記実施形態で例示した材質に限

定されず、適宜変更可能である。

(2) 上記実施形態では、TFT43の半導体膜33として、低温ポリシリコンを用いたものを例示したが、これに限定されない。半導体膜33の材質は適宜変更可能であり、半導体膜33として、例えば、アモルファスシリコンやIn-Ga-Zn-O系半導体を用いてもよい。

(3) 上記実施形態では、複数の端子61, 62, 63がX軸方向に沿って直線状に並ぶ構成を例示したが、これに限定されない。複数の端子61, 62, 63は、それぞれX軸方向に沿って並ぶものであればよく、例えば、X軸方向について隣り合う端子がY軸方向についてわずかにずれる形で配列(千鳥配列)されていてもよい。

(4) 上記実施形態では、複数の配線72を2つの配線群に分け、各配線群がそれぞれ扇状をなす構成を例示したが、これに限定されない。複数の配線72を3つ以上の配線群に分け、各配線群がそれぞれ扇状をなす構成としてもよい。

(5) 上記実施形態では、RGBスイッチ回路45を介して、端子61とソース配線34Aが接続されている構成を例示したが、これに限定されない。RGBスイッチ回路45を備えていない構成であってもよく、ソース配線34Aと端子61とが直接的に接続されていてもよい。つまり、端子61がソース配線34Aの本数と同数設けられていてもよい。

(6) 上記実施形態では、端子61, 62及び配線71, 72の配置がY軸を基準として左右対称となるような形態としたが、これに限定されない。例えば、図5の左半分の端子のピッチと右半分の端子のピッチが異なってもよく、配線71, 72についても左右非対称をなす配置としてもよい。

符号の説明

[0071] 11…液晶パネル(表示パネル)、21…CF基板(対向基板)、22…アクティブマトリクス基板、26…ガラス基板(基板)、31G…ゲート電極、34S…ソース電極、40…画素電極、42…共通電極、43…TFT(スイッチング素子)、60…端子群、61…端子(第1端子)、62…端子

(第2端子)、63…端子(第3端子)、64, 164…中央側端子群、65R, 65L, 165R, 165L…端部側端子群、71…配線(スイッチング素子用配線)、72…配線(共通電極用配線)、3AL, 3AR…第3端子群

請求の範囲

[請求項1]

基板と、

前記基板上に設けられ、行方向及び列方向に沿ってマトリクス状に配列される複数の画素電極と、

前記基板上に設けられ、前記複数の画素電極の各々に接続される複数のスイッチング素子と、

前記基板上に設けられる複数の共通電極と、

前記基板上において前記列方向の一端部に設けられ、前記行方向に沿って並ぶ複数の第1端子及び複数の第2端子によって構成される端子群であって、前記行方向における長さが、前記行方向における前記複数のスイッチング素子の配置領域の長さ及び前記行方向における前記複数の共通電極の配置領域の長さよりも小さい値で設定されている端子群と、

前記基板上に設けられ、前記第1端子と前記列方向に並ぶ複数の前記スイッチング素子とを電氣的に接続するスイッチング素子用配線であって、前記複数の第1端子の各々に対応して、複数本設けられるスイッチング素子用配線と、

前記基板上に設けられ、前記複数の第2端子と前記複数の共通電極とをそれぞれ電氣的に接続する複数の共通電極用配線と、を備え、

前記端子群は、

前記端子群の前記行方向における中央部分を構成する中央側端子群であって、前記行方向に沿って並ぶ複数の前記第1端子によって構成される中央側端子群と、

前記端子群の前記行方向における両側部分をそれぞれ構成する端部側端子群であって、前記行方向に沿って並ぶ複数の前記第1端子及び前記行方向に沿って並ぶ複数の前記第2端子によって構成されると共に、前記第2端子が前記行方向において隣り合う2つの前記第1端子の間に配されている端部側端子群と、を備えるアクティブマトリクス

基板。

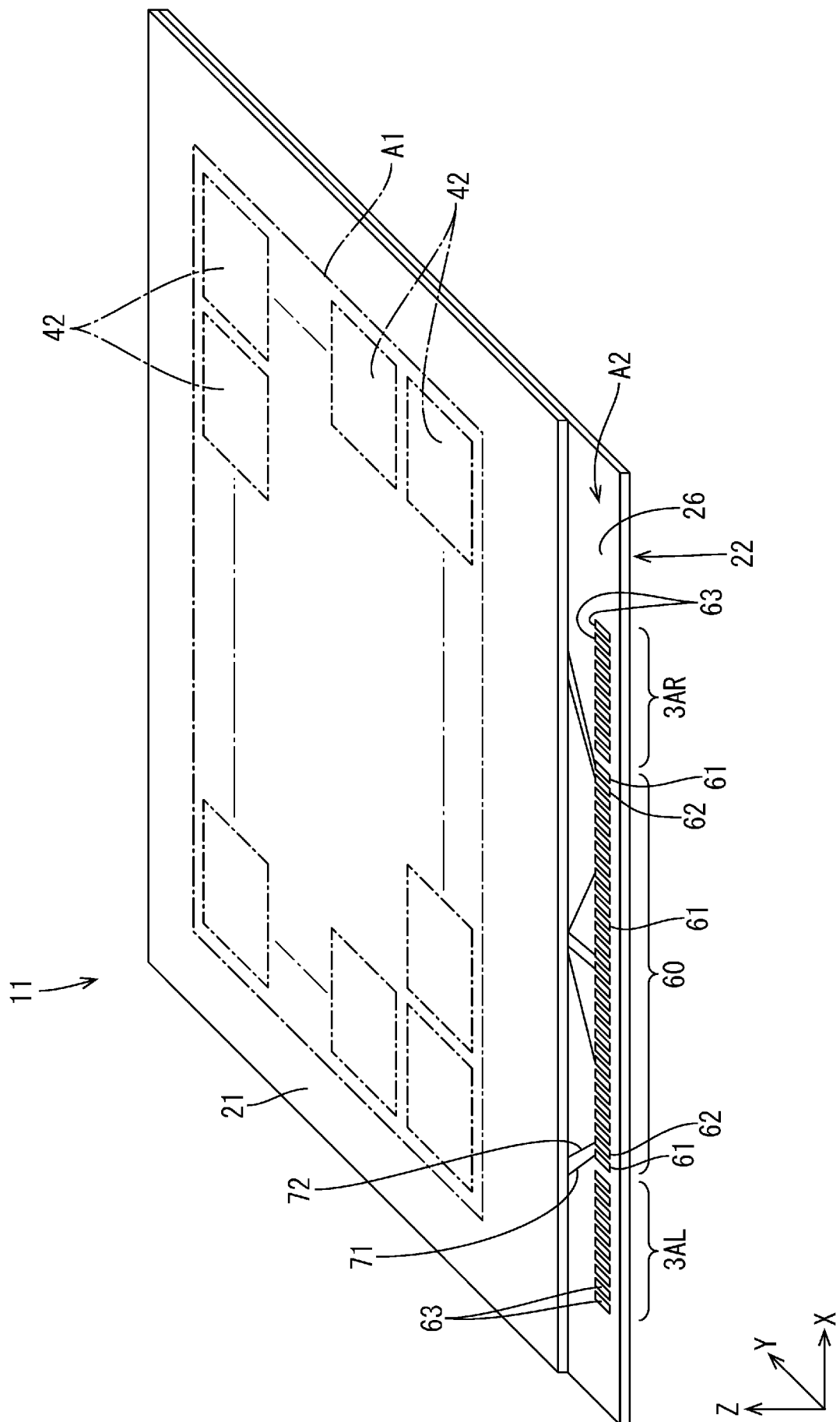
[請求項2] 前記基板上に設けられ、前記端子群に対して前記行方向における両側にそれぞれ配されると共に、前記行方向に沿って並ぶ複数の第3端子によって構成される第3端子群を備える請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記スイッチング素子用配線は、前記スイッチング素子のソース電極と電氣的に接続されており、

前記第3端子は、前記スイッチング素子のゲート電極と電氣的に接続されている請求項2に記載のアクティブマトリクス基板。

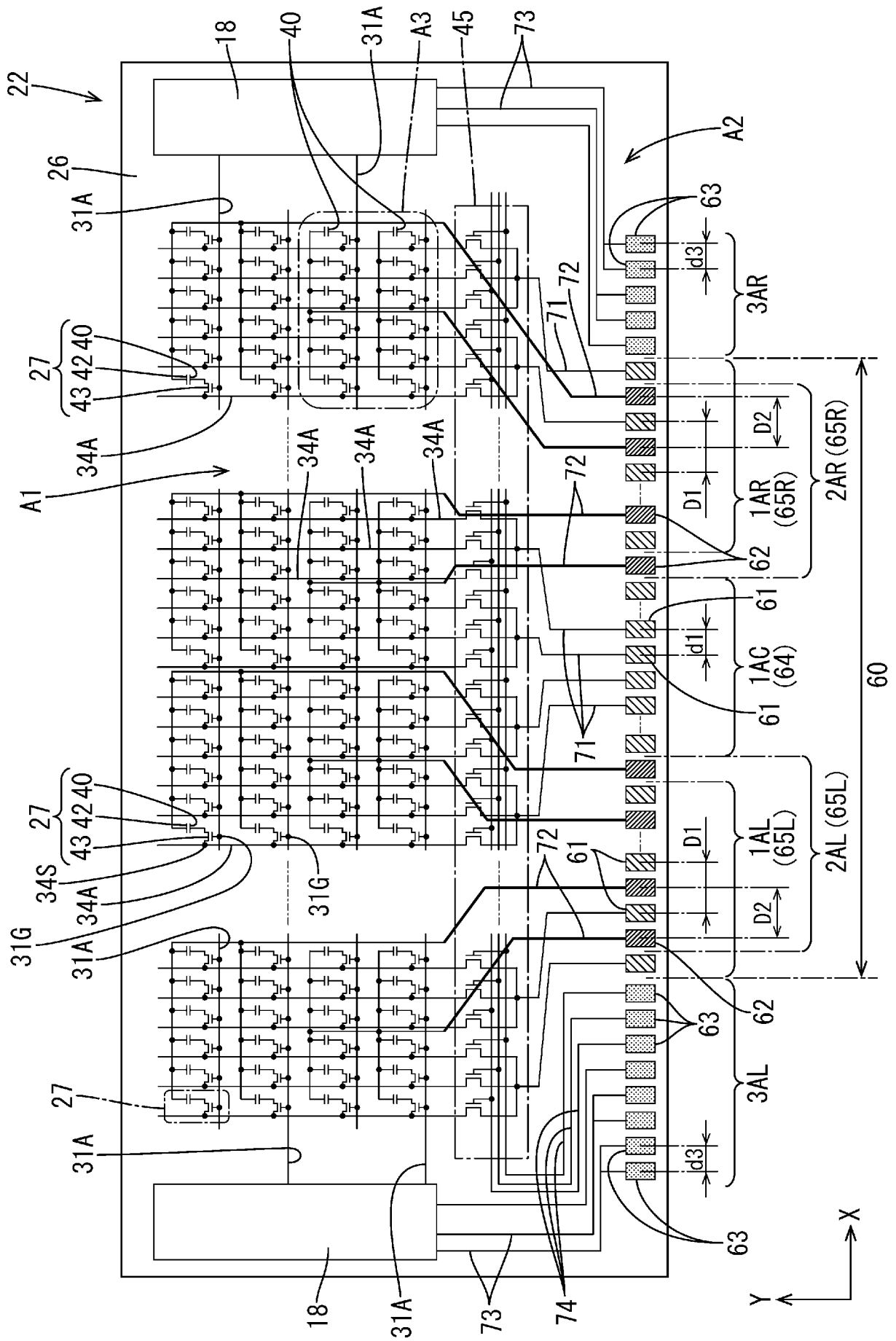
[請求項4] 請求項1から請求項3のいずれか1項に記載のアクティブマトリクス基板と、前記アクティブマトリクス基板に対して対向配置される対向基板と、を備える表示パネル。

[図2]

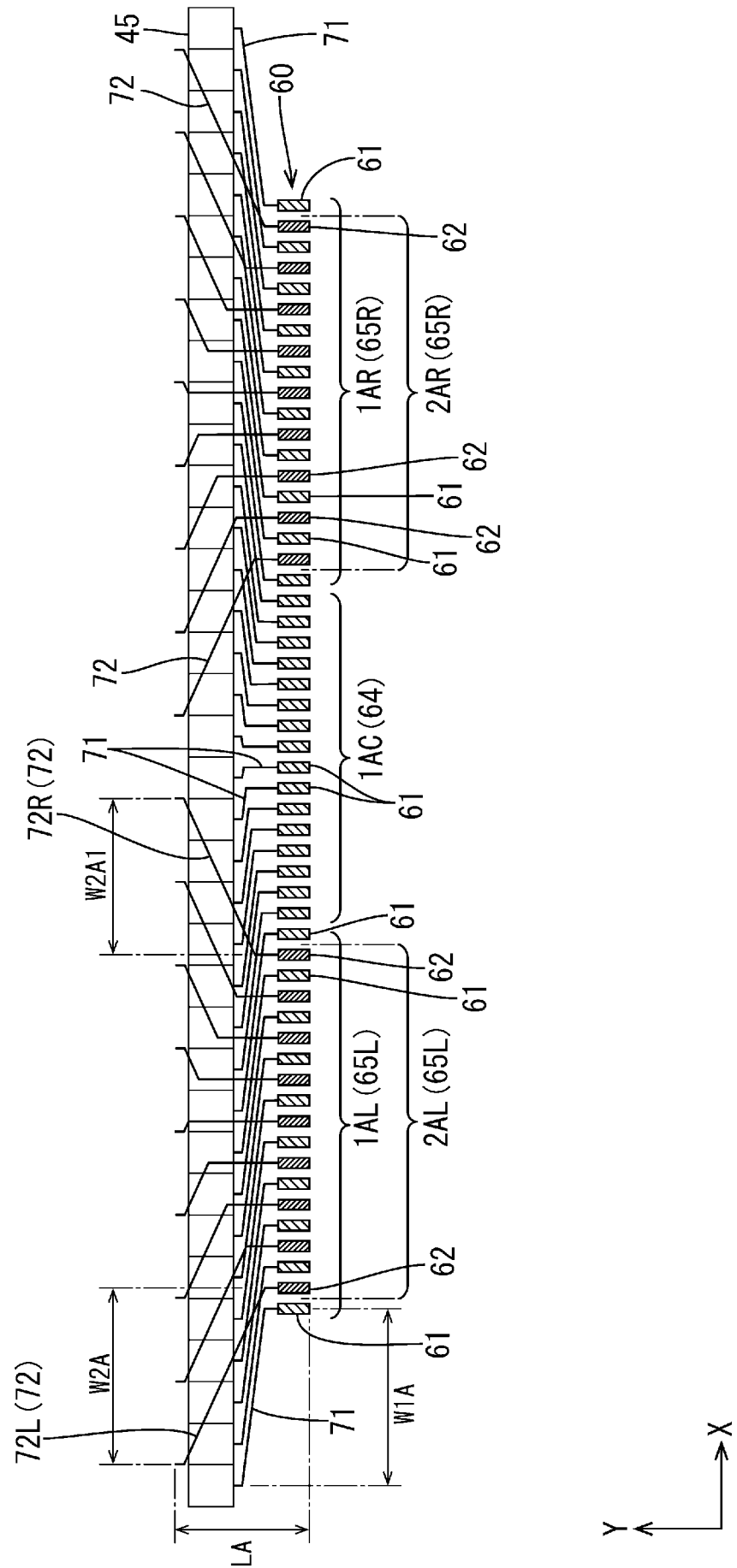


[illegible]

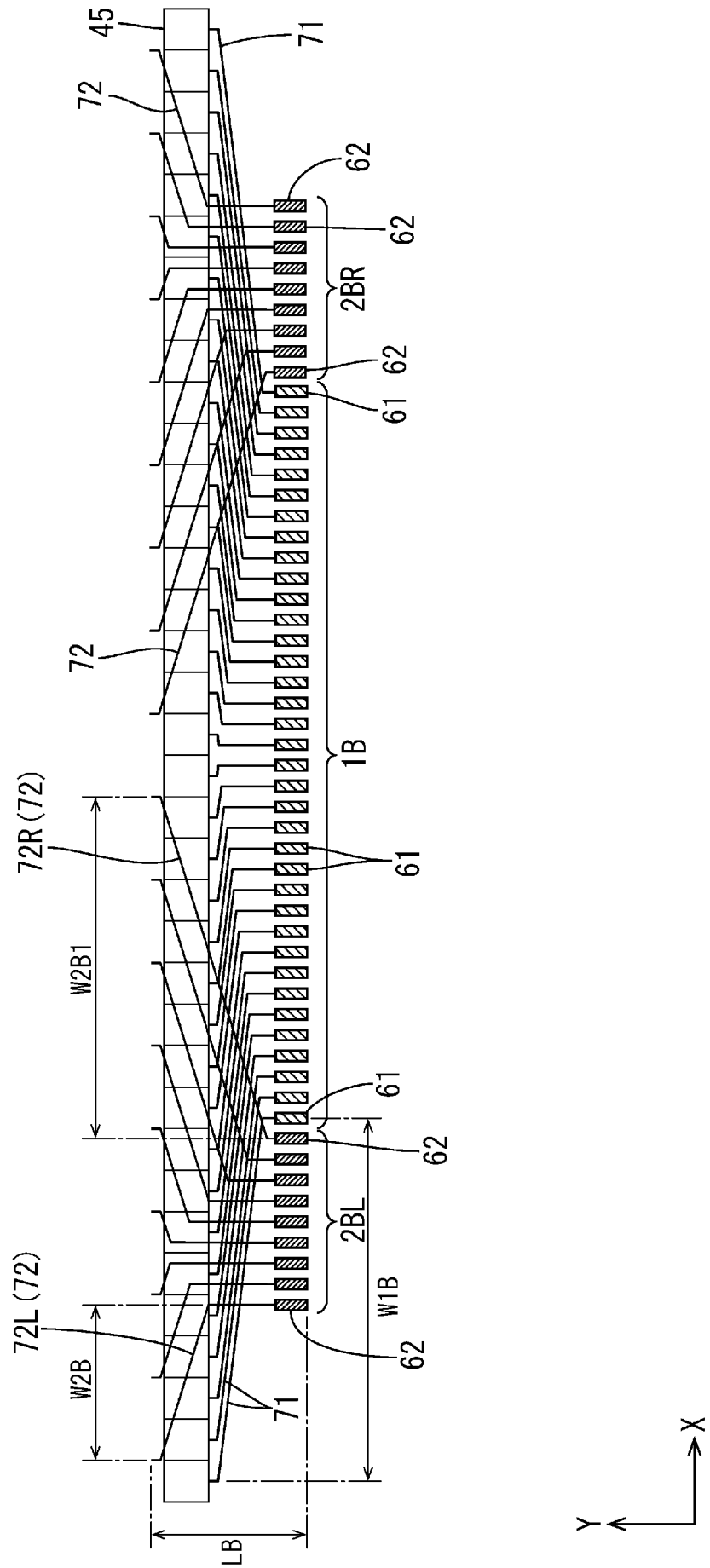
[図4]



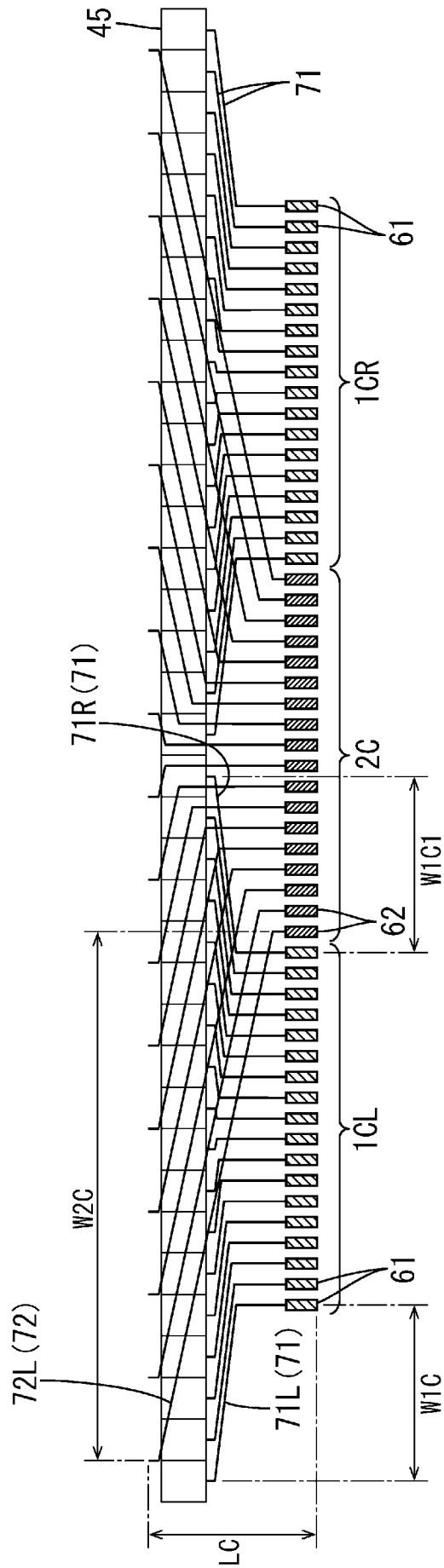
[図5]



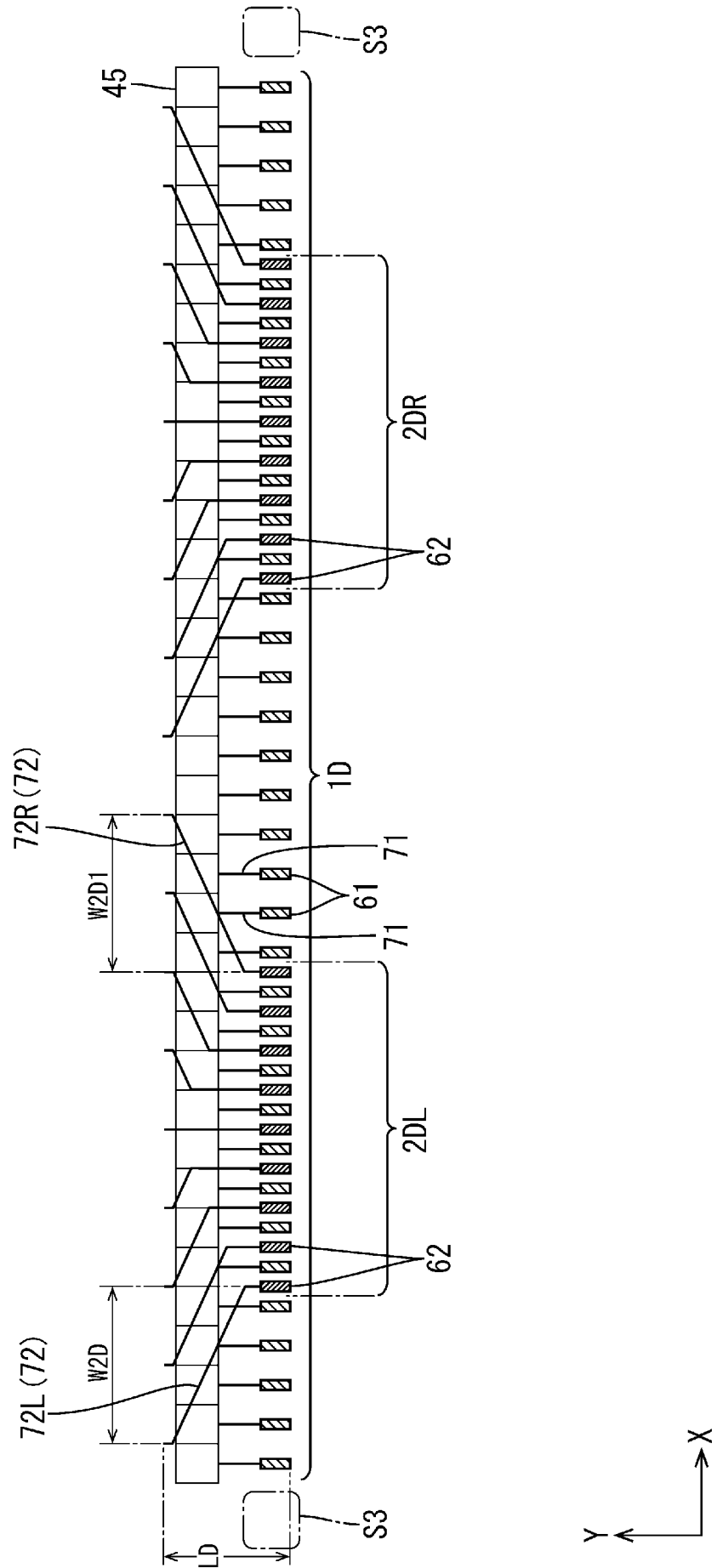
[図6]



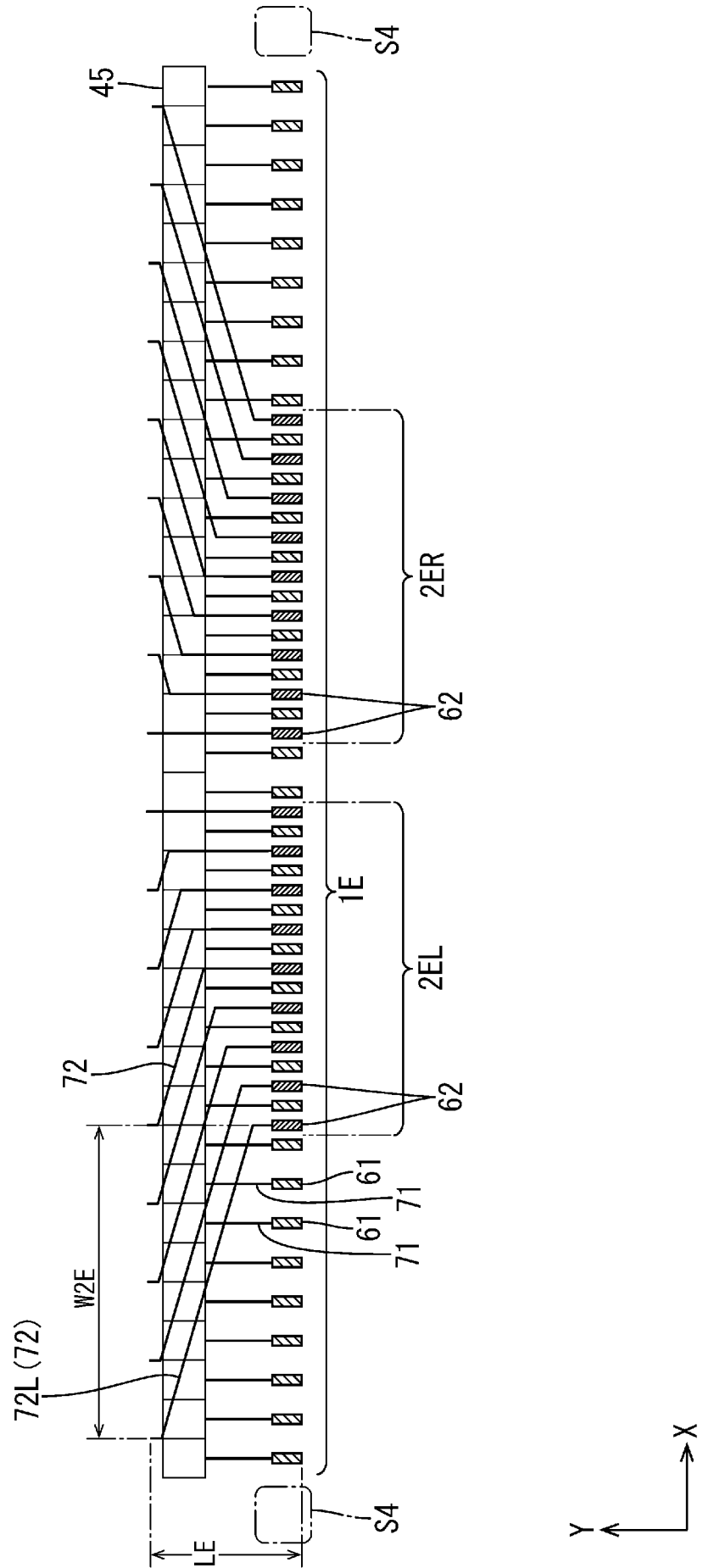
[図7]



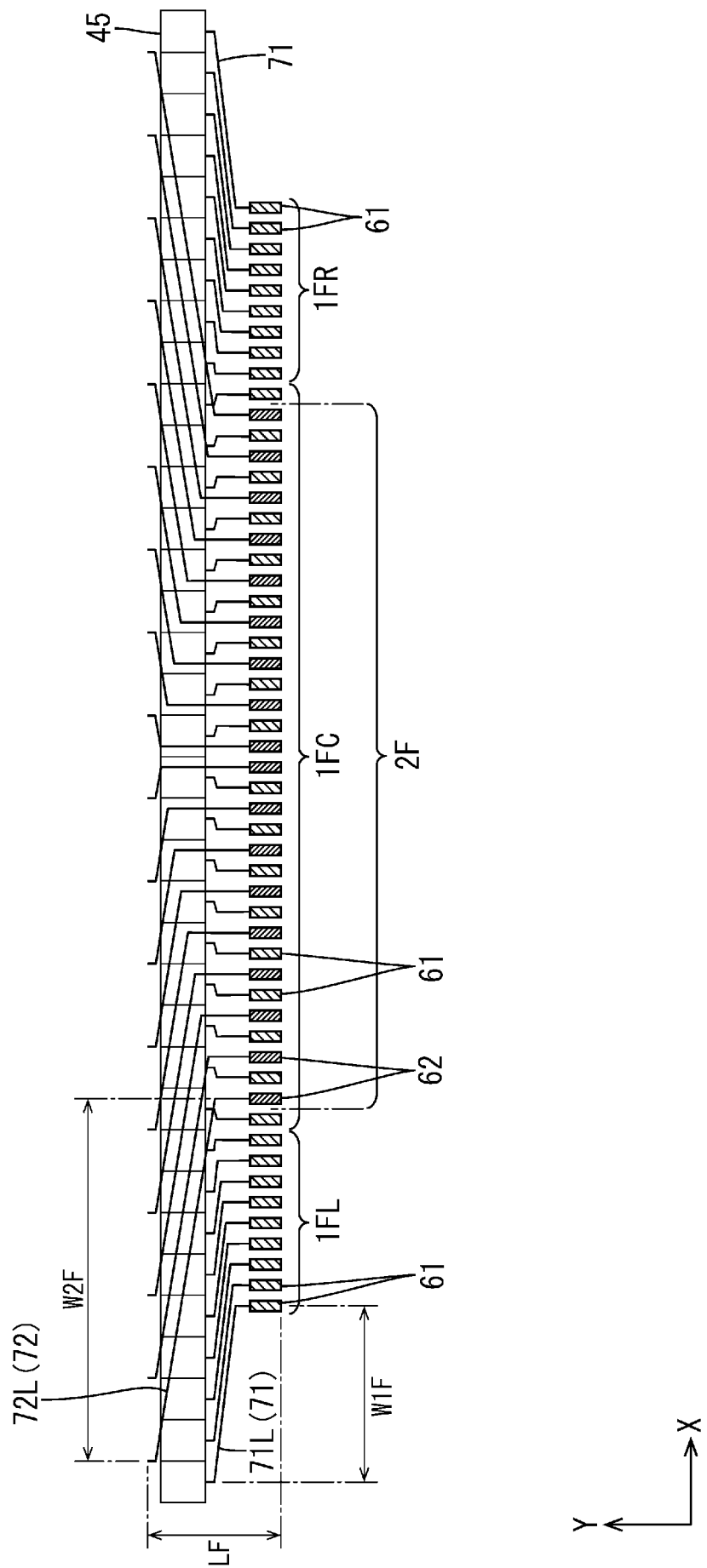
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009171

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09F9/30 (2006.01) i, G02F1/1333 (2006.01) i, G02F1/1345 (2006.01) i, G02F1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1343-1/1345, G02F1/135-1/1368, G06F3/03-3/047, G09F9/00-9/46, H01L27/32, H01L51/50, H05B33/00-33/28, H05K1/00-1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/033759 A1 (SHARP CORP.) 02 March 2017, entire text, all drawings (Family: none)	1-4
A	JP 2016-129001 A (JAPAN DISPLAY INC.) 14 July 2016, entire text, all drawings & US 2016/0202835 A1 & CN 105788545 A & KR 10-2016-0086284 A	1-4
A	JP 2002-49032 A (SEIKO EPSON CORP.) 15 February 2002, entire text, all drawings & US 2002/0005928 A1 & EP 1158344 A2 & CN 1335531 A & TW 285768 B & KR 10-0449791 B	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.05.2018

Date of mailing of the international search report
29.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009171

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-122752 A (LG DISPLAY CO., LTD.) 20 June 2013, entire text, all drawings & US 2013/0147724 A1 & EP 2602697 A2 & KR 10-2013-0065564 A & CN 103164076 A	1-4
A	JP 2007-94024 A (SANYO EPSON IMAGING DEVICES CO.) 12 April 2007, entire text, all drawings (Family: none)	1-4
A	JP 2006-23764 A (SEIKO EPSON CORP.) 26 January 2006, entire text, all drawings & US 2004/0183431 A1 & TW 200426738 A & KR 10-0576638 B1 & CN 1523560 A	1-4
A	WO 2013/011678 A1 (SHARP CORP.) 24 January 2013, entire text, all drawings & US 9122116 B2 & CN 103635949 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/1343-1/1345, G02F1/135-1/1368, G06F3/03-3/047, G09F9/00-9/46, H01L27/32, H01L51/50, H05B33/00-33/28, H05K1/00-1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/033759 A1 (シャープ株式会社) 2017.03.02, 全文, 全図 (ファミリーなし)	1-4
A	JP 2016-129001 A (株式会社ジャパンディスプレイ) 2016.07.14, 全文, 全図 & US 2016/0202835 A1 & CN 105788545 A & KR 10-2016-0086284 A	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石本 努

21

8354

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-49032 A (セイコーエプソン株式会社) 2002. 02. 15, 全文, 全図 & US 2002/0005928 A1 & EP 1158344 A2 & CN 1335531 A & TW 285768 B & KR 10-0449791 B	1-4
A	JP 2013-122752 A (エルジー ディスプレイ カンパニー リミテ ッド) 2013. 06. 20, 全文, 全図 & US 2013/0147724 A1 & EP 2602697 A2 & KR 10-2013-0065564 A & CN 103164076 A	1-4
A	JP 2007-94024 A (三洋エプソンイメージングデバイス株式会社) 2007. 04. 12, 全文, 全図 (ファミリーなし)	1-4
A	JP 2006-23764 A (セイコーエプソン株式会社) 2006. 01. 26, 全文, 全図 & US 2004/0183431 A1 & TW 200426738 A & KR 10-0576638 B1 & CN 1523560 A	1-4
A	WO 2013/011678 A1 (シャープ株式会社) 2013. 01. 24, 全文, 全図 & US 9122116 B2 & CN 103635949 A	1-4