



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I772421 B

(45)公告日：中華民國 111 (2022) 年 08 月 01 日

(21)申請案號：107116386

(22)申請日：中華民國 107 (2018) 年 05 月 15 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L21/8239(2006.01)

(30)優先權：2017/05/26 日本

2017-104342

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72)發明人：津田是文 TSUDA, SHIBUN (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 201709537A

EP 3136424A2

JP 2014-3236A

JP 6069569B1

US 2017/0062440A1

審查人員：陳融詳

申請專利範圍項數：10 項 圖式數：41 共 76 頁

(54)名稱

半導體裝置及半導體裝置之製造方法

(57)摘要

本發明旨在使具有鰭片結構非揮發性記憶體之半導體裝置的特性提升。本發明之半導體裝置，具有：元件分離部 ST，配置於鰭片 F 之間，而且其高度比鰭片 F 的高度更低；記憶體閘極電極 MG，隔著具有電荷蓄積部之記憶體閘極絕緣膜 ONO，配置於鰭片 F 及元件分離部 ST 之上；及控制閘極電極 CG，與記憶體閘極電極 MG 並排配置。記憶體閘極電極 MG 下方之元件分離部 ST 的高度，比控制閘極電極 CG 下方之元件分離部 ST 的高度更高。像這樣，令記憶體閘極電極 MG 下方的元件分離部 ST 之高度，比控制閘極電極 CG 下方的元件分離部 ST 之高度更高，使得電子與電洞注入的不匹配狀況得到改善，改寫動作速度提升，可靠度提升。

A semiconductor device of the present invention includes: an element isolation part which is disposed between fins and whose height is lower than the height of each fin; a memory gate electrode placed over the fins and the element isolation part with a memory gate insulating film having a charge storage part in between; and a control gate electrode disposed in line with the memory gate electrode. The height of the element isolation part below the memory gate electrode is higher than the height of the element isolation part below the control gate electrode. A mismatch between electron injection and hole injection is improved, rewriting operation speed is accelerated, and reliability is enhanced by making the height of the element isolation part below the memory gate electrode higher than the height of the element isolation part below the control gate electrode as mentioned above.

指定代表圖：

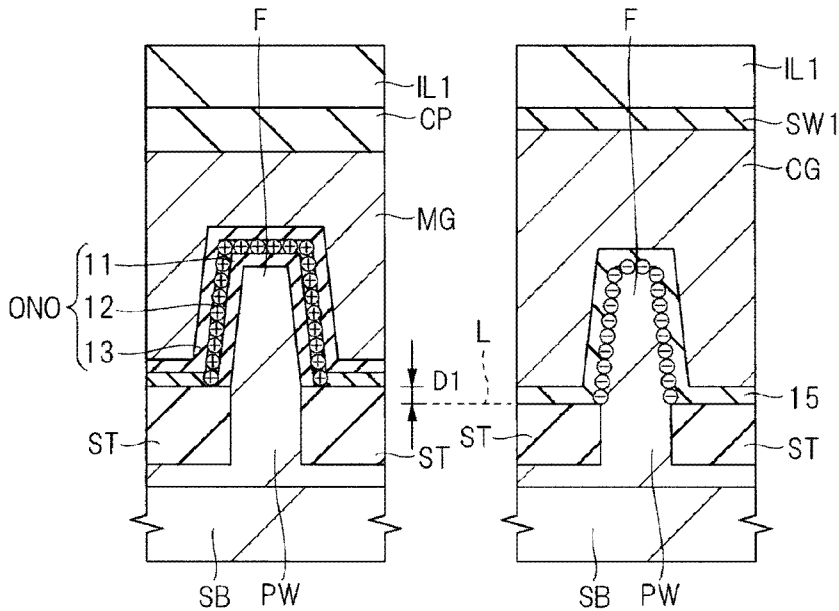


圖 5

符號簡單說明：

- 11 . . . 下層絕緣膜 (絕緣膜)
- 12 . . . 中層絕緣膜 (絕緣膜)
- 13 . . . 上層絕緣膜 (絕緣膜)
- 15 . . . 絕緣膜
- CG . . . 控制閘極電極
- CP . . . 封蓋絕緣膜
- D1 . . . 高低差(後退量)
- F . . . 鰭片
- IL1 . . . 層間絕緣膜
- L . . . 線段
- MG . . . 記憶體閘極電極
- ONO . . . 記憶體閘極絕緣膜(閘極絕緣膜、絕緣膜)
- PW . . . p 型井
- SB . . . 半導體基板
- ST . . . 元件分離部
- SW1 . . . 側牆



公告本

I772421

【發明摘要】

【中文發明名稱】 半導體裝置及半導體裝置之製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING

METHOD FOR SEMICONDUCTOR DEVICE

【中文】

本發明旨在使具有鰭片結構非揮發性記憶體之半導體裝置的特性提升。

本發明之半導體裝置，具有：元件分離部ST，配置於鰭片F之間，而且其高度比鰭片F的高度更低；記憶體閘極電極MG，隔著具有電荷蓄積部之記憶體閘極絕緣膜ONO，配置於鰭片F及元件分離部ST之上；及控制閘極電極CG，與記憶體閘極電極MG並排配置。記憶體閘極電極MG下方之元件分離部ST的高度，比控制閘極電極CG下方之元件分離部ST的高度更高。像這樣，令記憶體閘極電極MG下方的元件分離部ST之高度，比控制閘極電極CG下方的元件分離部ST之高度更高，使得電子與電洞注入的不匹配狀況得到改善，改寫動作速度提升，可靠度提升。

【英文】

A semiconductor device of the present invention includes: an element isolation part which is disposed between fins and whose height is lower than the height of each fin; a memory gate electrode placed over the fins and the element isolation part with a memory gate insulating film having a charge storage part in between; and a control gate electrode disposed in line with the memory gate electrode. The height of the

element isolation part below the memory gate electrode is higher than the height of the element isolation part below the control gate electrode. A mismatch between electron injection and hole injection is improved, rewriting operation speed is accelerated, and reliability is enhanced by making the height of the element isolation part below the memory gate electrode higher than the height of the element isolation part below the control gate electrode as mentioned above.

【指定代表圖】 圖5

【代表圖之符號簡單說明】

11	下層絕緣膜(絕緣膜)
12	中層絕緣膜(絕緣膜)
13	上層絕緣膜(絕緣膜)
15	絕緣膜
CG	控制閘極電極
CP	封蓋絕緣膜
D1	高低差(後退量)
F	鰭片
IL1	層間絕緣膜
L	線段
MG	記憶體閘極電極
ONO	記憶體閘極絕緣膜(閘極絕緣膜、絕緣膜)
PW	p型井

- SB 半導體基板
- ST 元件分離部
- SW1 側牆

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置及半導體裝置之製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING
METHOD FOR SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明有關一種半導體裝置及半導體裝置之製造方法，係可適當利用於例如具有FIN結構的非揮發性記憶體之半導體裝置。

【先前技術】

【0002】

近年來，在使用矽的LSI(Large Scale Integration，大型積體電路)當中，其構成要素即MISFET(Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣體半導體場效電晶體)之尺寸，尤其是閘極電極的閘長不斷縮小。這種MISFET的縮小化，係依循縮放法則而進展的，但每當元件的世代進展，便會浮現各種問題，難以兼顧MISFET短通道效果的抑制與電流驅動力的確保。從而，用來取代既有平面型MISFET之新結構元件的研究開發，正在密切進行中。

【0003】

FINFET(鰭片場效電晶體)，係上述新結構元件其中之一，係將FIN之側面當作通道使用，進而提升電流驅動力。

【0004】

另一方面，作為非揮發性記憶體的其中之一，有一種利用MONOS(Metal-Oxide-Nitride-Oxide-Semiconductor，金屬氧化氮氧化半導體)膜之分離式閘極型單元所組成的記憶體單元。這種記憶體單元，由具有控制閘極電極之控制電晶體、與具有記憶體閘極電極之記憶體電晶體的2個MISFET所構成。這些電晶體亦適用FIN結構，進而可提升記憶體的特性。

【0005】

日本特開2006-41354號公報(專利文獻1)揭示了以下技術：分離式閘極結構之非揮發性半導體裝置當中，記憶體閘極形成於凸型基板上，並將其側面作為通道使用。

〔習知技術文獻〕

〔專利文獻〕

【0006】

〔專利文獻1〕日本特開2006-41354號公報

【發明內容】

〔發明所欲解決之課題〕

【0007】

本案發明人，從事於具有如上述非揮發性記憶體單元之半導體裝置的研究開發，討論出藉由採用上述FIN結構，來讓記憶體單元的特性進一步提升。在這過程當中，發現到為了要讓非揮發性記憶體單元採用FIN結構，其結構或製造方法仍有進一步改善的空間。

【0008】

其他課題與新穎特徵，由本說明書的敘述及附加圖式應可明瞭。

〔解決課題之技術手段〕

【0009】

本案中所揭示的實施形態之中，對具代表性部分的概要做簡單說明，乃如下所述。

【0010】

本案中所揭示之一實施形態所示的半導體裝置，具有：第1鰭片、第2鰭片、及元件分離部，元件分離部係配置於第1鰭片與第2鰭片之間，而且其高度比第1鰭片及第2鰭片的高度更低。半導體裝置，還具有：第1閘極電極，隔著具有電荷蓄積部之第1閘極絕緣膜，配置於第1鰭片、元件分離部及第2鰭片之上；及第2閘極電極，隔著第2閘極絕緣膜，配置於第1鰭片、元件分離部及第2鰭片之上，且與第1閘極電極並排配置。第1閘極電極下方之元件分離部的高度，比第2閘極電極下方之元件分離部的高度更高。

【0011】

本案中所揭示之一實施形態所示的半導體裝置之製造方法，包括：

(a)步驟，在第1鰭片形成區域與第2鰭片形成區域之間形成分離溝槽；

(b)步驟，於分離溝槽的内部埋入分離絕緣膜藉以形成元件分離部；

(c)步驟，使元件分離部的表面後退；

(d)步驟，形成具有電荷蓄積部之第1絕緣膜，又於第1絕緣膜上形成第1導電性膜並予以加工，藉此於第1鰭片、元件分離部及第2鰭片之上方，形成：朝向與第1鰭片交叉的方向延伸之第1導電性膜；

(e)步驟，形成第2絕緣膜，又於第2絕緣膜上形成第2導電性膜並予以加工，藉此於第1鰭片、元件分離部及第2鰭片之上方，形成：朝向與第1鰭片交叉的方向延伸之第2導電性膜。

而(e)步驟，係在(d)步驟之後進行；

在(d)步驟之後，第1導電性膜下方之元件分離部的高度，比第2導電性膜下方之元件分離部的高度更高。

〔發明之功效〕

【0012】

根據本案中所揭示之代表性實施形態所示的半導體裝置，便可提升半導體裝置之特性。

【0013】

根據本案中所揭示之代表性實施形態所示的半導體裝置之製造方法，便可製造特性優良之半導體裝置。

【圖式簡單說明】

【0014】

圖1係顯示實施形態1的半導體裝置的記憶體單元構成之立體圖。

圖2係顯示實施形態1的半導體裝置的記憶體單元構成之剖面圖。

圖3係顯示實施形態1的半導體裝置的記憶體單元構成之俯視圖。

圖4係顯示比較例的半導體裝置之圖。

圖5係顯示實施形態1的半導體裝置之圖。

圖6係實施形態1的半導體裝置形成步驟中之剖面圖。

- 圖7係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖8係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖9係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖10係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖11係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖12係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖13係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖14係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖15係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖16係實施形態1的半導體裝置形成步驟中之立體圖。
- 圖17係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖18係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖19係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖20係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖21係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖22係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖23係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖24係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖25係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖26係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖27係實施形態1的半導體裝置形成步驟中之剖面圖。
- 圖28係實施形態1的半導體裝置形成步驟中之剖面圖。

圖29係實施形態1的半導體裝置形成步驟中之剖面圖。

圖30係實施形態1的半導體裝置形成步驟中之剖面圖。

圖31係實施形態1的半導體裝置形成步驟中之剖面圖。

圖32係實施形態2的半導體裝置形成步驟中之剖面圖。

圖33係實施形態2的半導體裝置形成步驟中之剖面圖。

圖34係實施形態2的半導體裝置形成步驟中之剖面圖。

圖35係實施形態2的半導體裝置形成步驟中之剖面圖。

圖36係實施形態2的半導體裝置形成步驟中之剖面圖。

圖37係實施形態2的半導體裝置形成步驟中之剖面圖。

圖38係實施形態3的半導體裝置形成步驟中之剖面圖。

圖39係實施形態3的半導體裝置形成步驟中之剖面圖。

圖40係顯示實施形態4的半導體裝置的記憶體單元構成之剖面圖。

圖41係顯示實施形態4的半導體裝置的記憶體單元構成之剖面圖。

【實施方式】

【0015】

在以下實施形態中，基於方便而有其必要時，會分割成複數區塊或是實施形態來予以說明，但除了有特別表明之情形外，其等並非互無關係，其中一方係與另一方的一部分或是全部的變形例、應用例、詳細、補充說明等有關。再者，在以下實施形態中，提到要素之數等(包含個數、數值、量、範圍等)之情形，除了已有特別表示的情形及原理上明顯限定於特定之數等情形以外，並不限於該特定之數，特定之數以上或以下皆可。

【0016】

還有，在以下之實施形態中，其構成要素(包含要素步驟等)，除了已有特別表示的情形及原理上明顯為必要等情形以外，並非為必要的。同樣地，在以下之實施形態中，提到構成要素等形狀、相關位置等的時候，除了已有特別表示的情形及原理上明顯不是等情形以外，實質上形狀等相似或是類似者亦包含在內。這點就上述數等(包含個數、數值、量、範圍等)來說也是同樣的。

【0017】

以下，依據圖式進行詳細說明。另外，在用以說明實施形態之全圖中，對具有相同功能之構件賦予相同或相關符號，以省略重複說明。再者，有複數的類似構件(部位)存在之情形，有時會對總稱的符號加上記號來顯示個別或特定的部位。再者，以下之實施形態中，除了有特別必要以外，原則上不重複相同或是同樣部分的說明。

【0018】

再者，實施形態中所用之圖式，為了能在剖面圖中易於辨識圖式，也許會省略陰影線。再者，為了能在俯視圖中易於辨識圖式，也許會附上陰影線。

【0019】

再者，剖面圖及俯視圖當中，各部位的大小並非對應實際元件，為了易於辨識圖式，有時會將特定部位相對放大顯示。再者，剖面圖要對應到俯視圖之情形當中，為了易於辨識圖式，有時會將特定部位相對放大顯示。

【0020】

(實施形態1)

[結構說明]

以下，參照圖式，同步說明本實施形態之半導體裝置(非揮發性記憶體裝置、半導體儲存裝置)的結構。本實施形態之半導體裝置，具有分離式閘極型之記憶體單元。也就是說，本實施形態之記憶體單元具有：具有控制閘極電極CG之控制電晶體、與控制電晶體連接並具有記憶體閘極電極MG之記憶體電晶體。另外，此處所稱之電晶體，亦稱做MISFET。

【0021】

(記憶體單元之結構說明)

圖1係顯示本實施形態之半導體裝置之記憶體單元構成之立體圖。圖2係顯示本實施形態之半導體裝置之記憶體單元之剖面圖，圖3係俯視圖。圖2之左圖對應圖3之A-A剖面；中圖對應圖3之B-B剖面；右圖對應圖3之C-C剖面。另外，B-B剖面部，係記憶體閘極電極MG之形成區域；C-C剖面部，係控制閘極電極CG之形成區域。

【0022】

如圖1~圖3所示，記憶體單元(記憶體元件、元件)，由具有控制閘極電極CG之控制電晶體、與具有記憶體閘極電極MG之記憶體電晶體所組成。

【0023】

具體而言，記憶體單元具有：配置於半導體基板SB(鰭片F)上方之控制閘極電極CG、與配置於半導體基板SB(鰭片F)並鄰接控制閘極電極CG之記憶體閘極電極MG。例如，控制閘極電極CG及記憶體閘極電極MG，分別由矽膜所構成。

【0024】

本實施形態當中，控制閘極電極CG及記憶體閘極電極MG，係隔著閘極絕緣膜(CGI、ONO)配置於鰭片F上。鰭片F，由半導體基板SB之上部所構成。換句

話說，半導體基板SB具有凹凸，鰭片F即為半導體基板SB之凸部。再者，如後所述，鰭片F之平面形狀，係具有一定寬度(Y方向的長度)的線條狀(於X方向具有長邊之矩形狀)(參照圖3)。

【0025】

在控制閘極電極CG與半導體基板SB(鰭片F)之間，配置了控制閘極絕緣膜CGI。這種控制閘極絕緣膜CGI，係配置於控制閘極電極CG與半導體基板SB(鰭片F)之間以及控制閘極電極CG與記憶體閘極電極MG之間。這種控制閘極絕緣膜CGI，由例如氧化矽膜所構成。

【0026】

記憶體單元，還具有配置於記憶體閘極電極MG與半導體基板SB(鰭片F)之間的絕緣膜ONO(11、12、13)。絕緣膜ONO，由例如下層絕緣膜11、其上方的中層絕緣膜12、與其上方的上層絕緣膜13所構成。中層絕緣膜12，成為電荷蓄積部(捕捉膜)。下層絕緣膜11，由例如氧化矽膜所構成。中層絕緣膜12，由例如氮化矽膜所構成。上層絕緣膜13，由例如氮氧化矽膜所構成。

【0027】

再者，記憶體單元，還具有形成於半導體基板SB的鰭片F中之汲極區域MD及源極區域MS。再者，記憶體閘極電極MG及控制閘極電極CG之合成圖案的側壁部，形成有由絕緣膜所組成之側牆(側壁絕緣膜、側牆間隔物)SW2。

【0028】

汲極區域MD，由 n^+ 型半導體區域SD與 n^- 型半導體區域EX所構成。 n^- 型半導體區域EX，會自行對準控制閘極電極CG的側壁而形成。再者， n^+ 型半導體區域

SD，會自行對準控制閘極電極CG側的側牆SW2的側面而形成，接合深度比n⁻型半導體區域EX更深，且雜質濃度較高。

【0029】

源極區域MS，由n⁺型半導體區域SD與n⁻型半導體區域EX所構成。n⁻型半導體區域EX，會自行對準記憶體閘極電極MG的間隔物SP之側壁而形成。再者，n⁺型半導體區域SD，會自行對準記憶體閘極電極MG側之側牆SW2的側面而形成，接合深度比n⁻型半導體區域EX更深，且雜質濃度較高。

【0030】

這類的由低濃度半導體區域及高濃度半導體區域所構成之源極區域(或是汲極區域)，稱做LDD(Lightly doped Drain，淡摻雜汲極)結構。

【0031】

另外，在本說明書中，以汲極區域MD及源極區域MS動作時定義為基準。於後述讀取動作時施加低電壓之半導體區域統一稱作源極區域MS、於讀取動作時施加高電壓之半導體區域統一稱作汲極區域MD。

【0032】

再者，汲極區域MD(n⁺型半導體區域SD)、源極區域MS(n⁺型半導體區域SD)之上部，有金屬矽化物膜SIL形成。再者，記憶體閘極電極MG之上部，有封蓋絕緣膜CP形成。再者，控制閘極電極CG之上部，有側牆SW1形成。封蓋絕緣膜CP及側牆SW1，由例如氮化矽膜所構成。

【0033】

再者，記憶體單元上，有層間絕緣膜IL1形成。這種膜，由例如氧化矽膜所構成。層間絕緣膜IL1中，有插塞P1形成；插塞P1上，有配線M1形成。

【0034】

另外，圖2之左圖，僅顯示一個記憶體單元之剖面，但記憶體區域，還配置有複數記憶體單元。例如，圖2之左圖所示的記憶體單元左邊配置了共有源極區域MS之記憶體單元(未圖示)；圖2之左圖所示的記憶體單元右邊配置了共有汲極區域MD之記憶體單元(未圖示)。像這樣複數記憶體單元，夾著源極區域MS或是汲極區域MD近乎對稱地配置著(參照圖1)。

【0035】

以下，參照圖3，同步說明記憶體單元之平面設計。如圖3所示，鰭片F(活性區域)，朝X方向延伸呈線條狀設有複數個。鰭片F之間，為元件分離部ST。記憶體單元之控制閘極電極CG與記憶體閘極電極MG，以橫跨鰭片F之方式，朝Y方向延伸。換句話說，控制閘極電極CG，隔著控制閘極絕緣膜CGI配置於鰭片F及鰭片F之間的元件分離部ST之上，朝Y方向延伸。再者，記憶體閘極電極MG，隔著記憶體閘極絕緣膜ONO配置於鰭片F及鰭片F之間的元件分離部ST之上，朝Y方向延伸。控制閘極電極CG與記憶體閘極電極MG，係並排配置的。

【0036】

另外，鰭片F中之源極區域(MS、 n^+ 型半導體區域SD)與源極線，係經由插塞(接觸插塞、連接部)P1所連接。例如，源極線，為了將鰭片F中之源極區域(MS、 n^+ 型半導體區域SD)予以連接，便在鰭片F之上方，以橫跨鰭片F之方式，朝Y方向延伸。例如，源極線，為第1層的配線M1。鰭片F中之汲極區域MD(n^+ 型半導體區域SD)與汲極線，係經由插塞P1、經由該插塞P1而與配線M1連接之插塞P2(未圖示)，所連接。在各個鰭片F上，為了將於X方向並排配置之汲極區域MD上的插塞P1、P2(未圖示)予以連接，便將汲極線配置於X方向。例如，汲極線為

第2層之配線(M2)。像這樣，記憶體單元，於源極線與汲極線之交點呈陣列狀配置。

【0037】

(記憶體動作)

接下來，說明記憶體單元之基本動作的一例。作為記憶體單元之動作，就(1)讀取、(2)刪除、(3)寫入之3個動作進行說明。但這些動作的定義有許多種，尤其是刪除動作與寫入動作，有時定義為反向動作。

【0038】

對記憶體單元(選擇記憶體單元)之記憶體閘極電極MG施加的電壓為 V_{mg} 、對源極區域MS施加的電壓為 V_s 、對控制閘極電極CG施加的電壓為 V_{cg} 、對汲極區域MD施加的電壓為 V_d 、及對p型井PW施加的電壓為 V_b 。再者，本實施形態中，對於記憶體單元之絕緣膜ONO(11、12、13)的電荷蓄積部即氮化矽膜(12)之電子注入係定義為「寫入」，電洞(hole：正孔)的注入係定義為「刪除」。另外，以下所示之 V_{dd} ，為例如1.5V。

【0039】

寫入方式，可使用所謂的SSI(Source Side Injection：源極側注入)寫入方式。例如將 $V_d=0.5$ 、 $V_{cg}=1V$ 、 $V_{mg}=12V$ 、 $V_s=6V$ 、 $V_b=0V$ 之電壓，施加於進行寫入之選擇記憶體單元的各部位，來將電子注入選擇記憶體單元之氮化矽膜(12)中，藉以進行寫入。

【0040】

在此之際，熱電子，在2個閘極電極(記憶體閘極電極MG及控制閘極電極CG)間下方的通道區域(源極、汲極間)產生後，熱電子注入於記憶體閘極電極MG之

下的氮化矽膜(12)。所注入之熱電子(電子)，被氮化矽膜(12)中的陷阱準位捕獲，結果使得記憶體電晶體之臨限值電壓上昇。也就是說，記憶體電晶體成為寫入狀態。

【0041】

刪除方法，可使用所謂的BTBT(Band-To-Band Tunneling：能帶間穿隧現象)刪除方式。例如，將 $V_d=0V$ 、 $V_{cg}=0V$ 、 $V_{mg}=-6V$ 、 $V_s=6V$ 、 $V_b=0V$ 之電壓，施加於進行刪除之選擇記憶體單元的各部位，因BTBT現象使得電洞產生而電場加速，進而將電洞注入於選擇記憶體單元之氮化矽膜(12)中，藉此讓記憶體電晶體之臨限值電壓降低。也就是說，記憶體電晶體成為刪除狀態。

【0042】

讀取時，例如，將 $V_d=V_{dd}$ 、 $V_{cg}=V_{dd}$ 、 $V_{mg}=0V$ 、 $V_s=0V$ 、 $V_b=0V$ 之電壓，施加於進行讀取之選擇記憶體單元的各部位。對讀取時之記憶體閘極電極MG施加的電壓 V_{mg} ，令其為寫入狀態中記憶體電晶體的臨限值電壓與刪除狀態中記憶體電晶體的臨限值電壓之間的值，進而可判別寫入狀態與刪除狀態。

【0043】

在此，本實施形態當中，如圖1、圖2所示，記憶體閘極電極MG下的元件分離部ST之高度，與控制閘極電極CG下的元件分離部ST之高度有所不同；記憶體閘極電極MG下的元件分離部ST之高度，比控制閘極電極CG下的元件分離部ST之高度更高。換句話說，控制閘極電極CG下的元件分離部ST之表面(TOP)，比記憶體閘極電極MG下的元件分離部ST之表面更低(後退)。還有，換句話說，記憶體閘極電極MG之鰭片的表面(TOP)，與控制閘極電極CG下之鰭片的表面為同

等程度，若令鰭片的表面與元件分離部ST之表面的高低差為鰭片高度，則記憶體閘極電極MG下之鰭片高度FH1，比控制閘極電極CG下之鰭片高度FH2更低。

【0044】

像這樣，令記憶體閘極電極MG下的元件分離部ST之高度，比控制閘極電極CG下的元件分離部ST之高度更高，進而讓電子與電洞注入的不匹配狀況得以改善，改寫動作速度提升，可靠度提升。

【0045】

圖4係顯示，記憶體閘極電極MG下的元件分離部ST之高度，比控制閘極電極CG下的元件分離部ST之高度更低之比較例的半導體裝置之圖。圖5係顯示，記憶體閘極電極MG下方的元件分離部ST之高度，比控制閘極電極CG下方的元件分離部ST之高度更高之本實施形態的半導體裝置之圖。

【0046】

前述的SSI寫入方式當中，電子，自控制閘極電極CG下方之通道朝記憶體閘極電極MG下方之通道通過時，由電場加速成為熱電子，注入氮化矽膜(12)。因此，圖4所示之比較例的半導體裝置當中，電子注入，係控制閘極電極CG下的通道與記憶體閘極電極MG下的通道重疊之區域，在圖4之線段L更上方，有效地發生。

【0047】

另一方面，前述的BTBT刪除方式當中，記憶體閘極電極MG的源極區域MS側之強電場所產生之電洞注入氮化矽膜(12)。因此，電洞注入在記憶體閘極電極MG之通道全區發生。

【0048】

從而，記憶體閘極電極MG下方的元件分離部ST之高度，比控制閘極電極CG下方的元件分離部ST之高度更低之情形(圖4之情形)，電子注入之區域，只停留在鰭片F之上部，電洞注入之區域則是鰭片F之全區，所以發生了寫入與刪除之不匹配狀況。具體而言，從鰭片F之全區往氮化矽膜(12)注入的電洞之中，鰭片F下部的電洞，未被控制閘極電極CG下方的通道注入之電子相抵消，無法執行完整的刪除。所以，無法讓記憶體電晶體之臨限值電壓降低至所求的值。再者，鰭片F下部的電洞，因電子的注入而無法有效地相抵消，所以刪除(改寫)需要時間。像這樣，由於電子與電洞注入的不匹配狀況，有可能讓改寫動作速度或可靠度降低。

【0049】

相對於此，如本實施形態(圖5)，記憶體閘極電極MG下方的元件分離部ST之高度，比控制閘極電極CG下方的元件分離部ST之高度更高之情形，電洞注入之區域，停留在鰭片F的線段L更上部，電子注入之區域則是鰭片F之全區。因此，鰭片F的線段L更上部之電洞，被控制閘極電極CG下方的通道注入之電子相抵消，執行完整的刪除。再者，在鰭片F下部的電子之相應位置，沒有電荷蓄積部即氮化矽膜(12)存在，所以從控制閘極電極CG下方的通道注入之電子，不易積蓄於氮化矽膜(12)。像這樣，根據本實施形態，寫入與刪除之不匹配狀況得以改善，改寫動作速度提升，可靠度提升。

【0050】

[製程說明]

以下，利用圖6~圖31，來說明本實施形態的半導體裝置之製造方法。圖6~圖31，係本實施形態的半導體裝置形成步驟中的剖面圖或是立體圖。

【0051】

(鰭片之形成步驟)

首先，參照圖6~圖17同步說明鰭片F之形成步驟。首先，如圖6所示，準備半導體基板SB，於半導體基板SB之主面上，依序形成絕緣膜IF1、絕緣膜IF2及半導體膜SI1。半導體基板SB，由例如具有 $1\sim 10\Omega\text{cm}$ 左右之比電阻的p型單晶矽等所組成。絕緣膜IF1，由例如氧化矽膜所組成，可使用例如熱氧化法或是CVD(Chemical Vapor Deposition，化學氣相沉積)法來形成。絕緣膜IF1的膜厚，為 $2\sim 10\text{nm}$ 左右。絕緣膜IF2，由例如氮化矽膜所組成，其膜厚，為 $20\sim 100\text{nm}$ 左右。絕緣膜IF2，可由例如CVD法來形成。半導體膜SI1，由例如矽膜所組成，由例如CVD法來形成。半導體膜SI1的膜厚，為例如 $20\sim 200\text{nm}$ 。

【0052】

其次，如圖7及圖8所示，使用光微影技術及蝕刻法，對半導體膜SI1加工。藉此，於絕緣膜IF2上，有朝X方向延伸之複數四角柱狀(長方體狀)的半導體膜SI1，並排於Y方向形成複數個。

【0053】

其次，如圖9及圖10所示，形成出包覆複數半導體膜SI1各個側壁之硬罩HM1。在此，例如於半導體基板SB上利用CVD法，形成具有 $10\sim 40\text{nm}$ 的膜厚之氧化矽膜之後，進行異向性乾蝕刻。藉此分別讓絕緣膜IF2及半導體膜SI1之頂面露出，進而形成半導體膜SI1側壁所殘留之該氧化矽膜所組成的硬罩HM1。硬罩HM1，並未將相鄰的半導體膜SI1中間完全填滿。如後所述，這種硬罩HM1，會成為用來在其正下方形成鰭片之遮罩。

【0054】

其次，如圖11及圖12所示，利用濕蝕刻法將半導體膜SI1去除。藉此，可形成在俯視中似矩形之環狀硬罩HM1。更具體而言，硬罩HM1具有：朝X方向延伸之第1部、與該第1部連接並朝Y方向延伸之第2部、與該第2部連接並朝X方向延伸之第3部、與該第3部連接並朝Y方向延伸之第4部。且該第4部與第1部連接。另外，此後，進行濕蝕刻，將硬罩HM1表面的一部分去除亦可。藉此，可讓硬罩HM1之寬度(例如Y方向的長度)變細。

【0055】

其次，如圖13所示，形成光阻膜PR2，使得硬罩HM1之中，朝X方向延伸之部位被包覆，朝Y方向延伸之部位露出。

【0056】

其次，如圖14及圖15所示，將光阻膜PR2作為遮罩使用來進行蝕刻，進而將各硬罩HM1朝Y方向延伸之部位去除，之後，將光阻膜PR2去除。藉此，硬罩HM1，僅有朝X方向延伸之部分保留下來。也就是說，在絕緣膜IF2上，朝X方向延伸之四角柱狀的硬罩HM1，於Y方向並排配置複數個。

【0057】

其次，如圖16及圖17所示，以硬罩HM1作為遮罩，朝絕緣膜IF2、IF1及半導體基板SB進行異向性乾蝕刻。藉此，可在硬罩HM1的正下方，形成加工成四角柱狀之鰭片F。在此，自硬罩HM1對暴露區域之半導體基板SB主面向下挖100~250nm，進而形成分離溝槽，可形成距離半導體基板SB主面的高度為100~250nm之鰭片F。

【0058】

(元件分離部之形成步驟以後的步驟)

接下來，參照圖18~圖31同步說明元件分離部ST之形成步驟以後的步驟。圖18，顯示自圖17的狀態中將硬罩HM1藉蝕刻等加以去除，讓鰭片F上有絕緣膜IF1及IF2殘留之狀態。另外，如圖18所示，鰭片F之側面呈推拔狀亦可。從圖18之狀態中，如圖19所示，於半導體基板SB之上，以將鰭片間之溝槽(分離溝槽)G、鰭片F、絕緣膜IF1及IF2完全填滿方式，堆積出由氧化矽膜等所組成之絕緣膜。接著，對此絕緣膜以CMP(Chemical Mechanical Polishing，化學機械研磨)法進行研磨處理，使絕緣膜IF2之頂面露出。另外，從圖17之狀態中硬罩HM1未能去除之情形當中，亦藉著研磨處理讓硬罩HM1消失。

【0059】

其次，如圖20所示，將絕緣膜IF1、IF2去除。接著，利用離子注入法對半導體基板SB之主面導入雜質，進而形成p型井PW。p型井PW，係藉p型雜質(例如B(硼))之注射所形成。p型井PW，於各鰭片F內之全體及各鰭片F下部的半導體基板SB的一部分擴散而形成。另外，於未圖示之區域，藉n型雜質之離子注入來形成n型井亦可。接著，對鰭片F之間的絕緣膜之頂面施以蝕刻處理，來讓元件分離部ST之頂面後退(下降)。藉此，使得鰭片F側面的一部分及頂面露出。此時鰭片F的高度，為FH1。鰭片F的高度，為鰭片F的頂面與元件分離部ST的頂面之高低差。鰭片F的高度FH1，為例如30~80nm左右。

【0060】

接下來，如圖21所示，形成絕緣膜ONO(11、12、13)。首先，於鰭片F及元件分離部ST上，形成例如氧化矽膜作為下層絕緣膜11。這種氧化矽膜，係藉由例如熱氧化法，以4nm左右的膜厚所形成。另外，用CVD等方法來形成氧化矽膜亦可。接下來，於下層絕緣膜11上，藉由例如CVD等方法，以7nm左右的膜

厚堆積出氮化矽膜，來作為中層絕緣膜12。這種中層絕緣膜12，成為記憶體單元之電荷蓄積部。接下來，於中層絕緣膜12上，藉由例如CVD等方法，以9nm左右的膜厚堆積出氧化矽膜，來作為上層絕緣膜13。

【0061】

接下來，於絕緣膜ONO(11、12、13)上形成作為記憶體閘極電極MG之導電性膜。例如，於絕緣膜ONO(11、12、13)上，用CVD等方法堆積出40nm~150nm左右之多晶矽膜PS1，來作為導電性膜。接著，以CMP法進行研磨處理，讓多晶矽膜PS1的頂面平坦化。平坦化後之多晶矽膜PS1的頂面與鰭片F的頂面之高低差為40nm~60nm左右。接下來，於多晶矽膜PS1上形成封蓋絕緣膜CP。例如，於多晶矽膜PS1上，用CVD等方法形成80nm左右之氮化矽膜。

【0062】

接下來，如圖22所示，利用光微影技術及乾蝕刻技術，對絕緣膜ONO(11、12、13)與多晶矽膜PS1之積層膜進行圖案成形，來形成記憶體閘極電極MG。在此，進行這類蝕刻之際，在絕緣膜ONO之中，下層絕緣膜(氧化矽膜)11作為蝕刻阻擋膜發揮功能，而層狀殘留。因此，C-C剖面部(控制閘極電極CG之形成區域)當中，於鰭片F的表面有下層絕緣膜(氧化矽膜)11殘留。

【0063】

接下來，如圖23所示，在C-C剖面部(控制閘極電極CG之形成區域)當中，將鰭片F的表面所殘留之下層絕緣膜(氧化矽膜)11藉蝕刻予以去除。這類蝕刻，可使用乾蝕刻或是濕蝕刻。該下層絕緣膜(氧化矽膜)11受蝕刻之際，鰭片間之元件分離部ST的頂面會後退。尤其是下層絕緣膜(氧化矽膜)11為細密的熱氧化膜，而元件分離部(氧化矽膜)ST由CVD膜所構成之情形，元件分離部ST的頂面後退程

度超過下層絕緣膜(氧化矽膜)11的膜厚。再者，下層絕緣膜(氧化矽膜)11受蝕刻之際，會過度蝕刻。這種過度蝕刻，為例如相當於下層絕緣膜(氧化矽膜)11膜厚的30%膜厚之蝕刻時間。由於這種過度蝕刻，也會讓元件分離部ST的頂面後退。

【0064】

像這樣，在C-C剖面部(控制閘極電極CG之形成區域)當中，由於鰭片F的表面所殘留之下層絕緣膜(氧化矽膜)11之蝕刻，讓C-C剖面部(控制閘極電極CG之形成區域)之元件分離部ST的頂面，比B-B剖面部(記憶體閘極電極MG之形成區域)之元件分離部ST的頂面更低。此等高低差為D1；記憶體閘極電極MG形成區域之鰭片F的高度為FH1；控制閘極電極CG形成區域之鰭片F的高度為FH2，(FH2>FH1)。只要高度FH1位於該高度FH2中，就讓前述電子與電洞注入的不匹配狀況得到改善。

【0065】

在此，上述高低差D1，宜為5nm以上10nm以下。只要高低差D1為5nm以上，便可充分確保前述寫入與刪除不匹配狀況之改善效果。再者，上述高低差D1超過10nm等過度蝕刻之情形，側方蝕刻有可能會侵入記憶體閘極電極MG之下層的絕緣膜ONO(11、12、13)中。尤其是進行濕蝕刻之情形，側方蝕刻容易侵入。因此，上述高低差D1，以10nm以下為宜。

【0066】

接下來，如圖24所示，於半導體基板SB上，形成絕緣膜15。該絕緣膜15作為控制閘極絕緣膜CGI。例如，於半導體基板SB上，藉由CVD等方法形成4nm左右的氧化矽膜，來作為絕緣膜15。接下來，於絕緣膜15上，用CVD等方法形成出間隔物SP形成用之絕緣膜(例如4nm左右之氮化矽膜等)，再對該間隔物SP

形成用之絕緣膜，藉由異向性乾蝕刻予以回蝕。藉此，於記憶體閘極電極MG之側壁上隔著絕緣膜15形成了間隔物(側壁絕緣膜)SP。該間隔物SP之形成亦可省略。

【0067】

接下來，如圖25所示，於絕緣膜15及間隔物SP上形成控制閘極電極CG用之多晶矽膜(導電性膜)PS2。例如，於絕緣膜15上，利用CVD等方法形成150nm~300nm左右之多晶矽膜PS2。接著，以CMP法進行研磨處理，使得多晶矽膜PS2的頂面平坦化。

【0068】

接下來，如圖26所示，對多晶矽膜PS2的頂面施以蝕刻處理，使得多晶矽膜PS2頂面後退(下降)。藉此，絕緣膜15與間隔物SP之上部於記憶體閘極電極MG的頂面上露出。所殘留的多晶矽膜PS2的頂面，所處位置比記憶體閘極電極MG的頂面更高，比封蓋絕緣膜CP的頂面更低。且絕緣膜15的頂面與多晶矽膜PS2的頂面之間有高低差，中間有間隔物SP露出。

【0069】

接下來，如圖27所示，於絕緣膜15及多晶矽膜PS2上，利用CVD等方法，形成出側牆SW1形成用之絕緣膜(例如50nm左右的氮化矽膜等)IF3，再予以回蝕。該回蝕步驟中，將絕緣膜IF3藉由異向性乾蝕刻自其表面僅去除既定膜厚度。藉由該步驟，可讓絕緣膜IF3成側牆狀殘留於間隔物SP之上部的側壁部，來作為側牆SW1(圖28)。

【0070】

接下來，如圖29所示，以側牆SW1作為遮罩，對下層之多晶矽膜PS2進行蝕刻，進而形成控制閘極電極CG。另外，多晶矽膜PS2，雖殘留於記憶體閘極電極MG之兩側，但其中一方(圖29中為右側)成為控制閘極電極CG，另一方的多晶矽膜PS2，係利用光微影技術及乾蝕刻技術予以去除。

【0071】

接下來，形成源極區域MS及汲極區域MD。例如，以記憶體閘極電極MG上之絕緣膜15與控制閘極電極CG上之側牆SW1與間隔物SP作為遮罩，對半導體基板SB(鰭片F)中，注入砷(As)或是磷(P)等n型雜質，進而形成n⁻型半導體區域EX。在此之際，n⁻型半導體區域EX，自行對準記憶體閘極電極MG之側壁的間隔物SP所形成。再者，n⁻型半導體區域EX，自行對準控制閘極電極CG之側壁所形成。

【0072】

接下來，如圖30所示，於記憶體閘極電極MG與控制閘極電極CG之側壁部，形成側牆SW2。例如，於絕緣膜15及側牆SW1上，利用CVD等方法堆積出40nm左右膜厚之氮化矽膜。將該氮化矽膜藉由異向性乾蝕刻自其表面僅去除既定膜厚度，進而形成側牆SW2。接下來，對絕緣膜15進行蝕刻直到封蓋絕緣膜CP露出。在此之際，對n⁻型半導體區域EX上之絕緣膜15或側牆SW2之上部進行蝕刻亦可。

【0073】

接下來，以記憶體閘極電極MG上之封蓋絕緣膜CP、控制閘極電極CG上之側牆SW1、與側牆SW2作為遮罩，對半導體基板SB(鰭片F)中，注入砷(As)或是磷(P)等n⁺型雜質，進而形成n⁺型半導體區域SD。在此之際，n⁺型半導體區域SD，自行對準側牆SW2而形成。該n⁺型半導體區域SD，比起n⁻型半導體區域EX，雜

質濃度較高，接合深度較深。藉由這道步驟，形成出由 n^- 型半導體區域EX與 n^+ 型半導體區域SD所組成之源極區域MS、汲極區域MD。

【0074】

另外，於 n^+ 型半導體區域SD的形成區域之鰭片F上，形成含 n 型雜質之磊晶層，進而形成 n^+ 型半導體區域SD亦可。此後，進行熱處理，用來讓 n^- 型半導體區域EX與 n^+ 型半導體區域SD之 n 型雜質等先前注入之雜質予以活性化。

【0075】

接下來，於源極區域MS、汲極區域MD上，利用自行對準矽化物技術，形成金屬矽化物膜SIL。

【0076】

例如，於包含源極區域MS、汲極區域MD上之半導體基板SB(鰭片F)，形成金屬膜(未圖示)，再對半導體基板SB(鰭片F)施以熱處理，使得源極區域MS、汲極區域MD與上述金屬膜產生反應。藉此，形成金屬矽化物膜SIL。上述金屬膜，例如由鎳(Ni)或鎳-鉑(Pt)合金等所組成，可用濺鍍等方法加以形成。接下來，將未反應之金屬膜去除。藉由該金屬矽化物膜SIL，可讓擴散阻抗或接觸阻抗等阻抗降低。另外，於記憶體閘極電極MG或控制閘極電極CG上，形成金屬矽化物膜亦可。

【0077】

接下來，如圖31所示，於控制閘極電極CG或記憶體閘極電極MG等的上方，利用CVD等方法堆積出氧化矽膜，來作為層間絕緣膜IL1。接下來，於該氧化矽膜中，形成插塞P1，又在插塞P1上，形成配線M1。插塞P1，可藉由例如在層間絕緣膜IL1中的接觸孔內埋入導電性膜來形成。再者，配線M1，可藉由例如將

層間絕緣膜IL1上形成之導電性膜予以圖案成形來形成。此後，重複進行層間絕緣膜、插塞及配線之形成步驟亦可。

【0078】

藉由以上之步驟，可形成本實施形態的半導體裝置。

【0079】

(實施形態2)

實施形態1之半導體裝置當中，控制閘極電極CG雖以多晶矽膜PS2構成，但控制閘極電極CG以金屬電極膜構成亦可。像這樣，閘極電極以金屬電極膜構成、而且閘極絕緣膜以high-k絕緣膜構成之電晶體，係稱作適用high-k/金屬構成之電晶體。所謂high-k絕緣膜，係指例如相對介電常數高於氮化矽膜之高介電常數膜(高介電體膜)。

【0080】

圖32~圖37，係本實施形態的半導體裝置形成步驟中的剖面圖。圖32~圖37之中，參照最後步驟剖面圖即圖37同步說明本實施形態的半導體裝置之構成。另外，與實施形態1對應之部位，則賦予同樣的符號，省略其說明。

【0081】

[結構說明]

本實施形態的半導體裝置(圖37)當中，記憶體單元，由具有控制閘極電極CG之控制電晶體、與具有記憶體閘極電極MG之記憶體電晶體所組成。再者，記憶體閘極電極MG及控制閘極電極CG之合成圖案的側壁部，形成了由絕緣膜所組成之側牆SW2。

【0082】

具體而言，記憶體單元具有：配置於半導體基板SB(鰭片F)上方之控制閘極電極CG、配置於半導體基板SB(鰭片F)上方並與控制閘極電極CG相鄰之記憶體閘極電極MG。在此，例如，記憶體閘極電極MG，由矽膜所構成；控制閘極電極CG，由金屬電極膜所構成。作為金屬電極膜，例如，可使用TiAl膜與其上方的Al膜之積層膜。此外，使用Al膜、W膜等亦可。

【0083】

並於控制閘極電極CG與半導體基板SB(鰭片F)之間，配置控制閘極絕緣膜CGI。該控制閘極絕緣膜CGI，亦配置於控制閘極電極CG與記憶體閘極電極MG之間，及控制閘極電極CG與側牆SW2之間。該控制閘極絕緣膜CGI，由high-k絕緣膜所構成。作為high-k絕緣膜，可使用例如二氧化鉛膜或氧化鋁膜等。

【0084】

記憶體單元還具有：配置於記憶體閘極電極MG與半導體基板SB(鰭片F)之間的絕緣膜ONO(11、12、13)。絕緣膜ONO，由例如下層絕緣膜11、其上方的中層絕緣膜12、與其上方的上層絕緣膜13所構成。中層絕緣膜12，成為電荷蓄積部。下層絕緣膜11，由例如氧化矽膜所構成。中層絕緣膜12，由例如氮化矽膜所構成。上層絕緣膜13，由例如氮氧化矽膜所構成。

【0085】

再者，記憶體單元還具有：於半導體基板SB之鰭片F中所形成之汲極區域MD及源極區域MS。

【0086】

再者，於汲極區域MD(n⁺型半導體區域SD)、源極區域MS(n⁺型半導體區域SD)之上部，有金屬矽化物膜SIL形成。再者，於記憶體閘極電極MG之上部，有金屬矽化物膜SIL形成。

【0087】

另外，圖37中雖未圖示出，但於控制閘極電極CG與記憶體閘極電極MG之上方，有層間絕緣膜形成。該膜，由例如氧化矽膜所構成。於層間絕緣膜中形成插塞，於插塞上形成配線。

【0088】

另外，就記憶體單元之基本的動作來說，可採取與實施形態1所說明之(1)讀取、(2)刪除、(3)寫入同樣的動作。

【0089】

在此，本實施形態當中，亦如圖37所示，記憶體閘極電極MG下的元件分離部ST之高度，與控制閘極電極CG下的元件分離部ST之高度有所不同；記憶體閘極電極MG下的元件分離部ST之高度，比控制閘極電極CG下的元件分離部ST之高度更高。

【0090】

像這樣，令記憶體閘極電極MG下的元件分離部ST之高度，比控制閘極電極CG下的元件分離部ST之高度更高，因而如實施形態1當中所說明，讓電子與電洞注入的不匹配狀況得到改善，改寫動作速度提升，可靠度提升。

【0091】

[製法說明]

以下，利用圖32~圖37，針對本實施形態的半導體裝置之製造方法進行說明。

【0092】

首先，如同實施形態1當中參照圖6~圖17所說明，形成鱗片F。

【0093】

接下來，如同實施形態1當中參照圖18~圖29所說明，形成元件分離部ST(圖20)，形成絕緣膜ONO(11、12、13)、記憶體閘極電極MG、封蓋絕緣膜CP(圖22)，又在控制閘極電極CG之形成區域當中，讓鱗片間的元件分離部ST的頂面後退(圖23)。接下來，形成絕緣膜15，形成間隔物(側壁絕緣膜)SP之後，形成多晶矽膜(導電性膜)PS2。另外，在本實施形態當中，多晶矽膜PS2，為控制閘極電極替換用的膜(亦稱為虛擬閘極)；絕緣膜15，為控制閘極絕緣膜替換用的膜。接下來，對多晶矽膜PS2的頂面施以蝕刻處理，使得多晶矽膜PS2頂面後退(下降)，在多晶矽膜PS2上、間隔物SP之上部的側壁部形成側牆SW1(圖28)。接下來，以側牆SW1作為遮罩，對下層之多晶矽膜PS2進行蝕刻，進而形成控制閘極電極CG。接下來，形成n⁻型半導體區域EX(圖29、圖32)。

【0094】

接下來，如圖33所示，於記憶體閘極電極MG與控制閘極電極CG之側壁部，形成側牆SW2。例如，於絕緣膜15及側牆SW1上，利用CVD等方法堆積出40nm左右膜厚之氮化矽膜。將該氮化矽膜藉由異向性乾蝕刻自其表面僅去除既定膜厚度，進而形成側牆SW2。接下來，與實施形態1之情形同樣地，形成n⁺型半導體區域SD，又形成金屬矽化物膜SIL。

【0095】

接下來，如圖34所示，於控制閘極電極CG或記憶體閘極電極MG等之上方，利用CVD等方法堆積出氧化矽膜，來作為層間絕緣膜IL1。接下來，藉由CMP

法讓絕緣膜15及其下層的層平坦化，直到控制閘極電極替換用的膜即多晶矽膜PS2露出為止。在此之際，側牆SW2之上部亦可平坦化。

【0096】

接下來，如圖35所示，將露出之多晶矽膜PS2藉蝕刻加以去除，又對多晶矽膜PS2之下層的絕緣膜15進行蝕刻。該蝕刻，可使用乾蝕刻或是濕蝕刻。藉此，在多晶矽膜PS2及其下層之絕緣膜15已去除之區域，即p型井PW上之區域，形成溝槽。

【0097】

在此，在進行絕緣膜15的蝕刻之際，進行過度蝕刻，進而在C-C剖面部(控制閘極電極CG之形成區域)當中，可讓鰭片F之間的元件分離部ST的頂面更後退。令本步驟中的後退量為D2。

【0098】

因此，控制閘極電極CG形成區域之元件分離部ST的頂面，與記憶體閘極電極MG形成區域之元件分離部ST的頂面之高低差，可自“D1”改成“D1+D2”。在此，記憶體閘極電極MG形成區域之鰭片F的高度為FH1，控制閘極電極CG形成區域之鰭片F的高度為FH3，(FH3>FH1)。另外，這階段中的高低差(D1+D2)，可為5nm以上10nm以下，但亦可為10nm以上。本實施形態當中，記憶體閘極電極MG及絕緣膜ONO(11、12、13)之側面，被絕緣膜15或間隔物SP所包覆，所以側方蝕刻難以進入絕緣膜ONO(11、12、13)。因此，可大幅確保元件分離部ST的頂面之後退量。

【0099】

像這樣，本實施形態當中，在絕緣膜ONO之下層絕緣膜(氧化矽膜)11的蝕刻步驟、及控制閘極絕緣膜替換用的膜即絕緣膜15的蝕刻步驟中，在C-C剖面部(控制閘極電極CG之形成區域)當中，可讓鰭片F之間的元件分離部ST的頂面後退。

【0100】

接下來，如圖36所示，於上述溝槽內，形成控制閘極絕緣膜CGI及控制閘極電極CG。首先，於包含上述溝槽內之半導體基板SB上，依序形成高介電常數膜及金屬膜，進而將高介電常數膜及金屬膜之積層膜埋入溝槽內。接下來，例如利用CMP等方法，將溝槽之上部多餘的上述積層膜去除。在此之際，亦將記憶體閘極電極MG上之封蓋絕緣膜CP去除，使記憶體閘極電極MG的頂面露出。藉此，於上述溝槽內形成由高介電常數膜所構成之控制閘極絕緣膜CGI、與由金屬膜所構成之控制閘極電極CG。

【0101】

接下來，如圖37所示，於露出之記憶體閘極電極MG上，利用自行對準矽化物技術，形成金屬矽化物膜SIL。

【0102】

此後，雖省略圖示，卻與實施形態1同樣地，形成層間絕緣膜、插塞、配線等。

【0103】

藉由以上之步驟，可形成本實施形態的半導體裝置。

【0104】

(實施形態3)

在實施形態1當中，考慮到記憶體閘極電極MG下層的絕緣膜ONO(11、12、13)中之側方蝕刻，並且令控制閘極電極CG形成區域之元件分離部ST的頂面，與記憶體閘極電極MG形成區域之元件分離部ST的頂面之高低差為10nm以下。相對於此，在本實施形態中，於絕緣膜ONO之側面設置側牆SW10，來大幅確保元件分離部ST的頂面之後退量(上述高低差)。

【0105】

圖38、圖39，係本實施形態的半導體裝置形成步驟中的剖面圖。

【0106】

首先，如同實施形態1當中參照圖21~圖23所說明，在C-C剖面部(控制閘極電極CG之形成區域)當中，形成記憶體閘極電極MG，並且將絕緣膜ONO(11、12、13)藉蝕刻加以去除，同時讓元件分離部ST的頂面後退。在此時點的後退量，也就是說，控制閘極電極CG形成區域之元件分離部ST的頂面，與記憶體閘極電極MG形成區域之元件分離部ST的頂面之高低差，為D1。

【0107】

接下來，如圖38所示，於半導體基板SB上，利用CVD法等方法形成側牆SW10形成用的絕緣膜(例如2nm左右的氮化矽膜等)，再將該絕緣膜，藉由異向性乾蝕刻予以回蝕。藉此，讓記憶體閘極電極MG及絕緣膜ONO(11、12、13)之側面，被側牆SW10包覆。此後，在C-C剖面部(控制閘極電極CG之形成區域)當中，讓鰭片F之間的元件分離部ST的頂面更後退。令本步驟中的後退量為D3。根據本實施形態，可大幅確保元件分離部ST的頂面之後退量。

【0108】

此後，與實施形態1同樣地操作，便可形成本實施形態的半導體裝置(圖39)。

【0109】**(實施形態4)**

在實施形態1~3當中，控制閘極電極CG下方的元件分離部ST之頂面，與記憶體閘極電極MG下方的元件分離部ST之頂面，係以均一平坦的面做說明，但各區域的頂面亦可有凹凸。

【0110】

圖40、圖41，係顯示本實施形態的半導體裝置之記憶體單元的構成之剖面圖。圖40顯示控制閘極電極CG附近，圖41顯示記憶體閘極電極MG附近。

【0111】

如圖40所示，鰭片F兩側之元件分離部ST，在鰭片F附近，沿著鰭片F平緩地隆起。越遠離鰭片F，其高度越低。因此，控制閘極電極CG下方之元件分離部ST當中，在鰭片F之間的中央部一帶最低，越接近鰭片F越高。在此，令鰭片F之間的中央部一帶當中的元件分離部ST的高度為STI-BOTTOM；令鰭片F的側面當中，絕緣膜的膜厚開始增大之位置為STI-TOP。也就是說，鰭片F的側面當中，絕緣膜15與元件分離膜(ST)之合成膜(合成部)的膜厚開始增大之部位，為STI-TOP。

【0112】

再者，如圖41所示，鰭片F兩側之元件分離部ST，在鰭片F附近，沿著鰭片F平緩地隆起。越遠離鰭片F，其高度越低。因此，記憶體閘極電極MG下方之元件分離部ST當中，在鰭片F之間的中央部一帶最低，越接近鰭片F越高。在此，令鰭片F之間的中央部一帶當中的元件分離部ST的高度為STI-BOTTOM；令鰭片F的側面當中，絕緣膜的膜厚開始增大之位置為STI-TOP。也就是說，鰭片F的側

面當中，絕緣膜ONO與元件分離膜(ST)之合成膜(合成部)的膜厚開始增大之部位，為STI-TOP。

【0113】

在此，可令記憶體閘極電極MG下方的元件分離部ST之高度及控制閘極電極CG下方的元件分離部ST之高度，為上述STI-TOP。至少就上述STI-TOP而言，只要記憶體閘極電極MG越高，即可改善參照圖4、圖5所說明的，電子與電洞注入之不匹配狀況。

【0114】

當然，令記憶體閘極電極MG下方的元件分離部ST之高度及控制閘極電極CG下方的元件分離部ST之高度，為STI-BOTTOM、或凹凸平均後之高度亦可。就這些高度而言，在控制閘極電極CG下方的元件分離部ST受蝕刻之際，幾乎均等後退，所以這些高度亦可作為基準。

【0115】

以上，本案發明人所完成之發明已依據其實施形態進行了具體說明，但本發明並不限於上述實施形態，在不脫離其宗旨之範圍內，可為各種變更，乃自不待言。

【0116】

例如，上述實施形態當中，係以BTBT刪除方式為例加以說明，但在使用所謂的FN刪除方式之情形，根據本實施形態的構成，也可改善電子與電洞注入的不匹配狀況。

【0117】

再者，上述實施形態當中所說明之半導體裝置當中，亦可包含記憶體單元以外之元件。例如，亦可具有FINFET。FINFET具有：以橫跨鰭片方式延伸的閘極電極、配置於鰭片與閘極電極之間的閘極絕緣膜、與形成於閘極電極兩側之鰭片中的源極、汲極區域。構成FINFET之閘極電極、閘極絕緣膜、或是源極、汲極區域，可使用與上述實施形態所說明記憶體單元的各構成部相同之材料，以相同步驟加以形成。

【符號說明】

【0118】

- 11 下層絕緣膜(絕緣膜)
- 12 中層絕緣膜(絕緣膜)
- 13 上層絕緣膜(絕緣膜)
- 15 絕緣膜
- CG 控制閘極電極
- CGI 控制閘極絕緣膜(閘極絕緣膜)
- CP 封蓋絕緣膜
- D1、D2、D3 高低差(後退量)
- EX n⁻型半導體區域
- F 鰭片
- FH1、FH2、FH3 鰭片高度
- G 溝槽
- HM1 硬罩
- IF1 絕緣膜

IF2	絕緣膜
IF3	絕緣膜
IL1	層間絕緣膜
L	線段
M1	配線
MD	汲極區域
MG	記憶體閘極電極
MS	源極區域
ONO	記憶體閘極絕緣膜(閘極絕緣膜、絕緣膜)
P1	插塞
PR2	光阻膜
PS1	多晶矽膜
PS2	多晶矽膜
PW	p型井
SB	半導體基板
SD	n ⁺ 型半導體區域
SI1	半導體膜
SIL	金屬矽化物膜
SP	間隔物
ST	元件分離部
SW1	側牆
SW2	側牆
SW10	側牆

【發明申請專利範圍】

【第1項】

一種半導體裝置，具有：

第1鰭片，成長方體狀，朝第1方向延伸；

第2鰭片，成長方體狀，與該第1鰭片分開配置，朝該第1方向延伸；

元件分離部，配置於該第1鰭片與該第2鰭片之間，而且其高度比該第1鰭片及該第2鰭片的高度更低；

第1閘極電極，隔著具有電荷蓄積部之第1閘極絕緣膜，配置於該第1鰭片、該元件分離部及該第2鰭片之上，朝向與該第1方向交叉之第2方向延伸；

第2閘極電極，隔著第2閘極絕緣膜，配置於該第1鰭片、該元件分離部及該第2鰭片之上，朝向與該第1方向交叉之該第2方向延伸，且與該第1閘極電極並排配置；

該第1閘極電極下方之該元件分離部的高度，比該第2閘極電極下方之該元件分離部的高度更高；

該第1閘極絕緣膜具有：形成於該第1鰭片上之第1膜、形成於該第1膜上來作為該電荷蓄積部之第2膜、與形成於該第2膜上之第3膜；

該第1閘極電極下方之該元件分離部的高度，與該第2閘極電極下方之該元件分離部的高度，兩者相差5nm以上10nm以下。

【第2項】

如申請專利範圍第1項之半導體裝置，其中，

該第1閘極電極及該第2閘極電極係由矽所構成。

【第3項】

如申請專利範圍第2項之半導體裝置，其中，
該第1膜為熱氧化膜；該元件分離部由CVD膜所構成。

【第4項】

如申請專利範圍第3項之半導體裝置，其中，
該第2閘極電極由金屬膜所構成；該第2閘極絕緣膜由介電常數高於氮化矽之高介電體所構成。

【第5項】

如申請專利範圍第1項之半導體裝置，其中，
該第1閘極電極下方之該元件分離部的高度，對應於該第1膜與該元件分離部之第1合成部的膜厚開始增大部位的高度；
該第2閘極電極下方之該元件分離部的高度，對應於該第2閘極絕緣膜與該元件分離部之第2合成部的膜厚開始增大部位的高度。

【第6項】

一種半導體裝置之製造方法，包括：

- (a)步驟，一半導體基板具有：朝第1方向延伸的第1鰭片形成區域、及與該第1鰭片形成區域分開配置並朝該第1方向延伸的第2鰭片形成區域；此(a)步驟係在該導體基板的該第1鰭片形成區域與該第2鰭片形成區域之間形成分離溝槽，同時形成第1鰭片與第2鰭片；
- (b)步驟，於該分離溝槽的内部埋入分離絕緣膜藉以形成元件分離部；
- (c)步驟，使該元件分離部的表面後退；

(d)步驟，於該半導體基板上形成具有電荷蓄積部之第1絕緣膜，又於該第1絕緣膜上形成第1導電性膜並予以加工，藉此於該第1鰭片、該元件分離部及該第2鰭片之上方，形成朝向與該第1方向交叉的第2方向延伸之第1閘極電極；

(e)步驟，於該半導體基板上形成第2絕緣膜，又於該第2絕緣膜上形成第2導電性膜並予以加工，藉此於該第1鰭片、該元件分離部及該第2鰭片之上方，形成朝向與該第1方向交叉的該第2方向延伸之第2閘極電極；

該(e)步驟，係在該(d)步驟之後進行；

在該(d)步驟之後，該第1閘極電極下方之該元件分離部的高度，比該第2閘極電極下方之該元件分離部的高度更高；

該(d)步驟包括以下步驟：於該第1鰭片上形成第1膜以作為該第1絕緣膜，於該第1膜上形成作為該電荷蓄積部之第2膜，於該第2膜上形成第3膜；

在該(d)步驟之後，該第1閘極電極下方之該元件分離部的高度，與該第2閘極電極下方之該元件分離部的高度，兩者5nm以上10nm以下。

【第7項】

如申請專利範圍第6項之半導體裝置之製造方法，其中，

該(d)步驟包括：

(d1)步驟，於該第1閘極電極之形成區域及該第2閘極電極之形成區域上，形成該第1絕緣膜及該第1導電性膜；

(d2)步驟，於該第1閘極電極之形成區域保留該第1絕緣膜及該第1導電性膜，並將該第2閘極電極之形成區域的該第1絕緣膜及該第1導電性膜去除；

於該(d2)步驟中，在該第2閘極電極之形成區域中露出的該元件分離部的表面後退。

【第8項】

如申請專利範圍第6項之半導體裝置之製造方法，其中，
該第1閘極電極及該第2閘極電極係由矽所構成。

【第9項】

如申請專利範圍第8項之半導體裝置之製造方法，其中，
該(d)步驟之該第1膜，係由熱氧化所形成；
該(b)步驟之該分離絕緣膜，係由CVD法所形成。

【第10項】

如申請專利範圍第6項之半導體裝置之製造方法，其中，
該第1閘極電極下方之該元件分離部的高度，對應於該第1膜與該元件分離部之
第1合成部的膜厚開始增大部位的高度；
該第2閘極電極下方之該元件分離部的高度，對應於該第2絕緣膜與該元件分離
部之第2合成部的膜厚開始增大部位的高度。

【發明圖式】

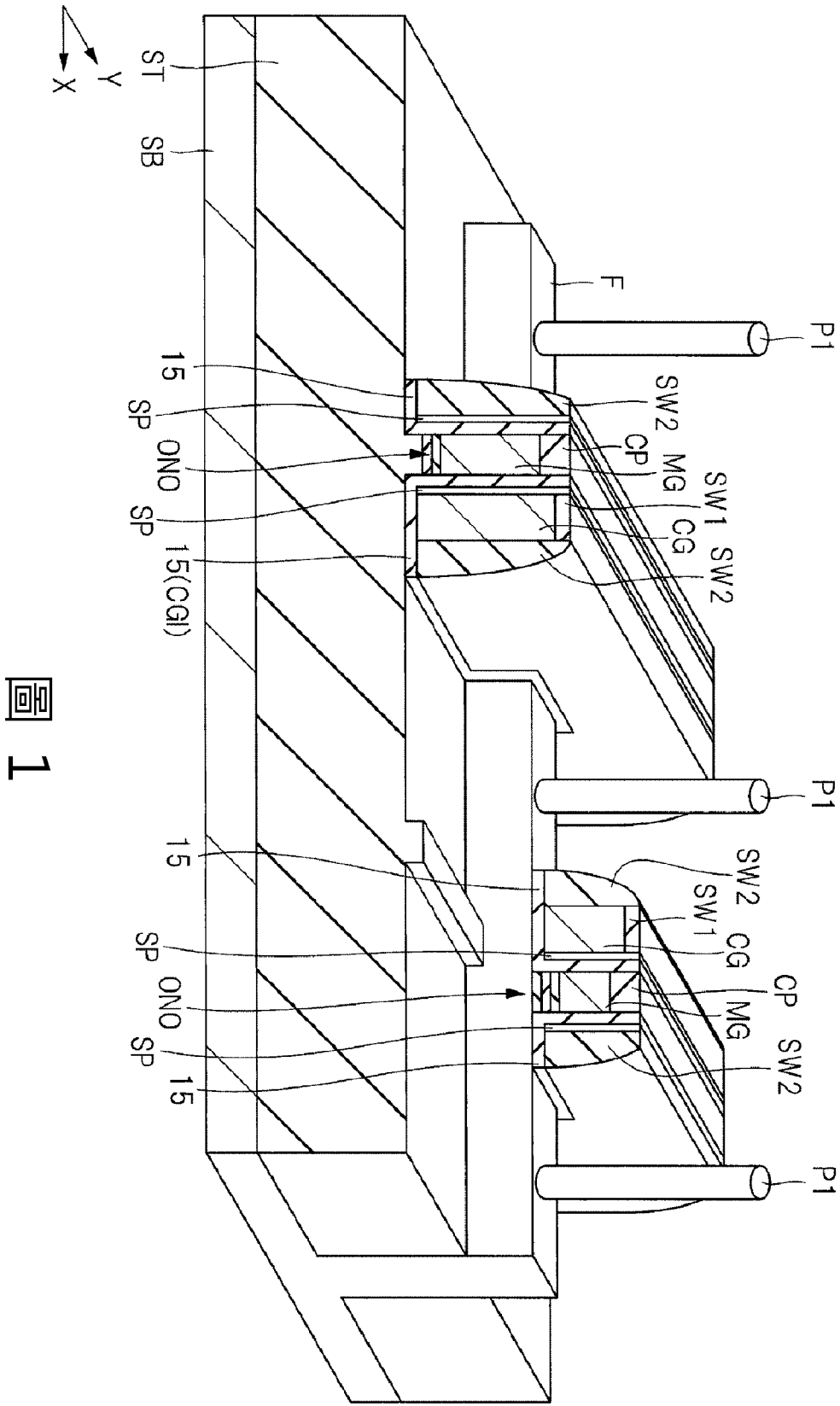
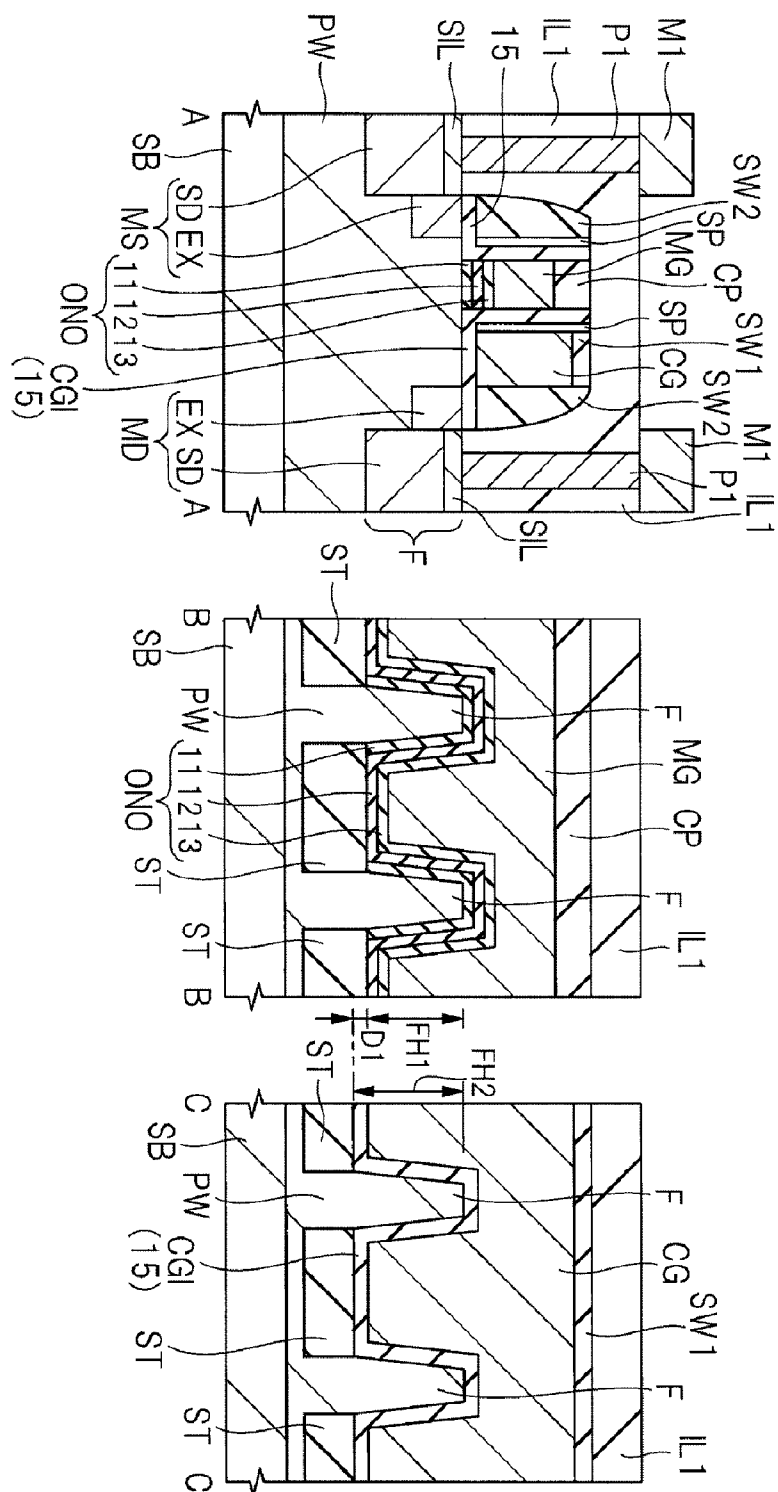


圖 1



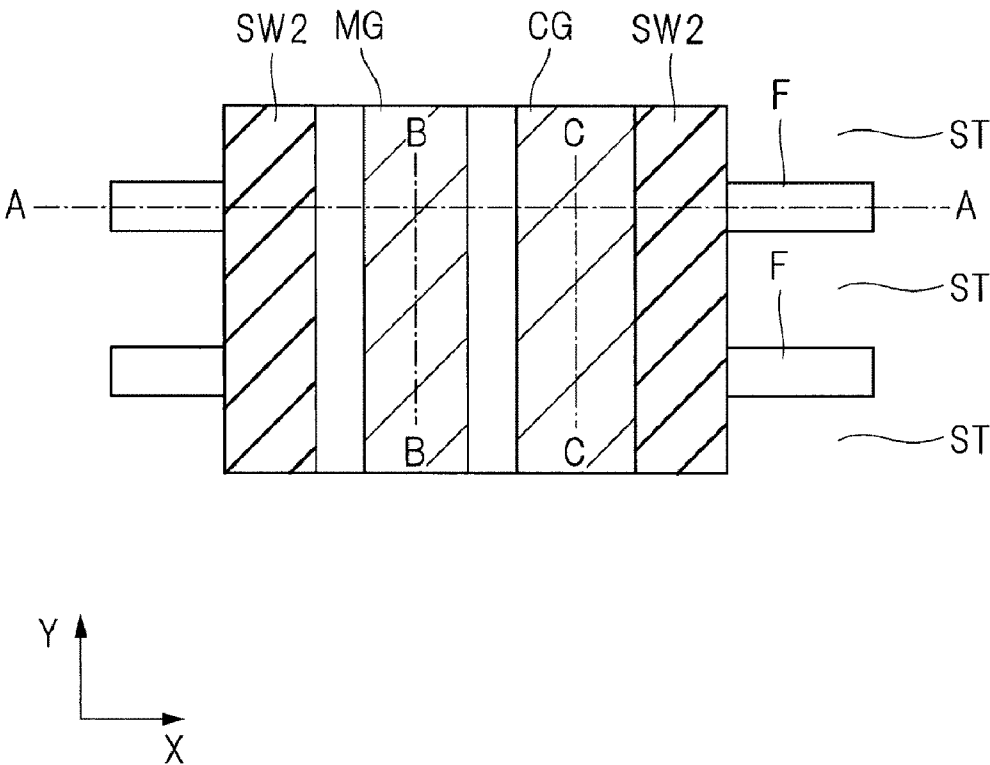


圖 3

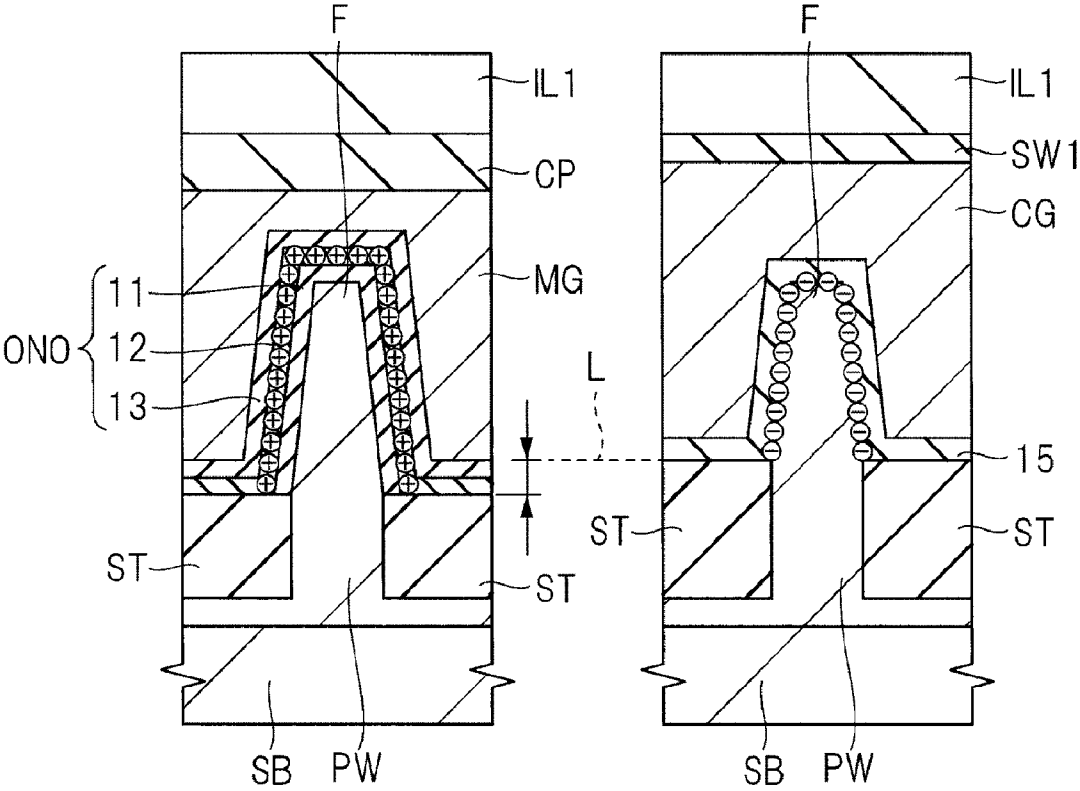


圖 4

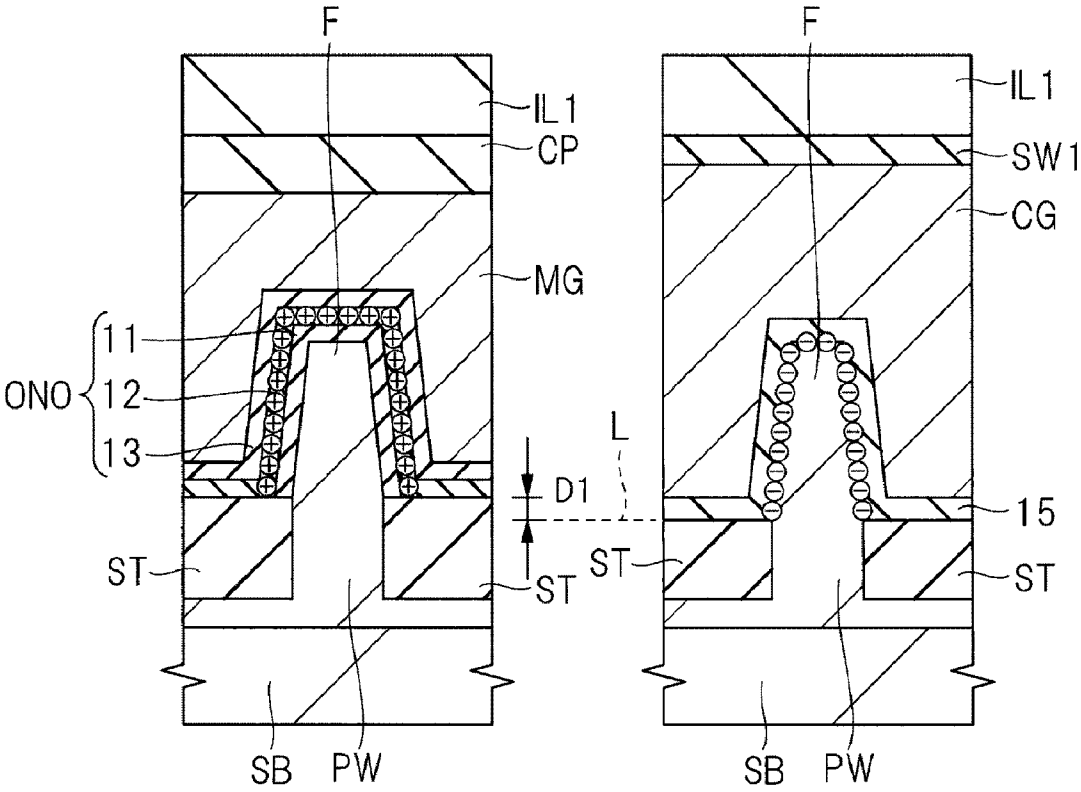


圖 5

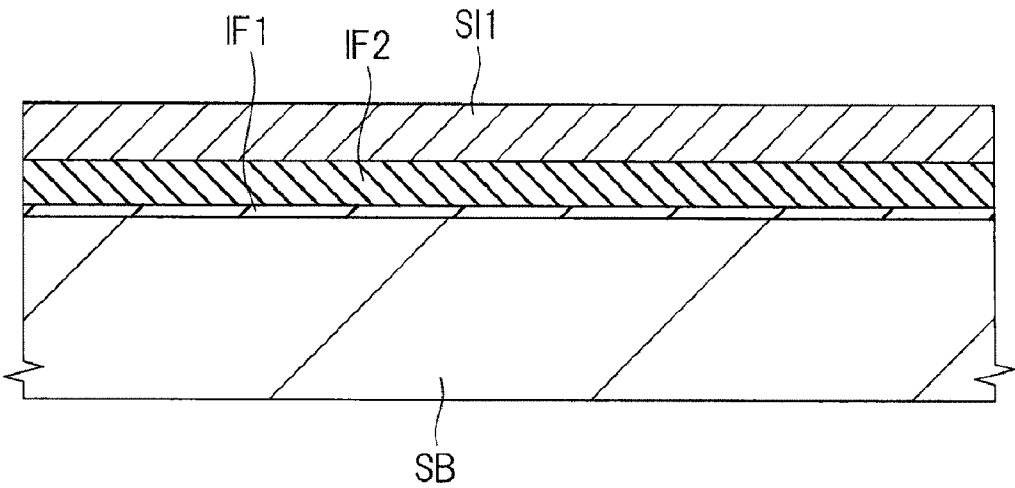


圖 6

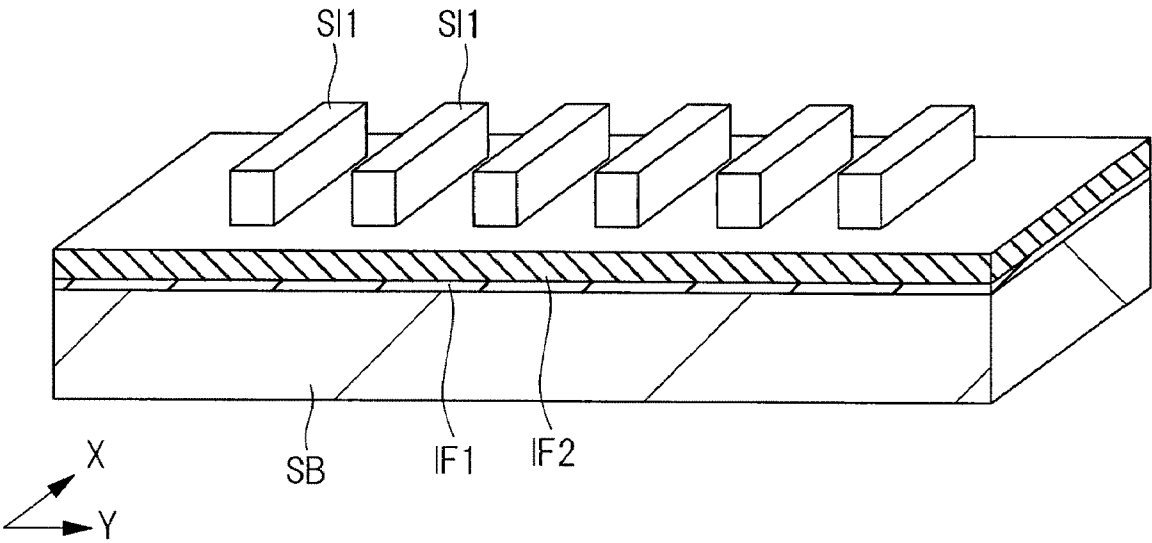


圖 7

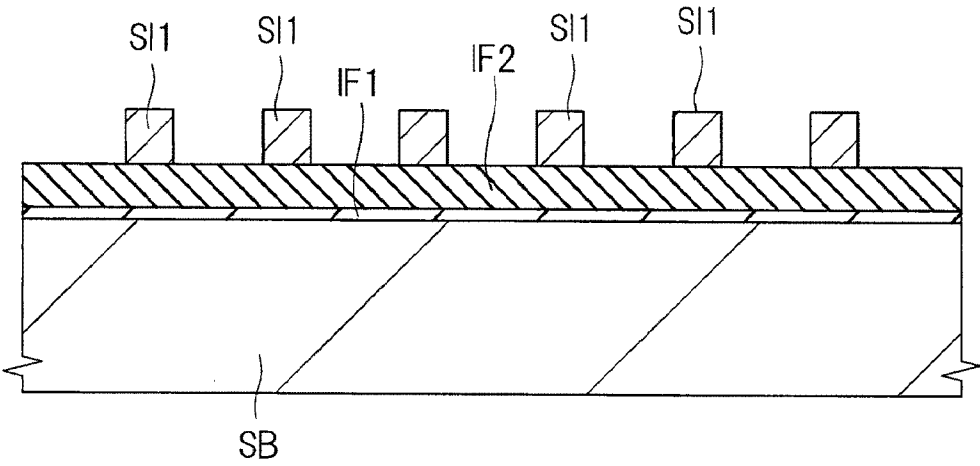


圖 8

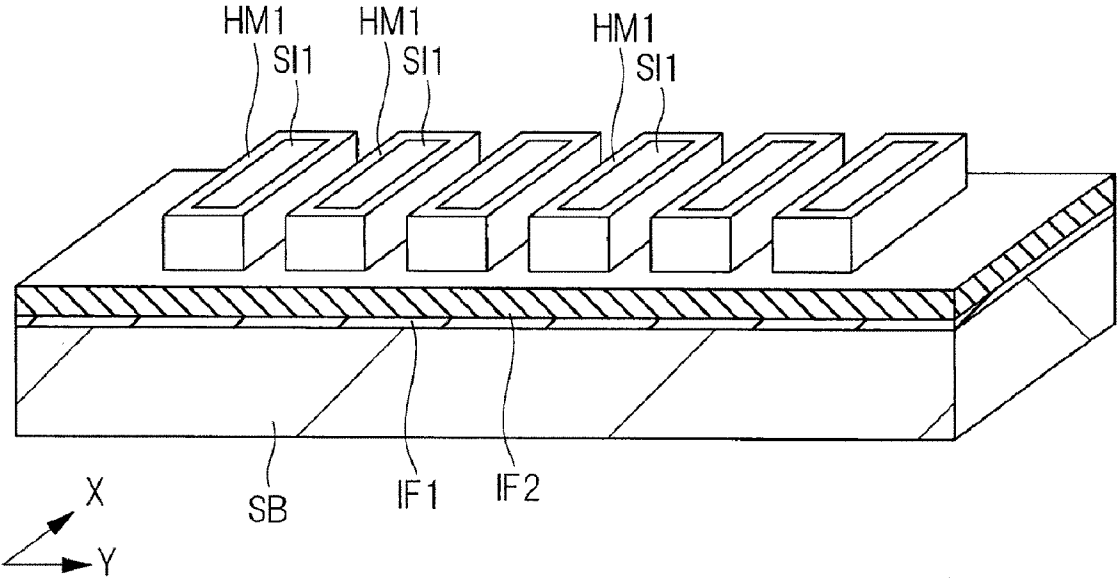


圖 9

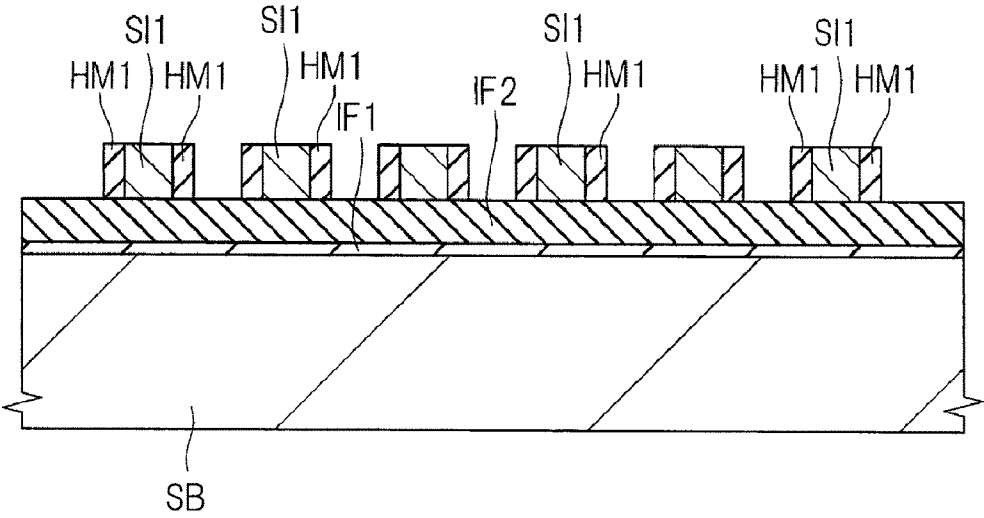


圖 10

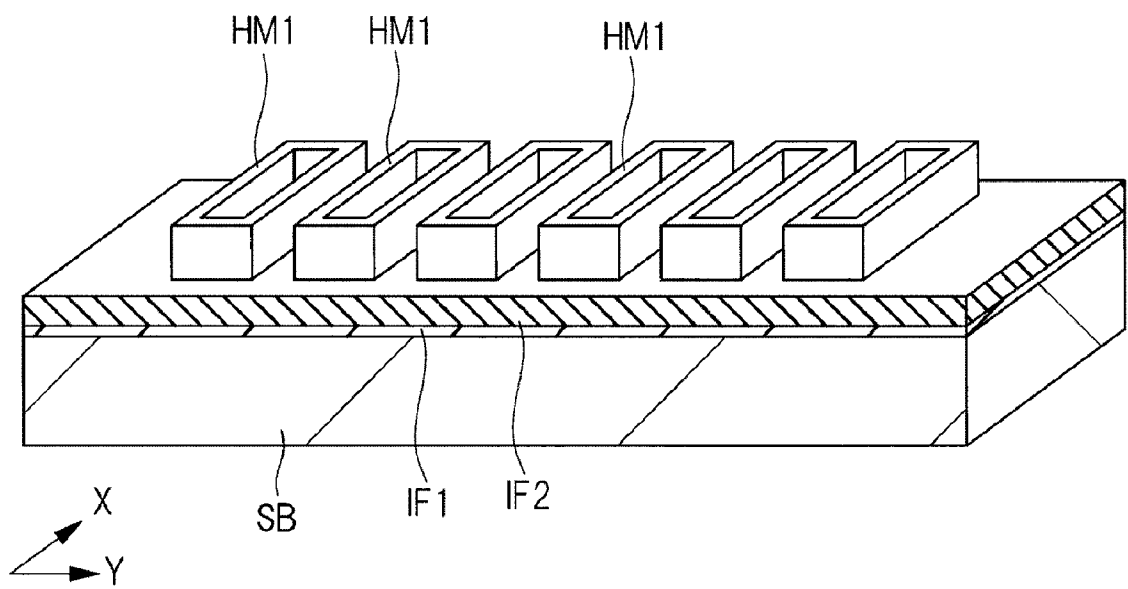


圖 11

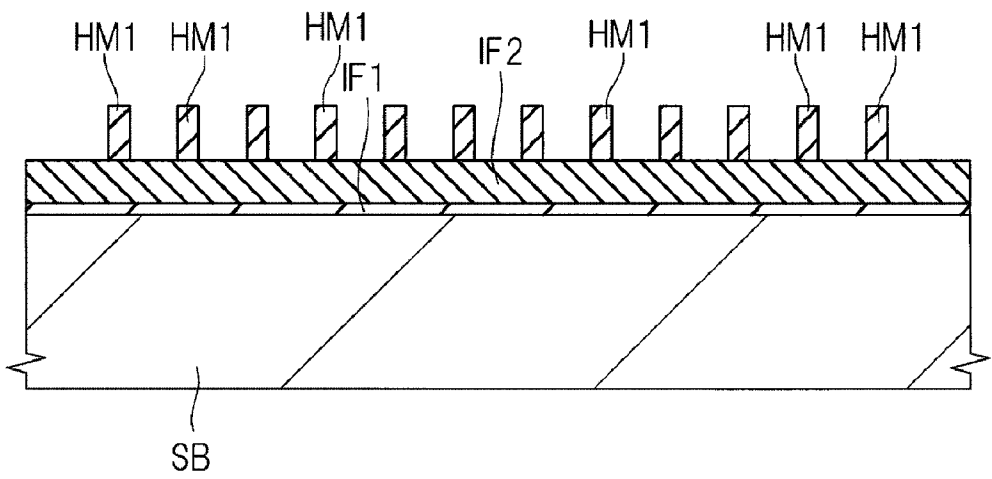


圖 12

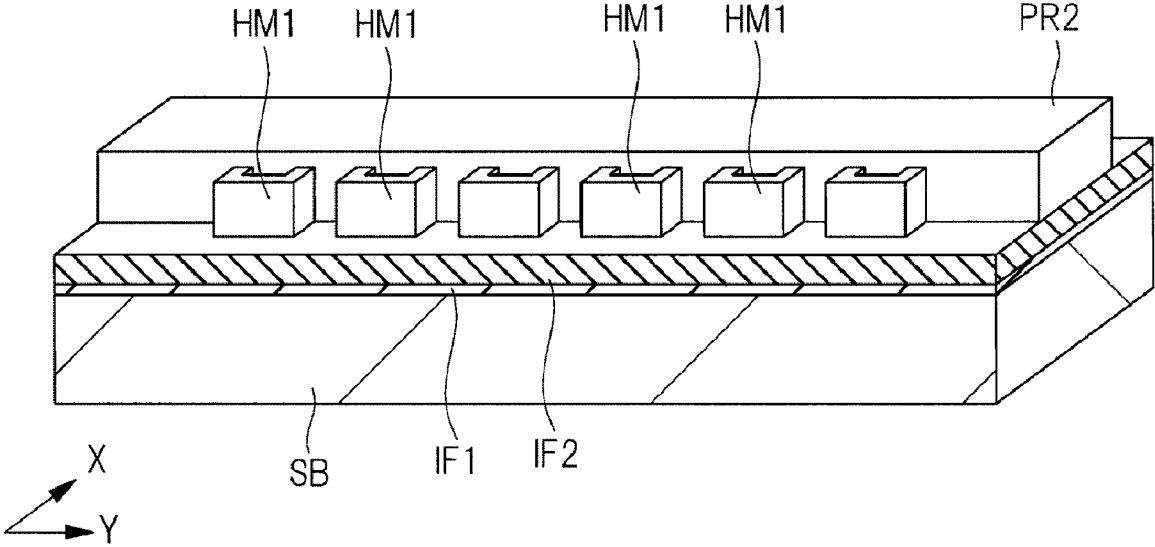


圖 13

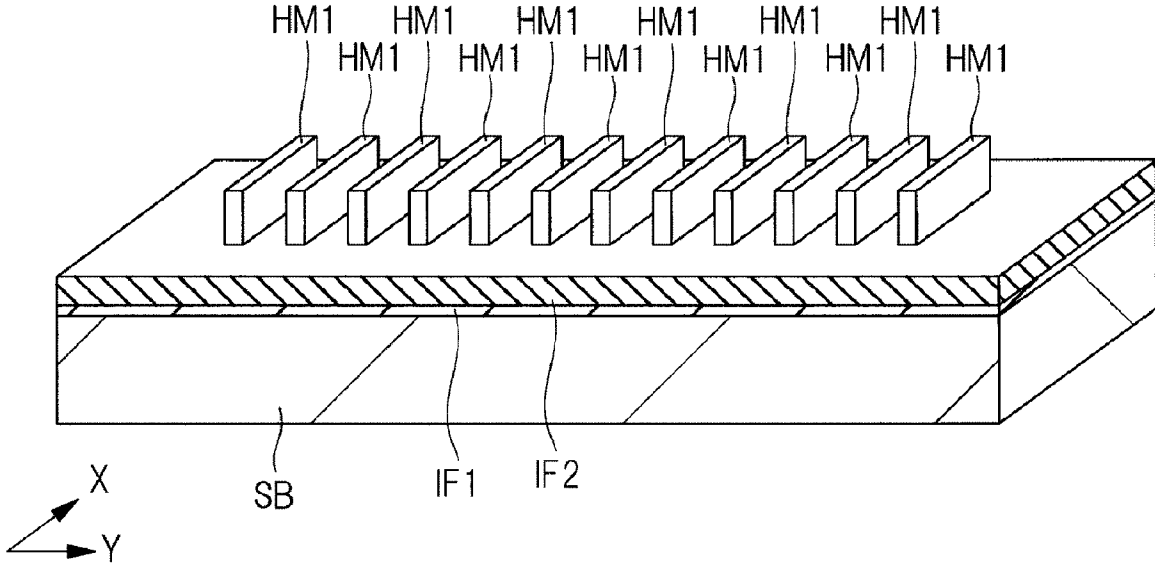


圖 14

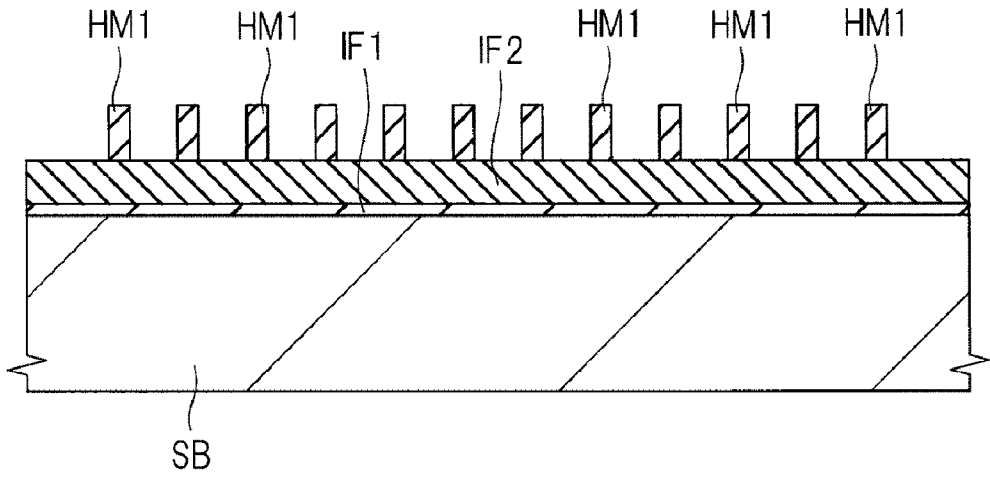


圖 15

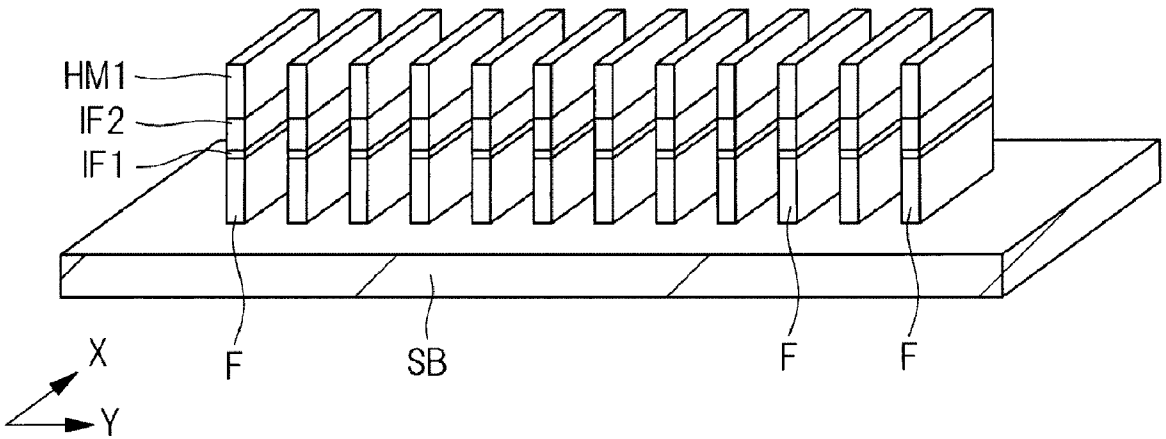


圖 16

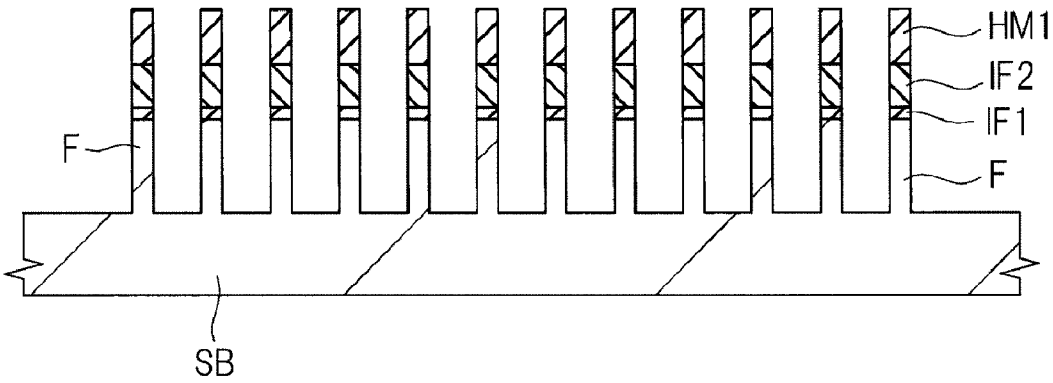


圖 17

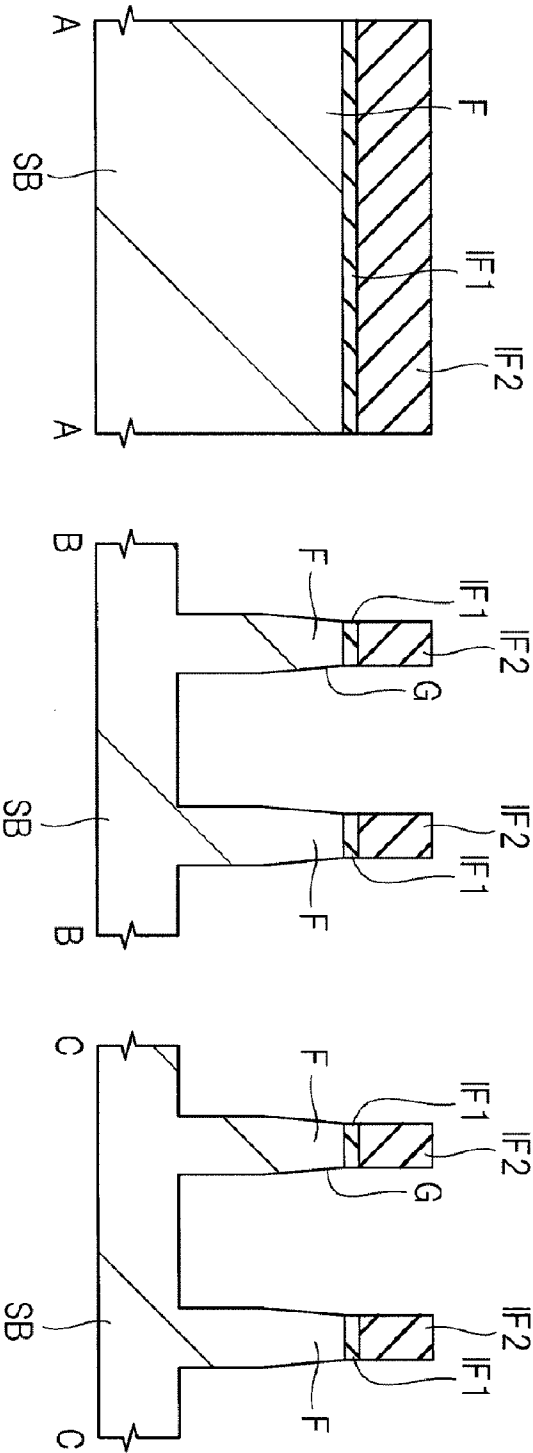


圖 18

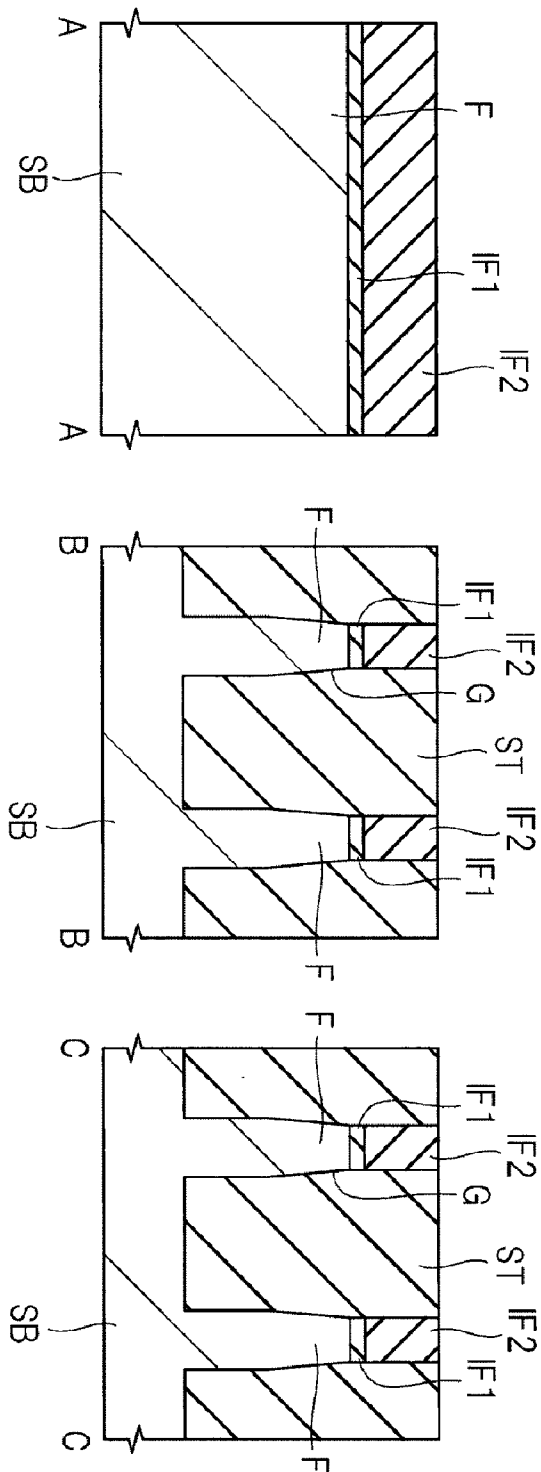
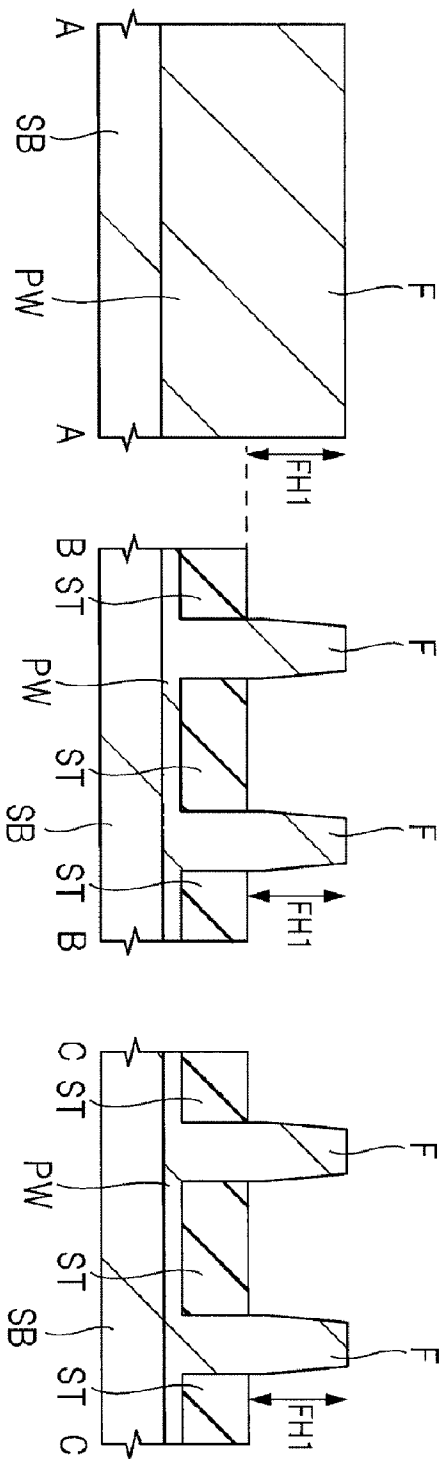


圖 19

圖 20



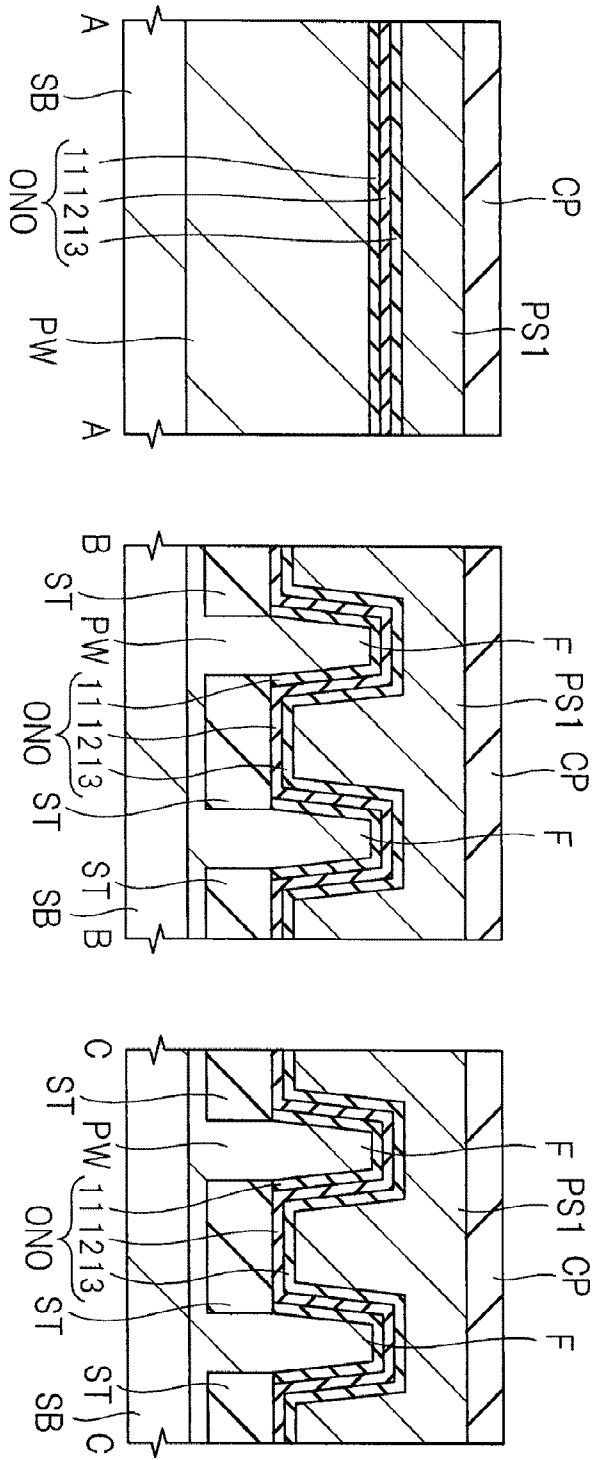


圖 21

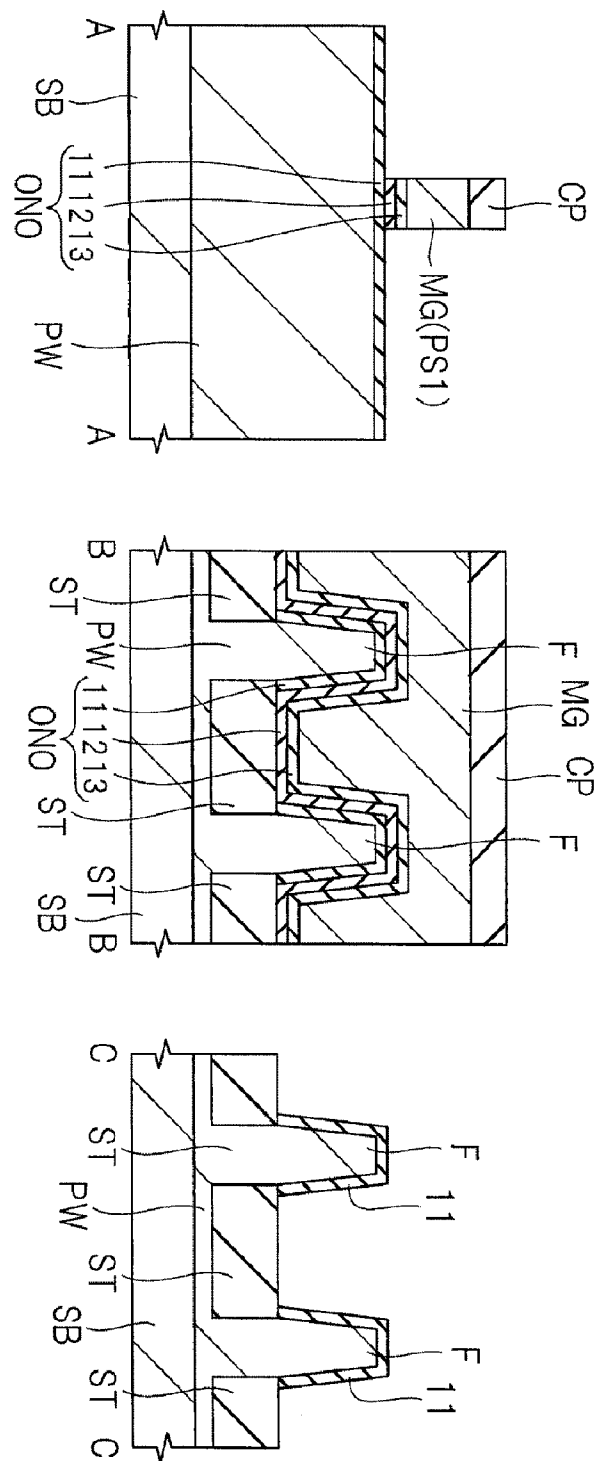


圖 22

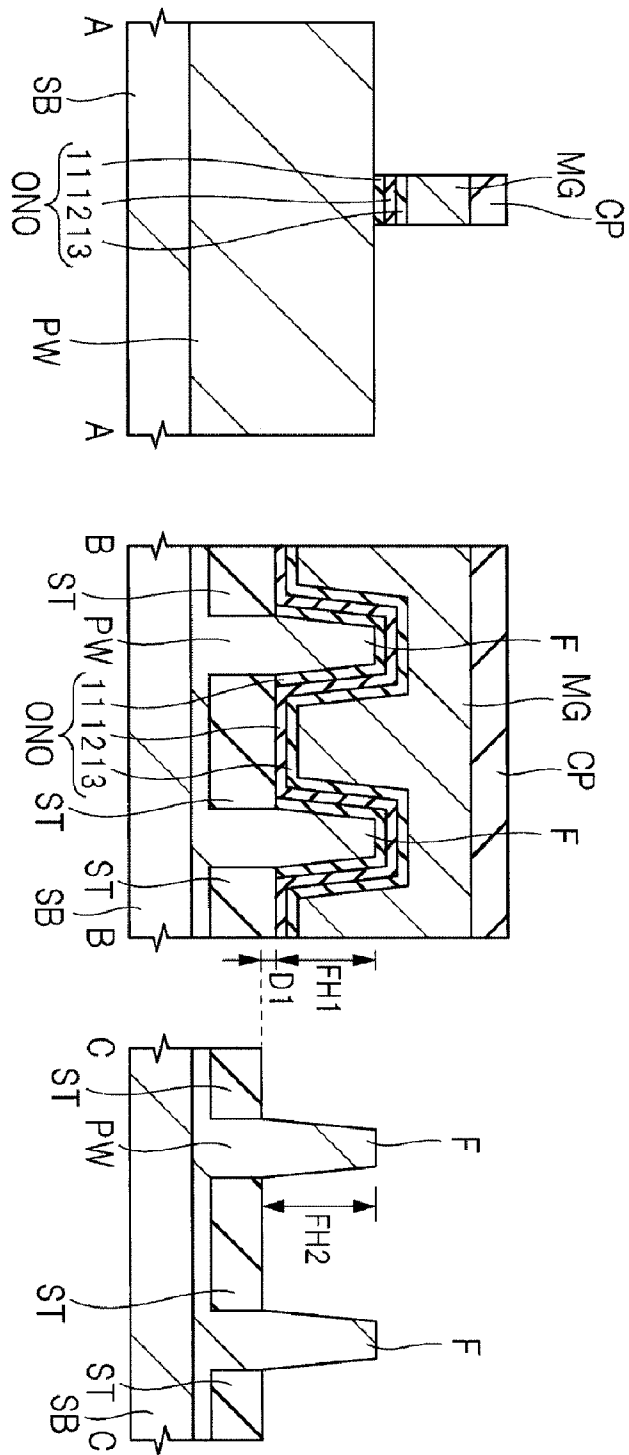
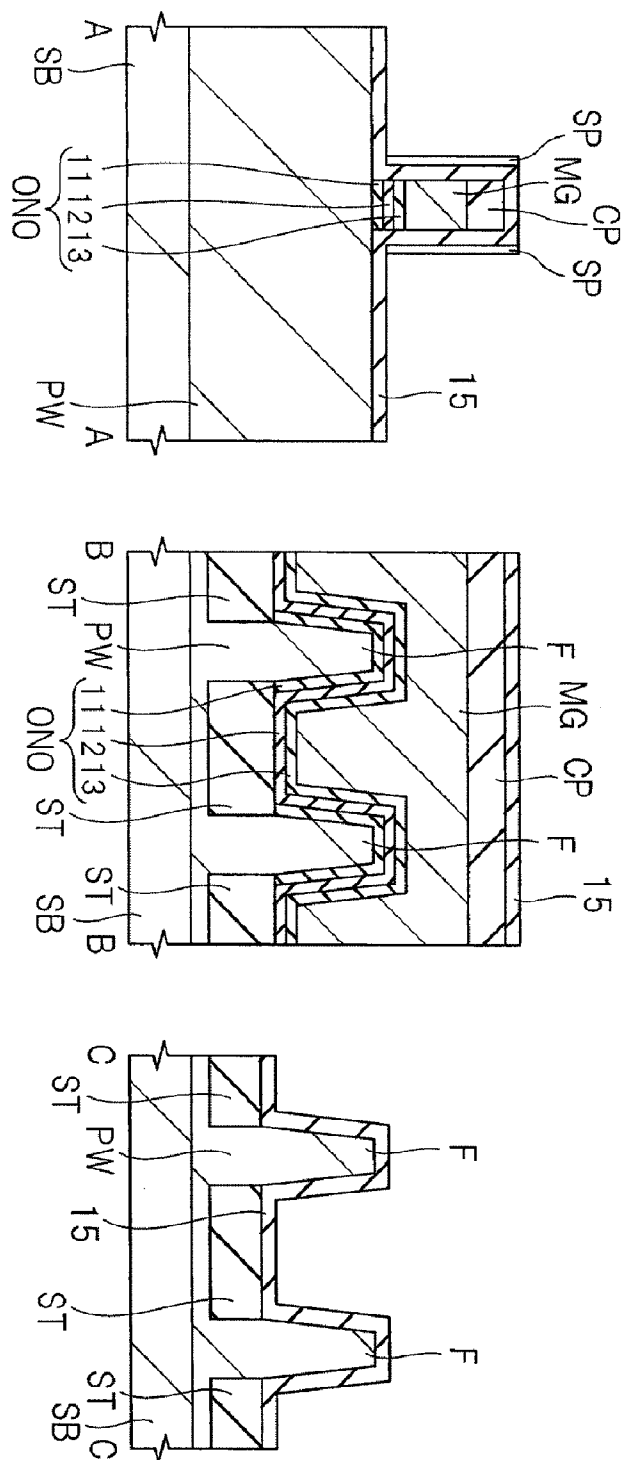


圖 23



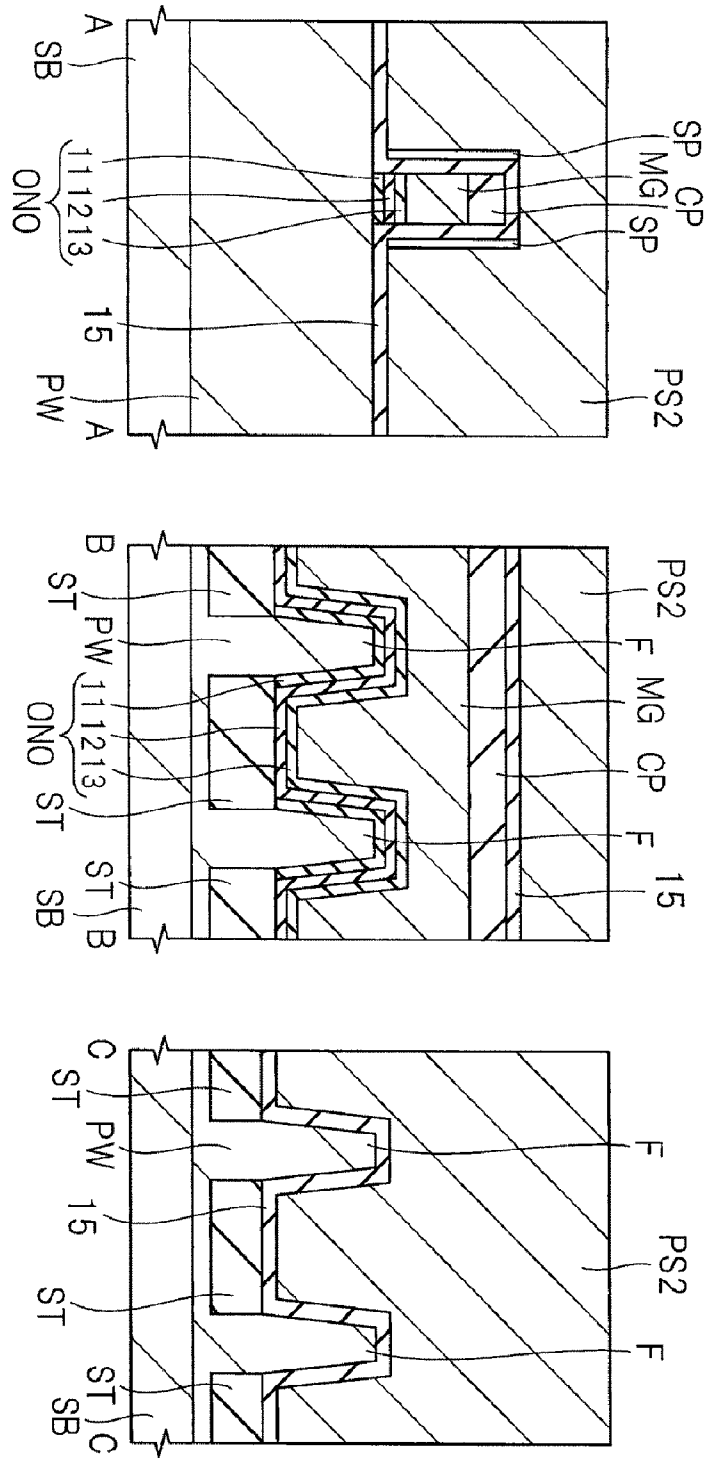


圖 25

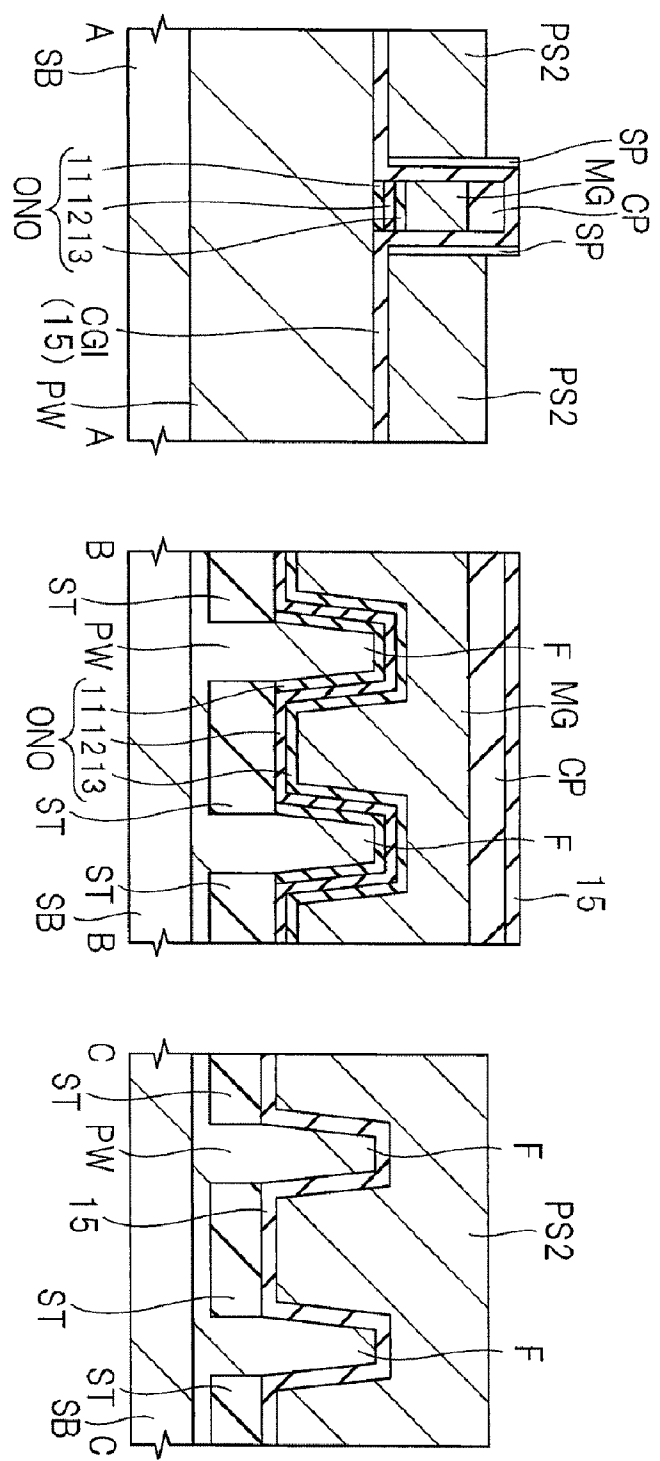


圖 26

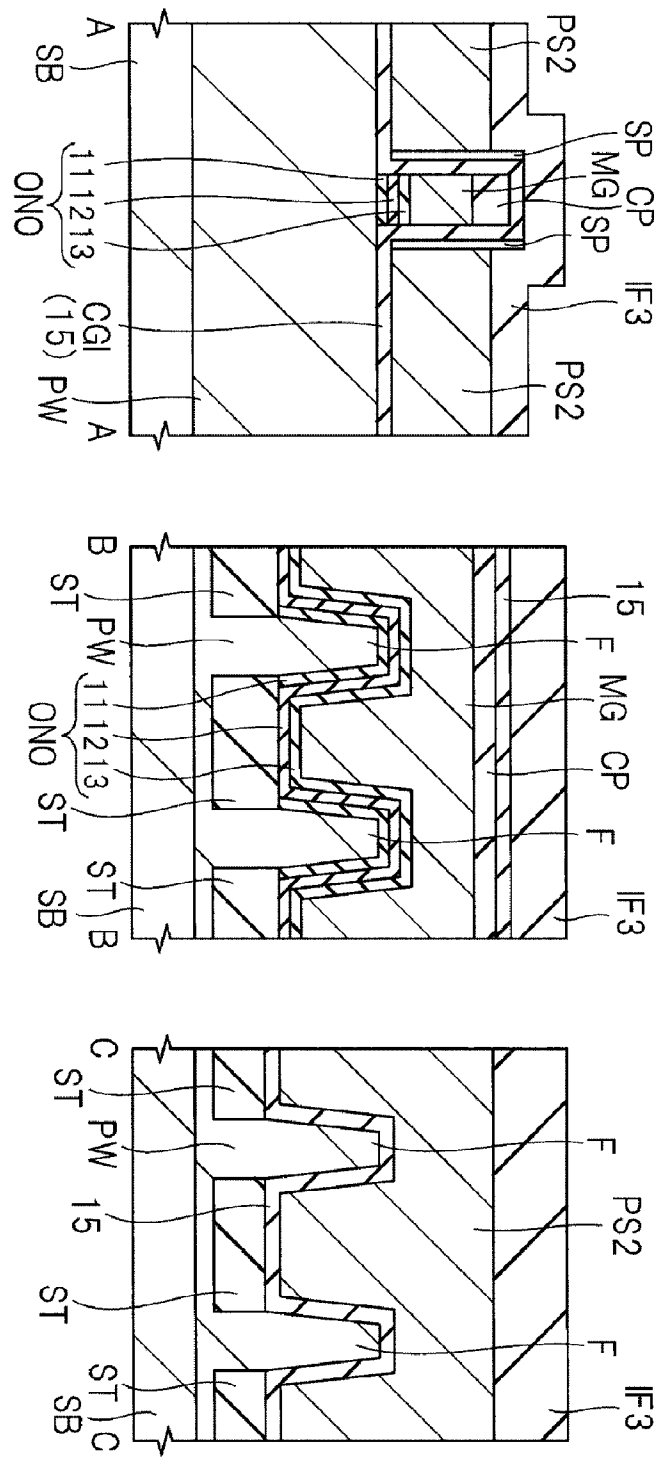


圖 27

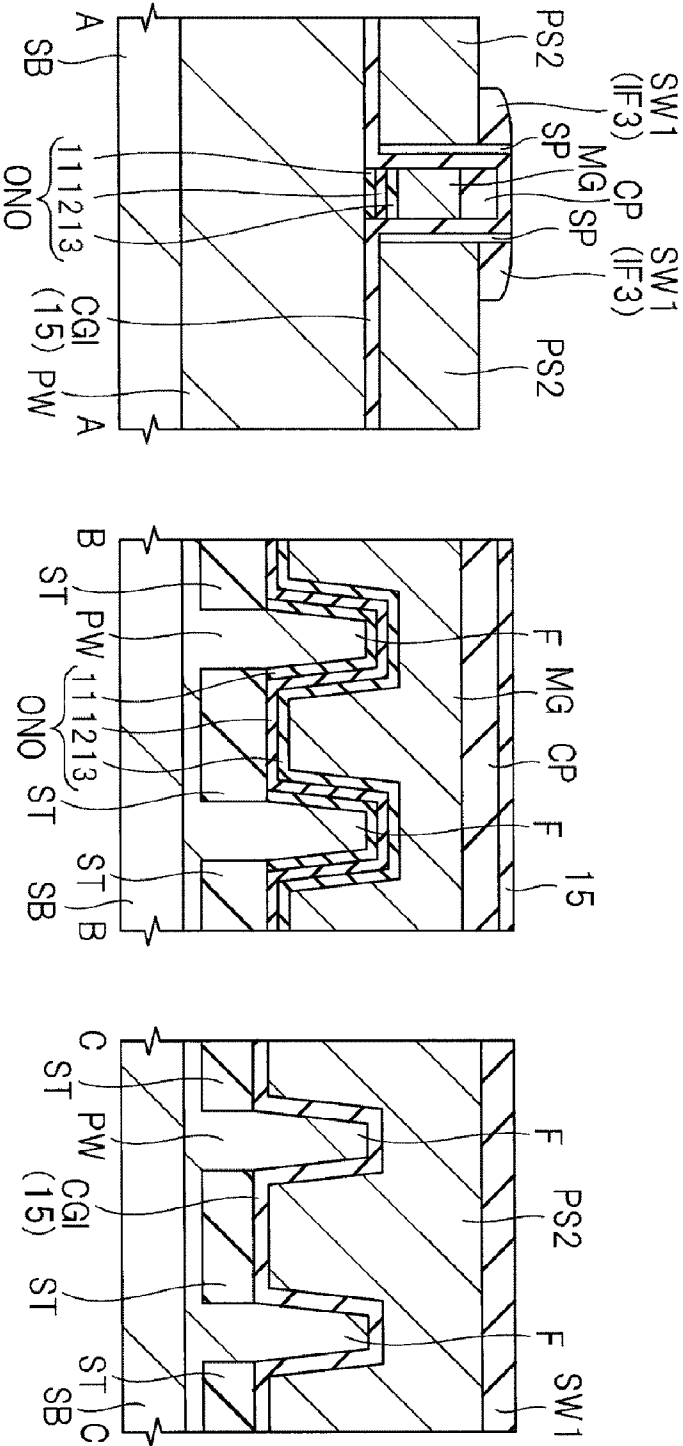


圖 28

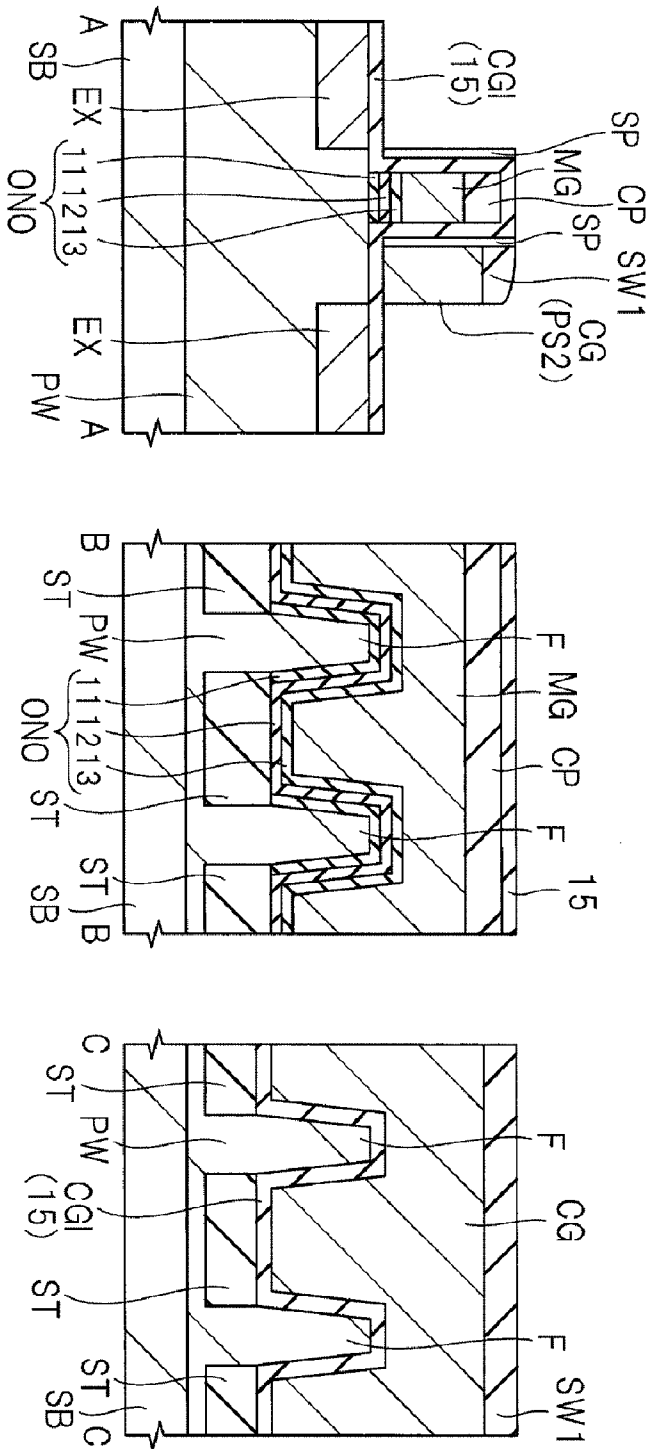
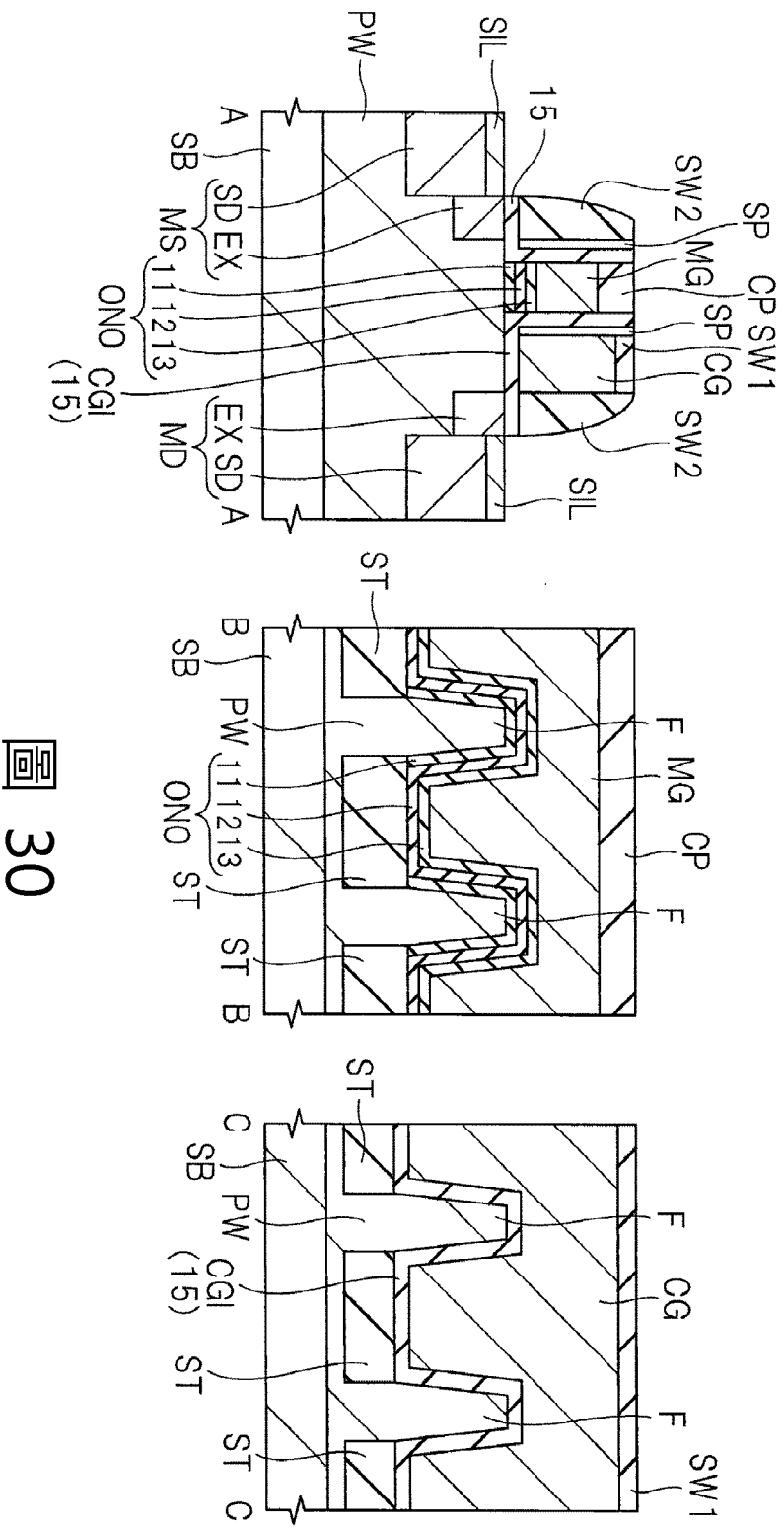


圖 29



30

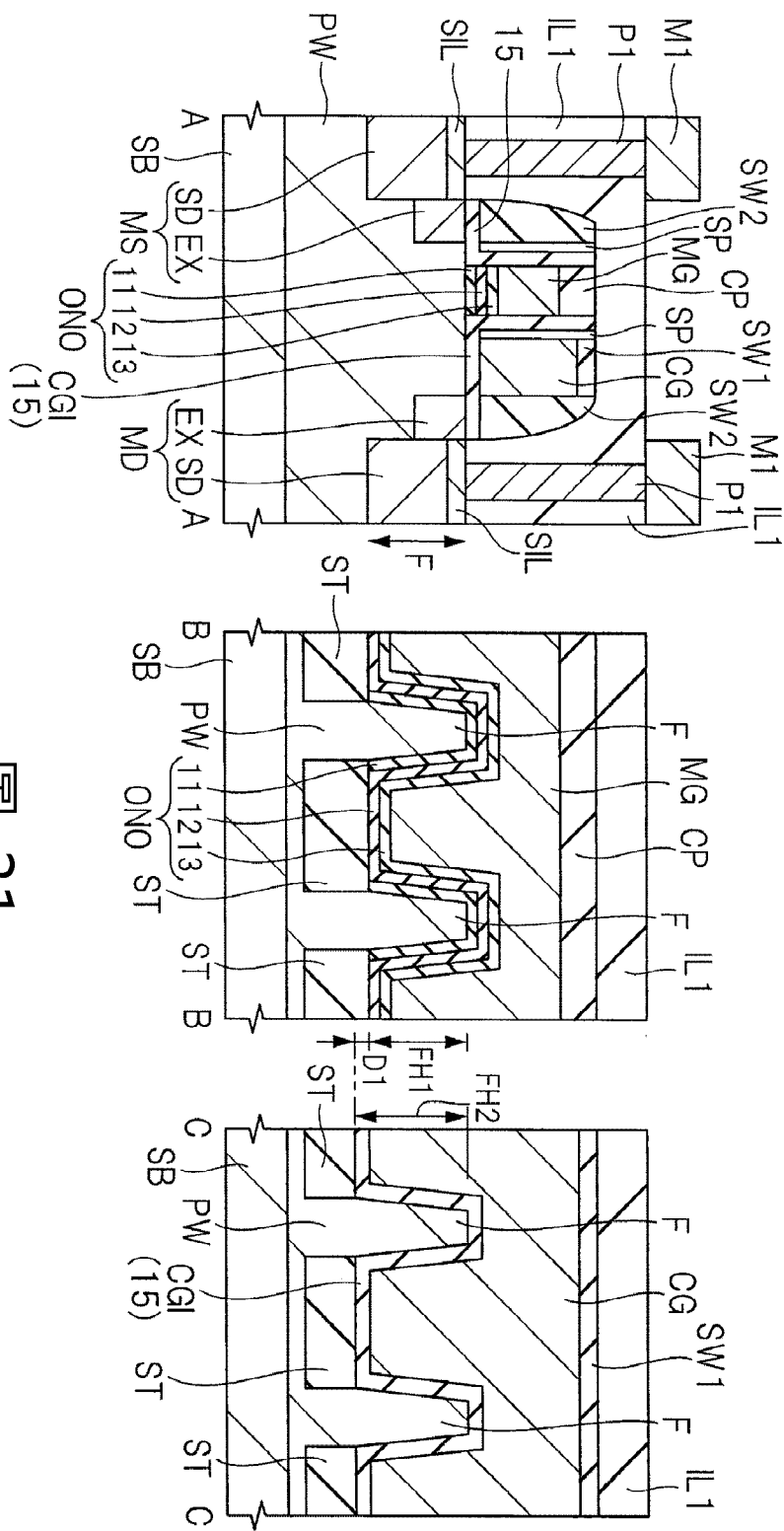


圖 31

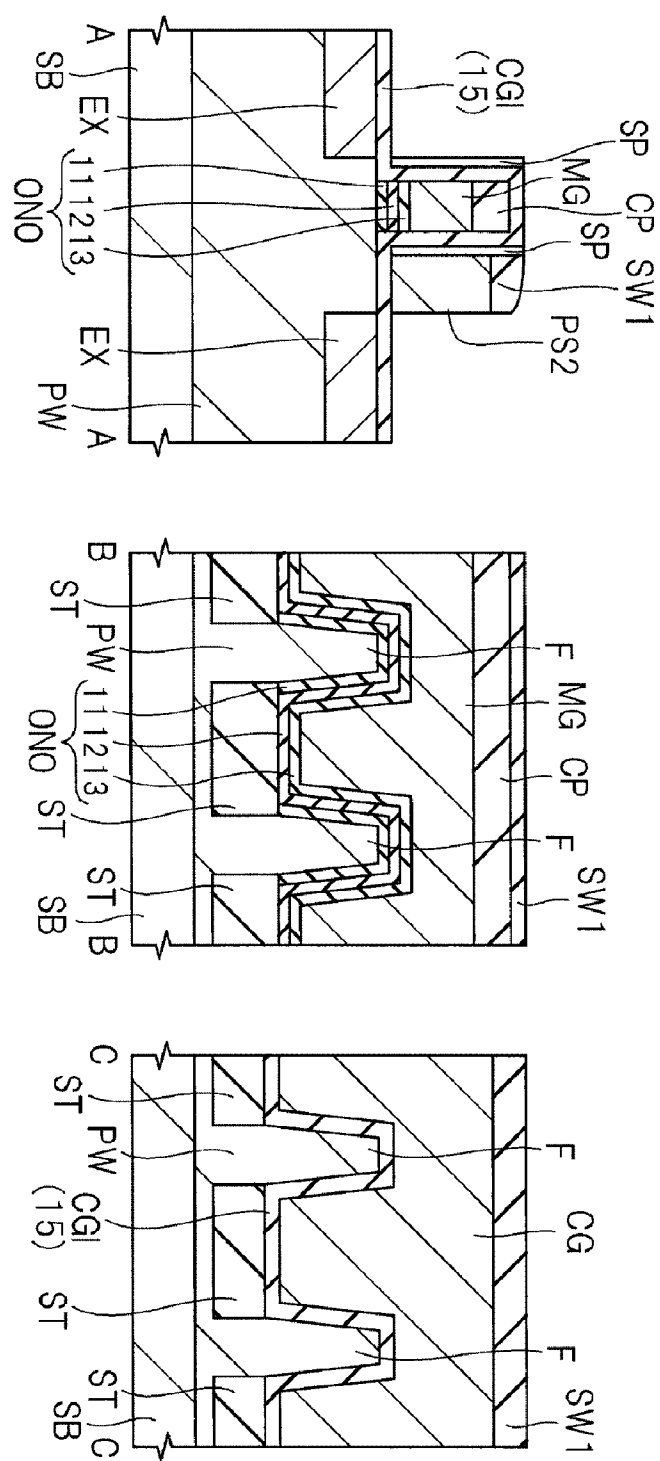


圖 32

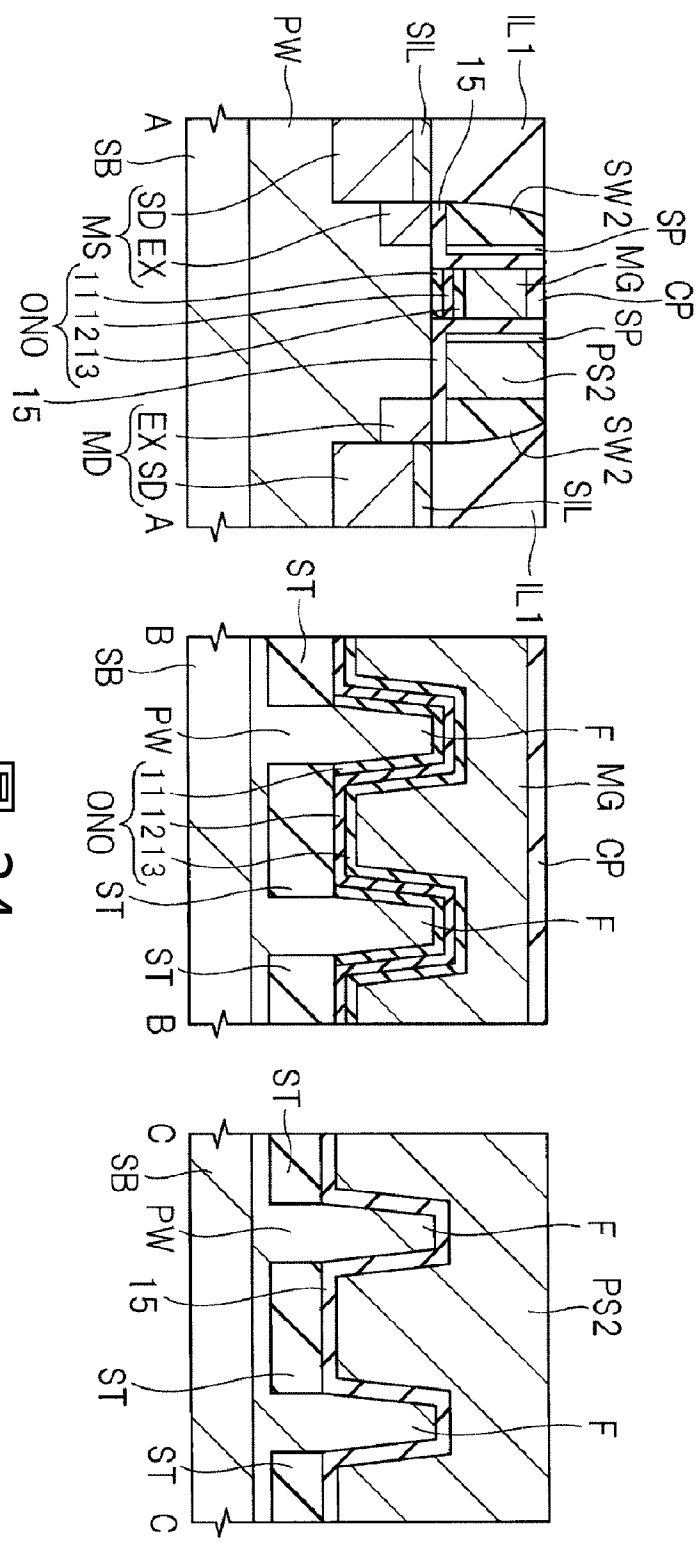


圖 34

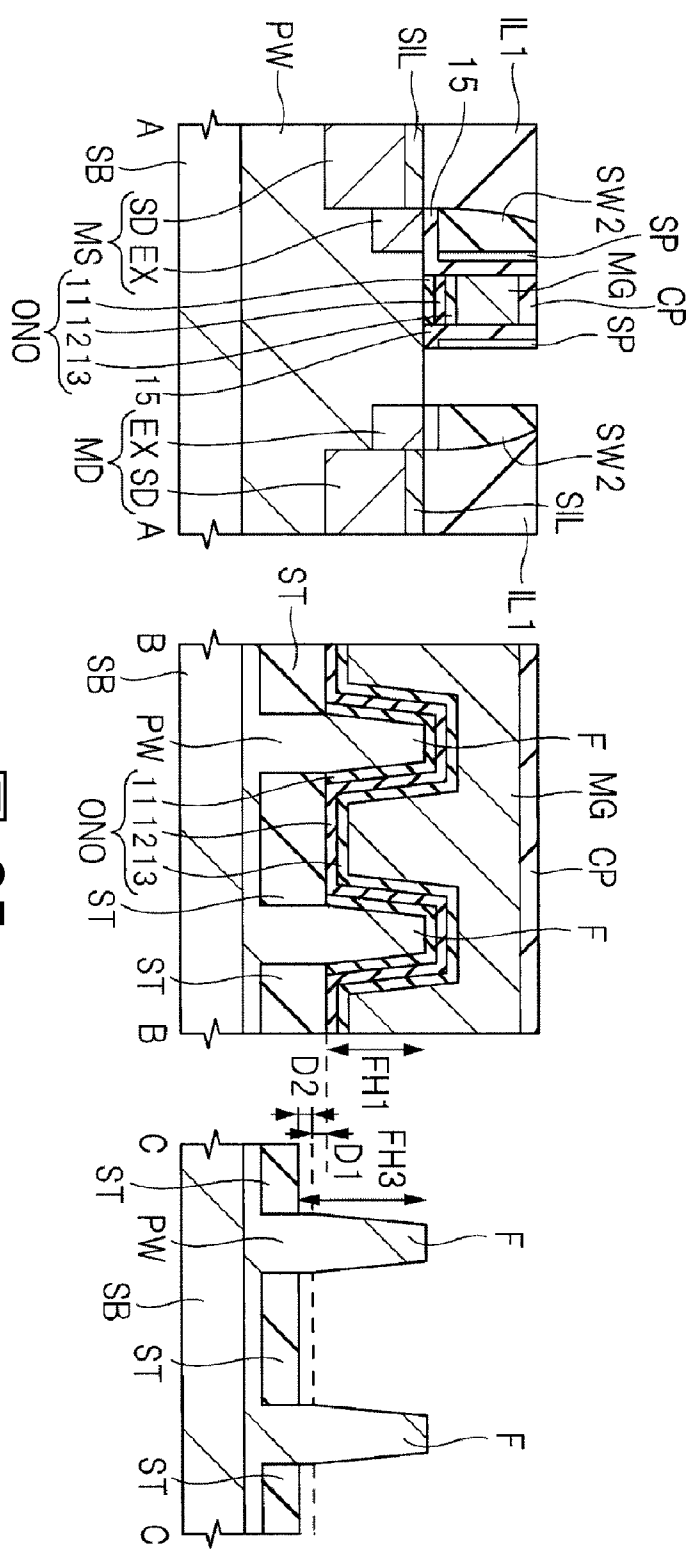
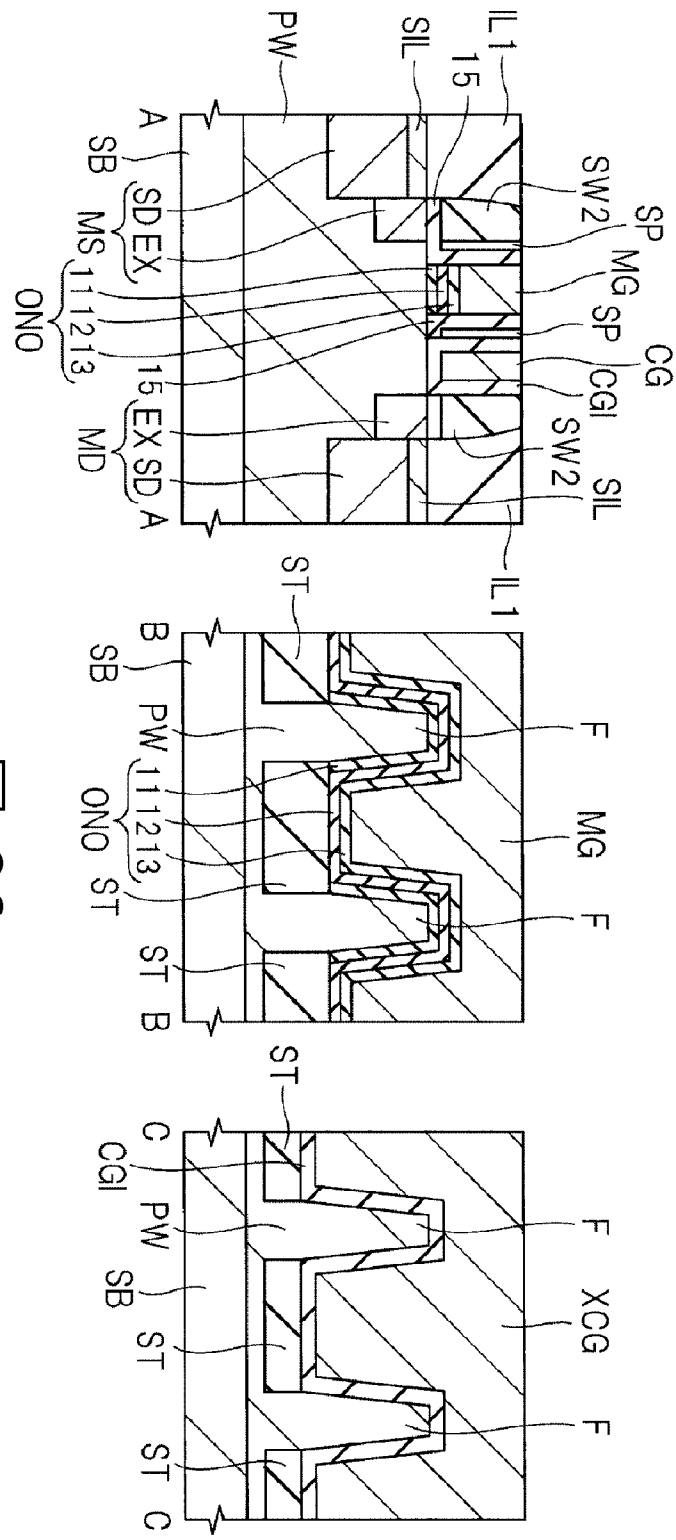


圖 35



36

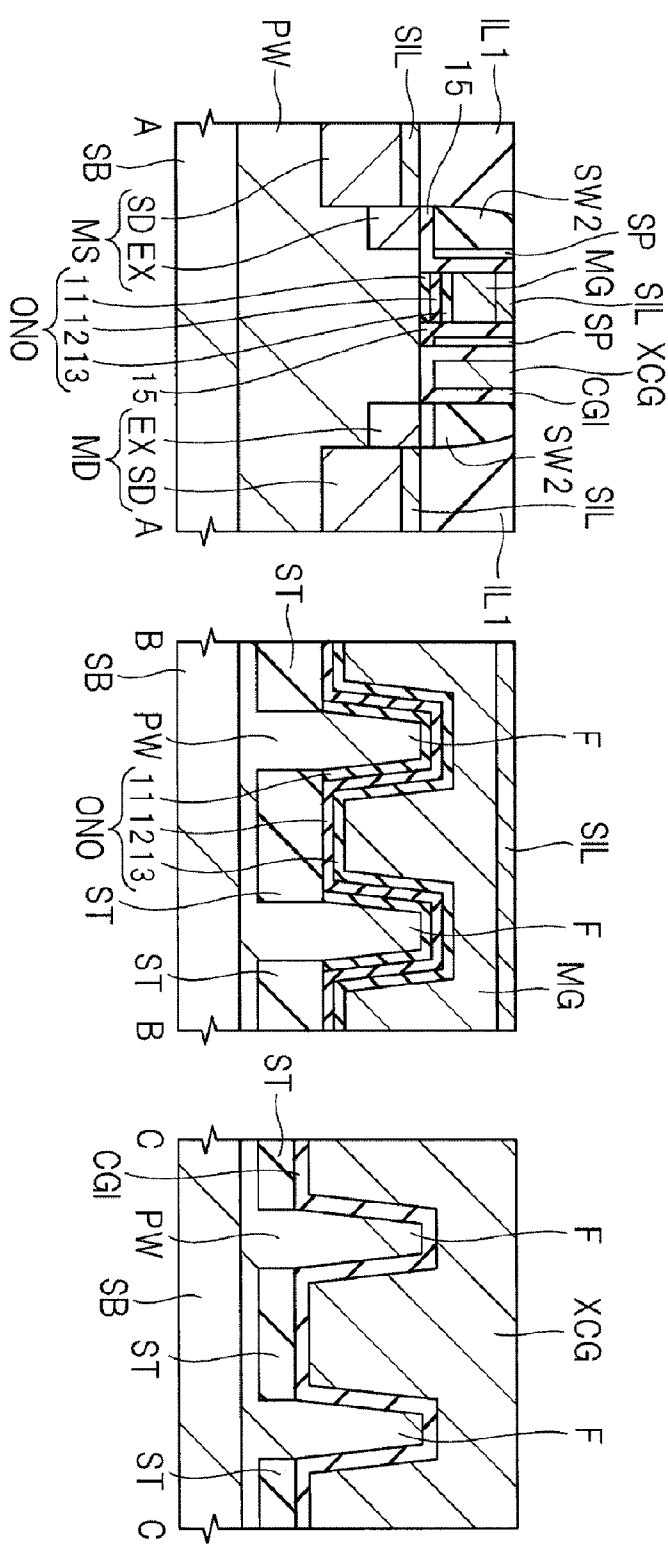


圖 37

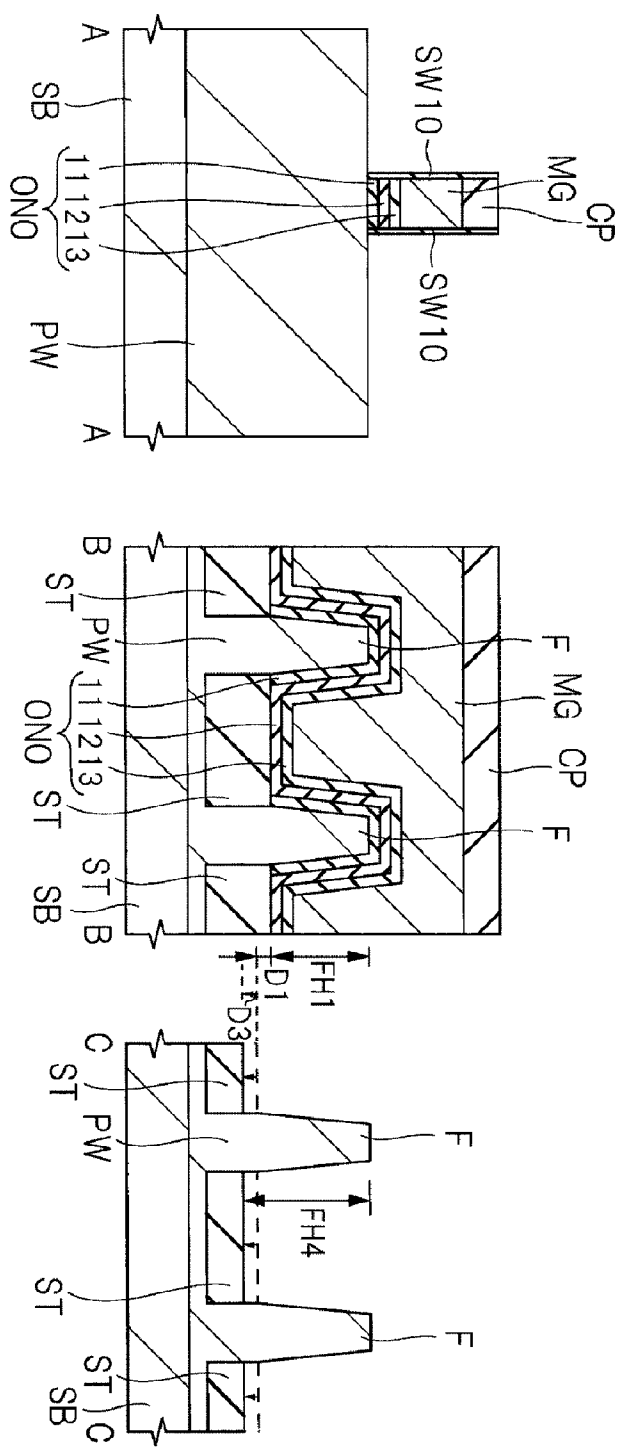


圖 38

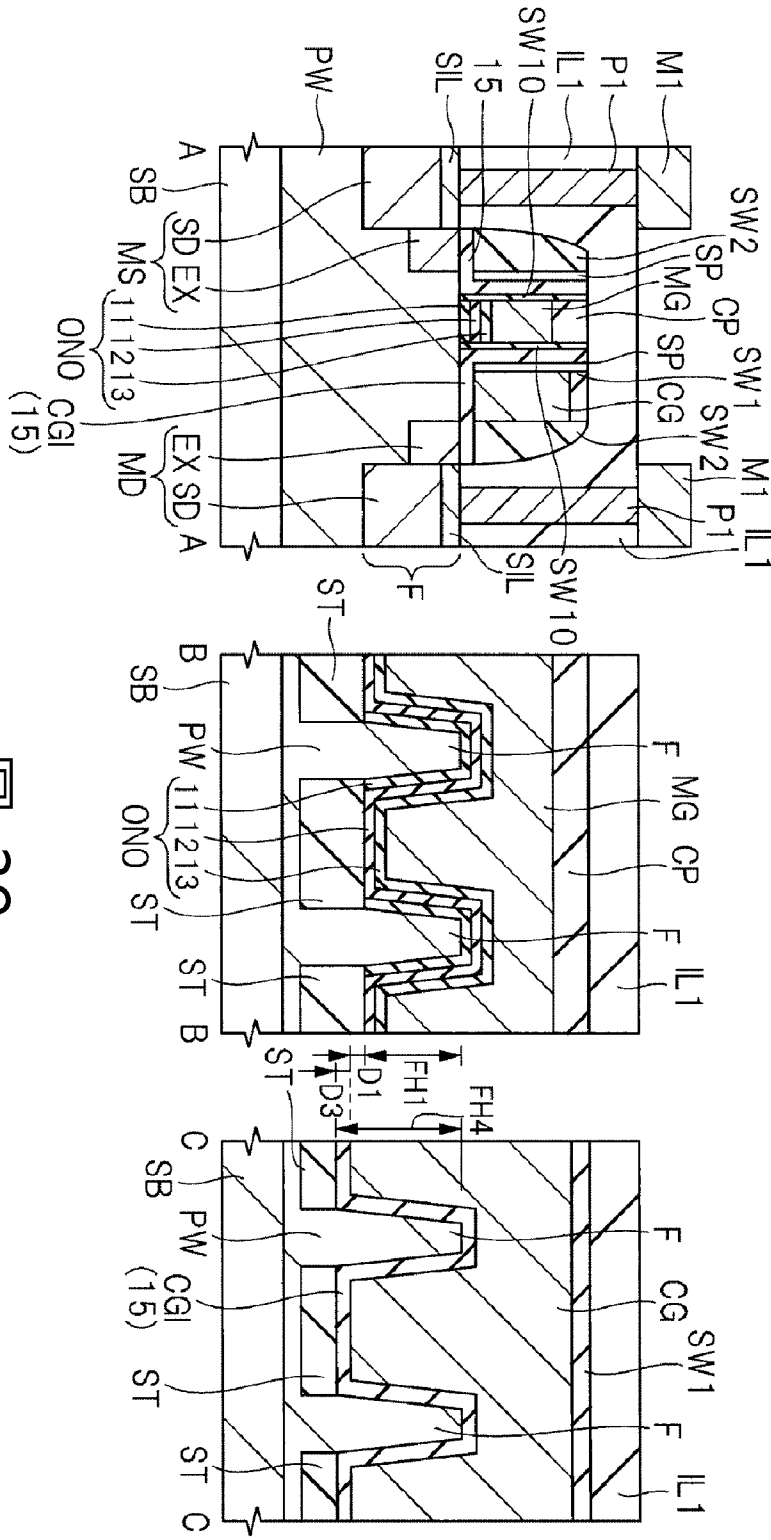


圖 39

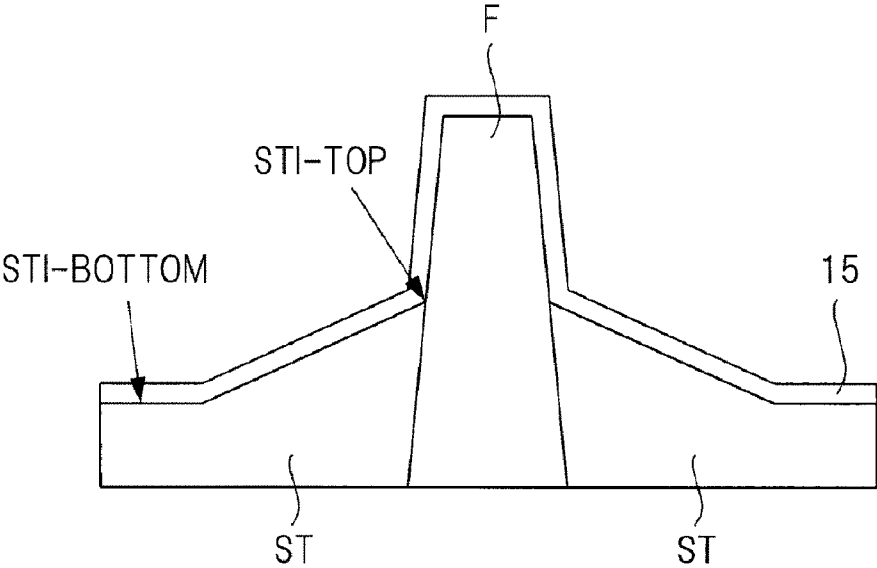


圖 40

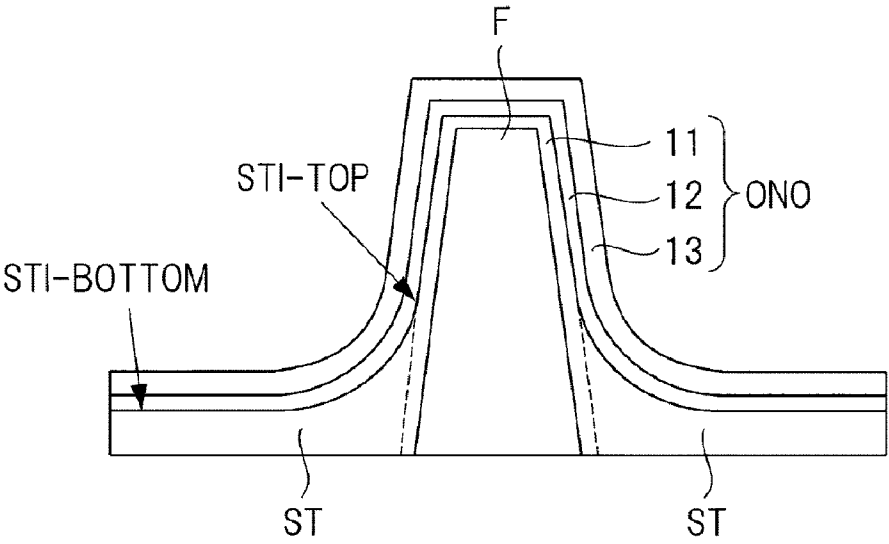


圖 41