

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年3月8日(2012.3.8)

【公開番号】特開2010-74125(P2010-74125A)

【公開日】平成22年4月2日(2010.4.2)

【年通号数】公開・登録公報2010-013

【出願番号】特願2009-26135(P2009-26135)

【国際特許分類】

H 01 L 21/82 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/822 (2006.01)

【F I】

H 01 L 21/82 B

H 01 L 27/04 A

H 01 L 27/04 D

H 01 L 21/82 L

H 01 L 27/04 C

【手続補正書】

【提出日】平成24年1月20日(2012.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の方向に沿って配列された複数のスタンダードセルを有する半導体装置であって、前記複数のスタンダードセルの各々は、第1の方向に沿って延びかつ互いに正対する第1および第2の外縁を有し、

前記第1の方向に沿って前記複数のスタンダードセルの各々を通りn型ウエルおよびp型ウエルの境となる境界と前記第1の外縁との間に形成されたpMIS領域と、前記境界と前記第2の外縁との間に形成されたnMIS領域とを有する半導体基板と、

前記第1の方向に直交する第2の方向に沿って延びる複数のゲート配線を有し、かつ前記半導体基板上に設けられた第1の層と、

前記第1の層上に設けられた第2の層とを備え、

前記第2の層は、

前記第1の外縁に沿って延び、かつ前記pMIS領域に電気的に接続された第1の電源配線と、

前記第2の外縁に沿って延び、かつ前記nMIS領域に電気的に接続された第2の電源配線と、

前記第1および第2の電源配線の間の前記pMIS領域上において、前記第1の方向に沿って延びかつ前記第2の方向に沿って一のピッチで配置された複数の第1の仮想ラインのそれぞれの上に配置された複数のpMIS配線と、

前記第1および第2の電源配線の間の前記nMIS領域上において、前記第1の方向に沿って延びかつ前記第2の方向に沿って前記一のピッチで配置された複数の第2の仮想ラインのそれぞれの上に配置された複数のnMIS配線とを含み、

前記複数の第1の仮想ラインのうち前記境界に最も近いものと、前記複数の第2の仮想ラインのうち前記境界に最も近いものとの間隔は、前記一のピッチよりも大きい、半導体

裝置。