

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4046382号
(P4046382)

(45) 発行日 平成20年2月13日(2008.2.13)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int.Cl.	F I
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 V
G 1 1 C 11/4074 (2006.01)	G O 1 R 31/28 D
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 5 4 F
G 1 1 C 29/06 (2006.01)	G 1 1 C 11/34 3 7 1 A
H O 1 L 21/66 (2006.01)	G 1 1 C 29/00 6 7 1 F
請求項の数 3 (全 29 頁) 最終頁に続く	

(21) 出願番号 特願平9-76161
 (22) 出願日 平成9年3月27日(1997.3.27)
 (65) 公開番号 特開平10-268000
 (43) 公開日 平成10年10月9日(1998.10.9)
 審査請求日 平成16年3月15日(2004.3.15)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第1の基準電圧を発生する第1の基準電圧発生回路、
 前記第1の基準電圧とレベルの異なる第2の基準電圧を発生する第2の基準電圧発生回路、

第1の電源ノードの電圧を一方動作電源電圧として動作し、前記第1の基準電圧発生回路の出力ノードの電圧と第1の内部電源線上の電圧とを比較する第1の比較回路、

前記第1の電源ノードと前記第1の内部電源線との間に結合され、前記第1の比較回路の出力信号に従って前記第1の電源ノードから前記第1の内部電源線へ電流を供給する第1の電流ドライブ素子、

前記第1の電源ノードと前記第1の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化に应答して、前記第1の基準電圧発生回路の出力ノードと前記第1の電源ノードとを電氣的に結合する第1のスイッチング素子、

前記第2の基準電圧発生回路の出力ノードの電圧と前記第1の内部電源線とは別に設けられる第2の内部電源線上の電圧とを比較する第2の比較回路、

第2の電源ノードと前記第2の内部電源線との間に結合され、前記第2の比較回路の出力信号に従って前記第2の電源ノードから前記第2の内部電源線へ電流を供給する第2の電流ドライブ素子、

前記第2の電源ノードと前記第2の基準電圧発生回路の出力ノードとの間に結合され、前記ストレス加速モード指示信号の活性化に应答して前記第2の電源ノードと前記第2の

基準電圧発生回路の出力ノードとを電氣的に結合する第2のスイッチング素子を備え、

前記第1および第2の電源ノードは、各々が外部電源電圧を受けかつ別々に設けられる外部電源端子にそれぞれ結合され、かつ前記第1および第2の電源ノードが電源配線により相互接続され、

前記第2のスイッチング素子は、前記ストレス加速モード指示信号の活性化時、前記第1の電源ノード上の電圧を所定値降下させて前記第1の内部電源線へ伝達する手段を含む、半導体集積回路装置。

【請求項2】

第1の基準電圧を発生する第1の基準電圧発生回路、

前記第1の基準電圧とレベルの異なる第2の基準電圧を発生する第2の基準電圧発生回路、 10

第1の電源ノードの電圧を一方動作電源電圧として動作し、前記第1の基準電圧発生回路の出力ノードの電圧と第1の内部電源線上の電圧とを比較する第1の比較回路、

前記第1の電源ノードと前記第1の内部電源線との間に結合され、前記第1の比較回路の出力信号に従って前記第1の電源ノードから前記第1の内部電源線へ電流を供給する第1の電流ドライブ素子、

前記第1の電源ノードと前記第1の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして、前記第1の基準電圧発生回路の出力ノードと前記第1の電源ノードとを電氣的に結合する第1のスイッチング素子、

前記第2の基準電圧発生回路の出力ノードの電圧と前記第1の内部電源線とは別に設けられる第2の内部電源線上の電圧とを比較する第2の比較回路、 20

第2の電源ノードと前記第2の内部電源線との間に結合され、前記第2の比較回路の出力信号に従って前記第2の電源ノードから前記第2の内部電源線へ電流を供給する第2の電流ドライブ素子、

前記第2の電源ノードと前記第2の基準電圧発生回路の出力ノードとの間に結合され、前記ストレス加速モード指示信号の活性化にตอบสนองして前記第2の電源ノードと前記第2の基準電圧発生回路の出力ノードとを電氣的に結合する第2のスイッチング素子、および

前記第1の電源ノードと前記第2の電源ノードとの間に結合され、前記ストレス加速モード指示信号の活性化にตอบสนองして非導通状態となりかつ前記ストレス加速モード指示信号の非活性化にตอบสนองして導通状態となる第3のスイッチング素子を備える、半導体集積回路装置。 30

【請求項3】

行列状に配列される複数のメモリセルを有するメモリアレイと、

前記メモリアレイの各列に対応して設けられ、活性化時前記第1の内部電源線上の電圧を一方動作電源電圧として動作し対応の列上のメモリセルデータの検知および増幅を行なうセンスアンプと、

前記第2の内部電源線上の電圧を一方動作電源電圧として動作し、アドレス信号に従って前記メモリセルアレイのアドレス指定されたメモリセルを選択する選択手段をさらに含む、請求項1または2に記載の半導体集積回路装置。

【発明の詳細な説明】 40

【0001】

【発明の属する技術分野】

この発明は半導体集積回路装置に関し、特に、外部電源電圧を内部で降圧して内部電源電圧を発生する内部降圧回路を備える半導体集積回路装置に関する。より特定的には、この発明は内部降圧回路を有する半導体集積回路装置の信頼性評価試験のための構成に関する。

【0002】

【従来の技術】

半導体記憶装置の記憶容量の増大に伴って、その構成要素であるMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）も微細化されてきている。このような微細化された素 50

子の信頼性、高速動作および消費電力の低減などの観点から、動作電源電圧を低くするのが望ましい。しかしながら、このような半導体記憶装置を用いるシステムにおいては、プロセッサ等の電源電圧および前世代の記憶装置との互換性などから、システム電源電圧はこのような半導体記憶装置の動作電源電圧よりも高い。このような、たとえばシステム電源電圧である外部電源電圧から半導体記憶装置の必要な電圧レベルである内部電源電圧を供給するために、半導体記憶装置内部で外部電源電圧を降下させてメモリ動作に必要な内部電源電圧を発生する回路は、電圧降下回路と呼ばれる。このような電圧降下回路を用いることにより、半導体記憶装置の消費電力を低減し、かつ装置の信頼性を保証する。

【0003】

図20は、従来の半導体集積回路装置の全体の構成を概略的に示す図である。図20において、半導体集積回路装置として、半導体記憶装置900が一例として示される。この半導体記憶装置900は、外部電源端子901を介して外部電源線902上に与えられたたとえばシステム電源電圧である外部電源電圧 $extVcc$ を所定の電圧レベルに降圧して内部電源線904上に内部電源電圧 $intVcc$ を生成する電圧降下回路905と、内部電源線904上の内部電源電圧 $intVcc$ と接地端子906を介して接地線907へ与えられる接地電圧 Vss を両動作電源電圧として動作するメモリ回路908を含む。このメモリ回路908は、各々が情報を記憶する複数のメモリセルおよび、このメモリセルへのアクセスを行なう周辺回路を含む。

10

【0004】

この電圧降下回路905により、外部電源電圧 $extVcc$ を降圧して内部電源電圧 $intVcc$ を生成することにより、メモリ回路908を、安定にかつ低消費電力で動作させることができる。

20

【0005】

図21は、図20に示す電圧降下回路905の構成を概略的に示す図である。図21において、電圧降下回路905は、外部電源電圧 $extVcc$ に対する依存性の小さな基準電圧 $Vref$ を発生する基準電圧発生回路905aと、外部電源線902上の電源電圧 $extVcc$ を一方動作電源電圧として動作し、基準電圧 $Vref$ と内部電源線904上の内部電源電圧 $intVcc$ とを比較する比較回路905bと、外部電源線902と内部電源線904の間に設けられ、この比較回路905bの出力信号に従って外部電源線902から内部電源線904へ電流を供給するpチャネルMOSトランジスタ905cを含む。比較回路905bは、差動増幅器で構成され、その正入力に内部電源電圧 $intVcc$ を受け、負入力に基準電圧 $Vref$ を受ける。

30

【0006】

電圧降下回路905は、さらに、ストレス加速モード指示信号 STR の活性化に応答して外部電源線902と基準電圧発生回路905aの出力ノード905abとを電氣的に接続するpチャネルMOSトランジスタ905dを含む。このストレス加速モードについては後に説明する。

【0007】

外部電源線902および内部電源線904には、それぞれ電圧を安定化するための安定化容量909aおよび909bが設けられる。次に動作について簡単に説明する。

40

【0008】

内部電源電圧 $intVcc$ が基準電圧 $Vref$ よりも高い場合には、比較回路905bの出力信号はHレベルであり、pチャネルMOSトランジスタ905cは非導通状態にあり、外部電源線902から内部電源線904への電流経路は遮断される。

【0009】

一方、内部電源電圧 $intVcc$ が基準電圧 $Vref$ よりも低い場合には、この比較回路905bの出力信号の電圧レベルが低下し、pチャネルMOSトランジスタ905cのコンダクタンスが大きくなり、外部電源線902から内部電源線904へ電流が供給される。このpチャネルMOSトランジスタ905cのコンダクタンスは、内部電源電圧 $intVcc$ と基準電圧 $Vref$ の差が大きくなるほど大きくなる。したがって、この内部電源

50

電圧 $i n t V c c$ の低下に従って、外部電源線 902 から内部電源線 904 へ電流が供給され、低下した内部電源電圧 $i n t V c c$ が高速で所定の電圧レベルに復帰する。

【0010】

したがって、この内部電源線 904 上の内部電源電圧 $i n t V c c$ は、ほぼ基準電圧 $V r e f$ の電圧レベルに保持される。この基準電圧 $V r e f$ は、ストレス加速モード指示信号 / S T R が H レベルの非活性状態にあり、p チャネル M O S トランジスタ 905 d が非導通状態のときには、外部電源電圧 $e x t V c c$ に依存しない一定の電圧レベルである。すなわち、この比較回路 905 b および p チャネル M O S トランジスタ 905 c のフィードバックループにより、内部電源電圧 $i n t V c c$ も一定の電圧レベルに保持される。

【0011】

次に、このストレス加速モード指示信号 / S T R が L レベルの活性状態とされる動作モードについて説明する。このストレス加速モード指示信号は、たとえばバーンインテストのときに活性化される。バーンインテストは、半導体集積回路装置の信頼性評価のために実行される。一般に、半導体装置の故障は、3つの期間、すなわち時間の経過につれて初期故障期間、偶発故障期間、および摩耗故障期間に大別される。初期故障は、装置の使用直後に発生する故障であり、半導体装置作製時に存在した欠陥が顕在化したものである。この初期故障の割合は時間とともに急速に減少していく。その後は、低い故障率がある一定期間長く続く偶発故障期間となる。この半導体装置は、耐用寿命に近づくと、摩耗故障期間となり、急激に故障率が增大する。半導体装置は、偶発故障期間内で使用することが望ましく、この期間が耐用期間となる。

【0012】

したがって、半導体集積回路装置の信頼性を高くするためには、偶発故障が低い一定の故障率で発生しかつこの偶発故障期間が長く続くことが要求される。一方において、初期故障を予め除去するために、半導体装置に一定時間の加速動作エイジングを行ない、初期故障を生じさせる欠陥を顕在化させ、このような初期故障原因を有する不良品を除去するスクリーニングを行なう必要がある。このスクリーニングを短期間で効果的に行なうために、スクリーニングにより半導体装置の初期故障率が時間に対して急速に減少し、早く偶発故障期間に入ることが望ましい。現在、このようなスクリーニングの手法の1つとして、一般に、ストレス加速試験としての高温動作試験（バーンイン試験）を行なっている。バーンイン試験は、高温環境下で数10時間から数日の間連続的に半導体装置を動作させる試験であり、製品となる半導体装置を用いてその内部に含まれる M O S トランジスタのゲート絶縁膜および半導体記憶装置の場合のメモリセルキャパシタの誘電体膜の信頼性を直接評価することができまたアルミニウム配線のマイグレーション（エレクトロマイグレーションおよびストレスマイグレーション）を始めあらゆる不良要因を高温かつ高電界のストレス（高温 / 高電圧動作条件）を印加して顕在化させる試験である。特に、温度加速中に半導体装置を動作させて、加速性を高めると効果的となる。

【0013】

このスクリーニングを行なうために、図21に示すように、ストレス加速モード指示信号 / S T R をこのストレス加速試験時に活性状態として p チャネル M O S トランジスタ 905 d を導通させ、基準電圧 $V r e f$ を外部電源電圧 $e x t V c c$ レベルに設定する。この状態においては、比較回路 905 b および p チャネル M O S トランジスタ 905 c により、内部電源電圧 $i n t V c c$ は、外部電源電圧 $e x t V c c$ レベルとなり、半導体集積回路装置内部のメモリ回路へ外部電源電圧 $e x t V c c$ を与えることができる。この外部電源電圧 $e x t V c c$ の電圧レベルを高くすることにより、電圧加速を行ない、効果的にスクリーニングテストを行なうことができる。

【0014】

【発明が解決しようとする課題】

図22は、図20に示すメモリ回路908の構成を概略的に示す図である。図22において、メモリ回路908は、行列状に配列される複数のメモリセルを有するメモリセルアレイ908aと、アドレスバッファ（図示せず）から与えられる内部行アドレス信号をデコ

10

20

30

40

50

ードし、メモリセルアレイ908aのアドレス指定された行を選択状態へ駆動する行デコーダ908bと、同様、図示しないアドレスバッファからの内部列アドレス信号をデコードし、メモリセルアレイ908aの列を指定する列選択信号を発生する列デコーダ908cと、メモリセルアレイ908aの各列に対応して設けられ、活性化時対応の列上に読出されたメモリセルデータの検知および増幅を行なうセンスアンプ908dを含む。メモリセルアレイ908aにおいては、各行に対応してワード線が配置されており、これらのワード線には対応の行のメモリセルが接続される。行デコーダ908bは、アドレス指定された行に対応して配置されたワード線を選択状態へ駆動する。また、メモリセルアレイ908aにおいては、メモリセルの列それぞれに対してビット線対が配置されており、このビット線対に対応の列のメモリセルが接続される。列デコーダ908cは、このアドレス指定された列に対応して配置されたビット線対を選択する信号を発生する。センスアンプ908dは、各ビット線対に対応して設けられ、このビット線対上に読出されたメモリセルデータを差動的に増幅するセンスアンプ回路を含む。

10

【0015】

このメモリ回路は、さらに、外部から与えられるロウアドレスストロープ信号/RAS、コラムアドレスストロープ信号/CASおよびライトイネーブル信号/WEに従って、各種内部動作に必要な内部制御信号を発生する周辺制御回路908eを含む。ロウアドレスストロープ信号/RASは、メモリサイクルの開始を示す信号であり、このロウアドレスストロープ信号/RASの活性化(Lレベル)にตอบสนองしてロウデコード動作が開始される。コラムアドレスストロープ信号/CASは、列選択動作開始を指定し、このコラムアドレスストロープ信号/CASの活性化(Lレベル)に従って図示しないアドレスバッファが内部列アドレス信号を発生して列デコーダ908cへ与える。ライトイネーブル信号/WEは、データ書込動作を示す信号であり、コラムアドレスストロープ信号/CASおよびライトイネーブル信号/WEがともにLレベルの活性化状態となると、内部で選択メモリセルへのデータ書込が実行される。

20

【0016】

図23は、図20に示すメモリセルアレイの1列に関連する部分の構成を概略的に示す図である。図23においては、ビット線BLとワード線WLの交差部に対応して配置されるメモリセルMCを代表的に示す。ワード線WLには、1行のメモリセルが接続され、ビット線対BLおよび/BLに1列のメモリセルが接続される。メモリセルMCは、情報を記憶するキャパシタMQと、ワード線WL上の信号電位にตอบสนองしてメモリキャパシタMQをビット線BLに接続するnチャンネルMOSトランジスタで構成されるアクセストランジスタMTを含む。

30

【0017】

センスアンプ908dに含まれるセンスアンプ回路は、ゲートとドレインが交差結合されるpチャンネルMOSトランジスタP1およびP2と、ゲートおよびドレインが交差結合されるnチャンネルMOSトランジスタN1およびN2を含む。すなわち、pチャンネルMOSトランジスタP1は、そのドレインがビット線BLに接続され、そのゲートがビット線/BLに接続される。pチャンネルMOSトランジスタP2は、そのドレインがビット線/BLに接続され、かつゲートがビット線BLに接続される。pチャンネルMOSトランジスタP1およびP2のソースはともに、センスアンプ活性化信号SPの活性化(Lレベル)にตอบสนองして導通するpチャンネルMOSトランジスタP3を介して内部電源線904aに結合される。

40

【0018】

nチャンネルMOSトランジスタN1はそのドレインがビット線BLに接続されかつそのゲートがビット線/BLに接続される。nチャンネルMOSトランジスタN2は、そのドレインがビット線/BLに接続され、かつそのゲートがビット線BLに接続される。これらのnチャンネルMOSトランジスタN1およびN2のソースは、センスアンプ活性化信号SNの活性化時(Hレベル)導通するnチャンネルMOSトランジスタN3を介して接地線907aに結合される。

50

【0019】

ビット線BLおよび/BLに対し、さらに、ビット線イコライズ指示信号EQに応答してビット線BLおよび/BLを電氣的に短絡するnチャネルMOSトランジスタN4と、このビット線イコライズ指示信号EQの活性化に응答して導通し、ビット線BLおよび/BLへ所定の間電圧レベルのプリチャージ電圧Vblを伝達するnチャネルMOSトランジスタN5およびN6を含む。このビット線イコライズ指示信号EQは、半導体集積回路装置としての半導体記憶装置(以下、単に半導体記憶装置と称す)がスタンバイ状態(ロウアドレスストローブ信号/RASがHレベルの非活性状態)のとき、活性状態のHレベルとなる。

【0020】

アクティブサイクル時(信号/RASがLレベル)においては、ビット線イコライズ指示信号EQがLレベルとなり、ビット線BLおよび/BLが所定のプリチャージ電圧Vblの電圧レベルでフローティング状態となる。この状態において、ワード線WLが選択され、メモリセルMCの記憶データがビット線BLに伝達される。次いで、センスアンプ活性化信号SPおよびSNが活性化され、pチャネルMOSトランジスタP1およびP2が、ビット線BLおよび/BLの高電位のビット線を内部電源線904a上の内部電源電圧intVccレベルまでプルアップし、一方nチャネルMOSトランジスタN1およびN2が、このビット線BLおよび/BLの低電位のビット線を接地電圧GNDレベルまで放電する。

【0021】

このセンス動作時においては、メモリセルアレイ908aの選択ワード線WLに接続される1行のメモリセルのセンス動作が行なわれる。したがって、同時に数多くのセンスアンプ回路が動作して各ビット線対の充放電が行なわれる。したがって、センスアンプ908dのセンス動作時における消費電流は大きく、他の周辺制御回路908e、行デコーダ908bおよび列デコーダ908cに比べて大きな電流消費源となる。

【0022】

この半導体記憶装置の消費電力を低減するために、電圧降下回路905から発生される内部電源電圧intVccの電圧レベルを小さくする。これにより、ビット線対の電圧振幅が小さくなり、応じて消費電流が小さくなり、低消費電力化を図ることができる。しかしながら、電圧降下回路905は、内部電源線904上に1種類の内部電源電圧intVccを発生しているだけである。したがって周辺回路としての周辺制御回路908e、行デコーダ908bおよび列デコーダ908cへも、この低い内部電源電圧intVccが伝達される。MOSトランジスタは、そのゲート電圧により動作速度が規定される(MOSトランジスタのドレイン電流は、ゲート電圧の二乗関数で与えられる(飽和領域で動作するとき))。したがって、この場合には、高速動作する半導体記憶装置を実現することができなくなる。

【0023】

一方、高速動作を実現するために、内部電源電圧intVccの電圧レベルを高くして行デコーダ908b、列デコーダ908cおよび周辺制御回路908e等へ与えることを考える。しかしながら、この場合においても、高くされた内部電源電圧intVccがメモリセルアレイの各列に対応して設けられたセンスアンプ908dへ与えられ、各ビット線の電圧振幅が大きくなり、消費電流を低減することができなくなる。

【0024】

したがって、従来の半導体記憶装置においては、1種類の内部電源電圧を発生する電圧降下回路しか設けられておらず、高速動作および低消費電力をともに実現することは困難となるという問題が生じる。

【0025】

それゆえ、この発明の目的は、高速動作および低消費電力をともに実現することのできる半導体集積回路装置を提供することである。

【0026】

この発明の他の目的は、高速動作および低消費電力をともに実現することができるとともに、有効な信頼性評価試験を行なうことのできる半導体集積回路装置を提供することである。

【0027】

【課題を解決するための手段】

請求項1に係る半導体集積回路装置は、第1の基準電圧を発生する第1の基準電圧発生回路と、第1の基準電圧とレベルの異なる第2の基準電圧を発生する第2の基準電圧発生回路と、第1の電源ノードの電圧を一方動作電源電圧として動作し、この第1の基準電圧発生回路の出力ノードの電圧と第1の内部電源線上の電圧とを比較する第1の比較回路と、第1の電源ノードと第2の内部電源線との間に結合され、第1の比較回路の出力信号に従って第1の電源ノードから第1の内部電源線へ電流を供給する第1の電流ドライブ素子と、第1の電源ノードと第1の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして、第1の基準電圧発生回路の出力ノードと第1の電源ノードとを電氣的に結合する第1のスイッチング素子と、第2の基準電圧発生回路の出力ノードの電圧と第1の内部電源線と別に設けられる第2の内部電源線上の電圧とを比較する第2の比較回路と、第2の電源ノードと第2の内部電源線との間に結合され、第2の比較回路の出力信号に従って第2の電源ノードから第2の内部電源線へ電流を供給する第2の電流ドライブ素子と、第2の電源ノードと第2の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして第2の電源ノードと第2の基準電圧発生回路の出力ノードとを電氣的に結合する第2のスイッチング素子を備える。

10

20

【0028】

請求項1に係る半導体集積回路装置は、さらに、第1および第2の電源ノードは、各々が外部電源電圧を受けかつ別々に設けられる外部電源端子にそれぞれ結合され、第1および第2の電源ノードは電源配線により相互接続される。また、第2のスイッチング素子が、ストレス加速モード指示信号の活性化時、第1の電源ノード上の電圧を所定値降下させて第1の内部電源線へ伝達する手段を含む。

【0030】

請求項2に係る半導体集積回路装置は、第1の基準電圧を発生する第1の基準電圧発生回路と、第1の基準電圧とレベルの異なる第2の基準電圧を発生する第2の基準電圧発生回路と、第1の電源ノードの電圧を一方動作電源電圧として動作し、この第1の基準電圧発生回路の出力ノードの電圧と第1の内部電源線上の電圧とを比較する第1の比較回路と、第1の電源ノードと第2の内部電源線との間に結合され、第1の比較回路の出力信号に従って第1の電源ノードから第1の内部電源線へ電流を供給する第1の電流ドライブ素子と、第1の電源ノードと第1の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして、第1の基準電圧発生回路の出力ノードと第1の電源ノードとを電氣的に結合する第1のスイッチング素子と、第2の基準電圧発生回路の出力ノードの電圧と第1の内部電源線と別に設けられる第2の内部電源線上の電圧とを比較する第2の比較回路と、第2の電源ノードと第2の内部電源線との間に結合され、第2の比較回路の出力信号に従って第2の電源ノードから第2の内部電源線へ電流を供給する第2の電流ドライブ素子と、第2の電源ノードと第2の基準電圧発生回路の出力ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして第2の電源ノードと第2の基準電圧発生回路の出力ノードとを電氣的に結合する第2のスイッチング素子と、第1の電源ノードと第2の電源ノードとの間に結合され、ストレス加速モード指示信号の活性化にตอบสนองして導通状態となりかつストレス加速モード指示信号の非活性化にตอบสนองして導通状態となる第3のスイッチング素子を備える。

30

40

【0032】

請求項3に係る半導体集積回路装置は、請求項1または2の構成に加えて、行列状に配列される複数のメモリセルを有するメモリアレイと、メモリアレイの各列に対応して設けられ、活性化時第1の内部電源線上の電圧を一方動作電源電圧として動作し、対応の列上

50

のメモリセルデータの検知および増幅を行なうセンスアンプと、第2の内部電源線上の電圧を一方動作電源電圧として動作し、アドレス信号に従ってメモリセルアレイのアドレス指定されたメモリセルを選択する選択手段をさらに含む。

【0034】

複数の電圧レベルの異なる基準電圧それぞれに従って内部電源電圧を生成することにより、半導体集積回路装置内において、低消費電力性が重視される内部回路部および高速動作性が要求される回路部へそれぞれ最適な内部電源電圧を与えることができ、高速動作および低消費電流の半導体集積回路装置を実現することができる。

【0035】

また、ストレス加速モード時、基準電圧出力ノードを外部電源電圧供給ノードに結合することにより、基準電圧を外部から調整することができ、この電圧降下回路を外部電源電圧に従って動作させることができ、この内部電源電圧を発生する回路、すなわち電圧降下回路のストレス加速テストを行なうことができ、確実に、この半導体集積回路装置の信頼性評価を行なうことができる。

【0036】

【発明の実施の形態】

[実施の形態1]

図1は、この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、半導体記憶装置1は、行列状に配列される複数のメモリセルを有するメモリセルアレイ2と、アドレス入力端子3に与えられたアドレス信号を受け、内部行アドレス信号RAおよび内部列アドレス信号CAを発生するアドレスバッファ4と、アドレスバッファ4から与えられる内部行アドレス信号RAをデコードし、メモリセルアレイ2のアドレス指定された行を選択状態へ駆動する行デコーダ5と、アドレスバッファ4から与えられる内部アドレス信号CAをデコードし、メモリセルアレイ2のアドレス指定された列を選択するための列選択信号を発生する列デコーダ6と、メモリセルアレイ2の各列に対応して設けられ、活性化時対応の列のメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ7と、メモリセルアレイ2の選択されたメモリセルと内部データバス8の間でデータの入出力を行なう入出力回路9とを含む。メモリセルアレイ2においては、先の図23に示す構成と同様、各行に対応してワード線が配置され、各ワード線に対応の行のメモリセルが接続される。メモリセルアレイ2の各列には、ビット線対が設けられ、各ビット線対には対応の列のメモリセルが接続される。

【0037】

行デコーダ5は、このアドレス指定された行に対応するワード線を選択状態へ駆動する。この行デコーダ5と選択状態へ駆動されるべきワード線の間には後に説明する内部電源電圧より高い昇圧電圧を伝達するワード線ドライブ回路が設けられる。列デコーダ6は、このメモリセルアレイ2のアドレス指定された列に対応して設けられたビット線対を選択する列選択信号を発生する。

【0038】

センスアンプ7は、図23に示す構成と同様、交差結合されたpチャネルMOSトランジスタ対および交差結合されたnチャネルMOSトランジスタ対を含む。

【0039】

入出力回路9は、データ読出時、メモリセルアレイ2の選択されたメモリセルのデータを増幅して内部データ入出力バス8へ伝達するプリアンプと、データ書込時活性化され、内部データバス8上に伝達されたデータを増幅して選択メモリセルへ伝達する書込ドライバを含む。

【0040】

半導体記憶装置1は、さらに、データ入出力端子10a~10dに与えられた外部書込データDQ1~DQ4を増幅して内部データバス8へ伝達する入力バッファ11と、データ読出動作モード時、この内部データバス8上に伝達された内部読出データを増幅して外部データ入出力端子10a~10dへ出力する出力バッファ12と、制御信号入力端子13

10

20

30

40

50

aに与えられるコラムアドレスストロブ信号/CASと制御信号入力端子13bに与えられるロウアドレスストロブ信号/RASに従って各種動作に必要な内部制御信号を発生するクロック発生回路14と、このクロック発生回路14からの内部制御信号と制御信号入力端子13cに与えられるライトイネーブル信号/Wとを受けて、書込/読出制御信号を発生するゲート回路15を含む。

【0041】

クロック発生回路14は、アドレスバッファのアドレス取込タイミング、行デコーダ5のデコードタイミング、列デコーダ6のデコードタイミングおよび出力バッファ12の活性/非活性を決定するための内部制御信号を発生し、かつセンスアンプ7の活性化タイミングおよび入出力回路9の活性化タイミングを規定する内部制御信号を発生する。

10

【0042】

ゲート回路15は、その一方入力に、クロック発生回路14からコラムアドレスストロブ信号/CASおよびロウアドレスストロブ信号/RASがともに活性状態のときにHレベルとなる信号を受ける。このゲート回路15は、ライトイネーブル信号/WがLレベルの活性状態とされると、入力バッファ11を活性化し、かつ出力バッファ12の内部データ読出動作を停止させる。出力バッファ12は、このライトイネーブル信号/Wが非活性状態にあり読出動作モードを示すとき作動状態とされる。この出力バッファ12は、また端子16を介して出力イネーブル信号/OEを受ける。この出力イネーブル信号/OEは出力バッファ12の出力インピーダンスを決定する。出力バッファ12は、コラムアドレスストロブ信号/CASおよび出力イネーブル信号/OEがともに活性状態のLレベルのときに出力低インピーダンス状態となり、内部データバス8上に与えられたデータを増幅してデータ入出力端子10a~10dに読出データDQ1~DQ4を出力する。ロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASがともにLレベルのときに、この出力イネーブル信号/OEがLレベルの活性状態とされると出力低インピーダンス状態とされてデータ出力動作を行なう。出力バッファ12は、低インピーダンス状態とされると、次に出力イネーブル信号/OEまたはコラムアドレスストロブ信号/CASが非活性状態のHレベルとなるまで低インピーダンス状態を維持する。

20

【0043】

またゲート回路15は、データ書込動作時において、この出力イネーブル信号/OEが活性状態の状態にあっても出力バッファ12を出力ハイインピーダンス状態に設定する機能を備える。

30

【0044】

この半導体記憶装置1は、さらに、電源端子20aおよび20pそれぞれに与えられる外部電源電圧extVccと外部接地端子21aおよび21pそれぞれに与えられる接地電圧Vssとを受けて動作し、互いに電圧レベルの異なる内部電源電圧intVccPおよびintVccAを発生する内部電源電圧発生回路22を含む。内部電源電圧intVccAは、メモリセルアレイ2、センスアンプ7および入出力回路9へ与えられる。一方、内部電源電圧intVccPは、アドレスバッファ4、行デコーダ5、列デコーダ6、入力バッファ11、出力バッファ12およびクロック発生回路14およびゲート回路15などの周辺回路へ与えられる。アレイ用の電源電圧intVccAは、低消費電力を実現するためにその電圧レベルが低くされ、一方、周辺回路のための内部電源電圧intVccPは、高速動作実現のためにその電圧レベルが高くされる。

40

【0045】

メモリセルアレイ2に対し、内部電源電圧intVccAを与えるのは、センスアンプ形成領域におけるpチャンネルMOSトランジスタが形成されるNウェルにバイアス電圧を印加するためである。また、このアレイ用内部電源電圧intVccAから、メモリセルキャパシタへ与えられるセルプレート電圧Vcpおよびビット線プリチャージ電圧Vblが生成されて、メモリセルアレイへ与えられる。センスアンプ7は、このアレイ用内部電源電圧intVccAを一方動作電源電圧として動作する。

【0046】

50

図2は、図1に示す半導体記憶装置の1ビットのメモリセルに関連する部分の構成を概略的に示す図である。図2において、アドレスバッファ4は、周辺用内部電源電圧 $i n t V c c P$ と接地電圧 $V s s$ を動作電源電圧として動作し、外部から与えられるアドレス信号ビット $A i$ を受けて、相補な内部アドレス信号ビット $A i$ および $\bar{A} i$ を発生するバッファ回路4aを含む。このアドレスバッファ4aからの相補アドレス信号ビットが、行デコーダ5および列デコーダ6へ与えられる。行デコーダ5は、周辺内部電源電圧 $i n t V c c P$ を一方動作電源電圧として動作し、アドレスバッファ4から与えられる所定の組合せのアドレス信号ビットを受けるNAND回路5aと、周辺用内部電源電圧 $i n t V c c P$ を一方動作電源電圧として動作し、NAND回路5aの出力信号を反転して、ワード線WLへ伝達するインバータ回路5bを含む。この行デコーダ5とワード線WLの間に、インバータ回路5bの出力信号に従って、図示しない回路から発生されるワード線駆動信号をワード線WL上に伝達するワード線ドライブ回路が設けられる。このワード線駆動信号はアレイ用内部電源電圧 $i n t V c c A$ に基づいて生成される昇圧電圧 $V p p$ レベルである。

10

【0047】

ワード線WLとビット線BLの交差部に対応してメモリセルMCが配置される。このメモリセルMCは、情報を記憶するメモリキャパシタMQと、ワード線WL上の電位に応答してこのキャパシタMQをビット線BLに接続するアクセストランジスタMTを含む。メモリセルキャパシタMQのセルプレート電極へは、アレイ用内部電源電圧 $i n t V c c A$ の1/2のレベルの中間電圧が印加される。

20

【0048】

このビット線BLおよび $\bar{B} L$ に対し、センスアンプ回路7aが設けられる。このセンスアンプ回路7aは、図1に示すセンスアンプ7に含まれる。センスアンプ回路7aは、センスアンプ活性化信号SPおよびSNに응答して活性化され、内部電源線25および接地線26上に与えられるアレイ用内部電源電圧 $i n t V c c A$ および接地電圧 $V s s$ を両動作電源電圧として動作して、ビット線BLおよび $\bar{B} L$ の電位を差動的に増幅する。このビット線BLおよび $\bar{B} L$ には、ビット線BLおよび $\bar{B} L$ の電位を所定の中間電圧レベル(アレイ用内部電源電圧 $i n t V c c A$ の1/2)にイコライズするためのビット線イコライズ回路が設けられているが、図2においては示していない。

30

【0049】

センスアンプ活性化信号SPおよびSNは、クロック発生回路14に含まれるセンス制御回路14aから出力される。このセンス制御回路14aは、周辺用内部電源電圧 $i n t V c c P$ を一方動作電源電圧として動作し、ロウアドレスストロブ信号/RASに従って所定のタイミングでセンスアンプ活性化信号SPおよびSNを出力する。このセンス制御回路14aは、センスアンプ活性化信号SPおよびSNを、アレイ用内部電源電圧 $i n t V c c A$ の電源電圧レベルに変換するレベル変換回路を備えていてもよい。

【0050】

列デコーダ6は、周辺用内部電源電圧 $i n t V c c P$ を一方動作電源電圧として動作し、アドレスバッファ4からの内部列アドレス信号ビットの所定の組合せを受けるNAND回路6aと、内部電源電圧 $i n t V c c P$ を一方動作電源電圧として動作し、NAND回路6aの出力信号を反転するインバータ回路6bを含む。このインバータ回路6bの出力信号は、ビット線BLおよび $\bar{B} L$ に設けられた列選択ゲート27へ与えられる。列選択ゲート27は、このインバータ回路6bの出力信号(列選択信号)がHレベルのときに導通し、ビット線BLおよび $\bar{B} L$ を内部データ線対28へ接続する。この列デコーダ6においても、インバータ回路6bは、アレイ用内部電源電圧 $i n t V c c A$ の電圧レベルの列選択信号を発生するレベル変換回路を備えていてもよい。

40

【0051】

入出力回路9は、アレイ用内部電源電圧 $i n t V c c A$ を一方動作電源電圧として動作し、内部データ線対28上のデータを増幅するプリアンプ9aと、アレイ用内部電源電圧 $i n t V c c A$ を一方動作電源電圧として動作し、内部データ線対28上に相補な内部書込

50

データを伝達する書込ドライバ9 aを含む。

【0052】

このプリアンプ9 aの出力信号は内部読出線8 aを介して出力バッファ回路12 aへ与えられる。書込ドライバ9 bは、内部書込データ線8 bを介して入力バッファ回路11 aから内部書込データを受ける。出力バッファ回路12 aおよび入力バッファ回路11 aは、周辺内部電源電圧 $intVccP$ を一方動作電源電圧として動作する。この出力バッファ回路12 aは、外部端子10に接続する最終段は、外部電源電圧 $extVcc$ に従って動作してもよい。入力バッファ回路11 aは、このデータ入出力端子10に結合される入力初段が、外部電源電圧 $extVcc$ に従って動作するように構成されてもよい。

【0053】

図1および図2に示すように、周辺回路の一方動作電源電圧を周辺用内部電源電圧 $intVccP$ とし、アレイ内部に与えられる電源電圧をこれより低い内部電源電圧 $intVccA$ とする。ビット線 BL および \overline{BL} の電圧は、アレイ用内部電源電圧 $intVccA$ と接地電圧 Vss の間で変化し、その電圧振幅は小さく、充放電電流が小さくなり、応じて消費電流が低減される。

【0054】

一方、周辺回路に対する電源電圧 $intVccP$ は、このアレイ用内部電源電圧 $intVccA$ よりも高い電圧レベルに設定することにより、周辺回路の各回路を構成するMOSトランジスタのゲート電圧レベルが上昇し、各内部出力ノードを高速で充放電することができ、高速動作が実現される。

【0055】

図3は、図1に示す内部電源電圧発生回路22の構成を概略的に示す図である。図3において、内部電源電圧発生回路22は、外部電源端子20 pに接続される電源パッド30 p上の外部電源電圧 $extVcc$ と基準電圧 $VrefP$ とから周辺用内部電源電圧 $intVccP$ を発生する周辺用電圧降下回路22 pと、外部電源端子20 aに接続されるパッド30 a上の外部電源電圧 $extVcc$ と基準電圧 $VrefA$ とに従ってアレイ用内部電源電圧 $intVccA$ を発生するアレイ用電圧降下回路22 aを含む。

【0056】

周辺用電圧降下回路22 pは、電源パッド30 p上の外部電源電圧 $intVcc$ から電流を供給され、この外部電源電圧 $extVcc$ に対する依存性の極めて小さな基準電圧 $VrefP$ を発生する基準電圧発生回路34 pと、基準電圧発生回路34 pの出力ノード35 p上の基準電圧 $VrefP$ と周辺用内部電源線37 p上の内部電源電圧 $intVccP$ を差動的に増幅する差動増幅器で構成される比較回路36 pと、外部電源ノード30 pと内部電源線37 pの間に結合され、比較回路36 pの出力信号に従って電源パッドに接続される外部電源線32から電流を内部電源線37 pへ供給するpチャネルMOSトランジスタ38 pを含む。ここで、外部電源線32は、外部電源パッド30 pおよび30 aを相互接続する。

【0057】

周辺用電圧降下回路22 pは、さらに、ストレス加速モード指示信号 STR の活性化時導通し、外部電源線32と基準電圧発生回路34 pの出力ノードとを電氣的に接続するpチャネルMOSトランジスタ39 pを含む。パッド30 pに隣接して外部電源線32に対し安定化容量40 pが設けられる。

【0058】

アレイ用電圧降下回路22 aは、電源パッド30 aからの外部電源電圧 $extVcc$ を受け、この外部電源電圧 $extVcc$ に対する依存性の極めて小さな基準電圧 $VrefA$ を発生する基準電圧発生回路34 aと、基準電圧 $Vref$ と内部電源線37 a上の内部電源電圧 $intVccA$ とを差動的に増幅する差動増幅器で構成される比較回路36 aと、外部電源線32と内部電源線37 aの間に結合され、比較回路36 aの出力信号に従って外部電源線32から内部電源線37 aへ電流を供給するpチャネルMOSトランジスタ38 aを含む。比較回路36 aは、この外部電源線32上の外部電源電圧 $extVcc$ を一方

10

20

30

40

50

動作電源電圧として動作する。これは比較回路36pも同様である。

【0059】

アレイ用電圧降下回路22aは、さらに、ストレス加速モード指示信号/STRの活性化時導通し、外部電源線32と基準電圧発生回路34aの出力ノード35aとを電氣的に接続するpチャンネルMOSトランジスタ39aを含む。電源パッド30aに隣接して、外部電源線32に対する安定化容量40aが設けられる。

【0060】

内部電源線37pおよび37aは別々に設けられ、それぞれ周辺回路およびアレイ系回路へ動作電源電圧を供給する。

【0061】

周辺用の基準電圧VrefPは、アレイ用の基準電圧VrefAよりも高い電圧レベルである。MOSトランジスタ39pが非導通状態のとき(ストレス加速モード以外のとき)、比較回路36pおよびpチャンネルMOSトランジスタ38pにより、内部電源線37p上の周辺用内部電源電圧intVccPは、基準電圧VrefPの電圧レベルに保持される。同様、MOSトランジスタ39aが非導通状態のとき、内部電源線37a上のアレイ用内部電源電圧intVccAは、基準電圧発生回路34aからの発生される基準電圧VrefAの電圧レベルに、比較回路36aおよびpチャンネルMOSトランジスタ38aのフィードバックループにより保持される。

【0062】

バーンインモードなどのストレス加速モード時においては、ストレス加速モード指示信号/STRがLレベルの活性状態となり、MOSトランジスタ39aおよび39pが導通し、基準電圧VrefPおよびVrefAは、外部電源線32上の外部電源電圧extVccの電圧レベルとなる。この状態においては、比較回路36pおよび36aは、外部電源電圧extVccと内部電源電圧intVccPおよびintVccAを差動増幅する。したがって内部電源電圧intVccPおよびintVccAは、外部電源電圧extVccに従って変化する。内部電源線37pは、周辺回路に対する一方動作電源電圧を与え、内部電源線37aは、センスアンプおよび入出力回路に対する一方動作電源電圧を供給する。したがって、ストレス加速モード時において、これらの各回路に対する動作電源電圧を外部電源電圧extVccに従って変化させ、電圧ストレスを加速することができる。

【0063】

また、この基準電圧発生回路34pおよび34aの出力ノード35pおよび35aをそれぞれ、外部電源線32に接続することにより、比較回路36pおよび36aの各構成要素に対しても、電圧ストレスが加速され、これらの電圧降下回路における比較回路(36p, 36a, 38p, 38a)に対するストレス加速を行なうことができ、電圧降下回路の信頼性評価を確実に行なうことができる。

【0064】

図4は、図3に示す比較回路36pおよび36aの構成の一例を示す図である。図4に示すように、比較回路36(36p, 36a)は、基準電圧Vrefと内部電源電圧intVccを比較する比較段を構成するnチャンネルMOSトランジスタQ1およびQ2と、これらのMOSトランジスタQ1およびQ2へ外部電源線32から電流を供給するカレントミラー段を構成するpチャンネルMOSトランジスタQ3およびQ4を含む。MOSトランジスタQ1およびQ3の接続ノードが電流ドライブ用pチャンネルMOSトランジスタ38のゲートに接続される。ストレス加速モード時においては、基準電圧Vrefが外部電源電圧extVccの電圧レベルに設定される。この状態において、内部電源電圧intVccが外部電源電圧extVccレベルに変化する。したがって、この比較回路36は、MOSトランジスタQ1およびQ2のゲートに、外部電源電圧extVccが印加され、応じてその内部ノードが外部電源電圧extVccのレベルに変化し、比較回路36の各トランジスタに対する電圧ストレスを加速することができ、比較回路の信頼性評価を行なうことができる。

10

20

30

40

50

【0065】

また、基準電圧発生回路34pおよび34aはそれぞれ外部電源パッド30pおよび30aに結合されており、したがって、これらの基準電圧発生回路34pおよび34aも、印加電圧ストレスが加速されており、したがって、この電圧降下回路22pおよび22aの電圧ストレスを加速することができる。応じて、電圧降下回路の信頼性評価を行なうことができる。

【0066】

図5は、図3に示す基準電圧発生回路34aおよび34pの具体的構成の一例を示す図である。図5においては、外部電源電圧 $extVcc$ を一方動作電源電圧として動作し、この外部電源電圧 $extVcc$ に依存しない電流を発生する定電流源45が、基準電圧発生回路34aおよび34pに共通に設けられる。

10

【0067】

定電流源45は、外部電源ノードと内部ノード Dx の間に接続される抵抗素子45aと、外部電源ノードと内部ノード Dy の間に接続されかつそのゲートが内部ノード Dy に接続されるpチャンネルMOSトランジスタ45bと、内部ノード Dx と内部ノード Dz の間に接続されかつそのゲートが内部ノード Dy に接続されるpチャンネルMOSトランジスタ45cと、内部ノード Dy と接地ノードの間に接続されかつそのゲートが内部ノード Dz に接続されるnチャンネルMOSトランジスタ45dと、内部ノード Dz と接地ノードの間に接続されかつそのゲートが内部ノード Dz に接続されるnチャンネルMOSトランジスタ45eを含む。MOSトランジスタ45cの伝達係数は、MOSトランジスタ45b、45dおよび45eのそれよりも十分大きく、たとえば10倍の大きさに設定される。

20

【0068】

MOSトランジスタ45bおよび45cはカレントミラー回路を構成し、またMOSトランジスタ45eおよび45dはカレントミラー回路を構成する。MOSトランジスタ45cからMOSトランジスタ45eへ供給される電流と同じ大きさの電流がMOSトランジスタ45dを流れる。このMOSトランジスタ45dへはMOSトランジスタ45bから電流が供給される。したがって、MOSトランジスタ45cおよび45bに同じ大きさの電流が流れる。MOSトランジスタ45cの伝達係数はMOSトランジスタ45bよりも十分大きくされている。したがって、このMOSトランジスタ45bのゲート-ソース間電圧は、MOSトランジスタ45cのソース-ゲート間電圧よりも大きくなる。このMOSトランジスタ45bおよび45cの伝達係数の違いにより、内部ノード Dx の電圧レベルは、外部電源電圧 $extVcc$ よりも少し低い電圧レベルとなる。この外部電源電圧 $extVcc$ と内部ノード Dx の電圧差が抵抗素子45aにより電流に変換される。この内部ノード Dx の電圧は、したがってMOSトランジスタ45bおよび45cの伝達係数の違いにより決定される。したがって、この抵抗素子45aを流れる電流値は、抵抗素子45aの抵抗値とMOSトランジスタ45bおよび45cの伝達係数で決定される値となり、外部電源電圧 $extVcc$ に依存しない電流値となる。

30

【0069】

基準電圧発生回路34aは、外部電源ノード $extVcc$ と出力ノード35aの間に接続されかつそのゲートが内部ノード Dy に接続されるpチャンネルMOSトランジスタ34aと、出力ノード35aと接地ノードの間に直列に接続されかつそれぞれのゲートが接地ノードに接続されるpチャンネルMOSトランジスタ34ab, 34ac, 34adを含む。

40

【0070】

pチャンネルMOSトランジスタ34aaは、定電流源45のpチャンネルMOSトランジスタ45bとカレントミラー回路を構成しており、したがって、このMOSトランジスタ34aaには、MOSトランジスタ45bを介して流れる電流のミラー電流が流れる。MOSトランジスタ34ab, 34acおよび34adのそれぞれのゲートは接地ノードに接続されており、これらのMOSトランジスタ34ab~34adの各々は、そのチャンネル抵抗により抵抗素子として動作する。これらのMOSトランジスタ34ab~34adは

50

、電流消費を十分小さくするためその抵抗値は十分大きくされている。このMOSトランジスタ34ab~34adの有するチャネル抵抗とMOSトランジスタ34aaから与えられる電流とにより、基準電圧VrefAが生成される。MOSトランジスタ34aaを介して流れる電流は外部電源電圧extVccに依存しない一定の電流である。したがって基準電圧VrefAは、外部電源電圧extVccに依存しない一定の電圧レベルとなる(外部電源電圧extVccが所定電圧レベル以上のとき)。

【0071】

この基準電圧VrefAが、比較回路36aへ与えられ、この比較回路36aの制御の下に、pチャネルMOSトランジスタ38aが外部電源ノードから内部電源線37aへ電流を供給する。したがって内部電源電圧intVccAは、基準電圧VrefAの電圧レベルとなる(ストレス加速モード以外の動作モードのとき)。

10

【0072】

基準電圧発生回路34pは、外部電源ノードと出力ノード35pの間に接続されかつそのゲートが定電流源45の内部ノードDyに接続されるpチャネルMOSトランジスタ34paと、出力ノード35pと接地ノードの間に互いに直列に接続されかつそれぞれのゲートが接地ノードに接続されるpチャネルMOSトランジスタ34pb, 34pcおよび34pdを含む。MOSトランジスタ34pb~34pdの各々は、抵抗モードで動作し、そのチャネル抵抗に従って、MOSトランジスタ34paから供給される電流を電圧に変換する。MOSトランジスタ34paは、定電流源45のMOSトランジスタ45bとカレントミラー回路を構成している。したがって、この基準電圧発生回路34pにおいても、出力ノード35pからの基準電圧VrefPは、定電流源45が供給する定電流とMOSトランジスタ34pb~34pdの有するチャネル抵抗の積により決定される電圧レベルとなり、外部電源電圧extVccに依存しない一定の電圧レベルとなる。比較回路36pが内部電源電圧intVccPとその基準電圧VrefPとを比較し、比較結果に従ってpチャネルMOSトランジスタ38pのコンダクタンスを調整する。

20

【0073】

このMOSトランジスタ34ab~34adのチャネル抵抗とMOSトランジスタ34pb~34pdのチャネル抵抗を調整することにより、基準電圧VrefAおよびVrefPの電圧レベルを互いに異ならせることができる。このチャネル抵抗の違いは、たとえば各MOSトランジスタのチャネル領域への不純物注入により実現される。また単に、これらの抵抗モードで動作するMOSトランジスタ(34ab~34adおよび34pb~34pd)の個数を異ならせることにより基準電圧VrefAおよびVrefPのレベル調整は容易に実現することができる。

30

【0074】

図5においては示していないが、この出力ノード35aおよび35pに、それぞれストレス加速モード時に外部電源電圧を伝達するMOSトランジスタが設けられる。MOSトランジスタ34ab~34adおよび34pb~34pdは、消費電流低減のためにそのインピーダンスは十分大きくされまた電流駆動力も小さくされている。したがって、図3に示すMOSトランジスタ39aおよび39pのチャネル幅をたとえば数十μm程度の広さに設定すれば、この基準電圧発生回路34aおよび34p動作時においても、これらの出力ノード35aおよび35pを外部電源電圧extVccレベルに設定することができる。

40

【0075】

[電圧降下回路の変更例]

図6は、電圧降下回路の変更例の構成を示す図である。図6においては、周辺用電圧降下回路およびアレイ用電圧降下回路が同一の回路構成を備えるため(基準電圧レベルが異なるだけであるため)、1つの電圧降下回路の構成のみを示す。

【0076】

図6において、電圧降下回路は、内部電源線50上の内部電源電圧intVccと基準電圧Vrefを比較する比較回路52と、一定の電圧レベルのバイアス電圧Viasをゲー

50

トに受け、比較回路52の電流源として作用する電流源トランジスタ54と、比較回路52の出力信号に従ってそのコンダクタンスが調整され、外部電源ノードから内部電源線50に電流を供給するpチャンネルMOSトランジスタ56を含む。この比較回路52、電流源トランジスタ54およびMOSトランジスタ56は、常時動作し、基準電圧 V_{ref} と内部電源電圧 $intV_{cc}$ の差に従って外部電源ノードから内部電源線50に電流を供給し、内部電源電圧 $intV_{cc}$ の電圧レベルを一定に保持する。この常時動作する回路部分は、消費電流を低減するため、その電流駆動力は小さくされている(MOSトランジスタ54の電流供給力が小さくされる)。

【0077】

電圧降下回路は、さらに、活性化時基準電圧 V_{ref} と内部電源電圧 $intV_{cc}$ とを比較する比較回路62と、活性化信号ACTの活性化時導通し、比較回路62の外部電源ノードと接地ノードの間に電流経路を形成する電流源トランジスタ64と、比較回路62の出力信号に従ってそのコンダクタンスが調整され、外部電源ノードから内部電源ノード50に電流を供給するpチャンネルMOSトランジスタ66と、活性化信号ACTの非活性化時、比較回路62の出力ノードを外部電源電圧 $extV_{cc}$ レベルに設定するpチャンネルMOSトランジスタ68を含む。

【0078】

活性化信号ACTは、たとえばロウアドレスストローク信号/RASに同期して発生され、半導体記憶装置がスタンバイ状態のときには活性化信号ACTはLレベルの非活性化状態となり、メモリセルの選択動作が行なわれるアクティブサイクル時この活性化信号ACTはHレベルの活性化状態とされる。したがって、活性化信号ACTの非活性化状態のときには、MOSトランジスタ64が非導通状態となり、比較回路62の電流経路(外部電源ノードから接地ノード上に至る経路)が遮断され、比較回路62が非活性化され、一方、MOSトランジスタ68が導通し、この比較回路62の出力ノードを外部電源電圧 $extV_{cc}$ レベルに設定する。したがってMOSトランジスタ66は非導通状態を維持する。すなわち、この比較回路62およびMOSトランジスタ66の電圧降下回路部は、スタンバイサイクル時において非活性化状態とされ、電流消費が低減される。一方、アクティブサイクル時においては活性化信号ACTがHレベルとなり、比較回路62が応じて外部電源ノードから接地ノードへの電流経路が形成されて活性化され、基準電圧 V_{ref} と内部電源電圧 $intV_{cc}$ とを比較し、その比較結果に従ってMOSトランジスタ66のコンダクタンスを調整する。MOSトランジスタ68はこのアクティブサイクル時において非導通状態にある。この比較回路62およびMOSトランジスタ66の電流駆動力は大きくされ、アクティブサイクル時において、内部回路動作時における内部電源電圧 $intV_{cc}$ の変動を高速で補償する。

【0079】

この活性化信号ACTは、アレイ用電圧降下回路の場合、電流が大きく消費されるのはセンスアンプ動作時であり(センス動作完了後のラッチ状態時においては大きな電流は消費されない)、したがってセンスアンプのセンス動作時センスアンプ活性化信号に応答して活性化状態とされ、センス動作完了後は非活性化状態に保持されてもよい。周辺用の電圧降下回路の場合、ロウアドレスストローク信号/RASの活性化時に動作する回路に対しては活性化信号ACTをロウアドレスストローク信号/RASに応じて変化させ、列選択に関連する回路に対しては活性化信号ACTはコラムアドレスストローク信号/CASに従って活性/非活性化されてもよい。MOSトランジスタ68は、この活性化信号ACTがLレベルの非活性化状態とときに、確実に比較回路62の出力信号を外部電源電圧 $extV_{cc}$ レベルに設定して、MOSトランジスタ66を非導通状態に設定するために設けられる。

【0080】

この活性化信号ACTは、電圧降下回路が内部電源電圧を与える回路の活性期間に応じて適当に定められればよい。発生する内部電源電圧の電圧レベルが同じ場合においても、各機能ごとにグループ化された回路群ごとに電圧降下回路を設ける構成が用いられてもよい

10

20

30

40

50

。以下の説明においては、この電圧降下回路の「差動増幅部」は、常時動作する比較回路および対応のMOSトランジスタと、アクティブサイクル時に活性化される比較回路およびこの比較回路の出力信号に従って電流を供給するMOSトランジスタ両者を含む構成を示すものとする。

【0081】

図7は、ストレス加速モード指示信号発生部の構成の一例を示す図である。図7において、ストレス加速モード指示信号発生部は、特定のアドレス信号ビットextA1が所定の電圧レベル以上の高電圧レベルに設定されたことを検出するスーパーV IH検知回路70aと、このスーパーV IH検知回路70aの出力信号SVIHとテストモードエントリ信号TENTとを受けるNAND回路70bと、テストモード終了信号TEXTを受けるインバータ回路70cと、NAND回路70bの出力信号を一方入力に受けるNAND回路70dと、インバータ回路70cの出力信号を一方入力に受けるNAND回路70eと、NAND回路70dの出力信号を反転してストレス加速モード指示信号/STRを出力するインバータ回路70fと、NAND回路70eの出力信号を反転してストレス加速モード指示信号STRを出力するインバータ回路70gを含む。NAND回路70dおよび70eの他方入力と出力は交差結合される。

10

【0082】

スーパーV IH検知回路70aは、たとえば外部アドレス信号ビットextA1である特定のアドレス信号ビット入力端子に与えられる信号が通常動作モード時に与えられるHレベルの信号よりも十分高い電圧レベルに設定されたときに、その出力信号SVIHをHレベルの活性状態とする。次に、この図7に示すストレス加速モード指示信号発生部の動作について説明する。

20

【0083】

テストモードにあるとき、テストモードエントリ信号TENTがHレベルに設定される。特定のアドレス信号ビットextA1が通常の電圧レベル以下の電圧レベルのとき、このスーパーV IH検知回路70aの出力信号SVIHがLレベルであり、またテストモード終了信号TEXTもLレベルである。この状態においては、信号/STRおよびSTRはリセット状態のHレベルおよびLレベルをそれぞれ維持している。

【0084】

アドレス信号ビットextA1が、通常動作時に与えられる電圧レベルよりも十分高い電圧レベル（外部電源電圧extVccレベル以上）の電圧レベルに設定されると、スーパーV IH検知回路70aの出力信号SVIHがHレベルに立上がる。応じて、NAND回路70bの出力信号がLレベルとなり、NAND回路70dの出力信号がHレベルとなる。したがってインバータ回路70fからのストレス加速モード指示信号/STRがLレベルに立下がる。NAND回路70eは、その両入力にHレベルの信号を受け、Lレベルの信号を出力し、応じてインバータ回路70gからのストレス加速モード指示信号STRがHレベルに立上がる。

30

【0085】

この状態は、テストモードエントリ信号TENTがHレベルに保持されている間維持される。

40

【0086】

テストモード完了時において、テストモード終了信号TEXTが所定期間Hレベルに設定され、応じてインバータ回路70cの出力信号がLレベルに立下がる。これにより、NAND回路70eの出力信号がHレベルとなり、応じてNAND回路70dの両入力にHレベルとなって、その出力信号がLレベルとなる。したがって、インバータ回路70gからの信号STRがLレベルに立下がり、またインバータ回路70fからの信号/STRがHレベルに立上がる。これにより、ストレス加速モードが完了する。

【0087】

図9は、図7に示すスーパーV IH検知回路70aの構成の一例を示す図である。図9において、スーパーV IH検知回路70aは、アドレス信号ビットextA1を受ける入力

50

保護回路72と、入力保護回路72を介して与えられる電圧をそれぞれのしきい値電圧低下させて伝達する2つの互いに直列に接続されかつダイオード接続されたnチャンネルMOSトランジスタ73aおよび73bと、そのゲートに内部電源電圧 $i n t V c c P$ を受け、MOSトランジスタ73bを介して与えられた電圧をノードNDaに伝達するpチャンネルMOSトランジスタ74と、ノードNDa上の信号電位を受けるインバータ75aと、インバータ75aの出力信号を反転してスーパーV IH検知信号SV IHを出力するインバータ回路75bと、ノードNDaと接地ノードの間に直列に接続されるnチャンネルMOSトランジスタ76a~76nを含む。MOSトランジスタ76a~76nのゲートは、内部電源電圧 $i n t V c c P$ を受けるように結合される。これらのMOSトランジスタ76a~76nのチャンネル抵抗は十分大きくされており、これらのMOSトランジスタ76a~76nはプルダウン抵抗として作用する。

10

【0088】

スーパーV IH検知回路70aは、さらに、ロウアドレスストロープ信号/RASの立上がりに対応してノードNDaの電位を接地電圧レベルによりリセットするリセット回路77を含む。このリセット回路77は、ロウアドレスストロープ信号/RASを所定時間遅延しかつ反転して出力する反転遅延回路77aと、反転遅延回路77aの出力信号とロウアドレスストロープ信号/RASを受けるNAND回路77bと、NAND回路77bの出力信号を受けるインバータ77cと、ノードNDaと接地ノードの間に接続されかつそのゲートがインバータ回路77cの出力信号を受けるように結合されるnチャンネルMOSトランジスタ77dを含む。次に、この図9に示すスーパーV IH検知回路70aの動作

20

【0089】

入力保護回路72は、抵抗素子およびクランプ素子を含み、このアドレス信号入力端子に与えられる信号が異常高電圧となったときに内部の構成要素に異常高電圧が印加されるのを防止しかつ大電流が流れ込むのを防止する。アドレス信号ビット $e x t A 1$ が通常の電圧レベルのとき、MOSトランジスタ73aおよび73bは、非導通状態にあるかまたは導通状態のときに与えられた信号の電圧レベルをそのしきい値電圧分低下させて伝達する。pチャンネルMOSトランジスタ74は、そのゲートに内部電源電圧 $i n t V c c P$ を受けており、MOSトランジスタ73bを介して与えられる信号の電圧レベルがこの内部電源電圧 $i n t V c c P$ よりも低い場合には非導通状態を維持する。この状態においては、ノードNDaは、MOSトランジスタ76a~76nにより、接地電圧レベルにプルダウンされており、信号SV IHはLレベルにある。

30

【0090】

アドレス信号ビット $e x t A 1$ が通常の電源電圧レベルよりも十分高い電圧レベルに設定されると、MOSトランジスタ73aおよび73bが導通し、MOSトランジスタ74のソースへは、内部電源電圧 $i n t V c c P$ よりも十分高い電圧が伝達され、MOSトランジスタ74が導通し、MOSトランジスタ76a-76nに電流が流れ、ノードNDaにHレベルの電圧が伝達される。これにより、インバータ75bからのスーパーV IH検知信号SV IHがHレベルに立上がる。

【0091】

アドレス信号ビット $e x t A 1$ が通常の電圧レベル以下の電圧レベルに立下げられて、pチャンネルMOSトランジスタ74が非導通状態となった場合、ノードNDaは、十分大きな抵抗値を有するMOSトランジスタ76a~76nを介して緩やかに放電される。次にロウアドレスストロープ信号/RASをLレベルからHレベルに立上げると、このロウアドレスストロープ信号/RASの立上がりに対応して、ノードNDbに、ワンショットのパルス信号が発生され、MOSトランジスタ77dが導通する。MOSトランジスタ77dの電流駆動力はMOSトランジスタ74のそれよりも十分大きくされている。ノードNDaが高速で接地電圧レベルに放電され、応じてスーパーV IH検知信号SV IHがLレベルに立下がる。このロウアドレスストロープ信号/RASは、スーパーV IH条件設定時にLレベルに設定する必要はない。ストレス加速モードにおいて1つのアクティブサイ

40

50

クルが行なわれ、その完了時にロウアドレスストローク信号 / R A S が H レベルに立上がるため、この 1 つのアクティブサイクル完了時にリセット回路 77 が活性化されてノード N D a を接地電圧レベルにリセットすればよい。

【 0 0 9 2 】

図 1 1 は、テストモード制御信号発生部の構成を概略的に示す図である。図 1 1 において、テストモード制御信号発生部は、ロウアドレスストローク信号 / R A S とコラムアドレスストローク信号 / C A S を受け、C B R 条件が満足されたことを検出する C B R 検出回路 8 0 と、この C B R 検出回路 8 0 からの C B R 検出信号に従って所定の時間幅を有するワンショットパルスを発生するワンショットパルス発生回路 8 2 と、ロウアドレスストローク信号 / R A S とコラムアドレスストローク信号 / C A S とライトイネーブル信号 / W E とを受け、W C B R 条件が満足されたことを検出する W C B R 検出回路 8 4 と、W C B R 検出回路 8 4 からの W C B R 検出信号に応答してセットされ、ワンショットパルス発生回路 8 2 からのワンショットパルスに応答してリセットされるセット優先型セット / リセットフリップフロップ 8 6 を含む。ワンショットパルス発生回路 8 2 からテストモード終了信号 T E X T が出力され、セット / リセットフリップフロップ 8 6 の出力 Q からテストモードエントリ信号 T E N T が出力される。

10

【 0 0 9 3 】

C B R 条件は、ロウアドレスストローク信号 / R A S の立下がりよりも早いタイミングでコラムアドレスストローク信号 / C A S が L レベルに立下げられる状態を示す。W C B R 条件は、ライトイネーブル信号 / W E およびコラムアドレスストローク信号 / C A S がとも

20

【 0 0 9 4 】

この図 1 1 に示すテストモード制御部の構成においては、W C B R 条件が満たされると、フリップフロップ 8 6 から出力されるテストモードエントリ信号 T E N T が H レベルの活性状態となる。この状態で、C B R 条件が満足されると、ワンショットパルス発生回路 8 2 からのテストモード終了信号 T E X T が H レベルの活性状態とされ、応じてフリップフロップ 8 6 からのテストモードエントリ信号 T E N T が非活性状態の L レベルとなる。W C B R 条件設定時、C B R 条件も満たされるが、セット / リセットフリップフロップ 8 6 はセット優先型であり、確実に W C B R 条件設定時にセットされる。信号 / W E を C B R

30

【 0 0 9 5 】

半導体装置などの集積回路装置においては、半導体チップのパッケージ実装後、ストレス加速モード以外の通常の機能テストなどを行なう必要がある。このバーンインモードなどのストレス加速モード以外のテストモード動作を行なうために、この W C B R 条件および C B R 条件で、テストモード期間を設定する。テストモードエントリ信号 T E N T が H レベルの活性状態のときに、たとえば特定のアドレス信号ビット e x t A 1 がスーパー V I H 条件を満たす状態に設定されたときに、ストレス加速モードが実行される。

【 0 0 9 6 】

図 1 2 は、図 1 1 に示す C B R 検出回路 8 0 の構成の一例を示す図である。図 1 2 において、C B R 検出回路 8 0 は、コラムアドレスストローク信号 / C A S を受けるインバータ回路 8 0 a と、ロウアドレスストローク信号 / R A S を受けるインバータ回路 8 0 b と、インバータ回路 8 0 a の出力信号を一方入力に受ける N A N D 回路 8 0 c と、インバータ回路 8 0 b の出力信号を一方入力に受ける N A N D 回路 8 0 d とを含む。N A N D 回路 8 0 c の他方入力 は N A N D 回路 8 0 d の出力に結合され、N A N D 回路 8 0 d の他方入力 は、N A N D 回路 8 0 c の出力に結合される。

40

【 0 0 9 7 】

C B R 検出回路 8 0 は、さらに、N A N D 回路 8 0 c の出力信号を一方入力に受ける N A N D 回路 8 0 e と、インバータ回路 8 0 b の出力信号を一方入力に受ける N A N D 回路 8 0 f を含む。N A N D 回路 8 0 e の他方入力 は、N A N D 回路 8 0 f の出力に結合され、

50

NAND回路80fの他方入力、NAND回路80eの出力に結合される。このNAND回路80fの出力信号を受けるインバータ回路80gから、CBR検出信号 CBRが出力される。次にこの図12に示すCBR検出回路80の動作について、図13に示す波形図を参照して説明する。

【0098】

時刻t0以前においては、ロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASがともにHレベルにある。この状態においては、インバータ回路80aおよび80bのそれぞれの出力信号はLレベルであり、NAND回路80cの出力ノードNDcおよびNAND回路80dの出力ノードNDdはHレベルにある。また、NAND回路80fの出力信号はHレベルであり、NAND回路80eの両入力はHレベルとなり、ノードNDeはLレベルにある。インバータ回路80gからのCBR検出信号 CBRはLレベルにある。

10

【0099】

時刻t0において、コラムアドレスストロブ信号/CASがLレベルに立下げられると、応じてノードNDcの電圧レベルがLレベルに立下がる。このノードNDcの電圧レベルの低下に従って、NAND回路80eの出力ノードNDeの電圧レベルがHレベルに立上がる。この状態においては、ロウアドレスストロブ信号/RASはまだHレベルであり、CBR検出信号 CBRはLレベルを維持する。

【0100】

時刻t1において、ロウアドレスストロブ信号/RASがLレベルに立下がると、インバータ回路80bの出力信号がHレベルとなり、NAND回路80fの出力信号がLレベルとなり、応じてCBR検出信号 CBRがHレベルに立上がる。

20

【0101】

時刻t2において、コラムアドレスストロブ信号/CASがLレベルからHレベルに立上がると、インバータ回路80aの出力信号がLレベルとなり、応じてNAND回路80cの出力ノードNDcの電圧レベルがHレベルに立上がる。このノードNDcの電圧レベルの立上がりに対応して、NAND回路80dの両入力がHレベルとなり、ノードNDdの電圧レベルがLレベルに立下がる。この状態においては、まだノードNDeの電圧レベルは変化せず、またCBR検出信号 CBRはHレベルを維持する。

【0102】

時刻t3において、ロウアドレスストロブ信号/RASをHレベルに立上げると、インバータ回路80bの出力信号がLレベルに立下がり、ノードNDbの電圧レベルがHレベルに立下がる。NAND回路80fの出力信号がHレベルとなり、ノードNDeの電圧レベルがLレベルに立下がり、またインバータ回路80gからのCBR検出信号 CBRがLレベルに立下がる。

30

【0103】

図12に示すWCBR検出回路84は、この図12に示す構成において、ライトイネーブル信号/WEとコラムアドレスストロブ信号/CASを受けるOR回路の出力信号をインバータ回路80aに与えれば実現される。ワンショットパルス発生回路82としては、図9に示すリセット回路77のワンショットパルス発生回路と同様の構成を利用することができる。

40

【0104】

上述のように、テストモードにおいてWCBR条件およびCBR条件を用い、信頼性評価のためのストレス加速モード設定に、特定のアドレスピンなどの外部ピン端子のスーパーVIH条件を利用することにより、テスト専用の余分のピン端子を設けることなく必要なテストモードを設定することができる。

【0105】

以上のように、この発明の実施の形態1に従えば、それぞれの電圧レベルが異なる基準電圧を発生し、これらの基準電圧に従ってそれぞれ別々に設けられる内部電源線へこれらの基準電圧レベルに応じた内部電源電圧を伝達するように構成しているため、高速動作すべ

50

き回路を高速動作させることができ、また低消費電流で動作する回路を低消費電流で動作させることができる。また、この基準電圧発生回路の出力ノードには、ストレス加速モード時外部電源電圧を供給するように構成しているため、比較回路および基準電圧発生回路の電圧ストレス加速を行なうことができ、電圧降下回路のストレス加速モード動作を行なって信頼性評価を行なうことができる。

【0106】

また、別々に設けられる電源ピン端子に接続されるパッドを相互接続することにより、このパッドに応じたノイズおよびサージ電圧をこの外部電源線内で分散させて吸収することができ、ノイズおよびサージ耐性に優れた電源線を実現することができる。

【0107】

[実施の形態2]

図14は、この発明の実施の形態2に従う内部電源電圧発生回路の構成を概略的に示す図である。図14に示す構成においては、外部電源端子20pに接続される電源パッド30pに対して、外部電源線32pが接続され、また外部電源端子20aに接続される電源パッド30aに対し、外部電源線32aが接続される。これらの外部電源線32pおよび32aは互いに分離される。外部電源線32pおよび32aには、それぞれ安定化容量40pおよび40aが接続される。

【0108】

周辺用電圧降下回路22pは、この外部電源線32pからの外部電源電圧 $extV_{cc}$ を一方動作電源電圧として動作して、所定の電圧レベルの基準電圧 V_{refP} を発生する基準電圧発生回路34pと、この基準電圧発生回路34pの出力する基準電圧 V_{refP} と内部電源線35p上の内部電源電圧 $intV_{ccP}$ を差動増幅し、その差動増幅結果に従って内部電源電圧 $intV_{ccP}$ を基準電圧 V_{refP} レベルにする差動増幅部90pと、ストレス加速モード指示信号/STRの活性化にตอบสนองして導通し、基準電圧発生回路34pの出力ノードを外部電源線32pに接続するpチャンネルMOSトランジスタ39pを含む。差動増幅部90pは、図6に示す構成を有し、スタンバイサイクル時に内部電源電圧 $intV_{ccP}$ を基準電圧レベルに保持する回路と、アクティブサイクル時に活性化されて、この内部電源電圧 $intV_{ccP}$ を基準電圧 V_{refP} に保持する回路部分とを含む。

【0109】

アレイ用電圧降下回路22aは、この外部電源線32a上の外部電源電圧を一方動作電源電圧として動作して、所定の電圧レベルの基準電圧 V_{refA} を発生する基準電圧発生回路34aと、基準電圧 V_{refA} と内部電源線35a上の内部電源電圧 $intV_{ccA}$ とを差動増幅し、その差動増幅結果に従って外部電源線32aから内部電源線35aへ電流を供給して、内部電源電圧 $intV_{ccA}$ を基準電圧 V_{refA} レベルに保持する差動増幅部90aと、ストレス加速モード指示信号/STRの活性化時導通し、基準電圧発生回路34aの出力ノードを外部電源線32aに接続するpチャンネルMOSトランジスタ39aを含む。この差動増幅部90aは、図6に示す構成と同様の構成を備える。内部電源線35pおよび35aには、それぞれ安定化容量41pおよび41aが接続される。

【0110】

この図14に示す内部電源電圧発生回路の構成は、図3に示す内部電源電圧発生回路と、この外部電源線が周辺回路用の外部電源線32pとアレイ回路用の外部電源線32aに分割される点が異なっているだけであり、他の構成は実質的に同じである。

【0111】

この図14に示す構成に従えば、ストレス加速モード時、この外部電源線32p上の外部電源電圧 $extV_{cc}$ の電圧レベルと外部電源線32a上の外部電源電圧 $extV_{cc}$ を互いに独立にその電圧レベルを設定することができる。したがって、図15に示すように、ストレス加速モード時、周辺系回路95pに与えられる外部電源電圧 $extV_{ccP}$ とアレイ系回路95aに与えられる外部電源電圧 $extV_{ccA}$ の電圧レベルを独立に設定し、これらの周辺系回路95pおよびアレイ系回路95aの電圧ストレス加速条件を同じ

10

20

30

40

50

とすることができ、この半導体記憶装置の信頼性評価を正確に行なうことができる。

【0112】

ここで、周辺系回路95pは、行デコーダ、列デコーダおよびクロック発生回路を含み、アレイ系回路は、センスアンプおよび入出力回路を含む。

【0113】

以上のように、この発明の実施の形態2に従えば、周辺系回路とアレイ系回路に対する電源線を別々に設けたため、ストレス加速モード時、これらの周辺系回路およびアレイ系回路に印加される加速電圧を互いに独立に設定することができ、半導体記憶装置内における周辺系回路およびアレイ系回路の電圧ストレス条件を同じ割合で加速することができ、パーインなどの性能評価のためのテストを正確に行なうことができる。

10

【0114】

[実施の形態3]

図16は、この発明の実施の形態3に従う内部電源電圧発生回路の構成を概略的に示す図である。この図16に示す内部電源電圧発生回路の構成は、図14に示す構成と、外部電源線32pおよび32aの間に、ストレス加速モード指示信号/STRにตอบสนองするpチャンネルMOSトランジスタ96が設けられている点が異なっている。他の構成は図14に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。この外部電源線32pおよび32aに設けられたpチャンネルMOSトランジスタ96は、ストレス加速動作モード時非導通状態となり、それ以外の動作モード時には、導通状態となる。

20

【0115】

図17(A)に示すように、ストレス加速モードの場合の動作モード時においては、このストレス加速モード指示信号/STRはLレベルであり、MOSトランジスタ96は導通状態にある。この状態において、外部電源線32pおよび32aが電氣的に接続され、電源パッド30pおよび30aの間に配設される外部電源線の容量は大きくなる。したがって、たとえば、外部電源パッド30pに大きなサージ電圧が印加された場合、外部電源線32pおよび32aにその電荷を分散させることができ、したがって、このサージ電圧により高電界が外部電源線32pおよび32aに印加されるのを防止することができ、外部電源線の信頼性が確保される。また、安定化容量40pおよび40aがこれらの外部電源線32pおよび32aに接続されているため、このサージ電圧などにより印加された電荷がこれらの容量40pおよび40aにより吸収され、応じて外部電源線の電圧レベルの上昇を抑制し、応じて外部電源線の電界の緩和を行なうことができる(電荷Qは、容量Cと電圧Vの積で与えられる： $Q = C \cdot V$)。

30

【0116】

一方、ストレス加速モード時においては、図17(B)に示すように、ストレス加速モード指示信号/STRがHレベルとなり、MOSトランジスタ96が非導通状態となる。この状態においては、外部電源線32pおよび32aが互いに分離される。したがって、電源パッド30pおよび30aへそれぞれ互いに電圧レベルの異なる外部電源電圧 $e_{xt}V_{ccP}$ および $e_{xt}V_{ccA}$ を印加することができる。これにより、実施の形態2と同様、周辺系回路およびアレイ系回路を同じ加速条件で動作させることができ、確実に信頼性評価を行なうことができる。

40

【0117】

以上のように、この発明の実施の形態3に従えば、周辺系回路のための外部電源線とアレイ系回路のための外部電源線の間に、ストレス加速モード指示信号にตอบสนองして導通/非導通となるMOSトランジスタを配置しているため、ストレス加速モード時においては、周辺系回路およびアレイ系回路を同じ加速条件で動作させることができ、信頼性の高いストレス加速モードテストを行なうことができる。また、このストレス加速モード以外のときには、これらの電源線が電氣的に接続され、その大きな寄生容量により、高電圧サージがたとえば印加されても、このサージ電圧を分散して吸収することができ、信頼性の高い外部電源線を実現することができる。これはまた高電圧サージに限らず、通常のノイズが外

50

部電源線に発生した場合においても、このノイズを吸収することができ、外部電源電圧の変動の小さな外部電源線を実現することができる。

【0118】

[実施の形態4]

図18は、この発明の実施の形態4に従う内部電源電圧発生回路の構成を概略的に示す図である。この図18に示す内部電源電圧発生回路の構成においては、外部電源端子20pおよび20aに接続される電源パッド30pおよび30aが外部電源線32により相互接続される。また、アレイ用電圧降下回路22aにおいては、ストレス加速モード指示信号/STRをゲートに受けるpチャンネルMOSトランジスタ39aと外部電源線32の間に、nチャンネルMOSトランジスタ100が設けられる。このnチャンネルMOSトランジスタ100は、そのゲートが外部電源線32に接続され、ダイオードとして作用する。他の部分は、図16に示す構成と同じであり、対応する部分には同一参照番号を付し詳細説明は省略する。

10

【0119】

この図18に示す構成においては、ストレス加速モード時、MOSトランジスタ100および39aが導通し、基準電圧発生回路34a上の電圧レベルは、 $extV_{cc} - V_{th}$ となる。ここで V_{th} は、MOSトランジスタ100のしきい値電圧を示す。一方、周辺用電圧降下回路22pにおいては、ストレス加速モード時、基準電圧発生回路34pの出力ノードは、pチャンネルMOSトランジスタ39pにより、外部電源電圧 $extV_{cc}$ の電圧レベルに設定される。したがって、たとえば、このMOSトランジスタ100のしきい値電圧 V_{th} を $intV_{ccP} - intV_{ccA}$ に等しくすれば、ストレス加速モード時、周辺系回路の電源電圧とアレイ系回路の電源電圧の差を通常動作サイクルのそれと同じとすることができ、集積回路装置内の電圧ストレス加速条件をほぼ一樣にすることができる。特に、加速条件を、通常動作モード時とストレス加速モード時の電源電圧の比で表わすと、しきい値電圧 V_{th} を次式に従って設定すれば、アレイ系回路と周辺系回路の電圧ストレス条件の加速度を同じとすることができる。

20

【0120】

$$V_{th} = extV_{cc} \cdot (1 - intV_{ccA} / intV_{ccP})$$

この図18に示す構成においても、外部電源線32が、電源パッド30pおよび30a間にわたって延在して配置されてパッド30aおよび30pを相互接続しており、ノイズに強い電源線を実現することができる。

30

【0121】

なお、MOSトランジスタ100とMOSトランジスタ39aの接続位置が交換されてもよい。

【0122】

また、周辺系回路のための内部電源電圧 $intV_{ccP}$ が外部電源電圧 $extV_{cc}$ に近い場合には、このMOSトランジスタ100のしきい値電圧 V_{th} を内部電源電圧 $intV_{ccP}$ および $intV_{ccA}$ の差に設定しても、この周辺系回路およびアレイ系回路の電圧ストレス加速条件を同じとすることができる。

40

【0123】

以上のように、この発明の実施の形態4に従えば、ストレス加速モード時、外部電源電圧を低下してこのアレイ系回路の基準電圧発生回路の出力ノードへ伝達するように構成しているため、ストレス加速モード時における周辺系回路に与えられる電源電圧とアレイ系回路に与えられる電源電圧の差を通常動作モード時のそれとほぼ同じとすることができ、装置内の一樣なストレス加速を実現することができ、信頼性の高い信頼性評価試験を行なうことができる。

【0124】

[実施の形態5]

図19は、この発明の実施の形態5に従う内部電源電圧発生回路の構成を概略的に示す図である。この図19において、外部電源端子20aa、20ab、20paおよび20p

50

bそれぞれに対し、電源パッド30aa、30ab、30paおよび30pbが設けられる。これらの電源パッド30aa、30ab、30paおよび30pbに対応して、電圧降下回路22aa、22ab、22paおよび22pbが設けられる。電圧降下回路22aa、22ab、22paおよび22pbの構成は、先の実施の形態1ないし4に示した構成のいずれかの構成を備える。電圧降下回路22aaがアレイ用の内部電源電圧intVccA1を発生し、電圧降下回路22abがアレイ用の内部電源電圧intVccA2を発生し、電圧降下回路22paがアレイ用の内部電源電圧intVccP1を発生し、電圧降下回路22pbが周辺回路用の内部電源電圧intVccP2を発生する。たとえば、アレイ用内部電源電圧intVccA1は、センスアンプへ与えられ、アレイ用内部電源電圧intVccA2は入出力回路へ与えられる。内部電源電圧intVccP1は、クロック発生回路、および列/行デコーダへ与えられ、内部電源電圧intVccP2は入出力バッファへ与えられる。各回路特性に応じて、内部電源電圧のレベルを調整することにより、低消費電流および高速動作性に優れた半導体記憶装置を実現することができる。

10

【0125】

以上のように、この発明の実施の形態5に従えば、複数個の外部電源端子それぞれに対して、互いに電圧レベルの異なる内部電源電圧を発生する電圧降下回路を設けたため、内部回路の動作特性に合わせて、対応の内部電源電圧レベルを最適な値に設定することができる。高速動作および低消費電流を実現することのできる半導体記憶装置を実現することができる。

20

【0126】

[他の適用例]

上述の説明においては、ダイナミック・ランダム・アクセス・メモリ(DRAM)が半導体集積回路装置の一例として示されている。しかしながら、外部電源電圧を降圧して内部電源電圧を発生する電圧降下回路を備える集積回路装置であれば、本発明は適用可能である。

【0127】

また、ストレス加速モードとしては、バーンインモードおよび寿命試験などの信頼性評価のための試験であればよい。

【0128】

【発明の効果】

以上のように、この発明に従えば、外部電源パッドそれぞれに対応して互いに電圧レベルの異なる内部電源電圧を発生する電圧降下回路を設けかつ内部電源電圧レベルを決定する基準電圧発生回路の出力ノードをストレス加速モード時対応の外部電源ノードに電氣的に結合するように構成したため、内部電源電圧レベルを、対応の内部電源電圧を利用する回路の特性に合わせて設定することができ、高速動作および低消費電流特性を備える半導体集積回路装置を実現することができ、また基準電圧発生回路の出力ノードがストレス加速モード時外部電源電圧ノードに結合されるため、電圧降下回路のストレス加速試験を合わせて行なうことができ、半導体集積回路装置の信頼性評価を確実に行なうことができる。

30

【0129】

すなわち、請求項1に係る発明に従えば、第1および第2の電源ノードそれぞれに対応して基準電圧と対応の内部電源線用の電圧を比較する第1および第2の比較回路と、これら第1および第2の比較回路の出力信号に従ってそれぞれ対応の第1および第2の電源ノードと対応の電源ノードから対応の内部ノードへ電流を供給する第1および第2の電流ドライバトランジスタとを設け、ストレス加速モード時これらの第1および第2の基準電圧発生回路の出力ノードを対応の電源ノードに接続するように構成したため、内部回路の動作特性に合わせて内部電源電圧を最適レベルに設定することができ、高速動作および低消費電流を実現することができ、かつさらに基準電圧ノードが対応の外部電源ノードに電氣的に接続されるため、ストレス加速モード時比較回路に対する電圧ストレスを加速することができ、確実に電圧降下回路の信頼性評価を行なうことができる。

40

50

【 0 1 3 0 】

また、第1および第2の電源ノードを電源配線で相互接続しているため、高電圧サージなどが電源パッドに印加された場合においても、この高電圧サージの電荷を分散して吸収させることができ、電源ノイズに強い内部電源電圧発生回路を実現することができる。さらに、ストレス加速モード時、一方の外部電源電圧を所定値低下させて対応の基準電圧発生回路の出力ノードへ伝達するように構成しているため、ストレス加速モード時においても、通常動作モード時と同じ条件で電圧ストレスの加速を容易に行なうことができ、正確に信頼性評価を行なうことができる。

【 0 1 3 2 】

請求項2に係る発明に従えば、第1および第2の電源ノードの間に、ストレス加速モード時非導通状態となり、ストレス加速モード以外の動作モード時は導通状態となるスイッチング素子を設けているため、ストレス加速モード時においては、第1および第2の内部電源電圧を互いに独立に設定することができ、一様なストレス加速を実現して、信頼性の高い信頼性評価を行なうことができ、また通常の動作モード時においては、第1および第2の電源パッドが電源配線で接続されることになり、高電圧サージおよびノイズなどが生じてそれらを電荷分散により吸収することができ、電源ノイズに強い内部電源電圧発生回路を実現することができる。また、請求項1の発明と同様、内部回路の動作特性に合わせて内部電源電圧を最適レベルに設定することができ、高速動作および低消費電流を実現することができる。さらに、第1および第2のスイッチング素子により、基準電圧ノードが外部電源ノードにそれぞれ電氣的に接続されるため、ストレス加速モード時、比較回路
に対する電圧ストレスを加速することができ、確実に電圧降下回路の信頼性評価を行うことができる。

【 0 1 3 4 】

請求項3に係る発明に従えば、メモリアレイに関連するアレイ系回路と周辺系回路それぞれに対し別々に内部電源電圧のレベルを設定するように構成しているため、アレイ系回路の消費電流を低減しかつ周辺系回路の高速動作を保障する、低消費電流かつ高速動作する半導体記憶装置を実現することができる。

【 図面の簡単な説明 】

【 図 1 】 この発明の実施の形態1に従う半導体集積回路装置の全体の構成を概略的に示す図である。

【 図 2 】 図1に示す半導体集積回路装置の要部の構成を概略的に示す図である。

【 図 3 】 図1に示す内部電源電圧発生回路の構成を示す図である。

【 図 4 】 図3に示す比較回路の構成の一例を概略的に示す図である。

【 図 5 】 図3に示す基準電圧発生回路の構成の一例を示す図である。

【 図 6 】 この発明の実施の形態1の変更例に従う内部電源電圧発生回路の構成を概略的に示す図である。

【 図 7 】 ストレス加速モード指示信号発生部の構成の一例を示す図である。

【 図 8 】 図7に示す回路の動作を示す信号波形図である。

【 図 9 】 図7に示すスーパーV IH検知回路の構成の一例を示す図である。

【 図 10 】 図9に示す回路の動作を示す信号波形図である。

【 図 11 】 図7に示すテストモードエントリ信号およびテストモード終了信号発生部の構成を概略的に示す図である。

【 図 12 】 図11に示すCBR検出回路の構成の一例を示す図である。

【 図 13 】 図12に示すCBR検出回路の動作を示す信号波形図である。

【 図 14 】 この発明の実施の形態2に従う内部電源電圧発生回路の構成を概略的に示す図である。

【 図 15 】 図14に示す内部電源電圧発生回路の効果を説明するための図である。

【 図 16 】 この発明の実施の形態3に従う内部電源電圧発生回路の構成を概略的に示す図である。

【 図 17 】 (A)および(B)は、図16に示す内部電源電圧発生回路の外部電源線の

10

20

30

40

50

接続態様を示す図である。

【図18】 この発明の実施の形態4に従う内部電源電圧発生回路の構成を概略的に示す図である。

【図19】 この発明の実施の形態5に従う内部電源電圧発生回路の構成を概略的に示す図である。

【図20】 従来の半導体集積回路装置の全体の構成を概略的に示す図である。

【図21】 図20に示す電圧降下回路の構成を概略的に示す図である。

【図22】 図20に示すメモリ回路の構成を概略的に示す図である。

【図23】 図22に示すメモリアレイ部の構成を概略的に示す図である。

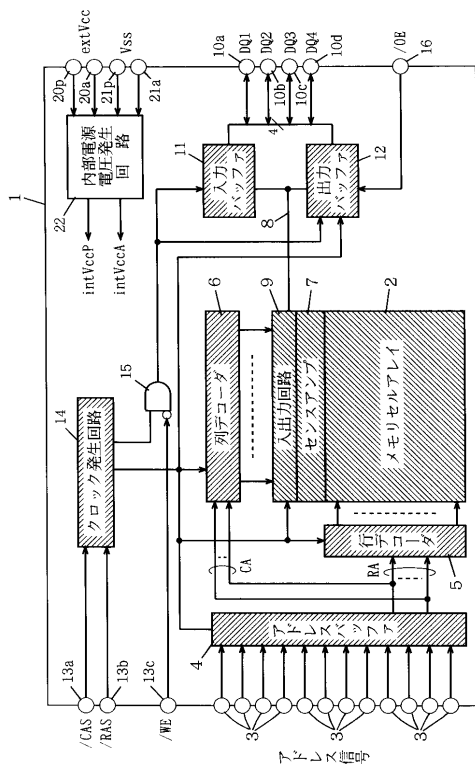
【符号の説明】

1 半導体集積回路装置、2 メモリセルアレイ、4 アドレスバッファ、5 行デコーダ、6 列デコーダ、7 センスアンプ、9 入出力回路、11 入力バッファ、12 出力バッファ、14 クロック発生回路、20a, 20p 外部電源端子、22 内部電源電圧発生回路、22a, 20p 電圧降下回路、30a, 30p 電源パッド、32, 32a, 32p 外部電源線、34a, 34p 基準電圧発生回路、39a, 39p pチャネルMOSトランジスタ、36, 36a, 36p 比較回路(差動増幅回路)、45 定電流源、90a, 90p 差動増幅部、95a アレイ系回路、95p 周辺系回路、96 pチャネルMOSトランジスタ、100 nチャネルMOSトランジスタ、20aa, 20ab, 20pa, 20pb 外部電源端子、30aa, 30ab, 30pa, 30pb 電源パッド、22aa, 22ab, 22pa, 22pb 電圧降下回路。

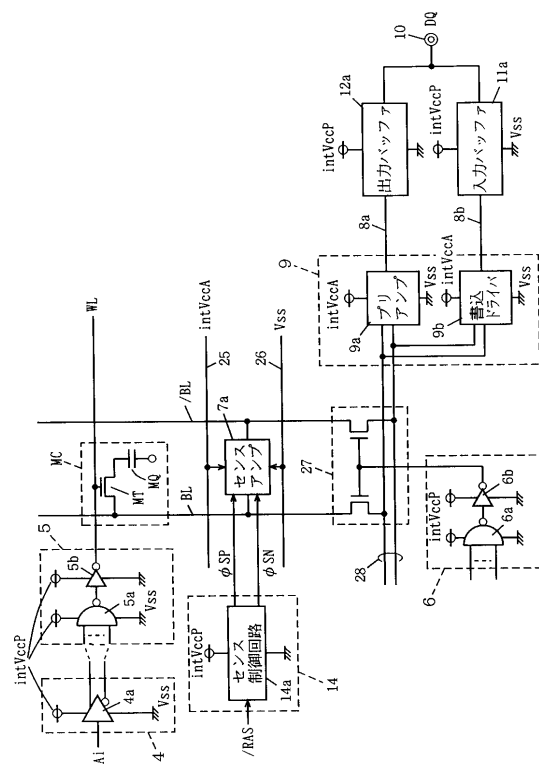
10

20

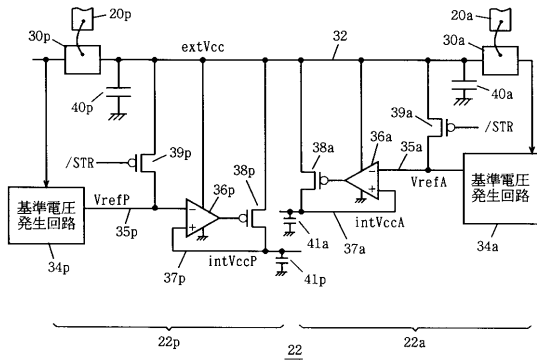
【図1】



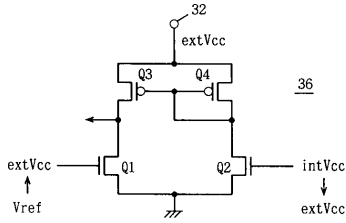
【図2】



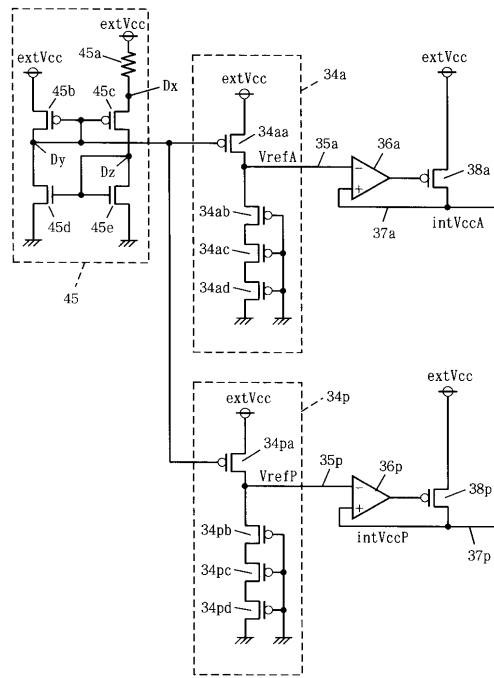
【図3】



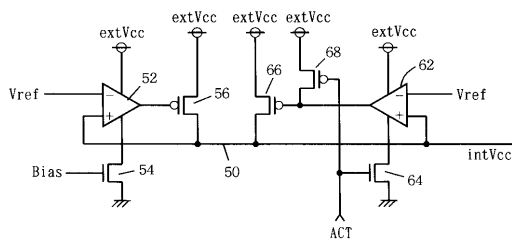
【図4】



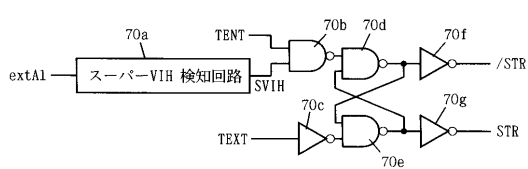
【図5】



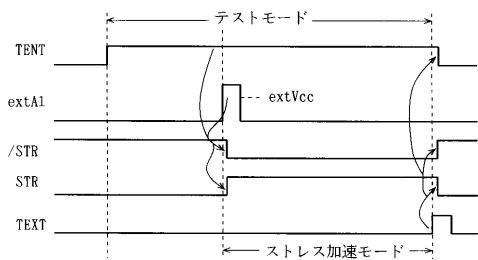
【図6】



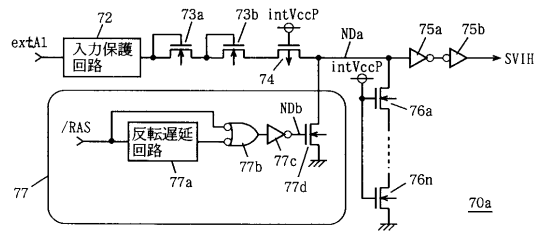
【図7】



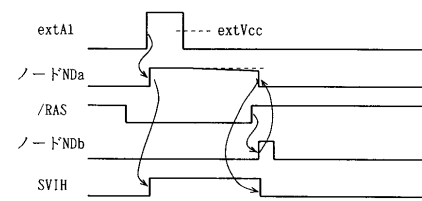
【図8】



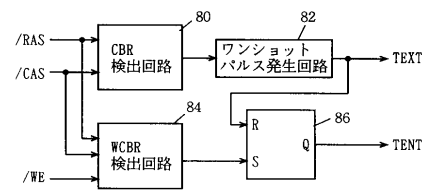
【図9】



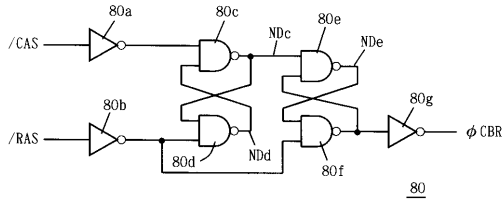
【図10】



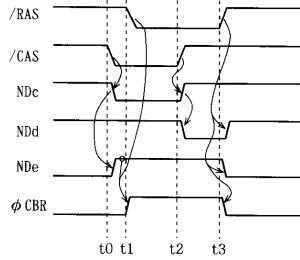
【図11】



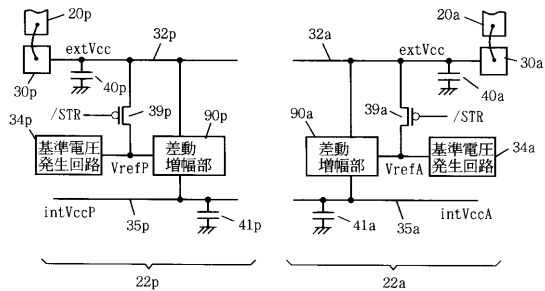
【図12】



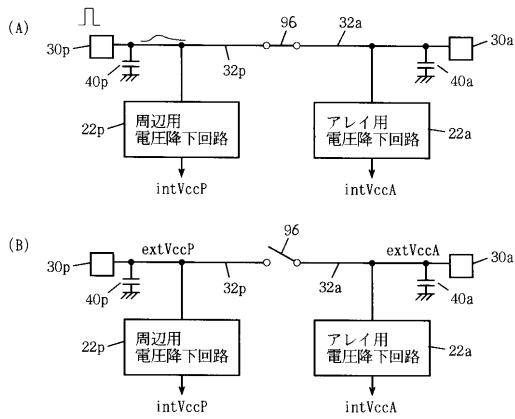
【図13】



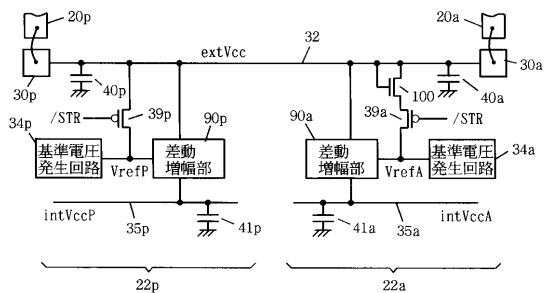
【図14】



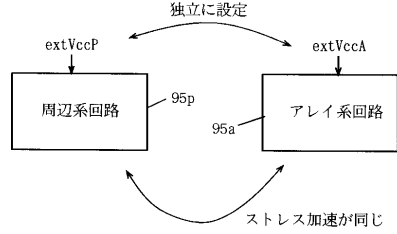
【図17】



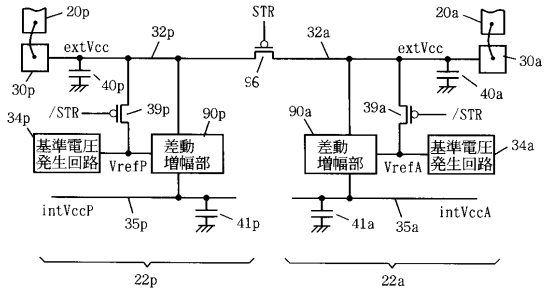
【図18】



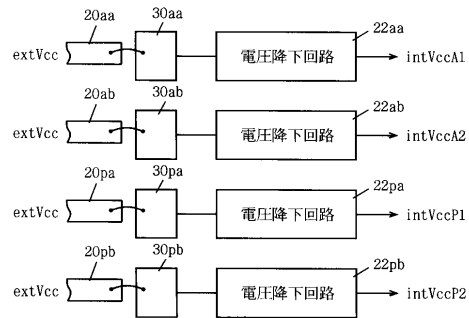
【図15】



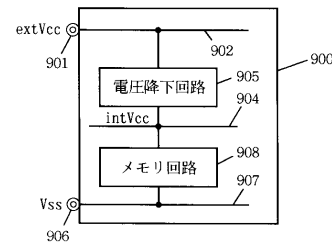
【図16】



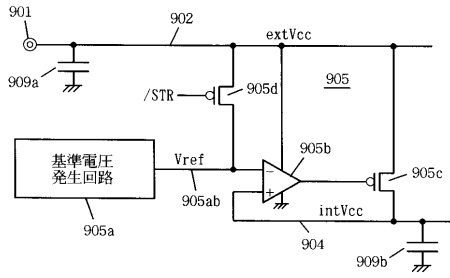
【図19】



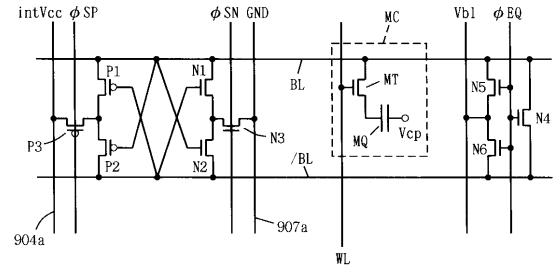
【図20】



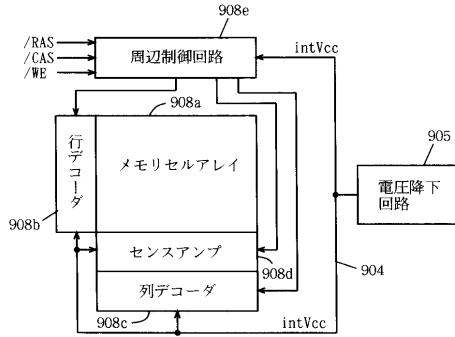
【図 2 1】



【図 2 3】



【図 2 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/66 H

(72)発明者 森下 玄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 築出 正樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 松川 直樹

(56)参考文献 特開平06-208791(JP,A)
特開平08-076864(JP,A)
特開平06-021377(JP,A)
特開平09-062380(JP,A)
特開平09-007396(JP,A)
特開平08-203296(JP,A)
特開平08-190437(JP,A)
米国特許第5363333(US,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28
G11C 11/401
G11C 11/4074
G11C 29/06
H01L 21/66