(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3584544号

(P3584544)

(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]	F I		
H01L 21/822	H01L	27/04	C
H01L 21/316	H01L	21/316	S
H01L 21/324	H01L	21/324	Z
H01L 21/76	H01L	21/76	L
H01L 27/04			

請求項の数 7　(全 10 頁)

(21)出願番号　特願平7-139044
(22)出願日　平成7年6月6日(1995.6.6)
(65)公開番号　特開平8-335668
(43)公開日　平成8年12月17日(1996.12.17)
審査請求日　平成13年12月12日(2001.12.12)

前置審査

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100075258
弁理士　吉田　研二
(74)代理人　100096976
弁理士　石田　純
(72)発明者　石子　雅康
愛知県愛知郡長久手町大字長湫字横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　鈴木　隆司
愛知県愛知郡長久手町大字長湫字横道４１番地の１　株式会社豊田中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板に形成されたトレンチの表面に酸化膜を形成する方法であって、

前記酸化膜の形成中に、前記トレンチが形成された半導体基板に対して、前記酸化膜の形成温度以上、かつ非酸化性気体中で熱処理を行うものであり、

前記酸化膜の形成は、

前記トレンチの表面の酸化工程と、

前記酸化工程の後の前記熱処理の工程と、

前記熱処理の工程の後の再度の前記酸化工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項２】

半導体基板に形成されたトレンチの表面に酸化膜を形成する方法であって、

前記酸化膜の形成中に、前記トレンチが形成された半導体基板に対して、前記酸化膜の形成温度以上、かつ非酸化性気体中で熱処理を行うものであり、

前記酸化膜の形成は、

前記トレンチの表面の酸化工程と、

前記酸化工程の後の前記熱処理の工程と、

前記熱処理の工程の後の再度の酸化工程と、

前記再度の酸化工程の後の再度の前記熱処理の工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項３】
請求項１記載の方法において、さらに、
前記酸化膜の形成に先立ち、前記半導体基板の表面をフッ素系ガスでエッチングする工程を含むことを特徴とする半導体装置の製造方法。
【請求項４】
請求項１、２のいずれかに記載の方法において、
前記非酸化性気体中で行う熱処理では、処理温度を９５０℃以上とすることを特徴とする半導体装置の製造方法。
【請求項５】
請求項１、２のいずれかに記載の方法において、
前記非酸化性気体は、水素、窒素、アルゴン、ヘリウム、キセノン及びクリプトンのいずれか１種類または複数種類の混合気体であることを特徴とする半導体装置の製造方法。
【請求項６】
請求項１、２のいずれかに記載の方法において、
前記半導体基板のトレンチ形成領域における酸素濃度を$1.5\times10^{18}cm^{-3}$以下とすることを特徴とする半導体装置の製造方法。
【請求項７】
請求項１記載の方法において、さらに、
前記酸化膜を除去する工程と、
前記酸化膜の除去後に、前記トレンチの表面に新たに第２の酸化膜を形成する工程と、
を有することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は半導体装置の製造方法に関し、特に、基板に細溝即ちトレンチを有する半導体装置の製造方法に関する。
【０００２】
【従来の技術】
半導体装置の製造において、半導体基板、例えばシリコン基板上にＲＩＥ（反応性イオンエッチング）を用いて細溝（以下、トレンチと示す）を形成することが知られている。そして、このトレンチは、シリコン基板中に形成することによって各種情報処理装置の入出力部に用いられる集積回路素子や縦型パワーＭＯＳＦＥＴ等の集積度向上や、その素子の性能向上のために利用される。また、上記ＲＩＥによりシリコン基板に形成されるトレンチのサイズは、現在のところその幅０．５～３μｍ程度、深さ数～十数μｍ程度であって、比較的微細なトレンチが得られている。
【０００３】
ところが、ＲＩＥによってトレンチを形成した場合、形成されたトレンチ側壁に重金属に汚染された層や、厚さ数十ｎｍにわたる結晶の乱れや表面荒れ等のダメージ層が形成されることが多い。この重金属汚染層やダメージ層を除去する方法としては、湿式あるいは乾式の化学的エッチングがトレンチ形成工程と併用される場合がある。しかし、通常の化学的エッチング処理を併用すると、その処理条件に微妙な変動が発生し、これよってダメージ層を均一に除去できなかったり、表面荒れを更に助長してしまうことがある。
【０００４】
そこで、上記のような表面荒れを回復したりダメージ層の除去をするために、現在、高温でトレンチ表面を熱酸化して酸化膜を形成することが一般的に行われている。しかし、トレンチの表面を酸化して酸化膜を形成する方法では、トレンチの角部や底部に極めて大きな応力が働くことが知られており、この応力に起因してトレンチの角部や底部に転位などにより結晶欠陥が発生することがある。ところが、転位などの結晶欠陥が、一旦半導体基板に導入されてしまうと、その後のプロセスでこの結晶欠陥を除去することが不可能である。従って、トレンチを有する半導体装置における素子特性の劣化防止の観点から、結晶

欠陥が絶対導入されないように、トレンチの角部や底部の応力を低減することが要求されている。

【０００５】

一方で、微細化の進展とともに半導体装置の製造プロセス温度は低下の傾向にあり、トレンチの酸化膜形成工程も同様である。酸化膜形成時の酸化温度が高い方が、発生する応力の基板に対する影響が小さいので、トレンチの酸化膜形成温度の低下に伴い、トレンチの酸化工程にて発生する応力が一段と増大する傾向にある。従って、転位などの結晶欠陥の発生を防止することが困難で、この問題を解決がすることが強く求められている。

【０００６】

【発明が解決しようとする課題】

以上述べたように、従来の技術ではトレンチの表面付近に形成される転位などの結晶欠陥を防止することが困難であり、簡便かつ有効にこの結晶欠陥を除去できる半導体装置の製造方法がない。そのため、トレンチ側壁部を素子の活性領域に使用する半導体素子は、そのキャリヤ移動度やライフタイムの低下など好ましくない影響を受けていた。従って、原理的には、デバイス特性の向上及び高集積化による装置コストの大幅改善等の目的を果たすために形成されるトレンチが、酸化工程における上述のような技術的課題によって、充分にその役割を果たしていないという問題がある。

【０００７】

更に、反応性イオンエッチング（ＲＩＥ）等によってシリコン基板にトレンチを形成するため、形成されたトレンチの底部や角部が鋭角となり、底部や角部に十分な厚さの酸化膜を形成することが難しく、この領域に形成された酸化膜の絶縁破壊耐圧が低いという問題がある。これを解決するには通常より厚い酸化膜を形成する必要があるが、その一方で、酸化膜の膜厚を厚くすると転位などの結晶欠陥が形成される可能性が高く、素子の信頼性を大幅に低下させてしまうという問題があった。

【０００８】

本発明は、上記課題を解決するために、トレンチの表面付近に形成される結晶欠陥の発生を簡便かつ有効に防止し、信頼性の高い半導体装置を製造することが可能な方法を提供することを目的としている。

【０００９】

【課題を解決するための手段】

上記目的を達成するために、本発明は、以下のような特徴を有する。

【００１０】

本発明は、半導体基板に形成されたトレンチの表面に酸化膜を形成する方法であって、前記酸化膜の形成中に、前記トレンチが形成された半導体基板に対して、前記酸化膜の形成温度以上、かつ非酸化性気体中で熱処理を行うことを特徴とする。すなわち、前記酸化膜の形成は、前記トレンチの表面の酸化工程と、前記酸化工程の後の前記熱処理の工程と、前記熱処理の工程の後の再度の前記酸化工程とを含むものである。

【００１１】

本発明において、さらに、前記酸化膜を除去する工程と、前記酸化膜の除去後に、前記トレンチの表面に新たに第２の酸化膜を形成する工程とを有してもよい。

【００１２】

前記非酸化性気体中で行う熱処理は、処理温度が９５０℃以上であることを特徴としている。

【００１３】

また、前記非酸化性気体としては、水素、窒素、アルゴン、ヘリウム、キセノン及びクリプトンのいずれか１種類または複数種類の混合気体である。

【００１４】

また、前記半導体基板のトレンチ形成領域における酸素濃度は$1.5\times10^{18}\ cm^{-3}$以下とすることを特徴とする。

【００１５】

【作用及び効果】
高温でトレンチの表面を酸化して酸化膜を形成する酸化工程において、トレンチの角部や底部に極めて大きな応力が働く理由は、シリコンがその表面から酸化する際に、体積が元の約２．２倍になるためであると考えられている。そして、この体積増加によって、酸化時にトレンチの角部や底部に引っ張り及び圧縮の応力が発生するのである。
【００１６】
ところが、この引っ張り及び圧縮の応力は酸化膜の粘性係数で変化し、温度が高いほど粘性係数が低くなり、発生する応力の緩和が早くなる。温度が９５０℃より低い場合には、酸化膜がほぼ弾性体としての振る舞いをするので応力の緩和は少ない。このため、酸化膜の粘性係数低下の効果を利用するために、温度は９５０℃以上とすればよい。そこで、本発明では、この所定温度（９５０℃）と同一あるいはそれより高温の場合に酸化膜の粘性係数が低下する性質を利用している。
【００１７】
本発明では、トレンチの酸化初期における強い引っ張り及び圧縮の応力が発生する状況の時、即ち酸化膜形成途中で、半導体基板に対してアルゴン等の非酸化性気体中で熱処理を行う。これにより、酸化膜の粘性係数を低くして応力の緩和を行い、酸化膜形成中に転位などの結晶欠陥発生の限界応力に到らないようにする。よって、トレンチ周辺に結晶欠陥が発生することを簡便かつ有効に抑制することができる。
【００１８】
非酸化性気体としては、アルゴン以外に水素、窒素、ヘリウム、キセノン及びクリプトンのいずれか１つあるいはこれらの混合気体を用いても同様な効果を有する。
【００１９】
また、本発明では、まず、結晶欠陥の導入を抑制するために、トレンチの表面の酸化中に転位などの結晶欠陥の発生する限界応力に到らないように上記と同様な熱処理を行って、酸化膜（第１の酸化膜）を作製する。そして、この第１の酸化膜形成工程によってトレンチの底部及び角部の曲率を大きくする。次に、第１の酸化膜を除去し、トレンチの表面に新たに第２の酸化膜を形成する。トレンチの角部や底部の曲率が大きいため、この領域に形成される第２の酸化膜の膜厚が薄くなってしまうことが防止され、上記領域でも良好な絶縁耐圧を得ることができる。
【００２０】
なお、本発明において、トレンチが形成される半導体領域の酸素濃度を１．５×10^{18} cm^{-3}より低くした。これは、半導体基板中のトレンチ形成領域や、素子形成領域に含まれている酸素濃度が高いと、各種の工程中において酸素が拡散・凝集し、応力による転位などの結晶欠陥が発生しやすいことに注目したものである。このように、本発明では、酸素濃度を１．５×10^{18} cm^{-3}より低くすることによって、後の熱処理工程において半導体基板に含まれている酸素の拡散・凝集に起因する結晶欠陥の発生を抑制することができる。
【００２１】
【実施例】
以下、本発明の実施例について図面を用いて説明する。
【００２２】
実施例１
図１は、本実施例におけるトレンチ形成工程及び酸化膜形成工程を示す図であり、図２はトレンチの酸化工程及び熱処理工程における時間と温度の条件を示す図である。
【００２３】
まず、図１（ａ）に示すように、シリコン基板１０上に厚さ５００ｎｍ程度の酸化膜１２を形成後、トレンチを形成する場所を除いて酸化膜１２の表面をレジスト１４で覆う。
【００２４】
次に、図１（ｂ）に示すように、ＲＩＥ（反応性イオンエッチング）を用い、レジスト１４をマスクとして、レジスト１４に覆われていない領域の酸化膜１２をエッチングし、そ

の後レジスト１４を除去する。
【００２５】
レジスト除去後、ＨＢｒを主体とするガスを用いて酸化膜１２の開口部からシリコン基板１０をエッチングし、図１（ｃ）に示すように深さ４μｍ程度のトレンチ２０を形成する。更に、シリコン基板１０上の酸化膜１２を希フッ酸溶液を用いて除去し、露出したシリコン基板１０の表面をフッ素系ガスで２０～４０ｎｍ程度エッチングする。
【００２６】
シリコン基板１０の表面をエッチングした後、シリコン基板１０を十分に洗浄し、温度１０００℃で、シリコン基板１０を加湿酸化、具体的にはパイロジェニック雰囲気で酸化を行う。これにより、図１（ｄ）に示すようにトレンチ２０の表面（側壁、底部及び角部）と、シリコン基板１０の表面に酸化膜１６を形成する。
【００２７】
上記酸化膜１６の形成工程について、以下図２に基づいて具体的に説明する。
【００２８】
まず、８００℃から１０００℃まで２℃／ｍｉｎにて温度を上昇させ、１０００℃で約５分間保持した後、シリコン基板１０を１５分間程度パイロジェニック酸化する。
【００２９】
続けて、１０００℃で１０分間程度、非酸化性気体としてアルゴンを用いて、アルゴン雰囲気で熱処理を行い、その後、再び約４５分間、同一の条件、即ち１０００℃にて酸化（パイロジェニック酸化：Ｈ２　ガスとＯ２　ガスを反応管内部で燃焼させて得られたＨ２　Ｏ雰囲気内での酸化）を行う。
【００３０】
更に、４５分間経過後、再び１０００℃で１０～１５分間アルゴン雰囲気にて熱処理し、その後、２℃／ｍｉｎで温度を１０００℃から８００℃まで下降させる。
【００３１】
このようにトータルで６０分間の酸化を行うことによって、約３５０ｎｍ強の厚さの酸化膜１６を形成することができた。
【００３２】
以上のようにして作製した本実施例のトレンチ部の断面の模式図を図３（ａ）に示す。また、従来方法によってトレンチを酸化して得られたトレンチ部の断面の模式図については図３（ｂ）に示す。なお、図３におけるシリコン基板１０としては、その酸素濃度が１．５×10^{18} cm^{-3}以下のものを用い、更に図３（ａ）では、熱処理に際して非酸化性気体としてアルゴンと窒素との混合気体を用いた。
【００３３】
図３（ｂ）において、トレンチ２０はＲＩＥによって形成されており、トレンチ２０形成後、非酸化性気体中で熱処理を行うことなく、単にシリコン基板１０を６０分間パイロジェニック酸化することにより、トレンチ２０の表面及びシリコン基板１０の表面に酸化膜３０が形成されている。そして、図３（ｂ）によると、トレンチ２０の底部や角部及びその周辺に、多数の結晶欠陥３２が発生している。
【００３４】
これに対して、本実施例のように酸化中や酸化直後に非酸化性気体中で熱処理を行った場合には、図３（ａ）に示すように、シリコン基板１０のトレンチ２０の形成領域周辺に、酸化に伴う転位などの結晶欠陥の発生は認められない。従って、酸化工程に際して熱処理を行うことにより、結晶欠陥の発生を充分に抑制されることは明らかである。これは、強い引っ張り及び圧縮応力が発生する酸化中・酸化直後に際し、上記非酸化性気体中で熱処理を行うことにより、酸化膜の粘性係数が低下して応力が緩和されるからである。そして、この応力の緩和により、結晶欠陥発生の限界応力に達して結晶欠陥が発生することが防止されている。
【００３５】
更に、本実施例の方法によれば、結晶欠陥の発生が抑制されているだけでなく、トレンチ

形成時にトレンチ側壁に発生する厚さ数１０ｎｍの結晶の乱れや表面荒れ等のダメージ層が、数ｎｍ以下に低減されている。その結果、トレンチ側壁の表面移動度を従来のプレーナ構造の半導体素子と同程度にすることが可能である。また、結晶欠陥の発生が充分抑制されているので、トレンチ側壁部に半導体素子のｐｎ接合が形成されていても、従来より１桁以上リーク電流を低下することが可能である。これは、シリコン基板１０のこの領域の結晶欠陥が少なく、半導体素子の空乏層中における再結合電流が減少したためである。

【００３６】

そして、酸化膜１６の膜厚を、本実施例の３５０ｎｍ以外とした場合でも、酸化工程の途中及び直後に非酸化性の気体中で熱処理することによって結晶欠陥の発生を充分に抑制することができた。

【００３７】

なお、非酸化性気体中での熱処理は、本実施例に示すように酸化膜形成工程中及び直後の両方に際して行うことにより高い効果が得られるが、必ずしもこれに限らず形成工程中に際して熱処理を行えばよい。

【００３８】

また、本実施例の製造方法によって形成されたトレンチを素子分離として用いて、電気的に他領域と分離されたバイポーラトランジスタを作製したところ、電流増幅率のばらつきのない信頼性の高いトランジスタが得られた。即ち、本実施例の方法で形成したトレンチを素子分離用として用いることにより、特性の優れた半導体素子を製造することができる。

【００３９】

更に、本実施例では、シリコン基板１０として、基板中の酸素濃度が１．７×10^{17} cm^{-3}程度のＭＣＺ（Ｍａｇｎｅｔｉｃ－ｆｉｅｌｄ－ａｐｐｌｉｅｄ Ｃｚｏｃｈｒａｌｓｋｉ）基板を用いたが、シリコン基板１０としては、所定の厚さにシリコン結晶をエピタキシャル成長をさせたエピタキシャル基板、ＦＺ（Ｆｌｏａｔｉｎｇ Ｚｏｎｅ ）基板も適用可能である。また、シリコン基板を高温、低温及び高温にて熱処理する、例えばシリコン基板１０に水素熱処理を施して、表面付近に十数μｍ厚さにデヌーディッド層（無欠陥層）を形成したシリコン基板であっても同様な効果が認められた。なお、酸素濃度が１．５×10^{18} cm^{-3}程度以上のＣＺ基板では、熱履歴にも依存するものの、転位などの結晶欠陥の発生を充分抑制することができなかった。

【００４０】

また、酸化温度を９５０℃以上とすれば、酸化膜形成のためにパイロジェニック以外の酸化方法、例えばドライ酸化方法等によっても効果があった。

【００４１】

更に、熱処理における雰囲気としては、アルゴン以外に窒素、水素、ヘリウム、クリプトンまたはキセノン等の非酸化性気体や、これらの複数の気体の混合気体を用いても効果があった。

【００４２】

実施例２

本発明の他の一実施例について、以下、図４（ａ）～（ｃ）を参照して説明する。なお、既に説明した図面と同一部分には同一符号を付して説明を省略する。

【００４３】

まず、実施例１と同様に、シリコン基板１０上に、厚さ５００ｎｍ程度の酸化膜１２を形成後、レジストをマスクとしてＲＩＥで酸化膜１２を部分的にエッチングし、トレンチ形成のための窓開けを行う。次に、レジストを除去し、シリコン基板１０を洗浄し、そして、ＨＢｒを主体とするガスを用いて、図４（ａ）に示すように深さ３μｍ程度のトレンチ２０を形成する。また、この後、酸化膜１２を除去し、十分にシリコン基板１０を洗浄する。

【００４４】

次に、温度約１０００℃で、パイロジェニック酸化方法を用いて、図４（ｂ）に示すよう

に第１の酸化膜として酸化膜１６を形成する。

【００４５】

この酸化工程は、実施例１と同様であって、図２に示すようにまず８００℃から１０００℃まで２℃／ｍｉｎで温度を上昇し、１０００℃で約５分間保持後、１５分間程度酸化を行う。次に、１０００℃で、約１０分間アルゴン雰囲気で熱処理し、その後、約４５分間酸化し、続けて１０００℃で１０～１５分間アルゴン雰囲気で熱処理し、２℃／ｍｉｎの速度で温度を１０００℃から８００℃まで下降させる。そして、約３５０ｎｍの酸化膜１６がトレンチ２０及びシリコン基板１０の表面に形成される。

【００４６】

トレンチ２０を上述のように酸化することにより、トレンチ側壁部の凹及び凸部（底部及び角部）の曲率が大きくなる。これは、本実施例のような酸化処理によってトレンチ２０の底部及び角部で発生する応力が緩和され、酸化膜１６中の酸化種の基板中への拡散が制限されないためであると考えられる。

【００４７】

次に、形成された上記酸化膜１６を除去し、温度９５０℃にて、ドライ酸素雰囲気で３０分間酸化を行う。これにより図４（ｃ）に示すように、第２の酸化膜として約５０ｎｍの酸化膜１８がトレンチ２０の表面及びシリコン基板１０に形成される。

【００４８】

以上のようにして形成した酸化膜１８を評価するため、トレンチ２０内の酸化膜１８上に多結晶シリコンを埋め込み、酸化膜１８の絶縁破壊耐圧を測定した。その結果、従来のトレンチ酸化膜の絶縁破壊耐圧が５～６Ｍ／Ｖ程度であったのに対し、本実施例の酸化膜１８の絶縁破壊耐圧は８～９Ｍ／Ｖ程度に改善されていた。この酸化膜１８の絶縁破壊耐圧は、通常の酸化膜の真性絶縁耐圧より１割強低下しているものの半導体素子を作製するには不具合を生じさせない程度に改善されている。

【００４９】

このように絶縁破壊耐圧が改善されているのは、トレンチ２０を酸化して酸化膜１６を形成し、トレンチ２０の底部及び角部の曲率を大きくしてから、トレンチ２０に新たな絶縁膜１８を形成したので、トレンチ２０の底部や角部で酸化膜１８が薄くならないからである。そして、酸化膜１６の形成に際して上述のように熱処理を行って、結晶欠陥の発生を抑制しているためである。

【００５０】

なお、本実施例では、酸化膜１８の形成後におけるトレンチ側壁表面の凹凸を２ｎｍ以下とすることができ、その表面移動度はプレーナ構造の半導体素子と同程度であった。

【００５１】

また、本実施例で使用したシリコン基板１０はエピタキシャル方法によって形成された基板である。しかし、これには限らず、実施例１同様に、水素熱処理により、その表面に十数μｍのデヌーディッド層を形成したシリコン基板や、酸素濃度が１．５×10^{18} ｃｍ$^{-3}$ より低いＣＺ基板やＦＺ基板及びＭＣＺ基板を使用しても同様な効果が認められた。しかし、酸素濃度が１．５×10^{18} ｃｍ$^{-3}$ 程度以上のＣＺ基板では、実施例１と同様に結晶欠陥の発生を充分に抑制することができなかった。

【００５２】

更に、酸化膜１６の形成における酸化温度は９５０℃以上であればよく、例えばドライ酸化方法や塩酸を添加したドライ酸化方法によって上記酸化膜１６を形成しても効果があった。

【００５３】

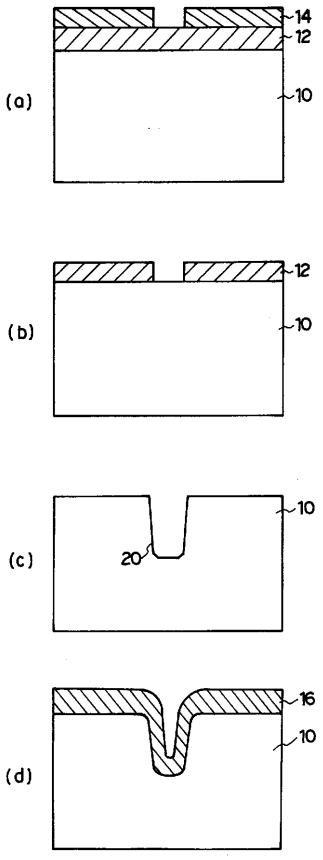
更に、熱処理雰囲気は、実施例１同様に、アルゴン以外に窒素、水素、ヘリウム、キセノン、クリプトンのいずれか、またはこれらの混合気体でも効果があった。

【図面の簡単な説明】

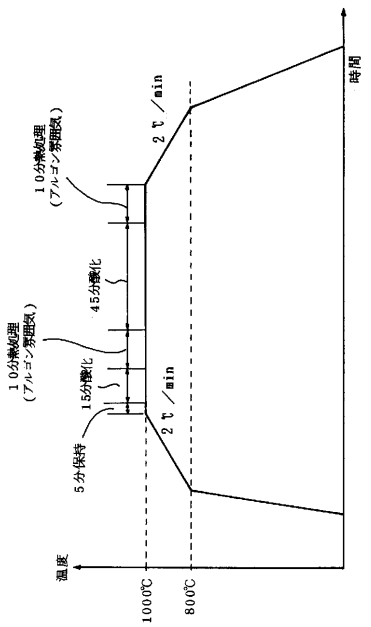
【図１】本発明の実施例１の半導体装置の製造工程におけるトレンチ形成工程及びその後の酸化工程を説明する図である。

【図２】本発明の実施例１及び実施例２のトレンチ形成工程後の酸化工程及び熱処理工程における時間と温度との関係を示す図である。
【図３】本発明の実施例１の方法及び従来方法によって作製したトレンチ部の酸化膜形成後の断面模式図である。
【図４】本発明の実施例２の半導体装置の製造工程におけるトレンチ形成工程及びその後の酸化工程を説明する図である。
【符号の説明】
１０　シリコン基板、１２、１６、１８　酸化膜、１４　レジスト、２０　トレンチ。

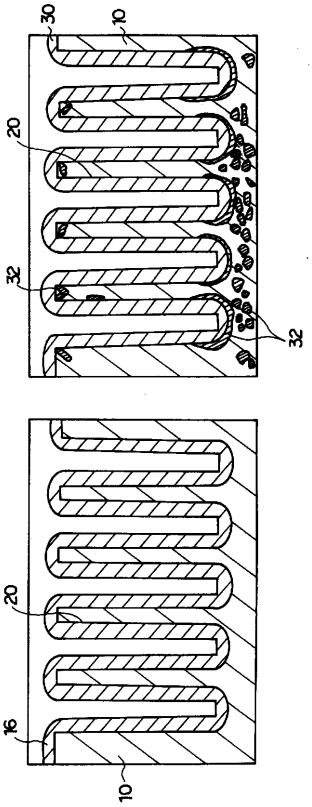
【図１】



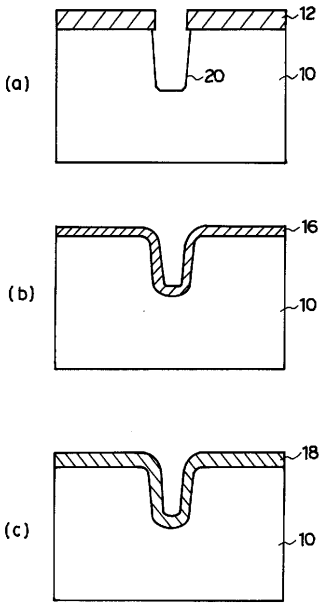
【図２】



【図３】



【図４】



フロントページの続き

(72)発明者　飯田　眞喜男
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内
(72)発明者　榊原　利夫
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内

審査官　松本　貢

(56)参考文献　特開昭６４－０７４７１９（ＪＰ，Ａ）
特開昭６４－０５９８４７（ＪＰ，Ａ）
特開平０４－１３９８１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/822
H01L 21/316
H01L 21/324
H01L 21/76
H01L 27/04