



(12)发明专利

(10)授权公告号 CN 104339868 B

(45)授权公告日 2016.08.31

(21)申请号 201410355480.3

CN 1186341 A, 1998.07.01,

(22)申请日 2014.07.24

US 2009/0237455 A1, 2009.09.24,

(30)优先权数据

CN 102317078 A, 2012.01.11,

2013-157117 2013.07.29 JP

审查员 吴辉

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 远藤航 高木诚 大村昌伸

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 宋岩

(51)Int.Cl.

B41J 2/14(2006.01)

(56)对比文件

US 2011/0234741 A1, 2011.09.29,

CA 2289828 A1, 2000.06.09,

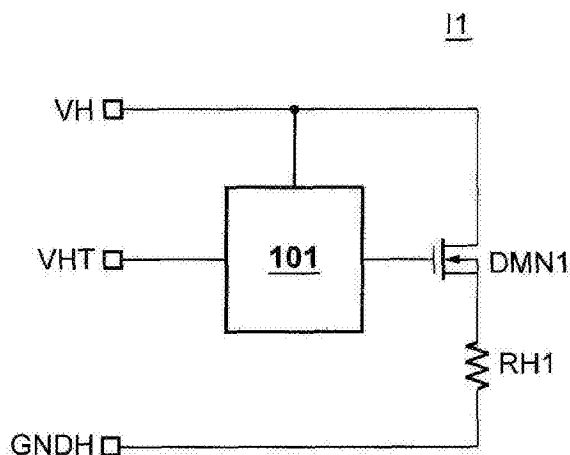
权利要求书2页 说明书8页 附图11页

(54)发明名称

打印元件基板、打印头和打印装置

(57)摘要

公开了打印元件基板、打印头和打印装置。打印元件基板包括：打印元件；具有漏极端子、源极端子和背栅端子的MOS晶体管，漏极端子连接到用于接受第一电压的第一电源节点，且源极端子和背栅端子连接到打印元件；和包括与第一电源节点不同的第二电源节点且被配置成向MOS晶体管的栅极端子供给第二电压的单元，其中，当第一电压不被供给第一电源节点时，所述单元控制栅极端子和漏极端子中的至少一个的电位以使得栅极端子和漏极端子之间的电位差变得比第二电压低。



1. 一种打印元件基板,包括:

打印元件;

具有漏极端子、源极端子和背栅端子的MOS晶体管,漏极端子连接到用于接受第一电压的第一电源节点,且源极端子和背栅端子连接到打印元件;和

包括与第一电源节点不同的第二电源节点且被配置成向MOS晶体管的栅极端子供给第二电压的单元,

其中,当第一电压不被供给第一电源节点时,所述单元控制栅极端子和漏极端子中的至少一个的电位以使得栅极端子和漏极端子之间的电位差变得比第二电压低。

2. 根据权利要求1所述的基板,其中

所述单元还包括

连接到第二电源节点并且被配置成向MOS晶体管的栅极端子输出第二电压的信号的电平移器,

配置成接受第三电压的第三电源节点,和

配置成利用第三电压来生成待供给第二电源节点的电压的电压生成单元,并且

当第一电压不被供给第一电源节点时,所述被配置成向MOS晶体管的栅极端子供给第二电压的单元控制电压生成单元进入睡眠状态。

3. 根据权利要求2所述的基板,其中

所述被配置成向MOS晶体管的栅极端子供给第二电压的单元包括n沟道晶体管和电阻元件,

n沟道晶体管的漏极端子连接到第三电源节点,并且n沟道晶体管的栅极端子连接到第一电源节点,并且

电阻元件布置在接地节点和n沟道晶体管的源极端子之间。

4. 根据权利要求1所述的基板,其中

所述单元包括配置成将第一电源节点和第二电源节点相互连接的二极管。

5. 根据权利要求4所述的基板,其中

第二电源节点连接到MOS晶体管的栅极端子。

6. 根据权利要求1所述的基板,其中

所述单元包括

连接到第二电源节点且被配置成向MOS晶体管的栅极端子输出第二电压的信号的电平移器,

配置成接受第三电压的第三电源节点,和

配置成利用第三电压来生成待供给第二电源节点的电压的电压生成单元,

其中,所述被配置成向MOS晶体管的栅极端子供给第二电压的单元包括配置成将第一电源节点和第三电源节点相互连接的二极管。

7. 根据权利要求1所述的基板,其中

所述单元包括配置成将第一电源节点和第二电源节点相互连接的控制晶体管,并且

当第一电压不被供给时,所述单元将控制晶体管控制成是导通的。

8. 根据权利要求7所述的基板,其中

所述单元包括n沟道晶体管和电阻元件,

- n沟道晶体管的源极端子连接到接地节点，
n沟道晶体管的栅极端子连接到第一电源节点，并且
电阻元件布置在第二电源节点和n沟道晶体管的漏极端子之间。
9. 根据权利要求1所述的基板，其中
MOS晶体管作为源极跟随器工作。
10. 根据权利要求1所述的基板，还包括
具有连接到打印元件的漏极端子和连接到接地节点的源极端子的第二MOS晶体管。
11. 根据权利要求1所述的基板，其中
当第一电压被供给时，所述单元向MOS晶体管的栅极端子输出使MOS晶体管不导通的非活动信号。
12. 根据权利要求1所述的基板，其中
MOS晶体管由DMOS晶体管形成。
13. 根据权利要求1所述的基板，其中，打印元件基板包括多个打印元件。
14. 根据权利要求1所述的基板，其中
具有第一导电类型的第一半导体区设置在基板中，
具有第二导电类型的第二半导体区设置在第一半导体区中，
漏极端子的具有第一导电类型的漏极半导体区设置在第一半导体区中，
源极端子的具有第一导电类型的源极半导体区设置在第二半导体区中，
第一场区设置在漏极半导体区和源极半导体区之间，
栅极电极设置在第一半导体区的一部分上、第二半导体区的一部分上以及第一场区的一部分上。
15. 根据权利要求14所述的基板，其中
具有第二导电类型的背栅半导体区设置在第二半导体区中，并且
第二场区设置在源极半导体区和背栅半导体区之间。
16. 一种打印头，包括：
在权利要求1中限定的打印元件基板；和
被布置成对应于打印元件且被配置成响应于电流流过打印元件而排出墨的墨孔。
17. 一种打印装置，包括：
在权利要求16中限定的打印头；和
被配置成驱动打印头的打印头驱动器。

打印元件基板、打印头和打印装置

技术领域

[0001] 本发明涉及打印元件基板、打印头和打印装置。

背景技术

[0002] 在日本专利公开No.2002-355970和No.2010-155452中记载的喷墨打印装置各自包括用于在打印介质上进行打印的打印头。打印头包括打印元件基板。打印元件基板包括打印元件和驱动电路，该驱动电路包括用于驱动打印元件的驱动晶体管。用于向打印元件供给电力的电源线与驱动电路的电源线隔离。驱动晶体管被布置在打印元件和用于向打印元件供给电力的电源线之间。

[0003] 在日本专利公开No.2002-355970中记载的打印元件基板通过驱动晶体管的控制端子的电压，控制待施加于打印元件的电压。即使在用于向打印元件供给电力的电源线中发生电位变动，这种布置也降低电位变动对待施加于打印元件的电压的影响。

[0004] 当例如打印头未被适当地安装时，在电源电压被供给驱动电路的电源线的同时，没有电源电压可被供给用于向打印元件供给电力的电源线。

[0005] 在这种情况下，由于电源电压被供给到驱动电路，因此驱动电路能够向驱动晶体管的栅极输出预定电压。另一方面，由于没有电源电压被供给到用于向打印元件供给电力的电源线，因此驱动晶体管的漏极电位变得不定。当例如漏极电位为0[V]时，沟道电位也会变成0[V]。于是，在驱动晶体管的栅极和基板之间可能生成过电压，从而导致绝缘击穿。

发明内容

[0006] 本发明提供一种降低驱动晶体管中发生绝缘击穿的可能性的技术。

[0007] 本发明的一个方面提供一种打印元件基板，包括：打印元件；具有漏极端子、源极端子和背栅端子的MOS晶体管。漏极端子连接到用于接受第一电压的第一电源节点。源极端子和背栅端子连接到打印元件。基板包含包括与第一电源节点不同的第二电源节点并被配置成向MOS晶体管的栅极端子供给第二电压的单元。当第一电压不被供给第一电源节点时，所述单元控制栅极端子和漏极端子中的至少一个的电位以使得栅极端子和漏极端子之间的电位差变得比第二电压低。

[0008] 从参考附图对例证实施例的以下描述中，本发明的其它特征将变得清楚。

附图说明

[0009] 图1A和1B是用于说明打印装置的布置的例子的视图；

[0010] 图2A和2B是用于说明打印元件基板的一部分的布置和高击穿电压晶体管的布置的例子的视图；

[0011] 图3是用于说明控制打印晶体管的单元的布置的例子的电路图；

[0012] 图4A-4C是用于说明单元的布置的例子的电路图；

[0013] 图5是用于说明打印元件基板的布置的另一个例子的电路图；

- [0014] 图6是用于说明打印元件基板的布置的另一个例子的电路图；
[0015] 图7是用于说明单元的布置的另一个例子的电路图；
[0016] 图8A和8B是用于说明单元的布置的又一个例子的电路图；
[0017] 图9是用于说明打印元件基板的布置的又一个例子的电路图；及
[0018] 图10A和10B是用于说明单元的布置的又一个例子的电路图。

具体实施方式

[0019] (打印装置的布置的例子)

[0020] 将参考图1A和1B,描述喷墨打印装置的布置的例子。打印装置可以是只具有打印功能的单一功能打印机,或者具有诸如打印功能、传真功能和扫描仪功能之类的多种功能的多功能打印机。此外,打印装置可包括用于借助预定的打印方法来制造滤色器、电子器件、光学器件、微观结构等的制造装置。

[0021] 图1A示出展示打印装置PA的外观的例子的透视图。在打印装置PA中,用于排出墨以进行打印的打印头3被安装在滑架2上,且滑架2沿箭头A所示的方向往复运动以进行打印。打印装置PA经由片材供给机构5进给诸如打印纸之类的打印介质P,并把打印介质P输送到打印位置。在打印位置,打印装置PA通过把墨从打印头3排出到打印介质P上来进行打印。

[0022] 除了打印头3之外,在滑架2上还安装例如墨盒6。每个墨盒6储存待供给打印头3的墨。墨盒6可从滑架2拆卸。打印装置PA能够进行彩色打印。于是,在滑架2上安装包含洋红色(M)、青色(C)、黄色(Y)和黑色(K)墨的4个墨盒。这4个墨盒可独立拆卸。

[0023] 打印头3包括用于排出墨的墨孔(喷嘴),并且还包括具有对应于喷嘴的电热变换器(加热器)的打印元件基板。对每个加热器施加对应于打印信号的脉冲电压,且由被施加以脉冲电压的加热器生成的热能在墨中生成气泡,从而从对应于加热器的喷嘴排出墨。

[0024] 图1B举例说明打印装置PA的系统布置。打印装置PA包括接口1700、MPU 1701、ROM 1702、RAM 1703和门阵列1704。接口1700接收打印信号。ROM 1702存储待由MPU 1701执行的控制程序。RAM 1703保存诸如前述打印信号和供给打印头1708的打印数据之类的各种数据。门阵列1704控制向打印头1708的打印数据的供给,并且还控制在接口1700、MPU 1701和RAM 1703之间的数据传送。

[0025] 打印装置PA还包括打印头驱动器1705、马达驱动器1706和1707、输送马达1709和托架马达1710。打印头驱动器1705驱动打印头1708。马达驱动器1706和1707分别驱动输送马达1709和托架马达1710。输送马达1709输送打印介质。托架马达1710输送打印头1708。

[0026] 当打印信号被输入接口1700时,它可在门阵列1704和MPU 1701之间被转换成预定格式的打印数据。各机构根据打印数据进行期望的操作,从而进行上述打印。

[0027] (第一实施例)

[0028] 将参考图2A、2B、3和4A-4C,描述根据第一实施例的打印元件基板I1。图2A示出打印元件基板I1的电路布置的例子。打印元件基板I1包括加热器RH1、NMOS晶体管DMN1和单元101。加热器RH1是用于进行打印的打印元件,并被通电从而生成热能。晶体管DMN1具有连接到用于接受第一电压 V_H (例如24~32[V])的电源节点 N_{VH} 的漏极端子,和连接到加热器RH1的源极端子和背栅端子。晶体管DMN1可采用作为高击穿电压晶体管的DMOS晶体管的结构。注意在本说明书中,除非另有说明,否则电压被定义为相对于接地节点的电位的电位差。接地

节点通常是连接到在电源的基准电位侧的端子的节点。

[0029] 图2B示出作为用作晶体管DMN1的晶体管的例子n沟道DMOS晶体管的布置的例子。这里举例说明的DMOS晶体管的结构可以利用已知的半导体制造工艺形成。n型半导体区110形成在包括p型半导体区111的基板中,且p型半导体区109形成在n型半导体区110中。重掺杂p型区107bg形成在p型半导体区109中。重掺杂n型区108s也形成在p型半导体区109中。重掺杂n型区108d形成在n型半导体区110中远离p型半导体区109的位置。包括场氧化膜106和栅极绝缘膜的绝缘膜形成在基板上。此外,栅极电极形成在包括p型半导体区109和n型半导体区110之间的边界的区域上的栅极绝缘膜上。栅极电极的一部分形成于场氧化膜106上。端子102对应于源极端子,端子103对应于漏极端子,端子104对应于栅极端子,且端子105对应于背栅端子(体(bulk)端子)。

[0030] 利用这种布置,晶体管DMN1可作为高击穿电压晶体管运转。当例如对漏极端子施加第一电压 V_H 并对源极端子施加0V的电压时,对由p型半导体区109、重掺杂n型区108d和n型半导体区110形成的pn结二极管施加反向偏压。此时,n型半导体区110可降低从对应于漏极区的n型区108d到其中形成沟道的p型半导体区109的电场。换句话说,可以使包括p型半导体区109和n型半导体区110之间的边界的区域上的电位接近于0V。于是,即使对栅极端子供给接近于0V的电压,在栅极电极和沟道之间也不生成过电压。此外,场氧化膜106使得栅极电极和对应于漏极区的n型区108d之间的绝缘能够耐高电压。这种布置使得能够例如使源极和背栅与接地节点电隔离。当加热器电流流过加热器RH时,源极电位上升,从而防止栅极-源极绝缘击穿。

[0031] 单元101连接到晶体管DMN1的栅极端子和漏极端子,并且以多种工作模式控制晶体管DMN1。当向晶体管DMN1的漏极端子适当地供给电压 V_H 时,单元101在第一种模式中工作,并且能够向晶体管DMN1的栅极端子输出用于使晶体管DMN1导通的第二电压 V_{HTMH} (例如,24~32[V])。能够使晶体管DMN1导通的第二电压 V_{HTMH} 是对应于用于控制晶体管DMN1的信号的高电平(下面称为活动信号)的电压。可替代地,当未向漏极端子适当地供给电压 V_H 时,单元101在第二种模式中工作,并且减小栅极端子和漏极端子之间的电位差 V_{GD} 。更具体地,在本实施例中,单元101控制栅极端子的电位以使得电位差 V_{GD} 变得比第二电压 V_{HTMH} 低。

[0032] 当未适当地供给电压 V_H (例如电源节点 N_{VH} 电气浮动或者被供给比电压 V_H 低的电压)时,电源节点 N_{VH} 的电位和晶体管DMN1的漏极电位变得不定。例如,当漏极电位为0[V]时,沟道电位也为0[V]。另一方面,不论电源节点 N_{VH} 的电位如何,即使不供给电压 V_H ,也可能向晶体管DMN1的栅极供给第二电压 V_{HTMH} 。结果,在栅极和基板之间生成过电压,从而导致绝缘击穿。为了解决这个问题,当不供给电压 V_H 时,单元101在上述第二种模式中工作,并且控制栅极端子的电位以减小栅极端子和漏极端子之间的电位差 V_{GD} ,从而降低发生绝缘击穿的可能性。注意通过使栅极端子和漏极端子之间的电位差 V_{GD} 即使是稍微地比第二电压 V_{HTMH} 低,也能够降低发生绝缘击穿的可能性。当然,通过将栅极端子和漏极端子之间的电位差 V_{GD} 设定为0V,能够大幅降低发生绝缘击穿的可能性。

[0033] 注意,当不供给电压 V_H 时,电位通常可能经由基板变得等于接地节点的电位。不过,为了避免电位的不定状态,可利用例如具有大电阻值的元件来下拉并固定电源节点 N_{VH} 。

[0034] 图3示出单元101的电路布置的例子。单元101包括检测单元112、电压生成单元113、信号处理单元114和电平移位器115。检测单元112检测是否施加电压 V_H ,并且作为用于

监测电源节点 N_{VH} 的电位的监测器单元运转。电压生成单元113接受第三电压VHT(例如,24~32[V]),并基于检测单元112的输出(即,监测器结果),利用电压VHT来生成电压VHTMH。信号处理单元114处理来自打印装置的主体的图像信号和控制信号。作为逻辑电源电压的电压VDD(例如,3.3[V])被供给信号处理单元114。信号处理单元114基于打印数据,经由各电平移位器115向各晶体管MN输出信号,从而驱动各加热器RH。电平移位器115被供给电压VDD和VHTMH,并进行来自信号处理单元114的信号的从电压VDD的电位电平到电压VHTMH的电位电平的电平移位以输出结果信号。

[0035] 图4A示出检测单元112的布置的例子。检测单元112能够利用例如NMOS晶体管MN1以及电阻元件R1和R2形成。晶体管MN1以及电阻元件R1和R2被布置成形成电源节点 N_{VH} 和接地节点之间的电流路径。晶体管MN1的栅极连接到电源节点 N_{VH} 。利用这种布置,检测单元112输出依电源节点 N_{VH} 的电位而定的、电阻元件R1和R2之间的节点的电位。

[0036] 图4B示出电压生成单元113的布置的例子。检测单元112的OUT节点连接到电压生成单元113的IN节点。电压生成单元113能够利用电阻元件R3~R7、NMOS晶体管MN2和PMOS晶体管MP1形成。电阻元件R3和R4以及晶体管MN2被布置成形成电源节点 N_{VHT} 和接地节点之间的电流路径。晶体管MP1及电阻元件R5和R6被布置成形成电源节点 N_{VHT} 和接地节点之间的电流路径。晶体管MN3和电阻元件R7被布置成形成电源节点 N_{VHT} 和接地节点之间的电流路径。此外,电阻元件R3和R4之间的节点连接到晶体管MP1的栅极。电阻元件R5和R6之间的节点连接到晶体管MN3的栅极。利用这种布置,电压生成单元113输出依晶体管MN2的栅极的电位(即,检测单元112的输出)而定的、晶体管MN3和电阻元件R7之间的节点的电位。

[0037] 在以上的布置中,当供给电压VH时,电压生成单元113接受检测单元112的输出,并输出电压VHTMH。另一方面,当不供给电压VH时,使晶体管MN1不导通,并且检测单元112的输出变成0[V],从而将电压生成单元113的输出设定为0[V]。注意,结果,不向电平移位器115供给电压VHTMH,从而电平移位器115进入睡眠状态。

[0038] 图4C示出电平移位器115的布置的例子。电平移位器115能够利用反相器INV1和INV2、NMOS晶体管MN4和MN5、和PMOS晶体管MP2~MP5形成。反相器INV1接受信号处理单元114的输出,并将其输出到反相器INV2。NMOS晶体管MN4和MN5以及PMOS晶体管MP2~MP5形成用于接受反相器INV1和INV2的输出并进行来自信号处理单元114的信号的电位电平的电平移位的电路单元。更具体地,晶体管MP5、MP2和MN4被布置成形成电压VHTMH的电源节点 N_{VHTMH} 和接地节点之间的电流路径。晶体管MP4、MP3和MN5被布置成形成电压VHTMH的电源节点 N_{VHTMH} 和接地节点之间的电流路径。晶体管MP2和MN4的栅极接受反相器INV1的输出。晶体管MP3和MN5的栅极接受反相器INV2的输出。此外,晶体管MP2和MN4之间的节点连接到晶体管MP4的栅极。晶体管MP3和MN5之间的节点连接到晶体管MP5的栅极。

[0039] 当供给电压VH时,电压生成单元113将电压VHTMH供给电平移位器115,从而电平移位器115进入工作状态,并进行来自信号处理单元114的活动信号的从电压VDD的电位电平到电压VHTMH的电位电平的电平移位以输出结果信号。即,当供给电压VH时,包括电平移位器115的单元101在上述第一种模式中工作,并且能够向栅极端子输出使晶体管DMN1导通的活动信号。电平移位器115还能够基于来自信号处理单元114的信号输出非活动信号(用于控制晶体管DMN1的信号的低电平)。即,当供给电压VH时,除了第一种模式之外,单元101还可具有向栅极端子输出使晶体管DMN1不导通的非活动信号的第三种模式。

[0040] 另一方面,当不供给电压 V_H 时,电压生成单元113不向电平移位器115供给电压 V_{HTMH} 。于是,电平移位器115处于睡眠状态,不进行电平移位以输出0[V]。结果,晶体管 $DMN1$ 的栅极电位变成0[V]。即,包括电平移位器115的单元101在第二种模式中工作,在第二种模式中,使晶体管 $DMN1$ 的栅极-漏极电位差 V_{GD} 比接地电平与电压 V_{HTMH} 的电位电平之间的电位差低。

[0041] 本实施例有利于防止当不向加热器 $RH1$ 和晶体管 $DMN1$ 供给电压 V_H 时的晶体管 $DMN1$ 的绝缘击穿。更具体地,当不供给电压 V_H 时,单元101使晶体管 $DMN1$ 的栅极-漏极电位差 V_{GD} 比电压 V_{HTMH} 低。在本实施例中,单元101通过使晶体管 $DMN1$ 的栅极电位接近于漏极电位来降低电位差 V_{GD} ,从而防止由在栅极和基板之间生成的过电压引起的绝缘击穿。

[0042] 在本实施例中,检测单元112作为用于控制晶体管 $DMN1$ 的栅极端子的电压的控制单元运转。注意,作为单元101的组件,上面例示出检测单元112、电压生成单元113和电平移位器115。不过,本发明并不局限于它们,并且各组件只需要采用具有类似功能的布置。

[0043] (第二实施例)

[0044] 将参考图5-7,描述根据第二实施例的打印元件基板 $I2$ 。在上述第一实施例中,为了简单起见,例示出其中布置一个加热器 $RH1$ 和一个NMOS晶体管 $DMN1$ 的布置。不过,本发明并不局限于此。例如,在打印元件基板中,可以布置多个加热器和分别对应于加热器的多个晶体管。打印元件基板 $I2$ 与第一实施例的打印元件基板 $I1$ 的不同之处在于对应于每个加热器布置两个晶体管。

[0045] 图5示出打印元件基板 $I2$ 的布置的例子。打印元件基板 $I2$ 包括多个加热器 $RH1k$ ($RH11 \sim RH1m$),多个NMOS晶体管 $DMN1k$ ($DMN11 \sim DMN1m$),和多个NMOS晶体管 $MN1k$ ($MN11 \sim MN1m$) ($k=1 \sim m$)。每个晶体管 $MN1k$ 是用于驱动对应加热器 $RH1k$ 的晶体管。每个晶体管 $DMN1k$ 是用于向对应的加热器 $RH1k$ 供给恒定电流的晶体管。此外,打印元件基板 $I2$ 包括用于控制晶体管 $DMN1k$ 和 $MN1k$ 的单元116。向单元116供给电压 V_H 和 V_{HT} 。单元116对应于前述单元101。类似于第一实施例,当不供给电压 V_H 时,单元116控制每个晶体管 $DMN1k$ 以使得晶体管的栅极-漏极电位差 V_{GD} 变低。

[0046] 图6更详细地示出单元116的布置的例子。单元116包括前述检测单元112,前述信号处理单元114,对应于各个晶体管 $MN1k$ 布置的多个电平移位器115,第一电压生成单元117和第二电压生成单元118。

[0047] 第一电压生成单元117进行和前述电压生成单元113的操作相同的操作,并且基于检测单元112的输出,利用电压 V_{HT} 生成电压 V_{HTMH} (例如,24~32[V])。生成的电压 V_{HTMH} 经由电源节点 $N_{V_{HTMH}}$ 被供给每个晶体管 $DMN1k$ 的栅极。这使每个晶体管 $DMN1k$ 进行源极跟随器操作,从而源极电位被固定在栅极电位。于是,即使在电压 V_H 的电源节点 N_{V_H} 发生电位变动,也能够向加热器 $RH1k$ 供给恒定的电流。

[0048] 图7示出电压生成单元117的布置的例子。除了图4B中所示的电压生成单元113的布置之外,还利用NMOS晶体管 $MN6$ 形成电压生成单元117。更具体地,晶体管 $MN6$ 被布置在晶体管 $MN2$ 和接地节点之间,并且将栅极连接到电源节点 $N_{V_{DD}}$ 。

[0049] 电压生成单元118连接到电压 V_{HT} 的电源节点 $N_{V_{HT}}$,并且利用电压 V_{HT} 生成电压 V_{HTML} (例如,3~5[V])。生成的电压 V_{HTML} 经由电源节点 $N_{V_{HTML}}$ 被供给每个电平移位器115。这使每个电平移位器115进行来自信号处理单元114的信号的电平移位。信号处理单元114基

于打印数据,经由每个电平移位器115向每个晶体管MN1k输出信号。响应于此,每个加热器RH1k被驱动。

[0050] 利用上述布置,当适当地供给电压 V_H 和 V_{DD} 时,电压生成单元117接受检测单元112的输出,以使晶体管MN2导通并且还使晶体管MN6导通。结果,使晶体管MP1和MN3也导通,从而生成电压 V_{HTMH} 。

[0051] 另一方面,当未适当供给电压 V_H 和 V_{DD} 中的至少一个时,使晶体管MN2或MN6不导通。于是,晶体管MP1的栅极电位变得等于电压 V_{HT} ,从而使晶体管MP1不导通。结果,晶体管MN3的栅极电位变得等于接地节点的电位,从而使晶体管MN3不导通。电压生成单元117不生成电压 V_{HTMH} ,并且输出0[V]。

[0052] 根据本实施例,当供给电压 V_H 和 V_{DD} 时,电压生成单元117向每个晶体管DMN1k供给电压 V_{HTMH} 的电位电平的活动信号。结果,晶体管DMN1k向加热器RH1k供给恒定电流。

[0053] 另一方面,当未供给电压 V_H 和 V_{DD} 中的至少一个时,电压生成单元117输出0[V]。这产生比电压 V_{HTMH} 低的每个晶体管DMN1k的栅极-漏极电位差 V_{GD} 。于是,在本实施例中,也能够获得与第一实施例中的效果相同的效果。此外,因为晶体管MN2和MN6中的至少一个以及晶体管MP1和MN3不导通,进而电源节点 N_{VHT} 和接地节点之间的电流路径被切断,所以这种布置有利于降低电力消耗。另外,由于当电压生成单元117输出0[V]时使每个晶体管DMN1k不导通,因此能够防止每个加热器RH1k的误操作和由误操作导致的对加热器的损伤。

[0054] 在本实施例中,检测单元112作为用于控制晶体管DMN1的栅极端子的电压的控制单元运转。注意,上面已经举例说明单元116的电压生成单元117的布置。不过,本发明并不局限于此,并且只需要采用具有类似功能的布置即可。

[0055] (第三实施例)

[0056] 将参考图8A和8B来描述第三实施例。第三实施例和第一实施例的不同之处在于在单元101'中替代检测单元112使用二极管D1,如图8A中例示。二极管D1被布置在电源节点 N_{VHT} 和 N_{VH} 之间以使得阳极被设定在 N_{VHT} 侧而阴极被设定在 N_{VH} 侧。当电源节点 N_{VH} 的电位变得比电源节点 N_{VHT} 的电位低并且节点之间的电位差变成例如0.6[V]或更高时,二极管D1使电流从电源节点 N_{VHT} 流向电源节点 N_{VH} 。即,当不供给电压 V_H 时,电源节点 N_{VHT} 经由二极管D1向电源节点 N_{VH} 供给电压。这升高电源节点 N_{VH} 的电位以使晶体管DMN1的漏极电位接近于栅极电位,从而减小栅极-漏极电位差 V_{GD} 。

[0057] 图8B示出电压生成单元113'的布置的例子。利用上述图4B中所示的电压生成单元113的布置的一部分,可形成电压生成单元113'。更具体地,布置电阻元件R5和R6以形成电源节点 N_{VHT} 和接地节点之间的电流路径,并且布置晶体管MN3和电阻元件R7以形成电源节点 N_{VHT} 和接地节点之间的电流路径。在本布置中,电压 V_{HT} 的借助电阻元件R5和R6的分压电压被输入晶体管MN3的栅极,从而输出依该分压电压而定的电压 V_{HTMH} 。

[0058] 根据本实施例,即使不供给电压 V_H ,电流也能够流过加热器RH1。不过,当电流流过加热器RH1时,晶体管DMN1的源极电位升高,从而防止由在栅极和基板之间生成的过电压引起的绝缘击穿。即,在其中当不供给电压 V_H 时使晶体管DMN1的漏极电位接近于栅极电位的实施例中,也能够获得和第一实施例中的效果相同的效果。

[0059] 根据本实施例的用于晶体管DMN1的控制方法可适用于第二实施例的布置。例如,像图9中所示的打印元件基板I3那样,代替检测单元112和电压生成单元117,可以使用二极

管D1。在这种布置中,当不供给电压 V_H 时,晶体管DMN1的漏极电位变得接近于栅极电位,从而减小栅极-漏极电位差 V_{GD} 。此外,如图9中所示,可以省略电压生成单元117。在这种布置中,电源节点 N_{VHT} 向晶体管DMN1k的栅极端子供给电压 V_{HT} 。

[0060] 在本实施例中,二极管D1作为用于控制晶体管DMN1的漏极端子的电压的控制单元运转。注意,在本实施例中,示出一个二极管D1。不过,可以采用包括两个或更多个二极管的布置,并且可根据芯片布局分布并布置这些二极管。为了减轻电压 V_{HT} 的电源的负担,可串联地布置两个或更多的二极管,以抑制向电源节点 N_{VH} 的电压供给能力。当电压 V_H 和 V_{HT} 几乎彼此相等时,可在电源节点 N_{VHT} 和 N_{VH} 之间布置二极管D1以使得阴极被设置在 N_{VHT} 侧而阳极被设置在 N_{VH} 侧。通过以这种方式连接二极管D1,二极管D1的击穿电压(例如,7V)可用作阈值。此外,上面已经举例说明利用二极管D1的布置。不过,本发明并不局限于此,且只需要采用具有类似功能的布置即可。例如,代替二极管D1,可以使用连接二极管的晶体管(连接晶体管)。这种情况下,当电源节点 N_{VHT} 和 N_{VH} 之间的电位差变得比晶体管的阈值电压高时,电源节点 N_{VHT} 向电源节点 N_{VH} 供给电压。

[0061] (第四实施例)

[0062] 将参考图10A和10B描述根据第四实施例的打印元件基板I4。图10A示出打印元件基板I4的布置的例子。本实施例中的单元101A的布置和第一或第三实施例中的单元的布置的不同之处在于检测单元112'被用于基于电源节点 N_{VH} 的电位来控制NMOS晶体管MN7。更具体地,布置晶体管MN7以形成电源节点 N_{VH} 和电源节点 N_{VHT} 之间的电流路径。晶体管MN7的栅极接受检测单元112'的输出。检测单元112'只需要被配置成当不供给电压 V_H 时使晶体管MN7导通。注意,尽管为了简单起见,示出一个加热器RH1k、一个晶体管DMN1k和一个晶体管MN1k,不过在本实施例中,它们的数量并不局限于此。

[0063] 图10B示出检测单元112'的布置的例子。例如利用电阻元件R1和晶体管MN8,可以形成检测单元112'。利用这种布置,当供给电压 V_H 时,检测单元112'输出借助电阻元件R1和晶体管MN8的分压电压。电阻元件R1和晶体管MN8只需要被设计成使得分压电压使晶体管MN7不导通,例如使得分压电压几乎等于0[V]。

[0064] 另一方面,当不供给电压 V_H 时,检测单元112'的输出变得等于电源节点 N_{VHT} 的电位,从而使晶体管MN7导通。这使电源节点 N_{VH} 和 N_{VHT} 相互电连接,进而电源节点 N_{VHT} 经由晶体管MN7向电源节点 N_{VH} 供给电压。结果,电源节点 N_{VH} 的电位升高,且晶体管DMN1的漏极电位变得接近于栅极电位,从而减小栅极-漏极电位差 V_{GD} 。

[0065] 注意,由于可向晶体管MN7和MN8施加电压 V_H 和电压 V_{HT} 或者接近于它们的电压,因此优选使用上述高击穿电压晶体管。其它组件和各前述实施例中的组件相同,将省略其描述。

[0066] 如上所述,在本实施例中,也能够获得和第三实施例中的效果相同的效果。本实施例有利于防止当不供给电压 V_H 时的晶体管DMN1k的绝缘击穿。

[0067] 尽管上面已经描述4个实施例,不过本发明并不局限于此。可根据目的、状态、应用、功能和其它规格,适当地改变实施例,故本发明也可通过其他实施例实现。例如,在各前述实施例中,已经举例说明利用加热器(电热变换器)作为打印元件的布置,不过,可以采用利用压电元件的打印方法或者其他已知的打印方法。此外,例如,可根据规格和应用,改变各参数(电压值等),且各单元可被相应地改变以便适当地工作。

[0068] 尽管已经参考例证实施例描述本发明,不过,应理解本发明并不局限于公开的例证实施例。随附权利要求的范围应被赋予最宽广的解释,以包含所有这样的修改以及等同的结构和功能。

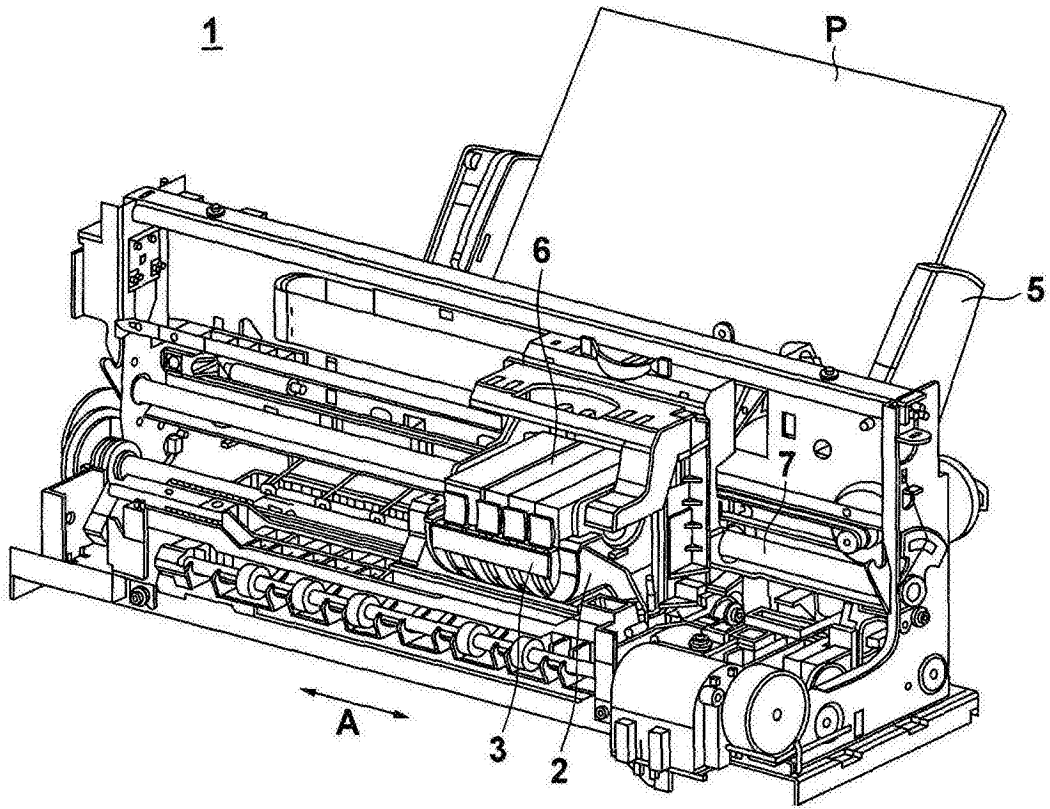


图1A

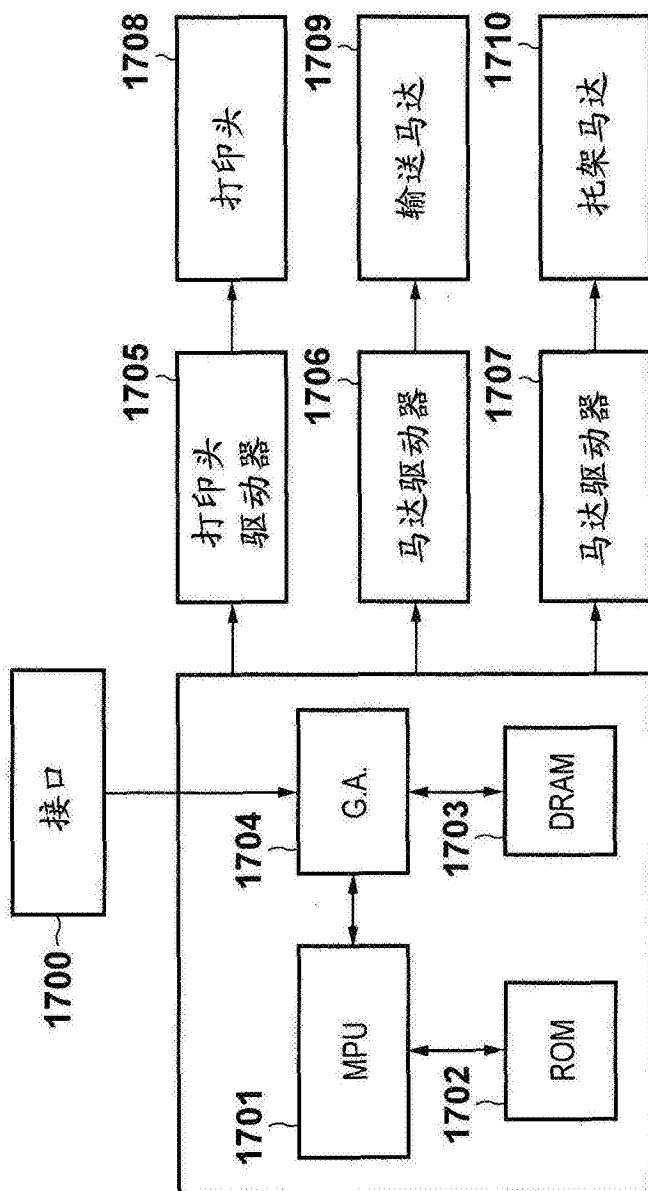


图1B

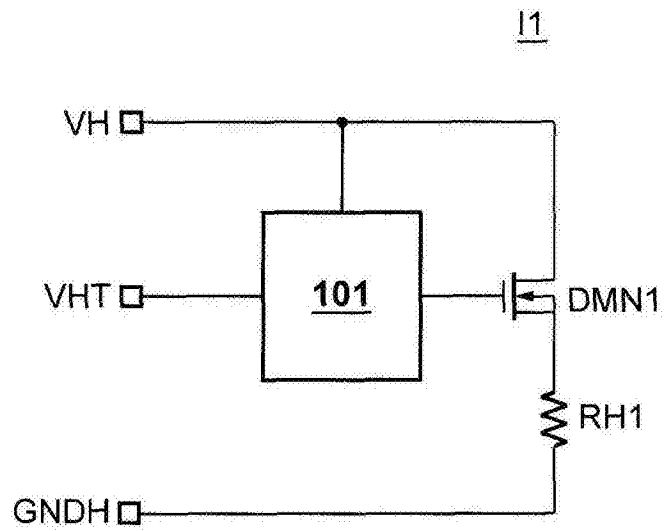


图2A

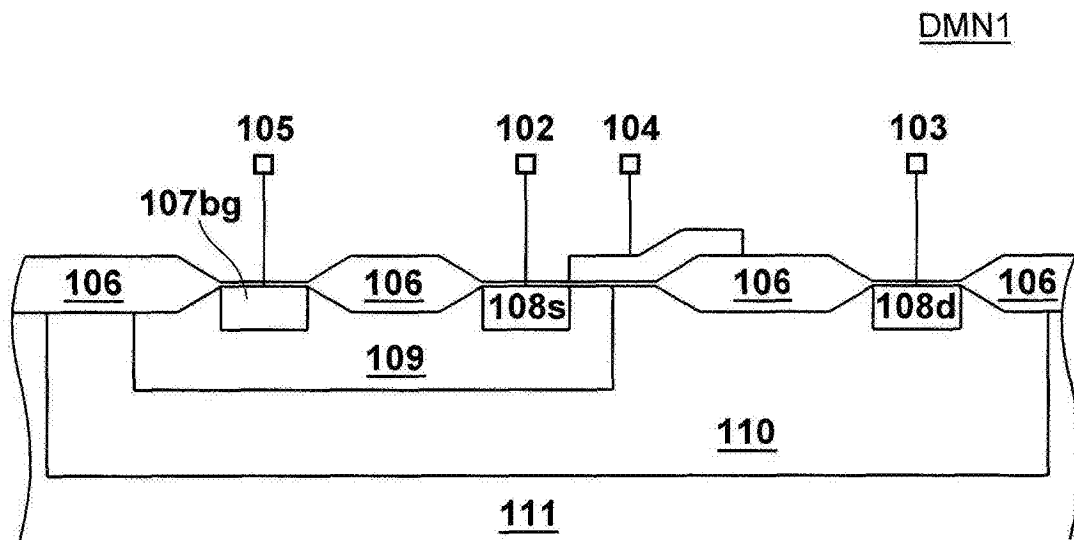


图2B

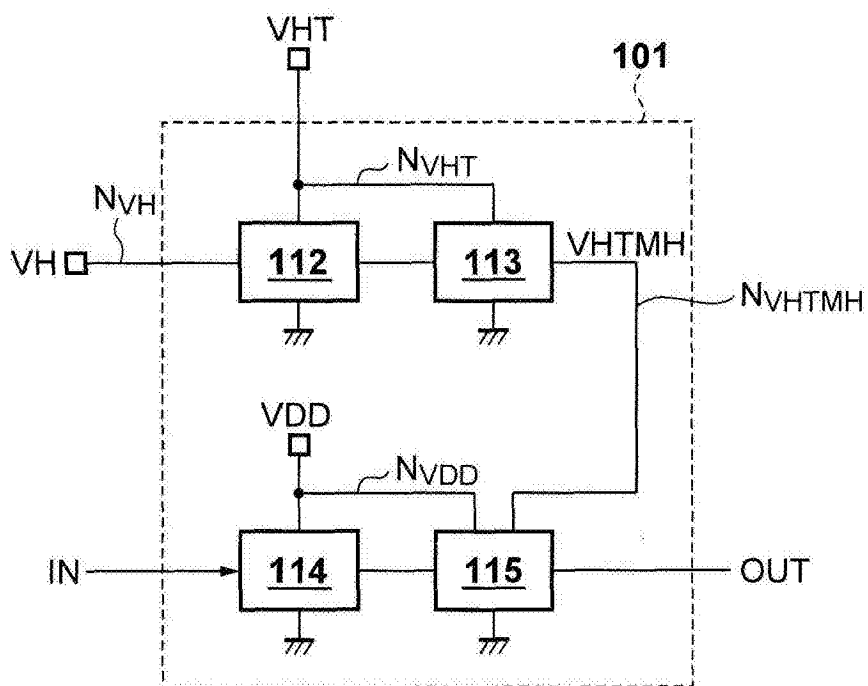


图3

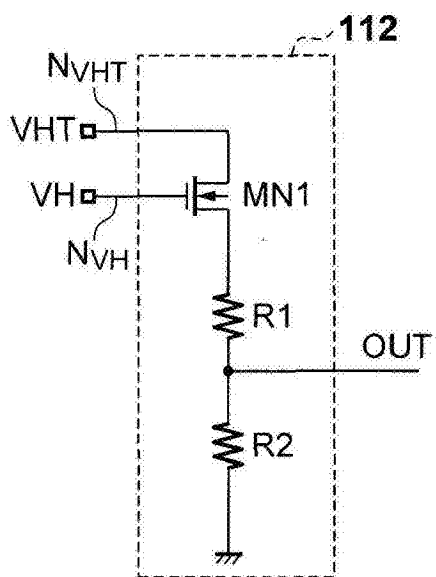


图4A

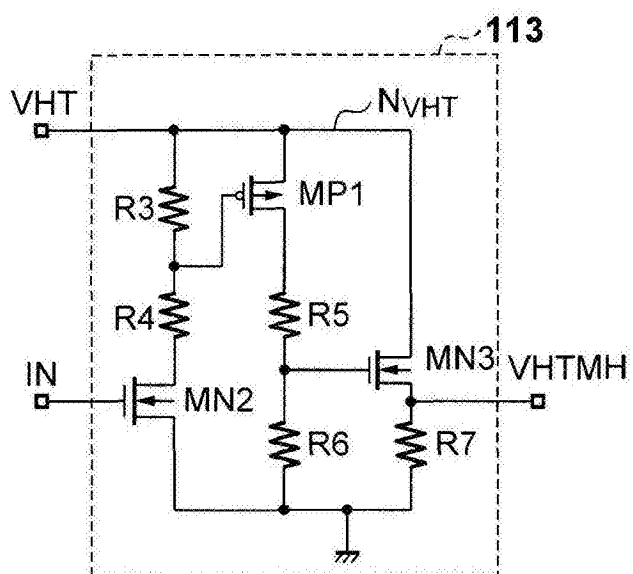


图4B

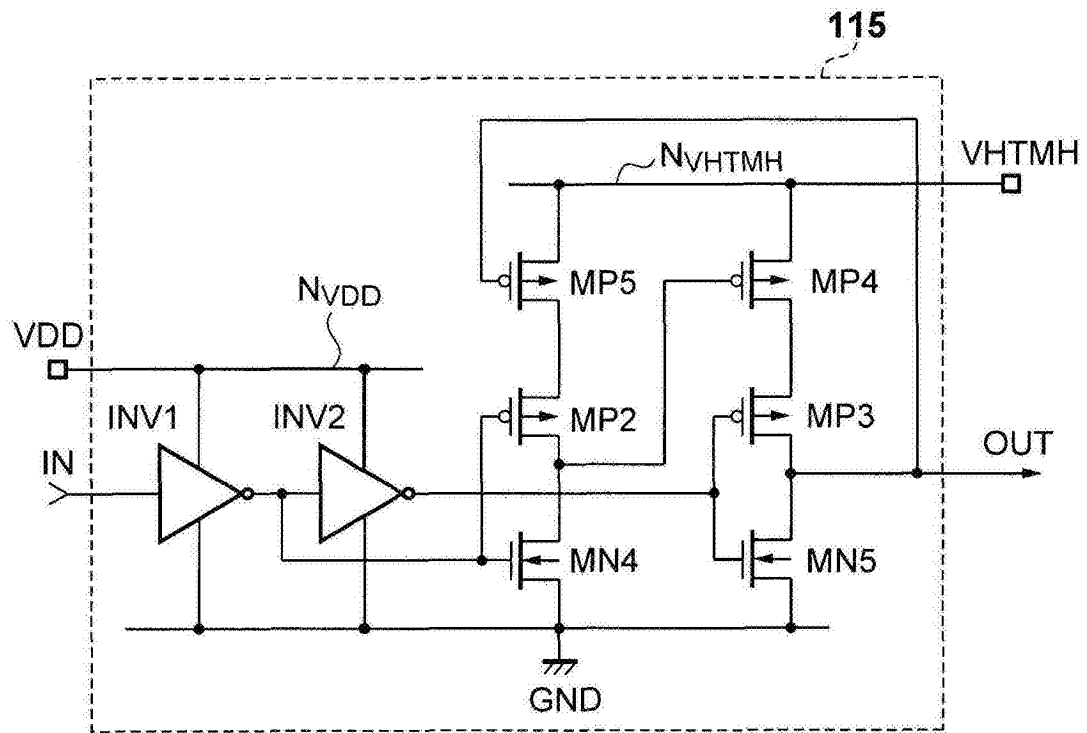


图4C

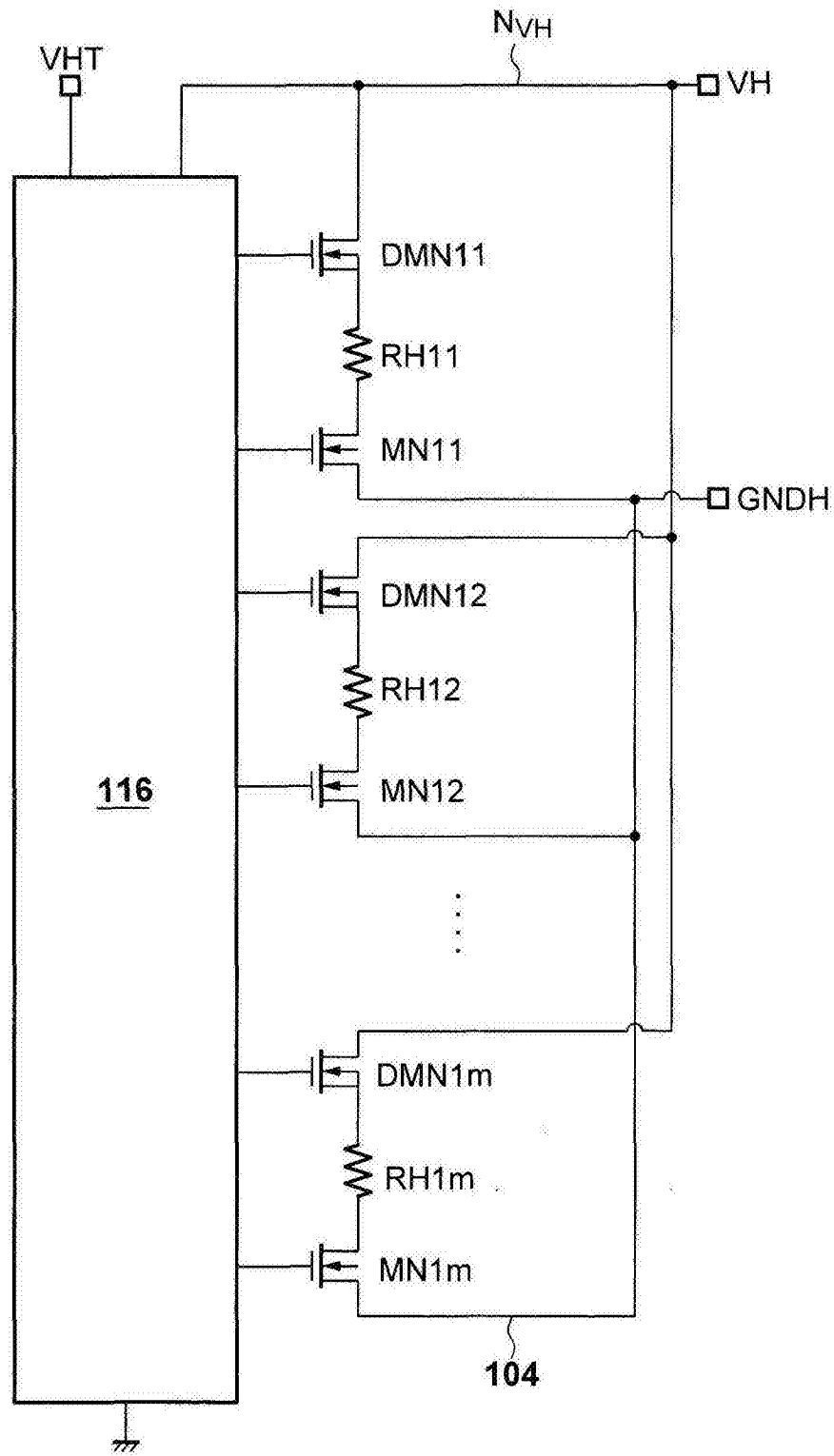


图5

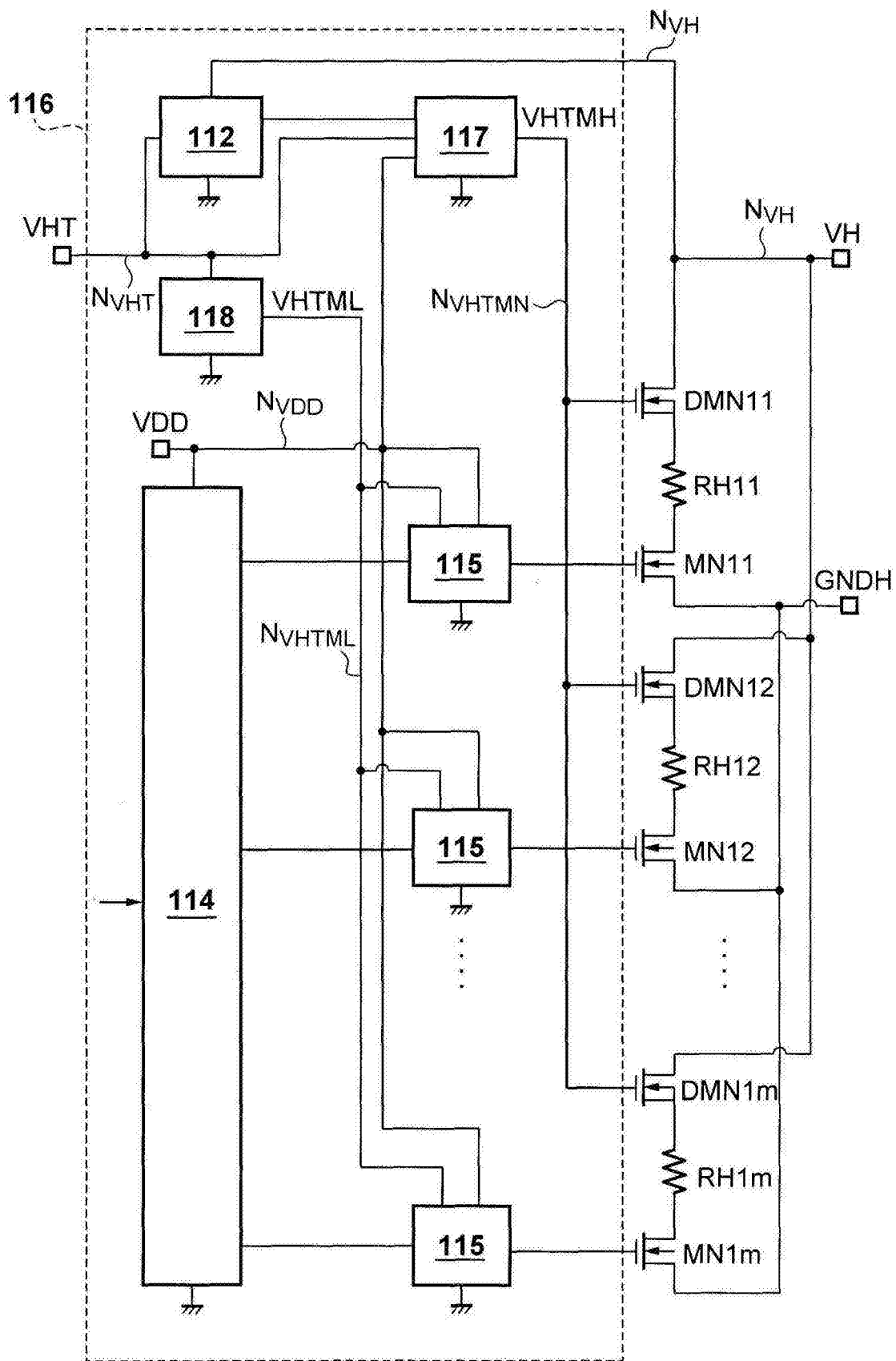


图6

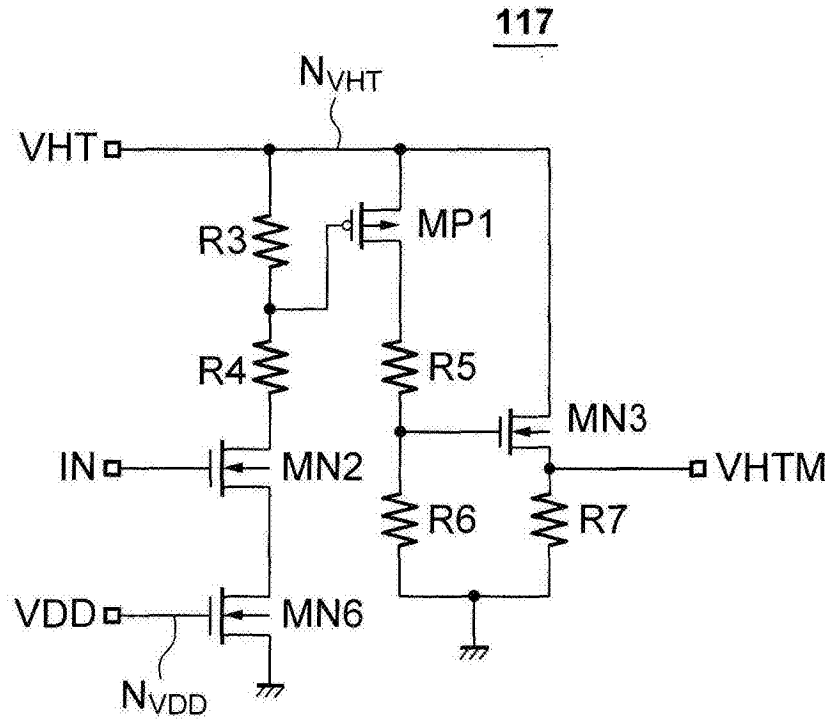


图7

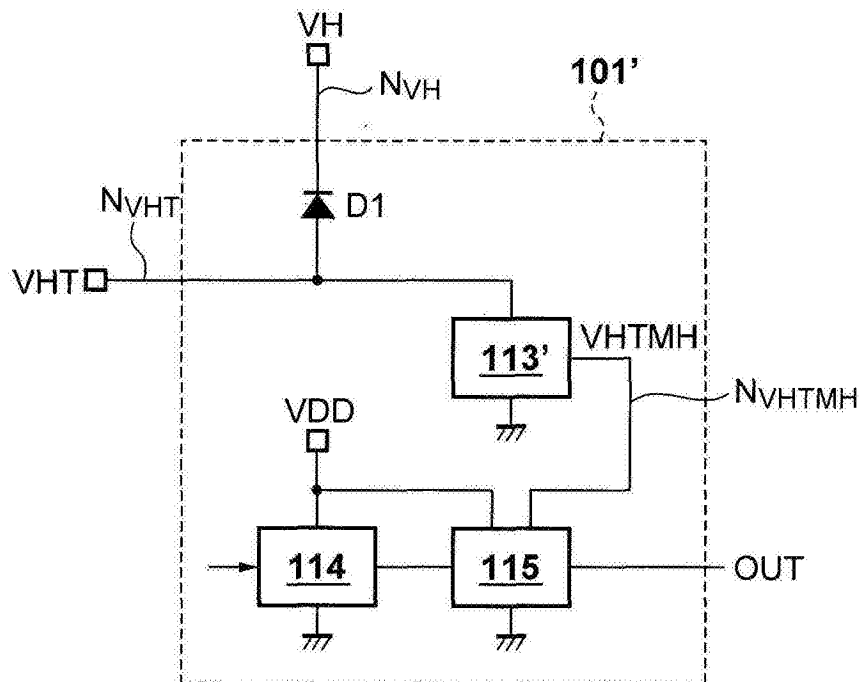


图8A

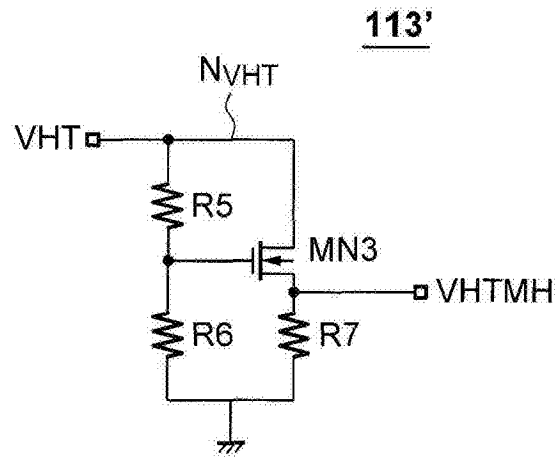


图8B

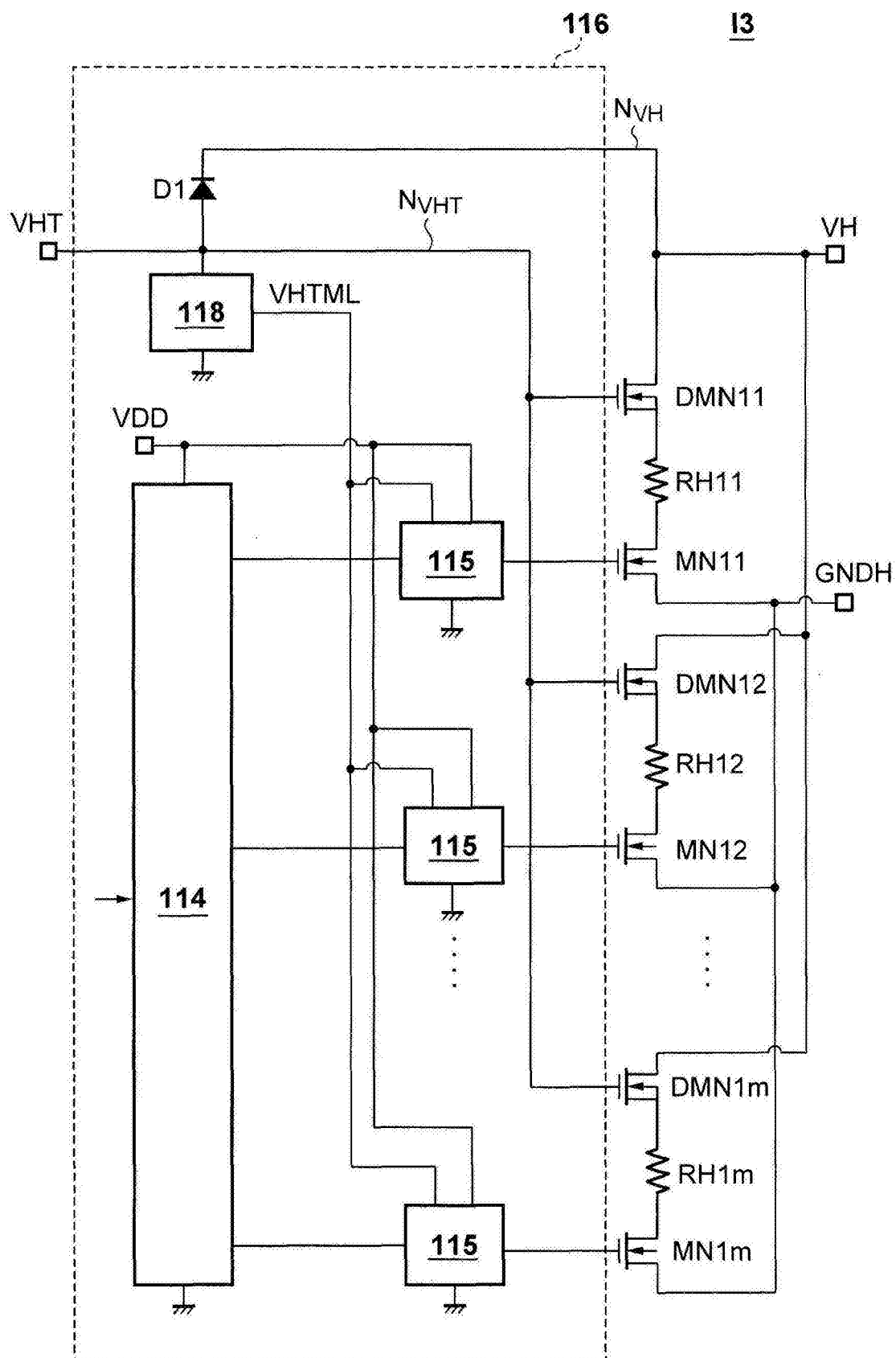


图9

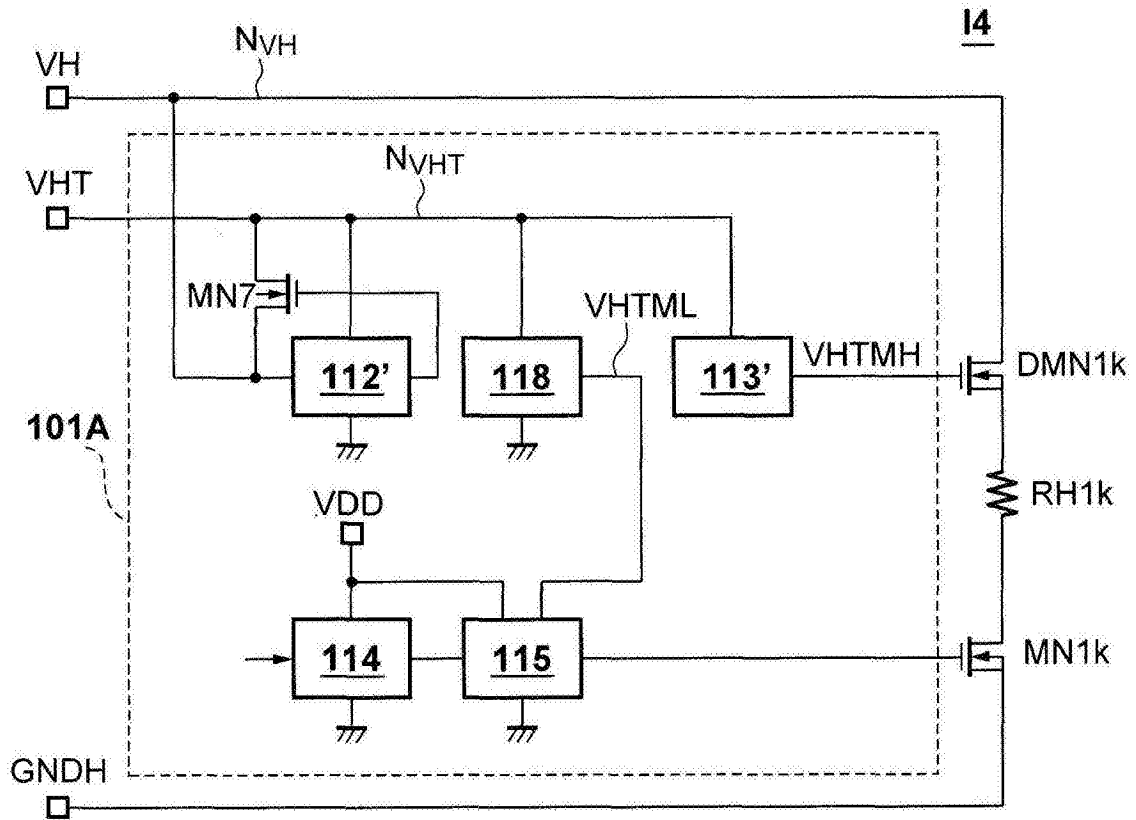


图10A

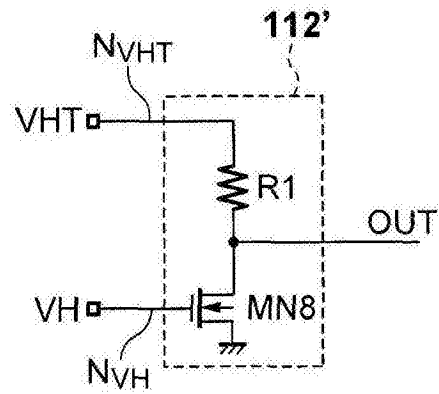


图10B