

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7685580号
(P7685580)

(45)発行日 令和7年5月29日(2025.5.29)

(24)登録日 令和7年5月21日(2025.5.21)

(51)国際特許分類		F I			
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67	1 0 3 C	
G 0 9 F	9/30 (2006.01)	H 1 0 D	30/67	1 0 3 E	
H 1 0 K	59/12 (2023.01)	H 1 0 D	30/67	1 0 3 B	
		G 0 9 F	9/30	3 3 8	
		H 1 0 K	59/12		
請求項の数 20 (全36頁)					
(21)出願番号	特願2023-192686(P2023-192686)	(73)特許権者	501426046	エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル、ヨンドゥンポング、 ヨウィーテロ 1 2 8 110002077 園田・小林弁理士法人 (72)発明者 チェ, ソンジュ 大韓民国、1 0 8 4 5 キョンギード、 パジューシ、ウーロンーミョン、エルジ ーロ 2 4 5 (72)発明者 ソル, ヒョンジュ 大韓民国、1 0 8 4 5 キョンギード、 パジューシ、ウーロンーミョン、エルジ ーロ 2 4 5 最終頁に続く	
(22)出願日	令和5年11月13日(2023.11.13)	(74)代理人	110002077		
(65)公開番号	特開2024-92955(P2024-92955A)				
(43)公開日	令和6年7月8日(2024.7.8)				
審査請求日	令和5年11月13日(2023.11.13)				
(31)優先権主張番号	10-2022-0184668				
(32)優先日	令和4年12月26日(2022.12.26)				
(33)優先権主張国・地域又は機関	韓国(KR)				

(54)【発明の名称】 薄膜トランジスタ及びそれを含む表示装置

(57)【特許請求の範囲】

【請求項1】

アクティブ層、および前記アクティブ層と少なくとも一部重畳するゲート電極を含み、
前記アクティブ層が、
第1アクティブ層、
前記第1アクティブ層上の第2アクティブ層、
チャネル部、
前記チャネル部の第1の側と接触する第1連結部、および
前記チャネル部の第2の側と接触する第2連結部を含み、
前記チャネル部は、
平面図を基準に、前記第1アクティブ層と前記第2アクティブ層が重畳する第1重畳
領域、および
平面図を基準に、前記第1アクティブ層と前記第2アクティブ層が重畳しない第1非
重畳領域を含み、
前記アクティブ層の前記チャネル部において、前記第1アクティブ層及び前記第2アク
ティブ層は、それぞれ、前記第1連結部から前記第2連結部まで続き、
前記第2アクティブ層は、前記第1アクティブ層よりも大きい移動度を有し、
前記第1アクティブ層が、前記チャネル部の前記第1非重畳領域に配置されない、薄膜
トランジスタ。

【請求項2】

前記チャンネル部の前記第 1 重畳領域が、前記第 1 連結部から前記第 2 連結部まで続く、請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記チャンネル部の前記第 1 非重畳領域が、前記第 1 連結部から前記第 2 連結部まで続く、請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記チャンネル部において、前記第 2 アクティブ層が、前記第 1 アクティブ層の上面を覆う、請求項 1 に記載の薄膜トランジスタ。

【請求項 5】

前記第 2 アクティブ層が、平面図を基準にして前記チャンネル部の領域に配置された、請求項 1 に記載の薄膜トランジスタ。

10

【請求項 6】

前記アクティブ層が、前記第 2 アクティブ層上の第 3 アクティブ層をさらに含み、前記第 3 アクティブ層は、前記チャンネル部において前記第 1 連結部から前記第 2 連結部まで続き、

前記第 3 アクティブ層は、前記第 2 アクティブ層よりも小さい移動度を有する、請求項 1 に記載の薄膜トランジスタ。

【請求項 7】

前記第 3 アクティブ層が、前記チャンネル部の前記第 1 重畳領域及び前記第 1 非重畳領域に配置された、請求項 6 に記載の薄膜トランジスタ。

20

【請求項 8】

前記第 3 アクティブ層が、前記チャンネル部の前記第 1 非重畳領域に配置されない、請求項 6 に記載の薄膜トランジスタ。

【請求項 9】

前記チャンネル部が、平面図を基準に、前記第 1 アクティブ層と前記第 2 アクティブ層が重畳しない第 2 非重畳領域をさらに含み、

前記第 2 非重畳領域は、前記第 1 非重畳領域と離隔して、前記第 1 連結部から前記第 2 連結部まで続く、請求項 1 に記載の薄膜トランジスタ。

【請求項 10】

前記第 1 アクティブ層が、前記チャンネル部の前記第 2 非重畳領域に配置されない、請求項 9 に記載の薄膜トランジスタ。

30

【請求項 11】

前記アクティブ層が、前記第 2 アクティブ層上の第 3 アクティブ層をさらに含み、前記第 3 アクティブ層は、前記チャンネル部において前記第 1 連結部から前記第 2 連結部まで続き、

前記第 3 アクティブ層は、前記第 2 アクティブ層よりも小さい移動度を有する、請求項 9 に記載の薄膜トランジスタ。

【請求項 12】

前記第 3 アクティブ層は、前記チャンネル部の前記第 1 重畳領域、前記第 1 非重畳領域、及び前記第 2 非重畳領域に配置された、請求項 11 に記載の薄膜トランジスタ。

40

【請求項 13】

前記第 3 アクティブ層が、前記チャンネル部の前記第 2 非重畳領域に配置されない、請求項 11 に記載の薄膜トランジスタ。

【請求項 14】

前記チャンネル部が、平面図を基準に、前記第 1 アクティブ層と前記第 2 アクティブ層が重畳する第 2 重畳領域をさらに含み、

前記第 2 重畳領域は、前記第 1 重畳領域と離隔して、前記第 1 連結部から前記第 2 連結部まで続く、請求項 1 に記載の薄膜トランジスタ。

【請求項 15】

前記アクティブ層が、前記第 2 アクティブ層上の第 3 アクティブ層をさらに含み、

50

前記第3アクティブ層は、前記チャネル部において前記第1連結部から前記第2連結部まで続き、

前記第3アクティブ層は、前記第2アクティブ層よりも小さい移動度を有する、請求項14に記載の薄膜トランジスタ。

【請求項16】

前記第3アクティブ層が、前記チャネル部の前記第1重畳領域、前記第1非重畳領域、及び前記第2重畳領域に配置された、請求項15に記載の薄膜トランジスタ。

【請求項17】

前記第3アクティブ層が、前記チャネル部の前記第1非重畳領域に配置されない、請求項15に記載の薄膜トランジスタ。

【請求項18】

前記第1アクティブ層が、IGZO(InGaZnO)系酸化物半導体物質、GZO(GaZnO)系酸化物半導体物質、IGO(InGaO)系酸化物半導体物質及びGZTO(GaZnSnO)系酸化物半導体物質のうちの少なくとも1つを含み、

前記第1アクティブ層の前記酸化物半導体物質が、ガリウム(Ga)及びインジウム(In)を含む場合、モル(mol)数基準で、前記ガリウム(Ga)の濃度が前記インジウム(In)の濃度よりも高い、請求項1に記載の薄膜トランジスタ。

【請求項19】

前記第2アクティブ層が、IGZO(InGaZnO)系酸化物半導体物質、IZO(InZnO)系酸化物半導体物質、ITZO(InSnZnO)系酸化物半導体物質、IGZTO(InGaZnSnO)系酸化物半導体物質、FIZO(FeInZnO)系酸化物半導体物質、ZnO系酸化物半導体物質、SIZO(SiInZnO)系酸化物半導体物質及びZnON(Zn-Oxynitride)系酸化物半導体物質のうちの少なくとも1つを含み、

前記第2アクティブ層の前記酸化物半導体物質が、ガリウム(Ga)及びインジウム(In)を含む場合、モル数基準で、前記インジウム(In)の濃度が前記ガリウム(Ga)の濃度よりも高い、請求項1に記載の薄膜トランジスタ。

【請求項20】

請求項1～19のいずれか一項に記載の薄膜トランジスタを含む表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ及びそれを含む表示装置に関するものである。

【背景技術】

【0002】

トランジスタは、電子機器分野でスイッチング素子(switching device)や駆動素子(driving device)として広く使用されている。特に、薄膜トランジスタ(thin film transistor)は、ガラス基板やプラスチック基板上に製造することができるため、液晶表示装置(Liquid Crystal Display Device)または有機発光装置(Organic Light Emitting Device)などの表示装置のスイッチング素子として広く利用されている。

【0003】

表示装置は、例えば、スイッチング薄膜トランジスタと駆動薄膜トランジスタを含むことができる。これらの中で、駆動薄膜トランジスタは、階調表現のために大きなsファクタ(sub-threshold swingまたはs-factor)を有することが好ましい。

【0004】

一般的に、オンオフ特性を確保するために、薄膜トランジスタが小さなsファクタを有する場合が多い。小さいsファクタを有する薄膜トランジスタを表示装置の駆動薄膜トランジスタに適用する場合、表示装置の階調を表現することに難しさがある。

【0005】

したがって、表示装置の駆動薄膜トランジスタに適用する薄膜トランジスタは、円滑な

10

20

30

40

50

階調表現のために大きな s ファクタを有することが必要である。また、薄膜トランジスタが大きな s ファクタを有するとしても、オン（ON）状態では優れた電流特性を有することが求められている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一実施例では、大きな s ファクタを有し、オン状態で優れた電流特性を有する薄膜トランジスタを提供しようとする。

【0007】

本発明の一実施例では、互いに異なる2種類の酸化物半導体層を部分的に積層して2チャンネル（two-channel）のような構造を形成することにより、大きな s ファクタ（ s -factor）を有しながらもオン状態で大きな電流を有することができる薄膜トランジスタを提供しようとする。

10

【0008】

また、本発明の一実施例によれば、薄膜トランジスタの s ファクタを増加させるためにゲート電極とアクティブ層の間隔を増加させる必要がないため、ゲート電極とアクティブ層の間隔が必要以上に大きくならないように設計され、優れたオン電流特性を有する薄膜トランジスタを提供しようとする。

【0009】

本発明のまた他の一実施例では、大きな s ファクタを有するとともに大きなオン電流特性を有する駆動薄膜トランジスタを含む、優れた階調表現能力および優れた電流特性を有する表示装置を提供しようとする。

20

【0010】

上述の本発明の目的に加えて、本発明のその他の目的および特徴は、本発明の以下の記載から当業者には明確に理解されるであろう。

【課題を解決するための手段】

【0011】

上述の技術的課題を達成するための本発明の一実施例は、アクティブ層、およびアクティブ層と少なくとも一部重畳するゲート電極を含み、アクティブ層は、チャンネル部、前記チャンネル部の一側と接触する第1連結部、および前記チャンネル部の他側と接触する第2連結部を含み、前記アクティブ層は、第1アクティブ層および前記第1アクティブ層上の第2アクティブ層を含み、前記チャンネル部は、平面図を基準にして、前記第1アクティブ層と前記第2アクティブ層が重畳する第1重畳領域、および平面図を基準にして、前記第1アクティブ層と前記第2アクティブ層が重畳しない第1非重畳領域を含み、前記チャンネル部の前記第1アクティブ層および前記第2アクティブ層は、それぞれ前記第1連結部から前記第2連結部まで続く薄膜トランジスタを提供する。ここで、前記第2アクティブ層は、前記第1アクティブ層よりも高い移動度を有することができる。

30

【0012】

前記第1重畳領域は、前記第1連結部から前記第2連結部まで続くことができる。

【0013】

前記第1非重畳領域は、前記第1連結部から前記第2連結部まで続くことができる。

40

【0014】

前記チャンネル部において、前記第2アクティブ層は、前記第1アクティブ層の上面全体を覆うことができる。

【0015】

前記第2アクティブ層は、平面図を基準にして前記チャンネル部の全体領域に配置することができる。

【0016】

前記第1アクティブ層は、前記第1非重畳領域に配置されない。

【0017】

50

前記アクティブ層は、前記第2アクティブ層上の第3アクティブ層をさらに含み、前記第3アクティブ層は、前記チャンネル部において前記第1連結部から前記第2連結部まで続くことができる。前記第3アクティブ層は、前記第2アクティブ層よりも小さい移動度を有することができる。

【0018】

前記第3アクティブ層は、前記第1重畳領域及び前記第1非重畳領域に配置することができる。

【0019】

前記第3アクティブ層は、前記第1非重畳領域に配置されないことがあり得る。

【0020】

前記チャンネル部は、平面図を基準として、前記第1アクティブ層と前記第2アクティブ層が重畳しない第2非重畳領域をさらに含み、前記第2非重畳領域は、前記第1非重畳領域と離隔して、前記第1連結部から前記第2連結部まで続くことができる。

【0021】

前記第1アクティブ層は、前記第2非重畳領域に配置されないことがあり得る。

【0022】

前記アクティブ層は、前記第2アクティブ層上の第3アクティブ層をさらに含み、前記第3アクティブ層は、前記チャンネル部において前記第1連結部から前記第2連結部まで続くことができる。ここで、前記第3アクティブ層は、前記第2アクティブ層よりも小さい移動度を有することができる。

【0023】

前記第3アクティブ層は、前記第1重畳領域、前記第1非重畳領域及び前記第2非重畳領域に配置することができる。

【0024】

前記第3アクティブ層は、前記第2非重畳領域に配置されないことがあり得る。

【0025】

前記チャンネル部は、平面図を基準に、前記第1アクティブ層と前記第2アクティブ層が重畳する第2重畳領域をさらに含み、前記第2重畳領域は、前記第1重畳領域と離隔して前記第1連結部から第2連結部まで続くことができる。

【0026】

前記アクティブ層は、前記第2アクティブ層上の第3アクティブ層をさらに含み、前記第3アクティブ層は、前記チャンネル部において前記第1連結部から前記第2連結部まで続くことができる。ここで、前記第3アクティブ層は、前記第2アクティブ層よりも小さい移動度を有することができる。

【0027】

前記第3アクティブ層は、前記第1重畳領域、前記第1非重畳領域及び前記第2重畳領域に配置することができる。

【0028】

前記第3アクティブ層は、前記第1非重畳領域に配置されないことがあり得る。

【0029】

前記第1アクティブ層は、IGZO (InGaZnO) 系酸化物半導体物質、GZO (GaZnO) 系酸化物半導体物質、IGO (InGaO) 系酸化物半導体物質及びGZTO (GaZnSnO) 系酸化物半導体物質のうちの少なくとも1つを含むことができ、前記第1アクティブ層の前記酸化物半導体物質がガリウム (Ga) 及びインジウム (In) を含む場合、モル (mole) 数基準で前記ガリウム (Ga) の濃度が前記インジウム (In) の濃度より高いことがあり得る [Ga濃度 > In濃度]。

【0030】

前記第2アクティブ層は、IGZO (InGaZnO) 系酸化物半導体物質、IZO (InZnO) 系酸化物半導体物質、ITZO (InSnZnO) 系酸化物半導体物質、IGZTO (InGaZnSnO) 系酸化物半導体物質、FIZO (FeInZnO) 酸化

10

20

30

40

50

物系半導体物質、ZnO系酸化物半導体物質、SiZO(SiInZnO)系酸化物半導体物質、およびZnON(Zn-Oxynitride)系酸化物半導体物質のうちの少なくとも1つを含むことができ、前記第2アクティブ層の前記酸化物半導体物質が、ガリウム(Ga)およびインジウム(In)を含む場合、モル数基準で前記インジウム(In)の濃度が前記ガリウム(Ga)の濃度より高いことがあり得る[Ga濃度<In濃度]。
【0031】

本発明の他の実施例では、前記薄膜トランジスタを含む表示装置を提供する。

【発明の効果】

【0032】

本発明の一実施例による薄膜トランジスタは、大きなsファクタを有し、同時に優れたオン(ON)電流特性を有する。したがって、このような薄膜トランジスタを表示装置に用いる場合、表示装置の階調表現能力が向上し、表示装置の電流特性も向上させることができる。

10

【0033】

上で言及した効果に加えて、本発明の他の特徴および利点は、以下に記載されるか、またはそのような記載および説明から本発明が属する技術分野において通常の知識を有する者に明確に理解され得るだろう。

【図面の簡単な説明】

【0034】

本発明の上述およびその他の目的、特徴、およびその他の利点は、添付の図と併せて以下の詳細な説明からより明確に理解されるであろう。

20

【図1A】図1Aは、本発明の一実施例による薄膜トランジスタの平面図である。

【図1B】図1Bは、図1AのI-I'に沿って切断した断面図である。

【図1C】図1Cは、図1AのII-II'に沿って切断した断面図である。

【図1D】図1Dは、図1AのIII-III'に沿って切断した断面図である。

【図2】本発明の他の一実施例による薄膜トランジスタの断面図である。

【図3A】図3Aは、本発明のまた他の一実施例による薄膜トランジスタの平面図である。

【図3B】図3Bは、図3AのIa-Ia'に沿って切断した断面図である。

【図4A】図4Aは、本発明のまた他の一実施例による薄膜トランジスタ400の平面図である。

30

【図4B】図4Bは、図4AのIb-Ib'に沿って切断した断面図である。

【図5A】図5Aは、本発明のまた他の一実施例による薄膜トランジスタの平面図である。

【図5B】図5Bは、図5AのIV-IV'に沿って切断した断面図である。

【図6】本発明のまた他の一実施例による薄膜トランジスタの断面図である。

【図7A】図7Aは、本発明のまた他の一実施例による薄膜トランジスタ700の平面図である。

【図7B】図7Bは、図7AのIVa-IVa'に沿って切断した断面図である。

【図8A】図8Aは、本発明のまた他の一実施例による薄膜トランジスタの平面図である。

【図8B】図8Bは、図8AのV-V'に沿って切断した断面図である。

【図9A】本発明のまた他の一実施例による薄膜トランジスタの平面図である。

40

【図9B】図9Bは、図9AのVa-Va'に沿って切断した断面図である。

【図10A】本発明のまた他の一実施例による薄膜トランジスタの平面図である。

【図10B】図10Bは、図10AのVb-Vb'に沿って切断した断面図である。

【図11A】図11Aは、薄膜トランジスタに印加されるゲート電圧を説明する概略図である。

【図11B】図11Bは、薄膜トランジスタに印加されるゲート電圧を説明する概略図である。

【図12A】図12Aは、薄膜トランジスタに印加されるゲート電圧を説明する概略図である。

【図12B】図12Bは、薄膜トランジスタに印加されるゲート電圧を説明する概略図で

50

ある。

【図 1 3 A】図 1 3 A は、s ファクタとオン (ON) 電流の関係のグラフである。

【図 1 3 B】図 1 3 B は、薄膜トランジスタのしきい値電圧グラフである。

【図 1 4】本発明のまた他の一実施例による表示装置の概略図である。

【図 1 5】図 1 4 のいずれか 1 つの画素に対する回路図である。

【図 1 6】図 1 4 の画素に対する平面図である。

【図 1 7】図 1 6 の V I - V I ' に沿って切断した断面図である。

【図 1 8】本発明のまた他の一実施例による表示装置のいずれか 1 つの画素の回路図である。

【図 1 9】本発明のまた他の一実施例による表示装置のいずれか 1 つの画素の回路図である。

【発明を実施するための形態】

【0035】

本発明の利点および特徴、ならびにそれらを達成する方法は、添付の図と共に詳細に後述される実施例を参照することによって明らかになるであろう。しかしながら、本発明は、以下に開示される実施例に限定されるものではなく、互いに異なる様々な形態で具現されるものであり、単に本実施例は、本発明の開示が完全になるようにし、本発明が属する技術分野における通常の知識を有する者に、発明の範囲を完全に知らせるために提供されるものであり、本発明は特許請求の範囲によって定義されるだけである。

【0036】

本発明の実施例を説明するための図に開示された形状、大きさ、比率、角度、数などは例示的なものであり、本発明が図に示された事項に限定されるものではない。明細書全体にわたって、同じ参照番号は同じ構成要素を指称することができる。なお、本発明の説明において、関連する公知技術に対する具体的な説明が、本発明の要旨を不必要に曖昧にし得ると判断される場合、その詳細な説明は省略する。

【0037】

本明細書で言及される「含む」、「有する」、「からなる」などが使用される場合、「～のみ」が使用されない限り、他の部分が追加することができる。構成要素を単数で表現した場合に特に明示的な記載事項がない限り複数を含む場合を含む。

【0038】

構成要素を解釈するにおいて、別途の明示的な記載がなくても、誤差範囲を含むものと解釈する。

【0039】

位置関係の説明である場合、例えば、「～上に」、「～上部に」、「～下部に」、「～横に」などで 2 つの部分の位置関係が説明される場合、「すぐ」または「直接」という表現が使用されていない限り、2 つの部分の間に 1 つ以上の他の部分が位置することができる。

【0040】

空間的に相対的な用語である「下(below, beneath)」、「下部(lower)」、「上(above)」、「上部(upper)」などは、図に示すように、1 つの要素または構成要素と他の要素または構成要素との相関関係を容易に説明するために使用することができる。空間的に相対的な用語は、図に示されている方向に加えて、使用時または動作時に素子の互いに異なる方向を含む用語として理解されなければならない。例えば、図に示されている素子を反転する場合、他の素子の「下」または「下部」と記載された素子は、他の素子の「上(above)」に置くことができる。したがって、例示的な用語である「下」は、下と上の方向の両方を含むことができる。同様に、例示的な用語である「上」または「上部」は、上と下の方向の両方を含むことができる。

【0041】

時間関係に対する説明の場合、例えば、「～後に」、「～に続き」、「～次に」、「～前に」などで時間的先後関係が説明される場合、「すぐ」または「直接」という表現が使

10

20

30

40

50

用されていない限り、連続的でない場合も含むことができる。

【0042】

第1、第2などは、様々な構成要素を説明するために使用されるが、これらの構成要素は、これらの用語によって限定されない。これらの用語は、単に一つの構成要素を他の構成要素と区別するために使用されるものである。したがって、以下で言及される第1構成要素は、本発明の技術的思想内で第2構成要素でもあり得る。

【0043】

「少なくとも1つ」の用語は、1つ以上の関連項目から提示可能なすべての組み合わせを含むものと理解されなければならない。例えば、「第1項目、第2項目および第3項目のうちの少なくとも1つ」の意味は、第1項目、第2項目または第3項目のそれぞれだけでなく、第1項目、第2項目および第3項目のうちの2つ以上から提示できるすべての項目の組み合わせを意味することができる。

10

【0044】

本発明のいくつかの実施例の各々の特徴は、部分的または全体的に互いに結合または組み合わせ可能であり、技術的に様々な連動および駆動が可能であり、各実施例は互いに対して独立して実施することもでき、連関関係で一緒に実施することもできる。

【0045】

以下では、本発明の一実施例による薄膜トランジスタ及びこれを含む表示装置を添付図を参照して詳細に説明する。各図の構成要素に参照符号を付加する際に、同一の構成要素については、異なる図上に表示されていても、可能な限り同一の符号を有することができる。

20

【0046】

本発明の実施例では、ソース電極とドレイン電極とは区別されているが、ソース電極とドレイン電極とは互いに替えることができる。具体的には、一実施例において、ソース電極と名付けられた電極はドレイン電極になり得、ドレイン電極と名付けられた電極はソース電極になり得る。

【0047】

本発明の実施例では、説明の便宜上、ソース領域とソース電極を区別し、ドレイン領域とドレイン電極を区別したが、本発明の実施例はこれに限定されるものではない。ソース領域がソース電極になり得、ドレイン領域がドレイン電極になり得る。また、ソース領域がドレイン電極にもなり得、ドレイン領域がソース電極にもなり得る。本発明の実施例では、「チャンネル」は、チャンネル部を意味する意味で使用することができ、「チャンネル部」は、チャンネルを指す意味で使用することもできる。

30

【0048】

図1Aは、本発明の一実施例による薄膜トランジスタ100の平面図である。図1Bは、図1AのI-I'に沿って切断した断面図であり、図1Cは、図1AのII-II'に沿って切断した断面図であり、図1Dは、図1AのIII-III'に沿って切断した断面図である。

【0049】

本発明の一実施例による薄膜トランジスタ100は、アクティブ層130、およびアクティブ層130と少なくとも一部重畳するゲート電極150を含む。アクティブ層130は、チャンネル部130n、チャンネル部130nの一侧（第1の側）と接触する第1連結部130a、及びチャンネル部130nの他側（第2の側）に接触する第2連結部130bを含む。また、アクティブ層130は、第1アクティブ層131、および第1アクティブ層131上の第2アクティブ層132を含む。本発明の一実施例では、チャンネル部を「チャンネル」と呼ぶことができ、チャンネル部130nは「チャンネル130n」と呼ぶこともできる。

40

【0050】

本発明の一実施例によれば、図1A及び図1Bに示すように、チャンネル部130nは、平面図を基準に第1アクティブ層131と第2アクティブ層132が重畳する第1重畳領

50

域（OA1）、および平面図を基準に第1アクティブ層131と、第2アクティブ層132が重畳しない第1非重畳領域（NOA1）を含む。チャンネル部130nにおいて、第1アクティブ層131及び第2アクティブ層132は、それぞれ第1連結部130aから第2連結部130bまで続く（延在している）。

【0051】

以下、図1A～図1Dを参照して、本発明の一実施例による薄膜トランジスタ100をより詳細に説明する。

【0052】

図1A～図1Dを参照すると、薄膜トランジスタ100を基板110上に配置することができる。

【0053】

基板110として、ガラスまたはプラスチックを使用することができる。プラスチックでは、フレキシブルな特性を有する透明プラスチック、例えばポリイミドを使用することができる。ポリイミドを基板110として用いる場合、基板110上で高温蒸着工程が行われることを考慮すると、高温に耐えることができる耐熱性ポリイミドを用いることができる。

【0054】

本発明の一実施例によれば、基板110上に光遮断層111を配置することができる。光遮断層111は、光遮断特性を有し、外部から入射する光を遮断してチャンネル部130nを保護することができる。光遮断層111は、少なくともアクティブ層130のチャンネル部130nと重畳するように配置することができる。

【0055】

また、光遮断層111は、金属を含むことができ、電気導電性を有することができる。例えば、光遮断層111は、アルミニウム（Al）やアルミニウム合金などのアルミニウム系の金属、銀（Ag）や銀合金などの銀系の金属、銅（Cu）や銅合金などの銅系列の金属、モリブデン（Mo）やモリブデン合金などのモリブデン系の金属、クロム（Cr）、タンタル（Ta）、ネオジウム（Nd）、チタン（Ti）および鉄（Fe）のうちの少なくとも1つを含むことができる。光遮断層111は、物理特性が異なる少なくとも2つの導電膜を含む多層膜構造を有することもできる。

【0056】

基板110と光遮断層111上に、バッファ層120を配置することもできる。

【0057】

バッファ層120は、シリコン酸化物、シリコン窒化物及び金属系酸化物から選択された少なくとも1つを絶縁性物質として含むことができる。バッファ層120は、単一膜構造を有することができ、多層膜構造を有することもできる。

【0058】

バッファ層120は、基板110の上部を平坦にすることができる。また、バッファ層120は、空気と水分遮断特性及び絶縁性を有し、薄膜トランジスタ100を保護することができる。バッファ層120は、光遮断層111とチャンネル部130nが離隔して絶縁されるようにする。

【0059】

アクティブ層130は、バッファ層120上に配置することができる。

【0060】

アクティブ層130は、半導体物質によって形成することができる。本発明の一実施例によれば、アクティブ層130は、酸化物半導体物質を含むことができる。

【0061】

図1A～図1Dを参照すると、アクティブ層130は、第1アクティブ層131及び第1アクティブ層131上の第2アクティブ層132を含むことができる。第1アクティブ層131は、第2アクティブ層132と重畳するように配置することができる。

【0062】

10

20

30

40

50

本発明の一実施例によれば、第2アクティブ層132は、第1アクティブ層131よりも大きい移動度を有することができる。その結果、薄膜トランジスタ100において、第2アクティブ層132が電流フローのメイン層の役割をすることができる。

【0063】

本発明の一実施例によれば、第2アクティブ層132は、第1アクティブ層131よりも2倍以上大きい移動度を有することができる。第2アクティブ層132は、第1アクティブ層131と比較して2倍～5倍の移動度を有することができる。

【0064】

例えば、第1アクティブ層131は、 $5 \sim 25 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することができる。より具体的には、第1アクティブ層131は、 $5 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することができ、約 $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することができる。ここで、移動度とは、電荷の移動度を意味する。本発明の一実施例によれば、移動度は、例えば電子の移動度を意味することができる。

【0065】

第2アクティブ層132は、 $20 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上の移動度を有することができる。具体的には、第2アクティブ層132は、 $20 \sim 50 \text{ cm}^2 / \text{V} \cdot \text{s}$ 程度の移動度を有することができる。より具体的には、第2アクティブ層132は、 $20 \sim 40 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、または $20 \sim 30 \text{ cm}^2 / \text{V} \cdot \text{s}$ の範囲の移動度を有することもできる。

【0066】

本発明の一実施例によれば、第2アクティブ層132は、第1アクティブ層131よりも $10 \sim 40 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することができる。第2アクティブ層132は、第1アクティブ層131と比較して、 $10 \sim 30 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもでき、 $10 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもでき、 $20 \sim 30 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもできる。

【0067】

第1アクティブ層131は、優れた安定性を有する酸化物半導体物質を含むことができる。また、第1酸化物半導体層131は、第2酸化物半導体層132を支持する。したがって、第1酸化物半導体層131を「支持層」ともいう。

【0068】

第1アクティブ層131は、例えば、IGZO (InGaZnO) 系酸化物半導体物質、GZO (GaZnO) 系酸化物半導体物質、IGO (InGaO) 系酸化物半導体物質及びGZTO (GaZnSnO) 系酸化物半導体物質のうちの少なくとも1つを含むことができる。第1アクティブ層131を構成する酸化物半導体物質が、ガリウム (Ga) 及びインジウム (In) を含む場合、モル数基準でガリウム (Ga) の濃度がインジウム (In) の濃度より高く設定される [Ga濃度 > In濃度]。

【0069】

第2アクティブ層132は、大きな移動度を有する酸化物半導体物質を含むことができる。第2アクティブ層132は、例えば、IGZO (InGaZnO) 系酸化物半導体物質、IZO (InZnO) 系酸化物半導体物質、ITZO (InSnZnO) 系酸化物半導体物質、IGZTO (InGaZnSnO) 系酸化物半導体物質、FIZO (FeInZnO) 系酸化物半導体物質、ZnO系酸化物半導体物質、SIZO (SiInZnO) 系酸化物半導体物質およびZnON (Zn-Oxynitride) 系酸化物半導体物質のうちの少なくとも1つを含むことができる。第2アクティブ層132を構成する酸化物半導体物質が、ガリウム (Ga) 及びインジウム (In) を含む場合、モル数基準でインジウム (In) の濃度がガリウム (Ga) の濃度より高く設定される [Ga濃度 < In濃度]。

【0070】

しかしながら、本発明の一実施例による酸化物半導体物質の種類はこれに限定されるものではなく、第1アクティブ層131及び第2アクティブ層132は、当業界で知られた

10

20

30

40

50

他の酸化物半導体物質を含むこともできる。

【0071】

図1A、1C及び1Dを参照すると、アクティブ層130は、チャネル部130n、チャネル部130nの一側と接触する第1連結部130a及びチャネル部130nの他側と接触する第2連結部130bを含む。

【0072】

チャネル部130nは、ゲート電極150と重畳し、薄膜トランジスタ100のチャネルの役割をする。チャネル部130nの一側は、第1連結部130aと接触し、チャネル部130nの他側は、第2連結部130bと接触する。

【0073】

アクティブ層130の第1連結部130a及び第2連結部130bは、ゲート電極150と重畳しない。第1連結部130a及び第2連結部130bは、半導体物質の選択的導体化によって形成することができる。本発明の一実施例によれば、アクティブ層130のうちの選択された部分に導電性を付与することを選択的導体化と言う。選択的導体化は、ドーピング、プラズマ処理などによって行うことができる。

【0074】

例えば、ゲート電極150またはフォトレジストをマスクとするドーパントドーピングにより、アクティブ層130に対する選択的導体化を行うことができる。本発明の一実施例によれば、ドーパントイオンをアクティブ層130のうちの選択された領域に注入することをドーパントドーピングと言う。ドーパントは、例えば、ホウ素(B)、リン(P)、フッ素(F)および水素(H)のうちの少なくとも1つを含むことができる。

【0075】

ドーパントドーピングによってアクティブ層130に対する選択的導体化が行われる場合、アクティブ層130のうちのドーパントがドーパされた領域が選択的に導体化され、第1連結部130aまたは第2連結部130bとなる。アクティブ層130のうちのドーパントがドーパされていない領域は、導体化されず、チャネル部130nになり得る。

【0076】

また、ゲート絶縁膜140をパターニングする過程に適用されるプラズマ処理により、アクティブ層130に対する選択的導体化を行うこともできる。例えば、ゲート絶縁膜140をパターニングする過程でプラズマを用いることができ、アクティブ層130のうちのプラズマと接触する部分が選択的に導体化され、第1連結部130a又は第2連結部130bになり得る。アクティブ層130のうちのゲート絶縁膜140によって保護されてプラズマと接触しない部分は、導体化されず、チャネル部130nになり得る。

【0077】

第1連結部130a及び第2連結部130bは、酸化物半導体物質で作られた後、導電性が付与された部分である。したがって、第1連結部130aおよび第2連結部130bは、チャネル部130nよりも大きな導電性を有する。具体的には、導体化により、第1連結部130a及び第2連結部130bは、電気配線として用いられる金属と同様の程度の導電性を有することができる。

【0078】

図1Cを参照すると、チャネル部130nは、第1アクティブ層131のチャネル部131n及び第2アクティブ層132のチャネル部132nを含むことができる。第1連結部130aは、第1アクティブ層131の第1連結部131aと、第2アクティブ層132の第1連結部132aとを含むことができる。第2連結部130bは、第1アクティブ層131の第2連結部131b、および第2アクティブ層132の第2連結部132bを含むことができる。

【0079】

本発明の一実施例によれば、アクティブ層130の第1連結部130aはソース領域となり、第2連結部130bはドレイン領域となり得る。また、第1連結部130aがソース電極の役割をし、第2連結部130bがドレイン電極の役割をすることもできる。

【0080】

しかし、本発明の一実施例がこれに限定されるものではなく、第1連結部130aがドレイン領域となり、第2連結部130bがソース領域となることもあり得る。

【0081】

本発明の一実施例によれば、チャンネル部130nは、平面図を基準に第1アクティブ層131と第2アクティブ層132が重畳する第1重畳領域(OA1)および平面図を基準に第1アクティブ層131と第2アクティブ層132が重畳しない第1非重畳領域(NOA1)を含む。

【0082】

本発明の一実施例によれば、チャンネル部130nにおいて第1アクティブ層131及び第2アクティブ層132は、それぞれ第1連結部130aから第2連結部130bまで続く(延在している)。その結果、第1重畳領域(OA1)が第1連結部130aから第2連結部130bまで続く(延在する)ことができる。また、第1非重畳領域(NOA1)も第1連結部130aから第2連結部130bまで続く(延在する)ことができる。

【0083】

本発明の一実施例によれば、第1重畳領域(OA1)及び第1非重畳領域(NOA1)が、第1連結部130aから第2連結部130bまで続く(延在する)ことができるため、第1重畳領域(OA1)および第1非重畳領域(NOA1)は、共に薄膜トランジスタ100のチャンネルの役割をすることができる。

【0084】

図1A及び図1Bを参照すると、第2アクティブ層132は、平面図を基準にチャンネル部130nの全領域に配置することができる。また、第1アクティブ層131は、第1非重畳領域(NOA1)に配置されず、第1重畳領域(OA1)にのみ配置することができる。本発明の一実施例によれば、チャンネル部130nにおいて、第2アクティブ層132は、第1アクティブ層131の上面全体を覆うことができる。

【0085】

図1Cは、第1重畳領域(OA1)を示す断面図であり、図1Dは、第1非重畳領域(NOA1)を示す断面図である。

【0086】

本発明の一実施例によれば、図1C及び図1Dに示すように、第1重畳領域(OA1)に第1アクティブ層131と第2アクティブ層132が重畳して配置されている一方、第1非重畳領域(NOA1)には、第2アクティブ層132のみが配置される。したがって、第1重畳領域(OA1)は、第1非重畳領域(NOA1)よりも豊富なキャリアを有することができる。具体的には、第1重畳領域(OA1)は、第1非重畳領域(NOA1)よりも豊富な電子キャリアを有することができる。

【0087】

その結果、本発明の一実施例によれば、第1重畳領域(OA1)によって薄膜トランジスタ100のオン電流(ON-Current)を向上させることができる。したがって、第1重畳領域(OA1)を有する薄膜トランジスタ100は、優れた電流特性を有することができる。

【0088】

また、第1非重畳領域(NOA1)は、第1重畳領域(OA1)よりも低い濃度のキャリアを有する。具体的には、第1非重畳領域(NOA1)は、第1重畳領域(OA1)よりも低い濃度の電子キャリアを有することができる。したがって、ゲート電圧の印加によって薄膜トランジスタ100が完全にターンオン(Turn-On)する前に、薄膜トランジスタの電流増加速度を遅らせることができる。その結果、薄膜トランジスタ100のsファクタ(sub-threshold swing:s-factor)を増加させることができる。

【0089】

このように、本発明の一実施例によれば、チャンネル部130nが第1重畳領域(OA1)と第1非重畳領域(NOA1)を共に含むことにより、薄膜トランジスタ100のオン

10

20

30

40

50

電流を向上させることができ、同時に s ファクタを増加させることができる。

【0090】

図1B、1C及び1Dを参照すると、アクティブ層130上にゲート絶縁膜140が配置される。ゲート絶縁膜140は、チャネル部130nを保護する。

【0091】

ゲート絶縁膜140は、シリコン酸化物、シリコン窒化物及び金属系酸化物のうちの少なくとも1つを含むことができる。ゲート絶縁膜140は、単一膜構造を有することもでき、多層膜構造を有することもできる。

【0092】

図1B～図1Dを参照すると、ゲート絶縁膜140は、基板110上の全体の面に一体的に形成することができる。しかしながら、本発明の一実施例はこれに限定されるものではなく、ゲート絶縁膜140をパターニングすることもできる。例えば、ゲート絶縁膜140は、ゲート電極150に対応する形状にパターニングすることができる。

【0093】

ゲート電極150は、ゲート絶縁膜140上に配置される。ゲート電極150は、アクティブ層130のチャネル部130nと重畳する。

【0094】

ゲート電極150は、アルミニウム (Al) やアルミニウム合金のようなアルミニウム系の金属、銀 (Ag) や銀合金のような銀系の金属、銅 (Cu) や銅合金のような銅系の金属、モリブデン (Mo) やモリブデン合金などのモリブデン系の金属、クロム (Cr) 、タンタル (Ta) 、ネオジウム (Nd) およびチタン (Ti) のうちの少なくとも1つを含むことができる。また、ゲート電極150は、物理的性質が異なる少なくとも2つの導電膜を含む多層膜構造を有することもできる。

【0095】

ゲート電極150上には、層間絶縁膜170が配置される。層間絶縁膜170は、絶縁物質からなる絶縁層である。層間絶縁膜170は、有機物で構成することもでき、無機物で構成することもでき、有機物層と無機物層の積層体で構成することもできる。

【0096】

層間絶縁膜170上に、ソース電極161及びドレイン電極162が配置される。

【0097】

ソース電極161は、コンタクトホール (H2) を介してアクティブ層130と連結する。具体的には、ソース電極161は、コンタクトホール (H2) を介してアクティブ層130の第1連結部130aと電氣的に接続することができる。また、ソース電極161は、コンタクトホール (H1) を介して光遮断層111と連結することができる。その結果、光遮断層111をアクティブ層130の第1連結部130aと連結することができる。

【0098】

ドレイン電極162は、ソース電極161と離隔してコンタクトホール (H3) を介してアクティブ層130と連結する。具体的には、ドレイン電極162は、コンタクトホール (H3) を介してアクティブ層130の第2連結部130bと電氣的に接続することができる。

【0099】

ソース電極161及びドレイン電極162は、それぞれモリブデン (Mo) 、アルミニウム (Al) 、クロム (Cr) 、金 (Au) 、チタン (Ti) 、ニッケル (Ni) 、ネオジウム (Nd) 、銅 (Cu) 、およびそれらの合金のうちの少なくとも1つを含むことができる。ソース電極161およびドレイン電極162は、それぞれ金属または金属の合金からなる単一層で構成することもでき、2層以上の多重層で構成することもできる。

【0100】

しかし、本発明の一実施例がこれに限定されるものではなく、第1連結部130aがソース電極になり得、指示符号「161」で示した電極が連結電極またはブリッジであり得る。同様に、第2連結部131をドレイン電極になり得、指示符号「162」で示した電

10

20

30

40

50

極が連結電極またはブリッジであり得る。

【0101】

以下、sファクタを詳細に説明する。

【0102】

sファクタ(sub-threshold swing: s-factor)は、薄膜トランジスタ100のゲート電圧に対するドレイン-ソース電流(Drain-Source Current)グラフのしきい値電圧(V_{th})において、ゲート電圧に対するドレイン-ソース電流の変化の程度を示す指標として用いることができる。

【0103】

sファクタは、例えば、図13Bに示す電流変化グラフによって説明することができる。図13Bは、ゲート電圧(V_{GS})に対するドレイン-ソース電流(I_{DS})を示している。薄膜トランジスタ100のしきい値電圧(V_{th})では、ゲート電圧(V_{GS})に対するドレイン-ソース電流(I_{DS})グラフの傾きの逆数(reciprocal)をsファクタと定義することができる。グラフの傾きが急な場合はsファクタが小さく、グラフの傾きが小さい場合はsファクタが大きい。sファクタが大きいと、しきい値電圧(V_{th})区間でゲート電圧に対するドレイン-ソース電流(I_{DS})の変化率が緩やかである。

【0104】

sファクタが大きいと、ゲート電圧に対するドレイン-ソース電流(I_{DS})の変化率が緩やかであるため、ゲート電圧(V_{GS})を調整することによりドレイン-ソース電流(I_{DS})の大きさを調整することが容易である。

【0105】

電流によって駆動される表示装置、例えば有機発光表示装置において、画素の階調は、駆動薄膜トランジスタのドレイン-ソース電流(I_{DS})の大きさを調整することによって制御することができる。駆動薄膜トランジスタのドレイン-ソース電流(I_{DS})の大きさは、ゲート電圧によって決定される。したがって、電流によって駆動する有機発光表示装置において、駆動薄膜トランジスタ(Driving TR)のsファクタが大きいほど画素の階調を調整することが容易である。

【0106】

薄膜トランジスタ100のsファクタを調整する方法として、ゲート絶縁膜140の厚さを調整する方法がある。

【0107】

より具体的には、図11A及び図11Bは、薄膜トランジスタに印加されるゲート電圧を説明する模式図である。

【0108】

図11Aは、薄膜トランジスタにゲート電圧(V_{GS})が印加されるときに発生し得るキャパシタンス(C_{ap})を概略的に示している。

【0109】

図11Aは、薄膜トランジスタが完全にオン(ON)する前、キャパシタンス(C_{ap})関係を概略的に説明している。図11Aにおいて、ゲート電圧(V_{GS})は、ソース電極161とゲート電極150の間の電圧である。本発明の一実施例によれば、ゲート電圧(V_{GS})は、第1連結部130aとゲート電極150の間の電圧とすることもできる。

【0110】

図11Aに示すように、薄膜トランジスタにゲート電圧(V_{GS})が印加されると、アクティブ層130のチャンネル部130nとゲート電極150(Gate)の間にキャパシタンス(C_{GI})が形成され、チャンネル部130nと第1連結部130a(Source)の間にもキャパシタンス(C_{CH})が形成され得る。

【0111】

チャンネル部130nと第1連結部130a(Source)の間に形成されるキャパシタンス(C_{CH})は、N型半導体特性を有する酸化物半導体層からなるチャンネル部130nにおいて、高電圧端子であるドレイン電極162と低電圧端子であるソース電極161との電

10

20

30

40

50

圧差により、キャパシタンスが形成されると言える。

【0112】

図11Aによるキャパシタンス (Cap) および電圧の関係は、図11Bのように表示することができる。図11Bを参照すると、チャネル部130nと第1連結部130a (Source) の間のキャパシタンス (C_{CH}) によって、ゲート電圧 (V_{GS}) が全て有効にチャネル部130nに印加できない。その結果、電圧損失が発生し得る。

【0113】

図11Bにおいて、薄膜トランジスタの駆動時に、ゲート電圧 (V_{GS}) のうち、チャネル部130nに有効に印加される電圧を有効ゲート電圧 (V_{eff}) とするとき、有効ゲート電圧 (V_{eff}) は、下記の式1により求めることができる。

【0114】

[式1]

$$V_{eff} = [C_{GI} / (C_{GI} + C_{CH})] \times V_{GS}$$

【0115】

薄膜トランジスタ100のsファクタを増加させるために、ゲート絶縁膜140の厚さを増加させる場合、アクティブ層130のチャネル部130nとゲート電極150 (Gate) の間のキャパシタンス (C_{GI}) が減少し、ゲート電圧 (V_{GS}) のうちのチャネル部130nに有効に印加される電圧、有効ゲート電圧 (V_{eff}) が減少し得る。その結果、sファクタを増加させることができるが、式1で算出される有効ゲート電圧 (V_{eff}) も減少し、薄膜トランジスタ100のオン電流 (On-Current) が減少するようになる。

【0116】

一方、本発明の一実施例によれば、チャネル部130nが第1重畳領域 (OA1) および第1非重畳領域 (NOA1) を一緒に含むことにより、薄膜トランジスタ100のsファクタが増加してもオン電流 (On-Current) が減少しないことがあり得る。その結果、オン電流 (On-Current) を減少させることなく、薄膜トランジスタ100のsファクタを増加させることができる。

【0117】

次に、図12A及び図12Bは、薄膜トランジスタ100に印加されるゲート電圧を説明する模式図であり、遮光層111がソース電極161に連結した場合を説明する。

【0118】

図12Aに示すように、薄膜トランジスタ100にゲート電圧 (V_{GS}) が印加されると、アクティブ層130のチャネル部130nとゲート電極150の間にキャパシタンス (C_{GI}) が形成され、チャネル部130nと第1連結部130a (Source) の間にキャパシタンス (C_{CH}) が形成され、さらにチャネル部130nと光遮断層111の間にもキャパシタンス (C_{BUF}) が形成され得る。

【0119】

図12Aによるキャパシタンス (Cap) と電圧の関係は、図12Bのように表示することができる。図12Bを参照すると、チャネル部130nと第1連結部130a (Source) の間のキャパシタンス (C_{CH}) 及びチャネル部130nと光遮断層111の間のキャパシタンス (C_{BUF}) のため、ゲート電圧 (V_{GS}) が全て有効にチャネル部130nに印加されるわけではなく、電圧損失が発生し得る。

【0120】

光遮断層111とソース電極161が電氣的に接続している場合、チャネル部130nと光遮断層111の間にさらにキャパシタンス (C_{BUF}) が発生し、電圧損失の原因になる下部キャパシタンス ($C_{CH} + C_{BUF}$) が増加する。

【0121】

具体的には、図12Bにおいてゲート電圧 (V_{GS}) のうち、チャネル部130nに有効に印加される電圧を有効ゲート電圧 (V_{eff}) とするとき、有効ゲート電圧 (V_{eff}) は、次の式2により求めることができる。

【0122】

10

20

30

40

50

【式 2】

$$V_{eff} = [C_{GI} / (C_{GI} + C_{CH} + C_{BUF})] \times V_{GS}$$

【0123】

式 2 を参照すると、チャネル部 130n と光遮断層 111 の間に形成されたキャパシタンス (C_{BUF}) により、式 2 の分母値が増加する。したがって、チャネル部 130n と光遮断層 111 の間のキャパシタンス (C_{BUF}) が増加する場合、有効ゲート電圧 (V_{eff}) が減少し、それによって薄膜トランジスタ 100 におけるドレイン - ソース電流 (I_{DS}) の増加速度が低下する。その結果、 s ファクタが増加する効果が生じる。

【0124】

式 2 を参照すると、チャネル部 130n と光遮断層 111 の間のキャパシタンス (C_{BUF}) を増加させ、薄膜トランジスタ 100 の s ファクタを増加させることができる。チャネル部 130n と光遮断層 111 の間のキャパシタンス (C_{BUF}) を増加させる方法として、バッファ層 120 の厚さを薄くする方法がある。しかし、バッファ層 120 の厚さが薄くなると、薄膜トランジスタ 100 のチャネル部 130n が水素、酸素または水分などにより損傷する可能性が増加し、薄膜トランジスタ 100 のオン電流 (On-Current) が減少するようになる。

【0125】

本発明の一実施例によれば、チャネル部 130n が第 1 重畳領域 (OA1) および第 1 非重畳領域 (NOA1) を一緒に含むことにより、バッファ層 120 の厚さを薄くすることなく薄膜トランジスタ 100 の s ファクタを増加させることができ、同時にオン電流 (ON-Current) も増加させることができる。

【0126】

図 2 は、本発明の他の一実施例による薄膜トランジスタ 200 の断面図である。図 2 は、図 1A の II-II' に沿って切断した断面に対応する。

【0127】

図 2 を参照すると、ゲート絶縁膜 140 が基板 110 上の全体の面に形成するのではなくパターニングすることもできる。例えば、ゲート絶縁膜 140 は、図 2 に示すように、ゲート電極 150 と同じ平面形状でパターニングすることができる。

【0128】

図 3A は、本発明のまた他の一実施例による薄膜トランジスタ 300 の平面図であり、図 3B は、図 3A の Ia-Ia' に沿って切断した断面図である。

【0129】

図 3A 及び図 3B を参照すると、アクティブ層 130 は、第 2 アクティブ層 132 上に第 3 アクティブ層 133 をさらに含むことができる。第 3 アクティブ層 133 は、チャネル部 130n において第 1 連結部 130a から第 2 連結部 130b まで続く (延在する) ことができる。第 3 アクティブ層 133 は、第 1 連結部 130a 及び第 2 連結部 130b にも配置することができる。

【0130】

本発明の一実施例によれば、第 3 アクティブ層 133 は、第 2 アクティブ層 132 を保護することができる。第 2 アクティブ層 132 を保護するために、第 3 アクティブ層 133 は、優れた安定性を有する酸化物半導体物質で作ることができる。第 3 アクティブ層 133 は、第 2 アクティブ層 132 を保護する保護層の役割をすることができる。

【0131】

本発明の一実施例によれば、第 3 アクティブ層 133 は、第 2 アクティブ層 132 よりも小さい移動度を有することができる。第 2 アクティブ層 132 は、第 3 アクティブ層 133 よりも 2 倍以上大きい移動度を有することができる。より具体的には、第 2 アクティブ層 132 は、第 3 アクティブ層 133 と比較して 2 倍～5 倍の移動度を有することができる。

【0132】

第 3 アクティブ層 133 は、 $5 \sim 25 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することがで

10

20

30

40

50

きる。より具体的には、第3アクティブ層133は、 $5 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することができ、約 $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ レベルの移動度を有することができる。

【0133】

本発明の一実施例によれば、第2アクティブ層132は、第3アクティブ層133よりも $10 \sim 40 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することができる。第2アクティブ層132は、第3アクティブ層133と比較して、 $10 \sim 30 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもでき、 $10 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもでき、 $20 \sim 30 \text{ cm}^2 / \text{V} \cdot \text{s}$ だけ、さらに大きい移動度を有することもできる。

【0134】

第3アクティブ層133は、例えば、IGZO (InGaZnO) 系酸化物半導体物質、GZO (GaZnO) 系酸化物半導体物質、IGO (InGaO) 系酸化物半導体物質及びGZTO (GaZnSnO) 系酸化物半導体物質のうちの少なくとも1つを含むことができる。第3アクティブ層133を構成する酸化物半導体物質が、ガリウム (Ga) 及びインジウム (In) を含む場合、モル数基準でガリウム (Ga) の濃度がインジウム (In) の濃度より高く設定される [Ga濃度 > In濃度]。

【0135】

第3アクティブ層133が配置される場合、製造過程で中間層である第2アクティブ層132を効果的に保護することができる。例えば、製造工程において、第1アクティブ層131は、下部のバッファ層120または他の絶縁層から発生するガス、例えば、水素 (H)、水分 (H_2O)、酸素 (O_2) 等から中間層である第2アクティブ層132を保護することができ、上部の第3アクティブ層133は、パターンニング工程で使用するエッチング液または上部の絶縁層、例えばゲート絶縁膜140、層間絶縁膜170等から発生するガス、例えば水素 (H)、水分 (H_2O)、酸素 (O_2) などから中間層である第2アクティブ層132を保護することができる。

【0136】

図3A及び図3Bを参照すると、第3アクティブ層133は、第1重畳領域(OA1)及び第1非重畳領域(NO A1)に配置することができる。本発明の一実施例によれば、第3アクティブ層133は、第2アクティブ層132の上面全体を覆うように配置することができる。しかしながら、本発明の一実施例はこれに限定されるものではなく、第3アクティブ層133は、第2アクティブ層132の上面の一部を覆うこともできる。

【0137】

図3A及び図3Bを参照すると、第3アクティブ層133が第1非重畳領域(NO A1)に配置されているが、第3アクティブ層133は、第2アクティブ層132を保護する保護層の役割をするように構成されているため、第3アクティブ層133によるキャリア増加効果は大きくない。したがって、薄膜トランジスタ300のsファクタを高いレベルに維持することができる。

【0138】

図4Aは、本発明のまた他の一実施例による薄膜トランジスタ400の平面図であり、図4Bは、図4AのIb-Ib'に沿って切断した断面図である。

【0139】

図4A及び図4Bを参照すると、アクティブ層130は第2アクティブ層132上の第3アクティブ層133を含み、第3アクティブ層133は第2アクティブ層132上面の一部に配置することができる。具体的には、第3アクティブ層133は、第1非重畳領域(NO A1)に配置されないことがあり得る。第3アクティブ層133は、第1重畳領域(OA1)にのみ配置することができる。

【0140】

第3アクティブ層133が第1重畳領域(OA1)に配置されることにより、少なくとも第1重畳領域(OA1)において第2アクティブ層132の上部を効果的に保護することができる。また、少ない量であるが第3アクティブ層133に含まれるキャリアにより

10

20

30

40

50

、第1重畳領域(OA1)の電子キャリアを増加させることができる。構造的態様では、第3アクティブ層133により第1重畳領域(OA1)の厚さが増加し、第1重畳領域(OA1)の物理的安定性を向上させることができる。その結果、薄膜トランジスタ100の安定性を向上させることができ、第1重畳領域(OA1)によって薄膜トランジスタ100のオン電流(ON-Current)を向上させることができる。

【0141】

一方、第3アクティブ層133は、第1非重畳領域(NO A1)に配置されないため、第1非重畳領域(NO A1)のキャリアは、増加しないことがあり得る。その結果、薄膜トランジスタ400のsファクタを、高いレベルに維持することができる。

【0142】

図5Aは、本発明のまた他の一実施例による薄膜トランジスタ500の平面図であり、図5Bは、図5AのIV-IV'に沿って切断した断面図である。

【0143】

図5Aの薄膜トランジスタ500は、図1Aの薄膜トランジスタ100と比較して、第2非重畳領域(NO A2)をさらに含む。

【0144】

図5A及び図5Bを参照すると、チャネル部130nは、平面図を基準に、第1アクティブ層131と第2アクティブ層132が重畳しない第2非重畳領域(NO A)をさらに含むことができる。第2非重畳領域(NO A2)は、第1非重畳領域(NO A1)と離隔して、第1連結部130aから第2連結部130bまで続く(延在する)ことができる。第1非重畳領域(NO A1)と第2非重畳領域(NO A2)は、第1重畳領域(OA1)を挟んで互いに離隔して配置することができる。

【0145】

本発明の一実施例によれば、第1アクティブ層131は、第2非重畳領域(NO A2)に配置されないことがあり得る。

【0146】

第2非重畳領域(NO A2)は、第1非重畳領域(NO A1)と同様に、第1重畳領域(OA1)よりも低い濃度のキャリア(電子キャリア)を含む。したがって、第2非重畳領域(NO A2)は、第1非重畳領域(NO A1)と同様に、薄膜トランジスタ100のsファクタを増加させる役割をすることができる。

【0147】

図6は、本発明のまた他の一実施例による薄膜トランジスタ600の断面図である。図6は、図5AのIV-IV'に沿って切った断面に対応する。

【0148】

図6を参照すると、アクティブ層130は、第2アクティブ層132上に第3アクティブ層133をさらに含むことができる。第3アクティブ層133は、チャネル部130nにおいて第1連結部130aから第2連結部130bまで続く(延在する)ことができる。第3アクティブ層133は、第1連結部130a及び第2連結部130bにも配置することができる。

【0149】

本発明の一実施例によれば、第3アクティブ層133は、第1重畳領域(OA1)、第1非重畳領域(NO A1)、及び第2非重畳領域(NO A2)に配置することができる。本発明の一実施例によれば、第3アクティブ層133は、第2アクティブ層132の上面全体を覆うように配置することができる。しかしながら、本発明の一実施例はこれに限定されるものではなく、第3アクティブ層133は、第2アクティブ層132の上面の一部を覆うこともできる。

【0150】

図6を参照すると、第3アクティブ層133が、第1非重畳領域(NO A1)及び第2非重畳領域(NO A2)に配置されているが、第3アクティブ層133によるキャリア増加効果は大きくない。したがって、薄膜トランジスタ600のsファクタを高いレベルに

10

20

30

40

50

維持することができる。

【0151】

図7Aは、本発明のまた他の一実施例による薄膜トランジスタ700の平面図であり、図7Bは、図7AのIVa～IVa'に沿って切断した断面図である。

【0152】

図7A及び図7Bを参照すると、アクティブ層130は第2アクティブ層132上の第3アクティブ層133を含み、第3アクティブ層133は第2アクティブ層132上面の一部に配置することができる。具体的には、第3アクティブ層133を第1重畳領域(OA1)に配置することができる。第3アクティブ層133は、第1非重畳領域(NO A1)に配置されないことがあり得る。また、第3アクティブ層133は、第2非重畳領域(NO A2)に配置されないことがあり得る。

10

【0153】

第3アクティブ層133は、第2非重畳領域(NO A2)に配置されないで、第2非重畳領域(NO A2)のキャリアは増加しないことがあり得る。その結果、薄膜トランジスタ700のsファクタを高いレベルに維持することができる。

【0154】

図8Aは、本発明のまた他の一実施例による薄膜トランジスタ800の平面図であり、図8Bは、図8AのV-V'に沿って切断した断面図である。

【0155】

図8Aの薄膜トランジスタ800は、図1Aの薄膜トランジスタ100と比較して、第2重畳領域(OA2)をさらに含む。

20

【0156】

図8A及び図8Bを参照すると、チャネル部130nは、平面図を基準に、第1アクティブ層131と第2アクティブ層132が重畳する第2重畳領域(OA2)をさらに含むことができる。第2重畳領域(OA2)は、第1重畳領域(OA1)と離隔して、第1連結部130aから第2連結部130bまで続く(延在する)ことができる。第1重畳領域(OA1)と第2重畳領域(OA2)は、第1非重畳領域(NO A1)を挟んで互いに離隔して配置することができる。

【0157】

本発明の一実施例によれば、第1アクティブ層131は、第1非重畳領域(NO A1)に配置されず、第1重畳領域(OA1)及び第2重畳領域(OA2)に配置することができる。

30

【0158】

第2重畳領域(OA2)は、第1重畳領域(OA1)と同様に、第1非重畳領域(NO A1)よりも高い濃度のキャリア(電子キャリア)を含む。したがって、第2重畳領域(OA2)は、第1重畳領域(OA1)と同様に、薄膜トランジスタ100のオン電流(On-Current)を向上させる役割をすることができる。

【0159】

図9Aは、本発明のまた他の一実施例による薄膜トランジスタ900の平面図であり、図9Bは、図9AのVa-Va'に沿って切断した断面図である。

40

【0160】

図9A及び図9Bを参照すると、アクティブ層130は、第2アクティブ層132上に第3アクティブ層133をさらに含むことができる。第3アクティブ層133は、チャネル部130nにおいて第1連結部130aから第2連結部130bまで続く(延在する)ことができる。第3アクティブ層133は、第1連結部130a及び第2連結部130bにも配置することができる。

【0161】

本発明の一実施例によれば、第3アクティブ層133は、第1重畳領域(OA1)、第1非重畳領域(NO A1)、及び第2重畳領域(OA2)に配置することができる。本発明の一実施例によれば、第3アクティブ層133は、第2アクティブ層132の上面全体

50

を覆うように配置することができる。しかしながら、本発明の一実施例はこれに限定されるものではなく、第3アクティブ層133は、第2アクティブ層132の上面の一部を覆うこともできる。

【0162】

図9A及び図9Bを参照すると、第3アクティブ層133が第1非重畳領域(NOA1)に配置されているが、第3アクティブ層133によるキャリア増加効果が大きくない。したがって、薄膜トランジスタ900のsファクタを高いレベルに維持することができる。

【0163】

図10Aは、本発明のまた他の一実施例による薄膜トランジスタ1000の平面図であり、図10Bは、図10AのVb-Vb'に沿って切断した断面図である。

【0164】

図10A及び図10Bを参照すると、アクティブ層130は第2アクティブ層132上の第3アクティブ層133を含み、第3アクティブ層133は第2アクティブ層132上面の一部に配置することができる。具体的には、第3アクティブ層133は、第1重畳領域(OA1)及び第2重畳領域(OA2)に配置することができる。第3アクティブ層133は、第1非重畳領域(NOA1)に配置されないことがあり得る。

【0165】

第3アクティブ層133が第1非重畳領域(NOA1)に配置されないことにより、第1非重畳領域(NOA1)のキャリアは、増加しないことがあり得る。その結果、薄膜トランジスタ1000のsファクタを高いレベルに維持することができる。

【0166】

図11A及び図11Bは、遮光層111が配置されていない薄膜トランジスタに印加されるゲート電圧を説明する模式図である。図12は、遮光層111が配置された薄膜トランジスタに印加されるゲート電圧を説明する模式図である。

【0167】

図11A、図11B、図12A及び図12Bは、既に説明されているので、これらに対する詳細な説明は省略する。

【0168】

図13Aは、sファクタとオン(ON)電流との関係のグラフであり、図13Bは、薄膜トランジスタのしきい値電圧グラフである。

【0169】

図13Aを参照すると、遮光層111が配置された薄膜トランジスタにおいて、バッファ層(BUF)120の厚さを厚くしたり、ゲート絶縁膜(GI)140の厚さを薄くする場合、薄膜トランジスタのオン電流を増加させることができるが、sファクタが減少し得る。

【0170】

一方、遮光層111が配置された薄膜トランジスタにおいて、バッファ層(BUF)120の厚さを薄くしたり、ゲート絶縁膜(GI)140の厚さを薄くする場合、薄膜トランジスタのsファクタを増加させることができるが、オン電流が減少し得る。

【0171】

図13Bは、様々な薄膜トランジスタのしきい値電圧を例示している。図13Bにおいて、「実施例1」で示されるのは、図1の薄膜トランジスタ100のしきい値電圧グラフであり、「比較例1」は、オン電流を向上させるためにゲート絶縁膜140の厚さを減らした薄膜トランジスタのしきい値電圧グラフであり、「比較例2」は、sファクタ向上のためにゲート絶縁膜140の厚さを増加させた薄膜トランジスタのしきい値電圧グラフである。

【0172】

「比較例1」を参照すると、ゲート絶縁膜140の厚さを薄くした場合、薄膜トランジスタのオン電流(On-current)は向上するが、sファクタが減少することを確認することができる。また、「比較例2」を参照すると、ゲート絶縁膜140の厚さを増加させ

10

20

30

40

50

た場合、薄膜トランジスタの s ファクタが増加するが、オン電流が減少することを確認することができる。

【0173】

一方、本発明による実施例1の薄膜トランジスタは、大きな s ファクタを有しながらも優れたオン（ON）電流特性を有することを確認することができる。

【0174】

以下、上述した薄膜トランジスタ100、200、300、400、500、600、700、800、900、1000を含む表示装置について詳細に説明する。

【0175】

図14は、本発明のまた他の一実施例による表示装置1100の概略図である。

10

【0176】

本発明のまた他の一実施例による表示装置1100は、図14に示すように、表示パネル310、ゲートドライバ320、データドライバ330及び制御部340を含む。

【0177】

表示パネル310にゲートライン（GL）及びデータライン（DL）が配置され、ゲートライン（GL）とデータライン（DL）の交差領域に画素（P）が配置される。画素（P）の駆動により映像が表示される。

【0178】

制御部340は、ゲートドライバ320とデータドライバ330を制御する。

【0179】

20

制御部340は、外部システム（未図示）から供給される信号を用いて、ゲートドライバ320を制御するためのゲート制御信号（GCS）及びデータドライバ330を制御するためのデータ制御信号（DCS）を出力する。また、制御部340は、外部システムから入力する入力映像データをサンプリングした後、それを再整列して、再整列したデジタル映像データ（RGB）をデータドライバ330に供給する。

【0180】

ゲート制御信号（GCS）は、ゲートスタートパルス（GSP）、ゲートシフトクロック（GSC）、ゲート出力イネーブル信号（GOE）、スタート信号（Vst）及びゲートクロック（GCLK）等を含む。さらに、ゲート制御信号（GCS）には、シフトレジスタを制御するための制御信号を含むことができる。

30

【0181】

データ制御信号（DCS）は、ソーススタートパルス（SSP）、ソースシフトクロック信号（SSC）、ソース出力イネーブル信号（SOE）、極性制御信号（POL）などを含む。

【0182】

データドライバ330は、表示パネル310のデータライン（DL）にデータ電圧を供給する。具体的には、データドライバ330は、制御部340から入力した映像データ（RGB）をアナログデータ電圧に変換し、データ電圧をデータライン（DL）に供給する。

【0183】

ゲートドライバ320は、シフトレジスタ350を含むことができる。

40

【0184】

シフトレジスタ350は、制御部340から伝送されたスタート信号及びゲートクロック等を用いて、1フレームの間、ゲートライン（GL）にゲートパルスを順次供給する。ここで、1フレームとは、表示パネル310を介して1つのイメージが出力される期間をいう。ゲートパルスは、画素（P）に配置されたスイッチング素子（薄膜トランジスタ）をターンオンさせることができるターンオン電圧を有している。

【0185】

また、シフトレジスタ350は、1フレームのうち、ゲートパルスが供給されない残りの期間の間には、ゲートライン（GL）に、スイッチング素子をターンオフさせることができるゲートオフ信号を供給する。以下、ゲートパルスとゲートオフ信号を総称してスキ

50

ャン信号（SSまたはScan）という。

【0186】

本発明の一実施例によれば、ゲートドライバ320を基板110上に実装することができる。このように、ゲートドライバ320が基板110上に直接実装されている構造を、ゲートインパネル（Gate In Panel：GIP）構造という。

【0187】

図15は、図14のいずれか1つの画素（P）に対する回路図であり、図16は、図14の画素（P）に対する平面図であり、図17は、図16のVⅠ-VⅠ'に沿って切断した断面図である。

【0188】

図15の回路図は、表示素子710として有機発光ダイオード（OLED）を含む表示装置1100の画素（P）に対する等価回路図である。

【0189】

画素（P）は、表示素子710及び表示素子710を駆動する画素駆動部（PDC）を含む。

【0190】

図15の画素駆動部（PDC）は、スイッチングトランジスタである第1薄膜トランジスタ（TR1）及び駆動トランジスタである第2薄膜トランジスタ（TR2）を含む。例えば、第2薄膜トランジスタ（TR2）として、上記実施例で説明した薄膜トランジスタ100、200、300、400、500、600、700、800、900、1000を用いることができる。第1薄膜トランジスタ（TR1）として、上記実施例で説明した薄膜トランジスタ100、200、300、400、500、600、700、800、900、1000を用いることもできる。

【0191】

第1薄膜トランジスタ（TR1）は、ゲートライン（GL）及びデータライン（DL）に連結していて、ゲートライン（GL）を介して供給されるスキャン信号（SS）によってターンオン又はターンオフする。

【0192】

データライン（DL）は、画素駆動部（PDC）にデータ電圧（Vdata）を提供し、第1薄膜トランジスタ（TR1）は、データ電圧（Vdata）の印加を制御する。

【0193】

駆動電源ライン（PL）は、表示素子710に駆動電圧（Vdd）を提供し、第2薄膜トランジスタ（TR2）は、駆動電圧（Vdd）を制御する。駆動電圧（Vdd）は、表示素子710である有機発光ダイオード（OLED）を駆動するための画素駆動電圧である。

【0194】

ゲートドライバ320からゲートライン（GL）を介して印加されたスキャン信号（SS）によって第1薄膜トランジスタ（TR1）がターンオンされるとき、データライン（DL）を介して供給されたデータ電圧（Vdata）が、表示素子710に連結した第2薄膜トランジスタ（TR2）のゲート電極（G2）に供給される。データ電圧（Vdata）は、第2薄膜トランジスタ（TR2）のゲート電極（G2）とソース電極（S2）の間に形成された第1キャパシタ（C1）に充電される。第1キャパシタ（C1）は、ストレージキャパシタ（Cst）である。

【0195】

データ電圧（Vdata）によって、第2薄膜トランジスタ（TR2）を介して表示素子710である有機発光ダイオード（OLED）に供給される電流の量が制御され、これにより、表示素子710から出力する光の階調を制御することができる。

【0196】

図16及び図17を参照すると、第1薄膜トランジスタ（TR1）及び第2薄膜トランジスタ（TR2）は、基板110上に配置される。

10

20

30

40

50

【0197】

基板110は、ガラスまたはプラスチックからなることができる。基板110として、フレキシブル特性を有するプラスチック、例えばポリイミド（PI）を用いることができる。

【0198】

基板110上に光遮断層111が配置される。図16及び図17には、駆動トランジスタである第2薄膜トランジスタ（TR2）の下部にのみ光遮断層111が配置された構成を例示している。しかしながら、本発明の一実施例はこれに限定されるものではなく、第1薄膜トランジスタ（TR1）の下部にも光遮断層111を配置することができる。

【0199】

光遮断層111上にバッファ層120が配置される。バッファ層120は、絶縁性物質からなり、外部から流入する水分や酸素などからアクティブ層（A1、A2）を保護する。

【0200】

バッファ層120上に、第1薄膜トランジスタ（TR1）のアクティブ層（A1）及び第2薄膜トランジスタ（TR2）のアクティブ層（A2）が配置される。

【0201】

アクティブ層（A1、A2）は、例えば、第1アクティブ層131、第2アクティブ層132及び第3アクティブ層133を含むことができる。アクティブ層（A1、A2）は、図3、4、6、7、9及び10の構造のうちのいずれか1つの構造を有することができる。

【0202】

アクティブ層（A1、A2）上にゲート絶縁膜140が配置される。ゲート絶縁膜140は、アクティブ層（A1、A2）の上面全体を覆うこともでき、アクティブ層（A1、A2）の一部のみを覆うこともできる。

【0203】

ゲート絶縁膜140上に、第1薄膜トランジスタ（TR1）のゲート電極（G1）及び第2薄膜トランジスタ（TR2）のゲート電極（G2）が配置される。また、ゲート絶縁膜140上に第1キャパシタ電極（CE1）を配置することができる。第1キャパシタ電極（CE1）は、第2薄膜トランジスタ（TR2）のゲート電極（G2）と連結することができる。

【0204】

ゲート電極（G1、G2）及び第1キャパシタ電極（CE1）上に、層間絶縁膜170が配置される。

【0205】

層間絶縁膜170上にデータライン（DL）、駆動電源ライン（PL）、ソース電極（S1、S2）及びドレイン電極（D1、D2）が配置される。

【0206】

データライン（DL）の一部を延長して第1薄膜トランジスタ（TR1）のソース電極（S1）とすることができる。第1薄膜トランジスタ（TR1）のソース電極（S1）は、コンタクトホール（H11）を介して第1薄膜トランジスタ（TR1）のアクティブ層（A1）と連結することができる。

【0207】

図16及び図17を参照すると、層間絶縁膜170上に第1薄膜トランジスタ（TR1）のドレイン電極（D1）及び第2薄膜トランジスタ（TR2）のソース電極（S2）が配置される。

【0208】

第1薄膜トランジスタ（TR1）のドレイン電極（D1）は、コンタクトホール（H12）を介して第1薄膜トランジスタ（TR1）のアクティブ層（A1）と連結することができる。また、第1薄膜トランジスタ（TR1）のドレイン電極（D1）は、コンタクトホール（H13）を介して第1キャパシタ電極（CE1）と連結することができる。その

10

20

30

40

50

結果、第1キャパシタ電極（C E 1）および第2薄膜トランジスタ（T R 2）のゲート電極（G 2）にデータ電圧を印加することができる。

【0209】

第2薄膜トランジスタ（T R 2）のソース電極（S 2）のいずれか1つのコンタクトホール（H 1 4）を介して光遮断層111と連結し、他のコンタクトホール（H 1 5）を介して第2薄膜トランジスタ（T R 2）のアクティブ層（A 2）と連結することができる。その結果、光遮断層111が、第2薄膜トランジスタ（T R 2）のソース電極（S 2）と連結することができる。

【0210】

また、第2薄膜トランジスタ（T R 2）のソース電極（S 2）を延長して第2キャパシタ電極（C E 2）とすることができる。第2キャパシタ電極（C E 2）は、第1キャパシタ電極（C E 1）と重畳して第1キャパシタ（C 1）を形成する。

10

【0211】

駆動電源ライン（P L）の一部を延長して第2薄膜トランジスタ（T R 2）のドレイン電極（D 2）とすることができる。第2薄膜トランジスタ（T R 2）のドレイン電極（D 2）は、コンタクトホール（H 1 6）を介して第2薄膜トランジスタ（T R 2）のアクティブ層（A 2）と連結することができる。

【0212】

データライン（D L）、駆動電源ライン（P L）、ソース電極（S 1、S 2）、ドレイン電極（D 1、D 2）及び第2キャパシタ電極（C E 2）上に平坦化層180が配置される。平坦化層180は、第1薄膜トランジスタ（T R 1）及び第2薄膜トランジスタ（T R 2）の上部を平坦化し、第1薄膜トランジスタ（T R 1）及び第2薄膜トランジスタ（T R 2）を保護する。

20

【0213】

平坦化層180上に表示素子710の第1電極711が配置される。表示素子710の第1電極711は、平坦化層180に形成されたコンタクトホール（H 1 7）を介して、第2薄膜トランジスタ（T R 2）のソース電極（S 2）及び第2キャパシタ電極（C E 2）と、接触する。

【0214】

第1電極711の縁にバンク層750が配置される。バンク層750は、表示素子710の発光領域を定義する。

30

【0215】

第1電極711上に有機発光層712が配置され、有機発光層712上に第2電極713が配置される。これにより、表示素子710が完成する。図17に示す表示素子710は、有機発光ダイオード（O L E D）である。したがって、本発明の一実施例による表示装置1100は、有機発光表示装置である。

【0216】

本発明のまた他の一実施例によれば、第2の薄膜トランジスタ（T R 2）は、大きなsファクタを有することができる。第2薄膜トランジスタ（T R 2）は、駆動トランジスタとして用いられ、表示装置1100の階調表現能力を向上させることができる。

40

【0217】

図18は、本発明のまた他の一実施例による表示装置1200のいずれか1つの画素（P）の回路図である。

【0218】

図18は、有機発光表示装置の画素（P）に対する等価回路図である。

【0219】

図18に示す表示装置1200の画素（P）は、表示素子710である有機発光ダイオード（O L E D）、および表示素子710を駆動する画素駆動部（P D C）を含む。表示素子710は、画素駆動部（P D C）に連結する。

【0220】

50

画素 (P) には、画素駆動部 (PDC) に信号を供給する信号ライン (DL、GL、PL、RL、SCL) が、配置されている。

【0221】

データライン (DL) にデータ電圧 (Vdata) が供給され、ゲートライン (GL) にスキャン信号 (SS) が供給され、駆動電源ライン (PL) に画素を駆動する駆動電圧 (Vdd) が供給され、リファレンスライン (RL) には基準電圧 (Vref) が供給され、センシング制御ライン (SCL) にセンシング制御信号 (SCS) が供給される。

【0222】

図18を参照すると、n番目の画素 (P) のゲートラインを「GL_n」とするとき、隣り合うn-1番目の画素 (P) のゲートラインは「GL_{n-1}」であり、n-1番目の画素 (P) のゲートライン「GL_{n-1}」は、n番目の画素 (P) のセンシング制御ライン (SCL) の役割をすることができる。

10

【0223】

画素駆動部 (PDC) は、例えば、ゲートライン (GL) 及びデータライン (DL) と連結した第1薄膜トランジスタ (TR1) (スイッチングトランジスタ)、第1薄膜トランジスタ (TR1) を介して、伝送されるデータ電圧 (Vdata) によって表示素子710に出力される電流の大きさを制御する第2薄膜トランジスタ (TR2) (駆動トランジスタ)、第2薄膜トランジスタ (TR2) の特性を感知するための第3薄膜トランジスタ (TR3) (リファレンストランジスタ) を含む。

【0224】

第2薄膜トランジスタ (TR2) のゲート電極 (G2) と表示素子710の間に第1キャパシタ (C1) が位置する。第1キャパシタ (C1) は、ストレージキャパシタ (Cst) とも呼ばれる。

20

【0225】

第1薄膜トランジスタ (TR1) は、ゲートライン (GL) に供給されるスキャン信号 (SS) によってターンオンされ、データライン (DL) に供給されるデータ電圧 (Vdata) を第2薄膜トランジスタ (TR2) のゲート電極 (G2) に伝送する。

【0226】

第3薄膜トランジスタ (TR3) は、第2薄膜トランジスタ (TR2) と表示素子710の間の第1ノード (n1) 及びリファレンスライン (RL) に連結し、センシング制御信号 (SCS) によってターンオンまたはターンオフされ、センシング期間に駆動トランジスタである第2薄膜トランジスタ (TR2) の特性を感知する。

30

【0227】

第2薄膜トランジスタ (TR2) のゲート電極 (G2) と連結した第2ノード (n2) は、第1薄膜トランジスタ (TR1) と連結する。第2ノード (n2) と第1ノード (n1) の間に第1キャパシタ (C1) が配置される。

【0228】

第1薄膜トランジスタ (TR1) がターンオンすると、データライン (DL) を介して供給されたデータ電圧 (Vdata) が、第2薄膜トランジスタ (TR2) のゲート電極 (G2) に供給される。データ電圧 (Vdata) は、第2薄膜トランジスタ (TR2) のゲート電極 (G2) とソース電極 (S2) の間に形成された第1キャパシタ (C1) に充電される。

40

【0229】

第2薄膜トランジスタ (TR2) がターンオンすると、画素を駆動する駆動電圧 (Vdd) により、電流が第2薄膜トランジスタ (TR2) を介して表示素子710に供給され、表示素子710から光が出力される。

【0230】

図19は、本発明のまた他の一実施例による表示装置1300のいずれか1つの画素の回路図である。

【0231】

50

図19に示す表示装置1300の画素(P)は、表示素子710である有機発光ダイオード(OLED)、および表示素子710を駆動する画素駆動部(PDC)とを含む。表示素子710は、画素駆動部(PDC)に連結する。

【0232】

画素駆動部(PDC)は、薄膜トランジスタ(TR1、TR2、TR3、TR4)を含む。

【0233】

画素(P)には、画素駆動部(PDC)に駆動信号を供給する信号ライン(DL、EL、GL、PL、SCL、RL)が配置されている。

【0234】

図19の画素(P)は、図18の画素(P)と比較して、発光制御ライン(EL)をさらに含む。発光制御ライン(EL)に、発光制御信号(EM)が供給される。

【0235】

また、図19の画素駆動部(PDC)は、図18の画素駆動部(PDC)と比較して、第2薄膜トランジスタ(TR2)の発光時点を制御するための発光制御トランジスタである第4薄膜トランジスタ(TR4)をさらに含む。

【0236】

図19を参照すると、n番目の画素(P)のゲートラインを「GL_n」とすると、隣合うn-1番目の画素(P)のゲートラインは「GL_{n-1}」であり、n-1番目の画素(P)のゲートライン「GL_{n-1}」は、n番目の画素(P)のセンシング制御ライン(SCL)の役割をする。

【0237】

第2薄膜トランジスタ(TR2)のゲート電極(G2)と表示素子710との間に、第1キャパシタ(C1)が位置する。また、第4薄膜トランジスタ(TR4)の端子のうち、駆動電圧(V_{dd})が供給される端子と、表示素子710の一電極との間に第2キャパシタ(C2)が位置する。

【0238】

第1薄膜トランジスタ(TR1)は、ゲートライン(GL)に供給されるスキャン信号(SS)によってターンオンし、データライン(DL)に供給されるデータ電圧(V_{data})を第2薄膜トランジスタ(TR2)のゲート電極に伝送する。

【0239】

第3薄膜トランジスタ(TR3)は、リファレンスライン(RL)に連結し、センシング制御信号(SCS)によってターンオンまたはターンオフし、センシング期間に駆動トランジスタである第3薄膜トランジスタ(TR1)の特性を感知する。

【0240】

第4薄膜トランジスタ(TR4)は、発光制御信号(EM)によって駆動電圧(V_{dd})を第2薄膜トランジスタ(TR2)に伝達するか、または駆動電圧(V_{dd})を遮断する。第4薄膜トランジスタ(TR4)がターンオンすると、第2薄膜トランジスタ(TR2)に電流が供給され、表示素子710から光が出力される。

【0241】

本発明のまた他の実施例による画素駆動回路(PDC)は、上記で説明した構造以外の他の様々な構造で形成することができる。画素駆動回路(PDC)は、例えば、5個以上の薄膜トランジスタを含むこともできる。

【0242】

以上、説明した本発明は、上述した実施例及び添付の図によって限定されるものではなく、本発明の技術的事項から逸脱しない範囲内で種々の置換、変形及び変更が可能であることが本発明が属する技術分野において通常の知識を有する者にとって明らかであろう。したがって、本発明の範囲は、後述する特許請求の範囲によって示され、特許請求の範囲の意味、範囲、およびその等価概念から導出されるすべての変更または変形された形態が本発明の範囲に含まれるものと解釈されなければならない。

10

20

30

40

50

【符号の説明】

【0243】

100、200、300、400、500、600、700、800、900、100

0：薄膜トランジスタ

110：基板

111：光遮断層

120：バッファ層

130：アクティブ層

130n：チャネル部

130a：第1連結部

130b：第2連結部

131：第1酸化物半導体層

132：第2酸化物半導体層

140：ゲート絶縁膜

150：ゲート電極

710：表示素子

711：第1電極

712：有機発光層

713：第2電極

10

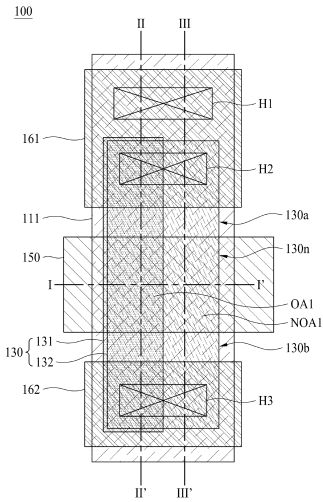
20

30

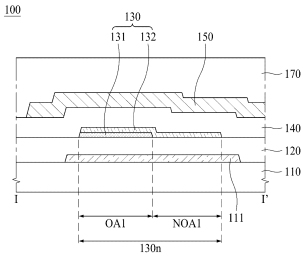
40

50

【図面】
【図 1 A】

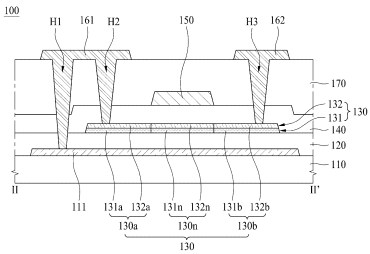


【図 1 B】

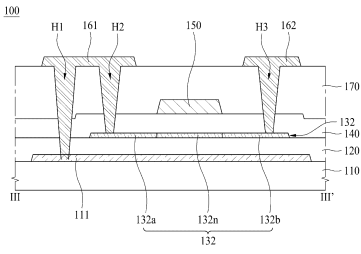


10

【図 1 C】



【図 1 D】



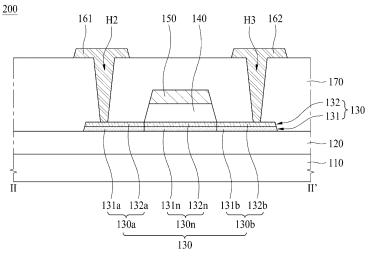
20

30

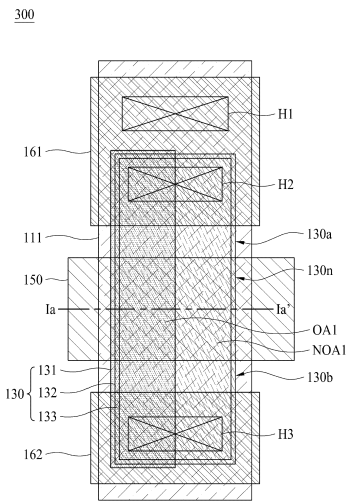
40

50

【図 2】

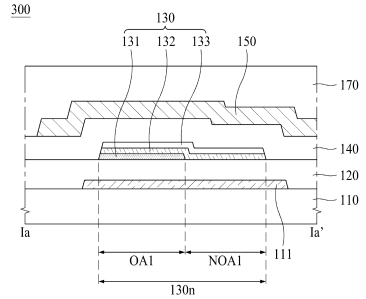


【図 3 A】

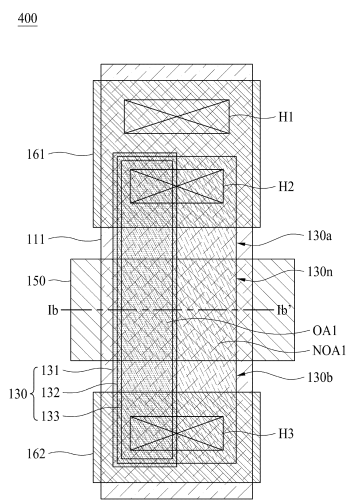


10

【図 3 B】



【図 4 A】



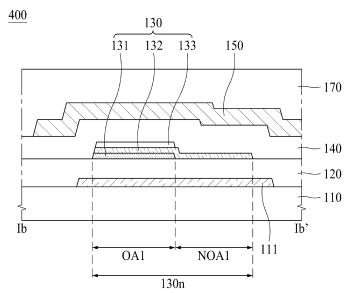
20

30

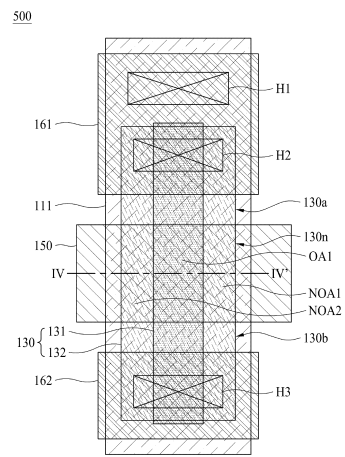
40

50

【図 4 B】

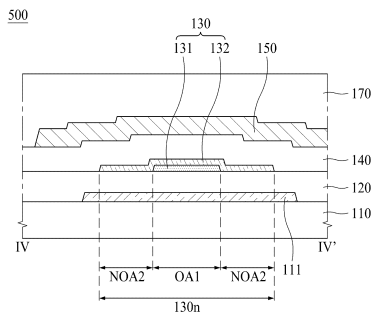


【図 5 A】

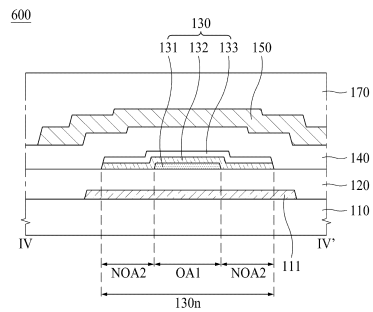


10

【図 5 B】



【図 6】



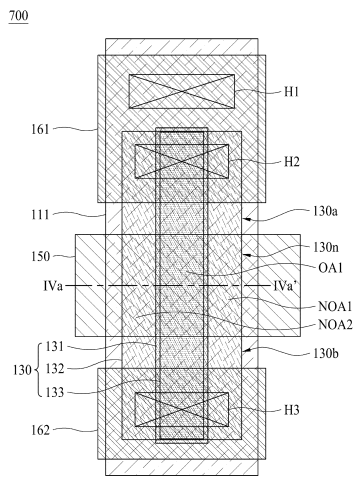
20

30

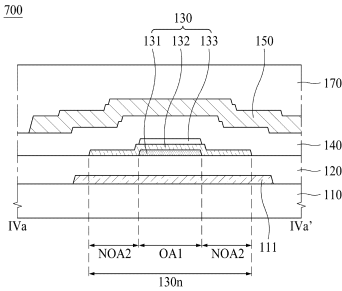
40

50

【図 7 A】

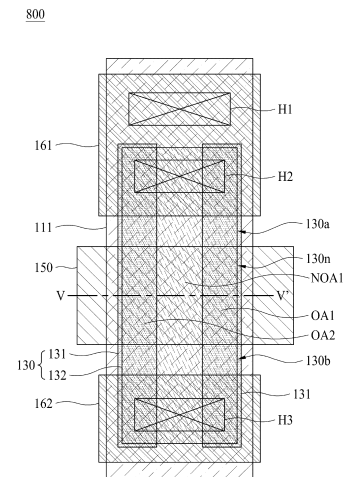


【図 7 B】

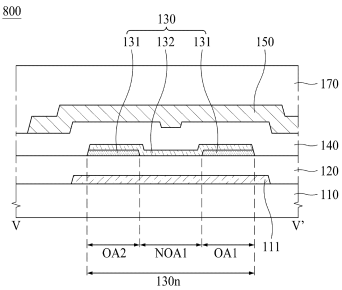


10

【図 8 A】



【図 8 B】



20

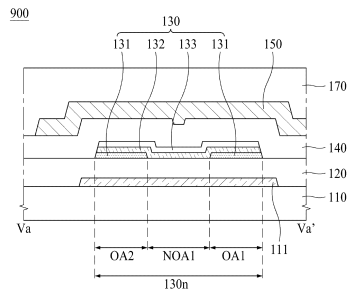
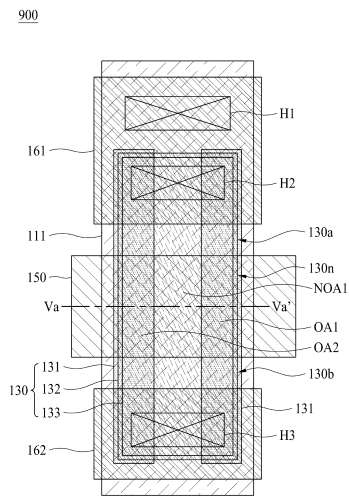
30

40

50

【図 9 A】

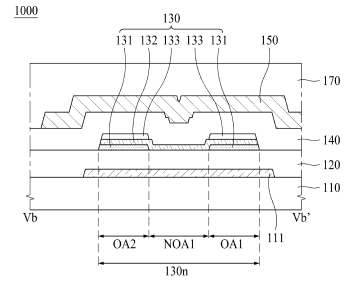
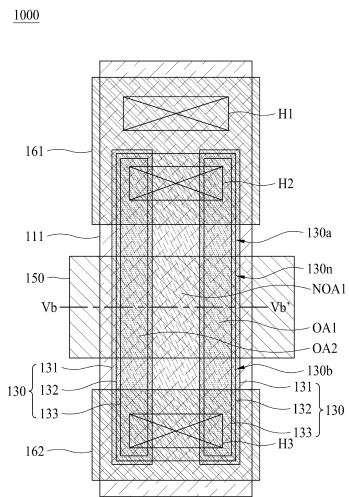
【図 9 B】



10

【図 10 A】

【図 10 B】



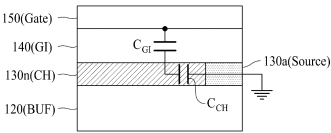
20

30

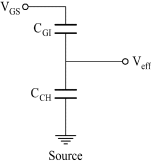
40

50

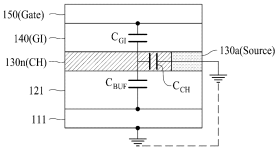
【図 1 1 A】



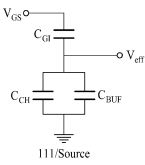
【図 1 1 B】



【図 1 2 A】

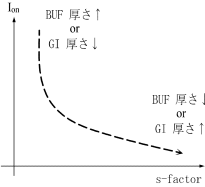


【図 1 2 B】

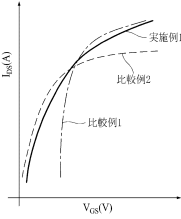


10

【図 1 3 A】



【図 1 3 B】



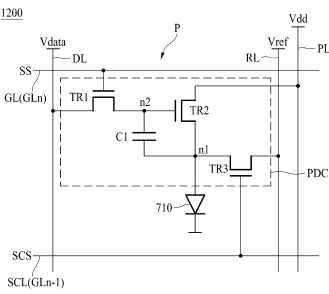
20

30

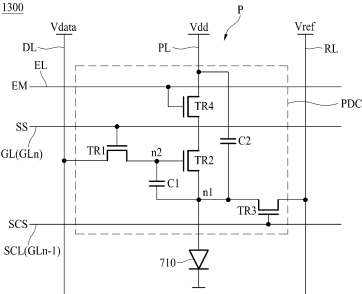
40

50

【図 18】



【図 19】



10

20

30

40

50

フロントページの続き

- (72)発明者 チョン, ジンウォン
 大韓民国、１０８４５ キョンギード、パジューシ、ウーロンーミョン、エルジーーロ ２４５
- (72)発明者 パク, ジェユン
 大韓民国、１０８４５ キョンギード、パジューシ、ウーロンーミョン、エルジーーロ ２４５
- 審査官 志津木 康
- (56)参考文献 特開２０１６－１０５４７４（ＪＰ，Ａ）
 特開２０１５－１８８０６３（ＪＰ，Ａ）
 特開２０１３－０３８４００（ＪＰ，Ａ）
 特開２０１３－０３８４０２（ＪＰ，Ａ）
- (58)調査した分野 (Int.Cl., DB名)
- H１０Ｄ ３０／６７
- G０９Ｆ ９／３０
- H１０Ｋ ５９／１２