

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3772889号  
(P3772889)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月24日(2006.2.24)

(51) Int. Cl.	F I		
G09G 3/30 (2006.01)	G09G 3/30	K	
G09G 3/20 (2006.01)	G09G 3/20	621F	
HO1L 51/50 (2006.01)	G09G 3/20	624B	
	G09G 3/20	641D	
	HO5B 33/14	A	

請求項の数 13 (全 19 頁)

(21) 出願番号	特願2004-84650 (P2004-84650)	(73) 特許権者	000002369
(22) 出願日	平成16年3月23日(2004.3.23)		セイコーエプソン株式会社
(65) 公開番号	特開2005-4173 (P2005-4173A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成17年1月6日(2005.1.6)	(74) 代理人	100110179
審査請求日	平成16年3月23日(2004.3.23)		弁理士 光田 敦
(31) 優先権主張番号	特願2003-140971 (P2003-140971)	(74) 代理人	100095728
(32) 優先日	平成15年5月19日(2003.5.19)		弁理士 上柳 雅普
(33) 優先権主張国	日本国(JP)	(74) 代理人	100107076
			弁理士 藤網 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	今村 陽一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置およびその駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差点部に対応して配置された複数の画素と、複数の第1の電源配線と、を含み、

前記複数の画素の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、前記第1のスイッチトランジスタに接続された第2のスイッチトランジスタと、画素電極と共通電極と電気光学材料とにより構成される電気光学素子と、前記電気光学素子に接続された駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、前記第2の電極と第1の所定電位との電氣的接続を制御するスイッチ手段と、を含み、

前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、前記複数の第1の電源配線のうち対応する第1の電源配線と前記電気光学素子は前記駆動トランジスタを介して当該導通状態に応じて電氣的に接続され、

前記第2の電極は、前記駆動トランジスタと前記画素電極との間で接続され、前記スイッチ手段を導通することにより前記第1の所定電位に設定され、

前記複数のデータ線のうち対応するデータ線を介してデータ信号が供給される以前に前記第1のスイッチトランジスタのデータ信号を保持する側の電極は、前記第2のスイッチ

10

20

トランジスタを導通することにより第2の所定電位に設定され、

前記第2のスイッチトランジスタの導通状態は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に供給される走査信号とは別の周期信号により制御されること

を特徴とする電気光学装置。

【請求項2】

請求項1に記載の電気光学装置において、

前記第1の所定電位は前記共通電極の電位と同一であることを特徴とする電気光学装置

。

【請求項3】

請求項1又は2に記載の電気光学装置において、

前記駆動トランジスタはnチャネルトランジスタもしくはpチャネルトランジスタであることを特徴とする電気光学装置。

【請求項4】

請求項1乃至3のいずれかに記載の電気光学装置において、

前記駆動トランジスタは、アモルファス薄膜トランジスタであることを特徴とする電気光学装置。

【請求項5】

請求項1乃至4のいずれかに記載の電気光学装置において、

前記複数の画素の各々に、前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号が、前記第1のスイッチトランジスタにより供給遮断される時までには前記第2の電極は、前記第1の所定電位に設定されていることを特徴とする電気光学装置。

【請求項6】

請求項1乃至5のいずれかに記載の電気光学装置において、

前記複数の画素の各々は、前記第1の所定電位を前記複数の画素の各々に含まれる前記第2の電極に供給するための複数の第2の電源配線をさらに含むことを特徴とする電気光学装置。

【請求項7】

請求項1乃至6のいずれかに記載の電気光学装置において、

前記電気光学素子は、有機EL素子であることを特徴とする電気光学装置。

【請求項8】

マトリクス状に配置された複数の電気光学素子を駆動するための駆動装置であって、

複数の走査線と、複数のデータ線と、複数の第1の電源配線と、前記複数の走査線と前記複数のデータ線との交差部に対応して配置された複数の画素回路と、を含み、

前記複数の画素回路の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、前記第1のスイッチトランジスタに接続された第2のスイッチトランジスタと、前記電気光学素子に供給する電流を、その導通状態によって制御する駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、前記第2の電極と第1の所定電位との電氣的接続を制御するスイッチ手段と、を含み、

前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、

前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、当該導通状態に応じた電流レベルを有する電流が前記複数の第1の電源配線のうち対応する第1の電源配線から前記駆動トランジスタを介して前記複数の電気光学素子のうち対応する電気光学素子に供給され、

前記第2の電極は、前記駆動トランジスタのソースに接続され、前記データ信号が前記キャパシタに供給される前の少なくとも一部の期間において、前記駆動トランジスタの前記ソースはスイッチ手段を介して第1の所定電位に電氣的に接続され、

10

20

30

40

50

前記データ信号がキャパシタに供給される前の少なくとも一部の期間において、前記第1のスイッチトランジスタのデータ信号を保持する側の電極は、前記第2のスイッチトランジスタを導通することにより第2の所定電位に設定され、

前記第2のスイッチトランジスタの導通状態は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に供給される走査信号とは別の周期信号により制御されること

を特徴とする駆動装置。

【請求項9】

請求項8に記載の駆動装置において、

前記駆動トランジスタは、nチャネルトランジスタもしくはpチャネルトランジスタであることを特徴とする駆動装置。

10

【請求項10】

請求項8または9に記載の駆動装置において、

前記駆動トランジスタおよび前記第1のスイッチトランジスタは、アモルファス薄膜トランジスタであることを特徴とする駆動装置。

【請求項11】

請求項8乃至10のいずれかに記載の駆動装置において、

前記第2のスイッチトランジスタ及び前記スイッチ手段は、共に走査信号とは別の共通の信号により制御されることを特徴とする駆動装置。

20

【請求項12】

請求項8乃至11のいずれかに記載の駆動装置において、

前記複数の画素回路の各々は、前記駆動トランジスタの前記ソースの電位を前記スイッチ手段を介して前記第1の所定電位に設定するための複数の第2の電源配線をさらに含むことを特徴とする駆動装置。

【請求項13】

請求項12に記載の駆動装置において、

前記第1の所定電位は、前記複数の第1の電源配線の電位及び前記複数の第2の電源配線の電位のうち、いずれか電位の低い電位と同一であることを特徴とする駆動装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、例えばテレビやコンピュータなどの情報機器の表示等を行う電気光学装置に関し、特に有機EL(Electro Luminescence)素子のような電気光学素子を駆動する駆動装置に関する。

【背景技術】

【0002】

近年では、有機EL表示装置が軽量、薄型、高輝度、広視野角という特徴を持つことから携帯電話のような携帯用情報機器のモニタディスプレイとして注目されている。典型的なアクティブマトリクス有機EL表示装置は、マトリクス状に配列される複数の表示画素により画像を表示するように構成される。表示画素には、表示の最小単位となる画素ごとに画素回路を備えている。この画素回路は、電気光学素子に供給される電流または電圧を制御するための回路である。

40

【0003】

このような有機EL表示装置では、複数の走査線がこれら表示画素の行に沿って配置され、複数のデータ線がこれら表示画素の列に沿って配置され、複数の画素スイッチがこれら走査線およびデータ線の交差位置近傍に配置される。各表示画素は少なくとも有機EL素子、一对の電源端子間でこの有機EL素子に直列に接続される駆動トランジスタ、およびこの駆動トランジスタのゲート電圧を保持する保持キャパシタにより構成される。各画素の選択スイッチは対応走査線から供給される走査信号に応答して導通し、対応データ線から供給される映像信号(電圧もしくは電流)を直接もしくは画素回路特性のバラツキ補

50

正処理した結果としての階調電圧を駆動トランジスタのゲートに印加する。駆動トランジスタはこの階調電圧に応じた駆動電流を有機EL素子に供給する。

【0004】

有機EL素子は赤、緑、または青の蛍光性有機化合物を含む薄膜である発光層を共通電極（カソード）および画素電極（アノード）間に挟持した構造を有し、発光層に電子および正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。ボトムエミッション型の有機EL素子の場合、電極はITO等で構成される透明電極であり、共通電極（カソード）電極はアルカリ金属等をアルミニウム等の金属で低抵抗化した反射電極で構成される。この構成により、有機EL素子単独では10V以下の印加電圧で100～100000cd/m<sup>2</sup>程度の輝度を得ることができる。

10

【0005】

上記の有機EL表示装置の各画素回路は、特許文献1に開示されているように、能動素子として薄膜トランジスタ（TFT）を含む。この薄膜トランジスタは、例えば低温ポリシリコンTFTによって形成される。

【0006】

【特許文献1】特開平5-107561号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

この種の表示装置において表示品位を向上させるためには、画素回路の電気的な特性がすべての画素にわたって均一であることが望ましい。しかしながら、低温ポリシリコンTFTは、その再結晶化に際して特性のバラツキが生じやすく、また、結晶欠陥が発生する場合もある。このため、低温ポリシリコンTFTからなる薄膜トランジスタを用いた表示装置においては、画素回路の電気的な特性をすべての画素にわたって均一化することが極めて困難であった。特に、表示画像の高精細化や大画面化のために画素数が増加すると、各画素回路の特性のバラツキが生じる可能性は更に高くなるから、表示品位の低下の問題はますます顕著となる。また再結晶化のためのレーザーアニール装置の制約から基板サイズをアモルファスTFT（-TFT）のように大サイズ化し、生産性を向上させることが困難であった。

20

30

【0008】

一方-TFTは、トランジスタのバラツキは比較的少なく交流駆動を行うLCDにおいて大基板サイズ化の量産実績があるものの、一方向に定常的にゲート電圧を印加し続けると、閾値電圧がシフトする結果、電流値が変わり、輝度が低下する等の画質に悪影響を及ぼす。しかも-TFTでは移動度が小さいため、高速応答でドライブできる電流にも限界があり、nチャンネルTFTだけで構成されたものが実用になっているだけであった。

【0009】

さらに現在までのところ有機EL素子は、その使用材料からくる有機EL製作技術の制限により、その構造はTFT基板側を画素電極（アノード）に、共通電極（カソード）を素子の表面側にせざるを得ない。したがって図9に示す従来の画素回路において、共通電極電源38と有機EL素子16の画素電極（アノード）とPチャンネル駆動TFT61の関係は、図9に示すように駆動トランジスタを飽和領域で動作可能な接続関係に限られる。さらに一般に有機EL素子の輝度を一定に保とうとした場合、時間の経過につれ有機EL素子の高抵抗化が起こるため、一定電流で駆動しなければならない。このため駆動回路は3つ以上のTFTから構成され、その駆動TFTは負荷変動に関係なく一定電流を流せる低温ポリシリコンのPチャンネルTFTが用いられてきた。ちなみに図9において駆動トランジスタ61がnチャンネルTFTの場合、駆動トランジスタ61のソース電極が有機EL素子側（ソースフォロア）になり、負荷変動に対し電流値が変わってしまう。

40

【0010】

さらに駆動回路は、電源配線や走査線の他に画素への表示データ書込み準備信号や強制

50

オフ信号を必要とし、これらを外部ドライバICから供給することは、接続端子の接続ピッチの制約があり、困難であった。一画素当り1～2本が限度であった。

このため有機EL素子の駆動に - T F Tを使うことは、これまで不可能であると考えられてきた。

#### 【0011】

本発明は、このような事情に鑑みてなされたものであり、その目的は、電気光学素子などの被駆動素子を駆動する回路において - T F Tのような駆動能力の低い駆動素子でも構成可能な駆動回路および駆動方法およびそれを用いた電気光学装置を提供することにある。

#### 【課題を解決するための手段】

10

#### 【0012】

上記課題を解決するために、本発明に係る電気光学装置の第1の特徴は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差部に対応して配置された複数の画素と、複数の第1の電源配線と、を含み、前記複数の画素の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、画素電極と共通電極と電気光学材料とにより構成される電気光学素子と、前記電気光学素子に接続された駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、を含み、前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、前記複数の第1の電源配線のうち対応する第1の電源配線と前記電気光学素子は前記駆動トランジスタを介して当該導通状態に応じて電氣的に接続され、前記第2の電極は、前記駆動トランジスタと前記画素電極との間で接続されている。

20

#### 【0013】

この構成においては、駆動トランジスタのソース電極とゲート電極との間に電荷保持用のキャパシタが設けられているため、電気光学素子が駆動トランジスタにソースフォロワ接続されていても、駆動トランジスタのソースとゲート間電圧 $V_{GS}$ はソース電圧が変化しても維持される。これによりデータ線を介して供給されるデータ信号に応じた駆動電流が電気光学素子に供給されることになり、電気光学素子を所定の特性で動作させることができる。

30

#### 【0014】

なお、本発明における電気光学装置に適用される電気光学素子は、電流の供給や電圧の印加といった電氣的な作用を、輝度や透過率の変化といった光学的な作用に変換し、または光学的な作用を電氣的な作用に変換する。このような電気光学素子の典型的な例は、画素回路から供給される電流に応じた輝度にて発光する有機EL素子である。もっとも、これ以外の電気光学素子を用いた装置にも本発明は適用され得る。

#### 【0015】

また、好ましい態様において、複数の電気光学素子の各々は平面内の異なる位置に配置される。例えば、複数の電気光学素子は、行方向および列方向にわたってマトリクス状に配置される。

40

#### 【0016】

上記課題を解決するために、本発明に係る電気光学装置の第2の特徴は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差部に対応して配置された複数の画素と、複数の第1の電源配線と、を含み、前記複数の画素の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、画素電極と共通電極と電気光学材料とにより構成される電気光学素子と、前記電気光学素子に接続された駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動

50

トランジスタのゲートに接続されたキャパシタと、を含み、前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、前記複数の第1の電源配線のうち対応する第1の電源配線と前記電気光学素子は前記駆動トランジスタを介して当該導通状態に応じて電氣的に接続され、前記第2の電極は、前記駆動トランジスタと前記画素電極との間で接続され、前記第2の電極と第1の所定電位源との電氣的接続を制御するスイッチ手段を導通することにより前記第2の電極は前記第1の所定電位に設定される。

【0017】

この構成によれば、前記電荷保持用のキャパシタの第2の電極が接続される前記駆動トランジスタのソース電極は、データ線を介して供給されるデータ信号が駆動トランジスタを駆動制御するように書き込まれるときに、スイッチ手段により接地電位もしくは所定の電位に設定される。これによりソース電極と第2の電源の間に電気光学素子が接続されていても、データ信号は常に一定の電位に対して書き込みがされるので、駆動トランジスタの駆動電流はデータ信号に1対1に対応した値にすることができる。よって電気光学素子を所定の特性で動作させることができる。

10

【0018】

本発明における電気光学装置におけるより具体的な態様において、前記所定電位は前記共通電極の電位と同一である。この構成によれば、電気光学装置の電源数を増やさずに接地電位を用いることができ、電源コストの削減につながる。

20

【0019】

本発明における電気光学装置におけるさらに具体的な態様において、前記駆動トランジスタはnチャネルトランジスタもしくはpチャネルトランジスタである。この態様によれば、有機EL素子の従来の製造方法を変更せずにTFT基板を構成するトランジスタの性能やTFT基板の生産性を考慮して最も最適なトランジスタを使って駆動回路の高性能化を図ることができる。

【0020】

さらに好ましい態様において、前記駆動トランジスタは、アモルファス薄膜トランジスタ(-TFT)である。この構成によれば、駆動基板の大部分の面積を占める画素部分を同一種のチャネルトランジスタで構成できるためTFT基板製造が容易となる。マトリクス状に電気光学素子を多数配置した大型の電気光学パネルを大サイズ技術の確立したアモルファスTFT技術を用いて早期に実現することができる。またポリシリコンTFTを用いた場合にも、画素部分を同一種のチャネルトランジスタで構成することは、TFTの製造条件を最適化しやすく好ましい。

30

【0021】

他の態様において、前記複数の画素の各々に、前記複数のデータ線のうち対応するデータ線を介してデータ信号が供給される以前に、前記第1のスイッチトランジスタのデータ信号を保持する側の電極は、前記第1の所定電位とは別電位である第2の所定電位に設定されている。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に所定の電位に初期化がされるので、駆動トランジスタのゲート電圧が交流化できること、あるいは駆動トランジスタの閾値補償検出をデータ信号の値に影響されずに行うことができることで、駆動トランジスタの閾値変動を抑制することができる。

40

【0022】

さらに他の態様において、前記複数の画素の各々は、前記第1のスイッチトランジスタのデータ信号を保持する側の電極と前記第2の所定電位との接続を制御する第2のスイッチトランジスタをさらに含み、前記第2のスイッチトランジスタの導通状態は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に供給される周期信号により制御される。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に初期化が必要な場合において、データ信号の書込みタイミングに影響を与えない他の期間を使って駆動制御手段の初期化が可能である。またこの初期化期間では有機EL素子

50

は発光しないので、この初期化期間を動画ボケ対策としての消灯期間として用いてもよい。

【0023】

さらに他の態様において、前記第2のスイッチトランジスタの導通状態を制御する前記周期信号は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に前記複数ある走査線のうちのいずれかを介して供給される。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に初期化が必要な場合において、周期的な書き込み準備信号を走査信号で兼用することができる。これによって走査ドライバの内部回路規模や走査ドライバと有機ELパネルとの接続端子数の増加を抑制し、また駆動制御手段のサンプリング入力時間に影響を与えずに初期化できる。このことは、-TFTのような駆動能力の低いトランジスタを用いても大規模でLCDより複雑なマトリクス駆動回路の実現が容易になる。

10

【0024】

さらにリセット状態は、次のデータ信号の画素への書き込み時まで保持されるので、この期間を表示オフ状態（駆動オフ状態）にできる。この表示オフ期間の長さは、どの走査信号を書き込み準備信号として使うかで決められる。よってアクティブ型ディスプレイにおいては、動画ボケ対策の必要度に合わせて電気光学素子の動作時間デューティを適宜変更できる。動作時間デューティは60～10%が好ましい。

【0025】

本発明の好ましい態様において、前記複数の画素の各々に、前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号が、遅くとも前記第1のスイッチトランジスタにより供給遮断される時までには、前記第2の電極は前記第1の所定電位に設定されている。この態様によれば、前記駆動トランジスタが有機EL素子をソース側に接続した場合であっても、データ信号の書き込みが終了するタイミングまでには、前記駆動トランジスタの駆動電流を制御するゲート電圧の基準となるソース電圧が所定電位に設定されるので、前記キャパシタには前記所定電位を基準としてデータ信号に対応する電荷を蓄積することができる。これによって駆動トランジスタの駆動電流は、データ信号に1対1に対応した値にすることができる。よって有機EL素子を所定の輝度で発光させることができる。

20

【0026】

より好ましい態様において、前記複数の画素の各々は、前記第1の所定電位を前記複数の画素の各々に含まれる前記第2の電極に供給するための複数の第2の電源配線をさらに含む。この構成によれば、第1の所定電位を独立して前記各々の画素に供給できる。

30

【0027】

他の態様において、前記複数の第1の電源配線と前記複数の第2の電源配線とは同一メタル配線層部分を有し、互いに交差して設けられている。この構成によれば、第1の電源配線を他の信号線や電源配線に優先して配置できるので、第1の電源配線を低インピーダンスおよび低クロストークで電源供給できる。またTFTの遮光層をメタル配線を使って効率よく形成することができる。

【0028】

上記課題を解決するために、本発明に係わる電気光学装置の第3の特徴は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差部に対応して配置された複数の画素と、複数の第1の電源配線と、を含み、

40

前記複数の画素の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、画素電極と共通電極と電気光学材料とにより構成される電気光学素子と、前記電気光学素子に接続された駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、を含み、

前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対

50

応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、前記複数の第1の電源配線のうち対応する第1の電源配線と前記電気光学素子は前記駆動トランジスタを介して当該導通状態に応じて電氣的に接続され、

前記第1のスイッチトランジスタの導通状態を制御する前記走査信号が供給される以前に、前記複数の走査線のうちいずれかを介して供給される走査信号によって前記電気光学素子が非能動に設定される。

#### 【0029】

この構成によれば、動画ボケ対策のために1フレーム毎に表示ブランク期間を設ける場合や表示の明るさを広い範囲に調節するためのデューティ駆動する場合等の付加的な調節機能を実現するには、各画素駆動回路に走査信号と異なるタイミングの周期的制御線が走査線方向に別に必要になるが、本発明によれば接続端子数を増やさずに走査線の組み合わせで制御できるので、より高精細で表現力の優れたディスプレイを実現できる。

#### 【0030】

さらに他の態様において、前記電気光学素子は、有機EL素子である。この構成によれば、有機EL素子は駆動電圧が低く発光材料等の進歩によって次第に少ない駆動電流で高輝度の発光が可能になってきているので、大サイズのディスプレイを比較的消費電力で実現できる。

#### 【0031】

本発明に係る駆動装置の好ましい態様において、マトリクス状に配置された複数の電気光学素子を駆動するための駆動装置であって、複数の走査線と、複数のデータの第1の電源配線と、前記複数の走査線と前記複数のデータの交差部に対応して配置された複数の画素回路と、を含み、前記複数の画素回路の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、前記電気光学素子に供給する電流を、その導通状態によって制御する駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、を含み、前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータのうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、当該導通状態に応じた電流レベルを有する電流が前記複数の第1の電源配線のうち対応する第1の電源配線から前記駆動トランジスタを介して前記複数の電気光学素子のうち対応する電気光学素子に供給され、前記第2の電極は、前記駆動トランジスタのソースに接続され、前記データ信号が前記キャパシタに供給される前の少なくとも一部の期間において、前記駆動トランジスタの前記ソースはスイッチ手段を介して第1の所定電位に電氣的に接続される。

#### 【0032】

この構成によれば、この駆動装置における前記電荷保持用のキャパシタの第2の電極が接続される前記駆動トランジスタのソース電極は、データ線を介して供給されるデータ信号が駆動トランジスタを駆動制御するように書き込まれるときに、スイッチ手段により接地電位もしくは所定の電位に設定される。これによりソース電極と第2の電源の間に電気光学素子を接続するにしても、データ信号は常に一定の電位に対して書き込みがされるので、駆動トランジスタの駆動電流はデータ信号に1対1に対応した値を供給することができる。よってこの駆動装置は、電気光学素子を接続すれば、電気光学素子を所定の特性で動作させることができる。

#### 【0033】

他の好ましい態様において、前記駆動トランジスタは、nチャネルトランジスタもしくはpチャネルトランジスタである。この態様によれば、有機EL素子の従来の製造方法を変更せずにTFT基板を構成するトランジスタの性能やTFT基板の生産を考慮して最も最適なトランジスタを使って駆動回路の高性能化を図ることができる。

10

20

30

40

50



## 【 0 0 3 4 】

さら他の好ましい態様において、前記駆動トランジスタおよび前記第1のスイッチトランジスタは、アモルファス薄膜トランジスタである。この態様によれば、駆動基板の大部分の面積を占める画素部分を同一種のチャネルトランジスタで構成できるためTFT基板製造が容易となり、マトリクス状に電気光学素子を多数配置した大型の電気光学パネルを大サイズ化技術の確立したアモルファスTFT技術を用いて早期に実現することができる。

## 【 0 0 3 5 】

他の好ましい態様において、前記データ信号が前記キャパシタに供給される前の少なくとも一部の期間において、前記第1のスイッチトランジスタのデータ信号を保持する側の電極は、前記第1の所定電位とは別電位である第2の所定電位となるように設定される。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に所定の電位に初期化がされるので、駆動トランジスタのゲート電圧が交流化できること、あるいは駆動トランジスタの閾値補償検出をデータ信号の値に影響されずに行うことができることで、駆動トランジスタの閾値変動を抑制することができる。

10

## 【 0 0 3 6 】

他の好ましい態様において、前記複数の画素回路の各々は、前記第1のスイッチトランジスタのデータ信号を保持する側の電極と前記第2の所定電位との接続を制御する第2のスイッチトランジスタをさらに含み、前記第2のスイッチトランジスタの導通状態は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に供給される周期信号により制御される。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に初期化が必要な場合において、データ信号の書込みタイミングに影響を与えない他の期間を使って駆動制御手段の初期化が可能である。

20

## 【 0 0 3 7 】

前記第2のスイッチトランジスタの導通状態を制御する前記周期信号は、前記第1のスイッチトランジスタの導通状態を制御する走査信号が供給される以前に前記複数の走査線のうちのいずれかを介して供給される。この構成によれば、前記駆動制御手段へデータ信号を書き込む前に書込み準備が必要な場合において、書込み準備信号を先行する走査信号で兼用することができる。これによって走査ドライバの内部回路規模や走査ドライバと有機ELパネルとの接続端子数の増加を抑制し、また駆動制御手段のデータ信号サンプリング入力時間に影響を与えずに初期化できる。このことは、 $\text{-TFT}$ のような駆動能力の低いトランジスタを用いても大規模なマトリクス駆動回路の実現を容易にする。

30

## 【 0 0 3 8 】

より具体的な態様において、前記第2のスイッチトランジスタ及び前記スイッチ手段は、共に共通の信号により制御される。この構成によれば、前記第2のスイッチトランジスタ及び前記スイッチ手段を制御する信号線数を最少化できるとともに、前記駆動トランジスタのゲートに接続されたキャパシタに正確にデータ信号を蓄積することができる。

## 【 0 0 3 9 】

他の好ましい態様において、前記複数の画素回路の各々は、前記駆動トランジスタの前記ソースの電位を前記スイッチ手段を介して前記第1の所定電位に設定するための複数の第2の電源配線をさらに含む。この構成によれば、第1の所定電位を独立して前記各々の画素に供給できる。

40

## 【 0 0 4 0 】

さらに他の好ましい態様において、前記複数の第1の電源配線と前記複数の第2の電源配線とは同一メタル配線層部分を有し、互いに交差して設けられている。この構成によれば、第1の電源配線を他の信号線や電源配線に優先して配置できるので、第1の電源配線は低インピーダンスおよび低クロストークで電源供給できる。またTFTの遮光層は、電源メタル配線を使って効率よく形成することができる。

## 【 0 0 4 1 】

具体的な他の態様において、前記第1の所定電位は、前記複数の第1の電源配線及び前

50

記複数の第2の電源配線のうち、いずれか電位の低い電位と同一もしくは略同一である。この構成によれば、第1の所定電位を第2の電源配線から供給できるので、電源構成を簡略化できる。

#### 【0042】

他の好ましい態様として、マトリクス状に配置された複数の電気光学素子を駆動するための駆動装置であって、複数の走査線と、複数のデータ線と、複数の第1の電源配線と、前記複数の走査線と前記複数のデータ線との交差部に対応して配置された複数の画素回路と、を含み、

前記複数の画素回路の各々は、前記複数の走査線のうち対応する走査線を介して供給される走査信号により導通が制御される第1のスイッチトランジスタと、

前記電気光学素子に供給する電流を、その導通状態によって制御する駆動トランジスタと、第1の電極と第2の電極とにより容量を形成するキャパシタであって、前記第1の電極を介して前記駆動トランジスタのゲートに接続されたキャパシタと、を含み、前記キャパシタは、前記第1のスイッチトランジスタ及び前記複数のデータ線のうち対応するデータ線を介して供給されるデータ信号を電荷量として保持し、前記駆動トランジスタの導通状態は前記キャパシタに保持された前記電荷量に応じて設定され、当該導通状態に応じた電流レベルを有する電流が前記複数の第1の電源配線のうち対応する第1の電源配線から前記駆動トランジスタを介して前記複数の電気光学素子の対応する電気光学素子に供給され、前記第2の電極は、前記駆動トランジスタのソースに接続され、少なくとも前記キャパシタが前記データ信号に対応する電荷量を保持している期間は、前記駆動トランジスタの前記ソースと前記ゲートとの電位差を一定とするための手段を備えた。この構成によれば、前記キャパシタに保持された電荷量が保持され、駆動トランジスタのソースに対するゲートとの電位差が不変である。このため電気光学素子に対して駆動トランジスタがソースフォロア接続されてもデータ信号に対応する駆動電流を流すことができる。

#### 【発明の効果】

#### 【0043】

本発明によれば、従来の製法を用いた電気光学素子を TFTなどのモノチャンネルTFTで構成された駆動回路で駆動できるので、従来不可能であった大サイズの電気光学装置を実現できる。特に有機ELディスプレイに適用した場合、極めて薄く高画質な大画面ディスプレイを実現するアクティブ基板を得ることができる。また輪郭のシャープな動画や表示の明るさを広い範囲に調節するために、各画素駆動回路に複数の異なる種類の周期的制御線が走査線方向に必要な場合でも、接続端子数を増やさずに走査線の組み合わせで制御できるので、より高精細で表現力の優れたディスプレイを実現できる。

#### 【発明を実施するための最良の形態】

#### 【0044】

##### (実施例1)

以下、図面を参照して、本発明の実施形態について説明する。以下に示す形態は本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の範囲内で任意に変更可能である。また、以下に示す各図においては、各構成要素を図面上で認識され得る程度の大きさとするため、各構成要素の寸法や比率などを実際のものとは適宜に異ならせてある。

#### 【0045】

まず、画像を表示するための装置として本発明に係る電気光学装置を有機EL表示装置に適用した形態を説明する。図6は、この有機EL表示装置110の構成を示す。有機EL表示装置110は、有機ELパネル111および有機ELパネル111を駆動する外部駆動回路を含む表示モジュール100、さらに周辺制御部により構成される。

#### 【0046】

この表示モジュール100は、有機ELパネル111と外部駆動回路から構成される。有機ELパネル111は、ガラス基板上において画像を表示するためにマトリクス状に配置される複数の表示画素PX、これら表示画素PXの行に沿って配置される複数の走査線

11、これら表示画素PXの列に沿って配置される複数のデータ線12、および複数の画素電源線35を備える。また外部駆動回路は、複数の走査線を駆動する走査線ドライバ14、表示画素PX内の有機EL素子に駆動電流を供給する画素電源供給回路19およびデータ線に画素駆動信号を出力するデータ線ドライバ15よりなる。画素電源供給回路19は、表示画素PXの構成の違いによっては必要のない場合がある。

【0047】

第1の実施例である図1の表示画素回路においては、各表示画素PXは有機EL素子16、一对の第1と第2の電源端子 $V_E$ と接地電源端子GND間で、この有機EL素子16に直列に接続されたnチャンネル薄膜トランジスタ(TFT)である駆動トランジスタ17、この駆動トランジスタ17のゲート電圧を保持する保持キャパシタ18、有機EL素子16の端子間を略同電位とするnチャンネルの導通トランジスタ22、データ線12から映像信号を選択的に駆動トランジスタ17のゲートに印加する画素選択スイッチ13、駆動トランジスタ17のゲート電位を所定電位( $V_{ee}$ )に初期化するリセットトランジスタ23により構成される。

10

【0048】

電源端子 $V_E$ は例えば+28Vの所定電位に設定され、接地電源端子GNDは所定電位より低い例えば0Vの電位に設定される。画素回路を構成するすべてのトランジスタはnチャンネルTFTからなる。各画素選択スイッチ13は、対応走査線11から供給される走査信号により駆動されたときに対応データ線12から供給される映像信号の階調電圧 $V_{sig}$ を駆動トランジスタ17のゲートに印加する。駆動トランジスタ17はこの階調電圧 $V_{sig}$ に応じた駆動電流 $I_d$ を有機EL素子16に供給する。有機EL素子16は、駆動電流 $I_d$ に応じた輝度で発光する。

20

【0049】

データ線ドライバ15は、各水平走査期間において表示コントローラ103から出力される映像信号をデジタル形式からアナログ形式に変換して映像信号の電圧を複数のデータ線12に並列的に供給する。走査線ドライバ14は各垂直走査期間において順次複数の走査線11に走査信号を供給する。各行の画素選択スイッチ13は、これら走査線11のうちの対応する1本から共通に供給される走査信号により1水平走査期間だけ導通し、走査信号が再び1垂直走査期間後に供給されるまでの期間(1フレーム)非導通となる。1行分の駆動トランジスタ17は、これら画素選択スイッチ13の導通により、それぞれが接続するデータ線12から供給される映像信号の電圧に対応した駆動電流を有機EL素子16にそれぞれ供給する。

30

【0050】

また、走査線ドライバ14は、各走査信号の出力に先だって駆動トランジスタ17のゲートと電源 $V_{ee}$ 間に接続されたりセットトランジスタ23を導通させ、一時的に駆動トランジスタのゲート電位を所定の電圧 $V_{ee}$ にして有機EL素子に駆動電流が流れないように、周期的な書き込み準備信号Rを出力するよう構成される。書き込み準備信号Rは、図6に示すように各走査線より一行分もしくは特定行分前段の画素回路に対して出力される走査線の信号を用いてもよい。これは走査線の配線追加で実現でき、有機ELパネル111と走査線ドライバとの接続端子数を増加させない。ちなみに初段画素回路に接続される書き込み準備信号線36は、走査線ドライバ14の後段から出力される走査線を用いればよい。このリセット状態は、次のデータ信号の画素への書き込み時まで保持されるので、この期間を強制的な表示オフ期間(駆動オフ期間)にできる。この表示オフ期間の長さは、どの走査信号を書き込み準備信号として使うかで決められる。よってアクティブ型ディスプレイにおいては、動画ボケ対策の必要度に合わせて有機EL素子16の発光時間デューティを適宜変更できる。発光時間デューティは60~10%が好ましい。

40

【0051】

表示画素PXは、さらに駆動トランジスタ17のゲート電極とソース電極間に接続される保持キャパシタ18、および駆動トランジスタ17のソース電極およびGND電極間に接続される導通トランジスタ22を含む。導通トランジスタ22のゲート電極には、走査

50

線 1 1 が接続され、画素選択スイッチ 1 3 の導通と同時に導通する。これによって有機 E L 素子 1 6 の端子間電圧に影響されずに、保持キャパシタ 1 8 には対応データ線 1 2 から供給される映像信号の階調電圧  $V_{sig}$  が蓄積される。この導通トランジスタ 2 2 が導通している間は有機 E L 素子 1 6 に電流が流れないので、有機 E L 素子 1 6 は発光しない。なお導通トランジスタ 2 2 が導通するときと同期して、電源  $V_E$  と駆動トランジスタ 1 7 の間に非導通にするためのスイッチを設けてもよい。

#### 【 0 0 5 2 】

次に走査線が非選択状態になり画素選択スイッチ 1 3 および導通トランジスタ 2 2 が非導通になると、保持キャパシタ 1 8 に蓄えられた電圧に対応する定電流が駆動トランジスタ 1 7 から有機 E L 素子 1 6 へ供給され、有機 E L 素子が発光する。この場合、駆動トランジスタ 1 7 のソース電位は有機 E L 素子 1 6 の電位の上昇に応じて上昇しソースフォロア様の状態になるが、保持キャパシタ 1 8 によって駆動トランジスタのソースおよびゲート電極間の電位は保持される。また電源端子  $V_E$  は、駆動トランジスタ 1 7 が飽和領域で動作するのに必要な電圧が供給されている。これにより駆動トランジスタ 1 7 は、ゲート電位に対応する定電流を有機 E L 素子 1 6 に供給し、次の書き込み準備信号 R が入力されるまでの 1 フレーム期間、一定輝度で有機 E L 素子 1 6 が発光することになる。

#### 【 0 0 5 3 】

この一連のタイミングチャートを示したのが図 2 である。図中、駆動トランジスタ 1 7 のドレインからみたゲート電圧  $V_{GD}$  は、交流的に変化する。これにより画質を維持するために特性安定性が特に要求される駆動トランジスタ 1 7 の閾値変動が抑制される。また - T F T の駆動能力が劣る面に関しては、低温ポリシリコン T F T の場合に比べて 1 0 数 V 電圧を高くすれば低温ポリシリコンと同等の駆動能力が得られる。

#### 【 0 0 5 4 】

なお上記の説明では、導通トランジスタ 2 2 のソース電極は、有機 E L 素子 1 6 の共通電極（カソード）と接続したが、有機 E L 素子 1 6 が発光しない範囲の特定電圧供給線を設けて接続してもよい。この特定電圧値は、有機 E L 素子 1 6 の閾値電圧に近い値にしておけば、有機 E L 素子に寄生するキャパシタによる発光遅延を抑制する効果もある。また駆動トランジスタ 1 7 の特性バラツキを抑制するために、駆動トランジスタ 1 7 を複数のトランジスタを並列接続した構成としてもよい。

#### （実施例 2）

#### 【 0 0 5 5 】

図 3 は、本発明の第 2 の実施形態を示す表示画素回路である。この図の表示画素 P X は、画素選択スイッチ 1 3 および駆動トランジスタ 1 7 のゲート電極間に直列に接続されるキックキャパシタ 2 0、駆動トランジスタ 1 7 のゲート電極およびドレイン電極間に接続されるバイアストランジスタ 2 1、駆動トランジスタ 1 7 のゲート電極およびソース電極間に接続される保持キャパシタ 1 8、有機 E L の画素電極および共通電極（カソード）間を短絡する導通トランジスタ 2 2、および画素選択スイッチ 1 3 およびキックキャパシタ 2 0 の接続点と電源  $V_{ee}$  間に接続されるリセットトランジスタ 2 3 で構成される駆動トランジスタ 1 7 の閾値補償回路を含む。

#### 【 0 0 5 6 】

表示画素回路中の各トランジスタは n チャンネル T F T で構成され、画素選択スイッチ 1 3 は外部からの走査信号 S E L で制御され、バイアストランジスタ 2 1、導通トランジスタ 2 2 およびリセットトランジスタ 2 3 は外部からの書き込み準備信号 R で制御される。この制御により、バイアストランジスタ 2 1 は所定電圧  $V_{ee}$  がリセットトランジスタ 2 3 を介して供給される間だけ導通し、同時に導通トランジスタ 2 2 が導通して接地電位 G N D が駆動トランジスタ 1 7 のソース電極に供給される。このとき有機 E L 素子 1 6 は発光しない。

#### 【 0 0 5 7 】

この閾値補償回路では、周期的に入来する走査信号 S E L に先立って書き込み準備信号 R がリセットトランジスタ 2 3 のゲート電極に与えられ、所定電圧  $V_{ee}$  がリセットトラン

10

20

30

40

50

ンジスタ 23 を介して供給されると同時にバイアストランジスタ 21 および導通トランジスタ 22 が導通する。このとき電源 V<sub>EL</sub> はハイインピーダンス状態になっているが、電源線 35 にある残留電荷からバイアストランジスタ 21 を介して流れる電流により、ゲート電圧が駆動トランジスタ 17 の閾値電圧 V<sub>th</sub> に等しくなるまで駆動トランジスタ 17 のゲート電極およびキックキャパシタ 20 間のノード電位が上昇する。

#### 【0058】

ノード電位が安定した後、書き込み準備信号 R が非能動状態（“L”レベル）になることによって、リセットトランジスタ 23、導通トランジスタ 22 およびバイアストランジスタ 21 が非導通となる。これによって保持キャパシタ 18 の第 2 電極は GND 電位に設定され、有機 EL 素子 16 は非発光状態となる。この状態は、電源 V<sub>EL</sub> がハイインピーダンス状態の間保持される。即ち、書き込み準備信号 R と走査信号 S<sub>EL</sub> との入力タイミングに時間差があっても前記の状態は保持され、有機 EL 素子 16 は発光しない。次に走査信号が画素選択スイッチ 13 のゲート電極に与えられて映像信号電圧が供給されると、これにより駆動トランジスタ 17 のゲート電極およびキックキャパシタ 20 間のノード電位 V<sub>G2</sub> が、閾値電圧 V<sub>th</sub> を映像信号電圧に加えたレベルとなる。次に前記走査信号 S<sub>EL</sub> が非選択状態になり画素選択スイッチ 13 が非導通になってから電源 V<sub>EL</sub> が供給され、V<sub>th</sub> 補償された所定の駆動電流が電源 V<sub>EL</sub> から駆動トランジスタ 17 を介して有機 EL 素子 16 に流れる。ここで、実施例 1 で説明したように駆動トランジスタ 17 のソース電位は有機 EL 素子の電極間電位の上昇に応じて上昇しソースフォロア様の状態になるが、保持キャパシタ 18 によって駆動トランジスタのソースおよびゲート電極間の電位は保持される。これにより駆動電流は所定電圧 V<sub>ee</sub> と映像信号電圧との電位差により決定されることになり、駆動トランジスタ 17 の閾値電圧 V<sub>th</sub> にバラツキがあっても、駆動電流は影響されなくなる。

#### 【0059】

この一連のタイミング動作を示したものが図 4 である。表示中は、この一連の動作が周期的に繰り返される。図中、駆動トランジスタ 17 のドレインからみたゲート電圧 V<sub>G20</sub> は、GND 電位を挟んで交流的に変化する。これにより画質を維持するために特性安定性が特に要求される駆動トランジスタ 17 の閾値変動が抑制される。

#### 【0060】

なお駆動トランジスタ 17 は、特性バラツキを抑制するために図 7 に示すように駆動トランジスタの配置を上下、左右の 2 方向もしくは複数トランジスタに分割し並列接続するようにしてもよい。あるいは電界が一樣になりやすいリングゲート構造にしてもよい。

（実施例 3）

#### 【0061】

本発明の第 3 の実施形態を図 5 に示す表示画素回路および図 10 のタイミングチャートに基づき説明する。この図 5 の表示画素 P<sub>X</sub> は、実施例 1 および 2 と異なる電流プログラム型の画素回路である。この図 5 の表示画素 P<sub>X</sub> は、データ線 58 に接続される画素選択スイッチ 50、画素選択スイッチ 50 および接地電源配線 60（GND）に接続される変換トランジスタ 52、変換トランジスタ 52 のゲート電極とドレイン電極間を接続するバイアストランジスタ 51、変換トランジスタ 52 のゲート電極にゲート電極が接続され変換トランジスタ 52 とカレントミラー回路を構成する駆動トランジスタ 53、駆動トランジスタ 53 のゲート電極と有機 EL 素子 16 の間に接続されるキャパシタ 55、有機 EL 素子 16 の画素電極（アノード）と共通電極（カソード）間を接続する導通トランジスタ 54、駆動トランジスタ 53 のドレイン電極に接続される電源 V<sub>EL</sub> から構成される。

#### 【0062】

表示画素回路中の各トランジスタは n チャンネル TFT で構成され、画素選択スイッチ 50 および導通トランジスタ 54 は、外部からの走査信号 S<sub>EL</sub> で制御され、バイアストランジスタ 51 は、外部からの周期的なイレース信号 E<sub>R</sub> で制御される。

#### 【0063】

先ず、電流プログラム時には走査信号 S<sub>EL</sub> およびイレース信号 E<sub>R</sub> を選択状態にする

10

20

30

40

50

。ただしイレース信号 E R は、図 10 に示すように走査信号 S E L に先行して選択状態にしバイアストランジスタ 5 1 を導通させ駆動トランジスタ 5 3 のゲート電極をほぼオフ電位にしてもよい。この場合イレース信号 E R は、走査信号 S E L および前記走査信号 S E L より前に供給される複数の走査線出力のうちいずれか一つを論理和 ( O R ) して用いてもよい。これにより実施例 1 , 2 で説明した動画ボケ対策のための表示オフ期間を設定できる。これにより各画素の 1 フレーム期間のうち非発光期間が周期的に必ず挿入され、動画像の輪郭がボケて見える現象を防止できる。動画ボケ対策のための発光時間の割合は、全期間の 60 ~ 100 % が好ましい。

#### 【 0064 】

次いで走査信号 S E L が選択状態になると導通トランジスタ 5 4 は導通し、駆動トランジスタ 5 3 のソース電極の電位 V E L C は接地電源 G N D と略同電位となる。またこのとき画素選択スイッチ 5 0 とバイアストランジスタ 5 1 は導通しているため、データ線 5 8 に映像信号に対応する電流源 C S を接続することにより、変換トランジスタ 5 2 に映像信号の輝度情報に応じた信号電流  $I_w$  が流れる。電流源 C S は、図 6 のデータ線ドライバ 15 内において輝度情報に応じて制御される可変電流源である。このとき変換トランジスタ 5 2 のゲート電極およびドレイン電極は、バイアストランジスタ 5 1 で短絡されているため、変換トランジスタ 5 2 は飽和領域で動作する。このときの変換トランジスタ 5 2 のゲート・ソース間電圧 V g s は、保持キャパシタ 5 5 に蓄積される。走査信号 S E L が選択状態の間、導通トランジスタ 5 4 が導通しているため、駆動トランジスタ 5 3 のゲート電極にバイアス電圧 V g s が印加されていても有機 E L 素子 16 には電流 I E L は流れない。

#### 【 0065 】

次に走査信号 S E L およびイレース信号 E R が非選択状態になる。これによって画素選択スイッチ ( トランジスタ ) 5 0 、バイアストランジスタ 5 1 および導通トランジスタ 5 4 は非導通となり、キャパシタ 5 5 に蓄積されたゲート・ソース間電圧 V g s は、保持される。よって変換トランジスタ 5 2 とカレントミラーの関係にある駆動トランジスタ 5 3 は、変換トランジスタ 5 2 と駆動トランジスタ 5 3 のサイズ比で減流された駆動電流を電源 V E L から有機 E L 素子 16 に流し込む。以上の動作が 1 フレーム毎に周期的に繰り返され、表示が行われる。

#### 【 0066 】

ここで、実施例 1 で説明したように駆動トランジスタ 5 3 のソース電位 V E L C は有機 E L 素子 16 の電位の上昇に応じて上昇しソースフォロア様の状態になるが、保持キャパシタ 5 5 によって駆動トランジスタ 5 3 のソースおよびゲート電極間の電位は、電流プログラム時の値が保持される。これによって有機 E L 素子 16 には、映像信号の輝度情報に応じた定電流が流れ、次の電流プログラムがされるまでの期間 ( 1 フレーム ) 発光輝度を維持するように駆動される。変換トランジスタ 5 2 および駆動トランジスタ 5 3 のゲート電位は、一方向のバイアスが印加され閾値変動が起き易いが、電流プログラム時に閾値変動を吸収するように補償される。

#### 【 0067 】

なお電流プログラム時の保持電圧 V g s の精度を上げるために、駆動トランジスタ 5 3 と電源 V E L の間にスイッチトランジスタを設けるか、あるいは実施例 2 のように電源 V E L をハイインピーダンスにして有機 E L 素子 16 に電流を流さないようにしてもよい。また、有機 E L 素子の製造方法が進歩し、アノードコモン型の有機 E L 素子が容易に製造可能になり、有機 E L 素子 16 を駆動トランジスタ 5 3 のドレイン側に接続できるようになれば、有機 E L 素子 16 と並列に接続される導通トランジスタ 5 4 は不要としてもよい。ただし、画素回路への電流プログラム時に有機 E L 素子 16 を非発光にする場合には必要である。また、電流プログラム時に導通トランジスタ 5 4 のソース電極を接地電源 G N D とは別電源に接続し、ドレイン電極を有機 E L 素子 16 と駆動トランジスタ 5 3 の接続点に接続して有機 E L 素子 16 や駆動トランジスタ 5 3 に逆バイアスを印加するようにしてもよい。

#### 【 0068 】

10

20

30

40

50

図7は、図3の表示画素PX周辺の平面構造を示し、図8は図7に示すA-B線に沿った断面構造を示す。図8に示すメタル配線層35は表示画素PXの行毎に設けられる電源線VELであり、駆動トランジスタ17、導通トランジスタ22、画素選択スイッチ13およびバイアストランジスタ21の領域に配置され、図7および図8に示すようにトランジスタのチャンネル領域を覆うように形成される。保持キャパシタ18はメタル配線層35およびゲート配線17G間の容量結合により形成され、キックキャパシタ20はゲート配線17Gおよび画素選択スイッチ13のソース電極メタル配線39間の容量結合により形成される。キックキャパシタ20および保持キャパシタ18の容量値は、ノードVG1およびノードVG2に寄生的に形成される容量値に比べて極めて大きな値を持つ。

【0069】

図7では、ボトムエミッションを想定し有機EL素子16をTFT配置領域と分離して配置しているが、平坦化された層間膜44上に画素領域全面を使う形で有機EL素子を形成するトップエミッション構造とすることも可能である。この場合においても接地電源配線38(GND)および発光素子16の駆動電源配線であるVEL電源線35は、図8に示すメタル配線層(35や39等)と同一層内の部分をもち、接地電源配線38(GND)はVEL電源線35と交差して配置される。発光素子16の接地電源GNDである共通電極は、発光素子層の最上面電極として別に形成されるので、接地電源配線38(GND)には、直接発光素子16の駆動電流を流さなくともよい。このため半導体アイランドを使ってVEL電源線35と立体交差する部分を形成しても画素回路の動作特性に影響を与え難い。

【産業上の利用可能性】

【0070】

次に本発明に適用可能な発光素子について説明する。

本発明が適用可能な発光素子は、低分子、高分子もしくは dendrimer 等の発光有機材料を用いた有機EL素子、フィールドエミッション素子(FED)、表面伝導型エミッション素子(SED)、弾道電子放出素子(BSD)、発光ダイオード(LED)などの自発光素子が好適に挙げられる。

【0071】

なお、本発明が適用され得る駆動装置は、上記した発光素子を用いたディスプレイ、光書き込み型のプリンタや電子複写機などの書き込みヘッド、などが挙げられる。また本発明の電気光学装置は、大画面テレビ、コンピュータモニター、表示兼用照明装置、携帯電話機、ゲーム機、電子ペーパー、ビデオカメラ、デジタルスチルカメラ、カーナビゲーション装置、カーステレオ、運転操作パネル、プリンタ、スキャナ、複写機、ビデオプレーヤ、ページャ、電子手帳、電卓、ワードプロセッサなど、画像を表示する機能を備えた各種の機器に適用され得る。

【図面の簡単な説明】

【0072】

【図1】本発明の第1の実施形態に係る画素回路の構成を示す図である。

【図2】図1の画素回路の動作を説明するためのタイミングチャートである。

【図3】本発明の第2の実施形態に係る画素回路の構成を示す図である。

【図4】図3の画素回路の動作を説明するためのタイミングチャートである。

【図5】本発明の第3の実施形態に係る画素回路の構成を示す図である。

【図6】本発明の実施形態に係る電気光学装置の構成を示すブロック図である。

【図7】本発明の第2の実施形態に係る画素回路の平面レイアウト例を示す図である。

【図8】本発明の第2の実施形態に係る画素回路の断面を示す図である。

【図9】従来の画素回路を示す図である。

【図10】図5の画素回路の動作を説明するタイミングチャートである。

【符号の説明】

【0073】

PX...画素

10

20

30

40

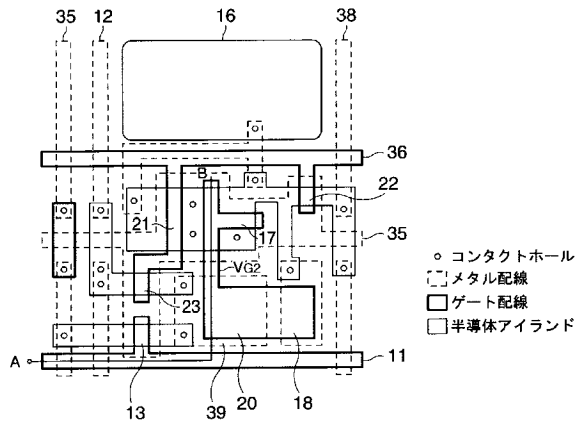
50

1 1 ...	走査線	
1 2 ...	データ線	
1 3 ...	画素選択スイッチ	
1 4 ...	走査線ドライバ	
1 5 ...	データ線ドライバ	
1 6 ...	発光素子 (有機 E L 素子)	
1 7 ...	駆動トランジスタ	
1 8 ...	保持キャパシタ	
1 9 ...	画素電源供給回路	
2 0 ...	キックキャパシタ	10
2 1 ...	バイアストランジスタ	
2 2 ...	導通トランジスタ	
2 3 ...	リセットトランジスタ	
3 5 ...	電源線 (V E L)	
3 6 ...	書込み準備信号線	
3 7 ...	電源線 (V E)	
3 8 ...	電源線 (G N D)	
3 9 ...	ソースメタル配線	
7 0 ...	電源線 (V e e)	
1 0 0 ...	表示モジュール	20
1 0 1 ...	電源	
1 0 2 ...	フレームメモリ	
1 0 3 ...	表示コントローラ	
1 0 4 ...	I / O	
1 0 5 ...	マイクロプロセッサ	
1 1 0 ...	有機 E L 表示装置	
1 1 1 ...	有機 E L パネル	

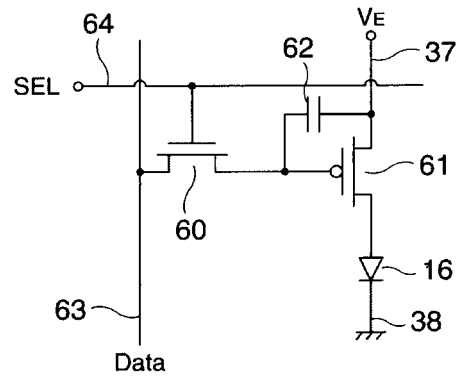




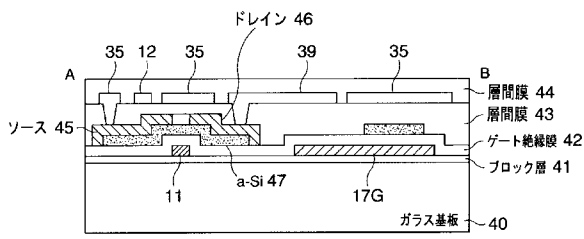
【 図 7 】



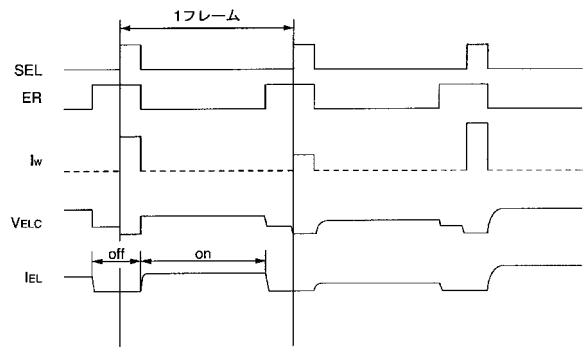
【 図 9 】



【 図 8 】



【 図 10 】



---

フロントページの続き

- (72)発明者 河西 利幸  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 小澤 徳郎  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

- (56)参考文献 特開2003-186437(JP,A)  
特開2003-271095(JP,A)  
特開2003-216110(JP,A)  
特開2003-208127(JP,A)  
特開2003-150106(JP,A)  
国際公開第01/006484(WO,A1)  
国際公開第03/038793(WO,A1)  
特開2003-295825(JP,A)  
特開2003-280582(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G09G 3/00 - 3/38