



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0084085
(43) 공개일자 2008년09월19일

(51) Int. Cl.

G06F 13/14 (2006.01) G06F 12/00 (2006.01)

G06F 13/16 (2006.01)

(21) 출원번호 10-2007-0025216

(22) 출원일자 2007년03월14일

심사청구일자 2007년03월14일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

홍상훈

경기 성남시 분당구 정자동 두산위브파빌리온 A-1301

(74) 대리인

특허법인다인

전체 청구항 수 : 총 6 항

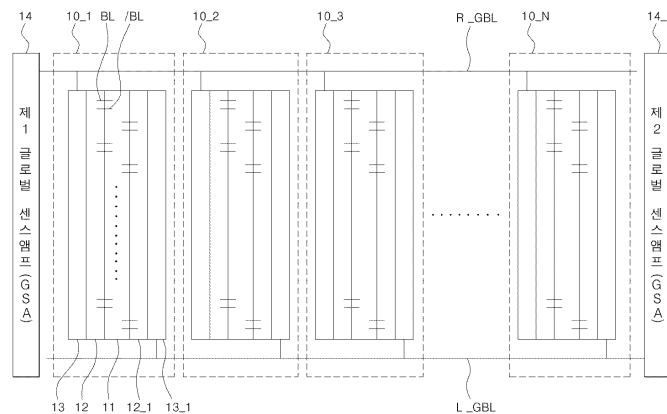
(54) 다수의 데이터를 동시에 입출력할 수 있는 메모리 장치

(57) 요약

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 다수의 데이터를 동시에 액세스(Access)할 수 있는 메모리 장치에 관한 것이다.

본 발명에 따른 메모리 장치는 글로벌 센스앰프부와 글로벌 비트라인을 통해 다수의 데이터를 동시에 액세스할 수 있다. 또한, 본 발명에 따른 메모리 장치는 제어부의 액세스 제어를 통해 글로벌 비트라인쌍 중 하나의 비트라인만을 사용하여 데이터를 입출력하며, 글로벌 비트라인 상에 별도의 스위치를 사용하지 않고서도 데이터를 입출력할 수 있다.

대표도



특허청구의 범위

청구항 1

다수의 단위셀을 구비하는 셀블록;

비트라인을 통해 상기 셀블록에 액세스되는 데이터를 감지하며 증폭하는 비트라인 센스앰프;

상기 셀블록에 액세스되는 다수의 데이터를 래치하는 글로벌 센스앰프;

상기 글로벌 센스앰프와 상기 비트라인 센스앰프 사이에서 데이터를 전송하는 글로벌 비트라인; 및

엑세스 모드에 따라 1개의 상기 글로벌 비트라인을 통해 상기 셀블록에 데이터를 라이트하거나 리드하도록 제어하는 제어부를 포함하는 메모리 장치.

청구항 2

제 1 항에 있어서, 라이트 액세스 모드의 경우 상기 제어부는

상기 글로벌 비트라인을 통해 상기 비트라인 센스앰프로 전송되는 데이터를 상기 셀블록에 라이트할 수 있도록 상기 데이터의 보상 신호를 생성하며 상기 데이터와 생성한 보상 신호를 상기 비트라인 센스앰프로 입력하는 것을 특징으로 하는 메모리 장치.

청구항 3

제 2 항에 있어서, 상기 제어부는 라이트 액세스 모드에서

상기 글로벌 비트라인을 통해 하이 신호가 전송되는 경우, 상기 전송되는 하이 신호와 그 보상 신호인 로우 신호를 상기 비트라인 센스앰프로 제공하며,

상기 글로벌 비트라인을 통해 로우 신호가 전송되는 경우, 상기 전송되는 로우 신호와 그 보상 신호인 하이 신호를 상기 비트라인 센스앰프로 제공하는 것을 특징으로 하는 메모리 장치.

청구항 4

제 2 항에 있어서, 상기 제어부는 라이트 액세스 모드에서

상기 글로벌 비트라인을 통해 하이 신호가 전송되는 경우, 상기 전송되는 하이 신호와 그 보상 신호인 로우 신호를 상기 비트라인 센스앰프로 제공하며,

상기 글로벌 비트라인을 통해 로우 신호가 전송되는 경우, 상기 전송되는 로우 신호를 상기 비트라인 센스앰프로 제공하는 것을 특징으로 하는 메모리 장치.

청구항 5

제 1 항에 있어서, 리드 액세스 모드의 경우 상기 제어부는

상기 비트라인 센스앰프로부터 출력되는 데이터를 상기 글로벌 비트라인으로 전송되도록 제어하는 것을 특징으로 하는 메모리 장치.

청구항 6

제 5 항에 있어서, 상기 글로벌 샘플앰프에는

리드 엑세스 모드에서 상기 글로벌 비트라인을 통해 출력되는 데이터를 센싱하기 위해 $\frac{1}{2} V_{DD}$ 의 전압을 가지는 캐패시터를 더 포함하는 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 다수의 데이터를 동시에 액세스(Access)할 수 있는 메모리 장치에 관한 것이다.
- <8> 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read only Memory)으로 구분할 수가 있다.
- <9> 램(RAM)은 1개의 트랜지스터(transister)와 1개의 캐패시터가 하나의 단위셀(unit cell)을 구성하는 다이내믹 램(Dynimic RAM)과, 6개의 트랜지스터 또는 4개의 트랜지스터 및 2개의 부하 저항으로 구성되는 스태틱램(Static RAM)으로 나뉘어 지는데, 집적도면에서나 제조공정에서 효율적인 다이내믹 램이 컴퓨터의 메인 메모리 등 여러 분야에 널리 사용되고 있다.
- <10> 근래에 중앙처리장치(CPU)의 동작속도는 메모리 장치(DRAM)의 동작속도를 능가할 정도로 현저히 향상되어 왔으며, 그 결과 메모리 장치의 동작속도가 중앙처리장치의 동작속도보다 상대적으로 느려 여러가지 문제점이 발생하고 있다. 이러한 문제점을 극복하기 위해 보다 고속으로 다수의 데이터를 동시에 입출력하기 위한 다양한 구조의 메모리 장치가 개발되고 있다.
- <11> 도 1은 종래기술에 의한 메모리 장치의 대략적인 블록 구성도이다.
- <12> 도 1을 참조하여 살펴보면, 메모리 장치는 외부에서 입력되는 다수의 명령어신호(/RAS,/CAS,/WE,/CS,CKE,CK등)를 입력받아 뱅크(100)에서 수행되는 동작(예컨대 리드(read), 라이트(write), 리프레쉬(refresh) 동작)을 제어하기 위한 명령어제어부(200), 로우 어드레스 디코더(row address decoder)와 칼럼 어드레스 디코더(column address decoder)를 구비하며 입력되는 어드레스에 대응하는 단위셀의 데이터를 리드(read)하여 출력하거나 상기 단위셀에 입력되는 데이터를 라이트(write)하는 동작을 수행하기 위한 뱅크(100), 뱅크(100)로부터 입,출력되는 데이터를 버퍼링하여 외부로 입출력하기 위한 데이터 입출력버퍼(300)를 구비한다.
- <13> 통상 메모리 장치는 다수의 뱅크(예컨대 4개의 뱅크)를 구비하고 있는데, 각각의 뱅크는 같은 구조를 가지고 있기 때문에, 도 1에는 하나의 뱅크(100)만 도시하였다. 또한 도 1은 메모리 장치에 구비되는 블록중에서 본 발명을 설명하기 위해 필요한 최소한의 블록만을 도시한 것이다.
- <14> 하나의 뱅크(100)에는 각각 다수의 셀블록을 구비하고 있는 8개의 세그먼트(120a ~ 120h), 세그먼트(120a ~ 120h)에서 출력되는 데이터를 증폭하여 데이터 입출력버퍼(300)로 전달하거나 데이터 입출력버퍼(300)에서 입력되는 데이터를 세그먼트로 전달하기 위한 I/O 센스앰프부(110,130)를 구비하고 있다.
- <15> 하나의 세그먼트(예컨대 120a)는 로우 어드레스를 디코딩(decoding)하여 셀영역(120a_1)으로 출력하는 로우 어드레스 디코더부(121), 컬럼 어드레스를 디코딩하여 셀영역(120a_1)으로 출력하는 컬럼 어드레스 디코더부(122), 다수의 단위셀로 구성되는 셀영역(120a_1)을 구비하고 있다.
- <16> 셀영역(120a_1)은 통상적으로 다수개의 단위셀을 각각 구비하는 다수의 셀블록(Cell block)(124a~124h), 셀블록에서 출력되는 데이터를 감지 증폭하기 위해 셀블록(124a~124h)간에 배치된 비트라인 센스앰프부(123a~123i)를 구비하고 있다.
- <17> 도 1에 도시된 메모리 장치는 용량이 256Mb인 경우를 나타내고 있는데, 4개의 뱅크로 구성되는 경우 하나의 뱅크에는 64Mb의 단위셀을 구비하며, 하나의 세그먼트는 8Mb로 총 8개의 세그먼트가 하나의 뱅크를 구성한다. 하나의 세그먼트(예컨대 123a)에는 총 8개의 셀블록(124a~124h)을 구비하고 있고, 하나의 셀블록(예컨대 124a)은 256개의 워드라인(Word Line)과 4K(4 * 1024)개의 비트라인을 구비한다. 또한, 하나의 셀블록에는 256 * 4K개의 단위셀(예컨대 124a)을 구비한다. 이하에서는 전술한 바와 같이 하나의 세그먼트가 8Mb이고, 8개의 셀블록이 각각 256개의 워드라인을 구비한 것으로 가정하고 설명한다.
- <18> 도 2는 도 1에 도시된 비트라인 센스앰프부 및 셀블록의 일 예를 나타내는 회로도로서, 특히 제1 셀블록 및 제2 셀블록(124a,124b)과 비트라인 센스앰프부(123b)의 일부분을 도시하고 있다.
- <19> 도 2를 참조하여 살펴보면, 제1 셀블록(124a)에는 하나의 모스트랜지스터와 하나의 캐패시터로 구성된 단위셀이 256 * 4k개 구비되어 있고, 워드라인(WL)이 각 단위셀을 구성하는 모스트랜지스터의 게이트단으로 연결되고, 비

트라인(BL, /BL)이 워드라인과 교차하면서 단위셀을 구성하는 모스트랜지스터의 드레인단으로 연결되어 있다. 단위셀을 구성하는 각각의 모스트랜지스터는 소스단이 단위셀을 구성하는 캐패시터의 일측과 각각 연결되고, 캐패시터의 타측은 셀플레이트 전원(예컨대 접지전원)과 각각 연결되어 있다. 도시되지 않았지만 제2 셀블럭(124b)에서도 제1 셀블럭(124a)과 같은 구성이다.

<20> 비트라인 센스앰프부(123b)는 비트라인 센스앰프 인에이블신호(RT0, /S)에 의해 인에이블되어, 비트라인(예컨대 BL0, /BL0)에 인가되는 신호 차이를 증폭하기 위한 비트라인 센스앰프(123b_4), 비트라인 센스앰프(123b_4)가 디스에이블일 때에 출력되는 프리차지 인에이블신호(BLEQ')에 인에이블되어 비트라인 프리차지 전압(Vb1p)으로 비트라인(예컨대 BL0, /BL0)을 프리차지하기 위한 프리차지부(123b_3), 이퀄라이제이션 신호(BLEQ)에 의해 인에이블되어 제1 셀블럭(124a)에 연결된 한쌍의 비트라인(예컨대 BL0, /BL0) 전압레벨을 같게 하기 위한 이퀄라이제이션부(123b_2), 컬럼 어드레스에 의해 생성되는 컬럼 제어신호(예컨대 CD0)에 의해서 비트라인 센스앰프(123b_4)에 의해 증폭된 데이터신호를 데이터 라인(DB0, /DB0)으로 출력하기 위한 데이터출력부(123b_5), 비트라인 센스앰프(123b_4)를 이웃한 셀블럭(124a, 124b)과 선택적으로 연결하기 위한 연결부(123b_1, 123b_6)를 구비한다.

<21> 여기서 비트라인 센스앰프부(123b)에 구비되는 센스앰프의 수는 이웃한 셀블럭에 구비되는 비트라인쌍 수에 따라 정해지고, 센스앰프 연결신호(BISH, BISL)에 의해서 제1 셀블럭(124a) 또는 제2 셀블럭(124b)에 비트라인 센스앰프부(123b)가 연결된다. 도 2의 비트라인쌍(BL1, /BL1)은 도시되지는 않았지만 비트라인 센스앰프부(도1의 123a 참조)에 구비된 센스앰프에 연결된다.

발명이 이루고자 하는 기술적 과제

<22> 도 1과 도 2에 도시되어 있는 종래기술에 의한 메모리 장치에서 셀블록으로부터 데이터를 리드하기 위해서는 먼저 워드라인을 인에이블하고 인에이블한 워드라인에 접속되어 있는 셀블록의 데이터를 각각 비트라인 센스앰프부에서 감지하여 증폭하고 증폭한 데이터를 데이터 라인으로 출력한다. 인에이블한 워드라인에 접속되어 있는 다수의 단위셀들 중 반은 위쪽에 위치하는 비트라인 센스앰프부를 통해 나머지 반은 아래에 위치하는 비트라인 센스앰프부를 통해 출력된다.

<23> 종래 기술에 의한 메모리 장치는 메모리 집적도에 따른 면적상의 제한으로 인해 비트라인 센스앰프부를 구성하는 다수의 비트라인 센스앰프들로부터 데이터를 입출력하기 위한 한정된 수의 데이터 라인만을 구비하고 있으며, 다수의 비트라인 센스앰프들로부터 동시에 다수의 데이터를 입출력할 수 없는 문제점이 있다.

<24> 따라서 본 발명이 이루고자 하는 목적은 글로벌 센스앰프와 글로벌 비트라인을 이용하여 셀블록으로부터 다수의 데이터를 동시에 입출력할 수 있는 메모리 장치를 제공하는 것이다.

<25> 본 발명이 이루고자 하는 다른 목적은 액세스 모드에 따라 하나의 글로벌 비트라인을 통해 데이터의 액세스를 제어할 수 있는 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

<26> 상기의 목적을 달성하기 위한 본 발명에 따른 메모리 장치는 다수의 단위셀을 구비하는 셀블록, 비트라인을 통해 셀블록에 액세스되는 데이터를 감지하며 증폭하는 비트라인 센스앰프, 셀블록에 액세스되는 다수의 데이터를 래치하는 글로벌 센스앰프, 글로벌 센스앰프와 비트라인 센스앰프 사이에서 데이터를 전송하는 글로벌 비트라인 및 액세스 모드에 따라 1개의 글로벌 비트라인을 통해 셀블록에 데이터가 액세스될 수 있도록 제어하는 제어부를 포함하는 것을 특징으로 한다.

<27> 바람직하게, 라이트(write) 액세스 모드의 경우 제어부는 글로벌 비트라인을 통해 비트라인 센스앰프로 전송되는 데이터를 셀블록에 라이트할 수 있도록 데이터의 보상 신호를 생성하며 라이트하고자 하는 데이터와 생성한 보상 신호를 비트라인 센스앰프로 입력하는 것을 특징한다.

<28> 바람직하게, 제어부는 라이트 액세스 모드에서 글로벌 비트라인을 통해 하이 신호가 전송되는 경우, 전송되는 하이 신호와 보상 신호인 로우 신호를 비트라인 센스앰프로 제공하며, 글로벌 비트라인을 통해 로우 신호가 전송되는 경우, 전송되는 로우 신호와 보상 신호인 하이 신호를 비트라인 센스앰프로 제공하는 것을 특징으로 한다.

<29> 이하 첨부된 도면을 참조로 본 발명에 따른 메모리 장치를 보다 구체적으로 설명한다.

<30> 도 3은 본 발명의 일 실시예에 따른 메모리 장치의 블록 구성도를 도시하고 있다.

- <31> 도 3을 참조하여 살펴보면, 본 발명의 메모리 장치는 서로 같은 구성을 가지는 다수의 기본셀블록(10_1, 10_2, ..., 10_N), 기본셀블록(10_1, 10_2, ..., 10_N)의 각 단위셀에 액세스되는 다수의 데이터를 래치하는 글로벌 센스앰프부(14, 14_1) 및 글로벌 센스앰프부(14, 14_1)와 기본셀블록(10_1, 10_2, ..., 10_N) 사이에서 데이터를 전송하는 글로벌 비트라인(Right_GBL, Left_GBL)을 구비하고 있다.
- <32> 기본셀블록은 다수의 단위셀을 구비하는 단위셀블럭(11), 단위셀블럭(11)의 일측에 구비되어 단위셀블럭(11)의 일부 데이터를 감지하여 증폭하기 위한 제1 비트라인 센스앰프부(12), 단위셀블럭(11)의 타측에 구비되어 단위셀블럭(11)의 나머지 데이터를 감지하여 증폭하기 위한 제2 비트라인 센스앰프부(12_1)를 구비한다. 또한, 기본셀블록은 제1 비트라인 센스앰프부(12)의 일측에 구비되어 있으며 라이트 액세스 모드에서 하나의 글로벌 비트라인(Right_GBL)을 통해 입력되는 데이터의 보상 신호를 생성하여 단위셀블럭(11)에 데이터를 라이트하며 리드 액세스 모드에서 단위셀블럭(11)의 데이터를 하나의 글로벌 비트라인(Right_GBL)을 통해 출력할 수 있도록 제어하는 제1 제어부(13) 및 제2 비트라인 센스앰프부(12_1)의 일측에 구비되어 있으며 라이트 액세스 모드에서 하나의 글로벌 비트라인(Left_GBL)을 통해 입력되는 데이터의 보상 신호를 생성하여 단위셀블럭(11)에 데이터를 라이트하며 리드 액세스 모드에서 단위셀블럭(11)의 데이터를 하나의 글로벌 비트라인(Left_GBL)을 통해 출력할 수 있도록 제어하는 제2 제어부(13_1)를 구비한다.
- <33> 한편, 글로벌 센스앰프부는 제1 비트라인 센스앰프부(12)에서 감지 증폭된 데이터를 래치하기 위한 제1 글로벌 센스앰프부(14), 제2 비트라인 센스앰프부(12_1)에서 감지 증폭된 데이터를 래치하기 위한 제2 글로벌 센스앰프부(14_1)를 구비한다.
- <34> 도 4는 도 3에 도시되어 있는 기본셀블록의 일부분을 보다 자세히 도시하고 있다. 도 4를 참조하여 리드 액세스 모드와 라이트 액세스 모드에 따른 기본셀블록의 동작을 보다 자세히 설명한다.
- <35> <리드(read) 액세스 모드>
- <36> 단위셀블럭(10_2a)의 제1 비트라인 센스앰프(12b)는 비트라인 센스앰프의 인에이블 신호에 의해 인에이블되어 비트라인에 인가된 데이터 신호를 감지하고 증폭한다. 제1 제어부(13b)는 증폭된 데이터 신호가 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Right_GBL0)을 통해 글로벌 센스앰프로 전송될 수 있도록 제어한다.
- <37> 단위셀블럭(10_2a)의 제2 비트라인 센스앰프(12_1b)는 비트라인 센스앰프의 인에이블 신호에 의해 인에이블되어 비트라인에 인가된 데이터 신호를 감지하고 증폭한다. 제2 제어부(13_1b)는 증폭된 데이터 신호가 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Left_GBL0)을 통해 글로벌 센스앰프로 전송될 수 있도록 제어한다.
- <38> 즉, 제1 제어부(13b)는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Right_GBL0)을 통해 단위셀블럭(10_2a)의 일부 데이터를 출력하도록 제어하며, 제2 제어부(13_1b)는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Left_GBL0)을 통해 단위셀블럭(10_2a)의 나머지 데이터를 출력하도록 제어한다.
- <39> 글로벌 비트라인(Right_GBL)을 통해 전송된 데이터 신호는 제1 글로벌 센스앰프(14a)를 통해 감지되고 증폭된다. 제1 글로벌 센스앰프(14a)에는 $\frac{1}{2} V_{DD}$ 의 기준전압을 가지는 커패시터(15a)가 부착되어 있으며 기준전압과 증폭된 데이터 신호를 비교하여 증폭된 데이터 신호의 값을 판단한다. 또한 글로벌 비트라인(Left_GBL)을 통해 전송된 데이터 신호는 제2 글로벌 센스앰프(14_1a)를 통해 감지되고 증폭된다. 제2 글로벌 센스앰프(14_1a)에는 $\frac{1}{2} V_{DD}$ 의 기준전압을 가지는 커패시터(15_1a)가 부착되어 있으며 기준전압과 증폭된 데이터 신호를 비교하여 증폭된 데이터 신호의 값을 판단한다.
- <40> <라이트(write) 액세스 모드>
- <41> 라이트하고자 하는 데이터 신호는 제1 글로벌 센스앰프(14a)를 통해 감지되어 증폭되며 증폭된 데이터 신호는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Right_GBL0)을 통해 제1 비트라인 센스앰프(12b)로 입력된다. 제1 제어부(13b)는 글로벌 비트라인(Right_GBL0)을 통해 전송되는 데이터 신호가 단위셀블럭(11b)에 액세스될 수 있도록 글로벌 비트라인(Right_GBL0)과 단위셀블럭(11b)의 접속을 제어하며 글로벌

비트라인(Right_GBL0)을 통해 전송되는 데이터 신호의 보상 신호를 생성하여 데이터 신호가 단위셀블록(11b)에 라이트될 수 있도록 제어한다.

<42> 라이트하고자 하는 데이터 신호는 제2 글로벌 센스앰프(14_1a)를 통해 감지되어 증폭되며 증폭된 데이터 신호는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Left_GBL0)을 통해 제2 비트라인 센스앰프(12_1b)로 입력된다. 제2 제어부(13_1b)는 글로벌 비트라인(Left_GBL0)을 통해 전송되는 데이터 신호가 단위셀블록(11b)에 액세스될 수 있도록 글로벌 비트라인(Left_GBL0)과 단위셀블록(11b)의 접속을 제어하며 글로벌 비트라인(Left_GBL0)을 통해 전송되는 데이터 신호의 보상 신호를 생성하여 데이터 신호가 단위셀블록(11b)에 라이트될 수 있도록 제어한다.

<43> 즉, 제1 제어부(13b)는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Right_GBL0)을 통해 단위셀블록(11b)에 데이터가 라이트되도록 제어하며, 제2 제어부(13_1b)는 글로벌 비트라인쌍(Right_GBL0, Left_GBL0) 중 하나의 글로벌 비트라인(Left_GBL0)을 통해 단위셀블록(11b)에 데이터가 라이트되도록 제어한다.

<44> 도 5는 본 발명의 일 예에 따른 제어부의 회로도를 도시하고 있다.

<45> 제어부는 액세스를 제어하는 신호(access)와 보상 신호를 생성하도록 제어하는 신호(write, write_b)를 생성하며, 생성한 제어 신호를 액세스를 제어하기 위한 단자(이하 액세스 단자) 및 액세스 모드에 따라 보상 신호를 생성하는 단자(이하 보상 단자)로 출력한다. 제어 신호에 의해 리드 액세스 모드에서 비트라인 센스앰프부를 통해 감지된 데이터 신호는 글로벌 비트라인을 통해 글로벌 센스앰프로 출력되도록 제어되며 라이트 액세스 모드에서 글로벌 비트라인으로 전송되는 데이터 신호 및 데이터 신호의 보상 신호가 비트라인 센스앰프부로 제공될 수 있도록 제어된다.

<46> 이하에서 도 5를 참조하여 리드 액세스 모드와 라이트 액세스 모드에서 제어부의 동작으로 보다 구체적으로 설명한다.

<47> <리드 액세스 모드>

<48> 모스 트랜지스터(M1)의 드레인단은 비트라인(BL)의 데이터 신호에 연결되어 있고 소스단은 글로벌 비트라인(Right_GBL)에 연결되어 있으며 게이트단은 액세스 단자에 연결되어 있다. 데이터 신호를 리드하는 경우, 액세스 단자로부터 하이 신호가 출력되며 출력된 하이 신호는 모스 트랜지스터(M1)의 게이트단으로 입력되어 모스 트랜지스터(M1)를 온(on) 상태로 제어한다. 따라서, 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호는 모스 트랜지스터(M1)의 소스단에 연결되어 있는 글로벌 비트라인(Right_GBL)을 통해 글로벌 센스앰프부로 전송된다.

<49> 즉, 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호가 하이값을 가지는 신호인 경우, 글로벌 센스앰프부에는 글로벌 비트라인(Right_GBL)을 통해 하이값을 가지는 데이터 신호가 전송되며 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호가 로우값을 가지는 신호인 경우, 글로벌 센스앰프부에는 글로벌 비트라인(Right_GBL)을 통해 로우값을 가지는 데이터 신호가 전송된다.

<50> <라이트 액세스 모드의 경우>

<51> 제어 신호(write_b)를 출력하는 보상 단자는 모스 트랜지스터(M2)의 게이트단과 모스 트랜지스터(M3)의 게이트단에 연결되어 있다. 모스 트랜지스터(M2)의 소스단은 글로벌 비트라인(Right_GBL)에 연결되어 있고 드레인단은 모스 트랜지스터(M3)의 소스단과 모스 트랜지스터(M4)의 게이트단에 연결되어 있다. 또한, 모스 트랜지스터(M3)와 모스 트랜지스터(M4)의 드레인단은 접지되어 있으며 모스 트랜지스터(M4)의 소스단은 비트라인(/BL)의 데이터 신호를 증폭하여 출력하는 비트라인 센스앰프부에 연결되어 있다.

<52> 액세스 단자는 모스 트랜지스터(M1)의 게이트단에 연결되어 있다. 모스 트랜지스터(M1)의 드레인단은 글로벌 비트라인(Right_GBL)에 연결되어 있고 소스단은 비트라인(BL)의 데이터 신호를 증폭하여 출력하는 비트라인 센스앰프부에 연결되어 있다.

<53> 제어 신호(write)를 출력하는 보상 단자는 모스 트랜지스터(M5)의 게이트단과 모스 트랜지스터(M6)의 게이트단에 연결되어 있다. 모스 트랜지스터(M5)의 소스단은 글로벌 비트라인(Right_GBL)에 연결되어 있고 드레인단은 모스 트랜지스터(M6)의 드레인단과 모스 트랜지스터(M7)의 게이트단에 연결되어 있다. 또한, 모스 트랜지스터(M6)와 모스 트랜지스터(M7)의 소스단은 전원(V_{DD})에 연결되어 있다.

<54> 라이트 액세스 모드에서 보상 단자를 통해 하이값을 가지는 write 제어신호와 로우값을 가지는 write_b 제어신

호가 출력되며 액세스 단자를 통해 하이값을 가지는 제어 신호가 출력된다. 따라서 M1, M2, M5가 온 상태로 제어된다.

<55> 글로벌 비트라인을 통해 전송되는 데이터가 하이값을 가지는 경우, 라이트 액세스 모드에서 M1은 항상 온 상태로 제어되므로 비트라인(BL)에 하이 값을 가지는 데이터 신호가 인가된다. 또한, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터가 하이값을 가지는 경우 M4는 온 상태로 제어되며 M7은 오프 상태로 제어되므로, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터 신호의 보상 신호인 로우 값을 가지는 데이터 신호가 비트라인(/BL)으로 인가된다.

<56> 한편, 글로벌 비트라인을 통해 전송되는 데이터가 로우 값을 가지는 경우, 라이트 액세스 모드에서 M1은 항상 온 상태로 제어되므로 비트라인(BL)에 로우 값을 가지는 데이터 신호가 인가된다. 또한, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터가 로우 값을 가지는 경우 M4는 오프 상태로 제어되며 M7은 온 상태로 제어되므로, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터 신호의 보상 신호인 하이 값을 가지는 데이터 신호가 비트라인(/BL)으로 인가된다.

<57> 도 6은 본 발명의 다른 예에 따른 제어부의 회로도를 도시하고 있다.

<58> 제어부는 액세스를 제어하는 신호(access)와 보상 신호를 생성하도록 제어하는 신호(write_b)를 생성하며, 생성한 제어 신호를 액세스를 제어하기 위한 단자(이하 액세스 단자) 및 액세스 모드에 따라 보상 신호를 생성하는 단자(이하 보상 단자)로 출력한다. 제어 신호에 의해 리드 액세스 모드에서 비트라인 센스앰프부를 통해 감지된 데이터 신호는 글로벌 비트라인을 통해 글로벌 센스앰프로 출력되도록 제어되며 라이트 액세스 모드에서 글로벌 비트라인으로 전송되는 데이터 신호 및 데이터 신호의 보상 신호가 비트라인 센스앰프부로 제공될 수 있도록 제어된다.

<59> 이하에서 도 6을 참조하여 리드 액세스 모드와 라이트 액세스 모드에서 제어부의 동작으로 보다 구체적으로 설명한다.

<60> <리드 액세스 모드>

<61> 모스 트랜지스터(M1)의 드레인단은 비트라인(BL)의 데이터 신호에 연결되어 있고 소스단은 글로벌 비트라인(Right_GBL)에 연결되어 있으며 게이트단은 액세스 단자에 연결되어 있다. 데이터 신호를 리드하는 경우, 액세스 단자로부터 하이 신호가 출력되며 출력된 하이 신호는 모스 트랜지스터1(M1)의 게이트단으로 입력되어 모스 트랜지스터(M1)를 온(on) 상태로 제어한다. 따라서, 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호는 모스 트랜지스터(M1)의 소스단에 연결되어 있는 글로벌 비트라인(Right_GBL)을 통해 글로벌 센스앰프부로 전송된다.

<62> 즉, 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호가 하이값을 가지는 신호인 경우, 글로벌 센스앰프부에는 글로벌 비트라인(Right_GBL)을 통해 하이값을 가지는 데이터 신호가 전송되며 비트라인 센스앰프부에 의해 감지/증폭된 비트라인(BL)의 데이터 신호가 로우값을 가지는 신호인 경우, 글로벌 센스앰프부에는 글로벌 비트라인(Right_GBL)을 통해 로우값을 가지는 데이터 신호가 전송된다.

<63> <라이트 액세스 모드의 경우>

<64> 제어 신호(write_b)를 출력하는 보상 단자는 모스 트랜지스터(M2)의 게이트단과 모스 트랜지스터(M3)의 게이트단에 연결되어 있다. 모스 트랜지스터(M2)의 소스단은 글로벌 비트라인(Right_GBL)에 연결되어 있고 드레인단은 모스 트랜지스터(M3)의 소스단과 모스 트랜지스터(M4)의 게이트단에 연결되어 있다. 또한, 모스 트랜지스터(M3)와 모스 트랜지스터(M4)의 드레인단은 접지되어 있으며 모스 트랜지스터(M4)의 소스단은 비트라인(/BL)의 데이터 신호를 증폭하여 출력하는 비트라인 센스앰프부에 연결되어 있다.

<65> 액세스 단자는 모스 트랜지스터(M1)의 게이트단에 연결되어 있다. 모스 트랜지스터(M1)의 드레인단은 글로벌 비트라인(Right_GBL)에 연결되어 있고 소스단은 비트라인(BL)의 데이터 신호를 증폭하여 출력하는 비트라인 센스앰프부에 연결되어 있다.

<66> 라이트 액세스 모드에서 보상 단자를 통해 로우값을 가지는 write_b 제어신호가 출력되며 액세스 단자를 통해 하이값을 가지는 제어 신호가 출력된다. 따라서 M1, M2가 온 상태로 제어된다.

<67> 글로벌 비트라인을 통해 전송되는 데이터가 하이값을 가지는 경우, 라이트 액세스 모드에서 M1은 항상 온 상태로 제어되므로 비트라인(BL)에 하이 값을 가지는 데이터 신호가 인가된다. 또한, 글로벌 비트라인(Right_GBL)

을 통해 전송되는 데이터가 하이값을 가지는 경우 M4는 온 상태로 제어되므로, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터 신호의 보상 신호인 로우 값을 가지는 데이터 신호가 비트라인(/BL)으로 인가된다.

- <68> 한편, 글로벌 비트라인을 통해 전송되는 데이터가 로우 값을 가지는 경우, 라이트 액세스 모드에서 M1은 항상 온 상태로 제어되므로 비트라인(BL)에 로우 값을 가지는 데이터 신호가 인가된다. 또한, 글로벌 비트라인(Right_GBL)을 통해 전송되는 데이터가 로우 값을 가지는 경우 M4는 오프 상태로 제어되므로, 비트라인(/BL)으로 아무런 신호도 인가되지 않는다.

발명의 효과

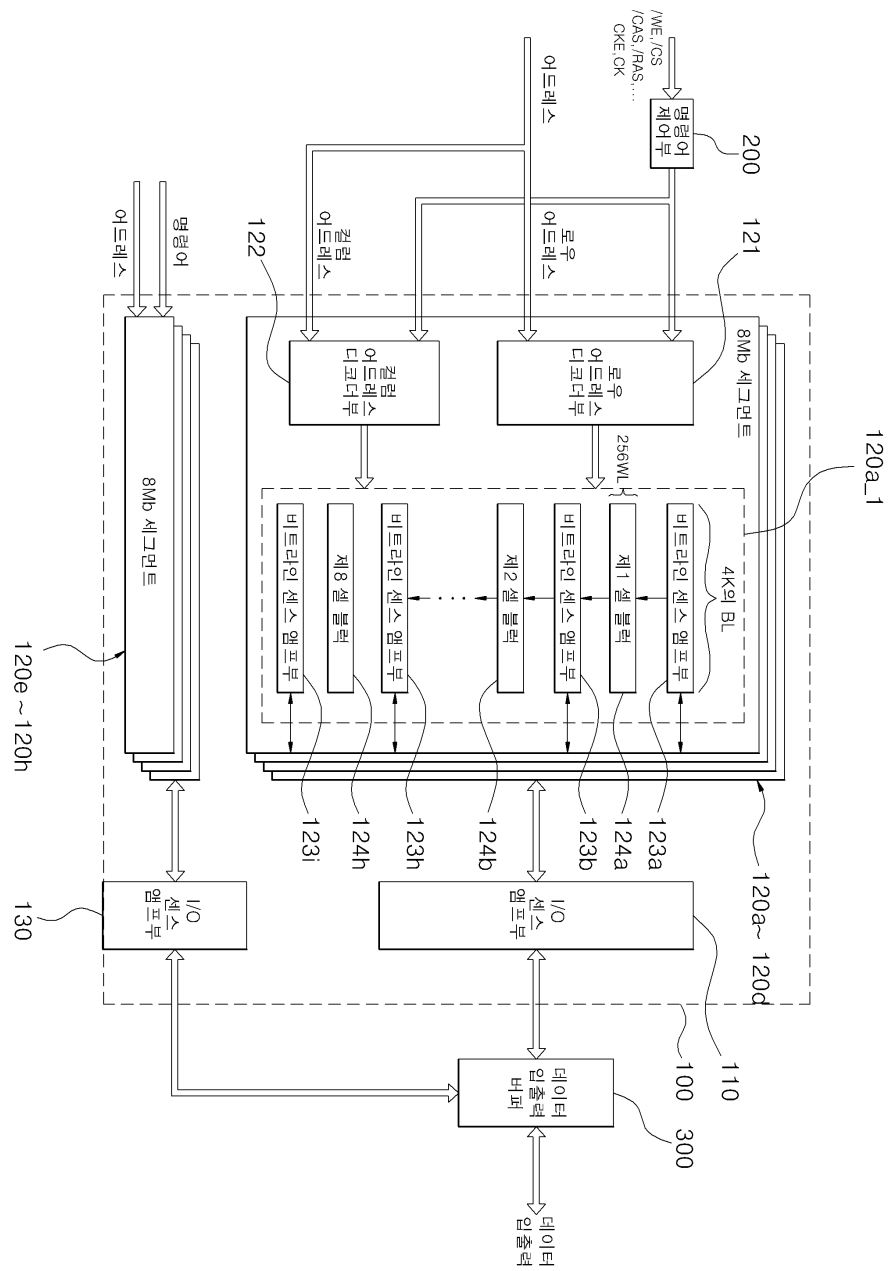
- <69> 본 발명에 따른 메모리 장치는 글로벌 센스앰프부와 글로벌 비트라인을 통해 다수의 데이터를 동시에 액세스할 수 있다.
- <70> 또한, 본 발명에 따른 메모리 장치는 제어부의 액세스 제어를 통해 글로벌 비트라인쌍 중 하나의 비트라인만을 사용하여 데이터를 입출력하며, 글로벌 비트라인 상에 별도의 스위치를 사용하지 않고서도 데이터를 입출력할 수 있다.

도면의 간단한 설명

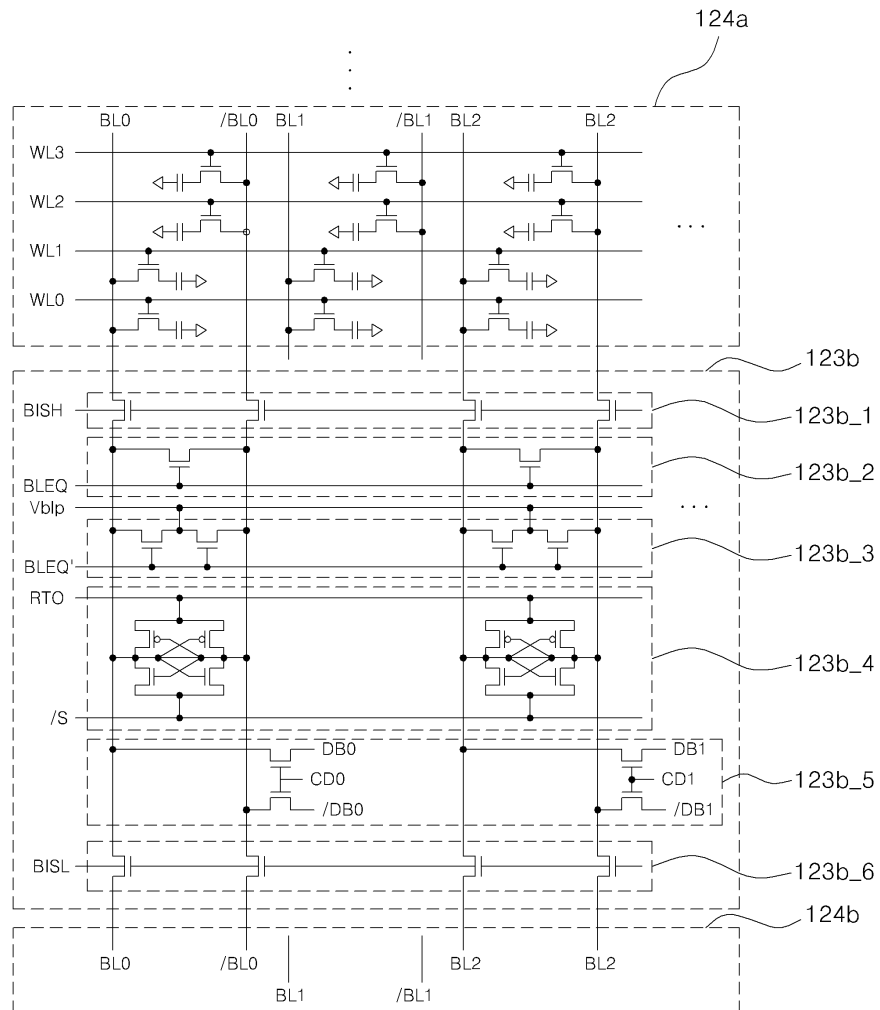
- <1> 도 1은 종래기술에 의한 메모리 장치의 대략적인 블록 구성도이다.
- <2> 도 2는 도 1에 도시된 비트라인 센스앰프부 및 셀블록의 일 예를 나타내는 회로도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 메모리 장치의 블록 구성도를 도시하고 있다.
- <4> 도 4는 도 3에 도시되어 있는 기본셀블록의 일부분을 보다 자세히 도시하고 있다.
- <5> 도 5는 본 발명의 일 예에 따른 제어부의 회로도를 도시하고 있다.
- <6> 도 6은 본 발명의 다른 예에 따른 제어부의 회로도를 도시하고 있다.

도면

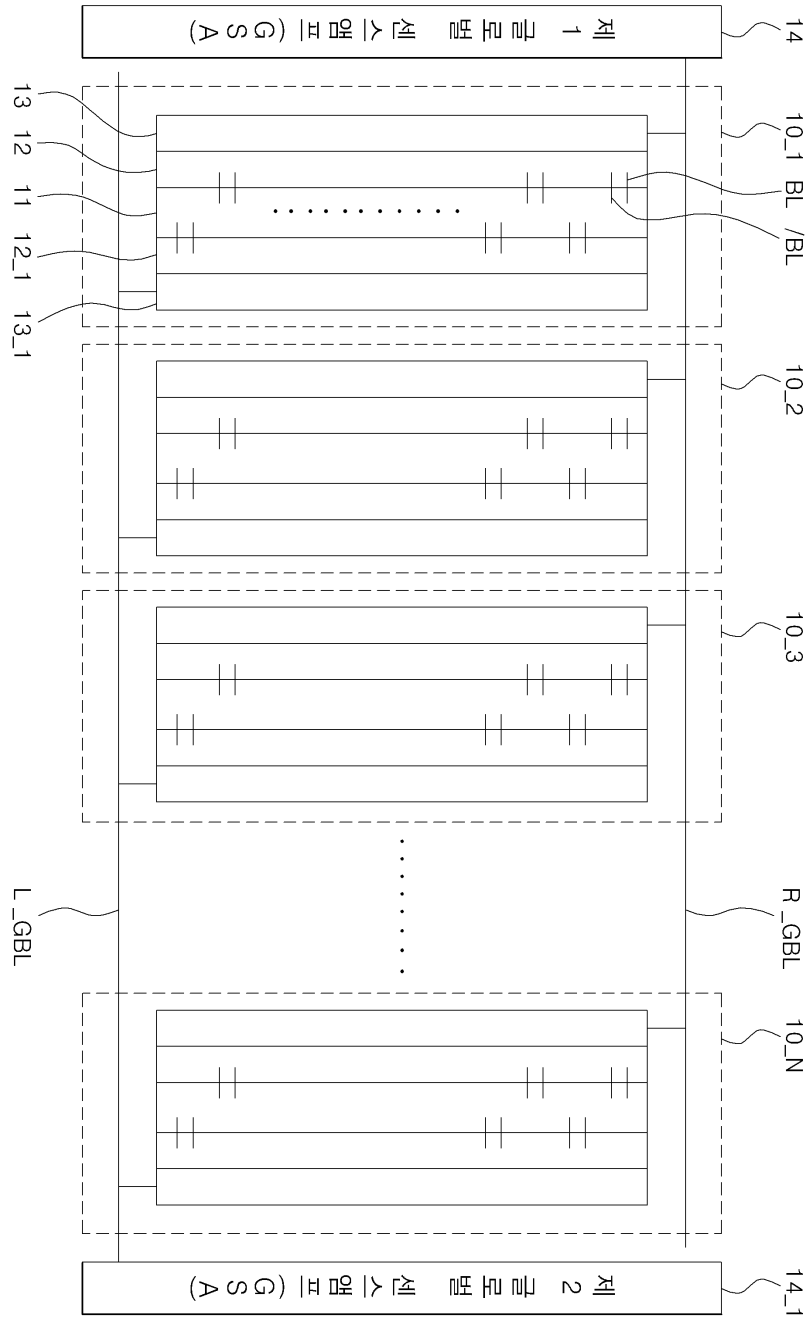
도면1



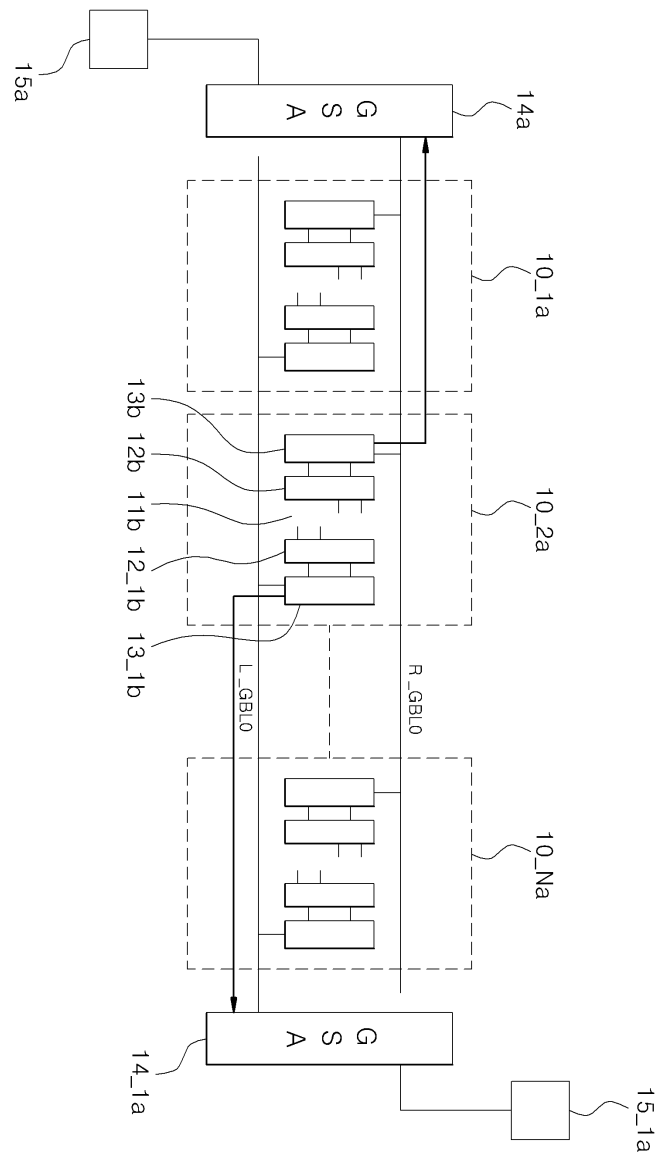
도면2



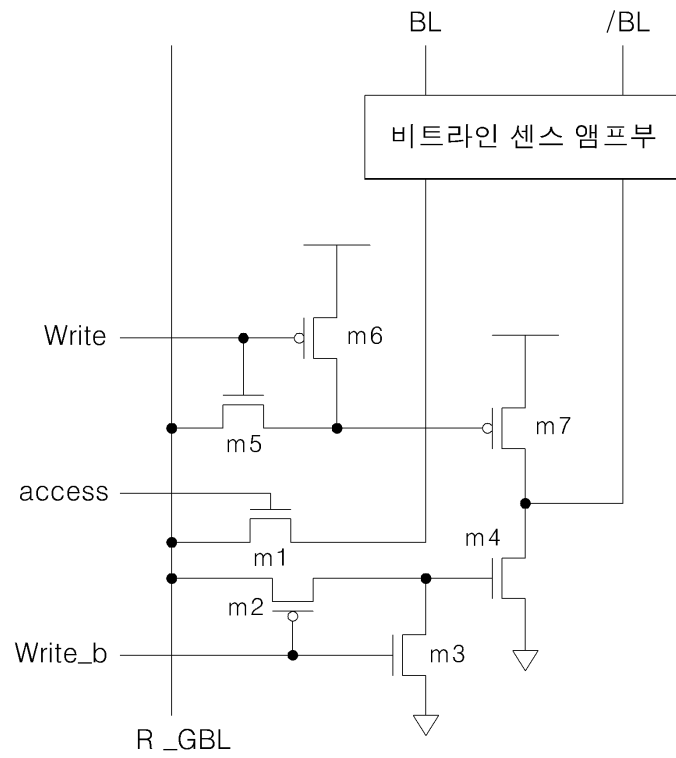
도면3



도면4



도면5



도면6

