



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0026565
(43) 공개일자 2012년03월19일

(51) 국제특허분류(Int. Cl.)
H04L 5/00 (2006.01) H04L 29/04 (2006.01)
(21) 출원번호 10-2011-7030825
(22) 출원일자(국제) 2010년06월10일
심사청구일자 2011년12월23일
(85) 번역문제출일자 2011년12월23일
(86) 국제출원번호 PCT/EP2010/058125
(87) 국제공개번호 WO 2010/149498
국제공개일자 2010년12월29일
(30) 우선권주장
09290482.0 2009년06월24일
유럽특허청(EPO)(EP)

(71) 출원인
알까멜 루슨트
프랑스 75007 파리 옥타브 그레드 애비뉴 3
(72) 발명자
초우 형케이
미국 뉴저지 7039 에섹스 리빙스턴 카터릿 로드 14
디 린드 밴 비즌가아르텐 아드리아안
미국 뉴저지 7974 유니언 뉴 프로비던스 퍼스트 스트리트 24
(뒷면에 계속)
(74) 대리인
장훈

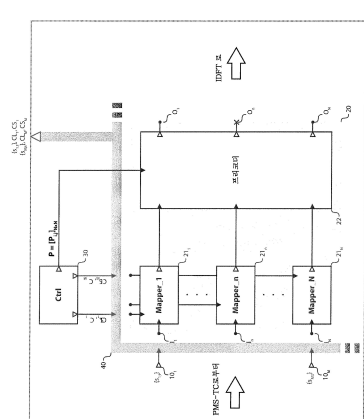
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 복수의 라인 종단 카드에 걸친 조인트 신호 프로세싱

(57) 요약

본 발명은 가입자 라인들을 통해 가입자 디바이스들을 접속하는 라인 종단 카드(1)에 관한 것이다. 본 발명의 제 1 실시예에 따르면, 라인 종단 카드는, - 데이터 시퀀스($S_{1,t}; S_{M,t}$)를 출력하는 데이터 출력 단자($10_1; 10_M$), - 캐리어 로딩 파라미터($CL_1; CL_M$)에 따라 데이터 시퀀스를 주파수 샘플들로 분석하고 인코딩하고, 캐리어 스케일링 파라미터($CS_1; CS_M$)에 따라 주파수 샘플들을 스케일링된 주파수 샘플들($Z_{1,t,k}; Z_{M,t,k}$)로 스케일링하며, 크로스트크 보상을 위해 스케일링된 주파수 샘플들을 프로세싱하는 벡터링(vectoring) 엔티티(20), - 캐리어 로딩 파라미터 및 캐리어 스케일링 파라미터를 조정하는 제어기(30), - 데이터 시퀀스, 캐리어 로딩 파라미터 및 캐리어 스케일링 파라미터를 다른 라인 종단 카드(1')로 포워딩하는 데이터 출력 단자 및 제어기에 커플링된 포워더(forwarder)(40)를 포함한다. 본 발명은 또한, 이러한 라인 종단 카드를 포함하는 액세스 노드, 및 가입자 라인들을 통해 가입자 디바이스들을 접속하는 방법에 관한 것이다.

대표도 - 도1



(72) 발명자

피터스 미카엘

벨기에 비-2547 린트 레이나라어츠호프 14

반더헤이젠 더크

벨기에 비-1780 웹멜 홀랜드 38

특허청구의 범위

청구항 1

가입자 라인들을 통해 가입자 디바이스들을 접속하는 라인 종단 카드(1)로서,

데이터 시퀀스($s_{1,t}; s_{M,t}$)를 출력하는 데이터 출력 단자($10_1; 10_M$),

캐리어 로딩 파라미터($CL_1; CL_M$)에 따라 상기 데이터 시퀀스를 주파수 샘플들로 분석하고 인코딩하고, 캐리어 스케일링 파라미터($CS_1; CS_M$)에 따라 상기 주파수 샘플들을 스케일링된 주파수 샘플들($Z_{1,t,k}; Z_{M,t,k}$)로 스케일링하며, 크로스토크 보상을 위해 상기 스케일링된 주파수 샘플들을 프로세싱하는 벡터링(vectoring) 엔티티(20),

상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 조정하는 제어기(30), 및

상기 데이터 시퀀스, 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 다른 라인 종단 카드(1')로 포워딩하기 위해 상기 데이터 출력 단자 및 상기 제어기에 결합된 포워더(forwarder)(40)를 포함하는, 라인 종단 카드(1).

청구항 2

제 1 항에 있어서,

상기 벡터링 엔티티는 다른 캐리어 로딩 파라미터(CL_m)에 따라 다른 데이터 시퀀스($s_{m,t}$)를 다른 주파수 샘플들로 추가로 분석하고 인코딩하고, 다른 캐리어 스케일링 파라미터(CS_m)에 따라 상기 다른 주파수 샘플들을 다른 스케일링된 주파수 샘플들($Z_{m,t,k}$)로 스케일링하고, 크로스토크 보상을 위해 상기 다른 스케일링된 주파수 샘플들을 프로세싱하기 위한 것이고,

상기 라인 종단 카드는 또한 상기 다른 라인 종단 카드로부터 상기 다른 데이터 시퀀스, 상기 다른 캐리어 로딩 파라미터 및 상기 다른 캐리어 스케일링 파라미터를 수신하기 위해 상기 벡터링 엔티티에 결합된 다른 포워더(50)를 포함하는, 라인 종단 카드(1).

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 데이터 시퀀스는 크로스토크 보상 그룹의 멤버십(membership)에 기초하는 멀티캐스트(multicast)인, 라인 종단 카드(1).

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 캐리어 로딩 파라미터는 가입자 라인상의 데이터 통신 경로의 초기화 또는 동작 동안 결정되는 캐리어 비트 로딩을 나타내는, 라인 종단 카드(1).

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 캐리어 로딩 파라미터는 가입자 라인상의 데이터 통신 경로의 초기화 또는 동작 동안 결정되는 캐리어 순서화 테이블을 나타내는, 라인 종단 카드(1).

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 캐리어 스케일링 파라미터는 가입자 라인상의 데이터 통신 경로의 초기화 또는 동작 동안 결정되는 상대적인 캐리어 이득을 나타내는, 라인 종단 카드(1).

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 캐리어 스케일링 파라미터는 가입자 라인상에서 구성되는 전송 전력 스펙트럼 마스크를 나타내는, 라인 종단 카드(1).

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 따른 라인 종단 카드(1)를 포함하는, 액세스 노드.

청구항 9

제 8 항에 있어서,

상기 액세스 노드는 디지털 가입자 라인 액세스 멀티플렉서 또는 DSLAM인, 액세스 노드.

청구항 10

가입자 라인들을 통해 가입자 디바이스들을 접속하는 방법에 있어서,

라인 종단 카드(1)에 의해,

데이터 시퀀스($S_{1,t}; S_{M,t}$)를 출력하는 단계,

캐리어 로딩 파라미터($CL_1; CL_M$)에 따라 상기 데이터 시퀀스를 주파수 샘플들($Z_{1,t,k}; Z_{M,t,k}$)로 분석하고 인코딩하는 단계,

캐리어 스케일링 파라미터($CS_1; CS_M$)에 따라 상기 주파수 샘플들을 스케일링된 주파수 샘플들($Z_{1,t,k}; Z_{M,t,k}$)로 스케일링하는 단계,

크로스토크 보상을 위해 상기 스케일링된 주파수 샘플들을 프로세싱하는 단계,

상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 조정하는 단계, 및

상기 데이터 시퀀스, 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 다른 라인 종단 카드(1')로 포워딩하는 단계를 포함하는, 가입자 디바이스들을 접속하는 방법.

명세서

기술 분야

[0001] 본 발명은 크로스토크 보상을 위한 조인트 신호(joint signal) 프로세싱에 관한 것으로, 더욱 구체적으로는, 가입자 라인들을 통해 가입자 디바이스들을 접속하고, 야기된 크로스토크를 보상하도록 동작가능한 라인 종단 카드에 관한 것이다.

배경 기술

[0002] 크로스토크(또는 채널간 간섭)는 디지털 가입자 라인(DSL) 통신 시스템들과 같은 다중 입력 다중 출력(MIMO) 통신 시스템들에 대한 채널 장애의 주요 소스이다.

[0003] 더 높은 데이터 레이트에 대한 요구가 증가할 때, DSL 시스템들은 더 높은 주파수 대역들을 향해 발달하고 있고, 여기서, 이웃하는 전송 라인들(즉, 케이블 바인더내의 트위스트드 구리쌍들과 같이 근접한 전송 라인들) 사이의 크로스토크가 더욱 현저하다(더 높은 주파수, 더 많은 커플링).

[0004] MIMO 시스템은 아래의 선형 모델에 의해 설명될 수 있고,

$$Y(f) = H(f)X(f) + Z(f) \quad (1)$$

[0006] 여기서, N-컴포넌트 복소 벡터(X,Y) 각각은 N개의 채널들을 통해 각각 송신되고 N개의 채널들로부터 각각 수신된 심볼들의 이산 주파수 표현을 표기하고, 여기서, N-컴포넌트 복소 벡터(Z)는 에일리언 간섭(alien interference), 열잡음 및 무선 주파수 간섭(RFI)과 같은 N개의 채널들상에 존재하는 추가의 잡음을 표기하고, $N \times N$ 복소 매트릭스(H)는 채널 매트릭스를 칭한다. 매트릭스(H)의 (i,j)번째 컴포넌트는, 통신 시스템이 j번째 채널 입력으로 전송된 심볼에 응답하여 i번째 채널 출력상에 신호를 어떻게 생성하는지를 설명한다. 채널 매트릭스의 대각 엘리먼트들은 직접 채널 커플링을 설명하고, 채널 매트릭스의 대각외 엘리먼트들은 채널간 커플링을 설명한다.

발명의 내용

해결하려는 과제

[0007] 크로스토크를 완화시키고, 유효 쓰루풋, 범위 및 라인 안정성을 최대화하기 위해 상이한 전략들이 개발되었다. 이들 기법들은 정적 또는 동적 스펙트럼 관리 기법들로부터 다중 사용자 신호 조정까지 점진적으로 발전하고 있다.

[0008] 채널간 간섭을 감소시키는 하나의 기법이 조인트 신호 프리코딩이다. 프리코딩으로, 신호들은 각각의 통신 채널들을 통해 전송되기 이전에 프리코딩 매트릭스를 통해 함께 전달된다. 프리코딩 매트릭스는, 프리코더(precoder) 및 통신 채널의 연결이 수신기들에서 간섭을 거의 발생시키지 않게 한다.

[0009] 그러나, 통상의 DSL 배치 실시는 랜덤으로 또는 선착순(first-come-first-serve) 방식으로 종단 포트들을 선택하는 것이다. 대부분의 상황들에서, 동일한 케이블 바인더를 공유하는 가입자 라인들은 동일한 라인 종단 카드에서 종단되지 않을 수도 있다. 이것은 크로스토크 보상 동작들을 복잡하고, 비효율적이거나, 심지어 불가능하게 만든다.

[0010] 이러한 문제점에 대한 알려진 솔루션인 가입자 라인들을 재배열하는 것이다. 2개의 알려진 솔루션들은, (1) 동일한 바인더를 공유하는 모든 라인들이 동일한 라인 종단 카드에서 적절하게 종단되도록 그 분야에서 가입자 라인들을 수동으로 재배열(또는 그루밍(groom))하는 것; 및 (2) 종단 포트들 매핑에 대한 가입자 라인들이 적절하게 관리되도록 가입자 라인들과 라인 종단 포트들 사이에서 정교한 크로스-접속 디바이스를 이용하는 것이다. 솔루션 (1)은 배선을 재구성하기 위해 그 분야에 전문가를 파견하는 것을 수반한다. 이러한 트럭 롤(truck roll)은 고가의 동작일 뿐만 아니라, 이것은 또한 프로세스를 완료하는데 상당한 시간이 걸린다. 솔루션 (2)는 고품질 크로스-접속 디바이스를 요구한다. 현재, 이러한 기술은 여전히 미숙하다. 이것은 매우 비싸거나 너무 많은 신호 왜곡을 도입하여서, 크로스토크 보상의 예상 이득들을 제한하거나 심지어 제거한다.

과제의 해결 수단

[0011] 본 발명의 목적은 상이한 라인 종단 카드들에서 종단되는 가입자 라인들의 선택된 그룹에 대해 크로스토크 보상을 효율적으로 및 저가로 수행하는 것이다.

[0012] 본 발명의 제 1 실시예에 따르면, 가입자 라인들을 통해 가입자 디바이스들을 접속하는 라인 종단 카드는:

[0013] - 데이터 시퀀스를 출력하는 데이터 출력 단자,

[0014] - 캐리어 로딩 파라미터에 따라 상기 데이터 시퀀스를 주파수 샘플들로 분석하여 인코딩하고, 캐리어 스케일링 파라미터에 따라 상기 주파수 샘플들을 스케일링된 주파수 샘플들로 스케일링하며, 크로스토크 보상을 위해 상기 스케일링된 주파수 샘플들을 프로세싱하는 벡터링 엔티티,

[0015] - 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 조정하는 제어기,

[0016] - 상기 데이터 시퀀스, 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 다른 라인 종단 카드로 포워딩하기 위해 상기 데이터 출력 단자 및 상기 제어기에 커플링된 포워더(forwarder)를 포함한다.

[0017] 본 발명의 다른 실시예에 따르면, 상기 벡터링 엔티티는 다른 캐리어 로딩 파라미터에 따라 다른 데이터 시퀀스를 다른 주파수 샘플들로 분석하여 인코딩하고, 다른 캐리어 스케일링 파라미터에 따라 상기 다른 주파수 샘플

들을 다른 스케일링된 주파수 샘플들로 스케일링하며, 크로스토크 보상을 위해 상기 다른 스케일링된 주파수 샘플들을 프로세싱하기 위한 것이고, 라인 중단 카드는 상기 다른 데이터 시퀀스, 상기 다른 캐리어 로딩 파라미터 및 상기 다른 캐리어 스케일링 파라미터를 상기 다른 라인 중단 카드로부터 수신하는 상기 벡터링 엔티티에 커플링된 다른 포워더를 더 포함한다.

- [0018] 매퍼(mapper)들 및 프리코더는 여기에서 벡터링 엔티티(VE)라 칭하는 단일의 엔티티로 병합되고, 라인 중단 카드상에서 함께 프로세싱될 신호들의 그룹들(또는 크로스토크 보상 그룹들, 또는 벡터링 그룹들, 또는 프리코딩 그룹들)이 존재하는 만큼 많은 라인 중단 카드 당 VE들이 존재한다. 매핑되지 않은 데이터 시퀀스들은 크로스토크 보상 그룹의 멤버십에 따라 각각의 VE들로 공급된다. 데이터 출력 단자들은 포워더를 통해 VE(들)에 커플링된다. 포워더는 동일한 크로스토크 보상 그룹의 라인 신호들에 대해 조인트 신호 프로세싱을 수행하는 라인 중단 카드들의 집합으로 데이터 시퀀스들을 선택적으로 복제하여 송신한다.
- [0019] 캐리어 로딩 및 스케일링 파라미터들은, 데이터 시퀀스들이 정확한 크로스토크 보상을 위해 주파수 도메인으로 정확하게 매핑되도록 또한 포워딩된다.
- [0020] 이러한 새로운 아키텍처는 라인 중단 카드들 사이의 요구된 통신 쓰루풋을 상당히 감소시키고(예를 들어, 충분한 수의 비트들로 양자화된 매퍼들의 출력에서의 복소값들이 다른 프리코딩을 위해 중앙화된 프리코더에 공급되면, 여전히 하나가 일부 양자화 손실을 받을 수도 있고), 이것은 그 솔루션을 거의 최적으로 만든다.
- [0021] 이것은 매퍼들 및 프리코더를 하나의 단일 엔티티로 그룹화하고, 로컬하게 이용가능한 데이터 시퀀스들 뿐만 아니라 다른 라인 중단 카드로부터의 데이터 시퀀스들로 그 엔티티에 입력함으로써 달성된다.
- [0022] 동일한 VE(즉, 동일한 프리코딩 매트릭스를 사용하거나 동일한 크로스토크 보상 그룹과 관련됨)는 다중의 라인 중단 카드들을 통해 복제되고, 데이터 시퀀스들 및 관련 매핑 정보는 단지 1회 포워딩될 필요가 있다(예를 들어, 프리코딩 이전 및 이후의 복소값들은 하나의 중앙화된 프리코더와 앞뒤로 교환되어야 한다).
- [0023] 이러한 솔루션의 다른 이점들은 아래와 같다:
- [0024] - 이것은 라인 관리를 단순화하고, 이것은 완전하게 자동화될 수 있다.
- [0025] - 이것은 단일 라인 카드내로 제한되지 않고, 더 넓은 크로스토크들의 선택을 허용함으로써 시스템 성능을 개선시킨다.
- [0026] - 이것은 그 분야에서 추가의 장비를 요구하지 않고, 따라서 단일의 실패 포인트를 제공하지 않는다.
- [0027] - 이것은 사용자 가입이 변화할시에 "트럭 롤"을 요구하지 않고, 이것은 OPEC를 현저하게 감소시키고, 소비자 만족도를 개선시킨다.
- [0028] - 이것은 네트워크 배치에서 추가의 플렉시빌리티를 제공하고, 네트워크 실패의 경우에서 재구성을 용이하게 한다.
- [0029] 데이터 출력 단자에 의해 출력될 때의 데이터 시퀀스는 예를 들어, 물리적 매체 상세 - 2006년 2월 국제전기통신 연합(ITU)에 의해 공개된 "Very High Speed Digital Subscriber Line Transceivers 2 (VDSL2)"라는 명칭의 G.993.2 권고에 설명된 VDSL2 레퍼런스 모델에서의 8 레퍼런스 포인트에서 전송 컨버전스(PMD-TC) 레이어에 의해 출력될 때의 프레임된 데이터라 칭할 수도 있다.
- [0030] 크로스토크 보상이 톤들의 서브세트에 대해서만(예를 들어, 오직 더 높은 주파수 대역) 수행되면, 이들 톤들에 대해 매핑되는 데이터 시퀀스의 부분이 포워딩되고, 나머지 부분은 포워딩되지 않는다.
- [0031] 캐리어 로딩 파라미터를 예를 들어, 측정된 신호 대 잡음비(SNR)에 기초하여 가입자 라인상의 데이터 통신 경로의 초기화 또는 동작 동안 결정되는 것과 같은 비트 로딩 정보라 칭할 수도 있거나, 캐리어(또는 톤) 순서화 테이블이라 칭할 수도 있어서, 캐리어들은 측정된 잡음 및/또는 다른 기준들에 따른 매핑을 위해 분류된다.
- [0032] 캐리어 스케일링 파라미터를 예를 들어, 측정된 신호 대 잡음비(SNR)에 기초하여 가입자 라인상의 데이터 통신 경로의 초기화 또는 동작 동안 결정될 때의 상대적 캐리어 이득들로 칭할 수도 있거나, 가입자 라인을 통해 구성될 때의 전송 전력 스펙트럼 마스크라 칭할 수도 있다.
- [0033] 본 발명의 다른 실시예에 따르면, 상기 데이터 시퀀스(또는 그 일부)는 크로스토크 보상 그룹의 멤버십에 기초하는 멀티캐스트이다.
- [0034] 크로스토크 보상 그룹들 및 멀티캐스트 그룹들은 1 대 1 관계, 및 로컬하게 이용가능한 데이터 시퀀스들로 함께

프로세싱될 임의의 데이터 시퀀스가 공급되도록 라인 중단 카드 가입자들 대 적합한 멀티캐스트 그룹이다.

- [0035] 다르게는, 데이터 시퀀스는 적합한 라인 중단 카드들에 대해 유니캐스트, 또는 모든 라인 중단 카드들에 대해 브로드캐스트이다.
- [0036] 관련된 캐리어 로딩 및 스케일링 파라미터들은 동일한 멀티캐스트 또는 브로드캐스트 스트림의 일부로서 데이터 시퀀스와 함께 광고될 수 있거나, 전용 채널을 통해 떨어져 전송될 수 있다.
- [0037] 라인 중단 카드는 중심 위치 또는 가입자 구내에 더 근접한 원격 위치에 위치되는, 디지털 가입자 라인 액세스 멀티플렉서(DSLAM)와 같은 액세스 노드의 일부를 형성할 수도 있다.
- [0038] 본 발명은 또한 가입자 라인들을 통해 가입자 디바이스들을 접속하는 방법에 관한 것이다.
- [0039] 본 발명의 제 1 실시예에 따르면, 이 방법은 라인 중단 카드에 의해,
- [0040] - 데이터 시퀀스를 출력하는 단계,
- [0041] - 캐리어 로딩 파라미터에 따라 상기 데이터 시퀀스를 주파수 샘플들로 분석하여 인코딩하는 단계,
- [0042] - 캐리어 스케일링 파라미터에 따라 상기 주파수 샘플들을 스케일링된 주파수 샘플들로 스케일링하는 단계,
- [0043] - 크로스트크 보상을 위해 상기 스케일링된 주파수 샘플들을 프로세싱하는 단계,
- [0044] - 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 조정하는 단계,
- [0045] - 상기 데이터 시퀀스, 상기 캐리어 로딩 파라미터 및 상기 캐리어 스케일링 파라미터를 다른 라인 중단 카드로 포워딩하는 단계를 포함한다.
- [0046] 본 발명에 따른 방법의 실시예들은, 본 발명에 따른 라인 중단 카드의 실시예들에 대응한다.
- [0047] 본 발명의 상기 및 다른 목적들 및 특징들은 더욱 명백해질 것이고, 본 발명 자체는 첨부한 도면들과 함께 취해진 실시예의 아래의 설명을 참조함으로써 가장 잘 이해될 것이다.

도면의 간단한 설명

- [0048] 도 1은 다른 라인 중단 카드로의 아웃고잉 데이터 흐름들을 강조한 본 발명의 예시적인 실시예에서의 라인 중단 카드를 나타내는 도면.
- 도 2는 다른 라인 중단 카드로부터의 인커밍 데이터 흐름들을 강조한 라인 중단 카드를 나타내는 도면.
- 도 3은 라인 중단 카드와 다른 라인 중단 카드 사이의 데이터 흐름들의 개요를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0049] 도 1 및 도 2에서, 아웃고잉 및 인커밍 데이터 흐름들 각각을 강조한 라인 중단 카드(1)를 확인할 수 있다.
- [0050] 입력 단자들은 솔리드 삼각형들로서 드로잉되고, 출력 단자들은 빈 삼각형들로 드로잉된다. 단자는 여기에서, 하나의 하드웨어 또는 소프트웨어로부터 다른 하드웨어 또는 소프트웨어로 정보 또는 신호를 전달하는 수단인 것으로 의미되고, 하나 이상의 하드웨어 핀들, 함수 또는 절차 호, 애플리케이션 프로그래밍 인터페이스(API), 원격 절차 호(RPC) 등이다.
- [0051] 본 발명의 바람직한 실시예에서, 라인 중단 카드(1)는 VDSL2 가입자 라인들을 중단하도록 동작가능하고, DSLAM의 일부를 형성한다.
- [0052] 라인 중단 카드(1)는 기능 블록들을 포함하고, 이중 가장 현저한 것은,
- [0053] - 데이터 시퀀스들을 출력하는 데이터 출력 단자들(10),
- [0054] - N개의 입력 단자들(I_1 내지 I_N), 및 N개의 출력 단자들(O_1 내지 O_N)을 포함하는 VE(20),
- [0055] - 제어기(30),
- [0056] - 제 1 포워더(40),
- [0057] - 제 2 포워더(50)이다.

- [0058] 하나 이상의 데이터 출력 단자들(10)이 그들의 그룹 멤버십에 의존하여 VE(20)의 입력 단자들에 커플링된다. 하나 이상의 데이터 출력 단자들(10)은 또한, 하나 이상의 다른 라인 종단 카드들로 데이터 시퀀스들을 출력하는 제 1 포워더(40)의 입력 단자들에 커플링된다. 제 2 포워더(50)의 하나 이상의 출력 단자들은 하나 이상의 다른 라인 종단 카드들로부터의 데이터 시퀀스들을 VE(20)로 입력하는 VE(20)의 입력 단자들에 커플링된다. 결국, 제어기(30)는 VE(20) 및 제 1 포워더(40)에 커플링된다.
- [0059] VE(20)는,
- [0060] - N개의 매퍼(21 내지 21_N), 및
- [0061] - 프리코더(22)를 더 포함한다.
- [0062] 입력 단자들(I₁ 내지 I_N)은 매퍼들(21 내지 21_N)의 입력 단자들 중 각각의 입력 단자들에 커플링되고, 매퍼들(21 내지 21_N)의 출력 단자들은 프리코더(22)의 N개의 입력 단자들 중 각각의 입력 단자들에 커플링되며, 프리코더(22)의 N개의 출력 단자들은 출력 단자들(O₁ 내지 O_N) 중 각각의 출력 단자들에 커플링된다.
- [0063] 제어기(30)의 하나 이상의 제어 출력 단자들은 매퍼들(21)의 제어 입력 단자들에 커플링되고, 제 1 포워더(40)의 입력 단자들에 또한 커플링된다. 제 2 포워더(50)의 하나 이상의 출력 단자들은 매퍼들(21)의 제어 입력 단자들에 커플링된다. 제어기(30)의 제어 출력 단자는 프리코더(22)의 제어 입력 단자에 더 커플링된다.
- [0064] 데이터 출력 단자들(10)과 매퍼들(21)의 입력 단자들 사이, 제어기(30)의 제어 출력 단자들과 매퍼(21)의 제어 입력 단자 사이, 데이터 출력 단자들(10)과 제 1 포워더(40)의 입력 단자들 사이, 제어기(30)의 제어 출력 단자들과 제 1 포워더(40)의 입력 단자들 사이, 및 제 2 포워더(50)의 출력 단자들과 매퍼들(21)의 입력 단자들 및 제어 입력 단자들 사이의 커플링은, 이 설명에서 더 설명되는 바와 같이, 크로스토크 보상 그룹들의 각각의 멤버십들에 의존한다.
- [0065] 데이터 출력 단자들(20)은 주파수 도메인으로의 매핑을 위해 준비가 된 데이터 시퀀스들을 출력하도록 구성된다. 여기에서, 데이터 시퀀스를 VDSL2 레퍼런스 모델에서의 8 레퍼런스 포인트에서 PMD-TC 레이어에 의해 출력될 때의 프레임된 데이터라 칭한다. 데이터 시퀀스의 각 데이터 프레임은 하나의 DMT 심볼에 대응한다.
- [0066] 매퍼(21)는 아래의 기능들:
- [0067] - 톤 순서화,
- [0068] - 선택적으로, 트렐리스 코딩(trellis coding),
- [0069] - 콘스텔레이션(constellation) 매핑,
- [0070] - 콘스텔레이션 포인트 스케일링으로 구성된다.
- [0071] 매퍼들(21)은 인커밍 비트 스트림을 비트들의 작은 그룹들로 분할하고, 여기서, 각 그룹은 DMT 심볼의 특정 캐리어를 변조하도록 할당된다. 각 그룹은 선택적으로 트렐리스 인코더에 의해 더 인코딩되고, 결국, 콘스텔레이션 그리드에서의 콘스텔레이션 포인트에 매핑된다.
- [0072] 초기화 동안, 수신 PMD 기능은 캐리어의 측정된 SNR 및 특정 시스템 구성 셋팅들에 기초하여, MEDLEY 세트에서의 모든 캐리어(k)에 대해 사용될 비트들(또는 비트 로딩)의 수들(b_k) 및 상대적 이득들(g_k)을 계산해야 한다. 수신 PMD 기능은 또한, 톤 순서화 테이블, 즉, 캐리어들이 비트들을 할당하는 순서를 결정해야 한다. 계산된 비트들 및 이득들 및 톤 순서화 테이블은 DSL 경로 초기화의 채널 분석 & 교환 페이즈 동안 전송 PMD 기능으로 다시 전송되어야 한다.
- [0073] 콘스텔레이션 포인트들은 주파수 의존 전송 PSD를 달성하고, 사용중인 캐리어들에 대한 SNR 마진을 등화하기 위해, 그들의 평균 전력을 정규화하도록 스케일링되어야 한다.
- [0074] 평균 전력을 정규화하기 위해 요구된 스케일링은 콘스텔레이션의 사이즈에만 의존한다. 이것은 팩터 $\chi(b_k)$ 로 표현된다. 이득 조정자(g_k)가 사용중인 캐리어에 대한 SNR 마진을 등화하기 위해 사용된다. PSD 정형 메카니즘은 소위 tss_k 계수들에 기초한다.

[0075] MEDLEY 세트에서의 캐리어들에 대해, 콘스텔레이션 매퍼의 출력에서 복소값($\mathbf{X}_k + j\mathbf{Y}_k$)에 대응하는 각 콘스텔레이션 포인트($\mathbf{X}_k, \mathbf{Y}_k$)는,

[0076]
$$Z_k = g_k \times tss_k \times \chi(b_k) \times (X_k + jY_k) \quad (2)$$

[0077]로서 정의된 복소수(Z_k)를 발생시키기 위해 전력-정규화 팩터 $\chi(b_k)$, 이득 조정자(g_k), 및 주파수-도메인 스펙트럼 정형 계수(tss_k)에 의해 스케일링되어야 한다.

[0078] 프리코더(22)는 다운스트림 방향(즉, 중심 오피스로부터 가입자 구내를 향해)으로 조인트 신호 프로세싱(joint signal processing)을 수행하도록 구성된다.

[0079] 신호 프리코딩은 채널간 간섭을 보상하도록 주파수 도메인에서 전송된 심볼들을 함께 프로세싱함으로써 달성된다.

[0080] 다운스트림 채널 매트릭스는,

[0081]
$$\mathbf{H} = \begin{bmatrix} H_{11} & H_{12} & \cdots & H_{1n} \\ H_{21} & H_{22} & & \vdots \\ \vdots & & & H_{n-1n} \\ H_{n1} & \cdots & H_{nn-1} & H_{nn} \end{bmatrix} = \begin{bmatrix} H_{11} & 0 & \cdots & 0 \\ 0 & H_{22} & & \vdots \\ \vdots & & & 0 \\ 0 & \cdots & 0 & H_{nn} \end{bmatrix} + \begin{bmatrix} 0 & H_{12} & \cdots & H_{1n} \\ H_{21} & 0 & & \vdots \\ \vdots & & & H_{n-1n} \\ H_{n1} & \cdots & H_{nn-1} & 0 \end{bmatrix}$$

[0081]
$$\mathbf{H} = \mathbf{D} + \mathbf{C} = \mathbf{D}(\mathbf{I} + \mathbf{D}^{-1}\mathbf{C}) \quad (3)$$

[0082]와 같이 표현될 수 있고, 여기서, D는 다운스트림 직접 채널 전달 함수들을 포함하는 대각 매트릭스를 표기하고, C는 다운스트림 크로스토크 채널 전달 함수를 포함하는 대각외 매트릭스를 표기하고, I는,

[0083]
$$\mathbf{I} = \begin{bmatrix} 1 & 0 & \cdots & 0 \\ 0 & 1 & & \vdots \\ \vdots & & & 0 \\ 0 & \cdots & 0 & 1 \end{bmatrix} \quad (4)$$

[0084]에 의해 제공된 단위 매트릭스이다.

[0085] 프리코딩은 직접 채널 전달 함수들(수신단에서의 주파수 등화는 직접 채널 감쇠 및 위상 시프트를 보상한다)을 보존하고, 모든 크로스토크 채널 전달 함수들을 동시에 제로화하는 전달 함수 매트릭스를 이상적으로 발생시켜야 한다. 이것은 아래의 프리코딩 매트릭스를 사용함으로써 달성된다:

[0086]
$$\mathbf{P} = (\mathbf{I} + \mathbf{D}^{-1}\mathbf{C})^{-1} \simeq \mathbf{I} - \mathbf{D}^{-1}\mathbf{C} \quad (5)$$

[0087]후자는 크로스토크 채널 계수들의 진폭이 직접 채널 계수들의 진폭에 대하여 작은 경우에 유효한 제 1차 근사치이고, 이것은 DSL 배치들에서 유효한 가정이다.

[0088] 상대적인 크로스토크 채널 매트릭스를 $\tilde{\mathbf{C}}$ 로서 표기하기로 한다. $\tilde{\mathbf{C}}$ 는:

[0089]
$$\tilde{\mathbf{C}} = \mathbf{D}^{-1}\mathbf{C} = \begin{bmatrix} 0 & H_{12}/H_{11} & \cdots & H_{1n}/H_{11} \\ H_{21}/H_{22} & 0 & & \vdots \\ \vdots & & & H_{n-1n}/H_{n-1n-1} \\ H_{n1}/H_{nn} & \cdots & H_{nn-1}/H_{nn} & 0 \end{bmatrix} \quad (6)$$

[0090]로 주어진다.

- [0091] 그 후, 프리코딩을 이용한 수신된 신호는,
- $$Y' = HPX + Z = D(I - \tilde{C})(I - \tilde{C}^2)X + Z = D(I - \tilde{C}^2)X + Z \approx DX + Z \quad (7)$$
- [0092]
- [0093] 로 주어진다.
- [0094] 즉, 프리코딩으로, 수신된 신호들은 채널간 간섭에 의해서가 아니라 에일리언 잡음에 의해서만 손상된다.
- [0095] 결국, 프리코딩된 주파수 샘플들은 인버스 이산 푸리에 변환(IDFT)을 사용하여 DMT 심볼의 캐리어들을 변조한다. IDFT 이후에, 결과적인 심볼은 주기적으로 연장 및 윈도우되고, 아날로그 신호로 변환되고, 전송 매체를 통해 전송된다.
- [0096] 제어기(30)는 매퍼들(21) 및 프리코더(22)의 동작을 제어하도록 구성된다. 더욱 구체적으로는, 제어기(30)는 PMD 통신 파라미터들, 및 더욱 현저하게는, 캐리어 로딩 및 스케일링 파라미터들을 매퍼들(21)로 전달하고, 프리코딩 매트릭스를 프리코더(21)로 전달한다.
- [0097] 라인 종단 카드(1)상에서 종단하는 라인들에 대한 캐리어 로딩 및 스케일링 파라미터들은 제어기(30)에 의해 이용가능하게 이루어지고, 다른 라인 종단 카드상에서 종단하는 라인들에 대한 캐리어 로딩 및 스케일링 파라미터들은 제 2 포워더(50)를 통해 다른 라인 종단 카드로부터 검색된다.
- [0098] 여기서, 캐리어 로딩 파라미터들은, PMD 레이어에 의해 결정되는 비트 로딩(b_k) 및 톤 순서화 테이블을 나타낸다. 여기서, 캐리어 스케일링 파라미터들은 PMD 레이어에 의해 결정되는 상대적 캐리어 이득들(g_k), 및 가능하면, 가입자 라인상에서 구성되는 전송 전력 정형 마스크(즉, tss_k 계수들)를 나타낸다.
- [0099] 프리코딩 매트릭스는 크로스토크 채널 전달 함수들의 추정치들에 따라 결정된다. 추정치들은 가입자 디바이스로부터의 잡음 측정치에 기초하여 계산된다.
- [0100] 제 1 포워더(40)는 다른 라인 종단 카드들에 의한 조인트 신호 프로세싱을 위해, 데이터 출력 단자들(10)에 의해 출력될 때 데이터 시퀀스들, 뿐만 아니라 관련 캐리어 로딩 및 스케일링 파라미터들을 다른 라인 종단 카드들에 공급하도록 구성된다.
- [0101] 제 2 포워더(50)는 VE(20)에 의한 조인트 신호 프로세싱을 위해 다른 라인 종단 카드로부터, 데이터 시퀀스들 뿐만 아니라 관련 캐리어 로딩 및 스케일링 파라미터들을 수신하도록 구성된다.
- [0102] 제 1 포워더(40)의 출력 단자는 다른 라인 종단 카드의 일부를 형성하는 다른 제 2 포워더의 입력 단자에 커플링되고, 제 2 포워더(50)의 입력 단자는 다른 라인 종단 카드의 일부를 형성하는 다른 제 1 포워더의 출력 단자에 커플링된다.
- [0103] 제 1 포워더(40) 및 제 2 포워더(50)는 라인 종단 카드들을 서로에 접속하는 이더넷 스위치 패브릭 또는 고유 데이터 버스 등과 같은 통신 설비를 기반으로 한다.
- [0104] 데이터 출력 단자들(10)에 의해 출력될 때 데이터 시퀀스들내의 하나 이상의 데이터 프레임들은 예를 들어, 소스 및 목적지 라인 종단 카드 각각을 식별하는 목적지 및 소스 어드레스를 첨부하거나, 대응하는 라인 종단 카드들이 청구해야 하는 특정한 크로스토크 보상 그룹을 식별하는 멀티캐스트 어드레스를 첨부함으로써, 하나 이상의 다른 라인 종단 카드들을 향한 다른 전송에 적합한 포맷으로 캡슐화된다. 하나 이상의 데이터 프레임들은 그로부터 다음에 추출되고, VE로 더 공급된다. 각 데이터 프레임은 그 데이터 프레임이 관련되는 라인 식별자, 및 DMT 심볼 인덱스에 의해 식별된다.
- [0105] 반면에, 데이터 시퀀스들은 연속적으로 복제되어 각각의 VE들로 공급되고, 캐리어 로딩 및 스케일링 파라미터들은 초기화시에 또는 온라인 재구성(OLR) 커맨드들에 의해 그들의 값이 조정될 때만 교환된다.
- [0106] 이제, 이러한 바람직한 실시예의 동작이 도 1, 도 2 및 도 3에 관하여 후속한다.
- [0107] 인코딩된 데이터 시퀀스는 $\{s_{m,t}\}$ 로서 표기되고, 여기서, m 은 1 내지 M 의 범위인 데이터 출력 단자 인덱스를 표기하고, M 은 N 이하이고, t 는 DMT 심볼 인덱스를 표기한다. 콘스텔레이션 매핑 및 스케일링 이후에, 이러한 데이터 시퀀스는 프리코딩 이전의 신호의 주파수 샘플들을 표현하는 복소수들의 시퀀스 $\{z_{m,t,k}\}$ 를 산출한다.

그 후, 복소수들의 시퀀스 $\{Z_{m,t,k}\}$ 는 크로스토크 사전-보상을 위해 프리코더(22)를 통과하고, 이에 의해, 프리코딩 이후 및 IDFT 유닛에 의한 변조 이전의 신호의 주파수 샘플들을 표현하는 복소수들의 새로운 시퀀스 $\{Z'_{m,t,k}\}$ 를 산출한다.

[0108] 스케일링 팩터들은 요구된 산술 연산들의 수 및 양자화 손실을 감소시키도록, 프리코더 매트릭스의 계수들로 직접 통합될 수 있고, 이 경우에서, 스케일링되지 않은 주파수 샘플들은 다른 스케일링 및 프리코딩을 위해 프리코더(22)로 직접 전달된다.

[0109] 데이터 시퀀스 $\{S_{m,t}\}$ 의 분석, 매핑 및 스케일링을 위한 캐리어 로딩 정보 및 캐리어 스케일링 정보는 각각 CL_m 및 CS_m 으로 표기된다.

[0110] 라인 중단 카드(1), 및 N개의 입력 단자들(I'_{1} 내지 I'_{N}) 및 N개의 출력 단자들(O'_{1} 내지 O'_{N})을 갖는 유사한 VE(20')를 수용하는 다른 라인 중단 카드(1')를 도 3에서 볼 수 있다. 제어기들 및 캐리어 로딩 및 스케일링 정보가 도면을 복잡하게 하지 않기 위해 도 3에서 의도적으로 생략되었다.

[0111] 예시적인 실시예로서, 3개의 인코더들(ENC_1, ENC_m 및 ENC_M) 각각의 일부를 형성하고, 3개의 데이터 시퀀스($\{S_{1,t}\}$, $\{S_{m,t}\}$ 및 $\{S_{M,t}\}$) 각각을 출력하는 3개의 데이터 출력 단자들(10_1 , 10_m 및 10_M)이 도시되어 있다. 인코더들(ENC_1 및 ENC_M)은 라인 중단 카드(1)의 일부를 형성하고, 출력된 데이터 시퀀스들($\{S_{1,t}\}$ 및 $\{S_{M,t}\}$)은 라인 중단 카드(1)에 접속된 가입자 라인들(L_1 및 L_M (미도시))을 통해 전송된다. 인코더(ENC_m)는 다른 라인 중단 카드(1')의 일부를 형성하고, 출력된 데이터 시퀀스($\{S_{m,t}\}$)는 다른 라인 중단 카드(1')에 접속된 가입자 라인(L_m (미도시))을 통해 전송된다. 라인들(L_1 , L_m 및 L_M)은 동일한 케이블 바인더를 공유하고, 동일한 크로스토크 보상 그룹의 일부를 형성한다.

[0112] 데이터 출력 단자들(10_1 및 10_M)은 VE(20)의 입력 단자들(I_1 및 I_N) 각각에 커플링되고, 제 1 포워더(40)를 통해 VE(20')의 입력 단자들(I'_{1} 및 I'_{N}) 각각에 커플링된다. 데이터 출력 단자(10_m)는 VE(20')의 입력 단자들(I'_{n})에 커플링되고, 제 2 포워더(50)를 통해 VE(20)의 입력 단자(I_n)에 커플링되고, n은 1 내지 N 범위의 VE(20)의 입력 단자 인덱스를 표기한다.

[0113] VE(20)의 출력 단자들(O_1 및 O_N)은 IDFT 유닛들(IDFT_1 및 IDFT_M) 각각에 커플링되고, VE(20)의 출력 단자(O_n)는 좌측 오픈된다(이러한 단자는 도 3에서 크로스로 중단된다). VE(20')의 출력 단자(O'_{n})는 IDFT 유닛(IDFT_m)에 커플링되고, VE(20')의 출력 단자(O'_{1} 및 O'_{N})는 좌측 오픈된다. IDFT 유닛들(IDFT_1, IDFT_m 및 IDFT_M)은 라인들(L_1 , L_m 및 L_M) 각각에 더 커플링된다.

[0114] $N \times N$ 제곱 매트릭스인 P는, 라인들(L_1 , L_m 및 L_M)상에 야기된 크로스토크를 사전보상하기 위한 프리코딩 매트릭스를 표기하고, VE들(20 및 20') 모두에 의해 사용된다. 프리코딩 매트릭스(P)는 예를 들어, 크로스토크 추정 유닛(미도시)으로부터 획득된다.

[0115] 데이터 시퀀스들($\{S_{1,t}\}$ 및 $\{S_{M,t}\}$)은 캐리어 로딩 파라미터들(CL_1 및 CL_M) 및 캐리어 스케일링 파라미터들(CS_1 및 CS_M)과 함께 제 1 포워더(40)에 의해 VE(20')로 포워딩된다. 더욱 구체적으로는, 데이터 시퀀스($\{S_{1,t}\}$)는 VE(20')의 입력 단자(I'_{1})로 포워딩되고, 캐리어 로딩 및 스케일링 파라미터들(CL_1 및 CS_1)은 VE(20')의 대응하는 입력 제어 단자로 포워딩된다. 데이터 시퀀스($\{S_{m,t}\}$)는 VE(20')의 입력 단자(I'_{n})로 포워딩되고, 캐리어 로딩 및 스케일링 파라미터들(CL_m 및 CS_m)은 VE(20)의 대응하는 입력 제어 단자로 포워딩된다.

[0116] 유사하게는, 데이터 시퀀스($\{S_{m,t}\}$)는 캐리어 로딩 파라미터(CL_m) 및 캐리어 스케일링 파라미터(CS_m)와 함께

제 2 포워더(50)에 의해 VE(20)로 포워딩된다. 더욱 구체적으로는, 데이터 시퀀스($\{s_m, t\}$)는 VE(20)의 입력 단자(I_n)로 포워딩되고, 캐리어 로딩 및 스케일링 정보(CL_m 및 CS_m)는 VE(20)의 대응하는 입력 제어 단자로 포워딩된다.

- [0117] 동일한 크로스토크 보상 그룹의 일부를 형성하는 신호들은 함께 프로세싱될 이들에 대한 DMT 심볼 레벨에서 정렬될 필요가 있다. 그 결과, 공통 타이밍 레퍼런스가 (예를 들어, 중심 클록 분배 유닛에 의해) 각 라인 종단 카드에 공급되어야 하고, 각 트랜시버의 동작은 이러한 공통 타이밍 레퍼런스와 동기화되어야 한다.
- [0118] 라인 종단 카드들 사이에서 포워딩하는 신호들은, 매핑되지 않은 데이터 시퀀스들 및/또는 관련 캐리어 로딩 및 스케일링 파라미터들을 포워딩하는 하나 이상의 중간 통신 유닛들을 수반할 수도 있다.
- [0119] 예시적인 실시예로서, 크로스토크 채널 추정, 라인 관리, 및 타이밍 및 동기화 기능들과 함께 포워딩하는 신호는 하나 이상의 크로스토크 보상 카드들로 병합될 수 있다. 이러한 카드는 특정 슬롯(예를 들어, 리던던트 네트워크 종단 카드에 대해 제공된 슬롯; 또는 적절한 접속성을 갖는 임의의 다른 슬롯)에 설치될 수도 있어서, 임의의 라인 종단 카드상의 임의의 가입자 라인으로부터의 신호들은 이러한 카드로/로부터 전송/수신될 수 있다. 크로스토크 보상 카드는 모든 크로스토크 보상 그룹들의 정보를 유지하고, 멤버칩들에 의존하여, 이러한 그룹에서의 라인 신호들에 대한 조인트 신호 프로세싱을 수행하는 라인 종단 카드들의 집합으로 신호들을 선택적으로 중계한다.
- [0120] 청구항에서 또한 사용되는 용어 '포함하는'이 이하에 리스트된 수단으로 제한되는 것으로 해석되어서는 안된다는 것에 유의해야 한다. 따라서, 표현 '수단 A 및 B를 포함하는 디바이스'의 범위는 컴포넌트들 A 및 B만으로 이루어진 디바이스들로 제한되어서는 안된다. 이것은 본 발명과 관련하여, 디바이스의 관련 컴포넌트가 A 및 B 이다는 것을 의미한다.
- [0121] 청구항에서 사용된 용어 '커플링된'이 직접 접속만으로 제한되는 것으로 해석되어서는 안된다는 것에 또한 유의해야 한다. 따라서, 표현 '디바이스 B에 커플링된 디바이스 A'는 디바이스 A의 출력이 디바이스 B의 입력에 직접 접속되고/되거나 그 반대이고, 디바이스들 또는 시스템들에 제한되어서는 안된다. 이것은 다른 디바이스들 또는 수단들을 포함하는 경로일 수도 있는 A의 출력과 B의 입력 사이 및/또는 그 반대 사이에 경로가 존재한다는 것을 의미한다.
- [0122] 설명 및 도면들은 본 발명의 원리들을 단지 예시한다. 따라서, 명백하게 설명하거나 도시하지는 않았지만, 본 발명의 원리를 구현하고 그 사상 및 범위내에 포함되는 다양한 장치들을 당업자가 발명할 수 있다는 것이 이해될 것이다. 또한, 여기에 기재된 모든 예들은 원칙적으로는, 독자가 본 발명의 원리들 및 발명자(들)에 의해 추후의 기술에 기여된 개념들을 이해하는데 보조하기 위한 교육적 목적으로만 명백하게 의도되고, 이러한 구체적으로 기재한 예들 및 조건들에 제한되지 않는 것으로 해석되어야 한다. 또한, 본 발명의 원리들, 양태들, 및 실시예들 뿐만 아니라 본 발명의 특정한 예들을 기재하는 여기에서의 모든 진술들은 그것의 모든 등가물을 포함하는 것으로 의도된다.
- [0123] 도면들에 도시된 다양한 엘리먼트들의 기능들은 적합한 소프트웨어와 관련하여 소프트웨어를 실행할 수 있는 하드웨어 뿐만 전용 하드웨어의 사용을 통해 제공될 수도 있다. 프로세서에 의해 제공될 때, 이 기능들은 단일의 전용 프로세서, 단일의 공유 프로세서, 또는 몇몇이 공유될 수도 있는 복수의 개별 프로세서들에 의해 제공될 수도 있다. 또한, 프로세서는 소프트웨어를 실행할 수 있는 하드웨어를 독점적으로 칭하는 것으로 해석되어서는 안되고, 제한없이, 디지털 신호 프로세서(DSP) 하드웨어, 네트워크 프로세서, 주문형 반도체(ASIC), 필드 프로그램가능한 게이트 어레이(FPGA) 등을 암시적으로 포함할 수도 있다. 관독 전용 메모리(ROM), 랜덤 액세스 메모리(RAM), 및 비휘발성 저장부와 같은 기존 및/또는 주문형의 다른 하드웨어가 또한 포함될 수도 있다.

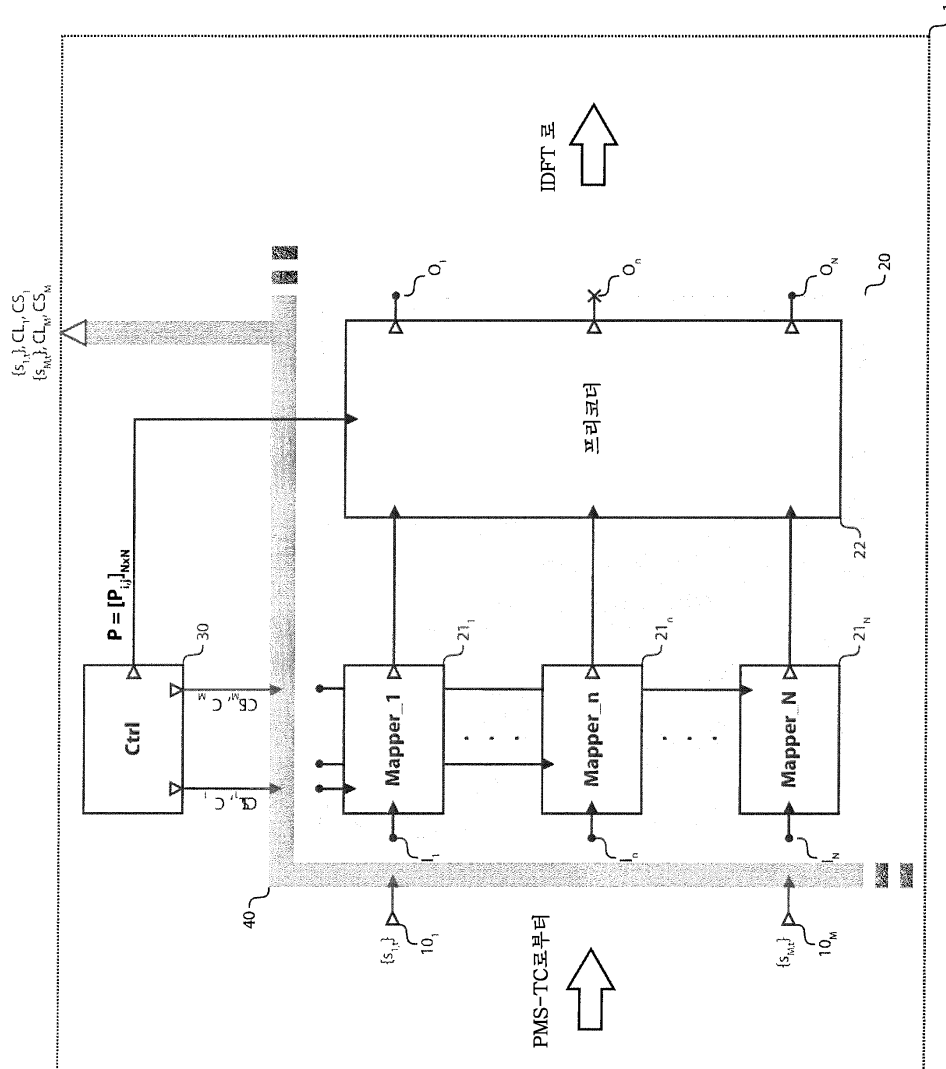
부호의 설명

- [0124] 1 : 라인 종단 카드
- 10 : 데이터 출력 단자
- 20 : 벡터링 엔터티
- 30 : 제어기
- 40 : 제 1 포워더

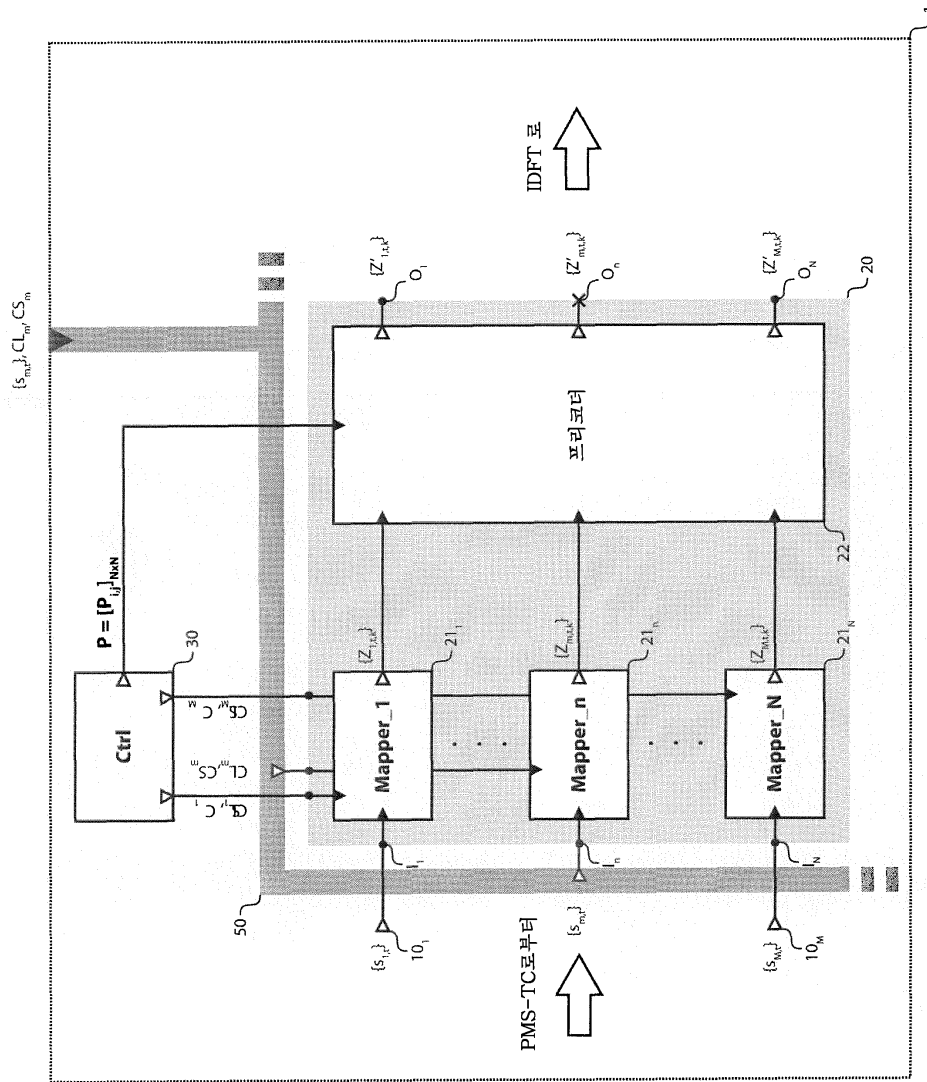
50 : 제 2 포워더

도면

도면1



도면2



도면3

