(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 25/00

(45) 공고일자 2002년11월30일
(11) 등록번호 10-0363057
(24) 등록일자 2002년11월19일

(21) 출원번호 10-2000-0002825
(22) 출원일자 2000년01월21일

(65) 공개번호 특2000-0071276
(43) 공개일자 2000년11월25일

(30) 우선권주장 99-014784 1999년01월22일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 오이카와키요하루
일본가나가와켄가와사키시가와사키쿠에키마에혼쵸25-1도시바마이크로엘렉트로닉스가부시기가이샤나이

(74) 대리인 김성택
나영환
허정훈

심사관 : 정해곤

(54) 반도체 장치

요약

본 발명은 칩과 단자 사이의 배선 설계를 용이하게 하는 동시에, 배선 특성의 향상을 달성하는 양면 MCP 칩의 반도체 장치를 제공하는 것을 과제로 한다. 본 발명은 메인 칩(2) 내의 인터페이스 회로(4)를 메인 칩(2) 내의 주변 각 4변의 중앙부에 배치하도록 구성된다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태에 따른 양면 MCP 칩 표면의 구성을 나타낸 도면.

도 2는 본 발명의 일 실시 형태에 따른 양면 MCP 칩 이면의 구성을 나타낸 도면.

도 3은 종래의 양면 MCP 칩 표면의 구성을 나타낸 도면.

도 4는 종래의 양면 MCP 칩 이면의 구성을 나타낸 도면.

< 도면의 주요부분에 대한 부호의 설명

1 : 실장 기판

2 : 메인 칩

3 : IP 칩

4 : 인터페이스 회로

5 : IP 칩 커넥트용 단자

6 : 메인 칩 커넥트용 단자

7 : IP 칩 본딩용 단자

8, 10 : 배선 영역

9 : MCP 칩 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 실장 기판의 양면에 기능이 상이한 칩을 탑재한 양면 MCP 칩의 반도체 장치에 관한 것이다.

도 3에 종래의 양면 MCP 칩의 표면 구성을 나타내고, 도 4에 그 칩의 이면 구성을 나타낸다. 도 3 및 도 4에 있어서, 양면 MCP 칩 표면의 실장 기판(51)에는 메인 칩(52)이 실장되고, MCP 칩 이면의 실장 기판(51)에는 IP(intellectual property) 칩(53)이 실장되며, 메인 칩(52) 내의 주변에는 메인 칩(52)과 IP 칩(53)을 인터페이스하는 인터페이스 회로(54)가 설치되어 있다. 메인 칩(52) 주변부의 실장 기판(51)의 양면에는 실장 기판(51)을 통과하여 메인 칩(52)과 실장 기판(51)의 이면을 접속하는 메인 칩 커넥트용 단자(55)가 설치되며, 실장 기판(51)의 표면측의 메인 칩 커넥트용 단자(55)와 메인 칩(52)이 접속되어 있다. 메인 칩 커넥트용 단자(55) 중, 인터페이스 회로(54)가 설치된 부위 주변의 메인 칩 커넥트용 단자(55a)는 인터페이스 회로(54)의 전용 단자로서 이용되고 있다.

IP 칩(53) 주변의 실장 기판(51)에는 IP 칩 본딩용 단자(56)가 설치되어, 이 IP 칩 본딩 단자(56)와 IP 칩(53)이 본딩 와이어를 통해 접속되고, IP 칩 본딩 단자(56)와 메인 칩 커넥트용 단자(52) 사이의 배선 영역(57)에 형성된 배선을 통해 IP 칩 본딩용 단자(56)는 인터페이스 회로(54) 전용의 메인 칩 커넥트용 단자(55a)와 접속되어 있다. 실장 기판(51) 이면의 가장 바깥 둘레에는 양면 MCP 칩과 외부를 접속하는 MCP 칩 단자(58)가 설치되어, MCP 칩 단자(58)와 메인 칩 커넥트용 단자(55) 사이의 배선 영역(59)에 형성된 배선을 통해 인터페이스 회로 전용의 메인 칩 커넥트용 단자(55a)를 제외한 메인 칩 커넥트용 단자(55)와 MCP 칩 단자(58)가 접속되어 있다.

이러한 구성에 있어서는, 메인 칩(52) 내에 설치된 인터페이스 회로(54)가 메인 칩(52) 주변의 한 변에 집중하여 배치되기 때문에, 인터페이스 회로(54)에 접속되는 메인 칩 커넥트용 단자(55a)가 메인 칩(52)의 주변 실장 기판(51)의 한 변에 집중되어 있었다. 이 때문에, 배선 영역(57)에 있어서의 IP 칩 본딩용 단자(56)와 메인 칩 커넥트용 단자(55a)를 접속하는 배선의 배선 거리의 길이 차이가 현저하게 되어, 배선 용량이나 배선 저항의 밸런스가 악화되고, 배선 용량이나 배선 저항의 최적화가 복잡하게 되어 기판 설계가 어렵게 되고 있었다. 또한, 특히 실장 기판(51)의 이면의 메인 칩 커넥트용 단자(55a)의 중앙 부근의 배선 영역(57)에서는 배선이 혼잡하기 때문에 이 부근의 배선 영역(57)의 면적이 증대하게 되어, 실장 기판 사이즈가 커진다는 문제점이 있었다.

또, 마찬가지로 인터페이스 회로(54)에 접속되는 메인 칩 커넥트용 단자(55a)가 메인 칩(52)의 주변 실장 기판(51)의 한 변에 집중되어 있기 때문에, 실장 기판(51)의 이면에 있어서 MCP 칩 단자(58)와 접속할 수 있는 메인 칩 커넥트용 단자(55)가 IP 칩(53) 주변의 3개 변으로 되기 때문에, 배선 영역(59)에 있어서 메인 칩 커넥트용 단자(55)와 MCP 칩 단자(58)를 접속하는 배선의 배선 거리의 길이 차이가 현저하게 되고, 또한 메인 칩 커넥트용 단자(55a) 부근의 배선 영역(59)의 배선이 혼잡하기 때문에, 상기와 동일한 문제점을 초래하고 있었다.

발명이 이루고자 하는 기술적 과제

이상 설명한 바와 같이, 메인 칩에 인터페이스 회로를 갖춘 종래의 양면 MCP 칩에서는, 인터페이스 회로가 메인 칩의 4변 중에서 한 변에 배치되어 있었기 때문에, 메인 칩 커넥트용 단자와 IP 칩 본딩 단자와의 접속 배선, 및 메인 칩 커넥트용 단자와 MCP 칩 단자와의 접속 배선의 각각에 있어서 배선 거리에 차이가 생겨, 각각의 배선 길이의 최적화가 복잡하게 되고 기판 설계가 곤란하였다. 또한, 배선이 집중됨으로써 배선 접속이 혼잡하고, 이것을 피하기 위해 배선 영역을 늘이게 됨으로써 실장 기판의 대형화를 초래하고 있었다.

그래서, 본 발명은 상기한 점을 감안하여 이루어진 것으로, 칩과 단자 사이의 배선 설계를 용이하게 하는 동시에, 배선 특성의 향상을 달성한 양면 MCP 칩의 반도체 장치를 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명은 메인 칩이 실장 기판의 한쪽 면에 실장되고, 서브 칩이 상기 실장 기판의 다른 쪽 면에 실장되어 이루어지는 양면 MCP(멀티 칩 패키지) 칩의 반도체 장치에 있어서, 상기 메인 칩과 상기 서브 칩을 인터페이스하는 인터페이스 회로가 상기 메인 칩 내의 주변 각 4개 변의 중앙부에 설치되고, 상기 실장 기판을 통과하여 상기 인터페이스 회로와 상기 서브 칩을 접속하기 위한 서브 칩 커넥트용 단자가 상기 인터페이스 회로가 설치된 부분에 대향한 상기 메인 칩 주변부의 상기 실장 기판의 양면에 설치되고, 상기 실장 기판을 통과하여 상기 메인 칩과 외부를 접속하기 위한 메인 칩 커넥트용 단자가 상기 서브 칩 커넥트용 단자가 설치되어 있지 않은 상기 메인 칩 주변부의 상기 실장 기판의 양면에 설치되고, 상기 서브 칩과 접속되는 서브 칩 본딩용 단자가 상기 서브 칩 주변부의 상기 실장 기판의 다른 쪽 면에 설치되어, 상기 실장 기판에 형성된 배선을 통해 상기 서브 칩 커넥트용 단자와 접속되며, 상기 메인 칩과 외부를 접속하는 MCP 칩 단자가 상기 실장 기판의 다른 쪽 면의 가장 바깥 주변부에 설치되어, 상기 실장 기판에 형성된 배선을 통해 상기 메인 칩 커넥트용 단자와 접속되어 이루어지는 것을 특징으로 한다.

이하, 도면을 이용하여 본 발명의 실시 형태를 설명한다.

도 1 및 도 2는 본 발명의 하나의 실시 형태에 따른 양면 MCP 칩의 반도체 장치의 구성을 나타낸 도면이며, 도 1은 실장 기판 표면의 구성을 나타낸 도면이고, 도 2는 실장 기판 이면의 구성을 나타낸 도면이다.

도 1 및 도 2에 있어서, 양면 MCP 칩 표면의 실장 기판(1)에는 메인 칩(2)이 실장되고, 양면 MCP 칩 이면의 실장 기판(1)에는 서브 칩, 예컨대 IP(Intellectual Property) 칩(3)이 실장되고, 메인 칩(2) 내의 주변 각 4개 변의 중앙부에는 메인 칩(2)과 IP 칩(3)을 인터페이스하는 인터페이스 회로(4)가 각각 설치되어 있다. 메인 칩(2) 주변부에 있어서의 인터페이스 회로(4)가 설치된 부분에 대향한 실장 기판(1)의 표면 및 대응하는 이면의 양면에, 실장 기판(1)을 지나 인터페이스 회로(4)와 IP 칩(3)을 접속하기 위한 IP 칩 커넥트용 단자(5)가 설치되어 있다. 또한, IP 칩 커넥트용 단자(5)가 설치되어 있지 않은 메인 칩(2) 주변부의 표면 및 대응하는 이면의 양면에는, 실장 기판(1)을 지나 메인 칩(2)과 외부를 접속하기 위한 메인 칩 커넥트용 단자(6)가 설치되어 있다.

IP 칩(3) 주변의 실장 기판(1)에는 IP 칩 본딩용 단자(7)가 설치되어, 이 IP 칩 본딩용 단자(7)와 IP 칩(3)이 본딩 와이어를 통해 접속되고, IP 칩 본딩용 단자(7)와 IP 칩 커넥트용 단자(5) 및 메인 칩 커넥트용 단자(6) 사이의 배선 영역(8)에 형성된 배선을 통해 IP 칩 본딩용 단자(7)와 IP 칩 커넥트용 단자(5)가 접속되어 있다. 실장 기판(1)의 이면의 가장 바깥 둘레에는 양면 MCP 칩과 외부를 접속하는 MCP 칩 단자(9)가 설치되고, MCP 칩 단자(9)와 메인 칩 커넥트용 단자(6) 사이의 배선 영역(10)에 형성된 배선을 통해 MCP 칩 단자(9)와 메인 칩 커넥트용 단자(6)가 접속되어 있다.

이러한 구성에 있어서는 메인 칩(2) 내의 인터페이스 회로(4)를 메인 칩(2) 내의 주변 각 4개 변의 중앙부에 각각 분산하여 배치하도록 하고 있기 때문에, IP 칩 커넥트용 단자(5)도 각각의 인터페이스 회로(4)에 대응하여 메인 칩(2) 외주변 각 4변의 중앙부에 분산되어 배치되고, 실장 기판(1)의 이면에서의 IP 칩 본딩용 단자(7)와 IP 칩 커넥트용 단자(5)와의 배선 영역(8)도 IP 칩(3)의 각 주변에 분산된다. 또한, 메인 칩 커넥트용 단자(6)와 MCP 칩 단자(9)와의 배선 관계가 거리적으로 짧아지는 동시에 배선되기 용이해진다. 이에 따라, 종래에 비해서 배선 거리의 차이가 억제되고, 또 배선 길이가 단축되며, 또한 배선의 혼잡도 완화되어 배선 영역의 면적이 축소된다. 이에 따라, 배선 길이의 최적화가 용이하게 되어 기판 배선 설계를 용이하게 행할 수 있게 된다. 또, 배선 영역의 축소에 의해 실장 기판의 대형화를 억제할 수 있다. 또한, 배선 길이의 단축에 의해 종래에 비해서 배선 용량 및 배선 저항이 작아져, 회로의 동작 속도의 향상에 기여할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 메인 칩 내의 인터페이스 회로를 메인 칩 내의 주변 각 4변의 중앙부에 배치하도록 하였기 때문에, IP 칩과 IP 칩 커넥트용 단자와의 접속 배선 및 메인 칩 커넥트용 단자와 MCP 칩 단자와의 접속 배선의 설계를 용이하게 행하는 것이 가능하게 된다. 또, 각각의 배선 길이가 단축되어 배선 용량 및 배선 저항을 감소시킬 수 있어, 회로의 동작 속도의 향상에 공헌할 수 있다. 또한, 배선 영역의 면적이 줄어들어, 실장 기판의 대형화를 억제할 수 있다.

(57) 청구의 범위

청구항 1.

메인 칩이 실장 기판의 한쪽 면에 실장되고 서브 칩이 상기 실장 기판의 다른 쪽 면에 실장되어 이루어지는 양면 MCP(멀티 칩 패키지) 칩의 반도체 장치에 있어서,

상기 메인 칩과 서브 칩을 인터페이스하는 인터페이스 회로가 상기 메인 칩 내의 주변 각 4개 변의 중앙부에 설치되고,

상기 실장 기판을 통과하여 상기 인터페이스 회로와 상기 서브 칩을 접속시키기 위한 서브 칩 커넥트용 단자가 상기 인터페이스 회로가 설치된 부분에 대향한 상기 메인 칩 주변부의 상기 실장 기판의 양면에 설치되고,

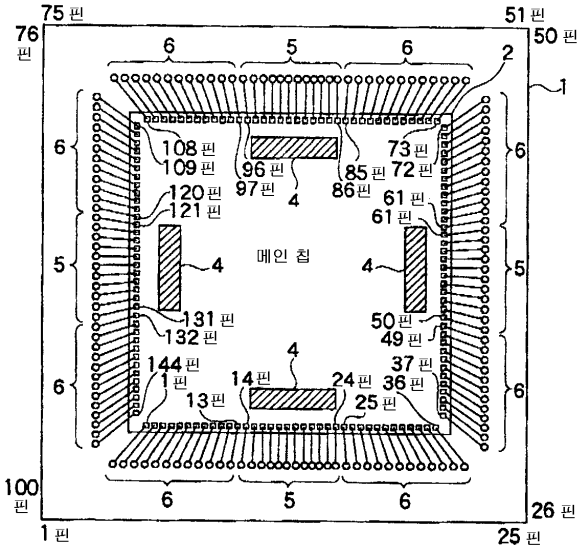
상기 실장 기판을 통과하여 상기 메인 칩과 외부를 접속시키기 위한 메인 칩 커넥트용 단자가 상기 서브 칩 커넥트용 단자가 설치되어 있지 않은 상기 메인 칩 주변부의 상기 실장 기판의 양면에 설치되고,

상기 서브 칩과 접속되는 서브 칩 본딩용 단자가 상기 서브 칩 주변부의 상기 실장 기판의 다른 쪽 면에 설치되어, 상기 실장 기판에 형성된 배선을 통해 상기 서브 칩 커넥트용 단자와 접속되며,

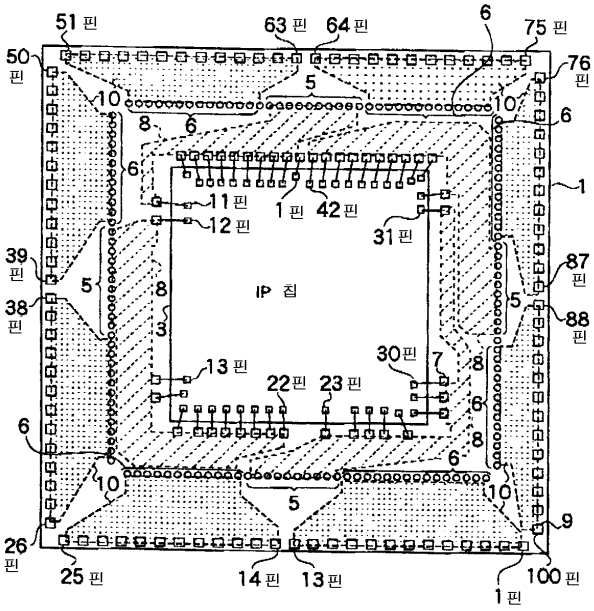
상기 메인 칩과 외부를 접속하는 MCP 칩 단자가 상기 실장 기판의 다른 쪽 면의 가장 바깥 주변부에 설치되어, 상기 실장 기판에 형성된 배선을 통해 상기 메인 칩 커넥트용 단자와 접속되어 이루어지는 것을 특징으로 하는 반도체 장치.

도면

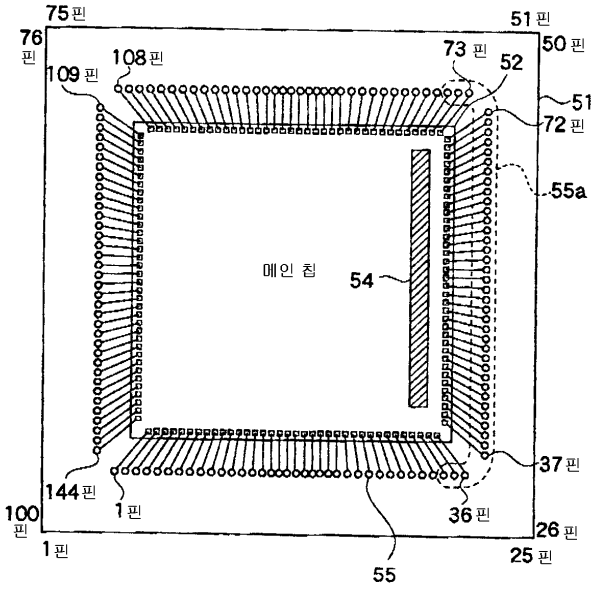
도면 1



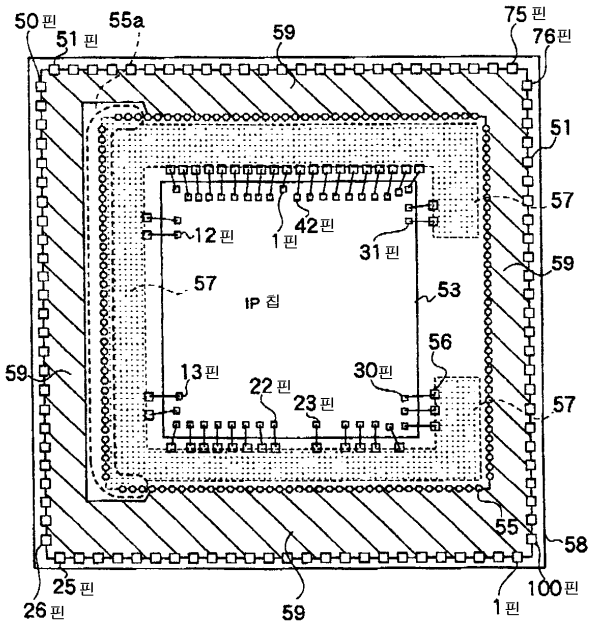
도면 2


51 핀
63 핀
64 핀
6
75 핀
50 핀
76 핀
5
10
8
6
1
11 핀
12 핀
1 핀
42 핀
31 핀
39 핀
38 핀
IP 칩
87 핀
88 핀
3
13 핀
30 핀
7
22 핀
23 핀
26 핀
25 핀
14 핀
13 핀
9
100 핀

도면 3


75 핀
51 핀
76 핀
50 핀
108 핀
73 핀
52
109 핀
51
72 핀
55a
메인 칩
54
37 핀
144 핀
1 핀
36 핀
100 핀
26 핀
1 핀
25 핀
55

도면 4


50핀
55a
51 핀
59
75 핀
76핀
51
57
42핀
12 핀
1 핀
31 핀
59
57
IP 칩
53
56
59
13핀
22 핀
30핀
23 핀
57
55
58
25 핀
26 핀
59
1 핀
100핀