



(12)发明专利

(10)授权公告号 CN 107665672 B

(45)授权公告日 2020.01.31

(21)申请号 201610600953.0

(22)申请日 2016.07.27

(65)同一申请的已公布的文献号

申请公布号 CN 107665672 A

(43)申请公布日 2018.02.06

(73)专利权人 上海和辉光电有限公司

地址 201506 上海市金山区九工路1568号

(72)发明人 郑士嵩

(74)专利代理机构 上海隆天律师事务所 31282

代理人 臧云霄 李峰

(51)Int.Cl.

G09G 3/3258(2016.01)

G09G 3/3266(2016.01)

审查员 王鑫

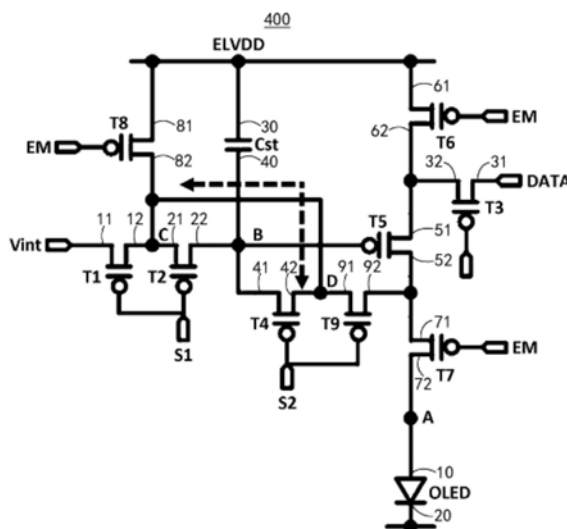
权利要求书3页 说明书9页 附图10页

(54)发明名称

像素电路及其驱动方法

(57)摘要

本公开是关于一种像素电路及其驱动方法。一种像素电路包括：第一晶体管和第二晶体管，其控制端接收第一扫描信号；第三晶体管和第四晶体管，其控制端接收第二扫描信号；第五晶体管，其控制端电连接至第一电容器；第六晶体管、第七晶体管和第八晶体管的控制端接收控制信号；以及发光二极管。本公开可减少或反向补充漏电电流，从而增加电容器的电容保持能力，进而能够改善画面闪烁程度，提高显示画面的稳定性。



1. 一种像素电路,其特征在于,包括:

第一晶体管,其第一端电连接输入电压;

第二晶体管,其第一端电连接所述第一晶体管的第二端,所述第一晶体管和所述第二晶体管的控制端电连接至第一扫描信号;

第三晶体管,其第一端电连接数据信号;

第四晶体管,其第一端电连接所述第二晶体管的第二端,所述第三晶体管和所述第四晶体管的控制端电连接至第二扫描信号;

第五晶体管,其第一端电连接所述第三晶体管的第二端,所述第五晶体管的第二端电连接所述第四晶体管的第二端,所述第五晶体管的控制端电连接至所述第二晶体管的第二端和所述第四晶体管的第一端;

第六晶体管,其第一端电连接第一电源电压,所述第六晶体管的第二端电连接所述第三晶体管的第二端和所述第五晶体管的第一端;

第七晶体管,其第一端电连接所述第四晶体管的第二端和所述第五晶体管的第二端,所述第七晶体管的第二端电连接发光二极管的第一端;

第八晶体管,其第一端电连接所述第一电源电压,所述第八晶体管的第二端电连接所述第一晶体管的第二端和所述第二晶体管的第一端,所述第六晶体管的控制端、所述第七晶体管的控制端以及所述第八晶体管的控制端电连接至控制信号;以及

第一电容器,其第一端电连接所述第一电源电压,所述第一电容器的第二端电连接所述第五晶体管的控制端。

2. 根据权利要求1所述的像素电路,其特征在于,其中所述发光二极管的第二端电连接第二电源电压。

3. 根据权利要求1或2所述的像素电路,其特征在于,还包括:

第九晶体管,其第一端电连接所述第四晶体管的第二端和所述第八晶体管的第二端,所述第九晶体管的第二端电连接所述第五晶体管的第二端,所述第九晶体管的控制端电连接所述第二扫描信号。

4. 根据权利要求1所述的像素电路,其特征在于,还包括:

第十晶体管,其第一端电连接所述第七晶体管的第二端,所述第十晶体管的第二端电连接所述输入电压,所述第十晶体管的控制端电连接第三扫描信号。

5. 一种像素电路,其特征在于,包括:

第一晶体管,其第一端电连接输入电压,所述第一晶体管的控制端电连接至第一扫描信号;

第四晶体管,其第一端电连接所述第一晶体管的第二端;

第三晶体管,其第一端电连接数据信号;

第九晶体管,其第一端电连接所述第四晶体管的第二端,所述第四晶体管和所述第九晶体管的控制端电连接至第二扫描信号;

第五晶体管,其第一端电连接所述第三晶体管的第二端,所述第五晶体管的第二端电连接所述第九晶体管的第二端,所述第五晶体管的控制端电连接至所述第一晶体管的第二端和所述第四晶体管的第一端;

第六晶体管,其第一端电连接第一电源电压,所述第六晶体管的第二端电连接所述第

三晶体管的第二端和所述第五晶体管的第一端；

第七晶体管，其第一端电连接所述第九晶体管的第二端和所述第五晶体管的第二端，所述第七晶体管的第二端电连接发光二极管的第一端；

第八晶体管，其第一端电连接所述第一电源电压，所述第八晶体管的第二端电连接所述第四晶体管的第二端和所述第九晶体管的第一端，所述第六晶体管的控制端、所述第七晶体管的控制端以及所述第八晶体管的控制端电连接至控制信号；

第一电容器，其第一端电连接所述第一电源电压，所述第一电容器的第二端电连接所述第五晶体管的控制端。

6. 根据权利要求5所述的像素电路，其特征在于，其中所述发光二极管的第二端电连接第二电源电压。

7. 根据权利要求5或6所述的像素电路，其特征在于，还包括：

第十晶体管，其第一端电连接所述第七晶体管的第二端，所述第十晶体管的第二端电连接所述输入电压，所述第十晶体管的控制端电连接第三扫描信号。

8. 一种用于权利要求1所述像素电路的驱动方法，其特征在于，电路工作分为重置期间、补偿期间和显示期间，包括如下步骤：

在所述重置期间，通过所述第一扫描信号导通所述第一晶体管和所述第二晶体管，通过所述第二扫描信号和所述控制信号截止所述第三晶体管至第八晶体管，所述输入电压写入给所述第五晶体管的控制端；

在所述补偿期间，通过所述第二扫描信号导通所述第三晶体管至第五晶体管，通过所述第一扫描信号和所述控制信号截止所述第一晶体管至第二晶体管和所述第六晶体管至第八晶体管，所述数据信号通过所述第三晶体管输入至所述第五晶体管；

在所述显示期间，通过所述控制信号导通所述第五晶体管至第八晶体管，通过所述第一扫描信号和所述第二扫描信号截止所述第一晶体管至第四晶体管。

9. 根据权利要求8所述的驱动方法，其特征在于，其中所述像素电路还包括第九晶体管，其第一端电连接所述第四晶体管的第二端和所述第八晶体管的第二端，所述第九晶体管的第二端电连接所述第五晶体管的第二端，所述第九晶体管的控制端电连接所述第二扫描信号，所述驱动方法还包括：

在所述重置期间，通过所述第二扫描信号截止所述第九晶体管；

在所述补偿期间，通过所述第二扫描信号导通所述第九晶体管；

在所述显示期间，通过所述第二扫描信号截止所述第九晶体管。

10. 一种用于权利要求5所述像素电路的驱动方法，其特征在于，电路工作分为重置期间、补偿期间和显示期间，包括如下步骤：

在所述重置期间，通过所述第一扫描信号导通所述第一晶体管，通过所述第二扫描信号和所述控制信号截止所述第三晶体管至第九晶体管，所述输入电压写入给所述第五晶体管的控制端；

在所述补偿期间，通过所述第二扫描信号导通所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第九晶体管，通过所述第一扫描信号和所述控制信号截止所述第一晶体管和所述第六晶体管至第八晶体管，所述数据信号通过所述第三晶体管输入至所述第五晶体管；

在所述显示期间,通过所述控制信号导通所述第五晶体管至第八晶体管,通过所述第一扫描信号和所述第二扫描信号截止所述第一晶体管、所述第四晶体管、所述第三晶体管和所述第九晶体管。

像素电路及其驱动方法

技术领域

[0001] 本公开涉及显示技术领域,具体而言,涉及一种像素电路及其驱动方法。

背景技术

[0002] 相比传统技术中的液晶显示面板,OLED(Organic Light Emitting Diode,有机发光二极管)显示面板具有反应速度更快、色纯度和亮度更优、对比度更高、视角更广等特点。因此,逐渐得到了显示技术开发商日益广泛的关注。

[0003] 图1为现有的一种发光显示装置的像素电路。该像素电路包括:第一晶体管T1,其控制端电连接至第一扫描信号S1,第一晶体管T1的第一端电连接输入电压Vint;第二晶体管T2和第三晶体管T3,两者的控制端电连接至第二扫描信号S2;第四晶体管T4,其控制端连接控制信号EM;第五晶体管T5,第五晶体管T5的控制端、第一晶体管T1的第二端和第二晶体管T2的第一端共同电连接于节点B;第六晶体管T6,其控制端电连接至控制信号EM;第一电容器Cst,其第一端电连接第一电源电压ELVDD,第二端电连接第五晶体管T5的控制端;发光二极管,发光二极管例如OLED的第一端与第六晶体管T6的第二端电连接于节点A,发光二极管D的第二端电连接第二电源电压ELVSS。

[0004] 当第一扫描信号S1和第二扫描信号S2为高电平VGH、控制信号EM为低电平VGL时,第四晶体管T4至第六晶体管T6导通,第一晶体管T1至第三晶体管T3截止,使OLED发光。此时该电路存在两条漏电路径:第一条漏电路径是经第一晶体管T1流向输入电压Vint(称为Vint漏电路径);第二条漏电路径是经第二晶体管T2和第六晶体管T6流向发光二极管(称为Anode漏电路径)。这两条漏电路径将使第一电容器Cst的电容值降低,造成Cst保持(holding)能力降低,Cst两端的电位下降,从而使得第五晶体管T5的栅极电压降越大。随着电容值的下降,第一电容器Cst holding的能力将变差,这样会导致在低频(典型的如低于60Hz)状态下,画面闪烁(flicker)程度恶化,从而影响显示画面的稳定性。

[0005] 目前为改善画面的闪烁程度,主要是从设计和制程两种途径进行调整,使电容值加大,从而增强画面的稳定性。但这样做又会产生新的问题:一是如果违反了设计规则或者设计上调整过大,将影响其他主要器件的对称性和匹配状态;二是随着夹层电容介质厚度的下降,制程的难度将加大,并且其它相关层结构面上将产生新的衍生问题。

[0006] 因此,需要一种新的像素电路及其驱动方法。

[0007] 需要说明的是,在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解,因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

[0008] 针对现有技术中的部分问题或者全部问题,本公开提供一种像素电路及其驱动方法,能够提高电容保持能力,改善低频操作下的画面稳定性。

[0009] 根据本公开的一个方面,提供一种像素电路,包括:第一晶体管,其第一端电连接输入电压;第二晶体管,其第一端电连接第一晶体管的第二端,第一晶体管和第二晶体管的

控制端电连接至第一扫描信号；第三晶体管，其第一端电连接数据信号；第四晶体管，其第一端电连接第二晶体管的第二端，第三晶体管和第四晶体管的控制端电连接至第二扫描信号；第五晶体管，其第一端电连接第三晶体管的第二端，第五晶体管的第二端电连接第四晶体管的第二端，第五晶体管的控制端电连接至第二晶体管的第二端和第四晶体管的第一端；第六晶体管，其第一端电连接第一电源电压，第六晶体管的第二端电连接第三晶体管的第二端和第五晶体管的第一端；第七晶体管，其第一端电连接第四晶体管的第二端和第五晶体管的第二端，第七晶体管的第二端电连接发光二极管的第一端；第八晶体管，其第一端电连接第一电源电压，第八晶体管的第二端电连接第一晶体管的第二端和第二晶体管的第一端，第六晶体管的控制端、第七晶体管的控制端以及第八晶体管的控制端电连接至控制信号；第一电容器，其第一端电连接第一电源电压，第一电容器的第二端电连接第五晶体管的控制端。

[0010] 在本公开的一种示例性实施例中，其中发光二极管的第二端电连接第二电源电压。

[0011] 在本公开的一种示例性实施例中，还包括：第九晶体管，其第一端电连接第四晶体管的第二端和第八晶体管的第二端，第九晶体管的第二端电连接第五晶体管的第二端，第九晶体管的控制端电连接第二扫描信号。

[0012] 在本公开的一种示例性实施例中，还包括：第十晶体管，其第一端电连接第七晶体管的第二端，第十晶体管的第二端电连接输入电压，第十晶体管的控制端电连接第三扫描信号。

[0013] 根据本公开的一个方面，提供一种像素电路，包括：

[0014] 第一晶体管，其第一端电连接输入电压，所述第一晶体管的控制端电连接至第一扫描信号；

[0015] 第四晶体管，其第一端电连接所述第一晶体管的第二端；

[0016] 第三晶体管，其第一端电连接数据信号；

[0017] 第九晶体管，其第一端电连接所述第四晶体管的第二端，所述第四晶体管和所述第九晶体管的控制端电连接至第二扫描信号；

[0018] 第五晶体管，其第一端电连接所述第三晶体管的第二端，所述第五晶体管的第二端电连接所述第九晶体管的第二端，所述第五晶体管的控制端电连接至所述第一晶体管的第二端和所述第四晶体管的第一端；

[0019] 第六晶体管，其第一端电连接第一电源电压，所述第六晶体管的第二端电连接所述第三晶体管的第二端和所述第五晶体管的第一端；

[0020] 第七晶体管，其第一端电连接所述第九晶体管的第二端和所述第五晶体管的第二端，所述第七晶体管的第二端电连接发光二极管的第一端；

[0021] 第八晶体管，其第一端电连接所述第一电源电压，所述第八晶体管的第二端电连接所述第四晶体管的第二端和所述第九晶体管的第一端，所述第六晶体管的控制端、所述第七晶体管的控制端以及所述第八晶体管的控制端电连接至控制信号；

[0022] 第一电容器，其第一端电连接所述第一电源电压，所述第一电容器的第二端电连接所述第五晶体管的控制端。

[0023] 在本公开的一种示例性实施例中，所述发光二极管的第二端电连接第二电源电

压。

[0024] 在本公开的一种示例性实施例中,所述像素电路还包括:

[0025] 第十晶体管,其第一端电连接所述第七晶体管的第二端,所述第十晶体管的第二端电连接所述输入电压,所述第十晶体管的控制端电连接第三扫描信号。

[0026] 根据本公开的一个方面,提供一种像素电路,包括:第一晶体管,用以接收一输入电压;第二晶体管,电连接第一晶体管,第一晶体管和第二晶体管受控于一第一扫描信号;第三晶体管,用以接收一数据信号;第四晶体管,电连接第二晶体管,第三晶体管和第四晶体管受控于一第二扫描信号;第五晶体管,电连接第三晶体管和第四晶体管,第五晶体管的控制端电连接至第二晶体管和第四晶体管;第六晶体管,用以接收一第一电源电压,第六晶体管电连接第三晶体管和第五晶体管;第七晶体管,电连接第四晶体管、第五晶体管和第一发光二极管;第八晶体管,用以接收第一电源电压,第八晶体管电连接第一晶体管和第二晶体管,其中第六晶体管、第七晶体管以及第八晶体管受控于一控制信号;以及第一电容器,电连接第一电源电压和第五晶体管。

[0027] 在本公开的一种示例性实施例中,还包括:第九晶体管,电连接第四晶体管和第八晶体管、第五晶体管,第九晶体管受控于第二扫描信号。

[0028] 在本公开的一种示例性实施例中,还包括:第十晶体管,用以接收输入电压,第十晶体管电连接第七晶体管,第十晶体管受控于一第三扫描信号。

[0029] 根据本公开的一个方面,提供一种用于像素电路的驱动方法,电路工作分为重置期间、补偿期间和显示期间,包括如下步骤:在重置期间,通过第一扫描信号导通第一晶体管和第二晶体管,通过第二扫描信号和控制信号截止第三晶体管至第八晶体管,输入电压写入第五晶体管的控制端;在补偿期间,通过第二扫描信号导通第三晶体管至第五晶体管,通过第一扫描信号和控制信号截止第一晶体管至第二晶体管和第六晶体管至第八晶体管,数据信号通过第三晶体管输入至第五晶体管;在显示期间,通过控制信号导通第五晶体管至第八晶体管,通过第一扫描信号和第二扫描信号截止第一晶体管至第四晶体管。

[0030] 在本公开的一种示例性实施例中,其中像素电路还包括第九晶体管,其第一端电连接第四晶体管的第二端和第八晶体管的第二端,第九晶体管的第二端电连接第五晶体管的第二端,第九晶体管的控制端电连接第二扫描信号,驱动方法还包括:在重置期间,通过第二扫描信号截止第九晶体管;在补偿期间,通过第二扫描信号导通第九晶体管;在显示期间,通过第二扫描信号截止第九晶体管。

[0031] 根据本公开的一个方面,提供另一种用于像素电路的驱动方法,电路工作分为重置期间、补偿期间和显示期间,包括如下步骤:在重置期间,通过第一扫描信号导通第一晶体管,通过第二扫描信号和控制信号截止第三晶体管至第九晶体管,输入电压写入第五晶体管的控制端;在补偿期间,通过第二扫描信号导通所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第九晶体管,通过第一扫描信号和控制信号截止第一晶体管和第六晶体管至第八晶体管,数据信号通过第三晶体管输入至第五晶体管;在显示期间,通过控制信号导通第五晶体管至第八晶体管,通过第一扫描信号和第二扫描信号截止第一晶体管、所述第四晶体管、所述第三晶体管和所述第九晶体管。

[0032] 根据本公开提供的像素电路及其驱动方法,采用以上的实施例将减少或反向补充漏电电流,从而增加电容器的holding能力,进而改善画面闪烁程度,提高显示画面的稳定

性。

[0033] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

附图说明

[0034] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0035] 图1示意性示出现有的一种发光显示装置的像素电路结构示意图。

[0036] 图2示意性示出本公开示例性实施例一的像素电路结构示意图。

[0037] 图3-1 (a) 示意性示出本公开示例性实施例一在重置期间电路工作原理。

[0038] 图3-1 (b) 示意性示出本公开示例性实施例一在重置期间的驱动时序图。

[0039] 图3-2 (a) 示意性示出本公开示例性实施例一在补偿期间电路工作原理。

[0040] 图3-2 (b) 示意性示出本公开示例性实施例一在补偿期间的驱动时序图。

[0041] 图3-3 (a) 示意性示出本公开示例性实施例一在显示期间电路工作原理。

[0042] 图3-3 (b) 示意性示出本公开示例性实施例一在显示期间的驱动时序图。

[0043] 图4示意性示出本公开示例性实施例二的像素电路结构示意图。

[0044] 图5示意性示出本公开示例性实施例三的像素电路结构示意图。

[0045] 图6示意性示出本公开示例性实施例三的驱动时序图。

[0046] 图7示意性示出本公开示例性实施例四的像素电路结构示意图。

[0047] 图8示意性示出本公开示例性实施例五的像素电路结构示意图。

具体实施方式

[0048] 为使本发明解决的技术问题、采用的技术方案和达到的技术效果更加清楚,下面将结合附图对本发明实施例的技术方案作进一步的详细描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0049] 此外,所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施例中。在下面的描述中,提供许多具体细节从而给出对本公开的实施例的充分理解。然而,本领域技术人员将意识到,可以实践本公开的技术方案而没有特定细节中的一个或更多,或者可以采用其它的方法、模块、装置、步骤等。在其它情况下,不详细示出或描述公知模块、方法、装置、实现、步骤、或者操作以避免模糊本公开的各方面。

[0050] 下面结合附图并通过具体实施方式来进一步说明本发明的技术方案。

[0051] 实施例一

[0052] 图2是根据本发明实施例一的像素电路结构示意图。根据本实施例,该电路200包括:第一晶体管T1,其第一端电11连接输入电压 V_{int} ;第二晶体管T2,其第一端21电连接第一晶体管T1的第二端12,第一晶体管T1和第二晶体管T2的控制端电连接至第一扫描信号S1;第三晶体管T3,其第一端31电连接数据信号DATA;第四晶体管T4,其第一端41电连接第

二晶体管T2的第二端22,第三晶体管T3和第四晶体管T4的控制端电连接至第二扫描信号S2;第五晶体管T5,其第一端51电连接第三晶体管T3的第二端32,第五晶体管T5的第二端52电连接第四晶体管T4的第二端42,第五晶体管T5的控制端电连接至第二晶体管T2的第二端22和第四晶体管T4的第一端41;第六晶体管T6,其第一端61电连接第一电源电压ELVDD,第六晶体管T6的第二端62电连接第三晶体管T3的第二端32和第五晶体管T5的第一端51;第七晶体管T7,其第一端71电连接第四晶体管T4的第二端42和第五晶体管T5的第二端52,第七晶体管T7的第二端72和发光二极管D的第一端10(例如,阳极)电连接于节点A(Anode);第八晶体管T8,其第一端81电连接第一电源电压ELVDD,第八晶体管T8的第二端82、第一晶体管T1的第二端12和第二晶体管T2的第一端21共同电连接于节点C(Cnode),第六晶体管T6的控制端、第七晶体管T7的控制端以及第八晶体管T8的控制端电连接至控制信号EM;第一电容器Cst,其第一端30电连接第一电源电压ELVDD,第一电容器Cst的第二端40、第五晶体管T5的控制端和第二晶体管T2的第二端22共同电连接于节点B(Bnode)。

[0053] 在示例性实施例中,发光二极管D的第二端20(例如,阴极)电连接第二电源电压ELVSS。在一实施例中,第一电源电压ELVDD为正电源电压,第二电源电压ELVSS为负电源电压。例如,ELVDD可以为4.6V(约为5V),ELVSS可以为-2.4V。但本发明并不以此为限。

[0054] 在示例性实施例中,输入电压Vint为负电压。例如,Vint可为-3V。但本发明并不以此为限。输入电压Vint小于第二电源电压ELVSS。

[0055] 在示例性实施例中,发光二极管D可以为OLED或者AMOLED(Active-matrix organic light emitting diode,有源矩阵有机发光二极体或主动矩阵有机发光二极体)。

[0056] 在示例性实施例中,第一至第八晶体管T1-T8可以为场效应晶体管,也可以为双极性晶体管,但本发明并不以器件的选型为限。下面均以P型MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)简称PMOS为例进行示例说明。需要说明的是,下文中晶体管的导通和关断时的高低电平均是以PMOS为例的,当根据设计需要选择相应的晶体管类型时,其导通和关断的高低电平也会相应的变化。

[0057] 本发明实施例中的像素电路工作在低频下,是指操作频率小于60Hz,但最低操作频率为5Hz。

[0058] 图3为用于图2所示的像素电路的驱动方法时序图。如图3所示,该驱动方法包括重置期间、补偿期间和显示期间。

[0059] 如图3-1(a)和图3-1(b),在重置(reset)期间(Phase1),第一扫描信号S1为低电平,第二扫描信号S2和控制信号EM为高电平,此时第一晶体管T1和第一晶体管T2导通,第三至第八晶体管T3-T8截止,输入电压Vint写入第五晶体管T5的控制端(例如,栅极),重置第五晶体管T5的状态,使得第五晶体管T5的源极(第一端51)和栅极(控制端)V_{SG}之间的电位差大于导通阈值V_{th},即可执行后续操作。

[0060] 如图3-2(a)和图3-2(b),在补偿期间(Phase2),第一扫描信号S1和控制信号EM为高电平,第二扫描信号S2为低电平,此时第三至第五晶体管T3-T5导通,第一晶体管T1、第二晶体管T2和第六至第八晶体管T6至T8截止,数据信号DATA通过第三晶体管T3输入至第五晶体管T5,在第五晶体管T5的源极和栅极V_{SG}间产生一个值为V_{th}的跨压,第五晶体管T5的源极和漏极V_{SD}等于0,此时第五晶体管T5会进入饱和区,使得V_{SG}=V_{th},数据信号DATA写入。

[0061] 如图3-3(a)和图3-3(b),在显示期间(Phase3),第一扫描信号S1和第二扫描信号

S2为高电平,控制信号EM为低电平,此时第五至第八晶体管T5-T8导通,第一至第四晶体管T1-T4截止,第五晶体管T5的电流通过发光二极管D而使其发光;同时由于第八晶体管T8导通,第一晶体管T1和第二晶体管T2连接处C节点电压为第一电源电压ELVDD(例如,约为5V),输入电压Vint约为-3V,B节点电压即第五晶体管T5的栅极电压约为1.5~3.5V,A节点电压约为-0.5V~2V,第八晶体管T8会使第二晶体管T2的漏极和源极间V_{SD}跨压降低,从而抑制第五晶体管T5的栅极V_G到输入电压Vint的第一条漏电路径的漏电电流,有效地提升了第一电容器Cst holding能力。

[0062] 上述图3(包括3-1(a),3-1(b),3-2(a),3-2(b),3-3(a)和3-3(b))中第一扫描信号S1用于reset第一电容器Cst中前一数据信号DATA的电位,第一扫描信号S1的低电平VGL可置于控制信号EM为高电平VGH的时间点,同时满足位于第二扫描信号S2的低电平VGL之前;第二扫描信号S2用于写入(write)第一电容器Cst中当前级灰阶的数据信号DATA的电位,第二扫描信号S2的低电平VGL可置于控制信号EM为高电平VGH的时间点,同时满足位于第一扫描信号S1的低电平VGL之后。控制信号EM作为阻碍(block)发光二极管的电流信号即不让电流流过发光二极管,并使此电路运行稳定,于该控制信号EM为高电平VGH时,电路内部功能(即除了发光二极管发光的其它所有运行期间)运行;于该控制信号EM为低电平VGL时,输入电力使发光二极管发光。图示中,高电平VGH和低电平VGL的时间配比是可调的,原则是控制信号EM为高电平VGH时,必须包含第一至第二扫描信号S1-S2操作的时间点,而控制信号EM为低电平VGL时会导通发光二极管,影响第一扫描信号S1和第二扫描信号S2的操作。

[0063] 本发明实施方式公开的像素电路及其驱动方法,通过电路调整,加入晶体管,补偿漏电路径的电流,改善电容的holding能力,能够抑制电容因漏电而偏移的电位,从而增强在低频操作下画面显示的稳定性。

[0064] 实施例二

[0065] 图4是根据本发明实施例二的像素电路400结构示意图。本实施例的像素电路400与上述实施例一的像素电路200的不同之处在于,还包括一个第九晶体管T9,该第九晶体管T9的第一端91电连接第四晶体管T4的第二端42和第八晶体管T8的第二端82,其第二端92电连接第五晶体管T5的第二端52,其控制端电连接第二扫描信号S2。

[0066] 继续参考图3的用于图4所示像素电路的驱动方法的时序图,在重置期间,第一扫描信号S1为低电平,第二扫描信号S2和控制信号EM为高电平,此时第一晶体管T1和第二晶体管T2导通,第三至第九晶体管T3-T9截止,输入电压Vint写入第五晶体管T5的栅极,并将该电压存储到第一电容器Cst。

[0067] 在补偿期间,第一扫描信号S1和控制信号EM为高电平,第二扫描信号S2为低电平,此时第三至第五晶体管T3-T5和第九晶体管T9导通,第一晶体管T1、第二晶体管T2和第六至第八晶体管T6-T8截止,数据信号DATA通过第三晶体管T3输入至第五晶体管T5,在第五晶体管T5上源极和栅极间产生一个跨压V_{th},此时第五晶体管T5栅极即第一电容器Cst电位为Vint-V_{th}。

[0068] 在显示期间,第一扫描信号S1和第二扫描信号S2为高电平,控制信号EM为低电平,此时第五至第八晶体管T5-T8导通,第一至第四晶体管T1-T4及第九晶体管T9截止,第五晶体管T5的电流通过发光二极管D而使其发光;同时由于第八晶体管T8导通,第一晶体管T1和第二晶体管T2连接处C节点电压为第一电源电压ELVDD,此时第二晶体管T2和第九晶体管T9的

漏极和源极 V_{SD} 间跨压降低,从而同时减少了第五晶体管T5的栅极到输入电压 V_{int} 的第一条漏电路径的漏电流和第五晶体管T5的栅极到发光二极管的第二条漏电路径的漏电流。

[0069] 实施例三

[0070] 图5是根据本发明实施例三的像素电路500结构示意图。本实施例的像素电路500与上述实施例一的像素电路200的不同之处在于,还包括一个第十晶体管T10,其第一端101电连接第七晶体管T7的第二端72,其第二端102电连接输入电压 V_{int} ,其控制端电连接第三扫描信号S3。第十晶体管T10可以用于实现发光二极管(例如,OLED)的重置功能。

[0071] 参考图6的用于图5所示的像素电路的驱动方法的时序图,由于增加了第三扫描信号S3,电路增加了一个释放期间。

[0072] 在重置期间,第一扫描信号S1为低电平,第二扫描信号S2、第三扫描信号S3和控制信号EM为高电平,此时第一晶体管T1和第二晶体管T2导通,第三至第八晶体管T3至T8和第十晶体管T10截止,输入电压 V_{int} 写入第五晶体管T5的栅极,并将该电压存储到第一电容器Cst。

[0073] 在补偿期间,第一扫描信号S1、第三扫描信号S3和控制信号EM为高电平,第二扫描信号S2为低电平,此时第三至第五晶体管T3-T5导通,第一晶体管T1、第二晶体管T2、第六至第八晶体管T6-T8和第十晶体管T10截止,数据信号DATA通过第三晶体管T3输入至第五晶体管T5,在第五晶体管T5上源极和栅极间产生一个跨压 V_{th} ,此时第五晶体管T5栅极即第一电容器Cst电位为 $V_{int}-V_{th}$ 。

[0074] 在释放期间,第一扫描信号S1、第二扫描信号S2和控制信号EM为高电平,第三扫描信号S3为低电平,此时第十晶体管T10导通,第一至第八晶体管T1-T8截止,输入电压 V_{int} 通过第十晶体管T10输入发光二极管D,由于此时输入电压 V_{int} 例如为-3V,第二电源电压ELVSS例如为-2.4V,输入电压 V_{int} 小于或者等于第二电源电压ELVSS时,输入电压 V_{int} 输入OLED的第一端10,释放OLED前一发光时间的电位,实现发光二极管的重置功能。第三扫描信号S3可随意于控制信号EM为高电平VGH期间内变动。

[0075] 在显示期间,第一扫描信号S1、第二扫描信号S2和第三扫描信号S3为高电平,控制信号EM为低电平,此时第五至第八晶体管T5-T8导通,第一至第四晶体管T1-T4和第十晶体管T10截止,第五晶体管T5的电流通过发光二极管D而使其发光;同时由于第八晶体管T8导通,第一晶体管T1和第二晶体管T2连接处C节点电压为第一电源电压ELVDD,此时第二晶体管T2的漏极和源极间跨压降低,从而减少了第五晶体管T5栅极到输入电压 V_{int} 的漏电流。

[0076] 第一扫描信号S1和第二扫描信号S2的时序关系及作用同上述图3,在此不再赘述。于示意图6中,第一扫描信号S1的低电平VGL可落于时间段T3或者T4,第二扫描信号S2的低电平VGL可落于时间段T4或者T5。第三扫描信号S3用于reset发光二极管中前一笔数据信号DATA的电位,第三扫描信号S3的低电平VGL可置于控制信号EM为高电平VGH的时间点。在图6中,第三扫描信号S3的低电平VGL可落于时间段T3或者T4或者T5。图示中,高电平VGH和低电平VGL的时间配比是可调的,原则是控制信号EM为高电平VGH时,必须包含第一至第三扫描信号S1-S3操作的时间点。

[0077] 实施例四

[0078] 图7是根据本发明实施例四的像素电路700结构示意图。本实施例与实施例二的像

素电路400的不同之处在于,还包括一个第十晶体管T10,其第一端101电连接第七晶体管T7的第二端72,其第二端102电连接输入电压Vint,其控制端电连接第三扫描信号S3。

[0079] 参考图6的用于图7所示像素电路的驱动方法的时序图,由于增加了第三扫描信号S3,电路增加了一个释放期间。

[0080] 在重置期间,第一扫描信号S1为低电平,第二扫描信号S2、第三扫描信号S3和控制信号EM为高电平,此时第一晶体管T1和第二晶体管T2导通,第三至第十晶体管T3-T10截止,输入电压Vint写入第五晶体管T5的栅极。

[0081] 在补偿期间,第一扫描信号S1、第三扫描信号S3和控制信号EM为高电平,第二扫描信号S2为低电平,此时第三至第五晶体管T3-T5及第九晶体管T9导通,第一晶体管T1、第二晶体管T2、第六至第八晶体管T6-T8及第十晶体管T10截止,数据信号DATA通过第三晶体管T3输入至第五晶体管T5,在第五晶体管T5的源极和栅极间产生一个跨压Vth。

[0082] 在释放期间,第一扫描信号S1、第二扫描信号S2和控制信号EM为高电平,第三扫描信号S3为低电平,此时第十晶体管T10导通,第一至第九晶体管T1-T9截止,输入电压Vint输入发光二极管D,释放前一发光时间的电位。

[0083] 在显示期间,第一扫描信号S1、第二扫描信号S2和第三扫描信号S3为高电平,控制信号EM为低电平,此时第五至第八晶体管T5-T8导通,第一至第四晶体管T1至T4、第九晶体管T9及第十晶体管T10截止,第五晶体管T5的电流通过发光二极管D而使其发光;同时由于第八晶体管T8导通,第一晶体管T1和第二晶体管T2连接处C节点电压为第一电源电压ELVDD,此时第二晶体管T2和第九晶体管T9的漏极和源极间跨压降低,从而同时减少了第五晶体管T5的栅极到输入电压Vint和发光二极管两条线路的漏电电流。

[0084] 实施例五

[0085] 图8是根据本发明实施例五的像素电路800结构示意图。根据本实施例,该像素电路800包括:第一晶体管T1,其第一端11电连接输入电压Vint,第一晶体管T1的控制端电连接至第一扫描信号S1;第四晶体管T4,其第一端41电连接第一晶体管T1的第二端12;第三晶体管T3,其第一端31电连接数据信号DATA;第九晶体管T9,其第一端91电连接第四晶体管T4的第二端42,第四晶体管T4和第九晶体管T9的控制端电连接至第二扫描信号S2;第五晶体管T5,其第一端51电连接第三晶体管T3的第二端32,第五晶体管T5的第二端52电连接第九晶体管T9的第二端92,第五晶体管T5的控制端、第一晶体管T1的第二端12和第四晶体管T4的第一端41共同电连接于节点B(Bnode);第六晶体管T6,其第一端61电连接第一电源电压ELVDD,第六晶体管T6的第二端62电连接第三晶体管T3的第二端32和第五晶体管T5的第一端51;第七晶体管T7,其第一端71电连接第九晶体管T9的第二端92和第五晶体管T5的第二端52,第七晶体管T7的第二端72电连接发光二极管D的第一端10;第八晶体管T8,其第一端81第一电源电压ELVDD,第八晶体管T8的第二端82、第四晶体管T4的第二端42和第九晶体管T9的第一端91共同电连接于节点D(Dnode),第六晶体管T6的控制端、第七晶体管T7的控制端以及第八晶体管T8的控制端电连接至控制信号EM;第一电容器Cst,其第一端30电连接第一电源电压ELVDD,第一电容器Cst的第二端40电连接至节点B。

[0086] 继续参考图3所示用于图8的像素电路的驱动方法的时序图,在重置期间,第一扫描信号S1为低电平,第二扫描信号S2和控制信号EM为高电平,此时第一晶体管T1导通,第四晶体管T4、第三晶体管T3、第九晶体管T9、第五至第八晶体管T5-T8截止,输入电压Vint写入

第五晶体管T5的栅极。

[0087] 在补偿期间,第一扫描信号S1和控制信号EM为高电平,第二扫描信号S2为低电平,此时第四晶体管T4、第三晶体管T3、第九晶体管T9及第五晶体管T5导通,第一晶体管T1、第六至第八晶体管T6-T8截止,数据信号DATA通过第三晶体管T3输入至第五晶体管T5,在第五晶体管T5上源极和栅极间产生一个跨压 V_{th} 。

[0088] 在显示期间,第一扫描信号S1和第二扫描信号S2为高电平,控制信号EM为低电平,此时第五至第八晶体管T5-T8导通,第一晶体管T1、第四晶体管T4、第三晶体管T3及第九晶体管T9截止,第五晶体管T5的电流通过发光二极管D而使其发光;同时由于第八晶体管T8导通,第四晶体管T4和第九晶体管T9连接处D节点电压为第一电源电压ELVDD,此时第九晶体管T9的漏极和源极间跨压降低,从而减少了第五晶体管T5栅极通过第四晶体管T4和第九晶体管T9到发光二极管的漏电电流。

[0089] 在示例性实施例中,继续参考图8,该像素电路还包括第十晶体管T10,其第一端101电连接第七晶体管T7的第二端72,第十晶体管T10的第二端102电连接输入电压 V_{int} ,第十晶体管T10的控制端电连接第三扫描信号S3。此时的像素电路的驱动方法的时序可以参考上述图6,在此不再赘述。

[0090] 综上所述,本发明提供的像素电路及其驱动方法,通过电路架构的调整,可给予电容 C_{st} holding补偿,改善了漏电路径上的器件跨压大小,降低漏电等级,甚至反向补偿漏电,解决了现有技术中由于 C_{st} 值的减小导致的 C_{st} holding能力变差,使得在低频操作下,产生flicker恶化的问题。

[0091] 此外,附图仅为本公开的示意性图解,并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分,因而将省略对它们的重复描述。

[0092] 此外,尽管在附图中以特定顺序描述了本公开中方法的各个步骤,但是,这并非要求或者暗示必须按照该特定顺序来执行这些步骤,或是必须执行全部所示的步骤才能实现期望的结果。附加的或备选的,可以省略某些步骤,将多个步骤合并为一个步骤执行,以及/或者将一个步骤分解为多个步骤执行等。

[0093] 本领域技术人员在考虑说明书及实践这里公开的发明后,将容易想到本公开的其他实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本公开的真正范围和精神由下面的权利要求指出。

[0094] 应当理解的是,本公开并不局限于上面已经描述并在附图中示出的精确结构,并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

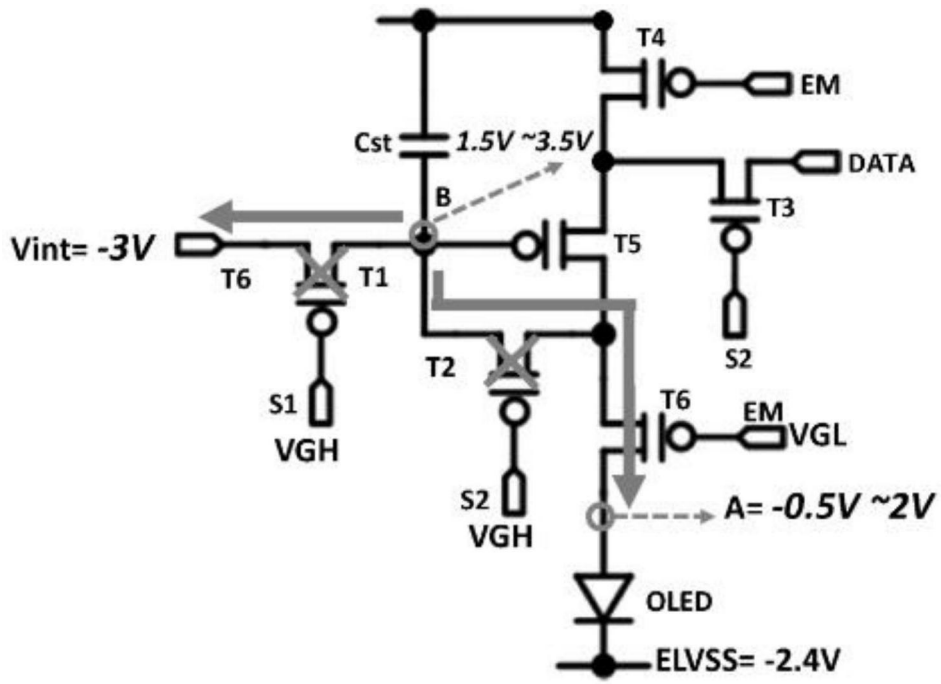


图1

200

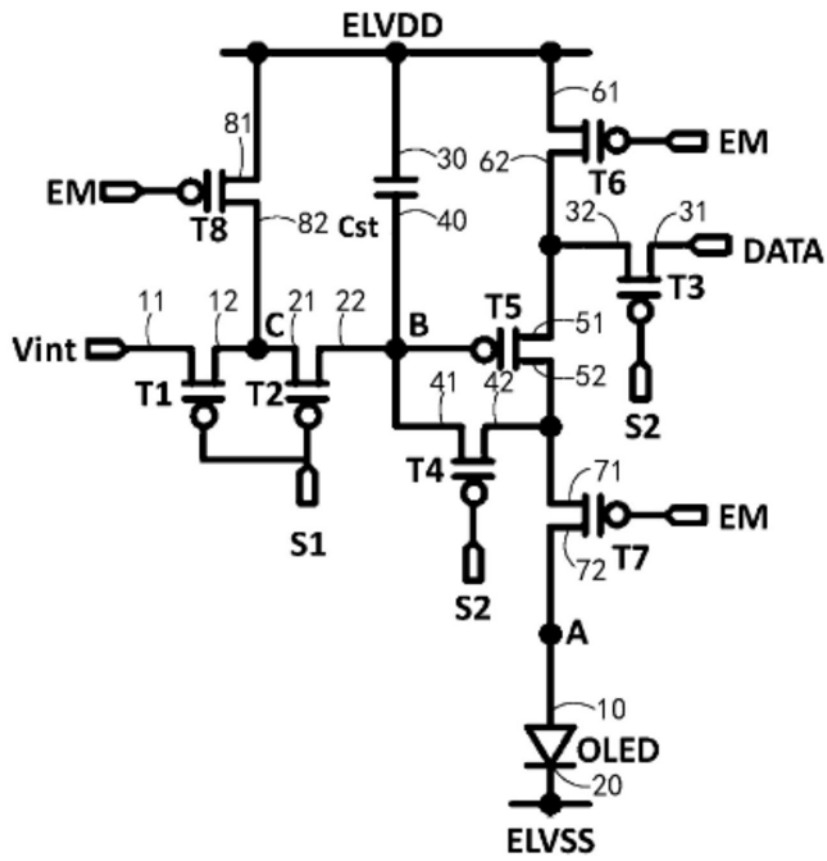


图2

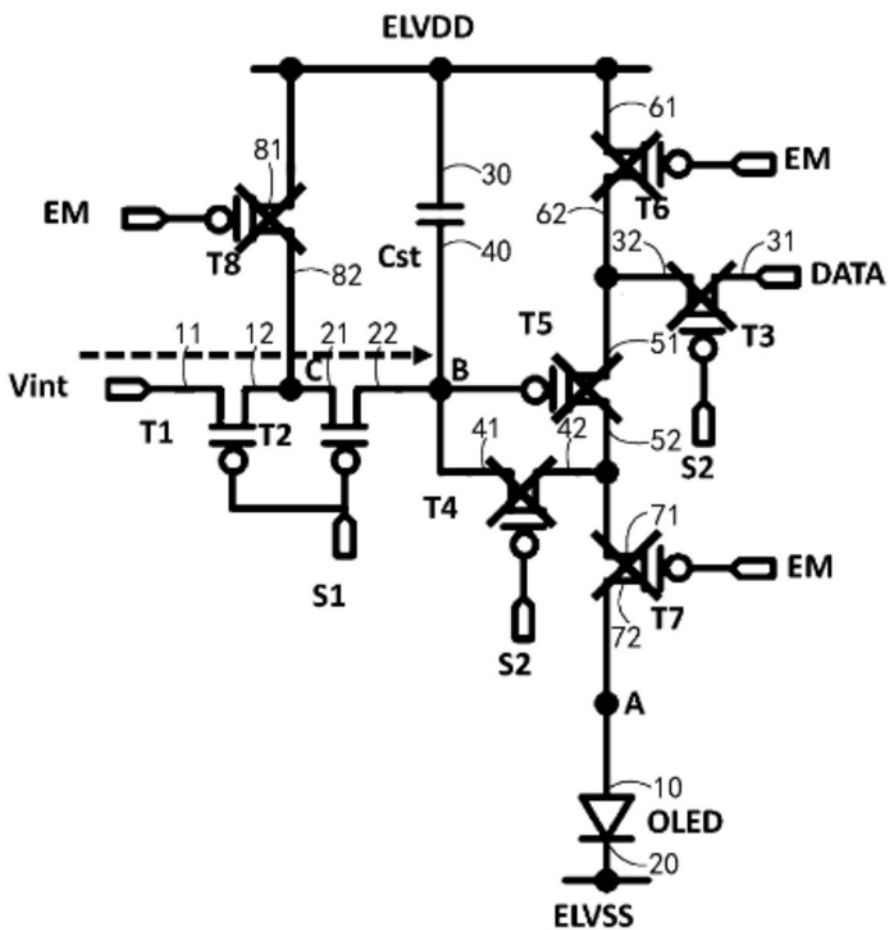


图3-1 (a)

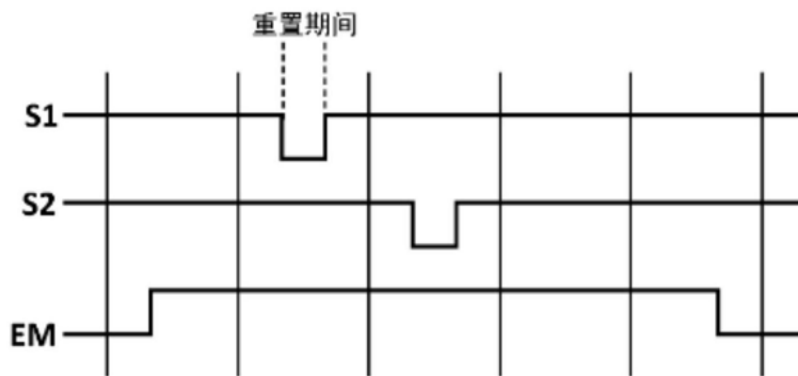


图3-1 (b)

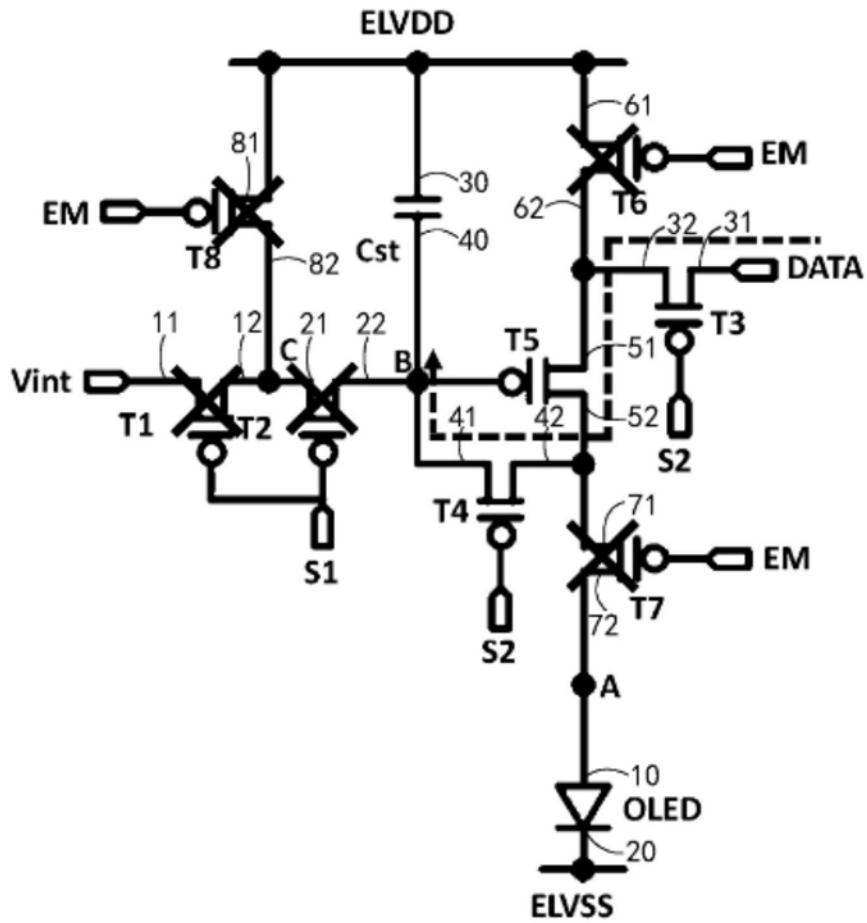


图3-2 (a)

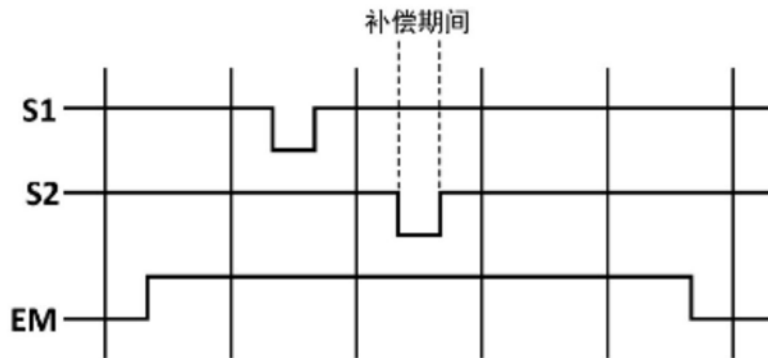


图3-2 (b)

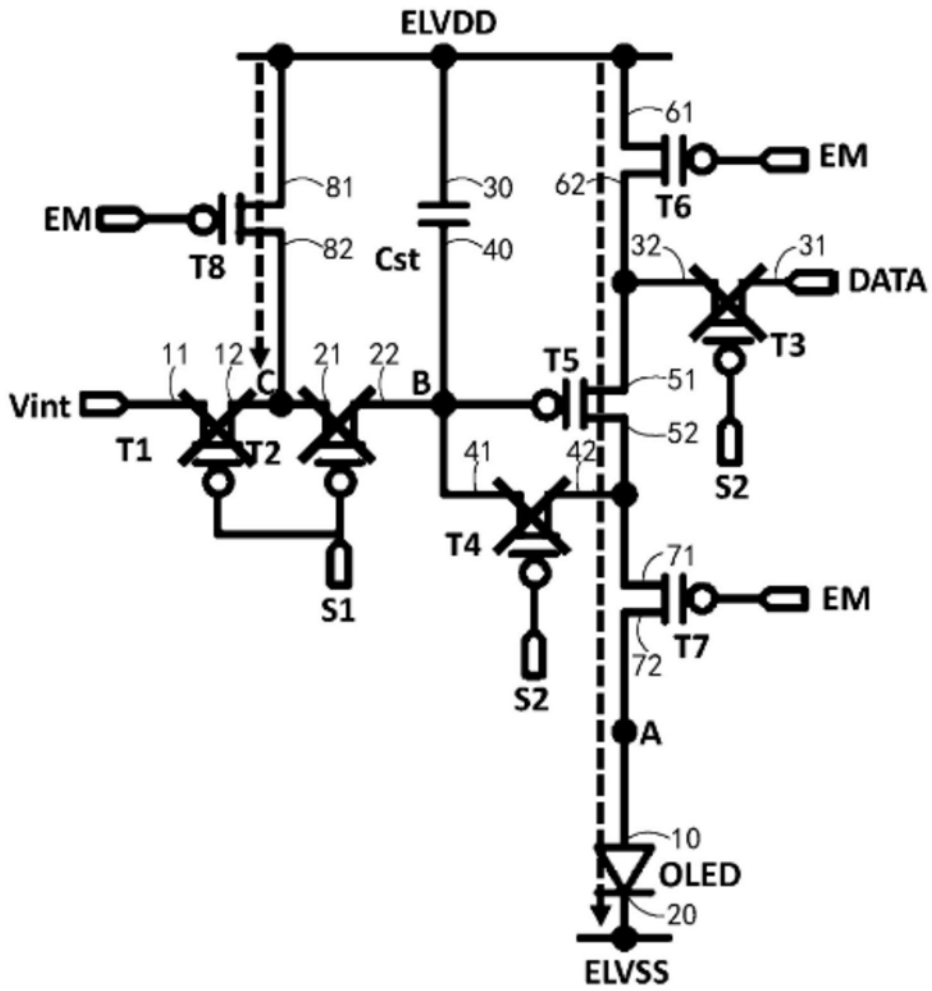


图3-3 (a)

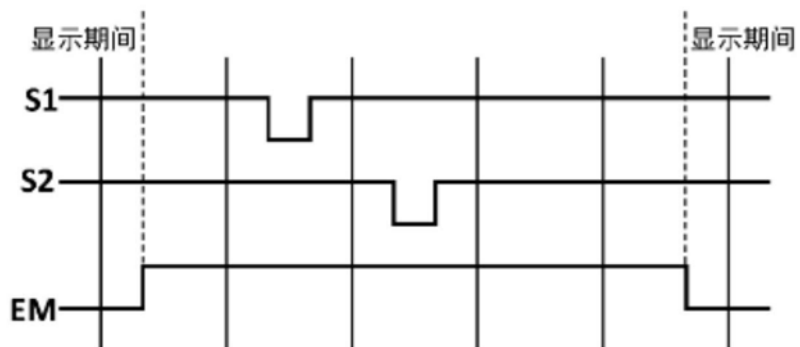


图3-3 (b)

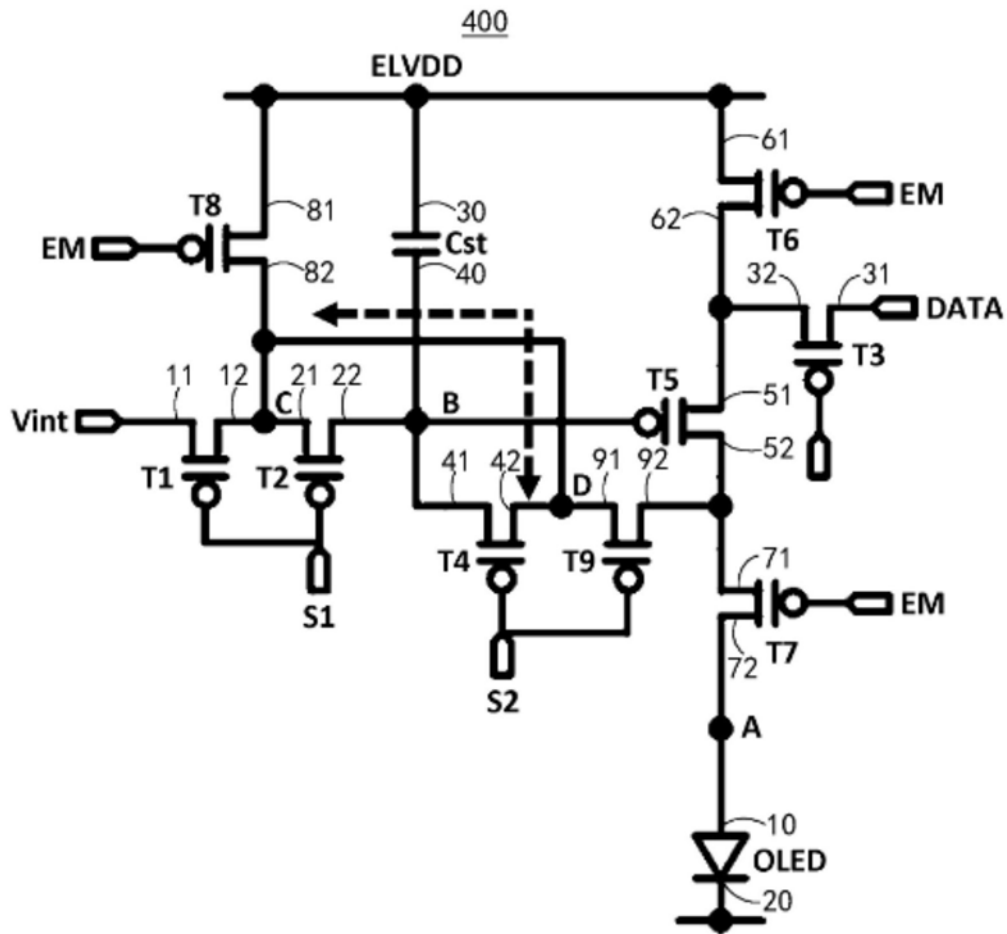


图4

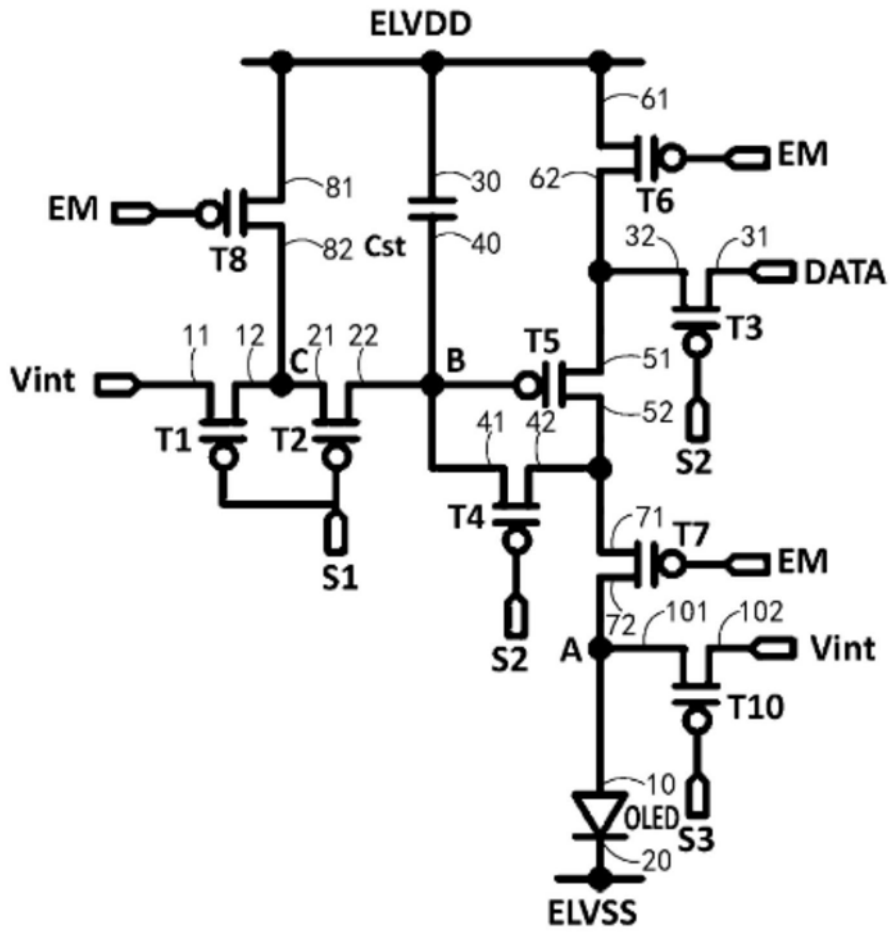


图5

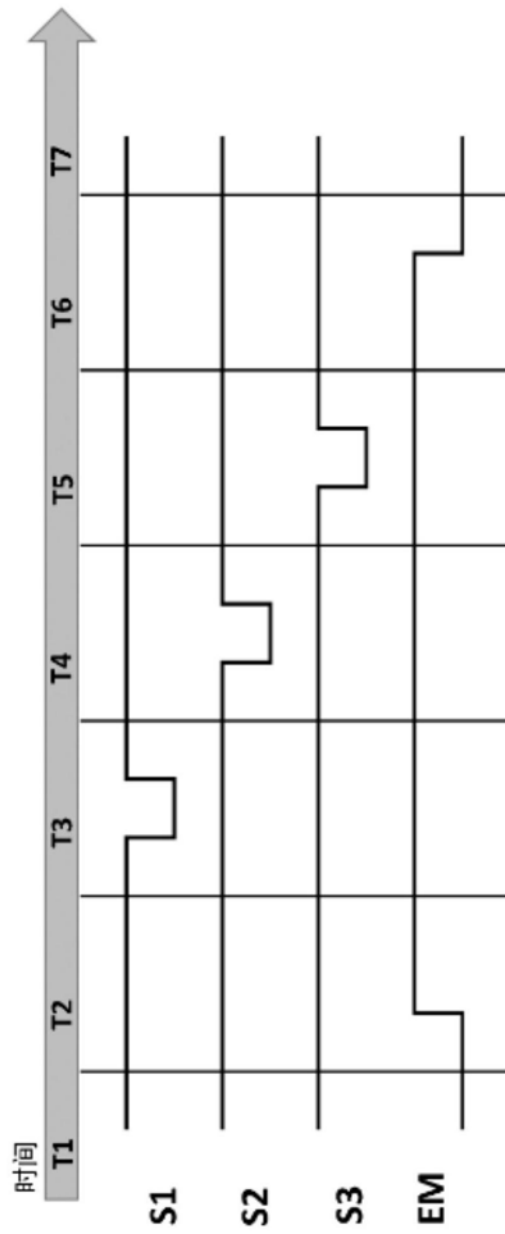


图6

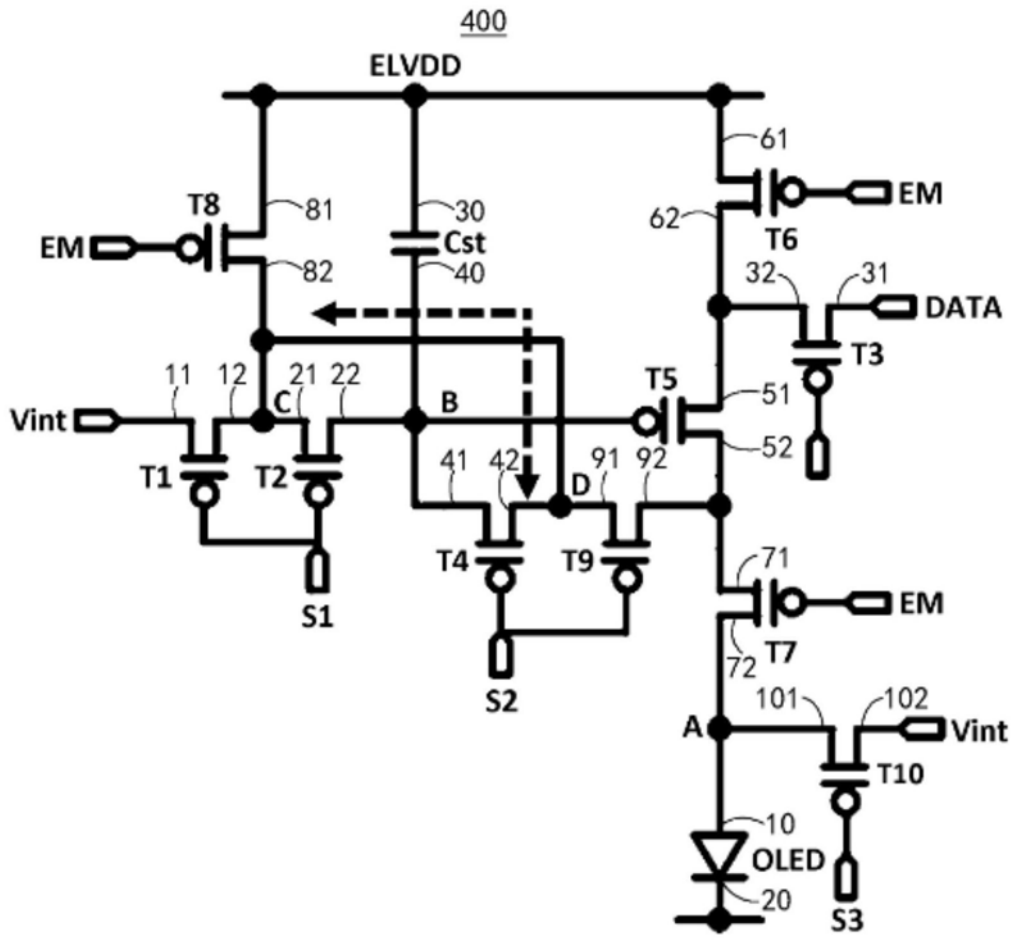


图7

800

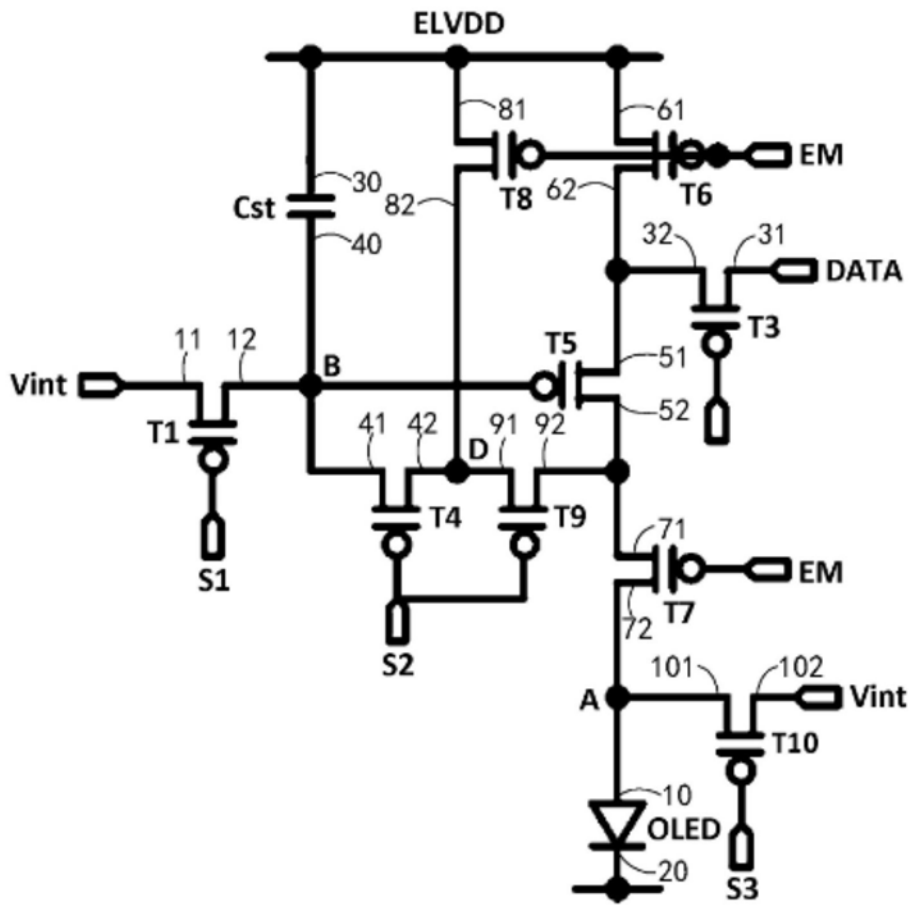


图8