

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4745205号
(P4745205)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl.	F I	
HO 1 L 23/50 (2006.01)	HO 1 L 23/50	X
	HO 1 L 23/50	U

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2006-324474 (P2006-324474)	(73) 特許権者	000003078
(22) 出願日	平成18年11月30日(2006.11.30)		株式会社東芝
(65) 公開番号	特開2008-140914 (P2008-140914A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年6月19日(2008.6.19)	(74) 代理人	100091351
審査請求日	平成21年3月18日(2009.3.18)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

リードフレーム内に設けられるグラウンド用或いは電源電圧用の第1のインナーリードと、前記リードフレーム上に搭載され、第1の辺に沿って設けられるグラウンド用或いは電源電圧用となる第1のパッドを有する半導体チップとを具備し、前記第1のインナーリードは、前記第1の辺と平行となる方向に延在し、前記第1の辺と交差する方向に隣り合い、吊りピンとして機能する2つの第1の配線部と、前記第1の辺と交差する方向に延在し、前記2つの第1の配線部間に配置され、前記2つの第1の配線部に接続される第2の配線部とから形成されるH型構造を有し、前記第1の辺は、前記2つの第1の配線部のうち一方と上下に重なるように配置され、前記第1のパッドは、前記2つの第1の配線部のうち前記一方と接続されることを特徴とする半導体装置。

【請求項2】

前記第1のパッドは、前記第1の辺に沿って、2個以上設けられることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記半導体チップは、さらに、前記第1の辺と対向する第2の辺に沿って設けられる第2のパッドを有し、前記第2のパッドは、前記2つの第1の配線部のうち他方と接続されることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記リードフレームは、さらに、信号配線用の複数の第2のインナーリードを有し、前

記半導体チップは、さらに、前記第2の辺に沿って複数の第3のパッドを有し、前記複数の第3のパッドと接続される前記複数の第2のインナーリードは、前記半導体チップの下面を經由して、その一端が、前記第2の辺に沿って設けられることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記半導体チップは、前記第1及び第2のインナーリード上に絶縁層を介して搭載され、前記リードフレームは、前記半導体チップを搭載するためのタブを有しないことを特徴とする請求項4に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に係り、特に、リードフレームを用いて形成されるパッケージ装置に関する。

【背景技術】

【0002】

電子機器には、1つ或いは複数の半導体チップからなるパッケージ装置が搭載されている。

【0003】

それらのパッケージ装置に対する高性能化の要求は、年々高まっている。そのため、半導体チップの消費電流は増大する傾向にあり、チップ内部の配線抵抗に起因するパッドから離れた領域のグラウンド電圧の上昇及び電源電圧の低下が生じている。

20

【0004】

したがって、パッケージ装置のパフォーマンスが低下し、高性能化の要求が満たせない。

【0005】

また、パッケージ装置の高性能化に伴い、半導体チップ上に設けられるパッドの数も増加している。

【0006】

例えば、半導体チップをリードフレームに搭載する場合、それらのパッドには、それぞれに対応するリードフレーム内のリード配線が、ボンディングワイヤを介して接続される。

30

【0007】

一方で、例えば、携帯電話のような携帯可能な電子機器市場においては、パッケージの小型化が要求されている。

【0008】

そのため、半導体チップ上のパッドが、ある一辺に片寄って配置され、その結果、パッケージ基板の引き出し配線用端子が、一方向に片寄った形状になる。

【0009】

それゆえ、リードフレーム内でのリード配線の引き回しが、複雑になってしまう。

【0010】

40

チップ内部のグラウンド電圧及び電源電圧の安定化に対しては、半導体チップの対角線方向に延びるリードフレームの吊りピン形状を工夫し、その吊りピンをグラウンド電圧用或いは電源電圧用リード配線とする技術が提案されている（例えば、特許文献1参照）。

【0011】

その技術によれば、半導体チップを搭載するタブを支持する吊りピン（タイバー）とインナーリードとの間に導電性のグラウンド接続部或いは電源接続部を設け、それらと半導体チップ上の複数のグラウンド用或いは電源電圧用のパッドが、ワイヤボンディングにより接続されることを可能としている。

【0012】

この場合、半導体チップ内部のグラウンド電圧の上昇或いは電源電圧の低下は、抑制で

50

きる。しかし、上記の構造において、半導体チップ上のパッドが、ある方向に片寄って配置されると、リード配線の引き回しは非常に困難になってしまう。

【特許文献1】特開2004-343151号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の例は、半導体チップの内部配線抵抗に起因する性能低下を抑制し、且つ、半導体チップが搭載されるリードフレームのリード配線の引き回しを簡素化できる技術を提案する。

【課題を解決するための手段】

10

【0014】

本発明の例に関わる半導体装置は、リードフレーム内に設けられるグラウンド用或いは電源電圧用の第1のインナーリードと、前記リードフレーム上に搭載され、第1の辺に沿って設けられるグラウンド用或いは電源電圧用となる第1のパッドを有する半導体チップとを具備し、前記第1のインナーリードは、前記第1の辺と平行となる方向に延在し、前記第1の辺と交差する方向に隣り合い、吊りピンとして機能する2つの第1の配線部と、前記第1の辺と交差する方向に延在し、前記2つの第1の配線部間に配置され、前記2つの第1の配線部に接続される第2の配線部とから形成されるH型構造を有し、前記第1の辺は、前記2つの第1の配線部のうち一方と上下に重なるように配置され、前記第1のパッドは、前記2つの第1の配線部のうち前記一方と接続されることを備える。

20

【発明の効果】

【0015】

本発明の例によれば、半導体チップの内部配線抵抗に起因する性能低下を抑制し、且つ、半導体チップが搭載されるリードフレームのリード配線の引き回しを簡素化できる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0017】

1. 概要

30

本発明の例は、リードフレームを用いて形成されるパッケージ装置に関する。

【0018】

リードフレームは、パッケージ内（フレーム内）で引き回されるインナーリードと外部端子となるアウターリードの、パッケージ内部及び外部のリード配線から構成される。

【0019】

本発明の例で用いるリードフレームは、グラウンド用或いは電源電圧用のインナーリード（第1のインナーリード）が、グラウンド用或いは電源電圧用パッドが設けられる半導体チップの一边（第1の辺）と平行となる方向に延在する配線部（第1の配線部）を有することを特徴とする。

【0020】

40

それにより、半導体チップの一边（第1の辺）の両端に設けられた2つのグラウンド用或いは電源電圧用パッド（第1のパッド）を、その一边の平行方向に延在する第1の配線部と接続することができる。

【0021】

それゆえ、半導体チップの内部配線抵抗に起因するグラウンド電圧の上昇或いは電源電圧の低下を抑制できる。

【0022】

したがって、パッケージ装置の性能低下を抑制できる。

【0023】

また、上記のグラウンド用或いは電源電圧用のインナーリードの構造とすることで、一

50

辺に2つのグラウンド用或いは電源電圧用パッドを設けても、グラウンド用或いは電源電圧用のインナーリードは1つでよい。

【0024】

したがって、リードフレームのリード配線の引き回しを簡素化できる。

【0025】

2. 実施の形態

次に、最良と思われるいくつかの実施の形態について説明する。

【0026】

(A) リードフレームの基本構造

図1及び図2は、本発明の例に用いられるリードフレームのインナーリードの基本構造を示す平面図である。

10

【0027】

本発明の例は、グラウンド用或いは電源電圧用のインナーリードが、半導体チップのグラウンド用或いは電源電圧用パッドが設けられる一辺に対して、平行をなすように形成された配線部(第1の配線部)を有することを特徴とする。また、そのインナーリードは、半導体チップの一辺と平行となっている部分から、グラウンド用或いは電源用パッドが設けられる辺と対向する半導体チップの一辺と交差する方向へ延在された配線部(第2の配線部)も有する。

【0028】

以下には、上記のインナーリードが、グラウンド用のインナーリードである場合を例として、説明する。

20

【0029】

図1及び図2は、リードフレーム10内のインナーリードの主要部を示し、グラウンド用インナーリード1と、信号配線用のインナーリード2を示している。また、リードフレームに搭載される半導体チップ5及び半導体チップ上に設けられるグラウンド用パッド51を破線で示す。

【0030】

グラウンド用インナーリード1は、半導体チップの一辺と平行な配線部と、その一辺と対向する辺と交差する方向へ延在する配線部とを有する。そのような構造例としては、図1に示す、T型構造や、又は、図2に示す、H型構造などが考えられる。

30

【0031】

それにより、グラウンド用インナーリード1の一辺と半導体チップの一辺とを平行とすることができる。

【0032】

そのグラウンド用インナーリード1と平行となる半導体チップの一辺Aは、半導体チップ5のグラウンドパッド51が設けられる一辺である。グラウンドパッド51は、導電性の材料からなり、例えば、その辺Aの両端の半導体チップ5上に、1つずつ設けられる。

【0033】

上記のように、グラウンド用インナーリード1と、グラウンド用パッド51が設けられる辺とが平行となっているため、1つのグラウンド用インナーリード1に対して、2つのグラウンドパッド51を、電氣的に接続することができる。よって、2つのグラウンドパッド51から、基準電位となるグラウンド電圧を、半導体チップ5へ供給することができる。

40

【0034】

それゆえ、半導体チップ5の内部配線抵抗に起因するグラウンド電圧の上昇を抑制することができる。したがって、パッケージ装置の性能低下を抑制できる。

【0035】

また、インナーリード1が、電源電圧用の場合には、半導体チップの駆動電圧となる電源電圧の低下を抑制できる。

【0036】

50

また、1つのグラウンド用インナーリード1に対して、半導体チップ5上に設けられた2つのグラウンド用パッド51を接続することができる。よって、グラウンド用パッド毎に、グラウンド用インナーリード1を、それぞれ設けずとも良い。

【0037】

それゆえ、インナーリードの本数を減らすことができ、リードフレーム10内でのリード配線の引き回しを簡素化することができる。

【0038】

また、このグラウンド用インナーリード1は、吊りピン(タイバー)としても機能する。それゆえ、リードフレーム内で別途に設けた吊りピンの配置を考慮して、リード配線を引き回す必要が無くなり、リード配線の引き回しをさらに簡素化できる。

10

【0039】

尚、半導体チップ5がリードフレーム10上に搭載される場合には、例えば、絶縁性の接着剤などの絶縁層を介して、グラウンド用インナーリード1及び信号配線用インナーリード2上に配置される。そして、それらのインナーリード1,2が半導体チップ5を支持する構造となる。

【0040】

これは、本発明の例のリードフレームの構造は、半導体チップを支持するために設けられるタブ(ダイパッド)に該当する明確な部分がないためである。

【0041】

そのため、図1に示すように、グラウンド用インナーリード1がT型構造の場合には、グラウンド用インナーリード1は、3方向に延びる吊りピンとして、半導体チップを支持する構造となる。しかし、この場合には、半導体チップを支持するには不安定である。

20

よって、図2に示すH型構造のように、グラウンド用インナーリード1が、4方向に延びる吊りピンとして機能し、半導体チップ5を支持する構造となることが望ましい。

【0042】

以上のように、本発明の例で用いるリードフレームは、グラウンド用或いは電源電圧用のインナーリードが、半導体チップのグラウンド用或いは電源用のパッドが設けられる一辺と、平行となる方向に延在する配線部を有する。

【0043】

その配線部にグラウンド用或いは電源電圧用のパッドを接続することにより、半導体チップの内部配線抵抗に起因するグラウンド電圧の上昇或いは電源電圧の低下を抑制できる。

30

【0044】

したがって、パッケージ装置の性能低下を抑制できる。

【0045】

また、上記のグラウンド用或いは電源電圧用のインナーリードの構造により、リード配線数及び吊りピン数を減らすことができ、リードフレーム内のリード配線の引き回しを簡素化できる。

【0046】

(B) 実施例

40

以下に、上述のリードフレームを用いたパッケージ装置の実施例について説明を行う。

【0047】

図3及び図4は、パッケージ装置のリードフレーム上面及び下面のパッケージ材を除去した平面図である。図3は、半導体チップが設けられない側(以下、リードフレーム側)から見た平面図であり、図4は、半導体チップが設けられる側(以下、半導体チップ側)から見た平面図である。

【0048】

尚、以下には、本発明の例の特徴となるインナーリードが、グラウンド用のインナーリードである場合について説明する。

【0049】

50

リードフレーム 10 には、半導体チップ 5 が搭載される。そして、それらは、絶縁性のパッケージ材 101 によって封止され、パッケージ装置 100 として、電子機器に搭載される。

【0050】

図 3 に示すように、リードフレーム 10 は、パッケージ 100 内部で引き回されるグラウンド用インナーリード 1 と複数の信号配線用インナーリード 2、また、それらのインナーリードとそれぞれ接続され、外部端子となるアウターリード 3 とを備える。

【0051】

グラウンド用インナーリード 1 は、アウターリード 3 を介して、外部から基準電圧となるグラウンド電圧が印加される。そして、そのグラウンド電圧が、半導体チップ 5 のグラウンドパッド 51a を介して、半導体チップ 5 内部に供給される。

10

【0052】

このインナーリード 1 は、吊りピン（タイバー）としても、機能する。

【0053】

複数の信号配線用インナーリード 2 は、アウターリード 3 を介して、外部装置（図示せず）と半導体チップ間の制御信号やデータ信号などの入出力を行うために設けられる。尚、本実施例のように、インナーリード 1 をグラウンド用とする場合、複数のインナーリード 2 のうちいずれかは、電源電圧供給用に用いられる。

【0054】

また、図 4 に示すように、半導体チップ 5 は、リードフレーム 10 上に搭載される。半導体チップ 5 は、例えば、絶縁性の接着剤などの絶縁層（図示せず）を介して、インナーリード 1, 2 上に、取り付けられる。

20

【0055】

半導体チップ 5 上には、グラウンドパッド 51a 及び複数のパッド 52, 53 が、設けられる。

【0056】

グラウンドパッド 51a は、半導体チップの一边 A に沿って設けられる。そして、グラウンドパッド 51a は、例えば、その辺 A の両端に、1 つずつ設けられる。

【0057】

グラウンドパッド 51a は、ワイヤボンディングにより、ワイヤ 6 を介して、上記のグラウンド用インナーリード 1 と電氣的に接続される。

30

【0058】

複数のパッド 52, 53 は、制御信号及び入出力データ信号用であり、半導体チップ 5 上に設けられる。また、それらのパッド 52, 53 のうちいずれかは、例えば、電源電圧用である。

【0059】

このうち、パッド（第 3 のパッド）52 は、グラウンドパッド 51a が設けられた辺 A と対向する一边 B に沿って、片寄るように設けられる。

【0060】

複数のパッド 52, 53 は、ワイヤボンディングにより、ワイヤ 6 を介して、上記の複数の信号配線用インナーリード 52, 53 のうち、それぞれが対応するリード配線に接続される。

40

【0061】

図 4 に示すように、グラウンド用インナーリード 1 は、グラウンドパッド 51a が設けられる辺 A と平行となる配線部を有している。そして、半導体チップ 5 は、グラウンドパッド 51a が設けられた辺 A が、辺 A と平行となっている配線部と、上下に重なるように、リードフレーム 10 上に搭載される。

【0062】

よって、辺 A に沿って半導体チップ 5 上に設けられた 2 つのグラウンドパッド 51a を、1 つのグラウンド用インナーリード 1 に接続することができる。その結果、2 つのグラ

50

ウンドパッド5 1 aから、半導体チップ5の基準電位となるグラウンド電圧を供給することができる。

【0063】

それゆえ、半導体チップ5内のグラウンド電圧の上昇を抑制することができる。

【0064】

また、インナーリード1が、電源電圧用の場合には、半導体チップ5内の電源電圧の低下を抑制できる。

【0065】

また、1つのグラウンド用インナーリード1に対して、半導体チップ5上に設けられた2つのグラウンド用パッド5 1 aを接続することができる。よって、グラウンド用パッド毎に、グラウンド用インナーリード1を設けずとも良い。

10

【0066】

それゆえ、インナーリードの本数を減らすことができ、リードフレーム10内でのリード配線の引き回しを簡素化することができる。

【0067】

さらに、上記のグラウンド用インナーリード1の構造とすることで、辺Bに設けられる複数のパッド(第3のパッド)5 2と接続される信号配線用インナーリード2の一端を、半導体チップ5の下面を経由して、その辺Bに沿って、容易に引き回すことも可能となる。それに伴い、ワイヤボンディングを用いて接続する際のワイヤの引き回しも容易となる。

20

【0068】

以上のように、半導体チップが搭載されるリードフレームにおいて、グラウンド用或いは電源電圧用のインナーリードが、グラウンド用及び電源電圧用のパッドが設けられる半導体チップの一边と平行となる配線部を有する。さらに、その配線部と、グラウンド用及び電源電圧用のパッドが設けられる半導体チップの一边が重なるように、半導体チップがリードフレーム上に搭載される。

【0069】

それにより、半導体チップ内部のグラウンド電圧の上昇及び電源電圧の低下を抑制できる。したがって、パッケージ装置の性能低下を抑制できる。

【0070】

また、リードフレーム内のリード配線の引き回しを簡素化できる。

30

【0071】

(C) 変形例

(1) 第1の変形例

図5は、本変形例の半導体チップ側の平面図である。

【0072】

尚、上述と同様に、グラウンド用インナーリードを例として、説明する。実施例に示す部材と同一部材に関しては、同一の符号を付し、詳細な説明は省略する。

【0073】

本実施例においては、第1の実施例で述べた2つのグラウンド用パッド5 1 aに加え、それらが設けられた辺Aに沿って、さらに、グラウンド用パッド5 1 bを具備することを特徴とする。

40

【0074】

そのグラウンドパッド5 1 bは、グラウンドパッド5 1 aと同様に、ワイヤボンディングにより、ワイヤ6を介して、グラウンド用インナーリード1と接続される。

【0075】

尚、新たに設けられるグラウンドパッド5 1 bは、1つに限定されず、複数設けても良い。

【0076】

それゆえ、半導体チップの辺Aに沿って、グラウンドパッドを2個以上設けることによ

50

り、グラウンド電圧をより効率的に半導体チップ5内に供給でき、半導体チップ5の内部配線抵抗に起因するグラウンド電圧の上昇をさらに抑制できる。

【0077】

また、グラウンドパッドを辺Aに沿って2つ以上設けても、グラウンド用インナーリード1がその辺Aと平行方向に延在する配線部を有することにより、グラウンド用インナーリードは1つでよい。

【0078】

よって、新たなグラウンド用パッドを辺A上に設けた場合においても、そのグラウンド用パッドに対応する新たなグラウンド用インナーリードを設ける必要は無い。

【0079】

したがって、半導体チップの内部配線抵抗に起因するグラウンド電圧の上昇及び電源電圧の低下をさらに抑制でき、パッケージ装置の性能低下を抑制できる。

【0080】

また、リードフレーム内のインナーリードの引き回しを、簡素化できる。

【0081】

(2) 第2の変形例

図6は、本変形例の半導体チップ側の平面図である。

【0082】

以下、上述と同様に、グラウンド用インナーリードを例として、説明する。尚、上述と同一部材に関しては、同一符号を付し、詳細な説明は省略する。

【0083】

図6に示すように、半導体チップ5は、辺Aと対向する辺B上にも、複数のパッドを有する。

【0084】

グラウンド用インナーリード1は、そのインナーリードの一部分が辺Bと交差する方向に対して延在している配線部を有する。

【0085】

それゆえ、辺Aと対向する辺Bに対して、グラウンド用パッド(第2のパッド)51c、51dを、半導体チップ5上にさらに設け、そのパッド51c、51dを、辺Bの方向へ延在するグラウンド用インナーリード1と接続することができる。

【0086】

具体的には、半導体チップ5の辺Aに沿って、グラウンドパッド51a、51bが設けられる。また、その辺Aと対向する半導体チップの辺Bに沿って設けられる複数のパッド(第3のパッド)52に加え、グラウンドパッド51c、51dが設けられる。

【0087】

上述のように、グラウンド用インナーリード1は、辺Aに沿って延在する配線部と、さらに、辺Bと交差する方向に延在する配線部とを有している。

【0088】

グラウンドパッド51cは、辺Bの方向へ引き回されているグラウンド用インナーリード1のうち、辺Bと交差する配線部と、ワイヤボンディングを用いて、電氣的に接続される。また、グラウンドパッド51dは、辺Bの方向へ引き回されているグラウンド用インナーリード1のうち、辺Bの平行方向に対して延在している配線部と、ワイヤボンディングを用いて、電氣的に接続される。

【0089】

それにより、グラウンド電圧を、半導体チップの辺B側のように、辺Aから離れた領域に対しても供給できる。よって、半導体チップ5の内部配線抵抗に起因するグラウンド電圧の上昇を抑制できる。

【0090】

また、半導体チップ5の辺A及び辺Bに設けられるグラウンドパッド51a、51b、51c、51dに対して、1つのグラウンド用インナーリードを設ければよい。よって、

10

20

30

40

50

リードフレーム内のリード配線の引き回しは煩雑にならず、簡素化できる。

【0091】

以上のように、半導体チップ内部のグラウンド電圧の上昇及び電源電圧の低下を、さらに抑制できる。

【0092】

したがって、パッケージ装置の性能低下を抑制できる。

【0093】

また、リードフレーム内のインナーリードの引き回しを簡素化できる。

【0094】

3. その他

本発明の例によれば、半導体チップの内部配線抵抗に起因する性能低下を抑制し、且つ、半導体チップが搭載されるリードフレームのリード配線の引き回しを簡素化できる。

【0095】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0096】

【図1】本発明の例の基本構造の一例を示す平面図。

【図2】本発明の例の基本構造の一例を示す平面図。

【図3】実施例のリードフレーム側の構造を示す平面図。

【図4】実施例の半導体チップ側の構造を示す平面図。

【図5】第1の変形例の半導体チップ側の構造を示す平面図。

【図6】第2の変形例の半導体チップ側の構造を示す平面図。

【符号の説明】

【0097】

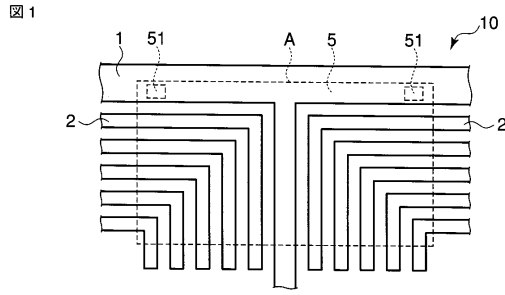
1：グラウンド用インナーリード、2：信号用インナーリード、3：アウターリード、5：半導体チップ、51、51a、51b、51c、51d：グラウンド用パッド、52、53：パッド、10：リードフレーム、100：パッケージ、101：パッケージ材。

10

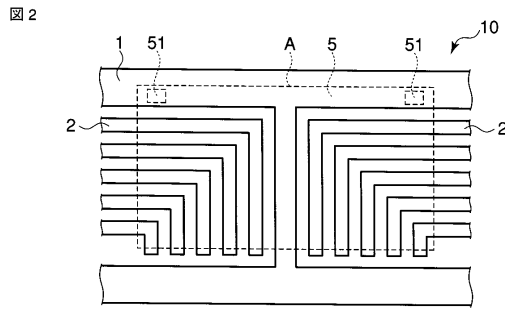
20

30

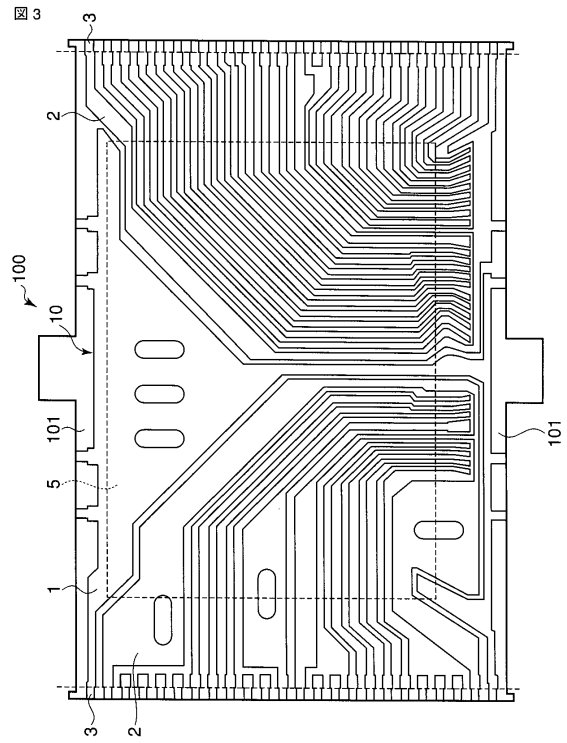
【図 1】



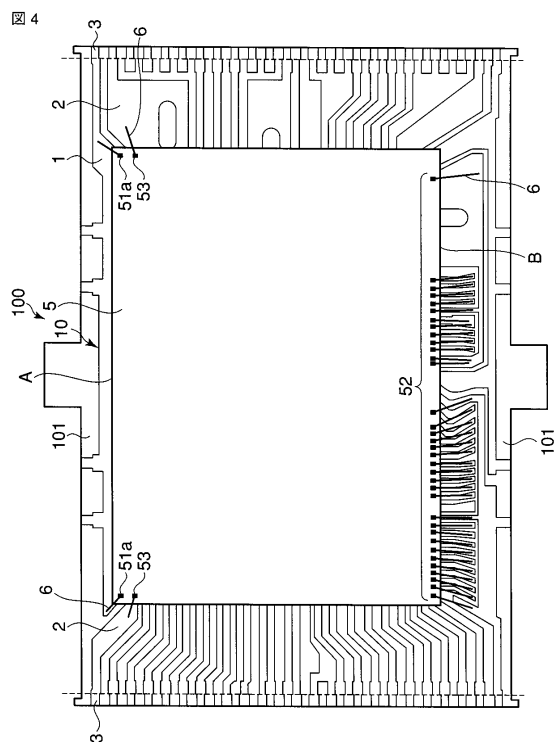
【図 2】



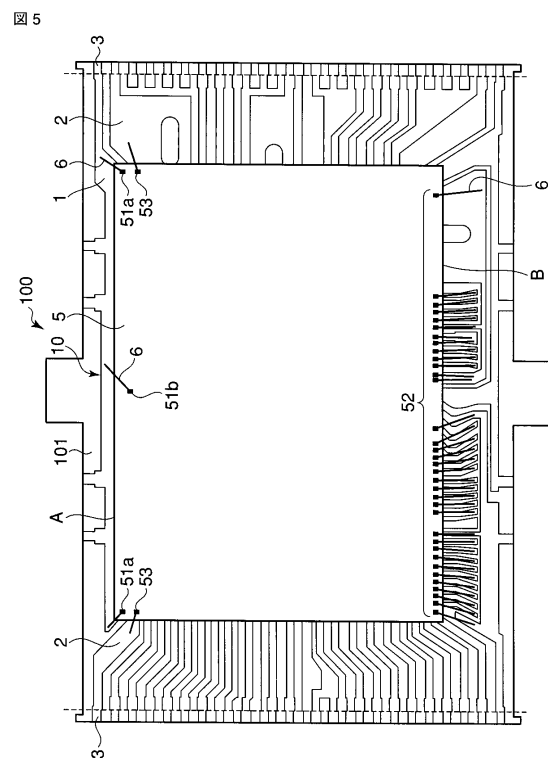
【図 3】



【図 4】

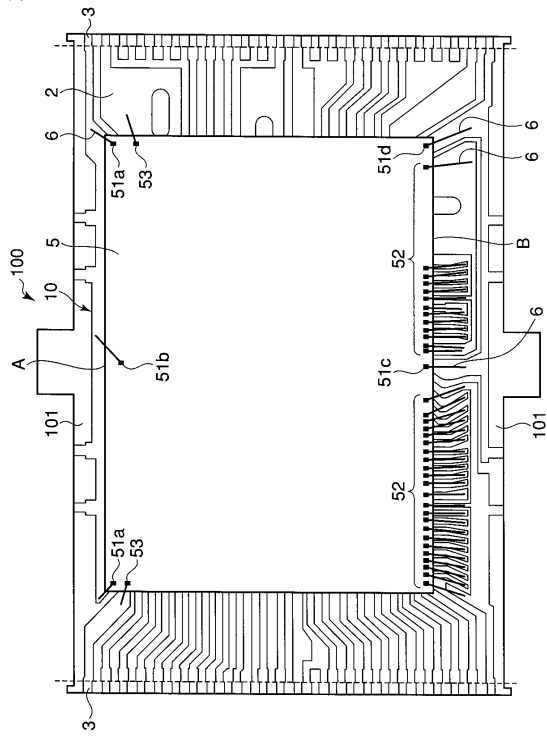


【図 5】



【 6 】

図 6



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 伊東 幹彦

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小柳 勝

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 越本 秀幸

(56)参考文献 特開平05-251622(JP,A)

特開平02-009157(JP,A)

特開平02-086157(JP,A)

特開平06-224362(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/50