(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2014 年 2 月 20 日 (20.02.2014)

WIPO | PCT

(10) 国际公布号
WO 2014/026306 A1

(51) 国际专利分类号:
H01L 29/161 (2006.01) *H01L 21/336* (2006.01)
H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2012/001377

(22) 国际申请日: 2012 年 10 月 12 日 (12.10.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210293525.X 2012 年 8 月 16 日 (16.08.2012) CN

(71) 申请人: **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS,CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: **马小龙 (MA, Xiaolong)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **殷华湘 (YIN, Huaxiang)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **付作振 (FU, Zuozhen)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: **中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.)**; 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) **发明名称** : 半导体器件及其制造方法

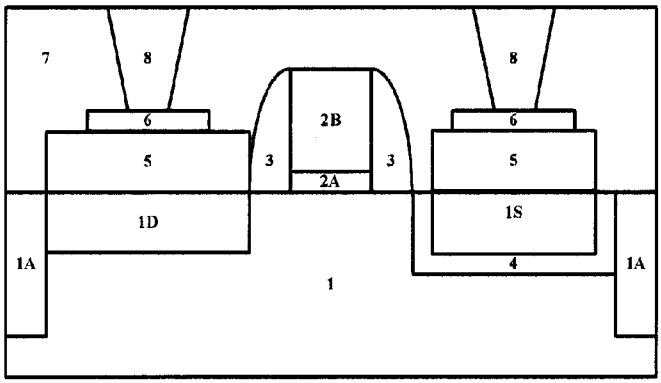


图5 / Fig. 5

(57) **Abstract**: A semiconductor device is disclosed, and comprises a substrate, a gate stack structure on the substrate, source/drain regions in the substrate at two sides of the gate stack structure, and a channel region between the source/drain regions in the substrate. The source region in the source/drain region comprises a GeSn alloy, and a tunneling dielectric layer optionally exists between the GeSn alloy of the source region and the channel region. By using the semiconductor device and a manufacturing method thereof in the present invention, selective epitaxy is performed, or a precursor is injected and then rapid annealing is performed through laser, to form a GeSn alloy with a narrow band gap, thereby effectively increasing an on-state current of a TFET, and having an important application prospect in a high-performance low-consumption application.

(57) **摘要**: 本发明公开了一种半导体器件，包括衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、衬底中源漏区之间的沟道区，其特征在于：源漏区中的源区包括 GeSn 合金，并且源区的 GeSn 合金与沟道区之间可选地还包括隧穿介质层。依照本发明的半导体器件及其制造方法，通过选择性外延或者注入前驱物然后激光快速退火，形成了具有窄带隙的 GeSn 合金，有效提高了 TFET 的开态电流，在高性能低功耗应用中具有重要应用前景。

WO 2014/026306 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

优先权要求

本申请要求了2012年8月16日提交的、申请号为201210293525.X、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体集成电路制造领域，更具体地，涉及一种具有GeSn合金作为源极的隧穿场效应晶体管（TFET）及其制造方法。

背景技术

随着集成电路工艺持续发展，特别是器件尺寸不断等比例缩减，器件的各个关键参数例如阈值电压等也随之减小，功耗减小、集成度提高这些优点促进了器件整体性能提高。然而与此同时，器件的驱动能力却受制于传统的硅材料工艺的限制，载流子迁移率较低，面临了器件驱动能力相比而言不足的问题。因此，高迁移率沟道器件在未来具有重要应用背景。

现有的高迁移率沟道器件通常是采用$Si_{1-x}Ge_x$或$Si_{1-x}C_x$来作为应力源漏区向Si的沟道区施加应力，或者直接采用这些材料作为衬底和沟道区。在$Si_{1-x}Ge_x$中引入压应变能够进一步提高空穴的迁移率，相应地在在$Si_{1-x}C_x$中引入张应变能够进一步提高电子的迁移率。然而，这两种材料晶格常数与Si差别仍不够大，能够提供的应变有限，难以应用在需要更高驱动能力的器件中。

一种可选的替代材料是GeSn合金，该薄膜具有很高的载流子迁移率，并且可以通过调节Sn的含量调节合金的能带结构，因此广泛应用于先进的CMOS器件和光电子器件中。

然而传统的GeSn合金需要用分子束外延或者CVD，目前仍不成熟或者与CMOS不兼容。此外，由于Sn在Ge中的平衡固溶度非常的低，因此用常规的方法很难得到Sn的含量大于1%的$Ge_{1-x}Sn_x$。

此外，其他高迁移率材料，诸如GaAs、InSb等也存在类似问题，难以与Si基的CMOS工艺兼容。

另一方面，常规MOSFET的沟道长度缩减时，漏电流随之上升。特别是在30nm以下工艺中，器件的漏电流显著增大，使得整个器件的功耗难以遏制地上升。降低器件功耗的一种途径是采用新型的隧穿场效应晶体管（TFET）结构，通过在源极与沟道区之间增加隧穿介质层，有效降低了漏电流，大大降低了芯片功耗。然而，当尺寸持续缩减到22nm以下时，现有的普通TFET驱动电流较常规MOSFET驱动电流低3～4个数量级，这使得无法兼顾功耗减低与提高驱动能力，器件的整体性能提升有限。

发明内容

有鉴于此，本发明的目的在于提供一种具有GeSn应力区的TFET及其制造方法，克服上述传统工艺的缺陷，有效提高TFET的开态电流Ion和开关电流比Ion/Ioff，也即提高驱动能力的同时还能有效降低功耗。

实现本发明的上述目的，是通过提供一种半导体器件，包括衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、衬底中源漏区之间的沟道区，其特征在于：源漏区中的源区包括GeSn合金，并且源区的GeSn合金与沟道区之间可选地还包括隧穿介质层。

其中，沟道区包括Si和/或SiGe。

其中，通过控制Sn含量来调节GeSn合金的禁带宽度。

其中，GeSn合金中Sn含量大于0并且小于30％。

其中，可选地，源漏区上还包括材质相同的提升源漏区。

其中，可选地，隧穿介质层包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

其中，源漏区上还包括金属化源漏接触层。

其中，源区与漏区导电类型不同，沟道区为本征未掺杂的。

本发明还提供了一种半导体器件制造方法，包括：在衬底上形成栅极堆叠结构；在栅极堆叠结构一侧的衬底中形成漏区；在栅极堆叠结构另一侧的衬底中形成GeSn材质的源区。

其中，通过控制Sn含量来调节GeSn合金的禁带宽度。

其中，GeSn合金中Sn含量大于0并且小于30％。

其中，形成GeSn材质的源区的方法包括：刻蚀源区的衬底，选择性外延生长、淀积GeSn合金。

其中，形成GeSn材质的源区的方法包括：在栅极堆叠结构另一侧的衬底中注入前驱物；激光快速退火，使得前驱物反应形成GeSn合金，构成源区。

其中，注入前驱物的步骤进一步包括：执行非晶化离子注入，在衬底中形成非晶化区；在非晶化区中注入Sn。

其中，非晶化离子注入的离子包括Ge、B、Ga、In及其组合。

其中，Sn的注入剂量为$1\times10^{15}\sim1\times10^{17}cm^{-2}$。

其中，在注入前驱物之后、在激光快速退火之前，在前驱物上形成保护层。

其中，激光快速退火工艺中激光单脉冲时间1ns～1us，脉冲个数为1～100，能量密度为$100mJ/cm^2\sim1J/cm^2$。

其中，可选地在源区与沟道之间还形成隧穿介质层，其形成步骤具体包括：刻蚀栅极堆叠结构另一侧的衬底形成源极沟槽，在源极沟槽中沉积隧穿介质薄膜，在隧穿介质层薄膜上形成GeSn合金而构成源区。

依照本发明的半导体器件及其制造方法，通过注入前驱物然后激光快速退火，形成了具有窄带隙的GeSn合金，有效提高了TFET的开态电流，在高性能低功耗应用中具有重要应用前景。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图3为根据本发明第一实施例的半导体器件制造方法各步骤的剖面示意图；

图4A以及4B为根据本发明第二实施例的半导体器件制造方法的剖面示意图；以及

图5为根据本发明制造的最终半导体器件的剖面示意图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗

示所修饰器件结构的空间、次序或层级关系。

根据本发明第一实施例，参照图1至图3，形成了具有GeSn应力源漏区的常规MOSFET器件结构。

首先参照图1，在衬底1上形成栅极堆叠结构2和栅极侧墙3，在栅极堆叠结构2一侧的衬底1中注入形成漏区1D。

提供衬底1，其可以是体Si、SOI、体Ge、GeOI 、SiGe、GeSb，也可以是III-V族或者II-VI族化合物半导体衬底，例如GaAs、GaN、InP、InSb等等。此外，也可以是玻璃、塑料、树脂等透明基板。为了与现有的CMOS工艺兼容以应用于大规模数字集成电路制造，衬底1优选地为体Si（单晶硅晶片）、SOI晶片。

在衬底1中先刻蚀形成浅沟槽，然后采用快速热氧化（RTO）、LPCVD、PECVD、HDPCVD等常规方法，在浅沟槽中沉积填充氧化物（例如氧化硅）从而形成浅沟槽隔离（STI）1A。STI 1A包围的衬底区域即构成器件的有源区。

优选地，在STI 1A包围的有源区内形成埋层（未示出），埋层用于增强源漏区向沟道区施加的应力或者增强沟道区自身的应力，从而进一步提高载流子迁移率。埋层材质是晶格常数介于衬底Si与稍后的源漏区GeSn之间的材料，例如是SiGe。形成埋层的方法可以是可选地在衬底1上沉积缓冲层、在衬底/缓冲层上外延生长SiGe埋层、以及可选地在埋层上再外延生长Si或者Ge顶层。此外，形成埋层的方法还可以是将Ge离子注入到Si衬底中一定深度，随后退火使得注入的掺杂离子与衬底反应形成SiGe埋层。埋层与衬底1表面的距离也即埋层深度，依照沟道区应力分布需要而通过控制外延或者注入工艺参数而设定，埋层深度例如是10 ~ 30nm。

通过LPCVD、PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等常规方法，在衬底1上依次沉积栅极绝缘层2A、栅极导电层2B，并随后刻蚀形成栅极堆叠结构2A/2B。在前栅工艺中，栅极堆叠结构将一直保留，栅极绝缘层2A是高k材料，包括但不限于氮化物（例如SiN、AlN、TiN）、金属氧化物（主要为副族和镧系金属元素氧化物，例如Al_2O_3、Ta_2O_5、TiO_2、ZnO、ZrO_2、HfO_2、CeO_2、Y_2O_3、La_2O_3）、钙钛矿相氧化物（例如$PbZr_xTi_{1-x}O_3$（PZT）、$Ba_xSr_{1-x}TiO_3$（BST））；栅极导电层2B是金属和/或金属氮化物，其中金属包括Al、Ti、Cu、Mo、

W、Ta，金属氮化物包括TiN、TaN。在后栅工艺中，此时的栅极堆叠结构是假栅极堆叠结构，在后续工艺中将去除，栅极绝缘层2A包括氧化硅、氮氧化硅，栅极导电层2B是多晶硅、非晶硅。层2A厚度例如是1～5nm，层2B厚度例如是10～100nm。

优选地，在衬底1以及栅极堆叠结构2A/2B上通过PECVD、HDPCVD等常规方法沉积氮化硅、氮氧化硅、类金刚石无定形碳（DLC）等介质材料并刻蚀形成栅极侧墙3。

执行漏区离子注入，在栅极堆叠结构2A/2B一侧（左侧或者右侧均可）的衬底1中形成具有第一掺杂类型的漏区1D，例如为n+的漏区。掺杂离子的种类可以是P、As、N等，掺杂剂量和注入能量依照结深控制以及掺杂浓度需要而合理设定。

可选地，参照图2，在源区与衬底（沟道）之间还形成隧穿介质层。其形成步骤具体包括：刻蚀源区，沉积隧穿介质薄膜。具体地，光刻/刻蚀栅极堆叠结构2另一侧的衬底1，形成源区沟槽1ST。在源区沟槽1ST中通过LPCVD、PECVD、HDPCVD、MBE、ALD等方法沉积隧穿介质层4，其材质可以是氧化硅、氮化硅、氮氧化硅、高k材料及其组合，优选地为上述多种材料的层叠结构。隧穿介质层4的厚度依照器件性能需要而选定，例如是1～10nm。

参照图3以及图4A至图4B，形成源区1S。

其中图3对应于本发明一个实施例，其中选择性外延生长GeSn合金材料的源区1S。在该步骤中，通过PECVD、HDPCVD、MBE、ALD等方法在源区沟槽1ST中选择性外延生长源区1S，其前驱物中至少包含Ge以及Sn元素，形成的源区1S为GeSn合金材质。通过控制前驱物例如原料气、固体的配比流速以及反应室内压强和温度等工艺参数，可以控制合金层的厚度以及$Ge_{1-x}Sn_x$合金中Sn的含量（原子数目比）。优选地，$0<x<0.3$。优选地，在外延生长GeSn合金时同步进行原位掺杂，使得源区1S具有不同于漏区1D掺杂类型的第二掺杂类型，例如为p+。与之对应的，提供衬底1（构成沟道区）时可以是未掺杂的本征衬底1，也可以是具有轻掺杂的第二掺杂类型，例如p-。

图4A以及图4B示出了本发明另一实施例，其中通过注入前驱物（图4A），之后激光退火处理（图4B），形成GeSn合金的源区1S。首先在源区沟槽1ST中外延生长或者CVD沉积Si、SiGe等与衬底1材质相同的

材料，以用作源区基材。以上这些沉积方法可以是PECVD、HDPCVD、MBE、ALD等。执行掺杂注入，以栅极侧墙3为掩模，在栅极侧墙3一侧的源区1S中注入前驱物，形成前驱物的掺杂区1Sd。

首先执行非晶化离子注入（PAI）。注入能量例如是10～200KeV，注入剂量例如是1×10^{15}～$1\times10^{17}cm^{-2}$。当衬底1及其源区基材1S为Si时，注入离子是Ge。注入的Ge离子破坏了待形成源漏区的衬底1及其源区基材1S表面一定区域（例如距离表面10～20nm）内的晶格，使其非晶化而构成非晶化区（未示出），以利于稍后进一步离子注入、以及退火时反应形成合金。

优选地，非晶化离子注入之前和/或之后，进一步在非晶化区中注入B、Ga、In等杂质离子，以调整源漏区导电类型和浓度。

此外，当衬底1及其源区基材1S为SiGe或者是含有SiGe埋层的Si时（也即衬底本身含有Ge），非晶化注入离子是B、Ga、In等杂质离子，在非晶化的同时也调整源漏区导电类型和浓度，因此不再额外地执行上述调节源漏导电类型和浓度的杂质注入。

非晶化离子注入之后，在非晶化区中注入Sn。注入能量例如是20～200KeV，注入剂量例如是1×10^{15}～$1\times10^{17}cm^{-2}$并优选$1\times10^{16}cm^{-2}$。至此，非晶化区中至少包含了Ge和Sn两种掺杂离子以用作前驱物，从而构成了前驱物的掺杂区1Sd。

此外，也可以在注入Sn之后再注入B、Ga、In等杂质离子。

优选地，在前驱物掺杂区1Sd上形成保护层（未示出）。例如采用PECVD、LPCVD等方法并且降低沉积温度从而形成低温保护层，也即低温沉积保护层，例如低温氧化硅（LTO），沉积温度例如低于400℃以避免此时Ge与Sn提前反应。或者通过旋涂、丝网印刷、喷涂等方法，采用PSG、BPSG等玻璃材料，甚至可以是光刻胶等树脂材料来形成保护层，用于避免稍后的激光处理过度而损坏材料。自然，如果能良好调整激光处理参数，保护层也可以省略。

然后，参照图4B，执行激光快速退火，使得前驱物的掺杂区1Sd中Ge与Sn反应形成GeSn，从而构成GeSn的源区1S。采用激光脉冲照射前驱物掺杂区1Sd，使得至少包含Ge与Sn这两种前驱物的掺杂区1Sd表面快速升温融化并且相互反应，并且在冷却的过程中以相同于衬底1和/或SiGe埋层的晶向结晶，最终形成$Ge_{1-x}Sn_x$合金，其晶格常数大于沟道

材料的晶格常数，沿载流子输运方向引入压应变，提高载流子的迁移率。此外，GeSn合金也可以减小器件的源漏接触电阻。激光快速退火工艺中激光单脉冲时间1ns ~ 1us，脉冲个数为1 ~ 100，能量密度为100mJ/cm^2 ~ 1J/cm^2。调节上述激光脉冲参数，可以控制合金层的厚度以及$Ge_{1-x}Sn_x$合金中Sn的含量（原子数目比）。优选地，$0<x<0.3$。

此后，参照图5，可以继续采用现有的前栅或者后栅工艺，完成MOSFET制造。例如在源漏区1S/1D上再次外延同质或者异质但是均为高迁移率材料的提升源漏区5，在GeSn源漏区1S/1D/5上形成金属硅化物或者金属锗化物的源漏金属化接触层6，以进一步减小源漏接触电阻。在整个器件上沉积低k材料的层间介质层（ILD）7。刻蚀ILD7形成源漏接触孔，直至暴露源漏金属化接触层6，在接触孔中沉积W、Cu、Al、Mo等金属以及TiN、TaN等金属氮化物而形成源漏接触塞8。值得注意的是，虽然图5所示结构中栅极堆叠结构为前栅工艺中平行层叠的栅极绝缘层2A与栅极导电层2B，但是也可以适用于后栅工艺，也即栅极绝缘层2A在栅极沟槽中包围栅极导电层2B的底面以及侧面（图5中未示出）。

由此，依照本发明第一实施例的半导体器件包括衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、衬底中源漏区之间的沟道区，其特征在于源漏区中的源区包括GeSn合金，并且源区的GeSn合金与沟道区之间可选地还包括隧穿介质层。此外，沟道区包括Si或者SiGe。

依照本发明的半导体器件及其制造方法，通过注入前驱物然后激光快速退火，形成了具有窄带隙的GeSn合金，有效提高了TFET的开态电流，在高性能低功耗应用中具有重要应用前景。

尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件，包括衬底、衬底上的栅极堆叠结构、栅极堆叠结构两侧衬底中的源漏区、衬底中源漏区之间的沟道区，其特征在于：源漏区中的源区包括GeSn合金，并且源区的GeSn合金与沟道区之间可选地还包括隧穿介质层。

2. 如权利要求1的半导体器件，其中，沟道区包括Si和/或SiGe。

3. 如权利要求1的半导体器件，其中，通过控制Sn含量来调节GeSn合金的禁带宽度。

4. 如权利要求3的半导体器件，其中，GeSn合金中Sn含量大于0并且小于30％。

5. 如权利要求1的半导体器件，其中，可选地，源漏区上还包括材质相同的提升源漏区。

6. 如权利要求1的半导体器件，其中，可选地，隧穿介质层包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

7. 如权利要求1的半导体器件，其中，源漏区上还包括金属化源漏接触层。

8. 如权利要求1的半导体器件，其中，源区与漏区导电类型不同，沟道区为本征未掺杂的。

9. 一种半导体器件制造方法，包括：

在衬底上形成栅极堆叠结构；

在栅极堆叠结构一侧的衬底中形成漏区；

在栅极堆叠结构另一侧的衬底中形成GeSn材质的源区。

10. 如权利要求9的半导体器件制造方法，其中，通过控制Sn含量来调节GeSn合金的禁带宽度。

11. 如权利要求10的半导体器件制造方法，其中，GeSn合金中Sn含量大于0并且小于30％。

12. 如权利要求9的半导体器件制造方法，其中，形成GeSn材质的源区的方法包括：刻蚀源区的衬底，选择性外延生长、淀积GeSn合金。

13. 如权利要求9的半导体器件制造方法，其中，形成GeSn材质的源区的方法包括：在栅极堆叠结构另一侧的衬底中注入前驱物；激光快速退火，使得前驱物反应形成GeSn合金，构成源区。

14. 如权利要求13的半导体器件制造方法，其中，注入前驱物的步骤进一步包括：

执行非晶化离子注入，在衬底中形成非晶化区；

在非晶化区中注入Sn。

15. 如权利要求14的半导体器件制造方法，其中，非晶化离子注入的离子包括Ge、B、Ga、In及其组合。

16. 如权利要求14的半导体器件制造方法，其中，Sn的注入剂量为$1 \times 10^{15} \sim 1 \times 10^{17} cm^{-2}$。

17. 如权利要求13的半导体器件制造方法，其中，在注入前驱物之后、在激光快速退火之前，在前驱物上形成保护层。

18. 如权利要求13的半导体器件制造方法，其中，激光快速退火工艺中激光单脉冲时间1ns ~ 1us，脉冲个数为1 ~ 100，能量密度为$100mJ/cm^2 \sim 1J/cm^2$。

19. 如权利要求9的半导体器件制造方法，其中，可选地在源区与沟道之间还形成隧穿介质层，其形成步骤具体包括：刻蚀栅极堆叠结构另一侧的衬底形成源极沟槽，在源极沟槽中沉积隧穿介质薄膜，在隧穿介质层薄膜上形成GeSn合金而构成源区。

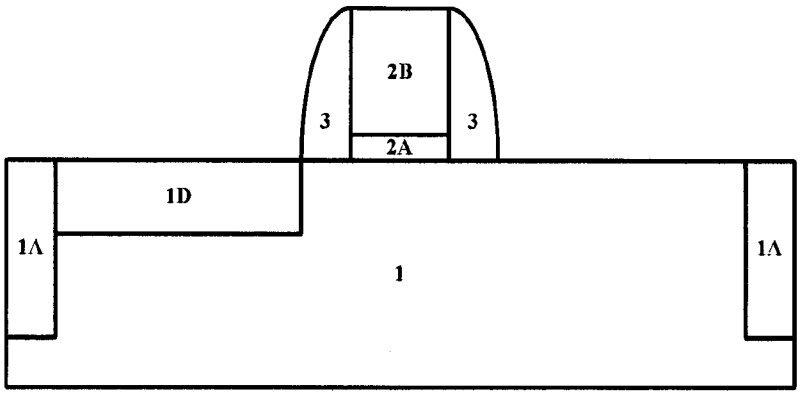


图1

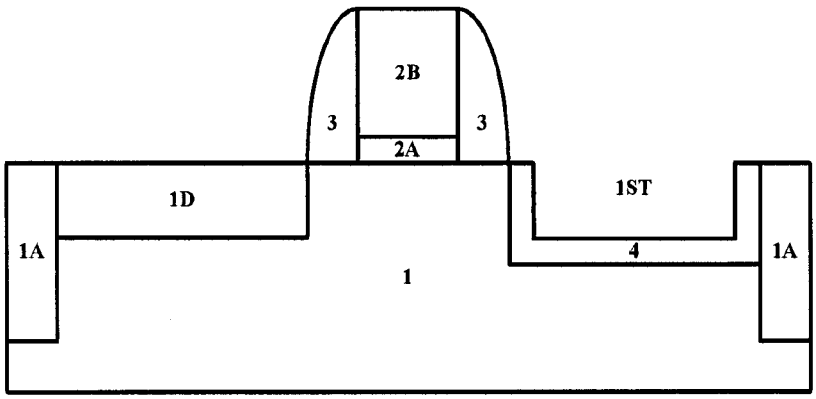


图2

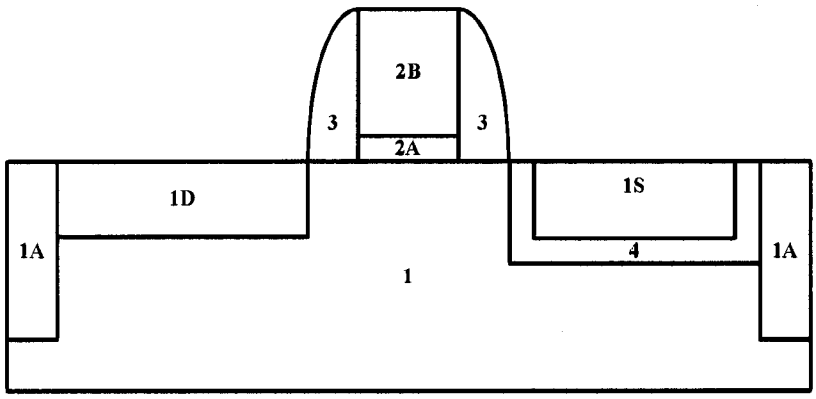


图3

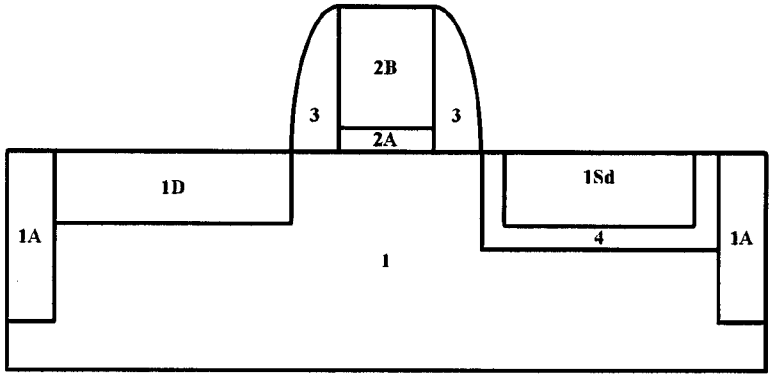

2B
3
3
2A
1D
1Sd
1A
4
1A
1

图4A

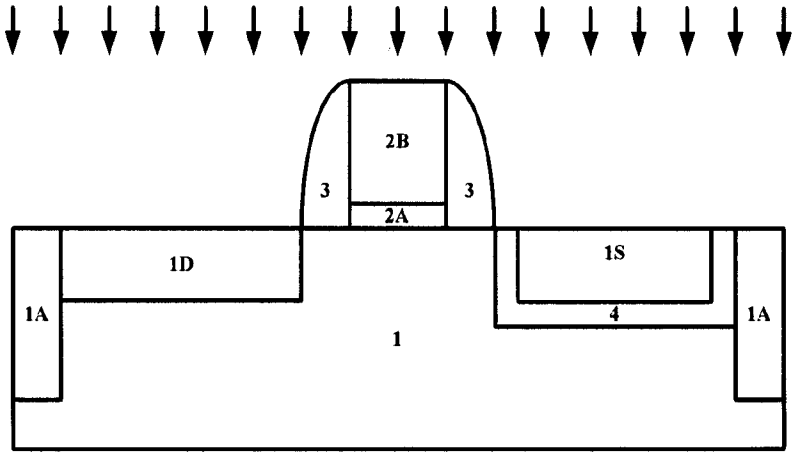

2B
3
3
2A
1D
1S
1A
4
1A
1

图4B

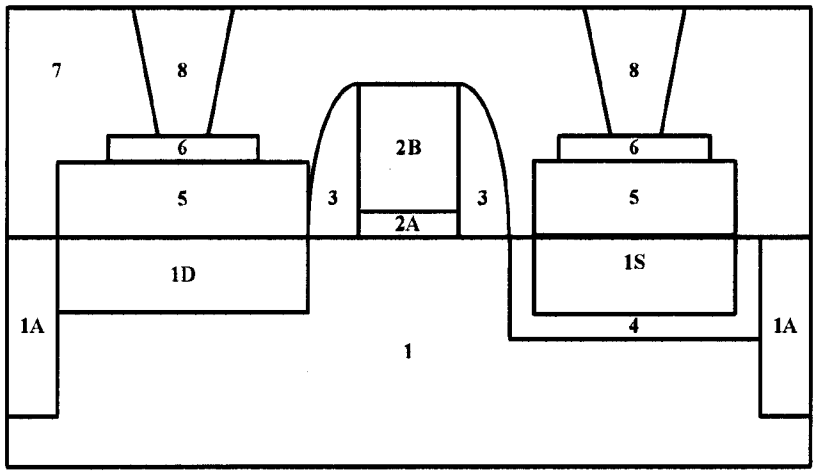

7
8
8
6
6
2B
5
3
3
5
2A
1D
1S
1A
4
1A
1

图5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/001377

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC, INSPEC, WEB of SCIENCE: gesn, source, tunnel+, transistor?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LOO, R. et al. High Quality Ge Virtual Substrates on Si Wafers with Standard STI Patterning. J. Electrochem. Soc. 2010, vol. 157, no. 1, pages H13-H21	1-12, 19
Y		13-18
Y	Wang, G. H. et al. Silicon-Germanium-Tin (SiGeSn) Source and Drain Stressors formed by Sn Implant and Laser Annealing for Strained Silicon-Germanium Channel P-MOSFETs. Electron Devices Meeting, 2007. 2007, pages 131-134	13-18
X	TAKEUCHI, S. et al. $Ge_{1-x}Sn_x$ Stressors for Strained-Ge CMOS. Solid-State Electronics. 2011, vol. 60, pages 53-57	1-11, 19
X	VINCENT, B. et al. Characterization of GeSn materials for future Ge pMOSFETs source/drain stressors. Microelectronic Engineering. 2011, vol. 88, no. 4, pages 342-346	1-11, 19
A	US 8048750 B2 (WU, Z.Q. et al.) 01 November 2011 (01.11.2011) the whole document	1-19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 May 2013 (03.05.2013)	23 May 2013 (23.05.2013)

Name and mailing address of the ISA	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	MA, Zhiyong Telephone No. (86-10) 62414066

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/001377

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 8048750 B2	01.11.2011	US 2009227084 A1	10.09.2009

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/001377

A. CLASSIFICATION OF SUBJECT MATTER:

H01L 29/161 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/001377

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-; H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI,CNPAT,WPI,EPODOC,INSPEC,WEB of SCIENCE:GESN, SOURCE, TUNNEL+, TRANSISTOR?

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	LOO, R.等 High Quality Ge Virtual Substrates on Si Wafers with Standard STI Patterning. J. Electrochem. Soc. 2010, 第 157 卷, 第 1 期, 第 H13-H21 页	1-12,19
Y		13-18
Y	Wang, G. H.等 Silicon-Germanium-Tin (SiGeSn) Source and Drain Stressors formed by Sn Implant and Laser Annealing for Strained Silicon-Germanium Channel P-MOSFETs. Electron Devices Meeting, 2007. 2007, 第 131-134 页	13-18
X	TAKEUCHI, S.等 $Ge_{1-x}Sn_x$ Stressors for Strained-Ge CMOS. Solid-State Electronics. 2011, 第 60 卷, 第 53 - 57 页	1-11,19
X	VINCENT, B.等 Characterization of GeSn materials for future Ge pMOSFETs source/drain stressors. Microelectronic Engineering. 2011, 第 88 卷, 第 4 期, 第 342-346 页	1-11,19
A	US8048750B2 (WU, Z.Q.等) 01.11 月 2011 (01.11.2011) 全文	1-19

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
03. 5 月 2013 (03.05.2013)	**23.5 月 2013 (23.05.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号： (86-10)62019451	受权官员 马志勇 电话号码：(86-10) **62414066**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/001377

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US8048750B2	01.11.2011	US2009227084A1	10.09.2009

国际专利分类(IPC)或国家分类和 IPC 两种分类:

H01L 29/161 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i