

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2021年7月8日(08.07.2021)



(10) 国际公布号  
**WO 2021/135018 A1**

- (51) 国际专利分类号:  
*H03H 9/02* (2006.01)
- (21) 国际申请号: PCT/CN2020/088728
- (22) 国际申请日: 2020年5月6日(06.05.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201911424781.6 2019年12月31日(31.12.2019) CN
- (71) 申请人: 诺思(天津)微系统有限责任公司  
(ROFS MICROSYSTEM (TIANJIN) CO., LTD.) [CN/  
CN]; 中国天津市滨海新区开发区西区新业五街27号, Tianjin 300462 (CN)。
- (72) 发明人: 温攀(WEN, Pan); 中国天津市滨海新区  
开发区西区新业五街27号, Tianjin 300462 (CN)。  
庞慰(PANG, Wei); 中国天津市南开区卫津路92号,  
Tianjin 300072 (CN)。张兰月(ZHANG, Lanyue);  
中国天津市滨海新区开发区西区新业五街27号,

Tianjin 300462 (CN)。张巍(ZHANG, Wei); 中国  
天津市滨海新区开发区西区新业五街27号, Tianjin  
300462 (CN)。杨清瑞(YANG, Qingrui); 中国天  
津市南开区卫津路92号, Tianjin 300072 (CN)。  
张孟伦(ZHANG, Menglun); 中国天津市南开区  
卫津路92号, Tianjin 300072 (CN)。

(74) 代理人: 北京金诚同达律师事务所(BEIJING  
JINCHENG TONGDA & NEAL LAW FIRM); 中国  
北京市朝阳区建国门外大街1号国贸大厦  
A座10层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家  
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,  
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,  
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,  
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,  
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,  
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR STRUCTURE HAVING STACKING UNIT AND MANUFACTURING METHOD THEREFORE, AND ELECTRONIC DEVICE

(54) 发明名称: 具有叠置单元的半导体结构及制造方法、电子设备

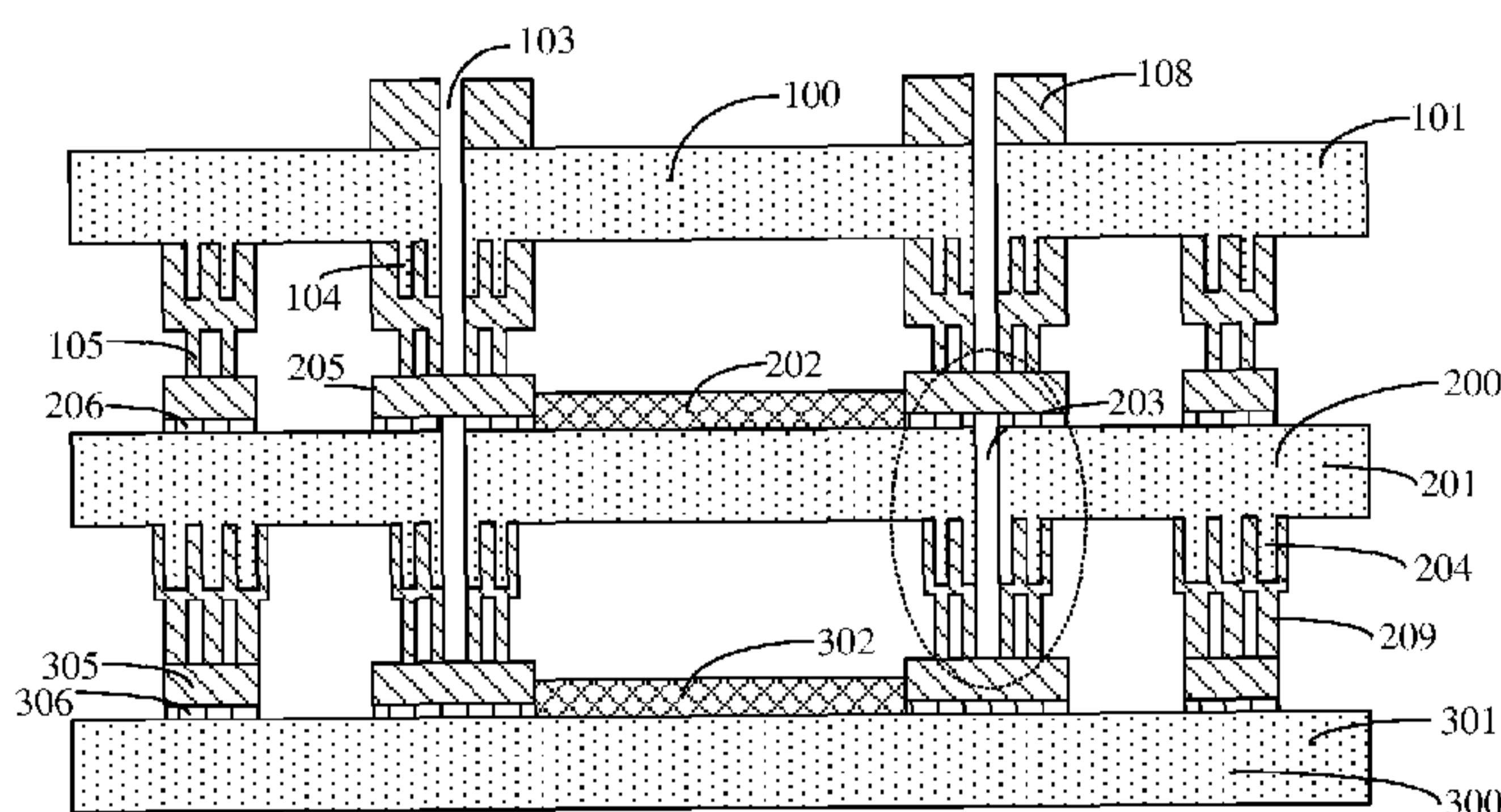


图3

(57) Abstract: The present invention relates to a semiconductor structure having a stacking unit, comprising: a protective layer; and multiple units sequentially stacked on the lower surface of the protective layer in the thickness direction of the protective layer, each unit comprising a substrate. At least one middle unit is located between the protective layer and the lowermost one of the multiple units. The upper surface of the substrate of the middle unit is provided with multiple bonding structures. Each bonding structure comprises a barrier layer and an upper metal bonding layer in order from bottom to top. The material of the barrier layer is different from the material of the substrate where said barrier layer is disposed and the material of the upper metal bonding layer. The middle unit is provided with multiple middle substrate conductive through holes passing through the substrate thereof, the middle substrate conductive through holes pass upward through the barrier layer of the corresponding bonding structure to be electrically connected to the upper metal bonding layer, and the lower ends of the middle substrate conductive through holes are electrically connected to the corresponding unit below the middle unit. The present invention also relates to a manufacturing method for the semiconductor structure having a stacking unit, and an electronic device having the structure.

WO 2021/135018 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, WS, ZA, ZM, ZW。

**(84)** 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

---

**(57) 摘要:** 本发明涉及一种具有叠置单元的半导体结构, 包括: 保护层; 多个单元, 在保护层的下表面沿保护层的厚度方向依次叠置, 每一个单元包括基底, 其中: 位于保护层与所述多个单元中的最下层单元之间的至少一个中间单元, 中间单元的基底的上表面设置有多个键合结构, 每个键合结构从下往上依次包括阻挡层和上金属键合层, 阻挡层的材料不同于其所设置的基底的材料以及上金属键合层的材料; 中间单元具有穿过其基底的多个中间基底导电通孔, 中间基底导电通孔向上穿过对应键合结构的阻挡层而与上金属键合层电连接, 所述中间基底导电通孔的下端与在所述中间单元下方的对应单元电连接。本发明还涉及叠置单元的半导体结构的制造方法及具有该结构的电子设备。

## 具有叠置单元的半导体结构及制造方法、电子设备

### 技术领域

本发明的实施例涉及半导体领域，尤其涉及一种半导体结构及其制造方法，以及一种具有该半导体结构的电子设备。

### 背景技术

随着当今无线通讯技术的飞速发展，小型化便携式终端设备的应用也日益广泛，因而对于高性能、小尺寸的射频前端模块和器件的需求也日益迫切。近年来，以例如为薄膜体声波谐振器(Film Bulk Acoustic Resonator, 简称 FBAR)为基础的滤波器、双工器等滤波器件越来越为市场所青睐。一方面是因为其插入损耗低、过渡特性陡峭、选择性高、功率容量高、抗静电放电(ESD)能力强等优异的电学性能，另一方面也是因为其体积小、易于集成的特点所致。

不过，现实中对于滤波器件的尺寸存在进一步减小的需要。

### 发明内容

为缓解或解决使用现有技术中的上述问题的至少一个方面，提出本发明。

根据本发明的实施例的一个方面，提出了一种具有叠置单元的半导体结构，包括：  
保护层，保护层具有上表面与下表面；

多个单元，在保护层的下表面沿保护层的厚度方向依次叠置，每一个单元包括基底，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

位于所述保护层与所述多个单元中的最下层单元之间的至少一个中间单元，所述中间单元的基底的上表面设置有多个键合结构，每个键合结构从下往上依次包括阻挡层和上金属键合层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

所述中间单元具有穿过其基底的多个中间基底导电通孔，所述中间基底导电通孔向上穿过对应键合结构的阻挡层而与上金属键合层电连接，所述中间基底导电通孔的下端与在所述中间单元下方的对应单元电连接。

本发明的实施例还涉及一种具有叠置单元的半导体结构的制造方法，包括步骤：  
提供保护层，保护层具有上表面与下表面；

提供多个单元，每一个单元包括基底，所述多个单元包括位于所述保护层与所述

多个单元中的最下层单元之间的至少一个中间单元；以及

在保护层的下表面在所述保护层的厚度方向上依次叠置所述多个单元，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

提供中间单元的步骤包括：

在所述中间单元的基底的上表面设置多个键合结构，所述键合结构从下往上依次包括阻挡层和上键合金属层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

在所述中间单元的基底的下表面设置多个凸起结构，所述凸起结构经由减薄所述中间单元的基底形成，每一个凸起结构与所述键合结构对应且在中间单元的基底的厚度方向上对齐；

在所述中间单元的基底的下表面利用第一刻蚀工艺执行第一刻蚀步骤，以形成穿过所述凸起结构以及所述中间单元的基底而止于对应阻挡层的中间基底通孔；和

在所述中间单元的基底的下表面利用不同于第二刻蚀工艺执行第二刻蚀步骤，以使得所述中间基底通孔进一步延伸穿过对应阻挡层而止于上键合金属层，

且其中：所述方法还包括步骤

利用导电金属填充中间基底通孔以形成中间基底导电通孔。

本发明的实施例还涉及一种电子设备，具有上述的半导体结构。

## 附图说明

以下描述与附图可以更好地帮助理解本发明所公布的各种实施例中的这些和其他特点、优点，图中相同的附图标记始终表示相同的部件，其中：

图 1A-1D 为说明已知叠层设计中，在已有孔的基础上进一步加工基底背面的凸起结构时，光刻胶不能完全填充保护通孔侧壁的半导体结构的示意性剖视图，其中示出了光刻胶部分进入到通孔内及孔边缘因无光刻胶保护而出现被刻蚀的局部放大图；图 2A-2B 为说明先加工衬底背面的对准结构，后加工通孔结构时，所导致的孔的深度不易控制的示意图。

图 3 为根据本发明的一个示例性实施例的声波双工器的示意性剖视图；

图 3A 为图 3 中的画圈部分的局部放大示意图；

图 4A 为示出图 3 中的声波双工器制造过程的示意性剖视图，其中示出了基底上还未刻蚀出通孔的状态，且保护层下方仅叠置了一个器件单元；

图 4B 为示出图 3 中的声波双工器制造过程的示意性剖视图，其中示出了该一个器件单元的基底上已经刻蚀出通孔的状态；

图 5A-5D 为示例性示出了图 3 中的通孔形成的制造过程的示意图；

图 6 为根据本发明的另一个示例性实施例的声波双工器的示意性剖视图，其中导电通孔为从保护层的上表面向下延伸而与最下层的器件单元电连接的一体成型的导电通孔；

图 6A 为图 6 中的画圈部分的放大示意图。

## 具体实施方式

下面通过实施例，并结合附图，对本发明的技术方案作进一步具体的说明。在说明书中，相同或相似的附图标号指示相同或相似的部件。下述参照附图对本发明实施方式的说明旨在对本发明的总体发明构思进行解释，而不应当理解为对本发明的一种限制。

已有半导体晶圆级封装为一个盖帽层（保护层）与一个晶圆直接对准键合，其中盖帽层制作通孔，对键合后的盖帽层进行磨片减薄，使得通孔露出，再在通孔中填充导电金属，以电连接至基底中的导电焊盘，实现基底上器件的外部电连接。

由于多次键合需要在盖帽层及叠置基底上均刻蚀通孔结构，所以键合后器件基底背面通孔的开孔技术可实现多个晶圆与外部电连接。

对于多层键合结构，需要中间基底也具有通孔才能让每层器件实现与外部电连接，通常也可以对键合后的中间基底进行磨片从而使中间基底侧的通孔露出，如图 1A 所示。但为了对准，需要在键合好的基底 201 背面制作凸起结构，例如参见图 1B 中的 204。对已经带通孔的键合后基底磨片后基底背面会露出通孔，若在形成通孔后，再制备凸起结构 204 工艺难度会较大，因为凸起结构环绕孔布置，理想情况下在刻蚀凸起结构时，需要用光刻胶将孔完全盖住，才能保证通孔内不被刻蚀而破坏侧壁形貌，进而容易导致后续在孔中填充导电金属时产生断裂，使得电学接触不良，增大损耗，或更严重的无法实现电学导通使成品良率降低。

而由于该已有通孔具有较大的深宽比，因此在旋涂光刻胶后加热烘烤时，通孔内留有的空气会受热膨胀导致通孔表面的光刻胶塌陷从而局部附着在孔内壁上，如图 1C 中的放大图所示情形，即光刻胶 207 进入到通孔内，无法完全覆盖通孔侧壁。因此，在进一步的刻蚀工艺中，未被光刻胶覆盖的区域也会被刻蚀，从而导致通孔形貌异常，如图 1D 所示。

本发明在提供叠层布置的技术方案的基础上，进一步提出一种背面制作通孔的方法。在现有结构基础上，即已有半导体晶圆级封装为一个盖帽层（保护层）与一个晶圆直接对准键合，且没有在中基底上刻蚀出孔结构。因此，可以先在中基底的背面刻蚀出凸起结构 204，如图 2A 所示，再在 204 结构的中心刻蚀出通孔，此时，由于刻蚀气体对硅衬底 201 与金属层 205 的选择性不大，因此，会导致无法控制孔的深度，且由于刻蚀的不均一性，会导致整片衬底上不同区域的孔的深度不一，如图 2B 所示。因此，在本发明中为了解决这一问题，而在金属层 205 与衬底 201 之间预置了一定厚

度的刻蚀阻挡层，如图 3 中所示 206 层，使得刻蚀衬底通孔时，不会刻蚀阻挡层，进一步更换刻蚀气体刻蚀阻挡层时，不会刻蚀金属层。此种方法不仅可以避免图 1 所示的光刻胶塌胶异常情况，而且能够避免图 2 所示的孔深无法控制问题，在制作出目标凸起结构的同时制作出用于电连接的良好通孔结构，以便进行基底的多次键合。相应的，也提出了一种叠层布置的半导体结构。

在本发明中，以声波滤波器为例说明半导体结构。声波滤波器可采用多基底的方式，进行垂直方向电连接，可以降低滤波器、双工器、四工器等面积达 30% 以上。作为滤波器基础的谐振器将不受同一基底上的工艺限制，从而提升滤波器的插损性能。

本发明中，可以将一个滤波器的多个谐振器放置在二个或更多基底上，并通过电学通孔引线和金属键合的方式将多个谐振器连接而形成滤波器。在本发明中，也可以将多个滤波器放置在二个或更多的基底上，并通过电学通孔引线和金属键合的方式将多个滤波器组成多工滤波器或其他器件。

在本发明中，整体对外的电学输入输出还可以均在作为半导体结构的最顶层的保护层 101（后面提及）的上表面，相应的半导体结构的下表面不需要设置起电学引线作用的通孔，例如在图 3 中，位于半导体结构的下侧的基底 300 并未设置导电通孔，导电通孔以及导电焊盘（pad）108 设置在保护层 101 的上表面。

相邻基底之间相互键合的金属可以有两种作用，一是保证电学连接，二是保证密封性，在图中，仅示出了起到电学连接作用的金属键合结构。

在本发明中，以保护层 101 作为半导体结构的最上层基底。例如，在图中，在半导体结构中，各个基底朝上的表面为上表面，各个基底朝下的表面为下表面。

图 3 为根据本发明的一个示例性实施例的声波双工器的示意性剖视图，图 3A 为图 3 中的画圈部分的局部放大示意图；图 4A 为示出图 3 中的声波双工器制造过程的示意性剖视图，其中示出了基底上还未刻蚀出通孔的状态，且保护层下方仅叠置了一个器件单元；图 4B 为示出图 3 中的声波双工器制造过程的示意性剖视图，其中示出了该一个器件单元的基底上已经刻蚀出通孔的状态；图 5A-5D 为示例性示出了图 4B 中的通孔形成的制造过程的示意图；图 6 为根据本发明的另一个示例性实施例的声波双工器的示意性剖视图，其中导电通孔为从保护层的上表面向下延伸而与最下层的器件单元电连接的一体成型的导电通孔，图 6A 为图 6 中的画圈部分的放大示意图。以上附图中，各附图标记表示的部件如下：

100：保护层或盖帽层，其上可设置焊盘（pad）。

101：基底，其构成保护层，可选材料为单晶硅、砷化镓、蓝宝石、石英等。

103 保护层通孔或保护层导电通孔。在本发明中，通孔内设置导电金属即形成导电通孔，材料可选钼、钎、金、铝、镁、钨、铜，钛、铌、钽、铬或以上金属的复合或其合金等。

104: 导电凸起, 设置于基底 101 的下表面, 与下面的键合金属层键合。

105: 键合增强结构, 其设置于凸起结构的金属键合层上, 可以为凹凸结构。

201: 第一基底, 可选材料为单晶硅、砷化镓、蓝宝石、石英等。

301: 第二基底, 可选材料为单晶硅、砷化镓、蓝宝石、石英等。

200: 第一器件单元, 例如为设置在第一基底的上表面的单个声波谐振器或多个声波谐振器电学连接结构。

202: 第一器件或器件功能区, 设置在第一基底上, 例如为声波谐振器, 包括但不限于: 声学镜, 可为空腔, 也可采用布拉格反射层及其他等效形式; 顶电极(电极引脚), 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等; 压电薄膜层, 可选氮化铝, 氧化锌, PZT 等材料并包含上述材料的一定原子比的稀土元素掺杂材料; 顶电极(电极引脚), 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等。

203: 基底通孔或基底导电通孔。

204: 凸起结构, 设置于第一基底的下表面。

205: 键合金属层, 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等。

206: 阻挡层, 材料可选氮化铝, 氮化硅, 氧化硅, 二氧化硅。

207: 光刻胶。

209: 键合金属层, 覆盖凸起结构, 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等。

210: 键合层通孔。

300: 第二器件单元, 例如为设置在第二基底的上表面的单个声波谐振器或多个声波谐振器电学连接结构。

302: 第二器件或器件功能, 设置在第二基底上, 例如为声波谐振器, 包括但不限于: 声学镜, 可为空腔, 也可采用布拉格反射层及其他等效形式; 底电极(电极引脚), 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等; 压电薄膜层, 可选氮化铝, 氧化锌, PZT 等材料并包含上述材料的一定原子比的稀土元素掺杂材料; 顶电极(电极引脚), 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等。

305: 键合金属层, 材料可选钼、钽、金、铝、镁、钨、铜, 钛、铌、钽、钨、铬或以上金属的复合或其合金等。

306: 器件介质支撑层, 材料可选氮化铝, 氮化硅, 氧化硅, 二氧化硅。

在本发明中, 基底的下表面与单个声波谐振器或多个声波谐振器电学连接结构所

在的基底的上表面，在基底的厚度方向上分别为基底的上侧面和下侧面。

在本发明的图 3-图 6A 的示例中，在制作凸起结构之前，不在基底上设置通孔。

在图 3 中，示出了穿过保护层 101 与第一基底 201 上的器件电连接的保护层通孔 103，穿过第一基底而与第二基底 301 上的键合结构电连接的导电通孔 203。如图 6 所示，通孔 203 和 103 可以直接相通，其中经过了键合金属通孔 210。

如图 3 和 6 所示，在保护层 101 的下表面在保护层通孔 103 的下方设置有保护层键合结构（即导电凸起 104）；在第一基底 201 的上表面设置有键合结构，该键合结构包括键合金属层 205；在第二基底 301 的上表面设置有金属键合层 305。在保护层 101、第一基底 201 和第二基底 301 叠置时，相应的键合结构彼此键合。

如图 3 和 6 所示，导电通孔 103 穿过对应的键合结构直至与对应基底（导电通孔所要电连接的单元所在的基底）上的键合结构电连接。换言之，如本领域技术人员能够理解的，相邻层（包括保护层与单元层之间以及单元层之间）的键合经由相邻层之间的键合结构实现，此外，相邻层之间设置的连接通孔可以由键合结构形成。

如图 1 所示，导电通孔的上端开口于或者位于保护层 101 的上表面。如图 3 和 6 所示，导电焊盘 108 在保护层 101 的上表面与导电通孔的上端电连接。

此外，从图 3-6A 可以看出：

位于保护层或保护层基底 101 与第二基底 301 之间的中间器件单元 200，其第一基底 201 的上表面设置有多个键合结构，每个键合结构从下往上依次包括阻挡层 206 和第一金属键合层 205，阻挡层的材料不同于其所设置的第一基底 201 的材料以及金属键合层 205 的材料；且

第一器件单元 200 具有穿过第一基底 201 的多个中间基底导电通孔 203，中间基底导电通孔 203 向上穿过对应键合结构的阻挡层 206 而与金属键合层 205 电连接，中间基底导电通孔 203 的下端则与在第一器件单元下方的第二器件单元电连接。

在图 3-6A 中，在进一步的实施例中，保护层 101 与其他器件单元均构成各自的层，相邻层之间以彼此相对的金属键合层彼此键合的方式叠置；且基底导电通孔 203 连接第一基底 201 上下两侧的金属键合层 205 和 305。

如图 3-6A 所示，每一个中间单元的基底的下表面设置有与所述基底一体形成的向下凸出的多个凸起结构 204，以及覆盖所述凸起结构 204 的金属键合层 209，每个凸起结构 204 与所述键合结构对应且在第一器件单元 200 的第一基底的厚度方向上对齐。如图 3 所示，基底导电通孔 203 向下穿过对应凸起结构 204 而与覆盖凸起结构 204 的金属键合层 209 彼此电连接。

在进一步的实施例中，基底导电通孔 203 进一步穿过覆盖凸起结构 204 的金属键合层 209，从而可以抵达第二器件单元 300 上的键合金属层 305。

基底导电通孔与保护层以及各器件层的连接关系可以如下：

基底导电通孔 203 向上延伸穿过金属键合层 205 而与保护层 101 中设置的对应保护层导电通孔 103 同轴且电连通从而形成一体的导电通孔结构；或者

基底导电通孔 203 向上延伸穿过金属键合层 205 而与位于第一器件单元 200 上方的其他中间器件单元（在第一器件单元与保护层之间还设置有其他器件单元的情况下）中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

基底导电通孔 203 向下延伸而与位于第一器件单元 200 下方的其他中间单元（在第一器件单元 200 与第二器件单元 300 之间还设置有其他器件单元的情况下）中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

基底导电通孔 203 向下延伸而与位于中间单元下方的其他中间单元（在第一器件单元 200 与第二器件单元 300 之间还设置有其他器件单元的情况下）中设置的对应导电通孔同轴且电连通，以及向上延伸而与其他中间器件单元（在第一器件单元与保护层之间还设置有其他器件单元的情况下）或保护层中设置的对应导电通孔同轴且电连通，从而形成一体的导电通孔结构。

如图 3 所示，保护层的上表面设置有与导电通孔电连接的导电焊盘 108。

在可选的实施例中，上述一体的导电通孔结构内的导电柱为一体成型导电柱。在进一步可选的实施例中，基于一次性填充成型，通孔中的导电金属柱的壁厚总体上从上而下逐渐降低，即所述一体成型导电柱为壁厚从上到下逐渐变细的导电柱。

在本发明的一个示例中，可以利用电镀工艺一次性使保护层 101 的导电通孔 103 及第二基底 201 的导电通孔 203 中形成有效电连接（即形成导电通孔）。此一次性填充导电通孔，可有效解决或缓解导电通孔单独填充时带来的第二次键合效果不佳、密封性差的问题，同时电学导通性能更佳，也节省了工艺步骤。可以在在通孔中填充导电金属后，形成导电焊盘 108。

在本发明中，导电柱一体成型表示导电柱基于一次填充导电材料而一体形成，而非两个导电通孔分别填充后、再执行键合操作而使得两个导电通孔导通。因为导电柱为一体成型，所以在本发明中，如上所述的，导电柱不存在所谓的因为键合操作而导致的两次金属填充接触处易形成孔洞、虚连接、沾污缺陷等问题。

如图 6 所示，上述一体的导电通孔结构包括自保护层的导电通孔 103 向下延伸而与最下层的器件单元电连接的一体的导电通孔结构。

下面参照附图 4A 和 4B 以及附图 5A-5D，示例性说明采用垂直叠层工艺形成声波双工器的方法。

如图 4A 所示，可以先形成图 4A 所示的结构，其中：第二基底 201 的下表面设置有凸起结构 204，但是并未设置穿过其的通孔。在图 4A 中，保护层 101 具有穿过其的保护层通孔 103，以及位于下表面的起到键合作用的导电凸起 104。第二基底的上表面设置有阻挡层 206 以及设置在阻挡层 206 上方的键合金属层 205。

如图 4B 所示，在图 4A 的基础上，已经形成了通孔 203，其穿过了凸起结构 204 以及第一基底 201 和阻挡层 206 而与键合金属层 205 电连接。

图 5A-5D 为示例性示出了图 4B 中的通孔形成的制造过程的示意图，下面参照附

图具体描述。

如图 5A 示，首先在图 3 所示的凸起结构上设置光刻胶 207，并留出对应于通孔 203 的开口。

如图 5B 所示，在图 5A 的基础上，使用蚀刻的工艺执行第一次刻蚀，获得图 5B 中的通孔 203，然后移除光刻胶而获得对应于图 5B 的结构。不过，在图 5B 中，通孔 203 止于阻挡层 206。如能够理解的，在此第一次刻蚀中所选用的刻蚀剂基本不对阻挡层 206 起作用但是对凸起结构有效。例如，在基底为硅的情况下，采用  $\text{SF}_6$  和  $\text{C}_4\text{F}_8$  分别作为刻蚀气体和钝化保护气体来在凸起结构和基底 201 中刻蚀出通孔 203。

如图 5C 所示，在图 5B 的基础上，利用光刻胶，使用蚀刻工艺执行第二次刻蚀，获得如图 5C 中所示的结构，其中，阻挡层 206 被刻蚀，从而通孔 203 穿过阻挡层 206。如能够理解的，在此第二次刻蚀中所选用的刻蚀剂基本不对凸起结构起作用但是对阻挡层有效。例如在基底为硅，阻挡层为氮化铝的情况下，可以使用  $\text{Cl}_2$  和  $\text{BCL}_3$  分别作为刻蚀气体和钝化保护气体，且利用键合金属层 205 作为刻蚀阻挡层，将阻挡层 206 刻蚀穿。

如图 5D 所示，在图 5C 的结构的基础上，移除光刻胶。

最后，采用金属填充通孔（未示出），并设置键合金属层 209，如图 3A 所示。

之后，将第二器件单元 300 与图 4B 中的结构键合连接，获得例如为图 3 和 3A 所示的结构。

如前面已经有涉及的，虽然在本发明的示例中，以保护层和两个器件单元层为例进行说明，但是本发明不限于此，例如，可以设置更多的叠置的器件单元层。带有背面通孔结构的器件单元，例如第二器件单元，可以与第三个器件单元进行键合，以此类推实现多次键合而获得更多叠层的结构。

此外，在图 3 所示的示例中，第一基底的通孔 203 与保护层 101 的通孔 203 并未相通。但是本发明不限于此。图 6 为根据本发明的另一个示例性实施例的声波双工器的示意性剖视图，其中导电通孔为从保护层的上表面向下延伸而与最下层的器件单元电连接的一体成型的导电通孔。在图 6 中，键合金属层 205 也设置有通孔 201，该通孔 210 连通通孔 103 与通孔 203。可以通过光刻刻蚀或剥离工艺刻蚀出通孔 210，通孔 210 比通孔 103 的通孔略大，方便进行键合对准。

在本发明中，可以通过溅射蒸发等工艺在基底的凸起结构上制作出键合金属层，此时键合金属层也具有凸结构，此种结构便于键合连接。

在本发明中，在将第二器件单元 300 键合连接到第一器件单元 200，从而完成二次键合后，可以对保护层 101 背面进行磨片减薄，露出通孔 103，通过电镀填充该通孔 103，再通过溅射蒸发制作导电焊盘 108，以完成例如图 3 和图 6 所示的整个半导体器件的制备。

传统方法中，增加一个相同的滤波器，则整体面积要大于原来的两倍。而采用垂直层叠的方法可以在不增加面积的情况下增加功率容量。例如参见图 3 和 6，因第二器件单元的导电焊盘与第一器件单元的导电焊盘共用。因此在如图 3 和 6 的方式叠置两个滤波器的情况下，其面积没有变化，同时功率容量增加到约 2 倍。

相应的，如果四个相同的滤波器并联，因所有的滤波器共用导电焊盘，所以面积没有变化，同时功率容量增加到约 4 倍。同理，在需求允许的情况下(滤波器高度限制)，采用此方法可以继续增加功率容量。

在可选的实施例中，可以将串联谐振器在中间基底形成，并联谐振器在下层基底形成，因此串并联谐振器各层厚度均可不同，可以独自优化。具体的，同一滤波器的串联谐振器的顶电极、压电层、底电极、钝化层的厚度中的至少一个厚度不同于所述同一滤波器的并联谐振器的顶电极、压电层、底电极、钝化层的厚度中的对应的厚度。需要指出的是，这里的“钝化层”并非表示谐振器一定具有钝化层，而是表示在谐振器具有钝化层的情况下，可以使得串联谐振器的钝化层与并联谐振器的钝化层的厚度不同。

需要指出的是，一个滤波器的所有串联谐振器需要安排在同一基底上，这样可以保证串联谐振器之间的电学阻抗尽量小，避免滤波器插入损耗恶化；而滤波器的并联谐振器则可以安排到不同的基底上。

基于以上，本发明提出了如下技术方案：

1、一种具有叠置单元的半导体结构，包括：

保护层，保护层具有上表面与下表面；

多个单元，在保护层的下表面沿保护层的厚度方向依次叠置，每一个单元包括基底，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

位于所述保护层与所述多个单元中的最下层单元之间的至少一个中间单元，所述中间单元的基底的上表面设置有多键合结构，每个键合结构从下往上依次包括阻挡层和上金属键合层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

所述中间单元具有穿过其基底的多个中间基底导电通孔，所述中间基底导电通孔向上穿过对应键合结构的阻挡层而与上金属键合层电连接，所述中间基底导电通孔的下端与在所述中间单元下方的对应单元电连接。

2、根据 1 所述的半导体结构，其中：

保护层与单元均构成各自的层，相邻层之间以彼此相对的金属键合层彼此键合的方式叠置；且

所述中间基底导电通孔连接中间基底上下两侧的金属键合层。

3、根据 1 或 2 所述的半导体结构，其中：

每一个中间单元的基底的下表面设置有与所述基底一体形成的向下凸出的多个凸起结构，以及覆盖所述凸起结构的下金属键合层，每个凸起结构与所述键合结构对应且在中间单元的基底的厚度方向上对齐；

所述中间基底导电通孔向下穿过对应凸起结构而与覆盖所述凸起结构的下金属键合层彼此电连接。

4、根据 3 所述的半导体结构，其中：

所述中间基底导电通孔进一步穿过覆盖所述凸起结构的下金属键合层。

5、根据 1-4 中任一项所述的半导体结构，其中：

所述中间基底导电通孔向上延伸穿过对应上金属键合层而与保护层中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向上延伸穿过对应上金属键合层而与位于中间单元上方的其他中间单元中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向下延伸而与位于中间单元下方的其他中间单元中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向下延伸而与位于中间单元下方的其他中间单元中设置的对应导电通孔同轴且电连通，以及向上延伸而其他中间器件单元或保护层中设置的对应导电通孔同轴且电连通，从而形成一体的导电通孔结构。

6、根据 5 所述的半导体结构，其中：

所述半导体结构还包括设置在保护层的上表面而与所述一体的导电通孔结构电连接的导电焊盘。

7、根据 6 中任一项所述的半导体结构，其中：

所述一体的导电通孔结构内的导电柱为一体成型导电柱。

8、根据 7 所述的半导体结构，其中：

所述一体成型导电柱为壁厚从上到下逐渐变细的导电柱。

9、根据 5-8 中任一项所述的半导体结构，其中：

所述一体的导电通孔结构包括自保护层的导电通孔向下延伸而与最下层的单元电连接的一体的导电通孔结构。

10、根据 1-9 中任一项所述的半导体结构，其中：

相邻叠置的上单元与下单元的一个单元为包括多个串联谐振器的串联谐振器单元，且相邻叠置的上单元与下单元的另一个单元为包括多个并联谐振器的并联谐振器单元。

11、根据 10 所述的半导体结构，其中：

所述串联谐振器的压电层、顶电极、底电极、钝化层的厚度中的至少一个厚度不同于所述并联谐振器的压电层、顶电极、底电极、钝化层的厚度中的对应的厚度。

12、根据 1-9 中任一项所述的半导体结构，其中：

相邻叠置的上单元与下单元的一个单元为接收滤波器单元，且相邻叠置的上单元与下单元的另一个单元为发射滤波器单元。

13、根据 1-9 中任一项所述的半导体结构，其中：

所述半导体结构包括至少一个滤波器，同一滤波器的所有串联谐振器均布置在一个基底上，所述同一滤波器的并联谐振器布置在不同于所述一个基底的其他基底上；或者

所述半导体结构包括至少一个滤波器，同一滤波器的串联谐振器的顶电极、压电层、底电极、钝化层的厚度中的至少一个厚度不同于所述同一滤波器的并联谐振器的顶电极、压电层、底电极、钝化层的厚度中的对应的厚度。

14、根据 1 所述的半导体结构，其中：

所述阻挡层的材料为氮化铝，氮化硅，氧化硅或二氧化硅。

15、一种具有叠置单元的半导体结构的制造方法，包括步骤：

提供保护层，保护层具有上表面与下表面；

提供多个单元，每一个单元包括基底，所述多个单元包括位于所述保护层与所述多个单元中的最下层单元之间的至少一个中间单元；以及

在保护层的下表面在所述保护层的厚度方向上依次叠置所述多个单元，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

提供中间单元的步骤包括：

在所述中间单元的基底的上表面设置多个键合结构，所述键合结构从下往上依次包括阻挡层和上键合金属层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

在所述中间单元的基底的下表面设置多个凸起结构，所述凸起结构经由减薄所述中间单元的基底形成，每一个凸起结构与所述键合结构对应且在中间单元的基底的厚度方向上对齐；

在所述中间单元的基底的下表面利用第一刻蚀工艺执行第一刻蚀步骤，以形成穿过所述凸起结构以及所述中间单元的基底而止于对应阻挡层的中间基底通孔；

在所述中间单元的基底的下表面利用不同于第二刻蚀工艺执行第二刻蚀步骤，以使得所述中间基底通孔进一步延伸穿过对应阻挡层而止于上键合金属层；

利用导电金属填充中间基底通孔以形成中间基底导电通孔。

16、根据 15 所述的方法，其中：

保护层与单元均构成各自的层，相邻层之间以彼此金属键合的方式叠置；且

所述方法还包括步骤：在所述凸起结构上覆盖凸起结构金属键合层，

其中所述凸起结构金属键合层与对应中间基底导电通孔电连接。

17、根据 16 所述的方法，其中：

在所述中间单元的基底的上侧设置的上键合金属层具有与对应中间基底通孔对齐的键合金属通孔；

在所述中间单元的基底的下侧的凸起结构金属键合层具有与对应中间基底通孔对齐的键合金属通孔。

18、根据 17 所述的方法，其中：

所述中间基底通孔为自所述保护层的上表面向下延伸过至少一个中间单元的一体通孔结构的一部分。

19、根据 18 所述的方法，其中：

所述中间基底通孔为自所述保护层的上表面向下延伸穿过至少一个中间单元而与最下层单元电连接的一体通孔结构的一部分。

20、根据 18 或 19 所述的方法，其中：

利用导电金属填充中间基底通孔的步骤包括：从所述保护层的上表面利用导电金属一次填充所述一体导电通孔结构以形成一体的导电通孔结构。

21、根据 15-20 中任一项所述的方法，其中：

在提供保护层的步骤中，保护层具有从保护层的下表面部分进入其的保护层孔，所述保护层孔与对应的中间基底通孔对齐；

所述方法还包括从保护层的上表面减薄保护层以露出保护层孔，从而保护层孔为保护层通孔。

22、根据 21 所述的方法，其中：

所述方法还包括在保护层的上表面形成导电焊盘，所述导电焊盘与对应的保护层通孔电连接。

23、一种电子设备，包括根据 1-14 中任一项所述的半导体结构或根据 15-22 中任一项所述的方法制造的半导体结构。

在本发明中，半导体结构可以是滤波器，双工器，四工器等。如能理解的，基于单元设置的芯片的不同，半导体结构也可以是其他结构。在本发明中，芯片可以包括半导体器件，如微机电器件、有源或无源半导体器件等。

这里的电子设备，包括但不限于射频前端、滤波放大模块等中间产品，以及手机、WIFI、无人机等终端产品。

尽管已经示出和描述了本发明的实施例，对于本领域的普通技术人员而言，可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行变化，本发明的范围由所附权利要求及其等同物限定。

## 权 利 要 求

1、一种具有叠置单元的半导体结构，包括：

保护层，保护层具有上表面与下表面；

多个单元，在保护层的下表面沿保护层的厚度方向依次叠置，每一个单元包括基底，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

位于所述保护层与所述多个单元中的最下层单元之间的至少一个中间单元，所述中间单元的基底的上表面设置有多键合结构，每个键合结构从下往上依次包括阻挡层和上金属键合层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

所述中间单元具有穿过其基底的多个中间基底导电通孔，所述中间基底导电通孔向上穿过对应键合结构的阻挡层而与上金属键合层电连接，所述中间基底导电通孔的下端与在所述中间单元下方的对应单元电连接。

2、根据权利要求1所述的半导体结构，其中：

保护层与单元均构成各自的层，相邻层之间以彼此相对的金属键合层彼此键合的方式叠置；且

所述中间基底导电通孔连接中间基底上下两侧的金属键合层。

3、根据权利要求1或2所述的半导体结构，其中：

每一个中间单元的基底的下表面设置有与所述基底一体形成的向下凸出的多个凸起结构，以及覆盖所述凸起结构的下金属键合层，每个凸起结构与所述键合结构对应且在中间单元的基底的厚度方向上对齐；

所述中间基底导电通孔向下穿过对应凸起结构而与覆盖所述凸起结构的下金属键合层彼此电连接。

4、根据权利要求3所述的半导体结构，其中：

所述中间基底导电通孔进一步穿过覆盖所述凸起结构的下金属键合层。

5、根据权利要求1-4中任一项所述的半导体结构，其中：

所述中间基底导电通孔向上延伸穿过对应上金属键合层而与保护层中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向上延伸穿过对应上金属键合层而与位于中间单元上方的其他中间单元中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向下延伸而与位于中间单元下方的其他中间单元中设置的对应导电通孔同轴且电连通从而形成一体的导电通孔结构；或者

所述中间基底导电通孔向下延伸而与位于中间单元下方的其他中间单元中设置

的对应导电通孔同轴且电连通，以及向上延伸而与其他中间器件单元或保护层中设置的对应导电通孔同轴且电连通，从而形成一体的导电通孔结构。

6、根据权利要求 5 所述的半导体结构，其中：

所述半导体结构还包括设置在保护层的上表面而与所述一体的导电通孔结构电连接的导电焊盘。

7、根据权利要求 6 中任一项所述的半导体结构，其中：

所述一体的导电通孔结构内的导电柱为一体成型导电柱。

8、根据权利要求 7 所述的半导体结构，其中：

所述一体成型导电柱为壁厚从上到下逐渐变细的导电柱。

9、根据权利要求 5-8 中任一项所述的半导体结构，其中：

所述一体的导电通孔结构包括自保护层的导电通孔向下延伸而与最下层的单元电连接的一体的导电通孔结构。

10、根据权利要求 1-9 中任一项所述的半导体结构，其中：

相邻叠置的上单元与下单元的一个单元为包括多个串联谐振器的串联谐振器单元，且相邻叠置的上单元与下单元的另一个单元为包括多个并联谐振器的并联谐振器单元。

11、根据权利要求 10 所述的半导体结构，其中：

所述串联谐振器的压电层、顶电极、底电极、钝化层的厚度中的至少一个厚度不同于所述并联谐振器的压电层、顶电极、底电极、钝化层的厚度中的对应的厚度。

12、根据权利要求 1-9 中任一项所述的半导体结构，其中：

相邻叠置的上单元与下单元的一个单元为接收滤波器单元，且相邻叠置的上单元与下单元的另一个单元为发射滤波器单元。

13、根据权利要求 1-9 中任一项所述的半导体结构，其中：

所述半导体结构包括至少一个滤波器，同一滤波器的所有串联谐振器均布置在一个基底上，所述同一滤波器的并联谐振器布置在不同于所述一个基底的其他基底上；或者

所述半导体结构包括至少一个滤波器，同一滤波器的串联谐振器的顶电极、压电层、底电极、钝化层的厚度中的至少一个厚度不同于所述同一滤波器的并联谐振器的顶电极、压电层、底电极、钝化层的厚度中的对应的厚度。

14、根据权利要求 1 所述的半导体结构，其中：

所述阻挡层的材料为氮化铝，氮化硅，氧化硅或二氧化硅。

15、一种具有叠置单元的半导体结构的制造方法，包括步骤：

提供保护层，保护层具有上表面与下表面；

提供多个单元，每一个单元包括基底，所述多个单元包括位于所述保护层与所述多个单元中的最下层单元之间的至少一个中间单元；以及

在保护层的下表面在所述保护层的厚度方向上依次叠置所述多个单元，所述多个单元的最上侧单元的基底与保护层之间限定第一容纳空间，相邻叠置的上单元与下单元

元的基底之间限定第二容纳空间，至少一个单元的基底设置有芯片，所述芯片位于对应的容纳空间内，

其中：

提供中间单元的步骤包括：

在所述中间单元的基底的上表面设置多个键合结构，所述键合结构从下往上依次包括阻挡层和上键合金属层，所述阻挡层的材料不同于其所设置的基底的材料以及所述上金属键合层的材料；

在所述中间单元的基底的下表面设置多个凸起结构，所述凸起结构经由减薄所述中间单元的基底形成，每一个凸起结构与所述键合结构对应且在中间单元的基底的厚度方向上对齐；

在所述中间单元的基底的下表面利用第一刻蚀工艺执行第一刻蚀步骤，以形成穿过所述凸起结构以及所述中间单元的基底而止于对应阻挡层的中间基底通孔；和

在所述中间单元的基底的下表面利用不同于第二刻蚀工艺执行第二刻蚀步骤，以使得所述中间基底通孔进一步延伸穿过对应阻挡层而止于上键合金属层，

且其中：所述方法还包括步骤：利用导电金属填充中间基底通孔以形成中间基底导电通孔。

16、根据权利要求 15 所述的方法，其中：

保护层与单元均构成各自的层，相邻层之间以彼此金属键合的方式叠置；且所述方法还包括步骤：在所述凸起结构上覆盖凸起结构金属键合层，其中所述凸起结构金属键合层与对应中间基底导电通孔电连接。

17、根据权利要求 16 所述的方法，其中：

在所述中间单元的基底的上侧设置的上键合金属层具有与对应中间基底通孔对齐的键合金属通孔；

在所述中间单元的基底的下侧的凸起结构金属键合层具有与对应中间基底通孔对齐的键合金属通孔。

18、根据权利要求 17 所述的方法，其中：

所述中间基底通孔为自所述保护层的上表面向下延伸过至少一个中间单元的一体通孔结构的一部分。

19、根据权利要求 18 所述的方法，其中：

所述中间基底通孔为自所述保护层的上表面向下延伸穿过至少一个中间单元而与最下层单元电连接的一体通孔结构的一部分。

20、根据权利要求 18 或 19 所述的方法，其中：

利用导电金属填充中间基底通孔的步骤包括：从所述保护层的上表面利用导电金属一次填充所述一体导电通孔结构以形成一体的导电通孔结构。

21、根据权利要求 15-20 中任一项所述的方法，其中：

在提供保护层的步骤中，保护层具有从保护层的下表面部分进入其的保护层孔，所述保护层孔与对应的中间基底通孔对齐；

所述方法还包括从保护层的上表面减薄保护层以露出保护层孔，从而保护层孔为保护层通孔。

22、根据权利要求 21 所述的方法，其中：

所述方法还包括在保护层的上表面形成导电焊盘，所述导电焊盘与对应的保护层通孔电连接。

23、一种电子设备，包括根据权利要求 1-14 中任一项所述的半导体结构或根据权利要求 15-22 中任一项所述的方法制造的半导体结构。

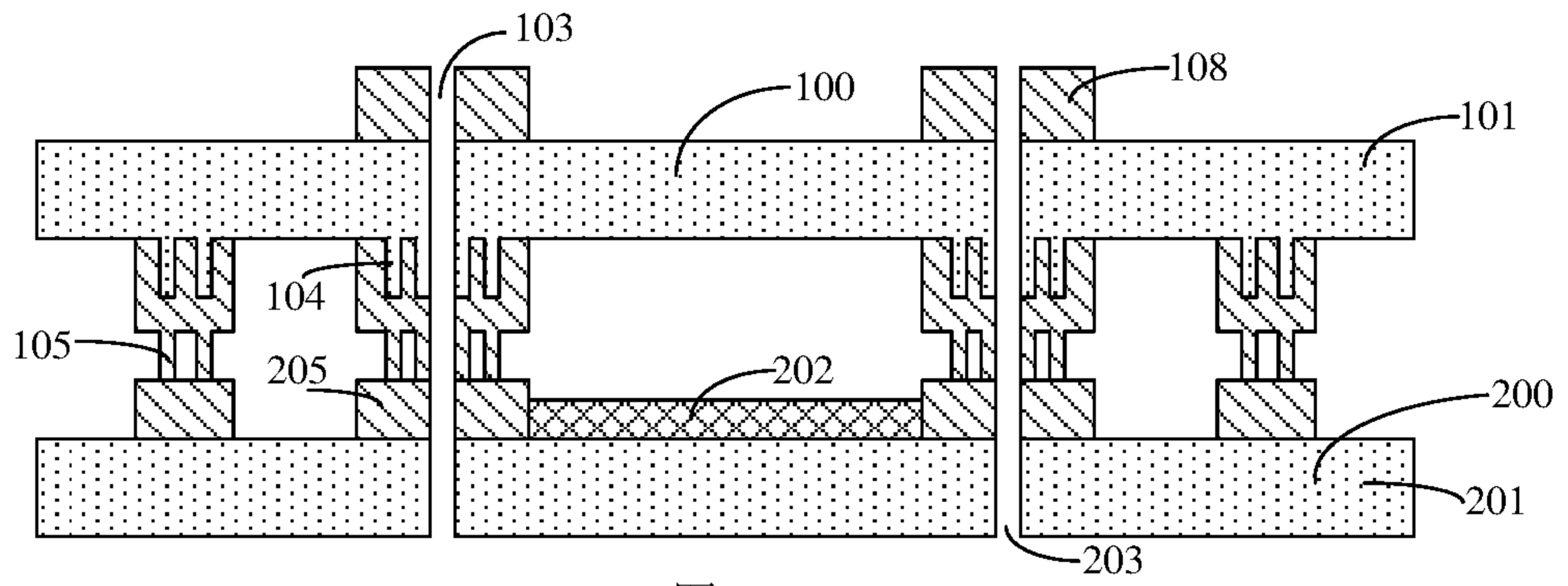


图 1A

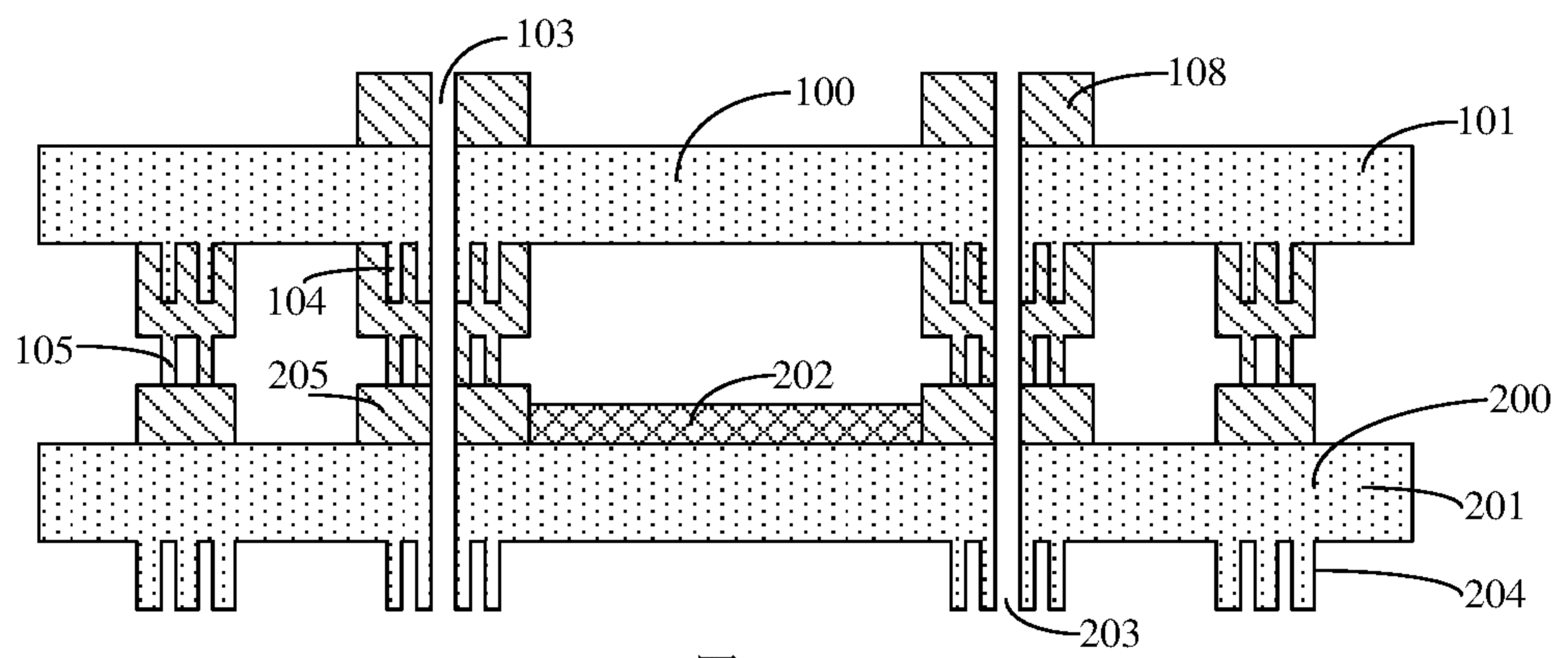


图 1B

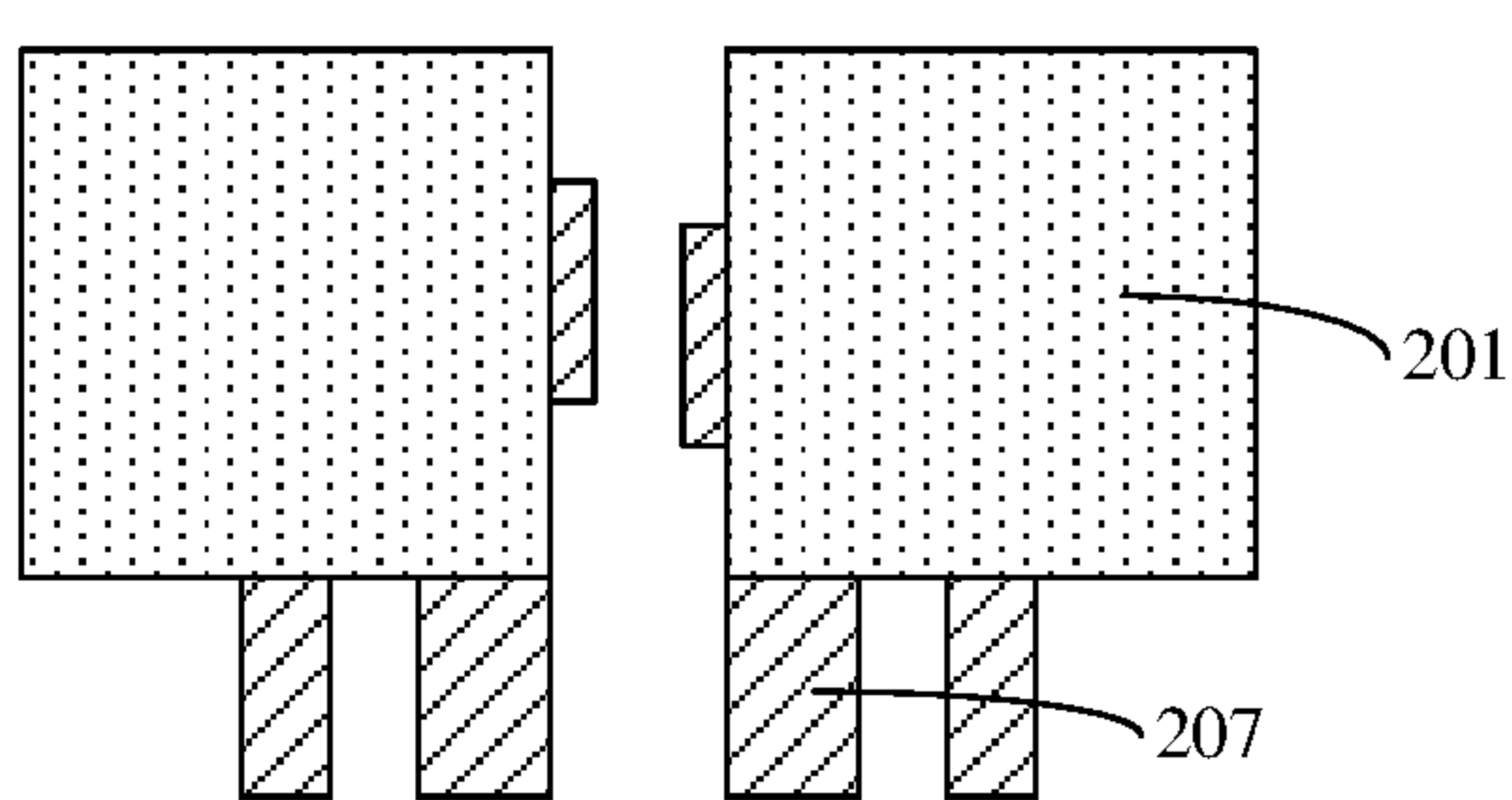


图 1C

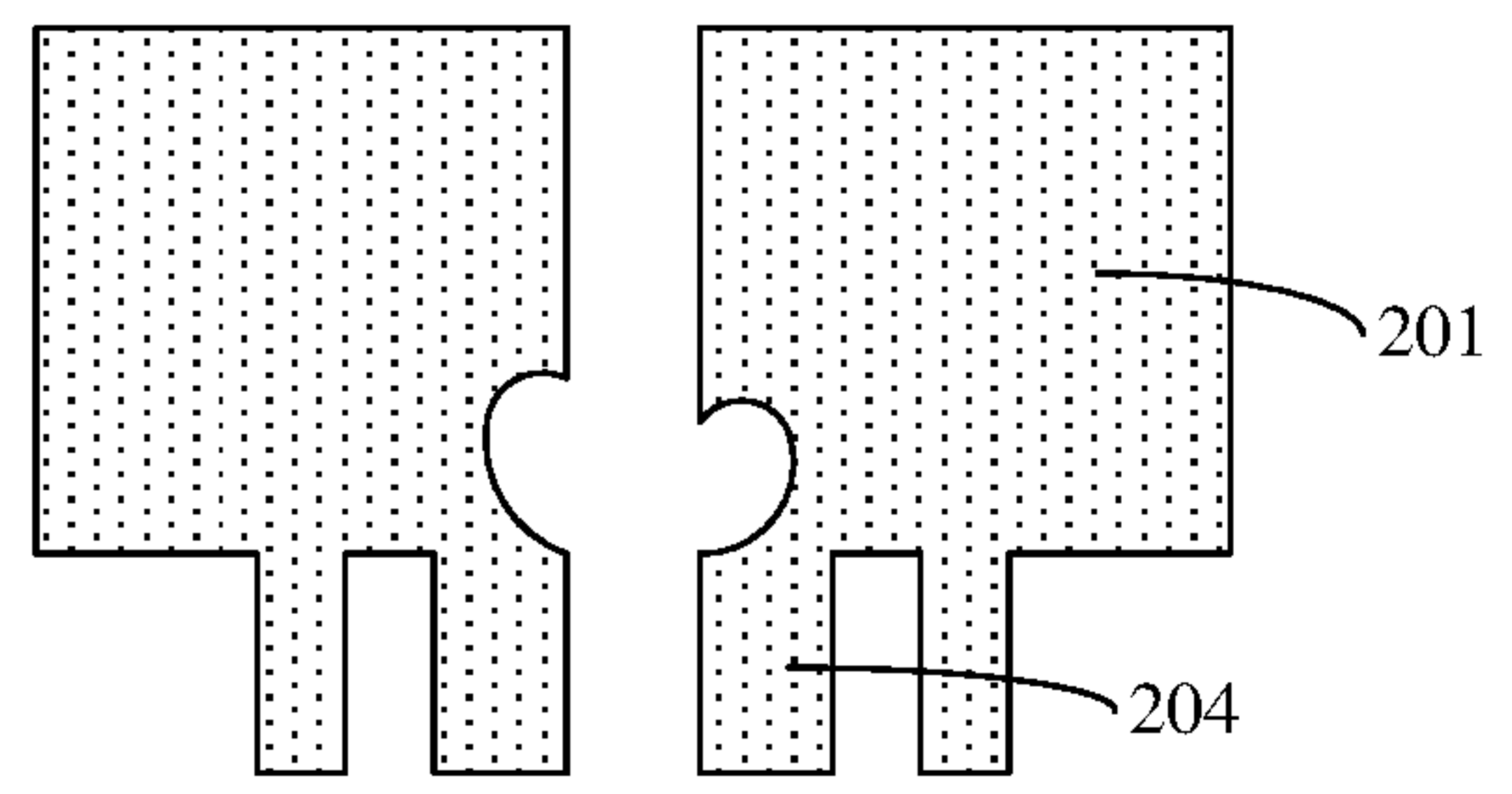


图 1D

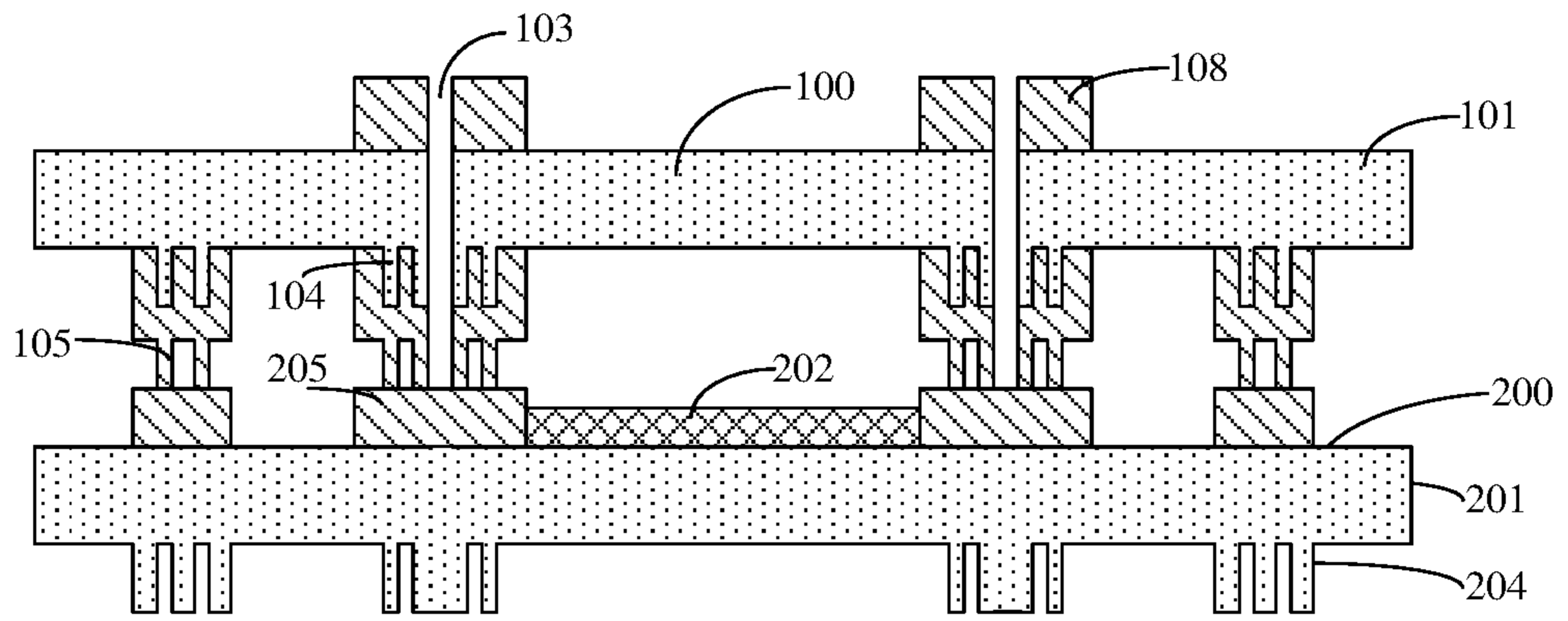


图 2A

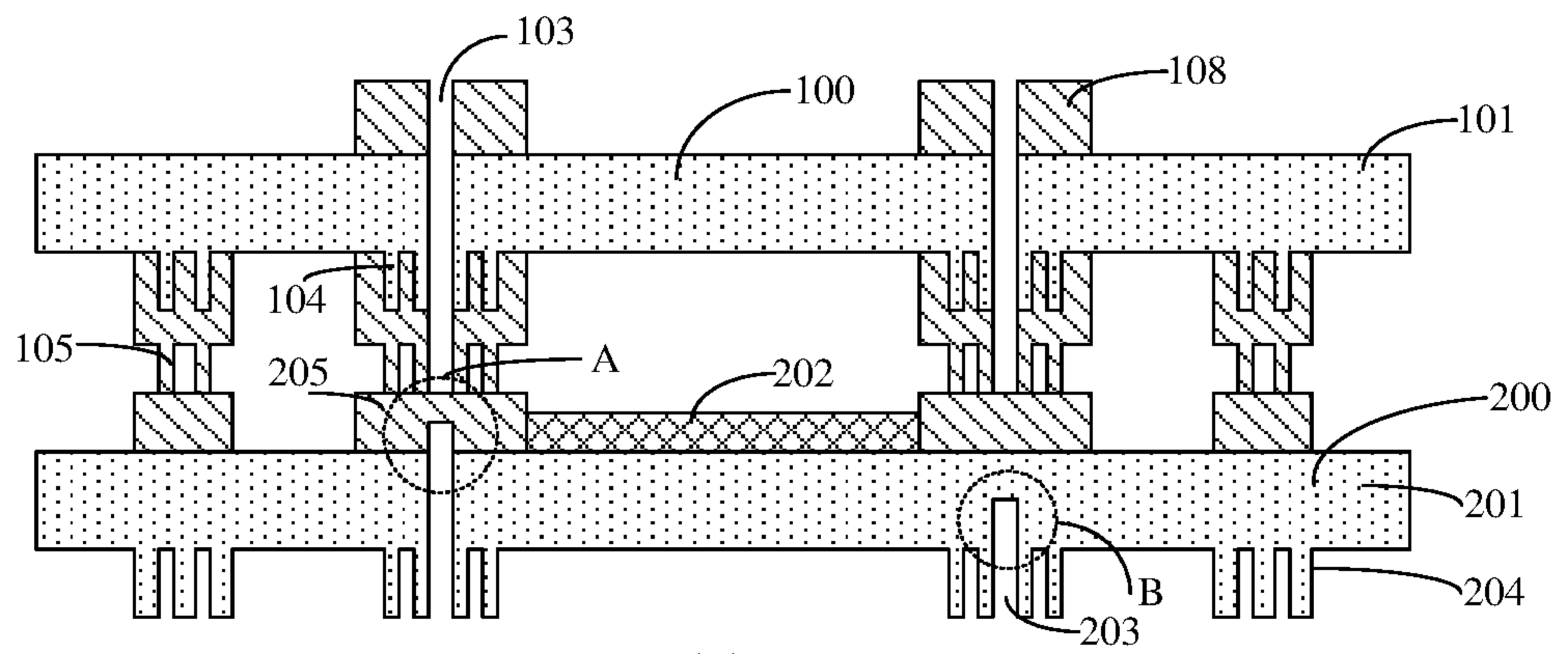


图 2B

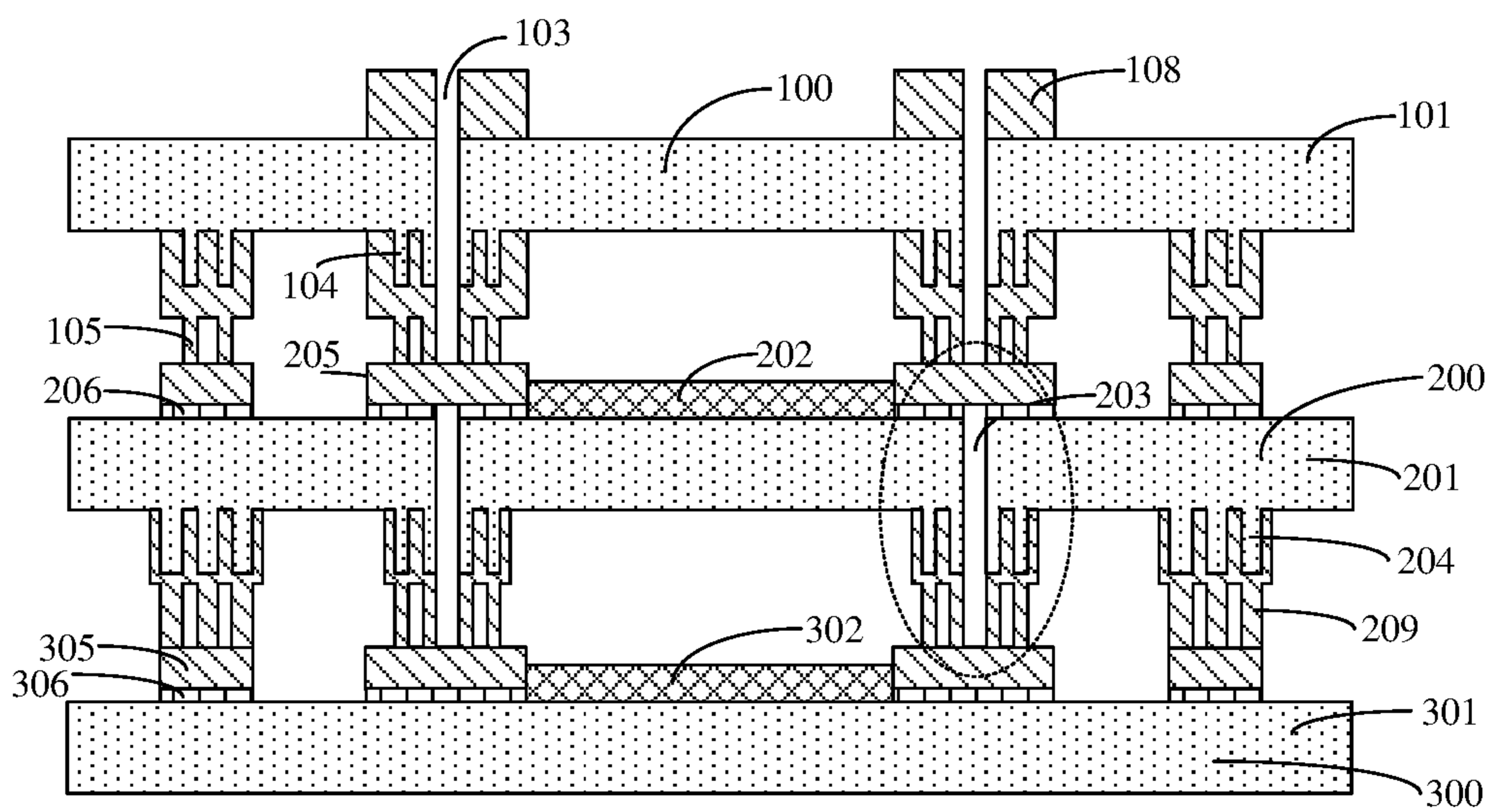


图3

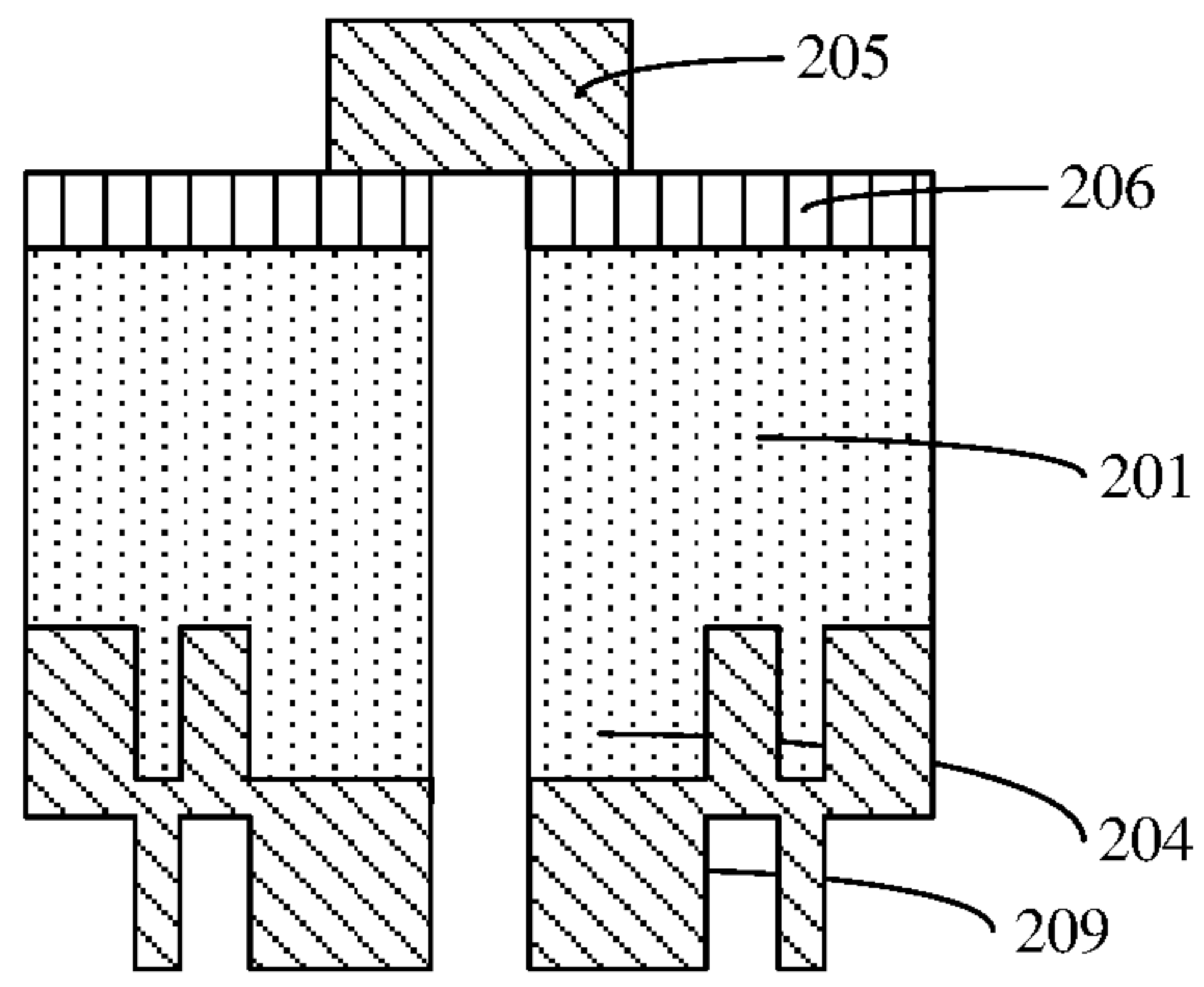


图3A

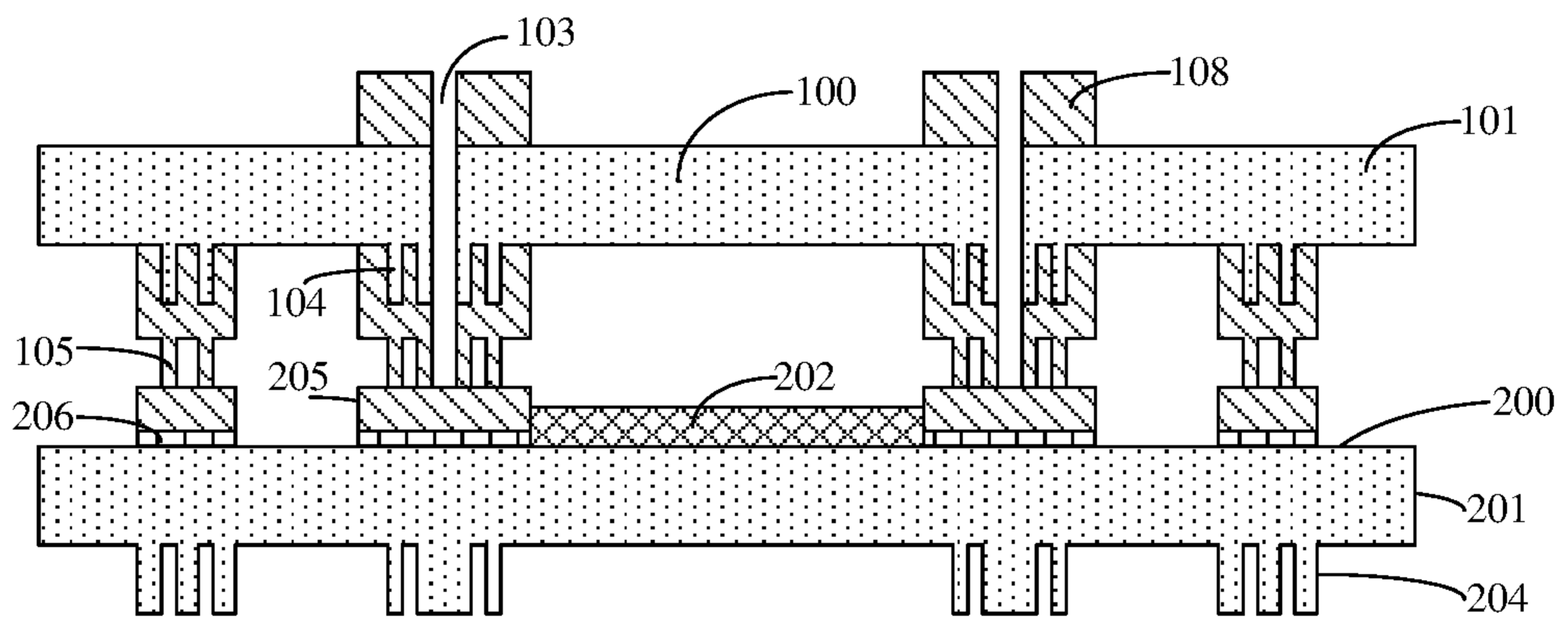


图 4A

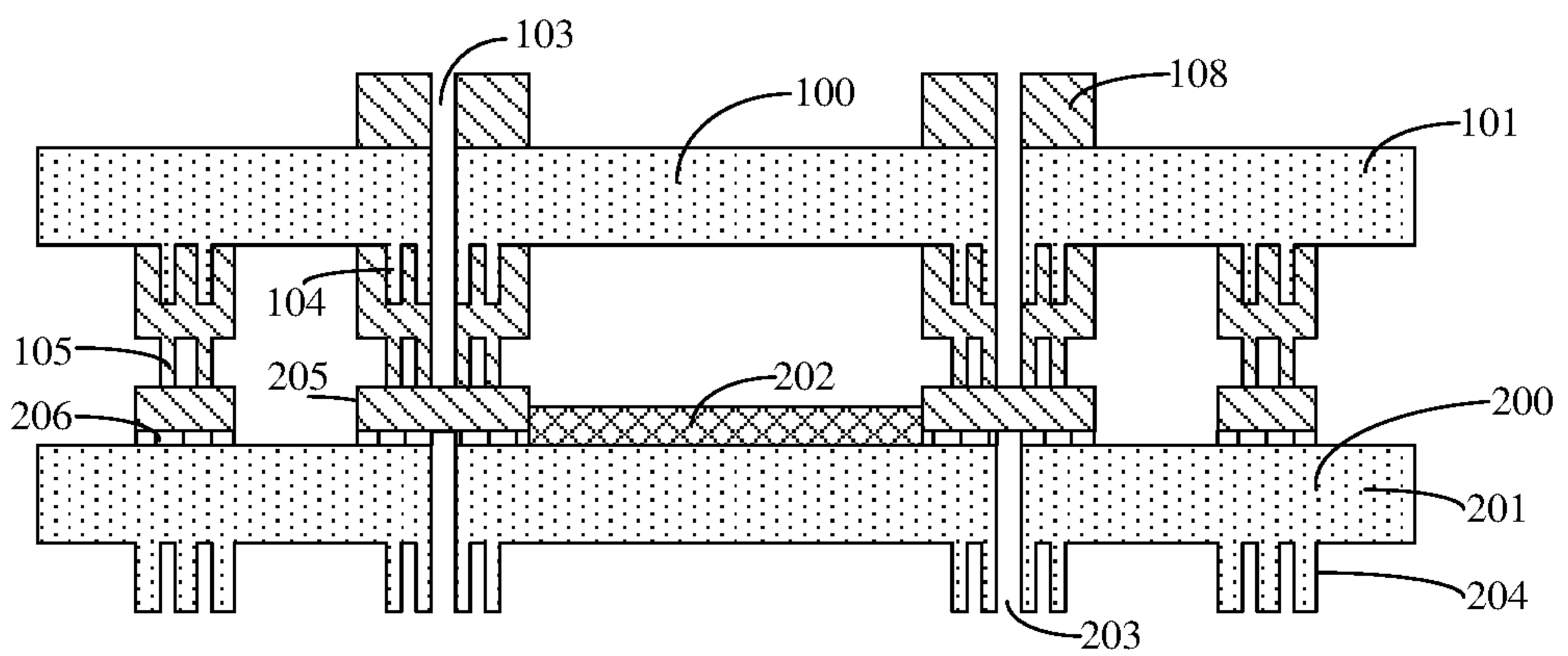


图4B

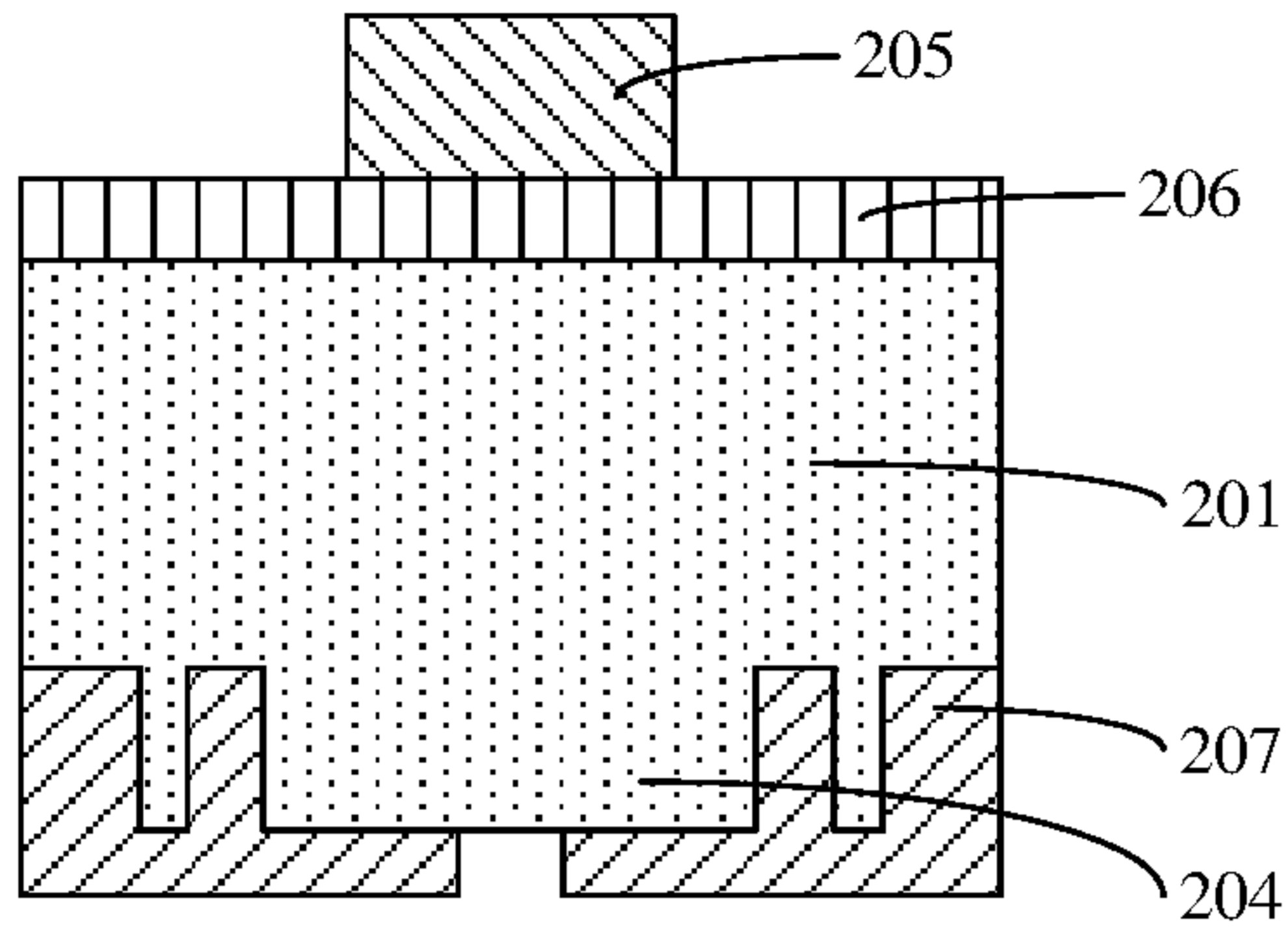


图5A

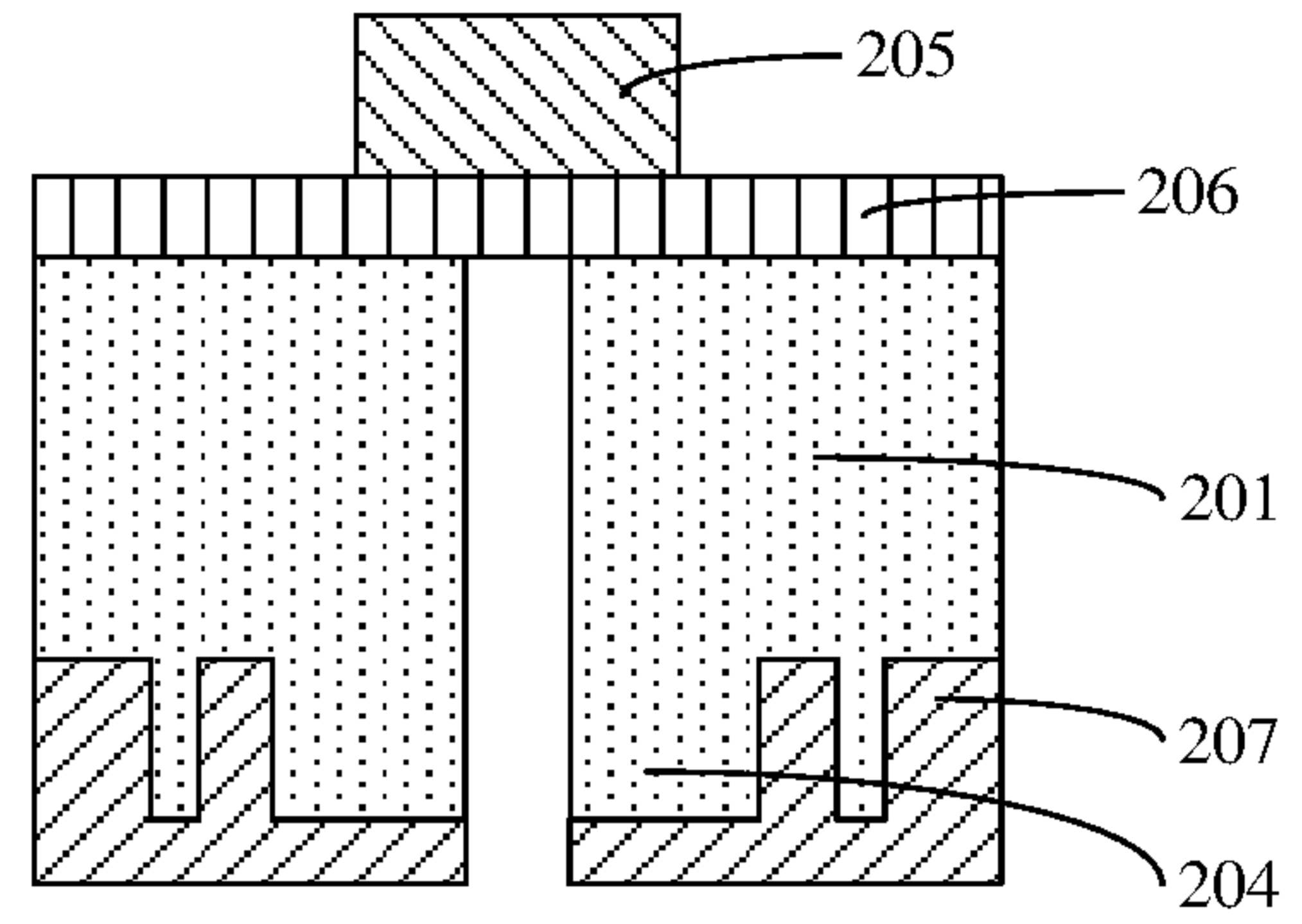


图5B

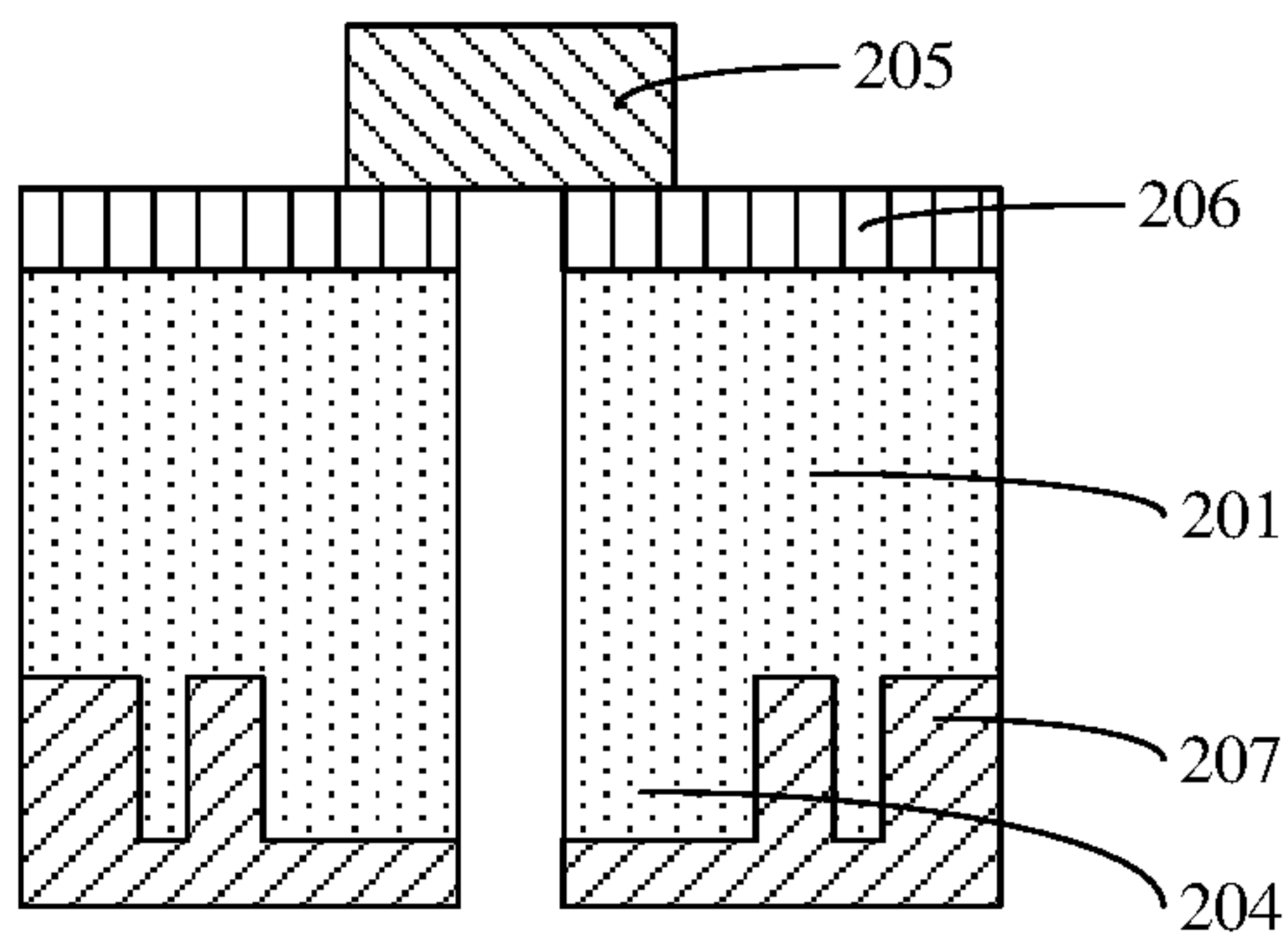


图5C

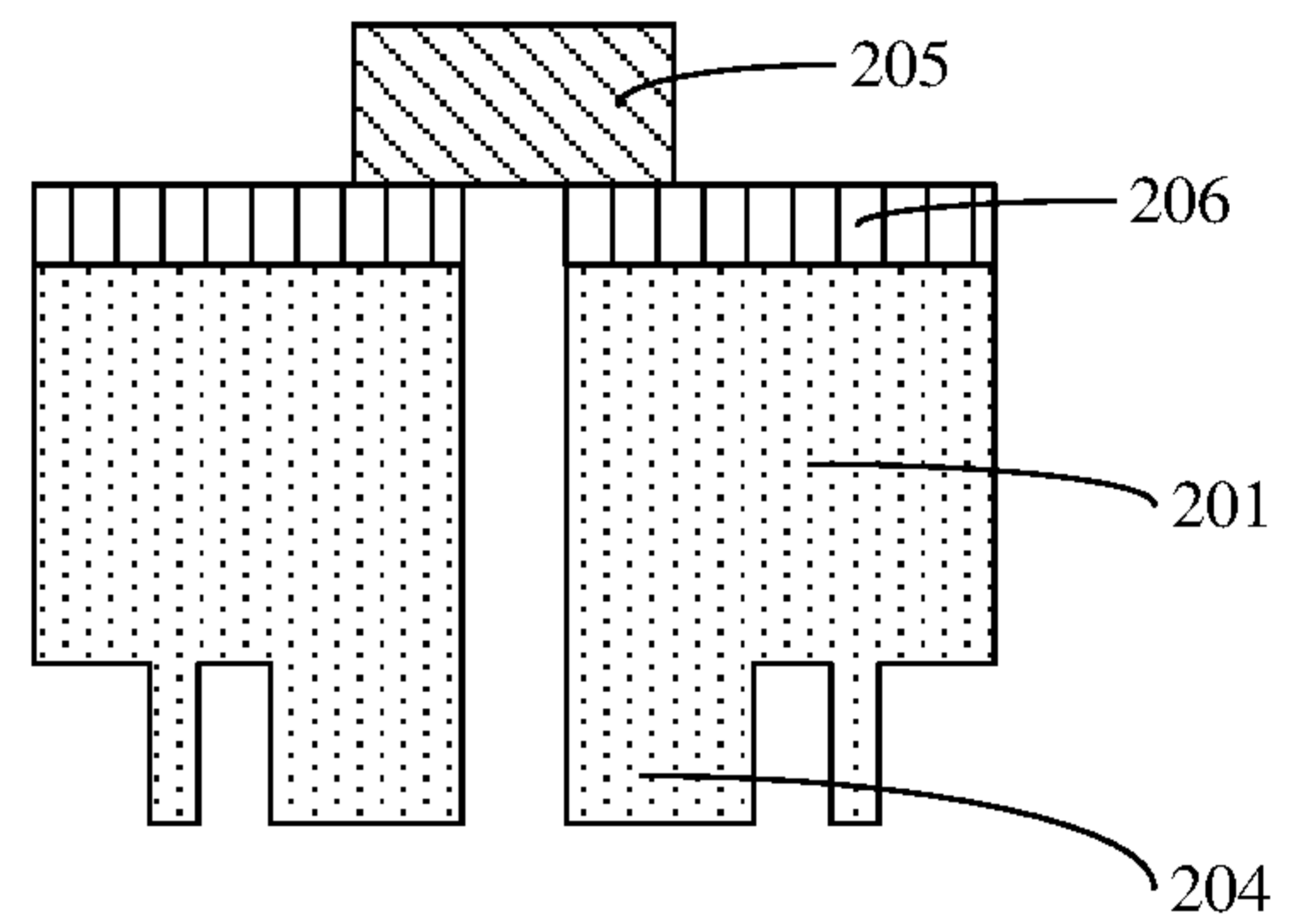


图5D

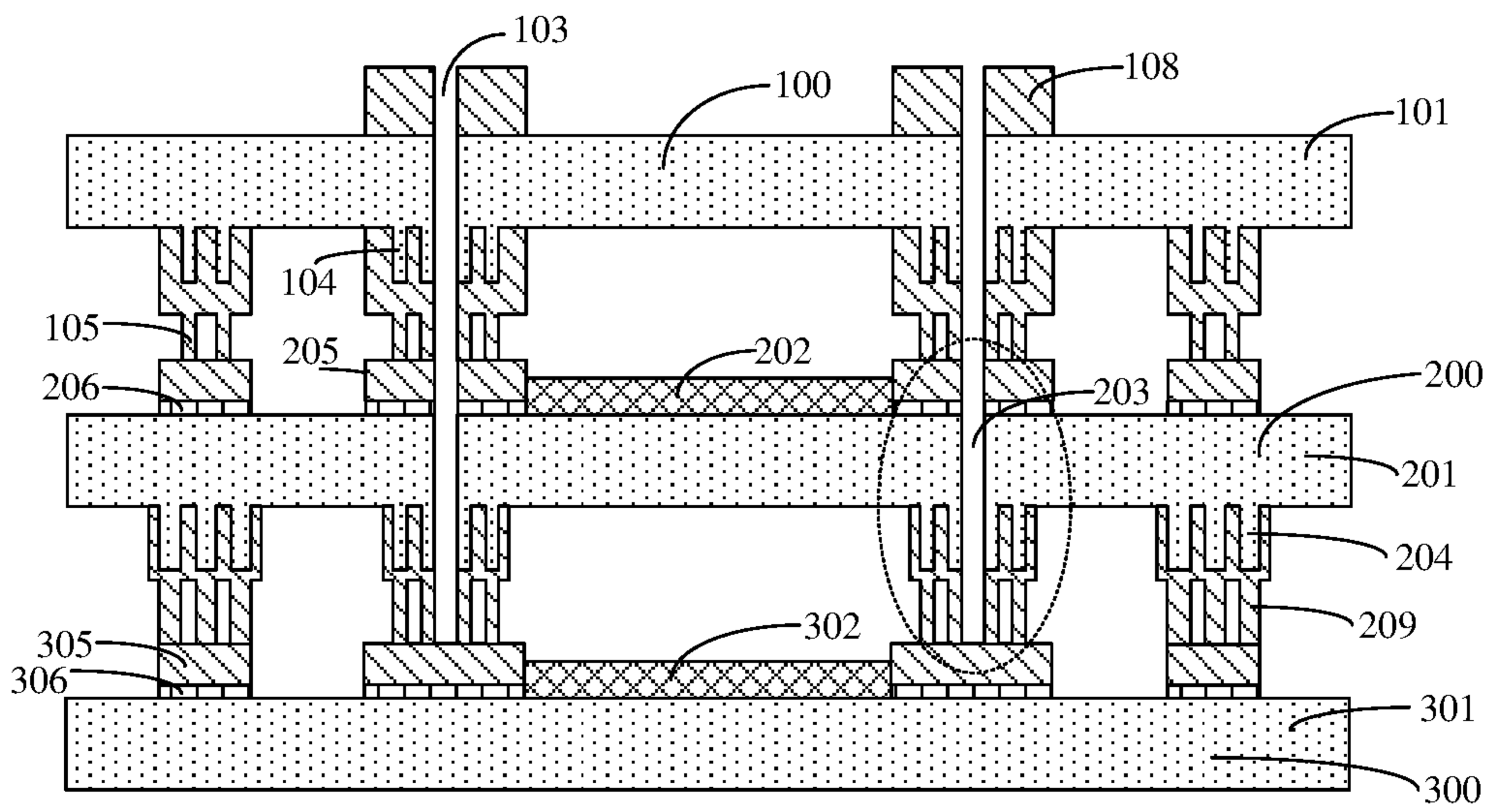


图6

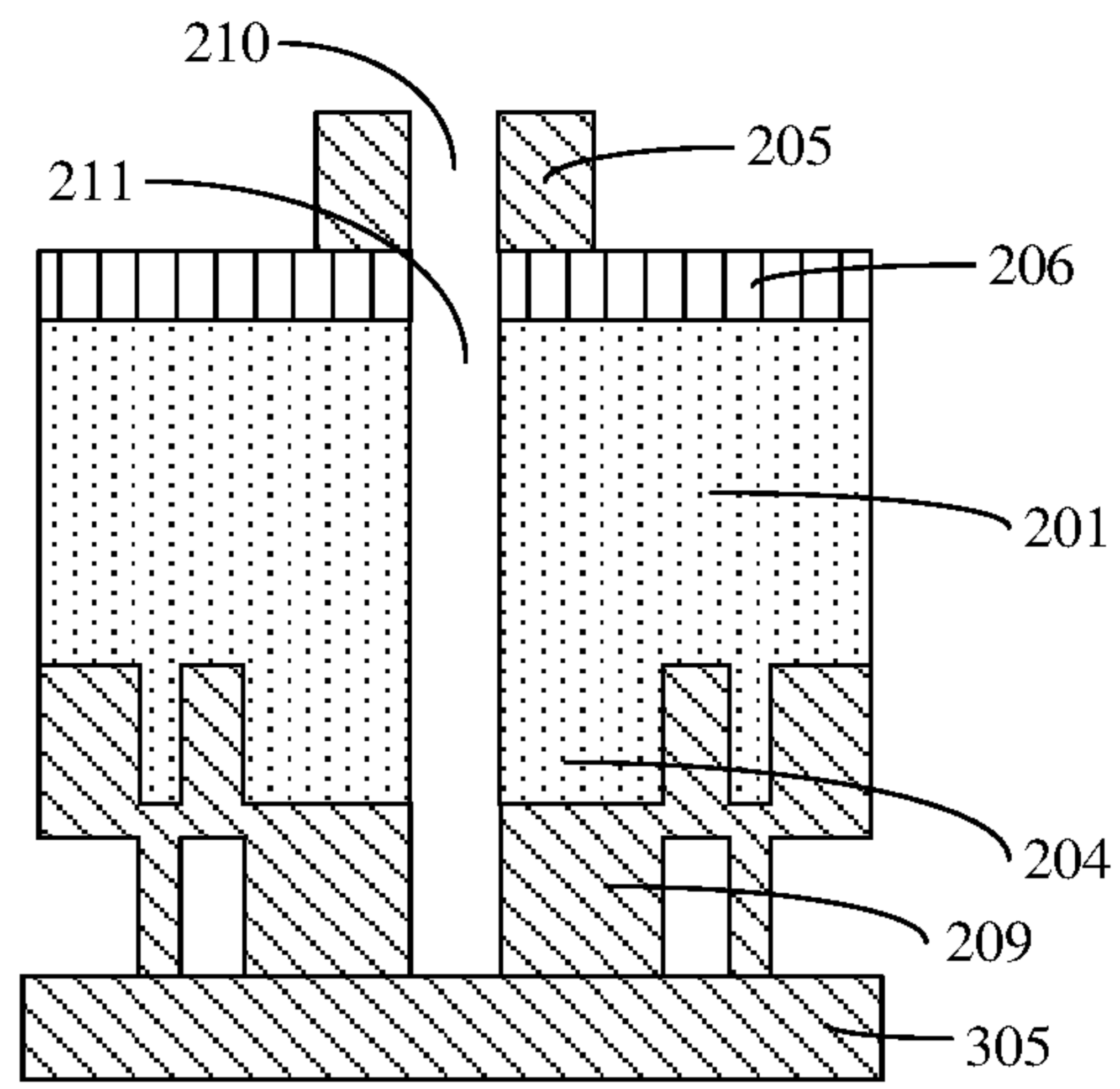


图6A

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2020/088728****A. CLASSIFICATION OF SUBJECT MATTER**

H03H 9/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI; GOOGLE: 薄膜体声波谐振器, 体声波, 半导体, 滤波器, 双工器, 谐振器, 堆叠, 层叠, 叠置, 键合, 封装, 孔, 基板, 衬底, 阻挡层, 凹, 凸, film bulk acoustic resonator, FBAR, bulk acoustic wave, BAW, semiconductor, filter, duplexer, resonator, stack, laminate, bond, package, hole, substrate, barrier layer, concave, convex

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PY	US 2020099365 A1 (AVAGO TECHNOLOGIES INTERNATIONAL SALES PTE LIMITE) 26 March 2020 (2020-03-26) description, paragraphs 29-45, 89-102, figures 1A-1D, 5	1-23
Y	CN 103413795 A (TIANJIN UNIVERSITY) 27 November 2013 (2013-11-27) description, paragraphs 2, 56-99, figures 2-7	1-23
Y	CN 102104009 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 22 June 2011 (2011-06-22) description, paragraphs 56-66, figures 4a-4g	1-23
Y	CN 101552263 A (CHINA ELECTRONICS TECHNOLOGY GROUP CORPORATION NO. 13 RESEARCH INSTITUTE) 07 October 2009 (2009-10-07) description, page 1 paragraph 3 to page 8 paragraph 4, figures 3-1 to 3-2	3-13, 15-23
A	CN 105590869 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 18 May 2016 (2016-05-18) entire document	1-23

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&amp;” document member of the same patent family

Date of the actual completion of the international search

**19 September 2020**

Date of mailing of the international search report

**29 September 2020**

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/  
CN)  
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing  
100088  
China**

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.  
**PCT/CN2020/088728**

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018183406 A1 (AVAGO TECHNOLOGIES GENERAL IPSINGAPORE PTE LTD.) 28 June 2018 (2018-06-28) entire document	1-23

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2020/088728**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2020099365	A1	26 March 2020	None	
CN	103413795	A	27 November 2013	CN 103413795	B 28 December 2016
CN	102104009	A	22 June 2011	CN 102104009	B 10 October 2012
CN	101552263	A	07 October 2009	CN 101552263	B 09 February 2011
CN	105590869	A	18 May 2016	US 10574209	B2 25 February 2020
				US 2016118324	A1 28 April 2016
US	2018183406	A1	28 June 2018	US 10263587	B2 16 April 2019

<p><b>A. 主题的分类</b></p> <p>H03H 9/02 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和IPC两种分类</p>																				
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>H03H</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI; GOOGLE: 薄膜体声波谐振器, 体声波, 半导体, 滤波器, 双工器, 谐振器, 堆叠, 层叠, 叠置, 键合, 封装, 孔, 基板, 衬底, 阻挡层, 凹, 凸, film bulk acoustic resonator, FBAR, bulk acoustic wave, BAW, semiconductor, filter, duplexer, resonator, stack, laminate, bond, package, hole, substrate, barrier layer, concave, convex</p>																				
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PY</td> <td>US 2020099365 A1 (AVAGO TECHNOLOGIES INTERNATIONAL SALES PTE LIMITE) 2020年3月26日 (2020 - 03 - 26) 说明书第29-45、89-102段, 图1A-1D、5</td> <td>1-23</td> </tr> <tr> <td>Y</td> <td>CN 103413795 A (天津大学) 2013年11月27日 (2013 - 11 - 27) 说明书第2、56-99段, 图2-7</td> <td>1-23</td> </tr> <tr> <td>Y</td> <td>CN 102104009 A (中国科学院微电子研究所) 2011年6月22日 (2011 - 06 - 22) 说明书第56-66段, 图4a-4g</td> <td>1-23</td> </tr> <tr> <td>Y</td> <td>CN 101552263 A (中国电子科技集团公司第十三研究所) 2009年10月7日 (2009 - 10 - 07) 说明书第1页第3段至第8页第4段, 图3-1至3-2</td> <td>3-13、15-23</td> </tr> <tr> <td>A</td> <td>CN 105590869 A (中芯国际集成电路制造上海有限公司) 2016年5月18日 (2016 - 05 - 18) 全文</td> <td>1-23</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PY	US 2020099365 A1 (AVAGO TECHNOLOGIES INTERNATIONAL SALES PTE LIMITE) 2020年3月26日 (2020 - 03 - 26) 说明书第29-45、89-102段, 图1A-1D、5	1-23	Y	CN 103413795 A (天津大学) 2013年11月27日 (2013 - 11 - 27) 说明书第2、56-99段, 图2-7	1-23	Y	CN 102104009 A (中国科学院微电子研究所) 2011年6月22日 (2011 - 06 - 22) 说明书第56-66段, 图4a-4g	1-23	Y	CN 101552263 A (中国电子科技集团公司第十三研究所) 2009年10月7日 (2009 - 10 - 07) 说明书第1页第3段至第8页第4段, 图3-1至3-2	3-13、15-23	A	CN 105590869 A (中芯国际集成电路制造上海有限公司) 2016年5月18日 (2016 - 05 - 18) 全文	1-23
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PY	US 2020099365 A1 (AVAGO TECHNOLOGIES INTERNATIONAL SALES PTE LIMITE) 2020年3月26日 (2020 - 03 - 26) 说明书第29-45、89-102段, 图1A-1D、5	1-23																		
Y	CN 103413795 A (天津大学) 2013年11月27日 (2013 - 11 - 27) 说明书第2、56-99段, 图2-7	1-23																		
Y	CN 102104009 A (中国科学院微电子研究所) 2011年6月22日 (2011 - 06 - 22) 说明书第56-66段, 图4a-4g	1-23																		
Y	CN 101552263 A (中国电子科技集团公司第十三研究所) 2009年10月7日 (2009 - 10 - 07) 说明书第1页第3段至第8页第4段, 图3-1至3-2	3-13、15-23																		
A	CN 105590869 A (中芯国际集成电路制造上海有限公司) 2016年5月18日 (2016 - 05 - 18) 全文	1-23																		
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2020年 9月 19日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 9月 29日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>马婷婷</p> <p>电话号码 86-(20)-28958507</p>																		

**C. 相关文件**

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2018183406 A1 (AVAGO TECHNOLOGIES GENERAL IPSINGAPORE PTE LTD) 2018年 6月 28日 (2018 - 06 - 28) 全文	1-23

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2020/088728

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2020099365	A1	2020年 3月 26日	无			
CN	103413795	A	2013年 11月 27日	CN	103413795	B	2016年 12月 28日
CN	102104009	A	2011年 6月 22日	CN	102104009	B	2012年 10月 10日
CN	101552263	A	2009年 10月 7日	CN	101552263	B	2011年 2月 9日
CN	105590869	A	2016年 5月 18日	US	10574209	B2	2020年 2月 25日
				US	2016118324	A1	2016年 4月 28日
US	2018183406	A1	2018年 6月 28日	US	10263587	B2	2019年 4月 16日