

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 11 月 26 日 (26.11.2015) WIPO | PCT



(10) 国际公布号
WO 2015/176572 A1

- (51) 国际专利分类号:
H03K 5/1534 (2006.01)
- (21) 国际申请号: PCT/CN2015/073929
- (22) 国际申请日: 2015 年 3 月 10 日 (10.03.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410220541.5 2014 年 5 月 23 日 (23.05.2014) CN

(71) 申请人: 大连理工大学 (DALIAN UNIVERSITY OF TECHNOLOGY) [CN/CN]; 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。

(72) 发明人: 张建伟 (ZHANG, Jianwei); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。吴国强 (WU, Guoqiang); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。张修哲 (ZHANG, Xiuzhe); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。陈晓明 (CHEN, Xiaoming); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。唐祯安 (TANG, Zhenan); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。

116000 (CN)。郑善兴 (ZHENG, Shanxing); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。丁秋红 (DING, QiuHong); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。腾飞 (TENG, Fei); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。李佳琪 (LI, Jiaqi); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。马万里 (MA, Wanli); 中国辽宁省大连市甘井子区凌工街 2 号, Liaoning 116000 (CN)。

(74) 代理人: 大连非凡专利事务所 (DALIAN FEIFAN PATENT AGENCY); 中国辽宁省大连市西岗区黄河路 219 号 2212 室, Liaoning 116000 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: RISING EDGE DETECTION CIRCUIT

(54) 发明名称: 上升沿检测电路

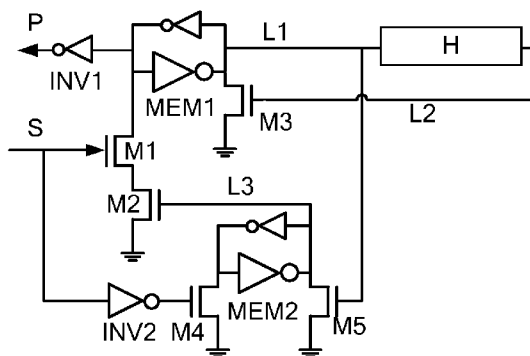


图 1 / FIG. 1

(57) Abstract: Disclosed is a rising edge detection circuit composed of a bistable storage unit, an asymmetric delay circuit, an inverter and a plurality of NMOS transistors, so long as the asymmetric delay circuit meets the conditions that a sum of a rising edge delay and a falling edge delay is larger than a pulse period of an input signal and the falling edge delay is very small, an output signal with the maximum pulse width close to the pulse period of the input signal can be generated, so as to meet the use requirements of a follow-up device. The present invention not only is simple in structure, but also has a self-starting function, and the self-starting can be achieved when the initial low level length of the input signal is larger than the rising edge delay of the asymmetric delay circuit.

(57) 摘要: 本发明公开一种上升沿检测电路, 由双稳态存储单元、非对称延迟单元、反相器和多个 NMOS 晶体管组成, 只要非对称延迟电路满足上升沿延迟与下降沿延迟之和大于输入信号的脉冲周期且下降沿延迟很小时, 就能够产生最大脉宽接近输入信号脉冲周期的输出信号, 可满足后续设备的使用要求。本发明不但结构简单, 还具有自启动功能, 当输入信号的初始低电平长度大于非对称延迟电路的上升沿延迟, 就能够实现自启动。



WO 2015/176572 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

上升沿检测电路

- [1] 技术领域:
- [2] 本发明涉及一种 上升沿检电路，尤其是一种输出信号脉冲宽度大于输入信号脉冲宽度的上升沿检测电路。
- [3] 背景技术:
- [4] 上升沿（或下降沿）检测电路是一种常用的电路，主要用于检测输入信号中是否有上升沿脉冲到来，如果有，则输出一个脉冲信号。现有的上升沿检测电路由延迟单元、反相器及与门构成。输入信号一路直接同与门相接，另一路通过相串联的延迟单元、反相器后同与门相接。假设反相器和与门的延迟均为零，延迟单元的延迟即为输出脉冲信号的脉宽，则输出脉冲信号的脉宽一定小于输入脉冲信号的脉宽，不能满足后续设备对于输出脉冲信号脉宽大于输入脉冲信号脉宽的要求。
- [5] 发明内容:
- [6] 本发明是为了解决现有技术所存在的上述技术问题，提供一种输出信号脉冲宽度大于输入信号脉冲宽度的上升沿检测电路。
- [7] 本发明的技术解决方案是：一种 上升沿检测电路，设有输入端 S 及输出端 P，其特征在于：所述输入端 S 与 NMOS 晶体管 M1 的栅极相接，NMOS 晶体管 M1 的源极与 NMOS 晶体管 M2 的漏极相接，NMOS 晶体管 M2 的源极接地，NMOS 晶体管 M1 的漏极一路与双稳态存储单元 MEM1 相接，另一路通过反向器 INV1 与输出端 P 相接；双稳态存储单元 MEM1 的另一端一路与 NMOS 晶体管 M3 的漏极相接，另一路通过非对称延迟电路 H 与 NMOS 晶体管 M3 的栅极相接，NMOS 晶体管 M3 的源极接地；与输入端 S 还接有反向器 INV2，反向器 INV2 的输出端与 NMOS 晶体管 M4 的栅极相接，NMOS 晶体管 M4 的漏极与双稳态存储单元 MEM2 相接，NMOS 晶体管 M4 的源极接地；双稳态存储单元 MEM2 的另一端一路与 NMOS 晶体管 M2 的栅极相接，另一路与 NMOS 晶体管 M5 的漏极相接，NMOS 晶体管 M5 的源极接地，NMOS 晶体管 M5 的栅

极与非对称延迟电路 H 的输入端相接。

[8] 所述非对称延迟电路 H 有输入端 L1 和输出端 L2，输入端 L1 与输出端 L2 之间接有多个相串联的延迟电路 D1~Di，输入端 L1 还通过反向器 INV3 与多个 NMOS 晶体管 N1~Ni 的栅极相接，每个 NMOS 晶体管 Ni 的漏极分别与相对应的延迟电路 Di 的输出端相接，每个 NMOS 晶体管 Ni 的源极接地。

[9] 本发明由双稳态存储单元、非对称延迟单元、反相器和多个 NMOS 晶体管组成，只要非对称延迟电路满足上升沿延迟与下降沿延迟之和大于输入信号的脉冲周期且下降沿延迟很小时，就能够产生最大脉宽接近输入信号脉冲周期的输出信号，可满足后续设备的使用要求。本发明不但结构简单，还具有自启动功能，当输入信号的初始低电平长度大于非对称延迟电路的上升沿延迟，就能够实现自启动。

[10] 附图说明：

[11] 图 1 是本发明实施例的具体电路图。

[12] 图 2 是本发明实施例非对称延迟电路图。

[13] 图 3 是本发明实施例的工作过程波形示意图。

[14] 具体实施方式：

[15] 下面将结合附图说明本发明的具体实施方式。本发明的基本结构如图 1 所示：设有输入端 S 及输出端 P，所述输入端 S 与 NMOS 晶体管 M1 的栅极相接，NMOS 晶体管 M1 的源极与 NMOS 晶体管 M2 的漏极相接，NMOS 晶体管 M2 的源极接地，NMOS 晶体管 M1 的漏极一路与双稳态存储单元 MEM1 相接，另一路通过反向器 INV1 与输出端 P 相接；双稳态存储单元 MEM1 的另一端（L1 端）一路与 NMOS 晶体管 M3 的漏极相接，另一路通过非对称延迟电路 H（非对称延迟电路 H 的输出端为 L2）与 NMOS 晶体管 M3 的栅极相接，NMOS 晶体管 M3 的源极接地；与输入端 S 还接有反向器 INV2，反向器 INV2 的输出端与 NMOS 晶体管 M4 的栅极相接，NMOS 晶体管 M4 的漏极与双稳态存储单元 MEM2 相接，NMOS 晶体管 M4 的源极接地；双稳态存储单元 MEM2 的另一端（L3 端）一路与 NMOS 晶体管 M2 的栅极相接，另一路与 NMOS 晶体管 M5 的漏极相接，NMOS 晶体管 M5 的源极接地，NMOS 晶体管 M5 的栅极与非对

称延迟电路 H 的输入端相接。

[16] 非对称延迟电路 H 如图 2 所示：有输入端 L1 和输出端 L2，输入端 L1 与输出端 L2 之间接有多个相串联的延迟电路 D1~Di，输入端 L1 还通过反向器 INV3 与多个 NMOS 晶体管 N1~Ni 的栅极相接，每个 NMOS 晶体管 Ni 的漏极分别与相对应的延迟电路 Di 的输出端相接，每个 NMOS 晶体管 Ni 的源极接地。

[17] 具体工作过程如下：

[18] 非对称延迟电路 H 分上升沿延迟 $W_{\uparrow}$ 和下降沿延迟 $W_{\downarrow}$ ：

[19] 1. 上升沿延迟。当节点 L1=1，此时所有的下拉管（NMOS 晶体管 N1~Ni）都关闭，延迟由 D1、D2...Di 组成，设一个延迟单元的延迟为 T_{dly} ，则上升沿延迟 $W_{\uparrow}$ 为 $i \times T_{dly}$ 。

[20] 2. 下降沿延迟。当节点 L1=0，所有的下拉管（NMOS 晶体管 N1~Ni）都打开，NMOS 晶体管 N1~Ni 管将节点 L2 下拉到 0，此时的延迟为反相器 INV1 延迟和 N1~Ni 管下拉延迟之和。可见， $W_{\downarrow}$ 很小。

[21] 工作波形如图 3 所示：输入信号为 signal，脉冲周期为 T。

[22] 1. 当输入信号 S=0 时，NMOS 晶体管 M1 关闭，NMOS 晶体管 M4 打开；NMOS 晶体管 M4 的打开致使节点 L3=1（图 3 中（1）），从而使 NMOS 晶体管 M2 打开，即 NMOS 晶体管 M1 关闭、NMOS 晶体管 M2 打开；

[23] 此时，L1 的状态既可能是 0，也可能是 1。

[24] 如果 L1 的状态如图 3 所示为 0，则输出信号 pulse 的输出如图 3 所示为 0。

[25] 如果 L1 的状态是 1，开始输出信号 pulse 的输出为 1，只要输入信号 signal 的初始低电平长度大于非对称延迟电路的上升沿延迟（ $W_{\uparrow}$ ）和 NMOS 管 M1 的延迟，输出信号 P 的输出即为 0，之后，就可以正常检测输入信号 signal 了。

[26] 2. 当输入信号 S 变为 1 时，NMOS 晶体管 M1 打开，此时 NMOS 晶体管 M2 保持打开状态，因此输出信号 P=1（图 3 中（2））；同时节点 L1=1（图 3 中（3）），从而 NMOS 晶体管 M5 打开，节点 L3=0（图 3 中（4）），NMOS 晶体管 M2 关闭。

[27] 当输入信号 S 又变为 0 时，NMOS 晶体管 M1 关闭，NMOS 晶体管 M4 打开；NMOS 晶体管 M4 的打开致使节点 L3=1（图 3 中（1）），从而使 NMOS

晶体管 M2 打开，即 NMOS 晶体管 M1 关闭、NMOS 晶体管 M2 打开；

[28] 因 NMOS 晶体管 M1 关闭，双稳态存储单元 MEM1 仍可使输出信号 $P=1$ ，节点 $L1=1$ 。

[29] 3. $L1$ 的上升沿经过 $W_{\uparrow}$ 时间后传递到 $L2$ ，则节点 $L2=1$ （图 3 中（5））； $L2=1$ ，NMOS 晶体管 M3 打开， $L1$ 变为 0（图 3 中（6）），输出 $P=0$ （图 3 中（7）），同时 NMOS 晶体管 M5 关闭。

[30] 4. $L1$ 的下降沿经过非对称延迟电路 H，即经过 $W_{\downarrow}$ 的时间后，节点 $L2=0$ （图 3 中（8）），NMOS 晶体管 M3 关闭。

[31] 当输入信号 S 的下一个上升沿到来时，即输入信号 S 变为 1 时，重复 2、3、4 步骤.....。

[32] 即输出信号 P 为脉宽 W_0 的脉冲信号，由于 $W_{\uparrow}$ 决定了产生信号 P 的脉宽 W_0 ，为了扩大可调整的 W_0 的范围， $W_{\downarrow}$ 应该尽量小。

权利要求书

- [权利要求 1] 一种上升沿检测电路，设有输入端 S 及输出端 P，其特征在于：所述输入端 S 与 NMOS 晶体管 M1 的栅极相接，NMOS 晶体管 M1 的源极与 NMOS 晶体管 M2 的漏极相接，NMOS 晶体管 M2 的源极接地，NMOS 晶体管 M1 的漏极一路与双稳态存储单元 MEM1 相接，另一路通过反向器 INV1 与输出端 P 相接；双稳态存储单元 MEM1 的另一端一路与 NMOS 晶体管 M3 的漏极相接，另一路通过非对称延迟电路 H 与 NMOS 晶体管 M3 的栅极相接，NMOS 晶体管 M3 的源极接地；与输入端 S 还接有反向器 INV2，反向器 INV2 的输出端与 NMOS 晶体管 M4 的栅极相接，NMOS 晶体管 M4 的漏极与双稳态存储单元 MEM2 相接，NMOS 晶体管 M4 的源极接地；双稳态存储单元 MEM2 的另一端一路与 NMOS 晶体管 M2 的栅极相接，另一路与 NMOS 晶体管 M5 的漏极相接，NMOS 晶体管 M5 的源极接地，NMOS 晶体管 M5 的栅极与非对称延迟电路 H 的输入端相接。
- [权利要求 2] 根据权利要求 1 所述的上升沿检测电路，其特征在于：所述非对称延迟电路 H 有输入端 L1 和输出端 L2，输入端 L1 与输出端 L2 之间接有多个相串联的延迟电路 D1~Di，输入端 L1 还通过反向器 INV3 与多个 NMOS 晶体管 N1~Ni 的栅极相接，每个 NMOS 晶体管 Ni 的漏极分别与相对应的延迟电路 Di 的输出端相接，每个 NMOS 晶体管 Ni 的源极接地。

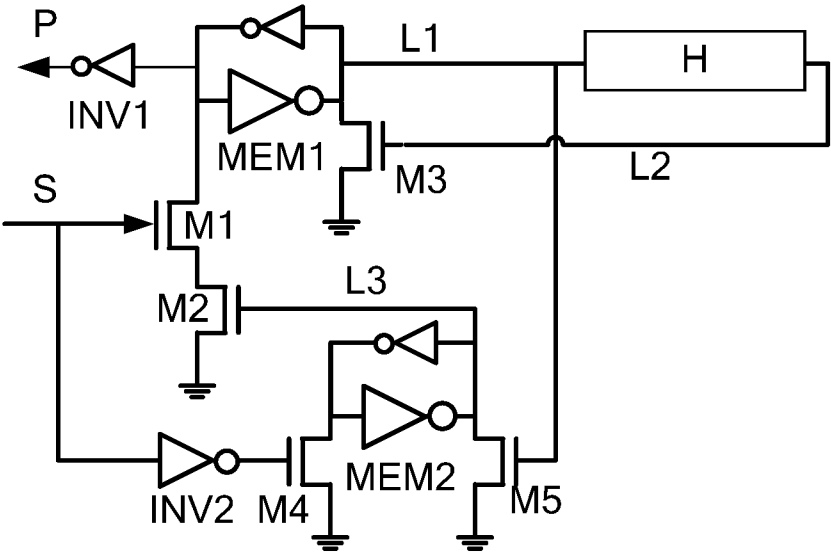


图 1

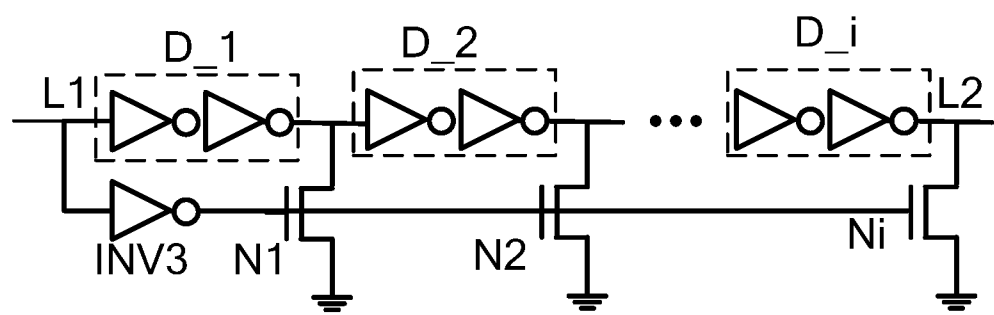


图 2

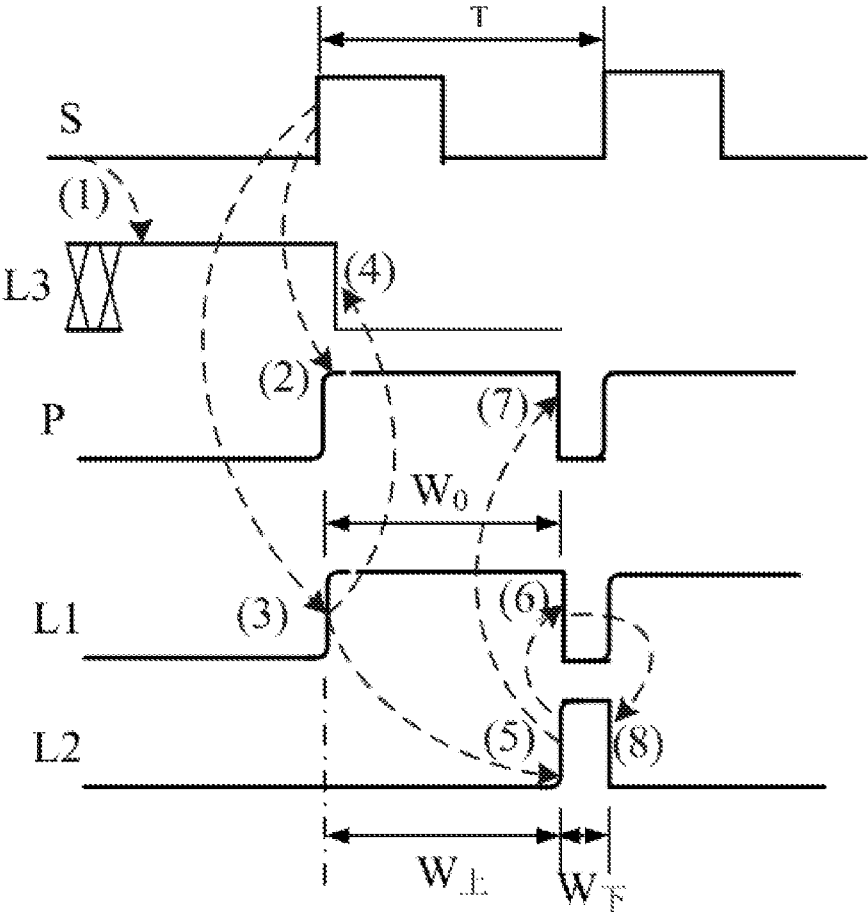


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/073929

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/1534(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNKI; DWPI: rising edge, falling edge, monitor, check, transistor; ZHANG, Jianwei; ZHANG, Xiuzhe; up, down, edge, detect, zero cross, mosfet, mos, delay, asymmetric, dissymmetric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104038185 A (DALIAN UNIVERSITY OF TECHNOLOGY), 10 September 2014 (10.09.2014), claims 1 and 2	1, 2
PX	CN 203933573 U (DALIAN UNIVERSITY OF TECHNOLOGY), 05 November 2014 (05.11.2014), claims 1 and 2	1, 2
A	CN 101398447 A (SHANGHAI UNIVERSITY), 01 April 2009 (01.04.2009), the whole document	1, 2
A	CN 101546995 A (SONY CORPORATION), 30 September 2009 (30.09.2009), the whole document	1, 2
A	US 2009189644 A1 (LEE, C.O. et al.), 30 July 2009 (30.07.2009), the whole document	1, 2
A	US 7508242 B2 (OKI ELECTRIC INDUSTRY CO., LTD.), 24 March 2009 (24.03.2009), the whole document	1, 2

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 May 2015 (11.05.2015)	Date of mailing of the international search report 29 May 2015 (29.05.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Xiaoyuan Telephone No.: (86-10) 010-62089294

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/073929

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104038185 A	10 September 2014	None	
CN 203933573 U	05 November 2014	None	
CN 101398447 A	01 April 2009	CN 101398447 B	30 March 2011
CN 101546995 A	30 September 2009	US 2009243685 A1	01 October 2009
		US 7956660 B2	07 June 2011
		JP 4735992 B2	27 July 2011
		JP 2009232366 A	08 October 2009
		EP 2114010 A1	04 November 2009
US 2009189644 A1	30 July 2009	KR 101299922 B1	27 August 2013
		KR 20090046605 A	11 May 2009
		US 7719321 B2	18 May 2010
		US 7508242 B2	24 March 2009
		US 2007229124 A1	04 October 2007
		JP 2007274422 A	18 October 2007

国际检索报告

国际申请号

PCT/CN2015/073929

A. 主题的分类

H03K 5/1534(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS; CNKI; DWPI; 张建伟, 张修哲, 上升沿, 下降沿, 边沿, 检测, 监测, 检查, 过零, 晶体管, 延迟, 非对称, jianwei zhang, xiuzhe zhang, up, down, edge, detect, zero cross, mosfet, mos, delay, asymmetric, dissymmetric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104038185 A (大连理工大学) 2014年 9月 10日 (2014 - 09 - 10) 权利要求1, 2	1, 2
PX	CN 203933573 U (大连理工大学) 2014年 11月 5日 (2014 - 11 - 05) 权利要求1, 2	1, 2
A	CN 101398447 A (上海大学) 2009年 4月 1日 (2009 - 04 - 01) 全文	1, 2
A	CN 101546995 A (索尼株式会社) 2009年 9月 30日 (2009 - 09 - 30) 全文	1, 2
A	US 2009189644 A1 (LEE CHEON-OH等) 2009年 7月 30日 (2009 - 07 - 30) 全文	1, 2
A	US 7508242 B2 (冲电气工业株式会社) 2009年 3月 24日 (2009 - 03 - 24) 全文	1, 2

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 5月 11日

国际检索报告邮寄日期

2015年 5月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

王晓洲

电话号码 (86-10)010-62089294

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/073929

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104038185	A	2014年 9月 10日	无			
CN	203933573	U	2014年 11月 5日	无			
CN	101398447	A	2009年 4月 1日	CN	101398447	B	2011年 3月 30日
CN	101546995	A	2009年 9月 30日	US	2009243685	A1	2009年 10月 1日
				US	7956660	B2	2011年 6月 7日
				JP	4735992	B2	2011年 7月 27日
				JP	2009232366	A	2009年 10月 8日
				EP	2114010	A1	2009年 11月 4日
US	2009189644	A1	2009年 7月 30日	KR	101299922	B1	2013年 8月 27日
				KR	20090046605	A	2009年 5月 11日
				US	7719321	B2	2010年 5月 18日
US	7508242	B2	2009年 3月 24日	US	2007229124	A1	2007年 10月 4日
				JP	2007274422	A	2007年 10月 18日

表 PCT/ISA/210 (同族专利附件) (2009年7月)