

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 馬可仕 卡納佐斯

KARNEZOS, MARCOS

2. 佛林 卡森

CARSON, FLYNN

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年04月29日；60/594,711

2. 美國；2005年06月20日；60/692,842

3. 美國；2006年03月31日；11/394,635

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體封裝。

【先前技術】

諸如行動電話、行動計算及各種消費型產品之攜帶型電子產品需要在有限佔據面積中以最低成本下的最小厚度及重量得到更高的半導體功能性及效能。此已驅動本工業增加了於單個半導體晶片上之整合並實施了"z軸"上之整合，即，藉由堆疊晶片或藉由堆疊晶粒封裝以形成堆疊封裝套組(堆疊多封裝模組)。

在某些應用中，需要在具有最小佔據面積及厚度之套組中提供高度功能整合，此時可使用堆疊封裝套組。此類應用之一實例為攜帶型電訊設備諸如蜂巢式電話，尤其當電訊設備包括(例如)捕獲及顯示或播放影像、音訊或視訊之能力時。

希望整合之功能實例包括：用於各種包括數位訊號(DSP)、ASIC、圖形(GPU)之設備；用於各種記憶體包括快閃(NAND)、快閃(NOR)、SRAM、DRAM、MRAM之設備；用於影像及視訊捕獲包括具有記憶體之光學感測器之設備；用於具有處理器及記憶體之微機電系統(MEMS)之設備。

由可製造性、設計靈活性及成本之角度而言，堆疊封裝套組中之封裝之間的z互連係關鍵技術。堆疊封裝套組使用打線結合、或焊球、或覆晶互連，於z方向上堆疊及電

互連諸晶片及封裝，從而使其整合。

堆疊封裝可提供眾多益處。具體而言，使用對於晶片類型及組態最有效之第一級互連技術諸如打線結合或覆晶，可將每一晶粒或一個以上晶粒封裝於堆疊中之各個封裝中，以最大化效能且最小化成本。

希望能夠電測試堆疊組件(晶粒或封裝)以便在堆疊封裝之前拒收不能展示滿意效能之組件。此將允許最大化最終堆疊封裝套組之良率。為了在實務上實現此益處，封裝必須組態為可使用已建立的測試基礎建設進行測試。通常，測試封裝晶粒優於測試個別晶粒，因為測試個別晶粒可導致對晶粒上之互連墊的破壞。

通常，產品(尤其當產品例如係諸如行動電話之攜帶型通訊設備時)之製造商決定套組必須配適其中之間隔的尺寸。即，製造商將要求一具有特定功能性之套組在特定規格內具有一總佔據面積(長度及寬度)及厚度。得知此等限制後，設計者必須在成本限制內能夠選擇滿足在限定厚度及佔據面積內對功能性之要求的封裝及一種堆疊設計及進程。

因此，希望選擇一種多封裝堆疊結構及堆疊進程，其能為功能設計者提供設計之靈活性。例如具體而言，設計者具有靈活性，無需重新設計結構或進程以：自多種可用供應商之任一者處選擇封裝或晶片，以最小化組件成本；對套組內之晶片或封裝類型進行改變，以避免必須再次檢定改變後之套組的品質；及於最終產品階段完成在表面黏著

裝配臺上之套組堆疊進程，以使產品組態能由市場在最短實際上市時間中決定。

滿足快速改變的市場要求將提出挑戰。舉例而言，用於設計諸如行動電話之消費型設備之整體時間框架通常長於市場轉換之時間框架。本工業中可出現一種感覺，即消費型設備中需要特定功能性(例如，行動電話中之網頁瀏覽功能性)，且設計者可將彼功能性建立於套組中；隨後在短時間內可易見，市場中之要求並非如所察覺的，且其可能需要移除彼功能性或將其作為選項呈現於市場中。相應地，希望能夠組態"作業中"之設備，即無需重新設計整個套組便添加或移除設備中之功能性。

亦希望能夠使用在本工業中用以組裝諸如行動通訊設備(例如行動電話)及電腦之產品的表面黏著裝配方法，將諸如記憶體(快閃、SRAM、DRAM)之現成的封裝晶片堆疊於套組中之其他封裝上。詳言之，對於不同功能性，產品之記憶體的類型可不同；例如，若行動電話中需要影像捕獲功能性，則需要快速記憶體(DRAM)。

堆疊封裝套組中之封裝及製造進程必須經組態以使用為一所選結構選擇之進程而致能封裝之物理堆疊及其之間的電互連的形成。

堆疊多封裝套組通常屬於兩種範疇，即所謂的"封裝上封裝"(PoP)套組及所謂的"封裝中封裝"(PiP)套組。

例如於2003年10月8日提出之同在申請中之美國專利申請案第10/681,572號中展示了二堆疊PoP多封裝模組之實

例。在一實例中，第一封裝(稱為"底部"封裝)類似於標準BGA，其具有一附著至BGA基板之附晶側("上"側)且與其電連接之晶粒，且經空腔模製以提供一，該模套覆蓋該晶粒及該等電連接、但留下基板之附晶側的一邊陲區為曝光狀態。與附晶側相對之底部封裝基板之側("下"側，可稱為"對地"側)具有焊球，以用於與具有下伏電路(諸如母板)之模組的第二級互連。第二封裝(稱為"頂部"封裝)堆疊於底部封裝上且亦類似於標準BGA，唯一區別係提供於頂部封裝之對地側之焊球經配置於頂部封裝基板之周邊，以便於其停置在底部封裝之附晶側之曝光邊陲區處之互連位點上。當接觸周邊配置球並接著將其回焊至底部封裝處之周邊定位互連位點上時，其將影響z互連而不干擾底部BGA之模套。亦囊封頂部封裝晶粒及電連接。

用於PoP模組中之z互連之類型需要將頂部及底部封裝基板設計為匹配用於z互連球之墊。若該等封裝中之一者與基板具有不同墊配置(不同尺寸或不同設計)之一者交換，則用於其他封裝之基板必須相應地重組態。此導致增加多封裝模組之製造成本。在PoP組態中，視晶粒之數目及視晶粒至基板之電連接係由覆晶還是藉由打線結合進行兩種因素而定，頂部與底部封裝之間的距離必須至少與底部封裝之囊封高度(其可為0.25 mm或更大)一樣高，且通常在0.5 mm與1.5 mm之間的範圍中。舉例而言，對於底部封裝中之單一打線結合晶粒，300 um之模套通常可容納75 um厚的晶粒。因此，z互連焊球必須相應地為直徑足夠大的

焊球，以便當其回焊時，其與底部BGA之結合墊很好的接觸，而在頂部封裝基板之對地側與底部封裝模套之上表面之間無接觸；即，焊球直徑必須大於囊封高度以至高出量允許焊球在回焊期間塌陷，及對球與基板間之異面的容限。塌陷球高度與底部模套高度之間的一典型設計差異(額外間隙)為約25 μm 。舉例而言，對於厚度為約300 μm 之模套而言，必須使用大於300 μm 之z互連焊球。更大球直徑指示更大球間距(例如，通常300 μm 球約0.65 mm)。其又限制可安裝於底部封裝基板周邊之可用間隔中之球的數目。此外，焊球之周邊配置迫使底部BGA顯著地大於標準BGA之模套。且焊球之周邊配置可增大總封裝尺寸(該尺寸根據球列之數目及球間距而增大)。在標準BGA中，主體尺寸可大於模套約2-3 mm。此外，PoP組態中之頂部封裝必須由與底部封裝相當的尺寸的封裝製成，即使其可含有具有許多較少互連之小晶片。為向球附件(例如額外的球列)提供較大區而增大封裝佔據面積，如此可超過特定應用之尺寸限制，且在任何情況下需要較長打線結合跨距及較大基板面積，二者皆將增加該等組件之成本。增大封裝之間的互連之數目可需要頂部封裝基板具有至少兩個金屬層(且通常兩個以上)以促進基板電連接內之路徑選擇。在一些應用中，PoP組態中在底部封裝中堆疊兩個晶粒為不實際的，因為此將導致底部模套更厚而使上述問題惡化。

例如2003年8月2日提出之同在申請之美國專利申請案第

10/632,549號及2003年10月8日提出之同在申請之美國專利申請案第10/681,572號中，揭示了二堆疊PiP模組的實例，其於頂部與底部封裝基板之朝上側之間具有藉由打線結合進行的z互連。在該PiP組態中，頂部封裝可定向為與底部封裝相同之方向(即，二封裝基板之附晶側面對相同方向)；或頂部封裝可相對於底部封裝反向(即，各封裝基板之附晶側彼此面對)。第二級互連焊球提供於底部封裝基板的對地側上，用於連接模組與諸如母板之下伏電路。在頂部封裝為反向的組態中，z互連打線結合將頂部基板之對地側的打線結合位點與底部封裝基板之附晶側上的周邊配置打線結合位點連接。當頂部與底部封裝以相同方式定向時，z互連打線結合將頂部基板之附晶側的周邊配置打線結合位點與底部封裝基板之附晶側的周邊配置打線結合位點連接。在兩個組態中，頂部封裝皆必須小於(在每一具有z互連之邊陲上至少窄及/或短0.5 mm)底部封裝以容納打線結合進程。

PoP模組或PiP模組藉由過度模製完成，以完全地覆蓋頂部封裝及封裝之間的打線結合互連。一旦模組完成過度模製，則不可進行進一步之整合。即，設計者不具有在產品組裝級(即在表面黏著裝配台處)重組套組的靈活性；且最初設備製造商無法混合並匹配來自各種供應商之各種封裝以減少成本。

【發明內容】

本發明係關於半導體封裝，其具有安裝於一第一封裝基

板之一附晶側且與其電連接的至少一個晶粒，且具有一安裝於該第一封裝晶粒上之第二基板。該第一封裝基板之與該附晶側相對之側可稱為該基板之"對地"側。該第二基板具有一面對該第一封裝基板之該附晶側的第一側，及一背對該第一封裝基板之該附晶側的第二側(其可稱為該第二基板之"對地"側)。相應地，該等基板之"對地"側彼此背對。該第一封裝基板與該第二基板之 z 互連係由連接該第一封裝套組基板與該第二基板之打線結合來進行。

通常，根據本發明，該封裝以該第二基板(在該封裝之一側)及該第一封裝基板(在該套組之相反側)之一部分皆為曝光狀態的方式進行囊封，以便可進行第二級互連及與額外組件之互連。

在一些實施例中，該第一封裝晶粒藉由打線結合與該第一封裝基板電連接，且在此等實施例中，該第二基板由一間隔片或間隔片套組支撐於該第一封裝晶粒上，在該基板之該第一側與該晶粒之頂部之間提供足夠的間隔以容納線迴路高度。該第二基板可由一安裝於該第一封裝晶粒上之間隔片或間隔片套組(例如一"虛擬"晶粒)支撐；或該第二基板可由一安裝於該第一封裝晶粒上之間隔片或間隔片套組(例如環氧樹脂點或墩)支撐。

該第一封裝基板與該第二基板之間的 z 互連係由該第一封裝基板之對地側上一邊陲區中之打線結合位點與該第二基板之該第一側上一邊陲區中之周邊定位打線結合位點之間的打線結合來進行。

根據本發明之一一般態樣，該第二基板大於(意即，寬於或長於、或既寬於又長於)該第一封裝基板，以容納打線結合之跨距。套組囊封可覆蓋該第二基板之該第一側之不為該間隔片或間隔片結構所接觸的任何區域，且封閉該等 z 互連打線結合及線迴路、該第一封裝之邊緣、及該第一封裝之對地側上的邊陲區。相應地，該第二基板之對地側及該第一基板之對地側的位於邊陲區內的區域皆保留為曝光狀態。

根據本發明之另一一般態樣，該第一基板大於(意即，寬於或長於、或既寬於又長於)該第二封裝基板，以容納打線結合之跨距。在根據此態樣之套組中，囊封可覆蓋該第二基板之該第一側之不為該間隔片或間隔片結構所接觸的任何區域，且封閉該等 z 互連打線結合及線迴路、該第二封裝之邊緣、及該第二封裝之對地側上的邊陲區。相應地，該第一基板之對地側及該第二基板之對地側的位於邊陲區內的區域皆保留為曝光狀態。

根據本發明之一態樣，該第一封裝晶粒及該第一封裝基板連同該晶粒與該基板之電互連一起構成一封裝次套組。在一些實施例中，該第一封裝包括一球狀柵格陣列基板，且該封裝與一諸如母板之下伏電路的第二級互連係由該第一封裝基板之對地側的曝光部分處的或該第二基板之曝光對地側上的焊球互連(或其他第二級互連)來進行；或，當該第一封裝套組基板大於該第二基板時，該封裝與一諸如母板之下伏電路的第二級互連係由該第一套組基板之對地

側上的焊球互連來進行。

在一些實施例中，該第一封裝次套組包括附著至該第一套組基板且與其電互連之堆疊晶粒。在一些實施例中，該封裝中之該晶粒藉由打線結合與該第一套組基板互連；或，該封裝中之該晶粒藉由覆晶互連與該第一套組基板互連。

在較佳實施例中，該封裝之該封裝次套組側為第二級互連側；意即，該封裝與一下伏電路(例如一母板)之第二級互連係由該第一封裝基板之對地側上之曝光區域上之焊墊上的焊球(或有電連接之其他構件)來進行。相應地，該第二基板之曝光對地側可用於與可堆疊於該套組上之額外組件的互連。繼而在其他態樣中，本發明突出一種半導體封裝，該半導體封裝其不僅第二基板在該封裝之一側上為曝光狀態且其第一基板有一部分在該套組之相反側上為曝光狀態，且該半導體封裝包括形成於該第一封裝基板之曝光部分處的第二級互連及與曝光之第二封裝基板上的一或多個額外組件的互連。在一些實施例中，該額外組件包括一或多個以下封裝：一球狀柵格陣列(BGA)封裝，其可為一堆疊晶粒BGA；或一額外LGA，其可為一堆疊晶粒LGA；或一四面扁平封裝(QFP)，其可為一堆疊晶粒四面扁平封裝(SD QFP)；或一四面扁平無引線(QFN)封裝或引線框晶片尺度封裝(LFCSP)，其可為一堆疊晶粒四面扁平封裝(SD QFN)；或一打線結合晶粒(或打線結合晶粒之堆疊)，其可為過度模製；或一覆晶晶粒；或一光學感測器封裝；或一

微機電感測器(MEMS)封裝；且該額外組件可另外包括一或多個被動設備。在一些實施例中，一散熱器安裝於該第二基板之曝光對地側上。

根據本發明之另一態樣，一種製造一半導體封裝套組之方法，其包括以下步驟：提供一球狀柵格陣列或焊墊柵格陣列基板，較佳如一條形球狀柵格陣列(BGA)或焊墊柵格陣列(LGA)基板；將晶粒及互連安裝至該BGA或LGA基板上以形成該封裝次套組；將一間隔片或間隔片套組安裝於該封裝次套組上，例如一安裝於該封裝晶粒上且表面具有一黏附劑的間隔片，或安裝於該第一封裝基板上之黏性間隔片；將一第二基板安裝於該間隔片上之黏附劑上或該等黏性間隔片上；固化該黏附劑或該等黏性間隔片；執行一電漿清洗；打線結合以在該第二基板之該第一側與該第一封裝基板之對地側之間形成 z 互連；執行一電漿清洗；執行一模製操作以封閉該基板之該第一側、該等 z 互連打線結合與線迴路、該第一封裝基板之邊緣及該第一封裝基板之對地側上之邊陲區，留下該第二基板之該第二("對地")側及該第一封裝基板之對地側的位於一邊陲區內的一區域；將第二級互連焊球附著至該第一封裝基板之曝光區域上的位點；且(當該第二基板經提供為一條帶或陣列基板時)單切以完成該封裝。

在一些實施例中，該方法進一步包括將一額外組件附著且電連接於該第二基板之曝光對地側上。作為堆疊封裝套組之製造中的一進一步步驟，可將一(諸)額外組件安裝於

該套組上；或，可在最終產品裝配臺上將一(諸)額外組件安裝於該套組上。

在根據本發明之該封裝中，該第二基板可包括各種基板之任一者，只要該第二基板在用於z互連之該第一側上具有曝光的打線結合位點且在用於封裝測試及/或與額外組件之互連的對地側上具有曝光的位點。一具有額外組件之模組或套組可包括各種LGA封裝之任一者；該套組可包括打線結合及/或覆晶封裝；該套組可包括一由該套組中或該套組上之一或多個散熱器所致能之熱增強特徵；該套組可包括具有一個以上晶粒之一或多個BGA及/或LGA，其堆疊或並排於封裝中；該套組可包括用於一或多個封裝之電磁遮蔽；且倘若z互連墊可用於結合於該第一封裝及該第二基板之周邊區上，則該套組可包括任何基板：層壓或增層或可撓或陶瓷基板。

本發明為產生具有較低輪廓及較小佔據面積之堆疊封裝模組而提供極好的可製造性、高度的設計靈活性及低成本。

該等封裝及模組或套組，以及晶粒及基板及晶粒堆疊及互連進程係工業中之標準，提供了對最低成本及最廣可用性之選擇。此可在選擇待堆疊之組件方面、從而在可整合於套組中之功能的種類方面提供顯著靈活性。

一典型的單一打線結合晶粒次套組的厚度約0.8 mm，其在該晶粒(包括黏附劑)上具有一間隔片。根據本發明之封裝次套組之頂部之一第二基板的堆疊可提供一用途廣泛的

用於堆疊額外組件(封裝或晶粒或被動設備)的平臺。根據本發明之套組之佔據面積可根據堆疊之最大晶片尺寸而決定。打線結合z互連通常需要封裝次套組基板比第二基板小約0.5 mm至1.0 mm，以容納線而不會短路至基板金屬邊緣。若選定封裝次套組顯著地小於頂部基板，則打線結合可容納至少達8 mm或更多的尺寸差。相應地，對於一給定選定封裝次套組而言，此允許選擇一具有一顯著大於第一封裝之佔據面積的頂部基板。此為設計者提供顯著靈活性，以選擇待堆疊於套組上之額外組件。

根據本發明之封裝及模組或套組可用於建立電腦、電訊設備以及消費型及工業電子設備。

【實施方式】

現將參看說明本發明之替代實施例之圖式而更詳細地描述本發明。諸圖式為示意性的，展示本發明之特徵及其與其他特徵及結構之關係，且未按比例繪製。為改良表達之清楚，在說明本發明之實施例之圖式中，對應於其他圖式所示元件的元件儘管在所有圖式中皆可容易地識別，但皆未特定重新標明。

在本文之一些點處，相對方位之術語諸如"水平"、"垂直"、"上"、"下"、"之上"、"下方"、"頂部"、"底部"等可用以意指如諸圖式所示之特徵的相對方位。如將瞭解，根據本發明之各種套組在使用中或處理期間可固持於任何方位。

本文(上文或下文)所涉及之所有專利及專利申請案以引

用方式併入本文。

現轉向圖1，其展示通常在1處半導體封裝套組之一實施例中的示意圖，該半導體封裝套組包括第一(圖1中之"底部")封裝次套組及堆疊於第一封裝次套組上之第二(圖1中之"頂部")基板，其中根據本發明之態樣該封裝及該第二基板藉由打線結合互連。在圖1中所示之實施例中，底部封裝次套組100包括一晶粒114，其附著至至少具有一個金屬層之第一(底部)封裝基板112上。可使用各種基板類型之任一者，包括(例如)：具有2-6個金屬層之層壓板、或具有4-8個金屬層之增層基板、或具有1-2個金屬層之可撓聚醯亞胺帶、或陶瓷多層基板。經由圖1中之實例展示之第一封裝基板112具有兩個金屬層121、123，每一金屬層經圖案化以提供適當的電路且經由通道122連接。晶粒按照慣例使用黏附劑附著至基板的一表面，通常稱為附晶環氧樹脂(其在圖1中展示於113處)，且在圖1中之組態中，晶粒所附之基板的側("附晶"側)可稱為"上"側，且彼側上之金屬層可稱為"上"金屬層，儘管附晶側在使用中不需要具有任何特定方位。

在圖1之底部封裝次套組中，晶粒經打線結合至基板之上金屬層上的打線結合位點上以建立電連接。

結合墊119提供於基板112之下金屬層123上，用於該套組至(例如)母板之下伏電路(圖中未圖示)的第二級互連。阻焊劑115、127經圖案化於金屬層121、123上以曝光結合位點處的下伏金屬以便電連接，例如用於結合打線結

合116及焊球318之打線結合位點及結合墊。

仍參看圖1，具有第一側及第二側之第二("頂部")基板10包括基板介電層12及至少一個金屬層。可使用各種基板類型之任一種；經由圖1中之實例展示之基板10具有兩個金屬層21、23，每一金屬層經圖案化以提供適當的電路且經由通道22連接。第二基板之面對第一封裝次套組之側稱為第一側，且相反側—第二側或"對地"側—背對第一封裝次套組。

在圖1之實施例中之第二基板10中，阻焊劑15、27經圖案化於金屬層21、23上以曝光結合位點處的下伏金屬以便電連接，例如用於結合打線結合118之打線結合位點。

圖1之實例中之第二基板由安裝於第一封裝基板之晶粒側上的點或墩13支撐。支撐13可為(例如)填充環氧樹脂凸塊，其高出第一封裝基板之高度足以使其支撐第二基板於封裝晶粒之上時有足夠大的距離容納打線結合116高出晶粒114表面129的迴路高度。

第二("頂部")基板10及第一("底部")封裝次套組100之z互連的完成係經由打線結合118連接頂部基板之朝下金屬層(金屬層21)上的跡線與底部封裝基板之下金屬層123上的跡線。每一打線結合118一端電連接至頂部基板10之金屬層21上之墊的朝下表面，且每一打線結合另一端連接至底部封裝基板112之下金屬層123上的墊的下表面。打線結合可藉由此項技術中熟知之任何打線結合技術諸如美國5,226,582中所描述之技術而製成，其以引用方式併入本

文。在圖1展示之實例中基板至封裝之z互連打線結合的製成係經由在頂部基板之下金屬層上的墊的表面上形成珠粒或凸塊、接著將線向底部基板之下金屬層上的墊拉伸、並將其熔合至該墊。如將瞭解，打線結合可以反向進行，即，在底部基板之下金屬層上的墊的下表面上形成珠粒或凸塊、接著將線向頂部基板之金屬層上的墊拉伸、並將其熔合至該墊。如將瞭解，選擇用於基板至封裝z互連之打線結合策略將根據堆疊基板之邊陲及在其上之結合表面的幾何配置而決定。又，如將瞭解，在習知打線結合設備中，打線結合毛細線向下走向至朝上的結合墊，相應地，根據本發明將至少對打線結合程序反向該套組。

如上所指出，在圖1之實施例中，頂部基板大於其所在之第一封裝次套組之佔據面積，留下頂部基板之第一側之周邊的一區域，其上結合墊曝光以進行打線結合118。頂部基板係打孔或單切的。

底部封裝基板之附晶側之上金屬層中的結合墊藉由打線結合連接至晶粒，且上金屬層經由至底部封裝基板之附晶側的通道而連接至該基板之對地側的下金屬層，且底部封裝基板之對地側之下金屬層經圖案化以提供用於之周邊配置結合墊以便與z互連線118連接。

根據本發明之結構允許在組裝為模組或套組之前預測試封裝，以允許在組裝之前拒收非一致性之封裝從而確保較高的最終模組測試良率。

在圖1之實施例中，各基板上之z互連墊經配置於金屬層

上基板之邊陲附近。z互連墊之位置及次序通常經配置以使得於堆疊封裝時頂部封裝基板上之z互連墊將近覆蓋底部封裝上之相應z互連墊上。便利地，頂部基板10具有大於底部封裝100之佔據面積的基板佔據面積，以允許打線結合之間隙而不會有到基板之金屬層邊緣的電短路。

一旦形成連接堆疊第一封裝與第二基板之z互連打線結合後，即形成套組囊封107，以封閉即保護z互連打線結合並將機械完整性提供至完成的套組。套組囊封107覆蓋第二基板之朝下第一側之不為支撐所接觸之的區域、封閉z互連打線結合及線迴路以及底部封裝之垂直壁及邊緣、且覆蓋底部封裝基板的對地側的邊陲區(包括線迴路及打線結合所連接之打線結合墊)。此將留下底部封裝基板之對地側的一區域為曝光狀態以進行第二級互連。換言之，一空腔形成於第一封裝側上套組囊封中，留下第二封裝基板之對地側的一內側區為曝光狀態(未囊封狀態)。參看圖3，焊球318回焊至基板之下金屬層上的結合墊119上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。如下文進一步詳細描述，可將額外封裝或晶粒安裝於第二封裝基板之對地側上且與其電連接。

如經由圖1及圖3中之實例所示，封裝可為單切的，或者，模組可為單獨模製而非單切的。

如可瞭解，第一封裝次套組與可具有至第一封裝基板之晶粒的覆晶(而非打線結合)互連。且，在一些實施例中，對第二基板之支撐可為一安裝於第一封裝次套組晶粒上之

間隔片。

第一封裝可為一堆疊晶粒封裝。圖2經由實例展示大致如圖1之半導體封裝套組2，唯一區別係在圖2之實例中底部封裝次套組具有安裝至封裝基板上且與其電互連的堆疊晶粒，其具有兩個打線結合晶粒。現參看圖2，在封裝次套組120中，第一晶粒114使用黏附劑附著至基板112之(圖中朝上之)附晶側且第二晶粒144使用黏附劑附著至第一晶粒114之(朝上之)附晶側。第一晶粒114及第二晶粒144分別藉由打線結合116、146電連接至上金屬層121中之結合位點。

在圖2之實例中，第二基板10大體上與圖1之第二基板10相同。在封裝套組2中，間隔片14(例如，其可為"虛擬"晶粒或矽或玻璃晶片)使用黏附劑213安裝至最上堆疊晶粒144且第二基板10使用間隔片14表面之黏附劑215而黏附至間隔片14上。因此，第二基板之朝下表面19停置在黏附劑215上，且間隔片14之厚度加上黏附劑213及215之厚度經選擇為足夠大以容納打線結合146之迴路高度。

根據本發明可使用其他間隔片或間隔片建構。舉例而言，間隔片14可為由一經聚合球挫平之可固化黏附劑製成的黏性間隔片，該黏附劑的直徑足夠在晶粒144之朝上表面229與基板10之朝下表面19之間提供所需間距。

在其他實施例中，若第二晶粒之佔據面積使得第二晶粒無法在不干擾打線結合的情況下堆疊於第一晶粒上(例如，第二晶粒與第一晶粒尺寸相同或大於第一晶粒)，則

可於第一晶粒上安裝一間隔片且將第二晶粒安裝於該間隔片上。

在第一封裝次套組中之第一晶粒可具有至第一封裝基板之晶粒的覆晶(而非打線結合)互連；第二晶粒可安裝於第一(覆晶)晶粒之(朝上的)背側，且打線結合至第一封裝基板之上金屬層中的結合墊，大體如上所述。

z互連打線結合218的形成通常如圖1中為z互連打線結合118所述。一旦形成連接堆疊第一封裝與第二基板之z互連打線結合後，即形成套組囊封207以封閉且保護z互連打線結合並將機械完整性提供至完成的套組。套組囊封207覆蓋第二基板之朝下第一側的邊陲區、封閉z互連打線結合及線迴路以及底部封裝之垂直壁及邊緣、且覆蓋底部封裝基板的對地側的邊陲區(包括線迴路及打線結合所連接之打線結合墊)。此將留下底部封裝基板之對地側的一區域為曝光狀態以進行第二級互連。如經由圖3中之實例所示，焊球318回焊至曝光下層封裝基板之下金屬層上的結合墊119上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。

在一替代實施例中，第二基板之曝光側提供了第二級互連。經由實例，圖4中所示之實施例具有安裝至金屬層23上之墊419上的第二級互連焊球418，用於將封裝套組連接至諸如一母板之下伏電路。在諸如此等實施例中，第一封裝基板之曝光部分可用於堆疊諸如封裝、晶粒或被動設備

之額外組件。然而，第一封裝基板之曝光部分具有比第二封裝基板更多的限制區域，限制了第一封裝側可進行之互連的數目。此外，覆蓋第一封裝基板之對地側之邊陲區的套組模製207的部件必須足夠厚以容納打線結合218之迴路高度(加上容限)。通常，線迴路之模製的厚度在約50 um至約200 um的範圍中。若使用反向打線結合從而將線迴路之端縫合至第一封裝之對地側上的墊上，則線迴路高度實務上可低至約35 um，相應地，可在此等實施例中達成低至約100 um之邊陲區之上之模製厚度。若使用前向打線結合則將需要更大的模製高度，此時線球(或凸塊)之上之線迴路高度通常約100 um或更大，其使用目前可用打線結合技術形成厚度約1 mil之線。

此將實際提高第一封裝基板之曝光區域周圍的下壁，且限制可堆疊於第一封裝基板之對地側上之設備的尺寸及組態。例如圖3中所示之實施例中，第二級互連在第一封裝基板之對地側的曝光區域處進行，該等施例允許在套組上堆疊大得多的額外組件，例如圖7B及圖8B所示。

圖5A及圖5B分別為展示適用於如圖2之112所說明之第一封裝基板之對地側及附晶側的平面圖中的示意圖。參看圖5A，對地側之大部分表面由阻焊劑覆蓋，其遮蔽下方的圖案化金屬層中除阻焊劑中之開口所暴露之位點以外的部分。阻焊劑中之開口暴露基板之對地側的圖案化金屬層中的位點，包括陣列於基板表面之中間區域中的球墊(例如53)及配置於基板邊緣52附近之邊陲區中的結合指(例如

56)。被阻焊劑遮蔽的是金屬層中之跡線(例如523)，其不同地連接球墊53及結合指56及/或連接球墊53與通道(例如522)，該通道電將基板之對地側之圖案化金屬層中的跡線與基板之附晶側之圖案化金屬層中的跡線連接。

如上所述，套組囊封可覆蓋結合墊56及形成於墊56處之線迴路；由於囊封於基板的對地側受限至一邊陞區(由圖5A中之虛線58指示)，因此第一封裝基板之對地側由邊陞囊封所約束之(即，在虛線58內之)區域保留為曝光狀態以進行隨後的套組模製形成。相應地，球墊53可用於額外設備之附件(如圖4中所說明)或可用於與下伏電路(如圖3中所說明)之套組的z互連。球墊53此外可用作在組裝之前測試封裝或視需要在安裝第二級互連焊球之前測試封裝套組的測試探頭位點。囊封邊陞區之寬度由結合指之長度、至結合指之跡線之長度及切割道之寬度的總和而決定(圖5A中之MW)。另外，一些模型溢料可出現於邊陞之內緣處的基板表面上(圖5A中之虛線58處)。若基板經提供為一條帶或陣列基板，則在第一封裝之單切期間該內邊緣處之一些基板材料丟失為切割寬度。通常，結合指長度為約250 μm ，指跡線長度為約50 μm ，而對模製樹脂滲出之容許可為約500 μm 。切割通常消耗約50 μm 。

作為實際問題，球墊53之數目及配置視標稱球直徑而定，因為當球塌陷時彼此不可接觸或靠得太近。又，作為實際問題，球墊53之尺寸及接近度受製造跡線且尤其阻焊劑開口之分解度的限制所限。在典型的實例中，球墊通常

為直徑約280 um之圓形且通常配置於一中心至中心距離為500 um之正方形或矩形陣列中。(相鄰阻焊劑開口之最近邊緣之間的距離通常不少於中心距離之0.20倍)。

附有晶粒之第一封裝基板之附晶側說明於圖5B中。第一晶粒114現用側向上地附著至基板之附晶側上。在此實例中，晶粒具有界定一正方形之四個邊。打線結合墊51以列配置於晶粒之四個邊附近。如在基板之對地側上一般，除金屬層上之位點由阻焊劑中之開口暴露以外附晶側之大部分表面由阻焊劑覆蓋，尤其包括結合指(例如54)之列(在此實例中為一沿晶粒每一邊緣之列)。線116連接晶粒墊51與結合指54。阻焊劑遮蔽的是金屬層中之跡線(例如521)，其將結合指54連接至通道(例如522)，該通道將基板之附晶側之圖案化金屬層中的跡線與對地側之圖案化金屬層中的跡線電連接。相應地，第一封裝晶粒經由線連接至第一封裝基板之附晶側上之金屬層中的跡線且經由通道連接至跡線及至對地側上之金屬層中的Z互連打線結合指。Z級互連線將第一封裝基板之對地側上的結合指連接至第二封裝基板之附晶側上的結合指。圖5B中第二晶粒144之佔據面積由虛線544指示。圖5B中間隔片14之佔據面積由虛線514指示；或者，若使用第一基板上之間隔片13而非安裝於第二晶粒上之間隔片14，則其位置舉實例而言由(例如)虛線513指示。為簡單起見，圖5B省略第二晶粒及打線結合146以及間隔片14或者間隔片13。

圖6A及圖6B分別為展示如圖1中10所說明之適當第二封

一側之大部分表面由阻焊劑覆蓋，尤其包括配置於基板之緣62附近之邊陲區中的z互連結合指(例如66)。由阻焊劑遮蔽的是金屬層中之跡線(例如621)，其連接通道(例如622)，該通道將基板之第一側之圖案化金屬層中的跡線與對地側之圖案化金屬層中的跡線電連接，至z互連結合指66。

第二基板z互連墊(結合指)66藉由圖案化位於第二封裝基板12之第一側上之邊陲處的金屬層的區域而形成。邊陲延伸超出第一基板112之佔據面積；此佔據面積由圖6B中之虛線68指示。邊陲之寬度可小於約1 mm，且為了為打線結合提供充足的間隙，邊陲之寬度較佳可大於約0.2 mm。在一些實施例中，邊陲標稱上為約0.5 mm。舉例而言，第二基板之朝下第一側上之間隔片14之佔據面積由圖6B中之虛線614展示；或者，第二基板之朝下第一側上之間隔片13之接觸點由圖6B中之虛線613展示。

如上所述，第一封裝基板之第一側上之金屬層中的跡線經由通道將第二基板之第一側之z互連結合指連接至跡線且至對地側上之金屬層中的z打線結合指，其中對堆疊於套組上之額外設備或對一下伏基板(第二級互連)進行封裝之互連。z互連線將第二基板之第一側上之結合指連接至第一封裝基板之對地側上的結合指，且封裝晶粒適當時經由跡線、線及通道互連至第一封裝基板之對地側上的墊，其中對一下伏基板(第二級互連)或對堆疊於套組上之額外設備進行封裝套組之互連。以此方式，第一封裝次套組中

之晶粒視需要而互連至完成套組之頂部及底部之第一封裝基板及第二基板之對地側上的曝光墊。

由圖中可見，第二基板必定具有比第一封裝基板大的佔據面積以容納基板之間的 z 互連。在所示之實例中， z 互連沿封裝之所有四個邊配置，且相應地，第二封裝寬於且長於第一封裝。如可瞭解，在根據本發明之一些套組中， z 互連可在少於所有四個邊緣上之結合指之間進行，例如僅沿一個邊緣或沿兩個相對邊緣。在此等實施例中(除非第二基板中之較大晶粒需要較大佔據面積)，第二基板僅需在一個方向大於(長於或寬於)第一封裝。

封裝可具有各種功能性之任一種。舉例而言，第一封裝次套組可包括DSP、ASIC、GPU；或第一封裝次套組可包括諸如快閃、DRAM、SRAM之記憶體。

舉例而言，根據本發明之此態樣之覆晶封裝次套組中之處理器晶片可為ASIC、或GPU、或CPU，通常為ASIC。若封裝次套組為記憶體，則其可包括堆疊之記憶體晶粒。屏蔽之覆晶晶粒向下(die-down)之封裝次套組可尤其適於更高速度之應用，尤其適於如行動通訊應用中之RF頻率處理。

在根據本發明之其他組態中，一諸如封裝或晶粒之額外設備附著至可用(曝光)基板表面上之封裝套組，且在一些實施例中第二封裝基板之曝光對地側上之封裝套組。即，如圖3或圖4中所說明之套組可充當建構各種堆疊封裝模組之平臺。焊膏(圖中未圖示)可(例如)藉由印刷而分配或塗

覆至第一封裝基板及/或第二基板之曝光側上的結合墊，以促進與焊球之互連(墊上焊料之互連)。

在此等實施例中，如圖1或圖2中所示之套組可提供一有用平臺，該平臺上可堆疊具有額外功能性之組件，如圖7A至圖13中所示。因為第二基板完全曝光，故其可容納各種組件(晶粒或封裝)組態及尺寸之任一種，且封裝套組與組件相容的全部所需係適當選擇曝光之第二基板上之跡線的路徑以接受額外組件。

舉例而言，如圖7A及圖7B中所示，一球狀柵格陣列(BGA)封裝可安裝於如上參照圖3所述建構之封裝套組上。在圖7A中，具有互連焊球718之BGA封裝710與第二基板10之對地側對準且安裝於其上，且焊球回焊至金屬層23中之球墊上以形成模組70。此處，BGA佔據面積小於封裝套組之佔據面積；在圖7B中所示之模組72中，BGA 720之佔據面積大於封裝套組之佔據面積，且球狀陣列具有更多互連焊球728，其相應地佔據第二封裝基板10上之更多球墊。又，在圖7B之實例中BGA係堆疊之晶粒封裝，而在圖7A中BGA係單晶粒封裝。

且舉例而言，如圖8A及圖8B中所示，一額外焊墊柵格陣列(LGA)封裝可安裝於如上參照圖3所述建構之封裝套組上。在圖8A中，具有焊墊互連818之LGA封裝810與第二封裝基板10之對地側對準且安裝至其上，且該等焊墊互連回焊至金屬層23中之墊上以形成模組80。此處，LGA佔據面積小於封裝套組之佔據面積；在圖8B所示之模組82中，

LGA 820之佔據面積大於封裝套組之佔據面積，且陣列具有更多焊墊互連828，其相應於第二封裝基板10上佔據更多的墊。又，在圖8B之實例中，LGA係堆疊晶粒封裝，而在圖8A中，LGA係單晶粒封裝。

舉例而言，如圖7A及8A中所示的具有安裝於封裝套組上之較大額外封裝的組態可包括第一封裝10中的處理器及一記憶體封裝如額外封裝720或820。封裝次套組120及套組中之第二基板10的佔據面積的尺寸主要由第一封裝中之晶粒的尺寸決定，且此通常與晶粒之功能性有關。例如ASIC相比而言可非常小，且不同處理器可為尺寸明顯不同的處理器。另一方面，記憶體晶粒相比而言較大。例如一數位訊號處理器(DSP)封裝的佔據面積通常在 12×12 mm至 16×16 mm範圍中。另一方面，例如一記憶體封裝的佔據面積通常在 8×10 mm至 18×18 mm範圍中。相應地，若如圖3中之套組在第一封裝次套組10中包括一DSP，為套組3建立 16×16 mm的佔據面積，則製造商可根據消費者之規格選擇較小LGA記憶體封裝(例如給出模組80之圖8A中之810)或較大LGA記憶體封裝(例如給出模組82之圖8B中之820)。因此，對於如圖7A、7B、8A、8B中之實施例，製造商可根據功能(記憶體容量及速度；記憶體類型)且根據面對各供應商之成本而混合及匹配平臺與選定記憶體BGA或LGA。

其他額外組件或設備可安裝於封裝套組上，僅需要對第二基板之對地側進行適當的路徑選擇以接受來自組件之電

互連。圖9展示一具有堆疊晶粒四面扁平封裝900之模組90，其附有被動設備96，安裝於通常如圖3中所建構之封裝套組上。圖10展示具有堆疊晶粒四面扁平無引線引線框晶片尺度封裝1000之模組100，其附有被動設備106，安裝於通常如圖3中所建構之半導體封裝套組上。圖11展示具有打線結合晶粒1100之模組110，其附有被動設備1106，安裝於通常如圖3中所建構之半導體套組上；晶粒及線由所謂的"軟膠頂部(glop top)"囊封所覆蓋，藉由用注射器分配囊封樹脂而形成。圖12展示具有覆晶安裝晶粒1200之模組120，其附有被動設備1206，安裝於通常如圖3中所建構之半導體封裝套組上；一填充不足可保護覆晶互連。圖13展示具有光學感測器封裝1300之模組130，其附有被動設備1306，可為影像形成設備，安裝於通常如圖3中所建構之半導體封裝套組上；光如箭頭1320所示穿過透明覆蓋層或透鏡，到達打線結合光感測器晶粒之現用側。

圖14展示套組140，其包括通常如圖3中所示之半導體封裝套組，具有安裝於第二封裝基板之對地側上之散熱器1400。

在另一態樣中例如圖24中所說明，第一封裝次套組基板(即套組中安裝有封閉晶粒之基板)具有比第二基板大之佔據面積(將圖24與圖3及圖4相比)。

在圖24之實例中，第一封裝次套組242包括安裝至第一封裝次套組基板241上(晶粒243)及堆疊於第一封裝次套組基板241上(晶粒243'、243'')之晶粒。

在圖24之堆疊封裝套組中，一間隔片(例如其可為"虛擬"晶粒或矽或玻璃晶片)使用黏附劑安裝於最上堆疊晶粒243'、243''上，且第二基板244(其可稱為"核心"基板)使用該間隔片表面的黏附劑附著於該間隔片上。因此，第二基板之朝下表面停置在間隔片上之黏附劑上，且間隔片之厚度加上黏附劑之厚度經選擇為足夠大以容納連接晶粒243'、243''與第一封裝套組基板241之打線結合的迴路高度。

舉例而言如參照圖2所描述，可根據本發明使用其他間隔片或間隔片建構。舉例而言，間隔片可為由一經聚合球挫平之可固化黏附劑製成的黏性間隔片，該黏附劑的直徑足夠在晶粒243'、243''之朝上表面與基板244之朝下表面之間提供所需間距。

且，在圖24之實例中，第二("頂部")基板及第一("底部")封裝次套組之z互連經由打線結合進行，該等打線結合將底部基板之朝上(附晶側)金屬層上的跡線與底部封裝次套組基板之下(朝上、對地側)金屬層上的跡線連接。打線結合可藉由此項技術中熟知之任一打線結合技術而形成，諸如美國5,226,582中所描述，其以引用方式併入本文。封裝至封裝z互連打線結合經由圖24之實例展示為藉由反向結合進行，其藉由在第一套組基板之附晶側上之金屬層上的墊的表面上形成珠粒或凸塊、接著將線向第二基板之對地側上之金屬層上的墊拉伸並將其熔合至該墊上。如將瞭解，打線結合可以正向進行。如將瞭解，選擇用於封裝至

封裝z互連之打線結合策略將根據堆疊基板之邊陲及其上之結合表面的幾何配置來決定。

如上所指出，在如圖24中之實施例中，第二("頂部")基板之佔據面積小於其所在之第一封裝次套組的佔據面積，留下第一("底部")封裝套組基板之附晶側之周邊的一區域，其上結合墊曝光以進行z互連打線結合。第一封裝套組基板係單打孔或單切的。

第一封裝次套組基板之附晶側之上金屬層中的結合墊藉由打線結合連接至第一晶粒243及第二及第三晶粒243'、243''，且上金屬層經由至基板之附晶側的通道而連接至第一封裝次套組基板之對地側的下金屬層；且第二基板之對地側之金屬層經圖案化以提供用於與z互連線連接之周邊配置結合墊。

根據本發明之結構允許在組裝為模組或套組之前預測試封裝，以允許在組裝之前拒收非一致性之封裝從而確保較高的最終模組測試良率。

在圖24之實施例中，各基板上之z互連墊經配置於金屬層上基板之邊陲附近。z互連墊之位置及次序通常經配置來使，當基板堆疊於第一封裝次套組上時頂部基板上之z互連墊約覆蓋於第一封裝次套組基板上之相應z互連墊上。便利地，頂部基板244具有小於第一封裝次套組基板241之基板佔據面積的基板佔據面積，以允許用於打線結合之間隙而不會有到基板之金屬層之邊緣的電短路。

一旦形成連接堆疊於第一封裝次套組上之第二基板的z

互連打線結合後，即形成套組囊封247，以封閉且保護z互連打線結合並將機械完整性提供至完成的套組。套組囊封247覆蓋第二基板之朝上晶粒側之不為晶粒所覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板之朝上側的邊陲區(包括z互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，一空腔形成於套組之第二基板側上之套組囊封中，留下第二基板之對地側的一內側區249為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接，如下文進一步詳細描述。

焊球248回焊至第一封裝套組基板之對地側上的金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。

如經由圖中之實例所示，第一封裝次套組基板可為單切的；或者，模組可為單獨模製而非單切的。

圖25展示使用圖24之堆疊封裝套組之堆疊封裝模組的實例，其中球狀柵格陣列("BGA")封裝(通常如參看圖7A所述)藉由焊球258安裝於第二基板244之對地側的曝光區域249上。圖25之堆疊封裝模組亦包括連接於第一基板244之對地側的被動設備254。

可將各種基板類型之任一種用於第一封裝套組基板及第

套組囊封277覆蓋第二基板之朝上晶粒側之不為晶粒所覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板的朝上側的邊陲區(包括z互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態，以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，一空腔形成於套組之第二基板側上之套組囊封中，留下第二封裝基板之對地側的內側區279為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接。

圖28說明其中第一次套組構成覆晶封裝282之封裝套組。參看圖28，第一封裝次套組基板241如圖24中般建構。晶粒283安裝至基板241之附晶側上。附著至晶粒上之墊的焊球或凸塊與基板之附晶側上之金屬層上的墊電連接。晶粒與基板之間的填充不足可用以保護電互連且將結構及機械完整性以及穩健性提供至互連。在此實施例中，無額外晶粒堆疊於覆晶晶粒上。第二基板244使用在晶粒之背側表面的黏附劑而附著於覆晶晶粒上。因此，第二基板之朝下表面停置在晶粒上的黏附劑上。

焊球248回焊至第一封裝套組基板之對地側上之金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。

套組囊封287覆蓋第二基板之朝上晶粒側之不為晶粒所

覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板的朝上側的邊陲區(包括z互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態，以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，一空腔形成於套組之第二基板側上之套組囊封中，留下第二封裝基板之對地側的內側區289為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接。

圖29說明其中第一次套組構成具有打線結合至第一封裝次套組基板之晶粒的BGA(或LGA)封裝之封裝套組。參看圖29，第一封裝次套組292基板241如圖24中般建構。第一晶粒293背側向下地安裝至基板241之附晶側上且藉由打線結合與基板之附晶側上之金屬層上的墊電連接。第二晶粒293'背側向下地安裝至第一晶粒293上且藉由打線結合與基板之附晶側上之金屬層上的墊電連接。第一封裝模製封閉晶粒之現用側及打線結合，且第二基板244使用模製之朝上表面處之黏附劑而附著於模製上。因此，第二基板之朝下表面停置在第一封裝模製上之黏附劑上。模製為足夠厚以容納連接晶粒293、293'與第一封裝套組基板241之打線結合的迴路高度。

焊球248回焊至第一封裝套組基板之對地側上之金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終

產品(諸如電腦)之母板(圖中未圖示)。

套組囊封297覆蓋第二基板之朝上晶粒側之不為晶粒所覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板的朝上側的邊陲區(包括z互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態，以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，一空腔形成於套組之第二基板側上之套組囊封中，留下第二封裝基板之對地側的內側區299為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接。

圖30說明通常類似於圖29中所示之封裝套組，其中第一封裝晶粒為覆晶晶粒而非打線結合晶粒。參看圖30，第一封裝次套組302基板241如圖24中般建構。第一晶粒303安裝至基板241之附晶側上。附著至晶粒上之墊的焊球或凸塊與基板之附晶側之金屬層上的墊電連接。晶粒與基板之間的填充不足可用以保護電互連且將結構及機械完整性以及穩健性提供至互連。在此實例中，第二晶粒303'背側向下地安裝至第一晶粒303上且藉由打線結合與基板之附晶側上之金屬層上的墊電連接。第一封裝模製封閉晶粒之現用側及打線結合，且第二基板244使用在模製之朝上表面上之黏附劑而附著於模製上。因此，第二基板之朝下表面停置在第一封裝模製上之黏附劑上。模製為足夠厚以容納

連接晶粒303'與第一封裝套組基板241之打線結合的迴路高度。

焊球248回焊至第一封裝套組基板之對地側上之金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。

套組囊封307覆蓋第二基板之朝上晶粒側之不為晶粒所覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板的朝上側的邊陲區(包括z互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態，以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，一空腔形成於套組之第二基板側上之套組囊封中，留下第二封裝基板之對地側的內側區309為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接。

根據本發明，可藉由在第二基板之曝光區域上的空腔中堆疊一或多個額外設備，使用經由圖24及圖26至圖30中之實例所示的各種平臺之任一者，提供堆疊封裝模組。一焊膏(圖中未圖示)可藉由例如印刷而分配或塗覆至第一封裝基板及/或第二基板之曝光側上的結合墊以促進與焊球之互連(墊上焊料之互連)。一實例展示於圖25中，其中額外設備包括一BGA封裝。可使用諸圖所示的用於在根據圖4之套組上堆疊額外設備的方式，將其他額外設備堆疊於該

等套組中之任一者上，如經由圖8至圖14中之實例所說明。額外組件舉例而言可包括：球狀柵格陣列(BGA)封裝，其可為堆疊晶粒BGA；或額外LGA，其可為堆疊晶粒LGA；或四面扁平封裝(QFP)，其可為堆疊晶粒四面扁平封裝(SD QFP)；或四面扁平無引線(QFN)封裝或引線框晶片尺度封裝(LFCSP)，其可為堆疊晶粒四面扁平封裝(SD QFN)；或打線結合晶粒(或打線結合晶粒之堆疊)，其可為過度模製；或覆晶晶粒；或光學感測器封裝；或微機電感測器(MEMS)封裝；且該額外組件可另外包括一或多個被動設備。

在該等實施例中，第二基板("核心"基板)充當內插板，且該核心基板/內插板及第一封裝基板在各種實施例中可為層壓基板(如上參照圖式進行之描述)或增層基板；介電層可由各種材料之任一者建構，包括聚合物、帶、矽、陶瓷等。或，核心基板/內插板可為(例如)金屬引線框。可將諸如被動設備或電屏蔽之額外特徵提供於核心基板/內插板之任一表面上或可嵌入核心基板/內插板中。另外或其他，可將此等額外特徵附著於第一封裝基板之表面上。

如將瞭解，在其所有各種態樣中，本發明突出一種套組，其具有第一封裝次套組及堆疊於第一封裝套組上之第二基板，且具有第一封裝基板與第二基板之間的打線結合 z 互連，其中該套組以曝光一個基板之對地側且曝光其他基板之對地側之一部分的方式而加以囊封。

此外，封裝套組構成一平臺以進行與各種額外組件之任

一者的組合。相應地，在各種組態中，套組之第二級互連係於一個基板之對地側進行，且一或多個額外組件堆疊於另一基板之對地側上。額外組件可由製造商在產品裝配臺上選擇且可自現成的組件中選擇。

可在諸如電腦、攜帶型通訊設備、消費型產品之各種不同應用之任一者中使用本發明之半導體套組。

可將根據本發明之半導體套組用於組建電腦及在(例如)電訊中用於組建消費型及工業電子設備。本發明以較高最終測試良率在薄且最小佔據面積封裝中提供有一個以上半導體之套組。獨立封裝之構造可允許在將封裝組裝成套組之前對其進行測試、確保在套組中僅使用良好封裝組件、從而確保較高套組良率。

本發明在設計、尤其在具有選定功能性之組件的選擇中提供靈活性，且賦能標準封裝之使用，減少了對定製設計的需要並降低了成本。

製造用於本發明之各種封裝及選擇用於本發明之封裝基板路徑的進程中的程序，已很好的建立於本工業中。

該組裝進程類似於根據本發明之各種態樣的組態。大體而言，該進程包括以下步驟：提供球狀柵格陣列或焊墊柵格陣列基板，較佳如一條形球狀柵格陣列(BGA)或焊墊柵格陣列(LGA)基板；將晶粒及互連安裝至該BGA或LGA基板上以形成封裝次套組；將一間隔片或間隔片套組安裝於該封裝次套組上，例如一安裝於封裝晶粒上且在表面上具有黏附劑之間隔片，或安裝於第一封裝基板上之黏性間隔

片；將第二基板安裝於間隔片上之黏附劑上或黏性間隔片上；固化黏附劑或黏性間隔片；執行電漿清洗；打線結合以在該第二基板之第一側與該第一封裝基板之對地側之間形成 z 互連；執行電漿清洗；執行模製操作，以封閉基板之第一側、 z 互連打線結合及線迴路、第一封裝基板之邊緣及第一封裝基板之對地側上的邊陲區，留下第二基板之第二("對地")側及第一封裝基板之對地側位於一邊陲區內之區域為曝光狀態；將第二級互連焊球附著至第一封裝基板之曝光區域上的位點；及(當第二基板經提供為一條帶或陣列時)單切以完成封裝。

有利地，封裝可在組裝之前進行測試，且對不符合效能及可靠性要求的封裝可加以擯棄，因此經測試為"良好"之第一封裝可用於組裝模組。本工業中已很好的建立了CSP之測試，且通常藉由獲取對焊球墊之接觸而加以完成。完成的套組可以與測試BGA之方式相同的方式加以測試。

圖15為展示例如圖3中所示之堆疊封裝套組之組裝進程的流程圖；圖16A至圖23B為展示此進程諸階段中的成對剖視圖及平面圖。在步驟1502中，提供一非單一化基板條帶(圖16A、16B)。在步驟1504中，將晶粒安裝至基板之附晶側上(圖17A、17B)，且在步驟1506中，晶粒打線結合至基板之附晶側的金屬層(圖18A、18B)以形成封裝次套組。在步驟1508中，執行電漿清洗。在步驟1510中，將一間隔片附著至封裝次套組(至圖中所示實例中的最上晶粒上)(圖19A、19B)且將黏附劑塗覆至間隔片。在步驟1511中，提

供單一化第二基板；且在步驟1512中，將第二基板附著至間隔片上之黏附劑(圖20A、20B)；且在步驟1514中，固化黏附劑。在步驟1516中，執行電漿清洗操作，以為經由基板條中之狹槽形成打線結合z互連的步驟1518做準備(圖21A、21B)。在步驟1520中，可執行額外電漿清洗，繼而在步驟1522中形成堆疊封裝套組模製(圖22A、22B)及封裝之單一化(圖23A、23B)。模組裝置經組態以允許模製化合物囊封z互連線迴路且防止模製化合物侵入第一封裝基板之對地側的內部區。在步驟1524中，將第二級互連焊球附著至封裝之對地側之曝光內部區域、測試完成的套組並藉由單切而自條帶單一化、且將其封裝以便進一步使用。

如將瞭解，可根據本文所述之方法使用大體習知之技術及對習知製造工具之直接修改(如本文所述)而執行根據本發明之進程之各步驟的單個步驟。習知技術之變化及習知製造裝置之修改視需要可在無不當試驗的情況下使用本文之描述而加以完成。

其他實施例在以下申請專利範圍內。

【圖式簡單說明】

圖1為穿過根據本發明之一態樣之半導體封裝套組之實施例的剖面示意圖。

圖2為穿過根據本發明之另一態樣之半導體封裝套組之實施例的剖面示意圖。

圖3為穿過根據本發明之另一態樣之半導體封裝套組之實施例的剖面示意圖。

圖4為穿過根據本發明之另一態樣之半導體封裝套組之實施例的剖面示意圖。

圖5A為展示根據本發明之一實施例在一適用於如圖3所示之本發明實施例之配置中的第一封裝基板之對地側的平面示意圖。

圖5B為展示根據本發明之一實施例在一適用於如圖3所示之本發明實施例之配置中的第一封裝基板之附有晶粒之附晶側的平面示意圖。

圖6A為展示根據本發明之一實施例在一適合於如圖3所示之本發明實施例之配置中的第二基板之對地側的平面示意圖。

圖6B為展示根據本發明之一實施例在一適合於如圖3所示之本發明實施例之配置中的第二基板之第一側的平面示意圖。

圖7A及圖7B為穿過根據本發明之實施例之半導體套組的剖面示意圖，其中每一半導體套組包括一堆疊於該套組上之BGA。

圖8A及圖8B為穿過根據本發明之實施例之半導體套組之剖面示意圖，其中每一半導體套組包括一堆疊於該套組上之LGA。

圖9為穿過根據本發明一實施例之半導體套組之剖面示意圖，其中該半導體套組包括一堆疊於套組上之SD QFP。

圖10為穿過根據本發明一實施例半導體套組之剖面示意

圖，其中該半導體套組包括一堆疊於套組上之SD QFN/LFCSP。

圖11為穿過根據本發明一實施例之半導體套組之剖面示意圖，其中該半導體套組包括一堆疊於套組上之打線結合晶粒。

圖12為穿過根據本發明一實施例之半導體套組之剖面示意圖，其中該半導體套組包括一堆疊於套組上之覆晶晶粒。

圖13為穿過根據本發明一實施例之半導體套組之剖面示意圖，其中該半導體套組包括一堆疊於套組上之光學感測器封裝。

圖14為穿過根據本發明一實施例之半導體套組之剖面示意圖，其中該半導體套組包括一堆疊於套組上之散熱器。

圖15為展示根據本發明一實施例製造半導體套組之進程中的諸步驟的圖式。

圖16A至圖23B為展示根據本發明一實施例製造封裝之進程中之諸階段的成對的剖視圖(16A、17A、18A、19A、20A、21A、22A、23A)及平面圖(16B、17B、18B、19B、20B、21B、22B、23B)。

圖24為穿過根據本發明之另一態樣之半導體封裝套組之實施例的剖面示意圖。

圖25為穿過根據本發明之一實施例之半導體封裝之實施例的剖面示意圖，其中該半導體封裝包括一堆疊於套組上的BGA(如圖24)。

圖26為穿過根據本發明另一實施例之半導體封裝套組的剖面示意圖。

圖27為穿過根據本發明另一實施例之半導體封裝套組的剖面示意圖。

圖28為穿過根據本發明另一實施例之半導體封裝套組的剖面示意圖。

圖29為穿過根據本發明另一實施例之半導體封裝套組的剖面示意圖。

圖30為穿過根據本發明另一實施例之半導體封裝套組的剖面示意圖。

【主要元件符號說明】

1	半導體封裝套組
2	半導體封裝套組
10	第二基板
12	基板介電層
13	點或墩
14	間隔片
15	阻焊劑
19	第二基板之朝下表面
21	金屬層
22	通道
23	金屬層
27	阻焊劑
51	打線結合墊

52	基板邊緣
53	球墊
54	結合指
56	結合指
58	指示第一封裝基板地側的邊緣區域之虛線
62	基板邊緣
63	球墊
66	結合指
68	指示第一基板佔據面積之虛線
70	模組
72	模組
80	模組
82	模組
90	模組
96	被動設備
100	模組
106	被動設備
107	套組囊封
110	模組
112	第一封裝基板
113	晶粒附晶環氧樹脂
114	第一晶粒
115	阻焊劑

116	打線結合
118	打線結合
119	結合墊
120	封裝次套組
121	金屬層
122	通道
123	金屬層
127	阻焊劑
129	第一晶粒表面
130	模組
140	套組
144	第二晶粒
146	打線結合
207	套組囊封
213	黏附劑
215	黏附劑
218	互連打線結合
229	晶粒表面
241	第一封裝次套組基板
242	第一封裝次套組
243、243'、243''	晶粒
244	第二基板
247	套組囊封
248	焊球

249	曝光內側區域
254	被動設備
257	套組囊封
258	焊球
262	第一封裝次套組
263、263'、263''	晶粒
269	曝光內側區域
272	第一封裝次套組
273	晶粒
274	第二基板
277	套組囊封
279	曝光內側區域
282	覆晶封裝
283	晶粒
287	套組囊封
289	曝光內側區域
292	第一封裝次套組
293	第一晶粒
293'	第二晶粒
297	套組囊封
299	曝光內側區域
302	第一封裝次套組
303	第一晶粒
303'	第二晶粒

307	套組囊封
309	曝光內側區域
318	焊球
418	焊球
419	墊
513	指示間隔片位置之虛線
521	跡線
522	通道
523	跡線
613	指示間隔片接觸點之虛線
614	指示間隔片佔據面積之虛線
621	跡線
622	通道
623	跡線
710	BGA封裝
718	焊球
720	額外封裝
728	焊球
810	LGA封裝
818	焊墊互連
820	額外封裝
828	焊墊互連
900	堆疊晶粒四面扁平封裝
1000	堆疊晶粒四面扁平無引線引線框

	晶片尺度封裝
1100	打線結合晶粒
1106	被動設備
1200	覆晶安裝晶粒
1206	被動設備
1300	光學感測器封裝
1306	被動設備
1320	指示光穿過之箭頭
1400	散熱器

十一、圖式：

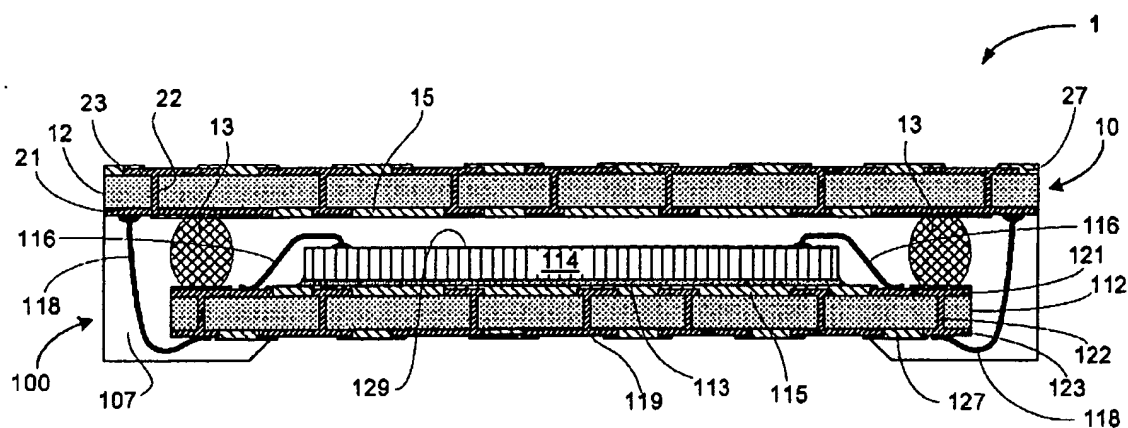


圖 1

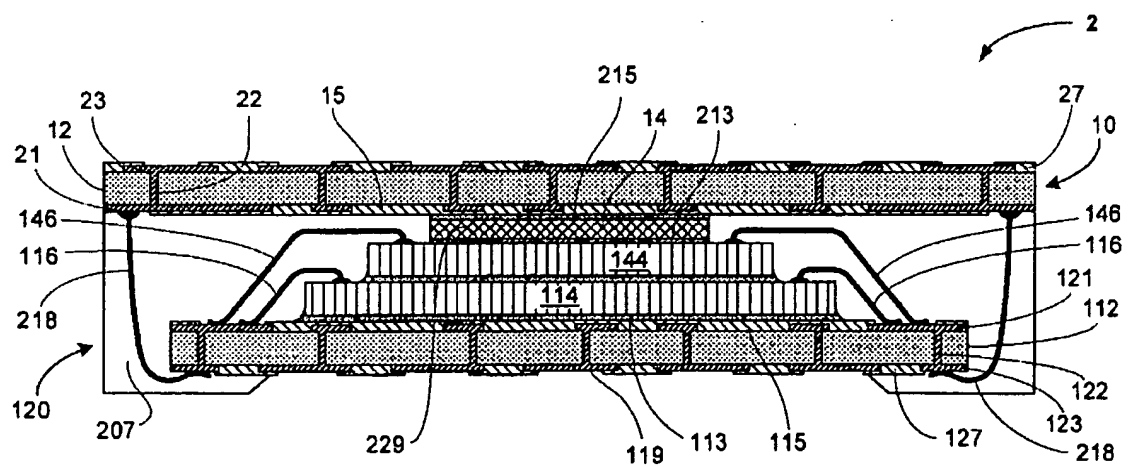


圖 2

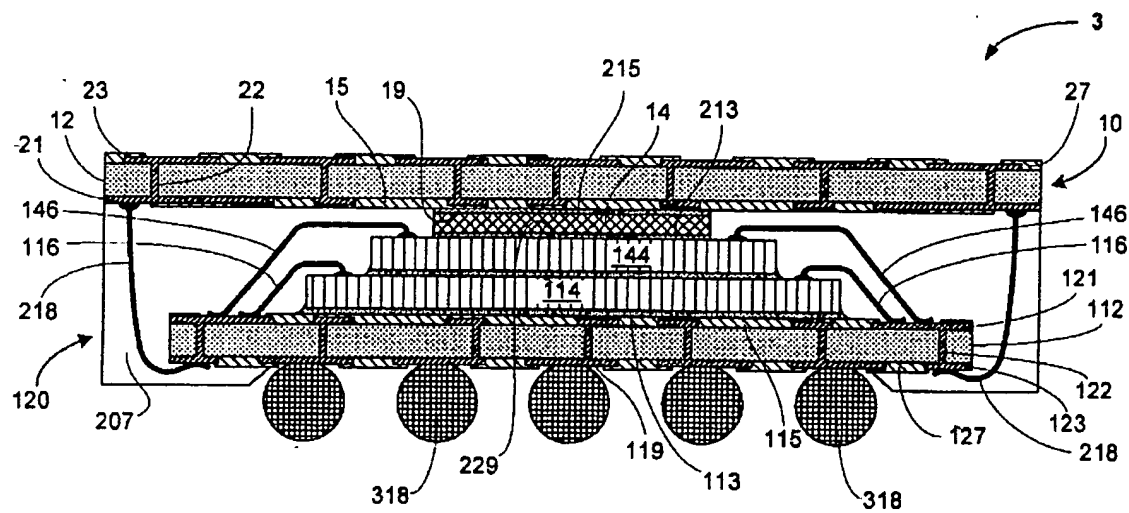


圖3

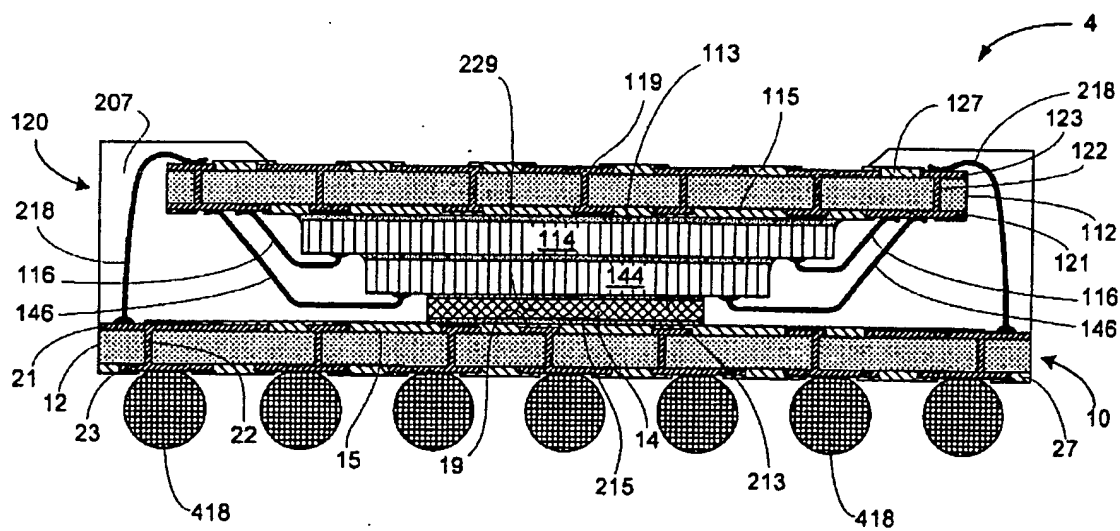


圖4

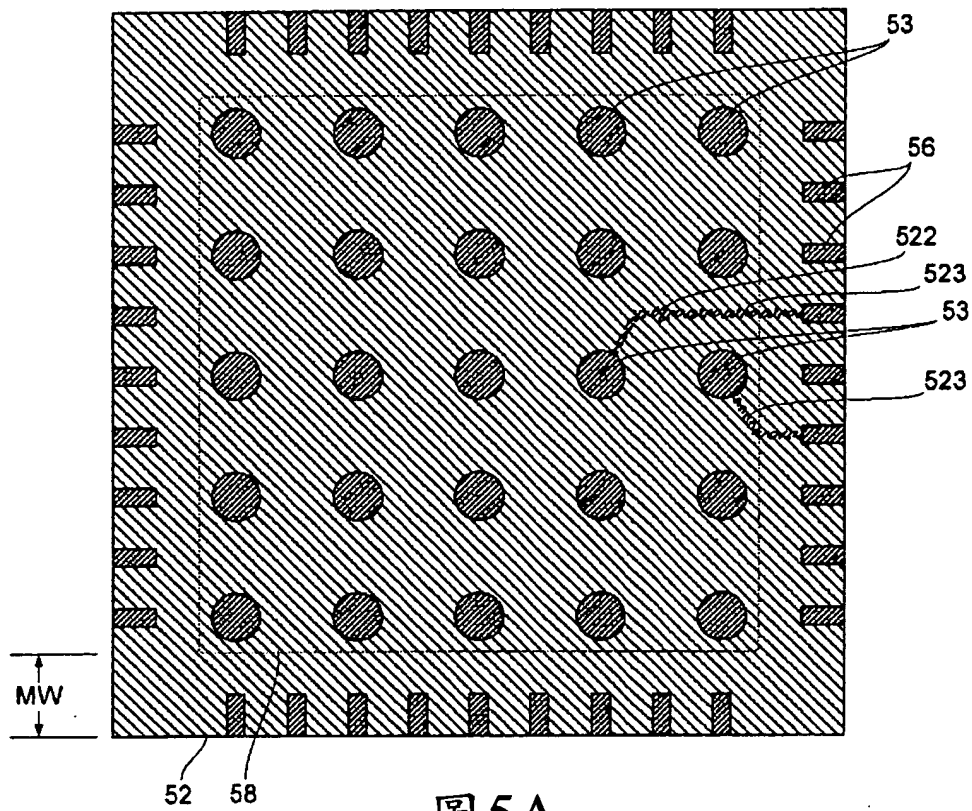


圖 5A

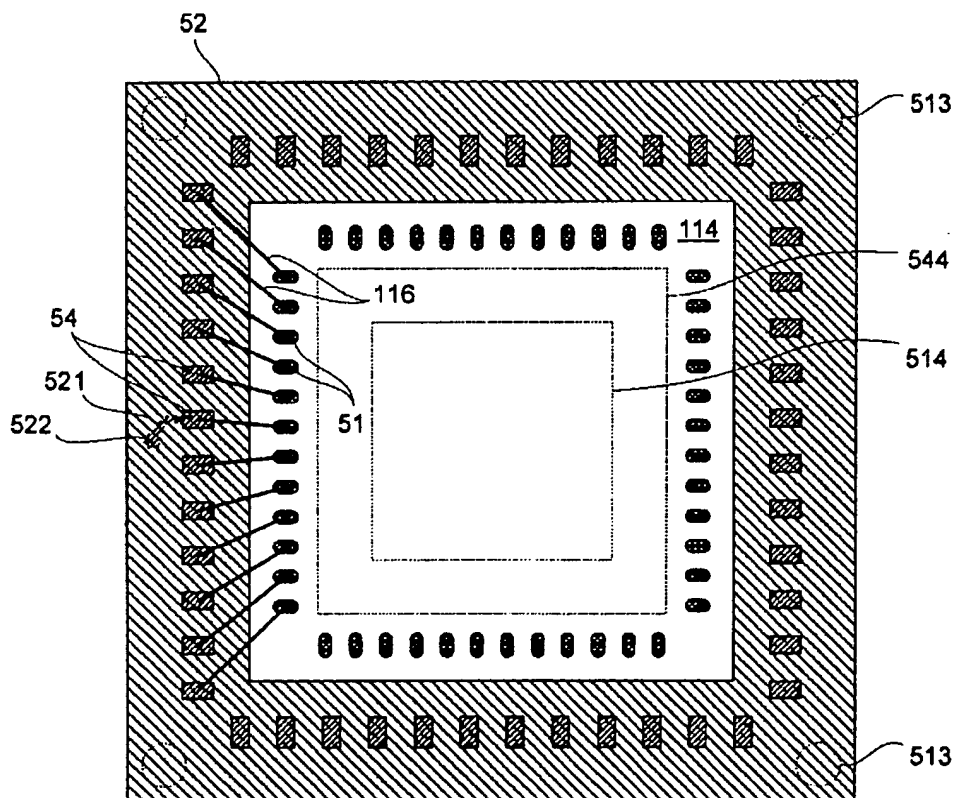


圖 5B

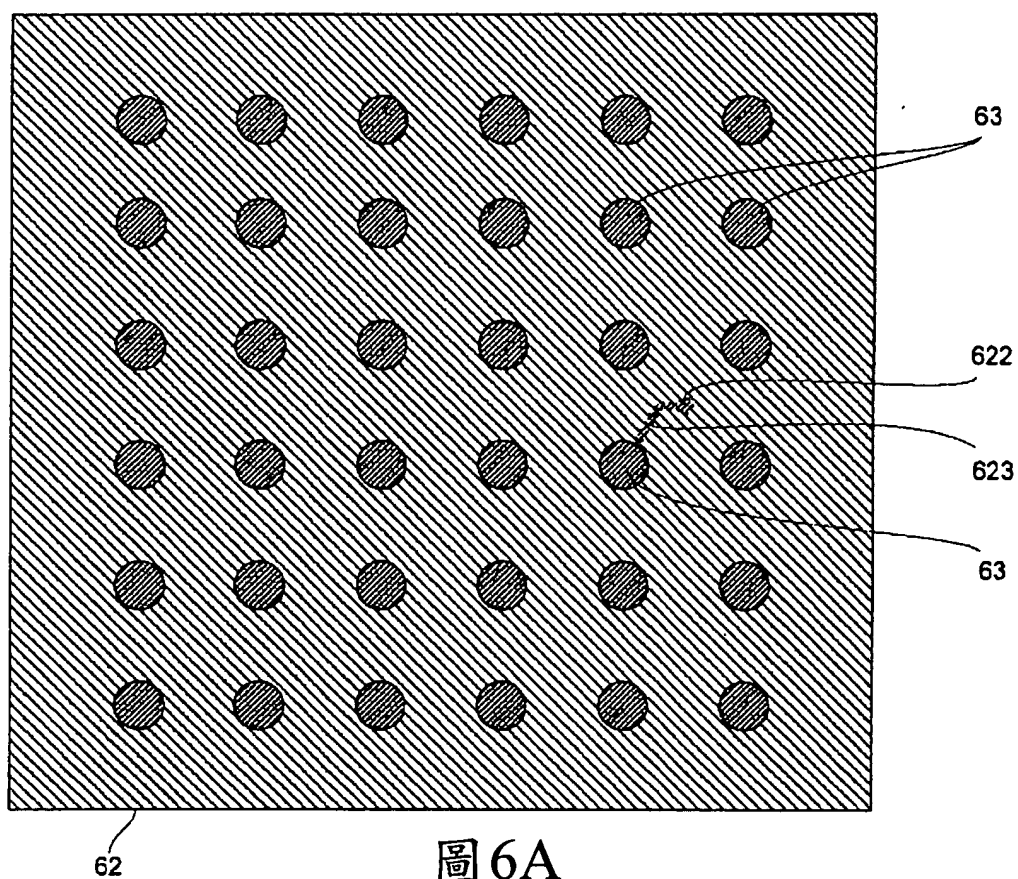


圖 6A

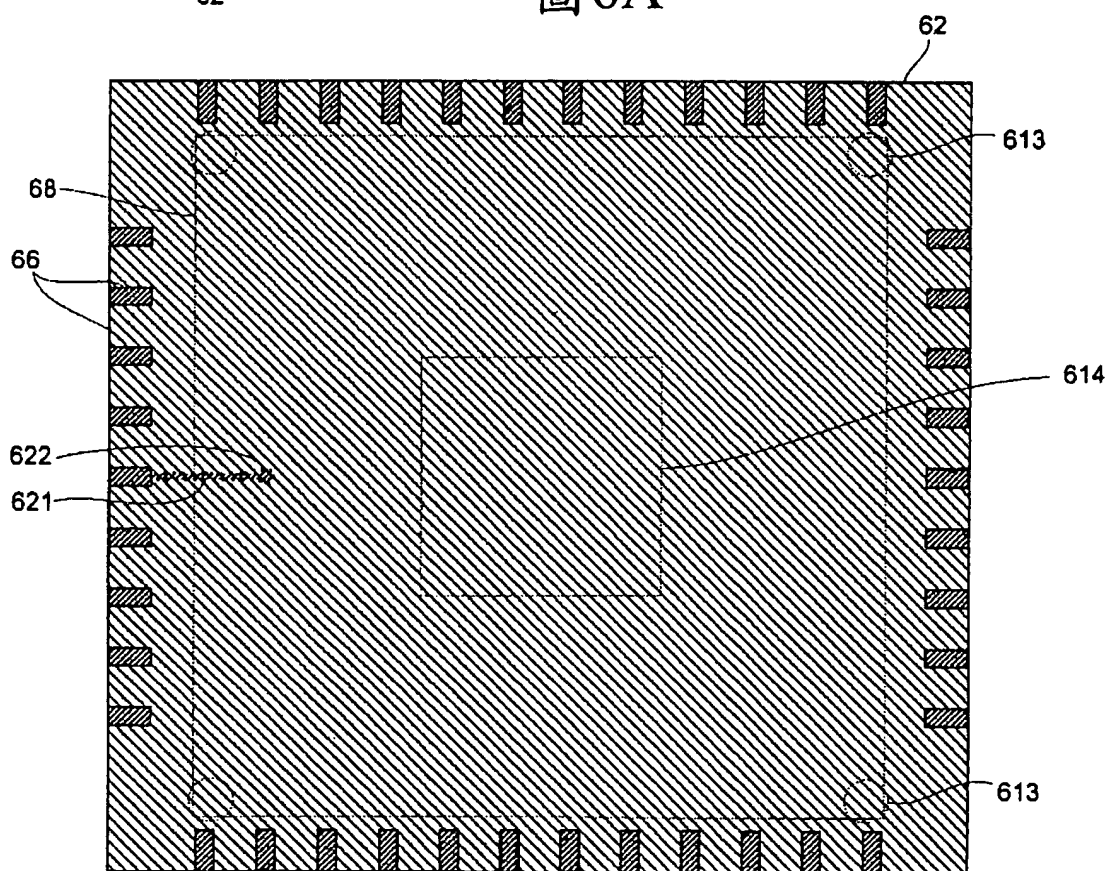


圖 6B

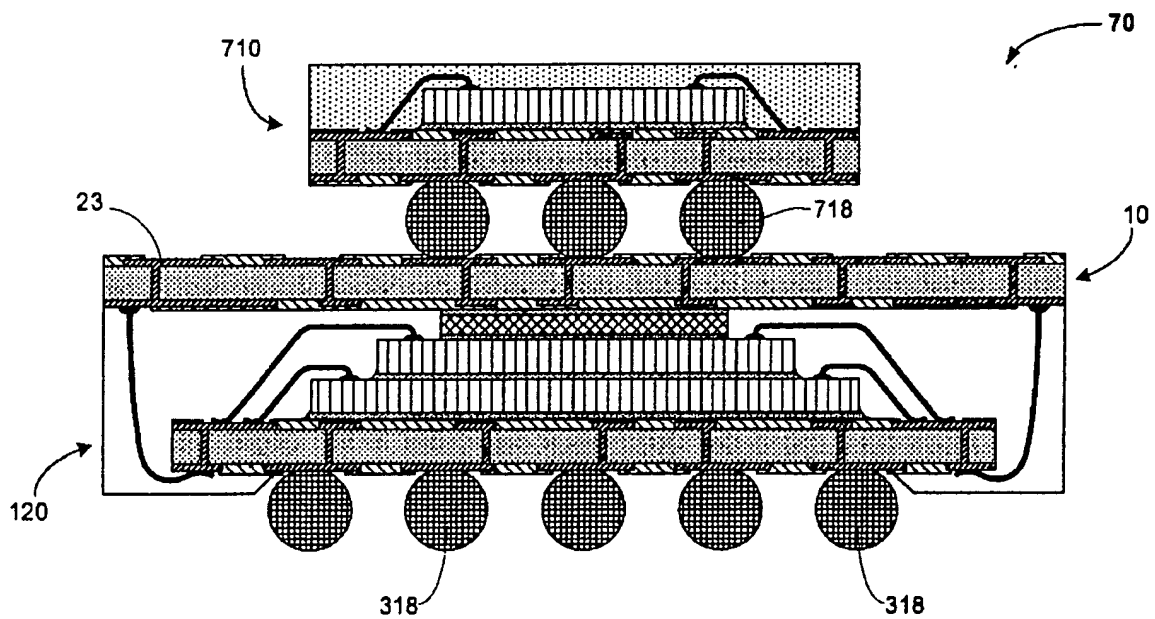


圖 7A

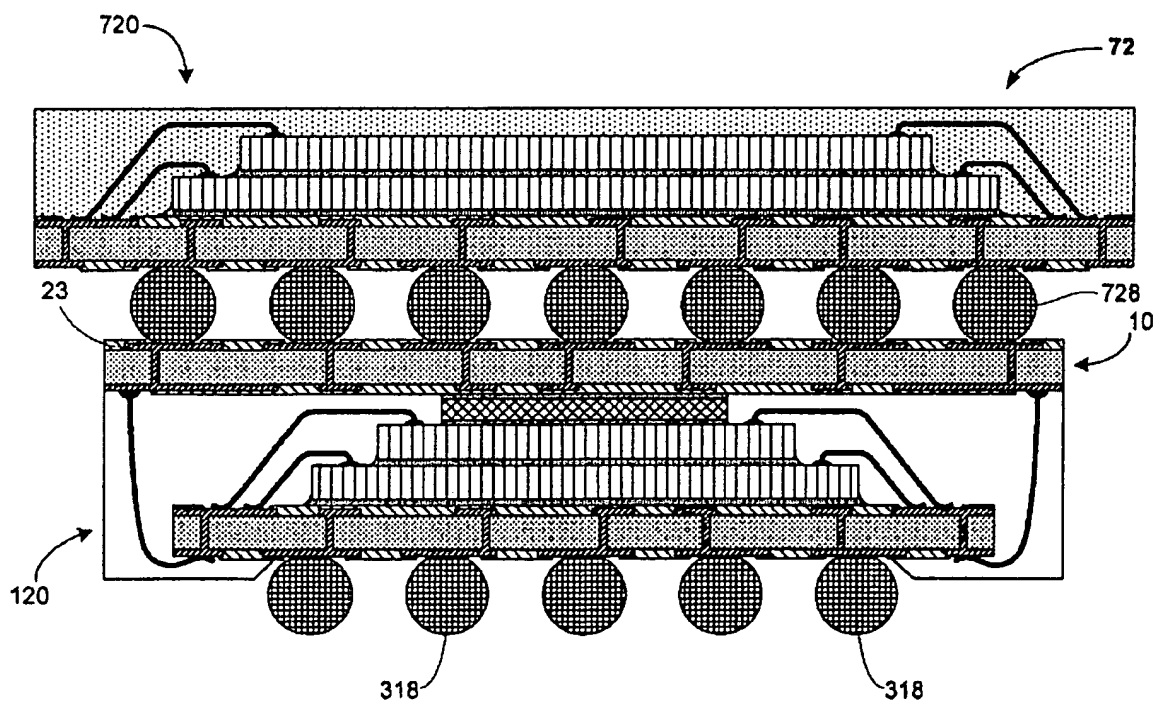


圖 7B

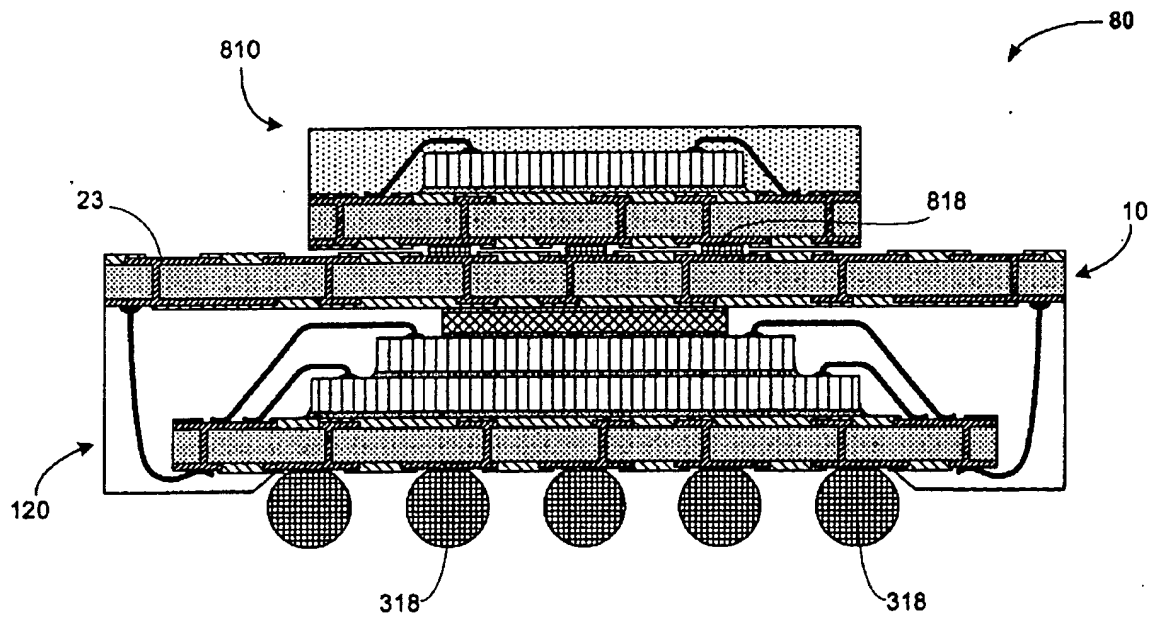


圖 8A

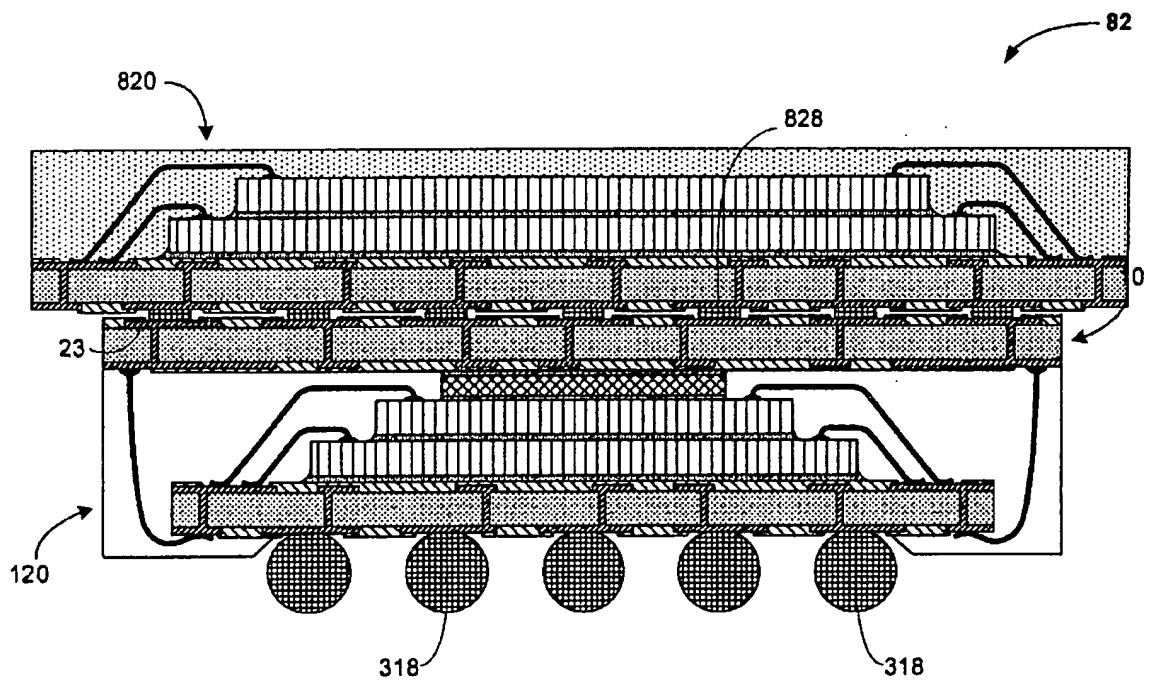


圖 8B

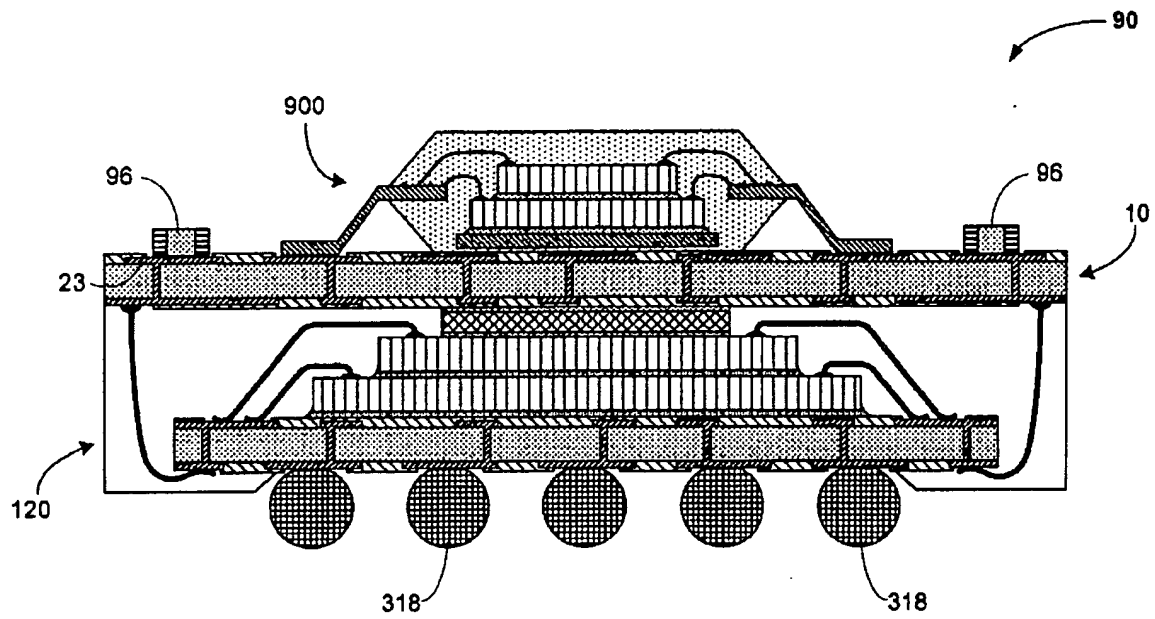


圖 9

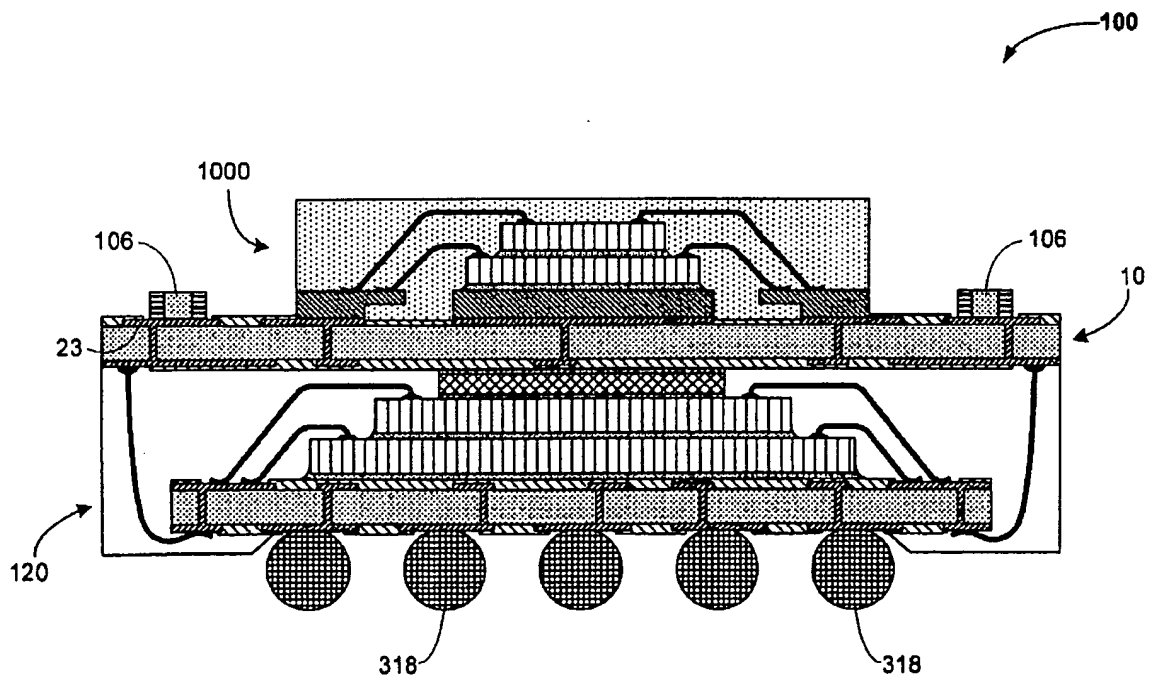


圖 10

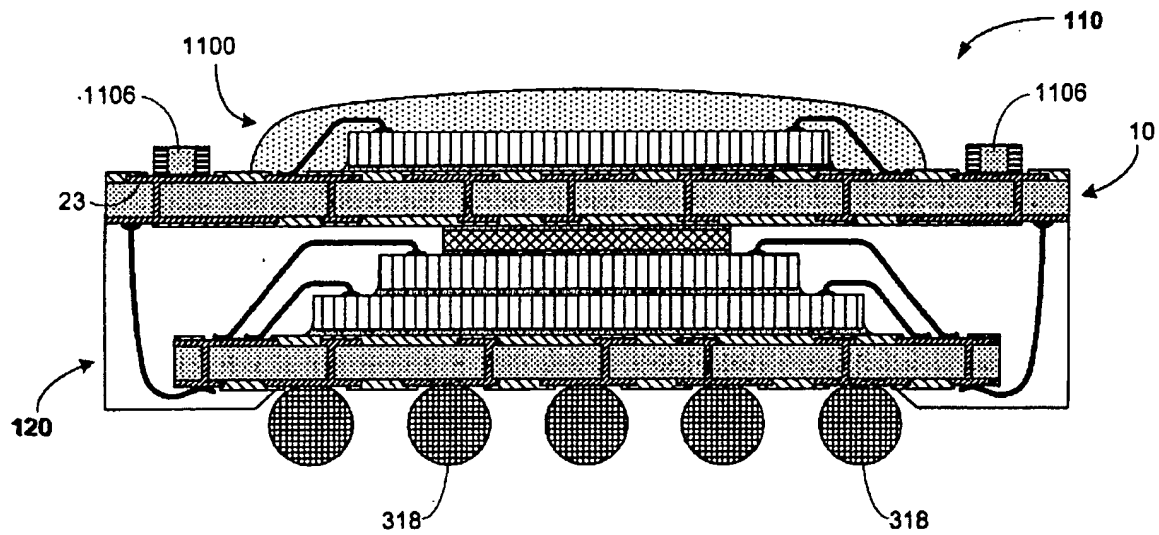


圖 11

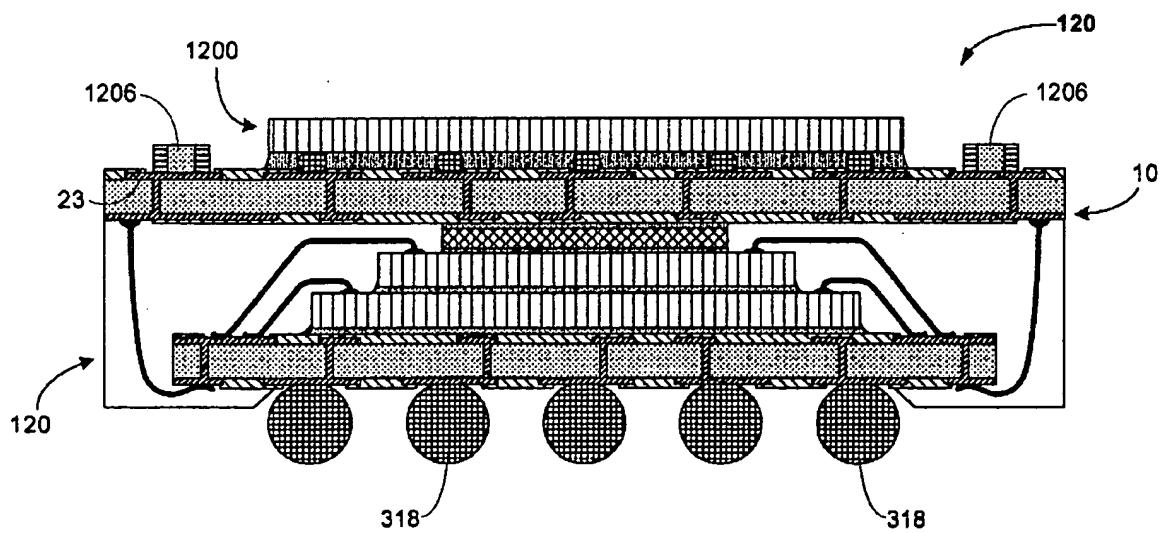


圖 12

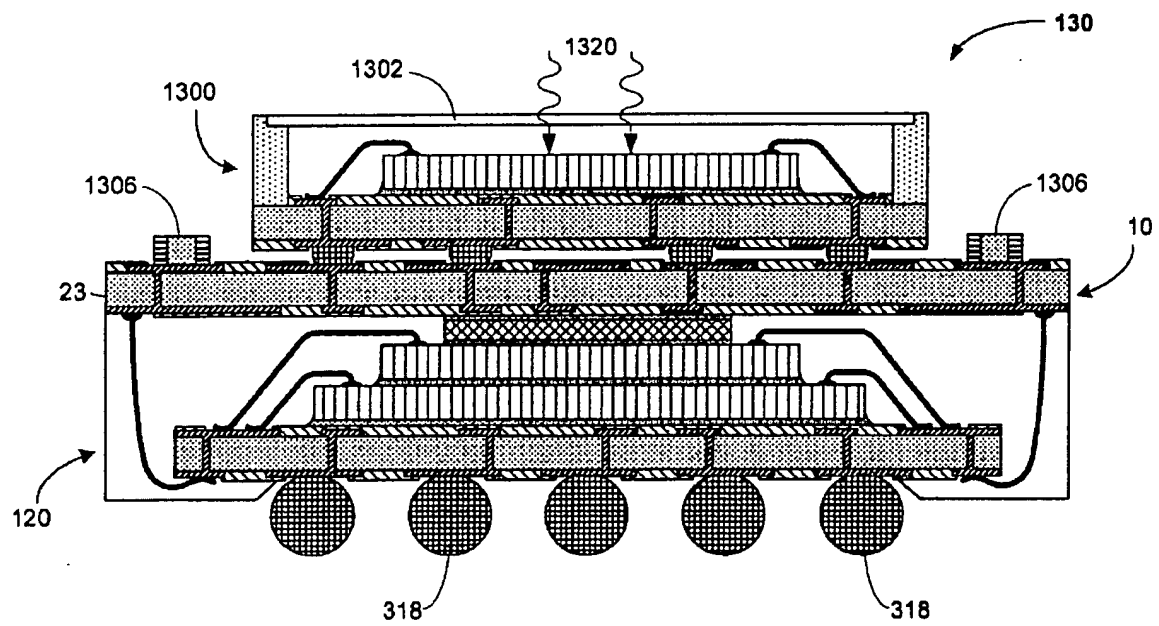


圖 13

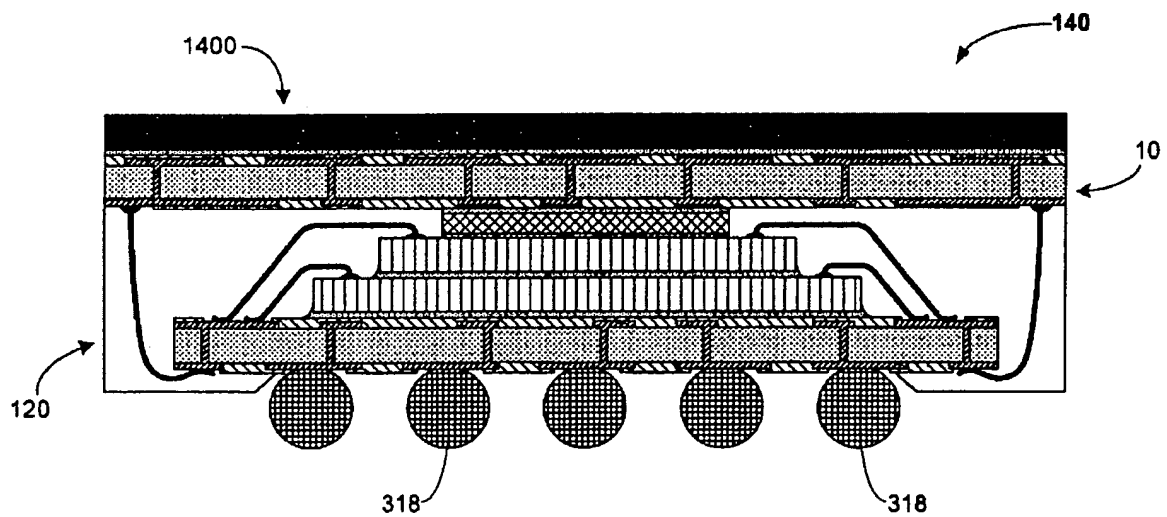


圖 14

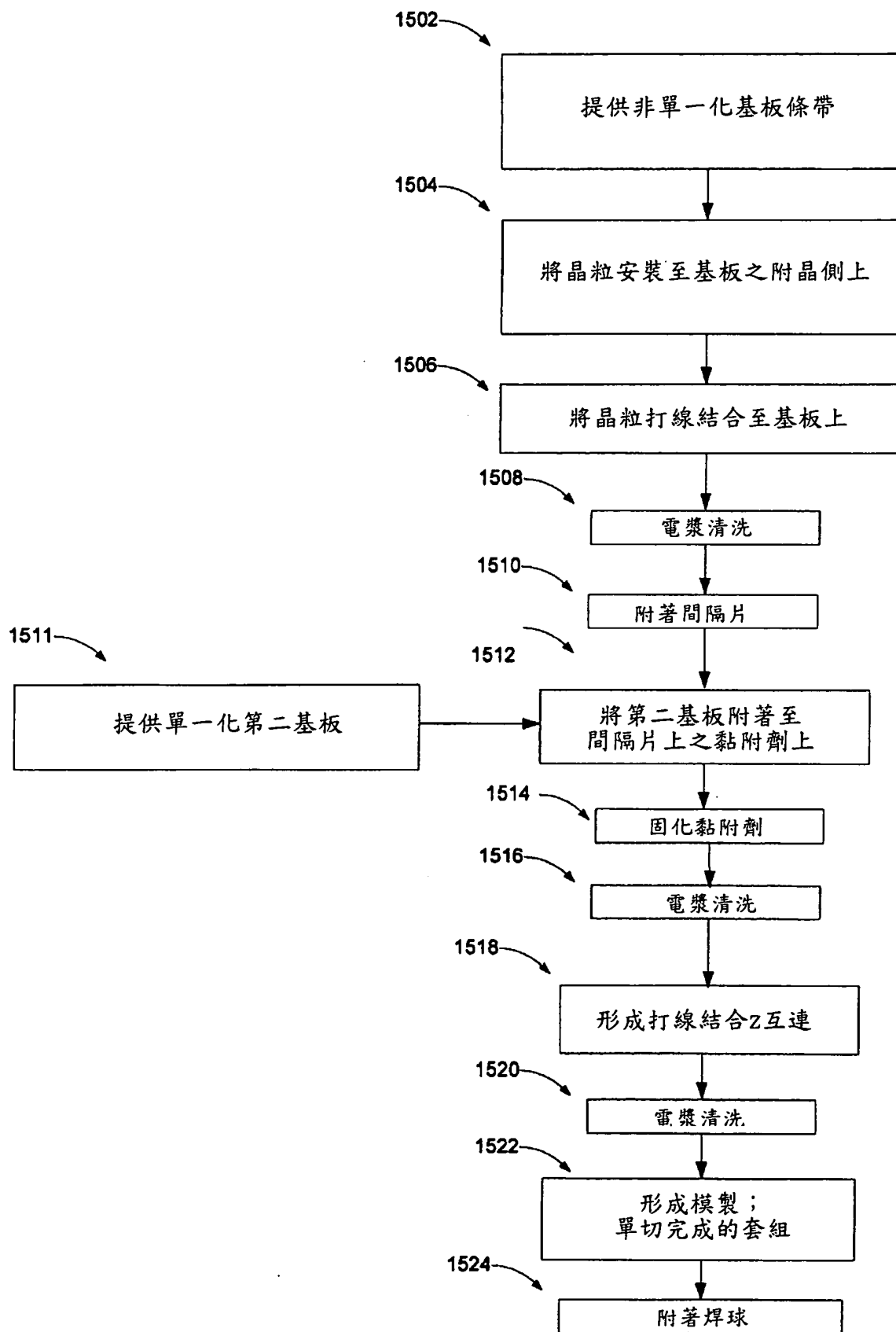


圖 15



圖16A

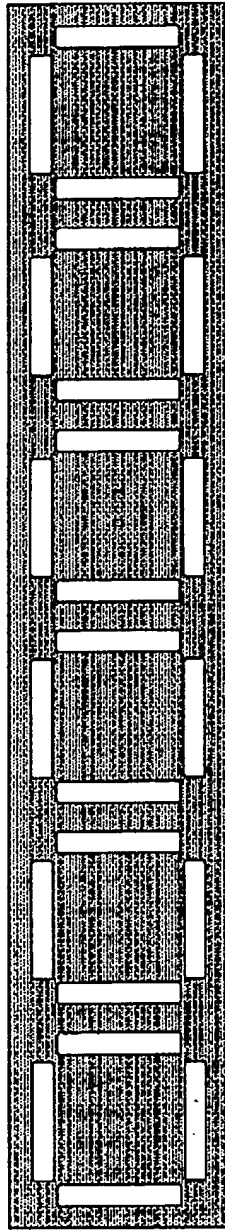


圖16B



圖17A

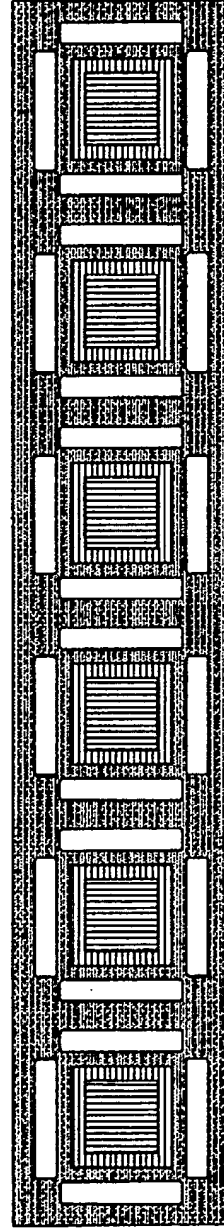


圖17B



圖18A

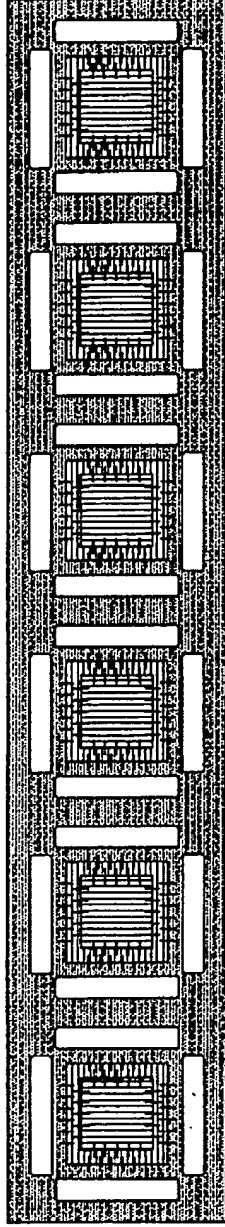


圖18B



圖19A

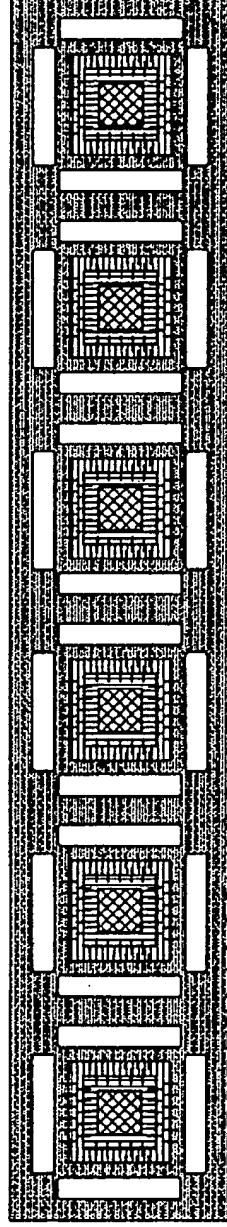


圖19B



圖 20A

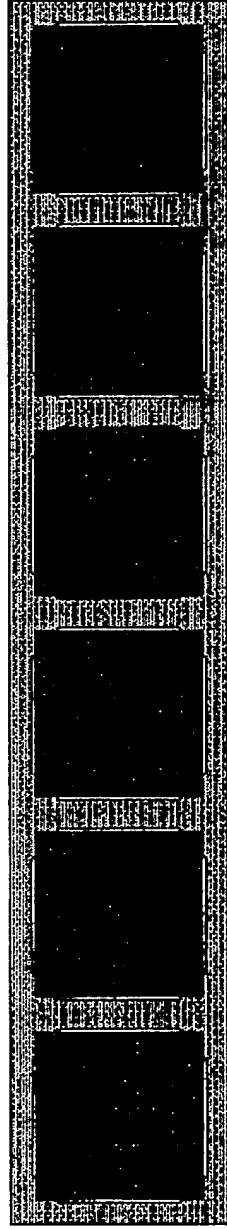


圖 20B



圖 21A

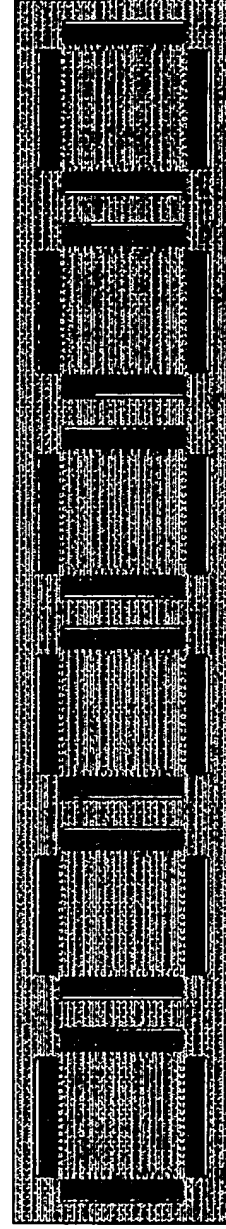


圖 21B

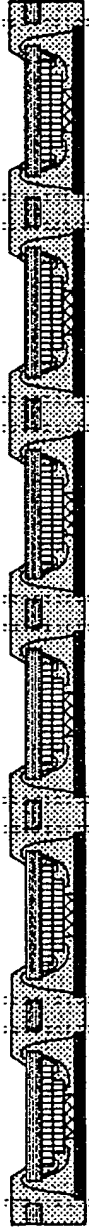


圖 22A

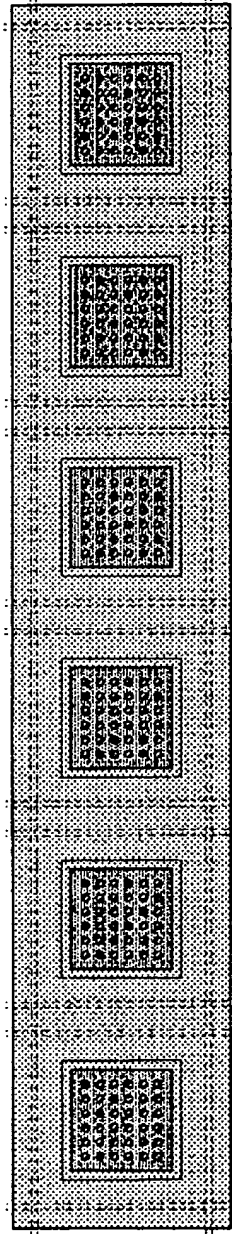


圖 22B



圖 23A

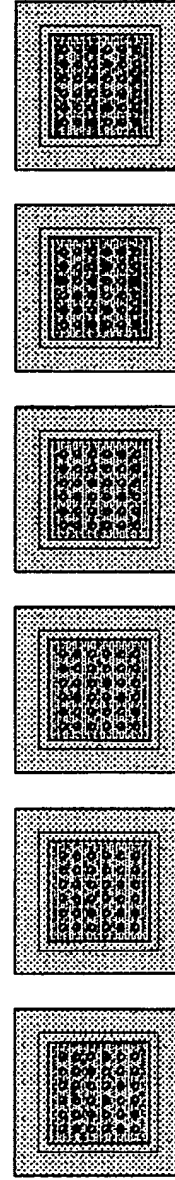


圖 23B

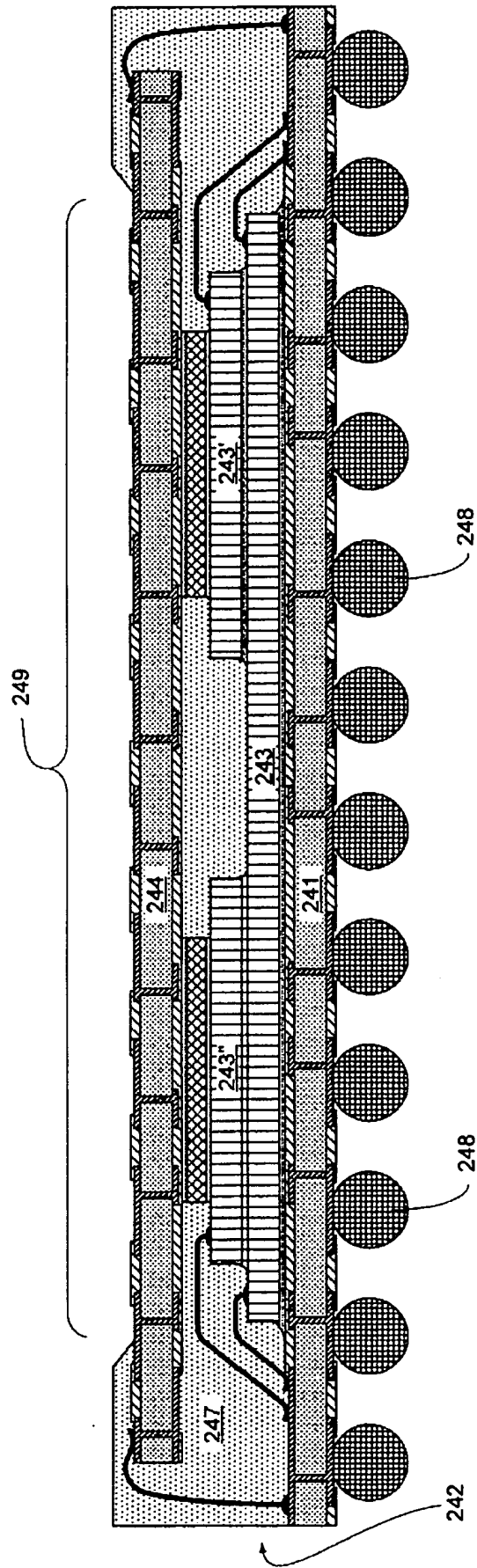


圖24

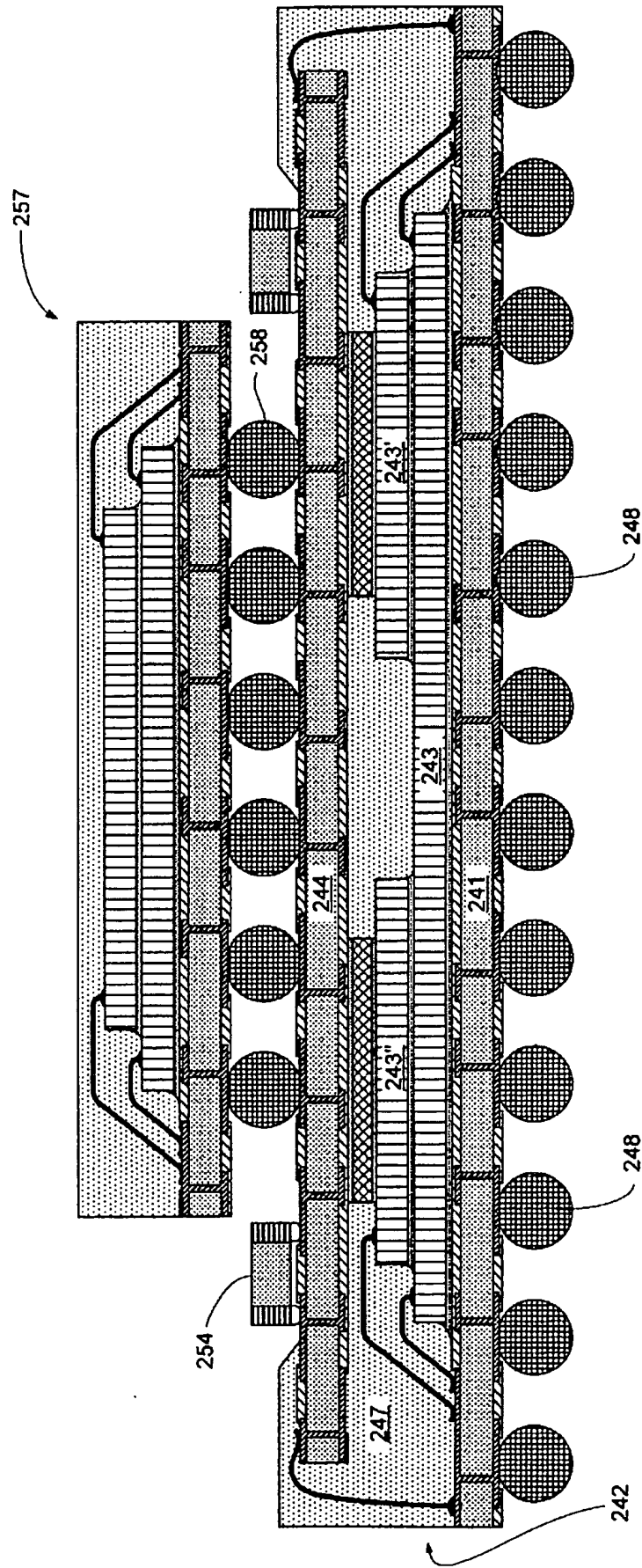


圖25

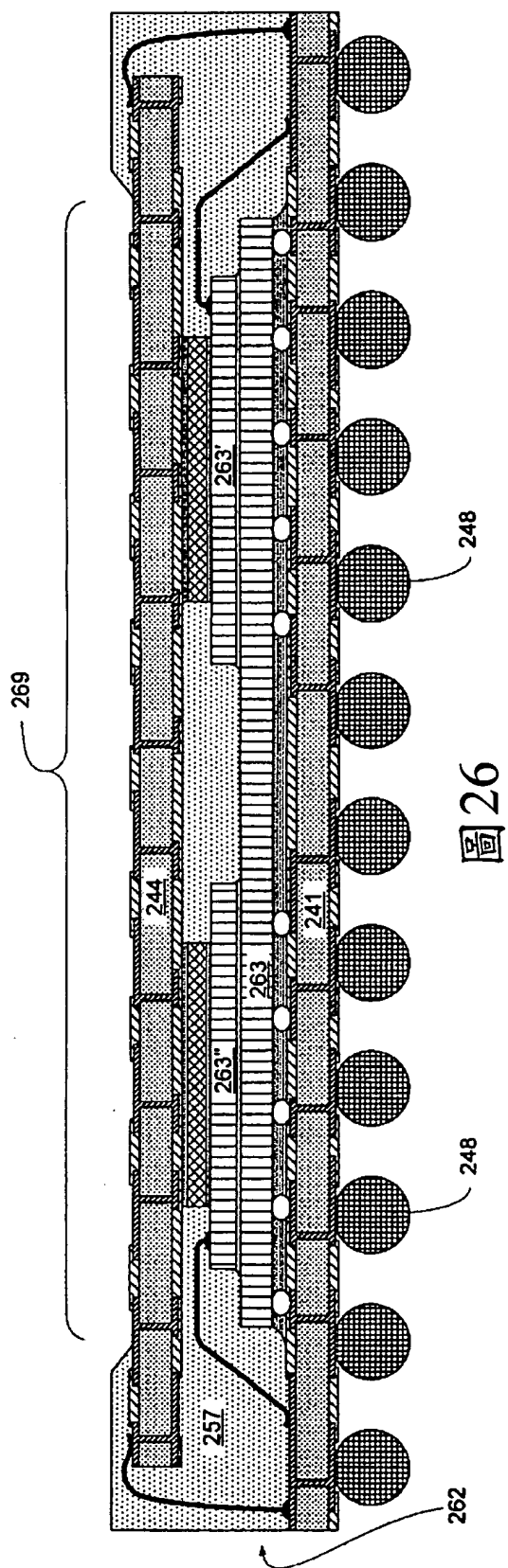


圖26

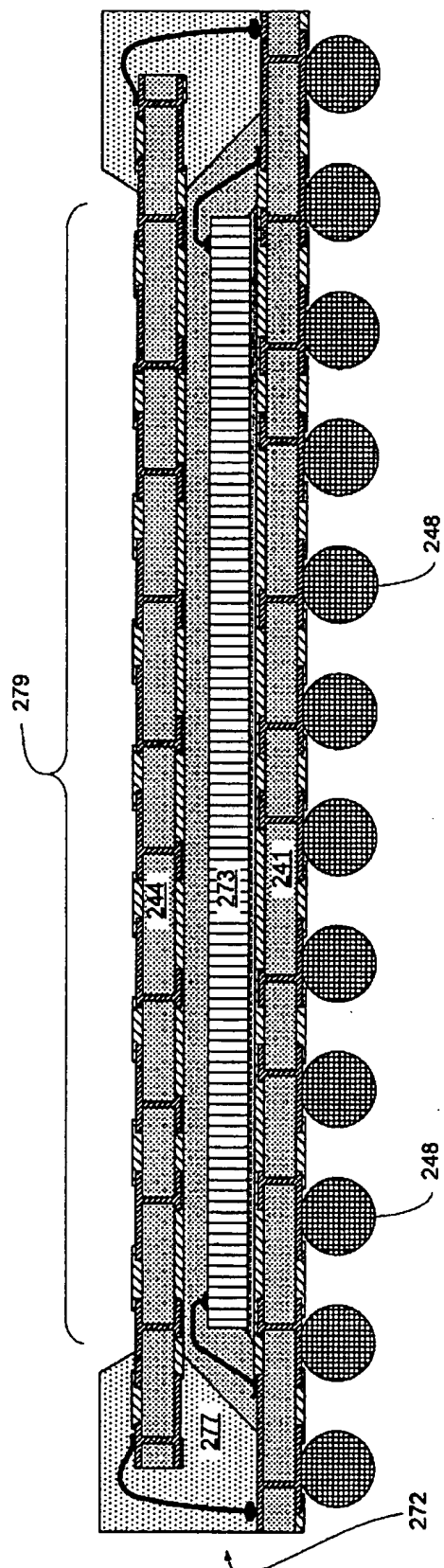


圖27

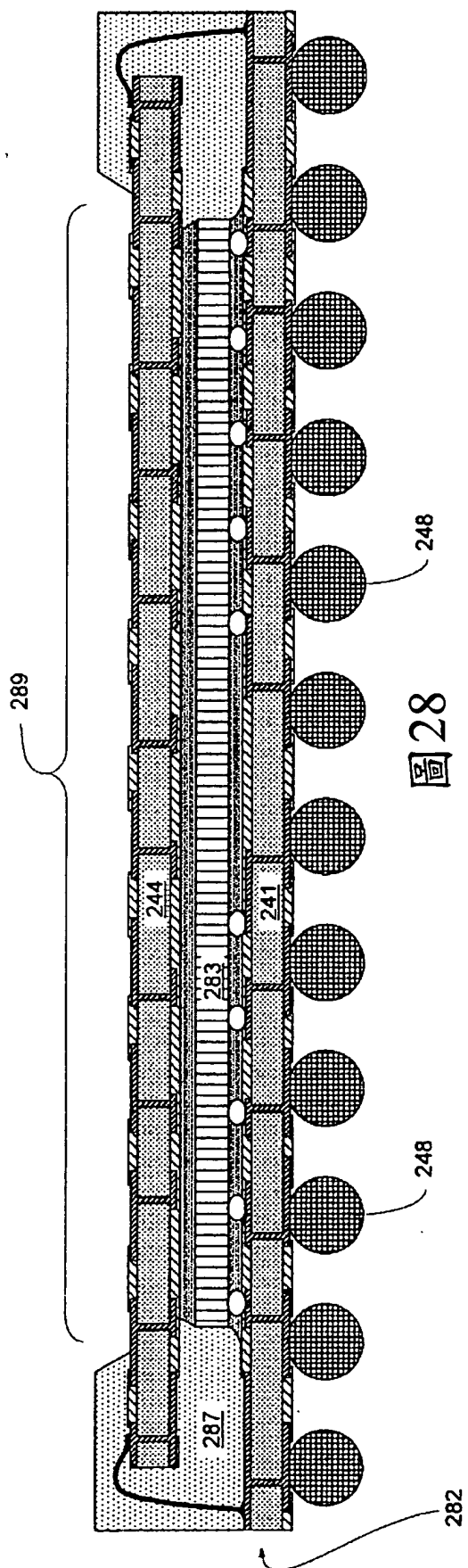


圖28

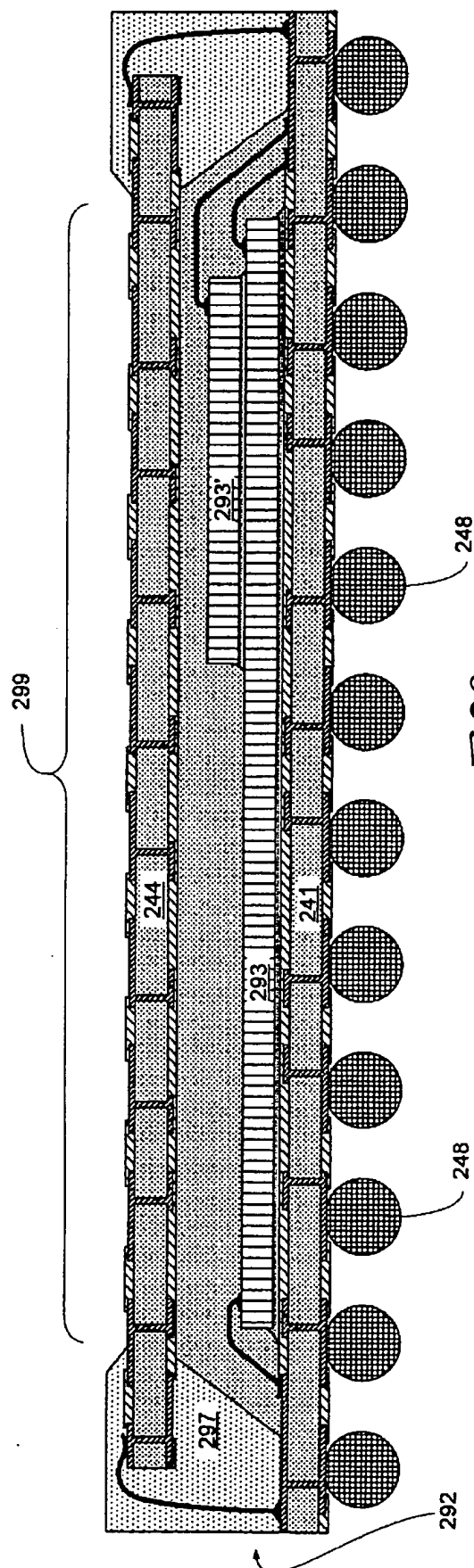


圖29

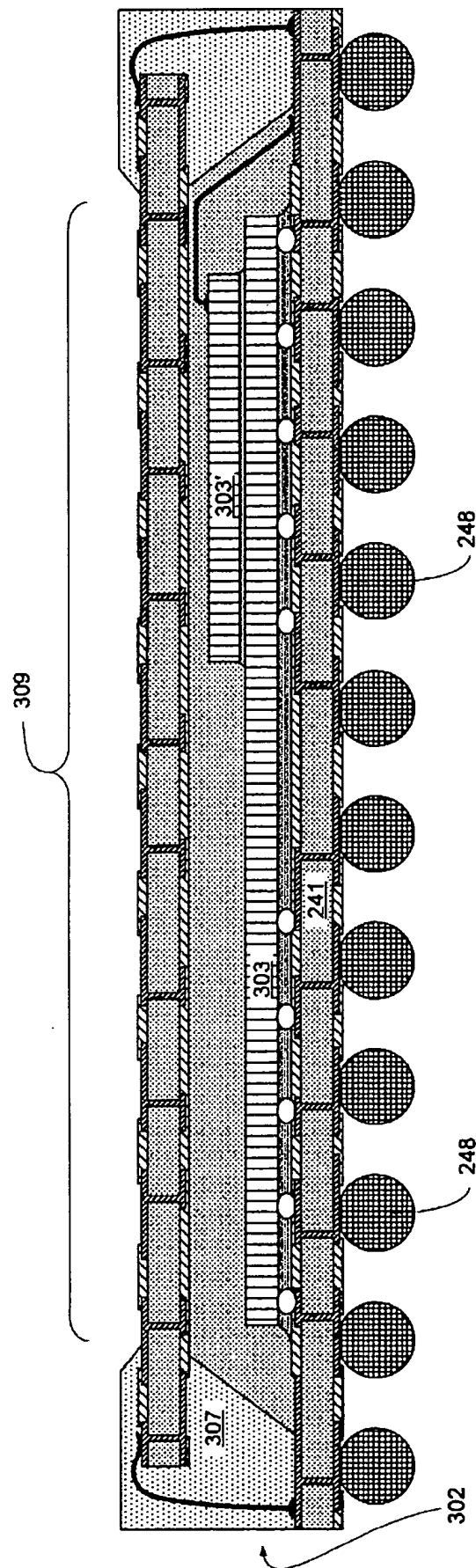


圖30

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

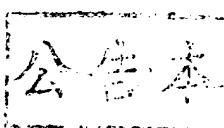
(二)本代表圖之元件符號簡單說明：

10	第二基板/頂部基板
12	基板介電層
14	間隔片
15	阻焊劑
19	朝下表面
21	金屬層
22	通道
23	金屬層
27	阻焊劑
112	第一封裝基板
113	附晶環氧樹脂
114	第一晶粒
115	阻焊劑
116	打線結合
119	結合墊
120	封裝次套組
121	金屬層
122	通道
123	金屬層
127	阻焊劑
144	第二晶粒

146	打線結合
207	套組囊封
213	黏附劑
215	黏附劑
218	互連打線結合
229	朝上表面
318	焊球

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)



98年10月21日修(更)正替換頁

發明專利說明書

中文說明書替換頁(98年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095115379

※ 申請日期：95.4.28

※IPC 分類：H01L 23/28, 23/50 (2006.01);
H01L 25/00 (2006.01);

一、發明名稱：(中文/英文)

半導體封裝套組

SEMICONDUCTOR PACKAGE ASSEMBLY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新加坡商史達特司奇帕克有限公司

STATS CHIPPAK LTD.

代表人：(中文/英文)

斯克特 裘勒

JEWLER, SCOTT

住居所或營業所地址：(中文/英文)

新加坡569059科技園區 #05-17/20安莫科街65巷10號

10 ANG MO KIO STREET 65, #05-17/20 TECHPOINT, SINGAPORE

569059

國 籍：(中文/英文)

新加坡 SINGAPORE

裝基板之第二側與第一側的平面示意圖。參看圖 6A，對地側之大部分表面由阻焊劑覆蓋，其遮蔽下方的圖案化金屬層中除阻焊劑中之開口所暴露之位點以外的部分。阻焊劑中之開口暴露基板之對地側之圖案化金屬層中的位點，包括排列於基板表面之中間區域中的球墊(例如 63)。由阻焊劑遮蔽的是金屬層中之跡線(例如 623)，其將球墊 63 連接至通道(例如 622)，該通道將基板之對地側之圖案化金屬層中的跡線與基板之第一側之圖案化金屬層中的跡線電連接。

如上所述，第二基板之該對地側保留為曝光狀態以進行隨後之套組囊封。因此，圖 6A 之第二基板的視圖實質上為套組之一表面的視圖。相應地，球墊 63 可用於至下伏電路(如圖 4 中所說明)之套組的第二級互連，或更佳用於額外設備之附件(如圖 3 中所說明)。球墊 63 另外可用作在組裝之前測試封裝且視需要在安裝第二級互連焊球之前測試封裝套組的測試探頭位點。

視需要，且在一些應用中，較佳地，可使用第二基板之對地側上之附球墊來促進使用習知測試插座之對套組之測試。舉例而言，套組的此種測試可執行於作為頂部基板之第二基板之附著之後、但於總體套組模製形成之前或互連打線結合之前。根據本發明之建構促進之測試可在各製造階段之任何階段顯著地減少進一步處理不合規格之組件的可能性。

第二基板之第一側說明於圖 6B 中。如第二基板之對地側上一般，除金屬層上之位點由阻焊劑中之開口暴露以外第

二基板，例如包括：具有2-6個金屬層之層壓板、或具有4-8個金屬層之增層基板、或具有1-2個金屬層之可撓聚醯亞胺帶、或陶瓷多層基板。經由圖24中之實例展示之第一封裝套組基板及第二基板的每個具有兩個金屬層，每一金屬層經圖案化以提供適當的電路且經由通道連接，舉例而言如參照圖1進行之詳細描述。

可藉由覆晶互連將第一封裝次套組中之第一晶粒安裝至第一套組基板上，舉例而言如圖26中所示。參看圖26，第一封裝次套組262基板241如圖24進行建構。第一晶粒263安裝至基板241之附晶側上。附著至晶粒上之墊的焊球或凸塊與基板之附晶側之金屬層上的墊電連接。晶粒與基板之間的填充不足可用以保護電互連且將結構及機械完整性以及穩健性提供至該互連。第二及第三晶粒263'、263''使用黏附劑背側向下地安裝至覆晶晶粒263之背側上，且藉由打線結合與第一套組基板241之附晶側之金屬層上的墊電連接。如圖24中之實施例中，一間隔片使用黏附劑安裝於最上堆疊晶粒263'、263''上，且第二基板244使用該間隔片之表面的黏附劑而附著於該間隔片上。因此，第二基板之向朝表面停置在間隔片上之黏附劑上，且間隔片之厚度加上黏附劑之厚度經選擇為足夠大以容納連接晶粒263'、263''與第一封裝套組基板241之打線結合的迴路高度。

焊球248回焊至第一封裝套組基板之對地側上之金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終

產品(諸如電腦)之母板(圖中未圖示)。

套組囊封 257 覆蓋第二基板之朝上晶粒側之不為晶粒所覆蓋之區域、封閉連接晶粒與第一封裝套組基板之打線結合及線迴路、且覆蓋第二("頂部")基板之垂直壁及邊緣以及第二基板之朝上側的邊陲區(包括 Z 互連線迴路及打線結合所連接之打線結合墊)。此將留下第二("頂部")基板之對地側的一區域為曝光狀態，以進行與待堆疊於堆疊封裝套組上之空腔中的一或多個設備的互連。換言之，以空腔形成於套組之第二基板側上之套組囊封中，留下第二封裝基板之對地側的內側區 269 為曝光狀態(未囊封狀態)，其上可將諸如封裝或晶粒之額外設備安裝於第二封裝基板之對地側上且與其電連接。

可模製第一封裝次套組，構成例如圖 27 中所示之第一(下層)封裝。參看圖 27，第一封裝次套組 272 基板 241 如圖 24 中般建構。晶粒 273 安裝至基板 241 之附晶側上。晶粒 273 背側向下地附著至且電連接第一套組基板 241 之附晶側上的該金屬層中之墊上。第一封裝模製封閉晶粒之現用側及打線結合，且第二基板 244 使用模製之朝上表面上之黏附劑而附著於該模製上。因此，第二基板之朝下表面停置在第一封裝模製上之黏附劑上。模製為足夠厚以容納連接晶粒 273 與第一封裝套組基板 241 之打線結合的迴路高度。

焊球 248 回焊至第一封裝套組基板之對地側上之金屬層上的結合墊上，以提供與一下伏電路之互連，例如一最終產品(諸如電腦)之母板(圖中未圖示)。

五、中文發明摘要：

本發明係關於一半導體封裝套組，其包括：附著至一第一封裝基板之一附晶側且與其電互連的一個晶粒；及一第二基板，其具有安裝於該第一封裝上的一第一側及一第二("對地")側，其時該第二基板之該第一側面對該第一封裝基板之該附晶側，且該第一側及該第二側由一間隔片或一間隔片套組支撐。該封裝與該基板之 z 互連由連接該等第一及第二基板之打線結合進行。該套組以該第二基板之該對地側(該套組之一側)及該第一封裝基板之對地側的一部分(該套組之相反側上)兩者皆曝光的一種方式進行囊封，以便於可進行第二級互連及與額外組件之互連。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體封裝套組，其包含安裝於一第一封裝基板之一附晶側且與其電連接的至少一個第一封裝晶粒，且包含一安裝於該第一封裝晶粒上之第二封裝基板，該第一封裝基板之與該附晶側相對之側為該第一封裝基板之一對地側，該第二封裝基板具有一面對該第一封裝基板之該附晶側的第一側，及一背對該第一封裝基板之該附晶側的第二側即對地側，從而該第一封裝基板及該第二封裝基板之對地側彼此背對，其中介於該第一封裝基板與該第二封裝基板之間的 z 互連係由該第一封裝基板之該對地側上一邊陲區中之打線結合位點與該第二封裝基板之該第一側上一邊陲區中之周邊定位打線結合位點之間的打線結合來進行，及連接該第一封裝基板與該第二封裝基板，且其中套組囊封被用於該半導體封裝套組以使得在該半導體封裝套組之一側之該第二封裝基板之至少一部分及在該半導體封裝套組之一相反側之該第一封裝基板之至少一部分皆為曝光狀態。
2. 如請求項1之套組，其中該第二封裝基板大於該第一封裝基板。
3. 如請求項2之套組，其中該套組囊封可覆蓋該第二封裝基板之該第一側不為間隔片或間隔片結構所接觸的一區域，且封閉該等 z 互連打線結合及線迴路、該第一封裝基板之邊緣、及該第一封裝之該對地側上的邊陲區，以使得該第二封裝基板之該對地側及該第一封裝基板之該

對地側之位於邊陲區內之區域皆保留為曝光狀態。

4. 如請求項1之套組，其中該第一封裝基板大於該第二封裝基板。
5. 如請求項3之套組，其中該套組囊封可覆蓋該第二封裝基板之該第一側之不為間隔片或間隔片結構所接觸的一區域，且封閉該等Z互連打線結合及線迴路、該第二封裝基板之邊緣、及該第二封裝基板之該對地側上的邊陲區，以使得該第一封裝基板之該對地側及該第二封裝基板之該對地側之位於邊陲區之區域皆保留為曝光狀態。
6. 如請求項1之套組，其中該第一封裝晶粒藉由打線結合與該第一封裝基板電連接。
7. 如請求項6之套組，其中該第二封裝基板由一間隔片支撐於該第一封裝晶粒之上，在該第一封裝基板之該第一側與該晶粒之頂部之間提供足夠的間隔以容納一線迴路高度。
8. 如請求項6之套組，其中該第二封裝基板由一間隔片結構支撐在該第一封裝晶粒之上，在該第一封裝基板之該第一側與該晶粒之頂部之間提供足夠的間隔以容納一線迴路高度。
9. 如請求項6之套組，其中該第二封裝基板由安裝於該第一封裝晶粒上之一間隔片支撐於該第一封裝晶粒之上。
10. 如請求項6之套組，其中該第二封裝基板由安裝於該第一封裝基板上之一間隔片支撐於該第一封裝晶粒之上。
11. 如請求項1之套組，其中該第一封裝基板與該第二封裝基

板之間的互連係由該第二封裝基板之該對地側上該邊陲區中之打線結合位點與該第一封裝基板之該第一側上一邊陲區中之周邊定位的打線結合位點之間的打線結合來進行。

12. 如請求項1之套組，其中該第一封裝晶粒及該第一封裝基板連同該第一封裝晶粒與該第一封裝基板之一電互連一起構成一封裝次套組。
13. 如請求項12之套組，其中該第一封裝基板包含一球狀柵格陣列基板，且其中該半導體封裝套組與下伏電路之第二級互連係由該第一封裝基板之對地側之曝光部分處的互連來進行。
14. 如請求項12之套組，其中該第一封裝基板包含一球狀柵格陣列，且其中該半導體封裝套組與下伏電路之第二級互連係由該第二封裝基板之曝光對地側上的互連來進行。
15. 如請求項12之套組，其中該第一封裝基板大於該第二封裝基板，且該半導體封裝套組與下伏電路之第二級互連係由該第一封裝基板之該對地側上的焊球互連來進行。