202201955

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202201955 A

(43)公開日： 中華民國 111 (2022) 年 01 月 01 日

(21)申請案號：110110117 (22)申請日： 中華民國 110 (2021) 年 03 月 19 日

(51)Int. Cl.： *H04N7/10 (2006.01)* *H04N7/12 (2006.01)*

(30)優先權：2020/06/17 美國 63/040,148

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹科學園區創新二路 2 號

(72)發明人：李安明 LEE, AN-MING (TW) ；黃柏凱 HUANG, BO-KAI (TW)

(74)代理人：李文賢

申請實體審查：有 申請專利範圍項數：10 項 圖式數：20 共 81 頁

(54)名稱

可傳輸複數組資料流之訊號傳輸裝置

(57)摘要

本案提供一種訊號傳輸裝置，包含複數正差動接腳、複數負差動接腳、複數接地接腳、複數電源訊號接腳及複數控制訊號接腳。複數正差動接腳中之第一正差動接腳傳輸第一差動訊號之正訊號分量，複數正差動接腳中之第二正差動接腳傳輸第二差動訊號之正訊號分量；複數負差動接腳中之第一負差動接腳傳輸第一差動訊號之負訊號分量，複數負差動接腳中之第二負差動接腳傳輸第二差動訊號之負訊號分量；第一正差動接腳及第一負差動接腳位於複數接地接腳中之第一接地接腳之一側，第二正差動接腳及第二負差動接腳位於第一接地接腳之另一側。

A signal transmission device is provided. The connection port includes a plurality of positive differential pins, a plurality of negative differential pins, a plurality of ground pins, a plurality of power signal pins, and a plurality of control signal pins. The first positive differential pin of the plurality of positive differential pins transmits the positive signal component of the first differential signal. The second positive differential pin of the plurality of positive differential pins transmits the positive signal component of the second differential signal. The first negative differential pin of the plurality of negative differential pins transmits the negative signal component of the first differential signal. The second negative differential pin of the plurality of negative differential pins transmits the negative signal component of the second differential signal. The first positive differential pin and the first negative differential pin are located on one side of the first ground pin of the plurality of ground pins, the second positive differential pin and the second negative differential pin are located on the other side of the first ground pin.

指定代表圖：

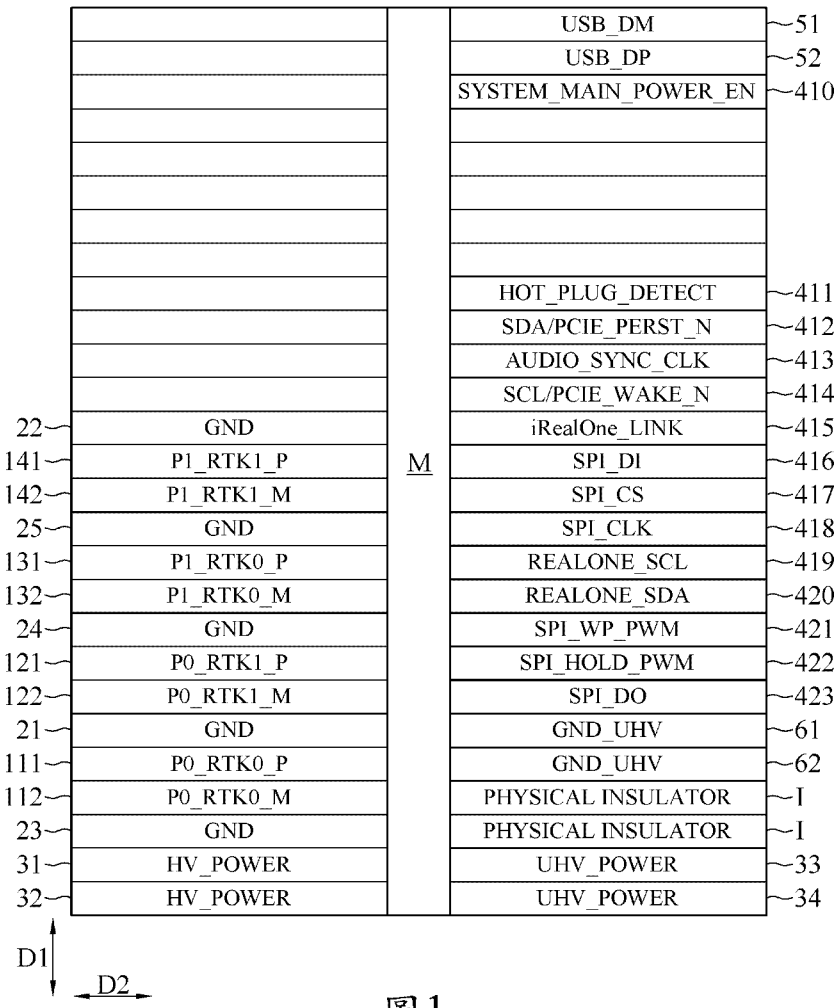


圖1

符號簡單說明：

111:第一正差動接腳

112:第一負差動接腳

121:第二正差動接腳

122:第二負差動接腳

131:第三正差動接腳

132:第三負差動接腳

141:第四正差動接腳

142:第四負差動接腳

21:第一接地接腳

22:第二接地接腳

23:第三接地接腳

24:第四接地接腳

25:第五接地接腳

31:電源訊號接腳

32:電源訊號接腳

33:電源訊號接腳

34:電源訊號接腳

410:系統主電源致能接腳

411:熱插拔偵測接腳

412:SDA/PCIE_PERST_N 接腳

413:CLK 接腳

414:SCL/PCIE_WAKE_N 接腳

415:iRealOne_LINK 接腳

416:SPI_DI 接腳

417:SPI_CS 接腳

418:SPI_CLK 接腳

419:REALONE_SCL 接腳

420:REALONE_SDA 接腳

421:SPI_WP_PWM 接腳

422:SPI_HOLD_PWM 接腳

423:SPI_DO 接腳

51:正差動低速接腳

52:負差動低速接腳

61:高壓接地接腳

62:高壓接地接腳

I:絕緣層

M:金屬隔離層

D1:方向

D2:方向

202201955

【發明摘要】

【中文發明名稱】 可傳輸複數組資料流之訊號傳輸裝置

【英文發明名稱】 SIGNAL TRANSMISSION DEVICE CAPABLE OF TRANSMITTING MULTIPLE DATA STREAMS

【中文】

本案提供一種訊號傳輸裝置，包含複數正差動接腳、複數負差動接腳、複數接地接腳、複數電源訊號接腳及複數控制訊號接腳。複數正差動接腳中之第一正差動接腳傳輸第一差動訊號之正訊號分量，複數正差動接腳中之第二正差動接腳傳輸第二差動訊號之正訊號分量；複數負差動接腳中之第一負差動接腳傳輸第一差動訊號之負訊號分量，複數負差動接腳中之第二負差動接腳傳輸第二差動訊號之負訊號分量；第一正差動接腳及第一負差動接腳位於複數接地接腳中之第一接地接腳之一側，第二正差動接腳及第二負差動接腳位於第一接地接腳之另一側。

【英文】

A signal transmission device is provided. The connection port includes a plurality of positive differential pins, a plurality of negative differential pins, a plurality of ground pins, a plurality of power signal pins, and a plurality of control signal pins. The first positive differential pin of the plurality of positive differential pins transmits the positive signal component of the first differential signal. The second positive differential pin of the plurality of positive differential pins transmits the positive signal component of the second differential signal. The first

negative differential pin of the plurality of negative differential pins transmits the negative signal component of the first differential signal. The second negative differential pin of the plurality of negative differential pins transmits the negative signal component of the second differential signal. The first positive differential pin and the first negative differential pin are located on one side of the first ground pin of the plurality of ground pins, the second positive differential pin and the second negative differential pin are located on the other side of the first ground pin.

【指定代表圖】　　圖1

【代表圖之符號簡單說明】

111:第一正差動接腳

112:第一負差動接腳

121:第二正差動接腳

122:第二負差動接腳

131:第三正差動接腳

132:第三負差動接腳

141:第四正差動接腳

142:第四負差動接腳

21:第一接地接腳

22:第二接地接腳

23:第三接地接腳

24:第四接地接腳

25:第五接地接腳

31:電源訊號接腳

32:電源訊號接腳

33:電源訊號接腳

34:電源訊號接腳

410:系統主電源致能接腳

411:熱插拔偵測接腳

412:SDA/PCIE_PERST_N接腳

413:CLK接腳

414:SCL/PCIE_WAKE_N接腳

415:iRealOne_LINK接腳

416:SPI_DI接腳

417:SPI_CS接腳

418:SPI_CLK接腳

419:REALONE_SCL接腳

420:REALONE_SDA接腳

421:SPI_WP_PWM接腳

422:SPI_HOLD_PWM接腳

423:SPI_DO接腳

51:正差動低速接腳

52:負差動低速接腳

61:高壓接地接腳

62:高壓接地接腳

I:絕緣層

M:金屬隔離層

D1:方向

D2:方向

【特徵化學式】　無

【發明說明書】

【中文發明名稱】 可傳輸複數組資料流之訊號傳輸裝置

【英文發明名稱】 SIGNAL TRANSMISSION DEVICE CAPABLE OF TRANSMITTING MULTIPLE DATA STREAMS

【技術領域】

【0001】 本發明是關於一種可傳輸複數組資料流之訊號傳輸裝置。

【先前技術】

【0002】 隨著對影像播放畫面的品質要求越來越高，從原本的4K提升到8K解析度，因此從為訊號產生源（Signal Source）之播放機傳送到為訊號接收端（Signal Sink）之顯示器等所需的資料傳輸量也隨之增加。並且，由於家庭劇院的興起，常會需要使用更長的傳輸線來連接訊號產生源和訊號接收端，以滿足各種不同客廳擺置的需求。

【0003】 目前的訊號傳輸裝置規範中，如果以接腳位置的定義來看，對於差分訊號所重視的接地屏蔽（Ground Shielding）並不是最佳的規劃方式，這使得在傳輸高速訊號時的訊號品質容易受到串擾（Crosstalk）和延遲（Delay）的影響，難以傳輸到較長的距離。

【發明內容】

【0004】 在一些實施例中，一種訊號傳輸裝置包含複數正差動接腳、複數負差動接腳、複數接地接腳、複數電源訊號接腳及複數控制訊號接腳。複數正差動接腳中之第一正差動接腳用以傳輸第一差動訊號之正訊號分量，複數正差動接腳中之第二正差動接腳用以傳輸第二差動訊號之正訊號分量；複數負差動接腳中之第一負差動接腳用以傳輸第一差動訊號之負

訊號分量，複數負差動接腳中之第二負差動接腳用以傳輸第二差動訊號之負訊號分量；其中，第一正差動接腳以及第一負差動接腳位於複數接地接腳中之第一接地接腳之一側，第二正差動接腳以及第二負差動接腳位於第一接地接腳之另一側。

【圖式簡單說明】

【0005】

[圖1]係為根據本案之訊號傳輸裝置之一實施例的示意圖。

[圖2]係為圖1之訊號傳輸裝置之另一實施例的示意圖。

[圖3]係為根據本案之訊號傳輸裝置之接腳排列方式之一實施例的示意圖。

[圖4]係為根據本案之訊號傳輸裝置之接腳排列方式之一實施例的示意圖。

[圖5A]係為根據本案之訊號傳輸裝置之母接頭之一實施例的外觀示意圖。

[圖5B]係為對應圖5A之訊號傳輸裝置之公接頭之一實施例的外觀示意圖。

[圖5C]係為圖5A之訊號傳輸裝置之一實施例之側視示意圖。

[圖5D]係為圖5B之訊號傳輸裝置之一實施例之側視示意圖。

[圖6A]係為根據本案之訊號傳輸裝置之母接頭之另一實施例之側視示意圖。

[圖6B]係為對應圖6A之訊號傳輸裝置之公接頭之另一實施例之側視示意圖。

[圖7A]係為根據本案之訊號傳輸裝置之母接頭之另一實施例之側視示意圖。

[圖7B]係為對應圖7A之訊號傳輸裝置之公接頭之另一實施例之側視示意圖。

[圖8A]係為根據本案之訊號傳輸裝置之母接頭之另一實施例的外觀示意圖。

[圖8B]係為圖8A之訊號傳輸裝置之另一實施例的側視示意圖。

[圖8C]係為對應圖8A之訊號傳輸裝置之公接頭之另一實施例的外觀示意圖。

[圖8D]係為對應圖8C之訊號傳輸裝置之另一實施例的側視示意圖。

[圖8E]係為對應圖8A之訊號傳輸裝置之母接頭與圖8C之訊號傳輸裝置之公接頭相互連接之一實施例的外觀示意圖。

[圖8F]係為圖8A之訊號傳輸裝置之母接頭及圖8C之訊號傳輸裝置之公接頭之一實施例之俯視示意圖。

[圖9]係為根據本案之訊號傳輸裝置之母接頭及公接頭之另一實施例之俯視示意圖。

[圖10]係為根據本案之訊號傳輸裝置之母接頭及公接頭之另一實施例之俯視示意圖。

[圖11]係為根據本案之訊號傳輸裝置之母接頭及公接頭之另一實施例之俯視示意圖。

[圖12]係為根據本案之包含訊號傳輸裝置之傳輸線及電子裝置之一實施例的示意圖。

[圖13A及圖13B]係分別為根據本案之訊號傳輸裝置之另一實施例的示意圖。

[圖14A及圖14B]係分別為圖13之訊號傳輸裝置之另一實施例的示意圖。

[圖15A及圖15B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

[圖16A及圖16B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

[圖17A及圖17B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

[圖18A及圖18B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

[圖19A及圖19B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

[圖20A及圖20B]係分別為根據本案訊號傳輸裝置之一實施例的示意圖。

【實施方式】

【0006】 請參照圖1，圖1係為根據本案之訊號傳輸裝置之一實施例的示意圖。訊號傳輸裝置包含複數正差動接腳（Pin）、複數負差動接腳、複數控制訊號接腳、複數電源訊號接腳及複數接地接腳。其中，正差動接腳的數量、負差動接腳的數量、接地接腳的數量、電源訊號接腳的數量及控制訊號接腳的數量可根據不同產品需求（例如所需電流大小、訊號傳輸速率）進行客製化設計，圖1僅是示例出訊號傳輸裝置的其中一種實施例，本案並不以此為限。

【0007】 圖1示例複數正差動接腳111、121、131、141、複數負差動接腳112、122、132、142及對應前述各差動接腳111、112、121、122、131、132、141、142的複數接地接腳（GND）21-25。正差動接腳111、121、131、141及負差動接腳112、122、132、142分別傳輸差動訊號之

正訊號分量及負訊號分量，在此先以正差動接腳111、121（為方便描述，分別稱為第一正差動接腳111及第二正差動接腳121）、負差動接腳112、122（分別稱為第一負差動接腳112及第二負差動接腳122）及對應的接地接腳21（以下稱為第一接地接腳21）為例說明。

【0008】 第一正差動接腳111及第一負差動接腳112傳輸第一差動訊號，其中，第一正差動接腳111傳輸第一差動訊號的正訊號分量，第一負差動接腳112傳輸第一差動訊號的負訊號分量；第二正差動接腳121及第二負差動接腳122傳輸有別於第一差動訊號之另一差動訊號（以下稱為第二差動訊號），第二正差動接腳121傳輸第二差動訊號的正訊號分量，第二負差動接腳122傳輸第二差動訊號的負訊號分量。在配置上，第一正差動接腳111以及第一負差動接腳112位於第一接地接腳21之一側（即，傳輸相同差動訊號的兩差動接腳111、112係位於第一接地接腳21之同一側），第二正差動接腳121以及第二負差動接腳122位於第一接地接腳21之另一側（即，傳輸相同差動訊號的兩差動接腳121、122係位於第一接地接腳21之同一側），也就是傳輸不同差動訊號的兩差動接腳111、122係位於第一接地接腳21之不同一側。

【0009】 再者，圖1示例四個電源訊號接腳31-34以及複數控制訊號接腳。電源訊號接腳31-34可傳輸符合特定通訊規格之電源訊號，控制訊號接腳可傳輸符合特定通訊規格之控制訊號，換言之，訊號傳輸裝置除了可傳輸差動訊號之外亦可傳輸供電子裝置運作之電源訊號及控制訊號，並符合特定之通訊規格。基此，有別於習知的訊號傳輸裝置，本案之訊號傳輸裝置可在傳輸第一差動訊號及第二差動訊號時避免不同差動訊號之間的

串擾（crosstalk），並得到更好的阻抗匹配特性，因此提升訊號傳輸裝置的傳輸品質，可更有效率地傳輸訊號至電子裝置。

【0010】 在一些實施例中，如圖1所示，訊號傳輸裝置可傳輸至少四對差動訊號，第三正差動接腳131及第三負差動接腳132可傳輸第三差動訊號，第三正差動接腳131傳輸第三差動訊號的正訊號分量，第三負差動接腳132傳輸第三差動訊號的負訊號分量，第四正差動接腳141及第四負差動接腳142可傳輸第四差動訊號，第四正差動接腳141傳輸第四差動訊號的正訊號分量，第四負差動接腳142傳輸第四差動訊號的負訊號分量。為使前述之四對差動訊號之間不相互干擾，如圖1所示，訊號傳輸裝置之複數接地接腳為第一接地接腳21、第二接地接腳22、第三接地接腳23、第四接地接腳24及第五接地接腳25。第二正差動接腳121及第二負差動接腳122位於第一接地接腳21及第四接地接腳24之間，即第二正差動接腳121及第二負差動接腳122位於第四接地接腳24之一側，第三正差動接腳131及第三負差動接腳132位於第四接地接腳24之另一側；第三正差動接腳131及第三負差動接腳132位於第四接地接腳24及第五接地接腳25之間，即第三正差動接腳131及第三負差動接腳132位於第五接地接腳25之一側，第四正差動接腳141以及第四負差動接腳142位於第五接地接腳25之另一側。基此，第二正差動接腳121與第三負差動接腳132之間受第四接地接腳24屏蔽，第三正差動接腳131與第四負差動接腳142之間受第五接地接腳25屏蔽，第一差動訊號、第二差動訊號、第三差動訊號及第四差動訊號之間不相互干擾。

【0011】 在一些實施例中，複數正差動接腳111、121、131、141及

複數負差動接腳112、122、132、142係沿著同一直線方向D1（例如，訊號傳輸裝置的長度方向）排列，訊號傳輸裝置可更容易地相容於現有的通訊傳輸規格。

【0012】 在一些實施例中，請參照圖2，圖2為圖1之訊號傳輸裝置之另一實施例的示意圖，訊號傳輸裝置亦可包含八對差動接腳，且傳輸相同差動訊號之每一對差動接腳係受兩接地接腳所屏蔽。訊號傳輸裝置更包含正差動接腳171、181、191、101（以下分別稱為第七正差動接腳171、第八正差動接腳181、第九正差動接腳191及第十正差動接腳101）、負差動接腳172、182、192、102（以下分別稱為第七負差動接腳172、第八負差動接腳182、第九負差動接腳192及第十負差動接腳102）以及對應的接地接腳26、27、28、29。正差動接腳171、181、191、101及負差動接腳172、182、192、102亦沿著同一直線方向D1排列。第七正差動接腳171及第七負差動接腳172可傳輸第七差動訊號，第七正差動接腳171傳輸第七差動訊號的正訊號分量，第七負差動接腳172傳輸第七差動訊號的負訊號分量。第八正差動接腳181及第八負差動接腳182可傳輸第八差動訊號，第八正差動接腳181傳輸第八差動訊號的正訊號分量，第八負差動接腳182傳輸第八差動訊號的負訊號分量。第九正差動接腳191及第九負差動接腳192可傳輸第九差動訊號，第九正差動接腳191傳輸第九差動訊號的正訊號分量，第九負差動接腳192傳輸第九差動訊號的負訊號分量。第十正差動接腳101及第十負差動接腳102可傳輸第十差動訊號，第十正差動接腳101傳輸第十差動訊號的正訊號分量，第十負差動接腳102傳輸第十差動訊號的負訊號分量。

【0013】 為使前述之八個差動訊號之間不相互干擾，如圖2所示，第四正差動接腳141及第四負差動接腳142位於第五接地接腳25及第六接地接腳26之間，即第四正差動接腳141及第四負差動接腳142位於第六接地接腳26之一側，第七正差動接腳171及第七負差動接腳172位於第六接地接腳26之另一側；第七正差動接腳171及第七負差動接腳172位於第六接地接腳26及第七接地接腳27之間，即第七正差動接腳171及第七負差動接腳172位於第七接地接腳27之一側，第八正差動接腳181及第八負差動接腳182位於第七接地接腳27之另一側；第八正差動接腳181及第八負差動接腳182位於第七接地接腳27及第八接地接腳28之間，即第八正差動接腳181及第八負差動接腳182位於第八接地接腳28之一側，第九正差動接腳191及第九負差動接腳192位於第八接地接腳28之另一側；第九正差動接腳191及第九負差動接腳192位於第八接地接腳28及第九接地接腳29之間，即第九正差動接腳191及第九負差動接腳192位於第九接地接腳29之一側，第十正差動接腳101及第十負差動接腳102位於第九接地接腳29之另一側。基此，第四正差動接腳141與第七負差動接腳172之間受第六接地接腳26屏蔽，第七正差動接腳171與第八負差動接腳182之間受第七接地接腳27屏蔽，第八正差動接腳181與第九負差動接腳192之間受第八接地接腳28屏蔽，第九正差動接腳191與第十負差動接腳102之間受第九接地接腳29屏蔽，第一差動訊號、第二差動訊號、第三差動訊號、第四差動訊號、第七差動訊號、第八差動訊號、第九差動訊號及第十差動訊號之間不相互干擾。基此，訊號傳輸裝置可傳輸至少八對差動訊號，且八對差動接腳係沿著同一直線方向D1排列，訊號傳輸裝置可更容易地相容於現有

的通訊傳輸規格。

【0014】 在一些實施例中，如圖1及圖2所示，複數接地接腳中之第三接地接腳23之其中一側（即，遠離第一負差動接腳112之一側）未設置有正差動接腳及負差動接腳而可設置有電源訊號接腳31、32，且第三接地接腳23之其中另一側為第一正差動接腳111及第一負差動接腳112，即第一正差動接腳111以及第一負差動接腳112位於第一接地接腳21與第三接地接腳23之間，第一正差動接腳111以及第一負差動接腳112受兩接地接腳21、23屏蔽，接地接腳21、23可共同提供第一差動訊號接地。基此，第三接地接腳23之設置將第一正差動接腳111及第一負差動接腳112分隔於複數電源訊號接腳31、32，如此可防止第一正差動接腳111及第一負差動接腳112在傳輸第一差動訊號時受到電源訊號干擾而導致第一差動訊號之傳輸品質下降的情況。

【0015】 在一些實施例中，如圖2所示，第二接地接腳22係位於訊號傳輸裝置之最邊緣位置，也就是第二接地接腳22於直線方向D1上的其中一側未設置有正差動接腳及負差動接腳，第二接地接腳22於直線方向D1上的其中另一側為第十正差動接腳101及第十負差動接腳102。即第十正差動接腳101及第十負差動接腳102位於第九接地接腳29與第二接地接腳22之間，第十正差動接腳101及第十負差動接腳102受兩接地接腳29、22屏蔽，也就是接地接腳29、22可共同提供第十差動訊號接地。基此，可進一步避免第十正差動接腳101及第十負差動接腳102在傳輸第十差動訊號時受到訊號傳輸裝置外之雜訊干擾而導致第十差動訊號之傳輸品質下降的情況。

【0016】 在一些實施例中，如圖2所示，訊號傳輸裝置之複數差動接腳亦包含為兩個正差動接腳151、161及兩個負差動接腳152、162（以下將正差動接腳151、161分別稱為第一正差動高速接腳151及第二正差動高速接腳161，並將負差動接腳152、162分別稱為第一負差動高速接腳152及第二負差動高速接腳162），並且，訊號傳輸裝置之複數接地接腳亦包含第十接地接腳20。第一正差動高速接腳151用以傳輸第五差動訊號之正訊號分量，第一負差動高速接腳152用以傳輸第五差動訊號之負訊號分量；第二正差動高速接腳161用以傳輸第六差動訊號之正訊號分量，第二負差動高速接腳162用以傳輸第六差動訊號之負訊號分量。在配置上，第一正差動高速接腳151以及第一負差動高速接腳152位於第十接地接腳20之一側，第二正差動高速接腳161及第二負差動高速接腳162位於第十接地接腳20之另一側，正差動高速接腳151、161、第十接地接腳20及負差動高速接腳152、162係沿著同一直線方向D1排列。

【0017】 在一些實施例中，訊號傳輸裝置之複數正差動接腳及複數負差動接腳為傳輸高速訊號，例如，差動接腳111、112傳輸之第一差動訊號、差動接腳121、122傳輸之第二差動訊號、差動接腳131、132傳輸之第三差動訊號、差動接腳141、142傳輸之第四差動訊號、差動接腳171、172傳輸之第七差動訊號、差動接腳181、182傳輸之第八差動訊號、差動接腳191、192傳輸之第九差動訊號、差動接腳101、102傳輸之第十差動訊號、差動高速接腳151、152傳輸之第五差動訊號及差動高速接腳161、162傳輸之第六差動訊號皆為高速訊號。並且，如圖1及圖2所示，訊號傳輸裝置更可包含傳輸低速資料訊號之正差動低速接腳51及負差動低速接

腳52，且正差動低速接腳51及負差動低速接腳52與差動高速接腳151、152、161、162係沿著同一直線方向D1排列。正差動低速接腳51及負差動低速接腳52傳輸為低速資料之低速差動訊號，正差動低速接腳51傳輸低速差動訊號的正訊號分量，負差動低速接腳52傳輸低速差動訊號的負訊號分量。基此，訊號傳輸裝置可同時支援高速訊號及低速資料訊號之傳輸。

【0018】 在一些實施例中，圖1至圖2示例之訊號傳輸裝置可支援通用序列匯流排（Universal Serial Bus；USB）2.0之規格，正差動低速接腳51、負差動低速接腳52適用於USB2.0之規格，正差動低速接腳51及負差動低速接腳52傳輸之低速差動訊號為USB2.0之USB訊號，正差動低速接腳51可傳輸USB-DP訊號，負差動低速接腳52可傳輸USB-DM訊號。再者，圖2示例之訊號傳輸裝置亦可支援各種採用差動傳輸方式之規格，訊號傳輸裝置中為傳輸高速訊號之複數正差動接腳、複數負差動接腳中（即，差動接腳111、112、121、122、131、132、141、142、171、172、181、182、191、192、101、102及差動高速接腳151、152、161、162）之任兩對差動接腳可傳輸符合USB 2.0或PCIe 1.0以及更新版本規格，或是其他採用差動傳輸方式之高速資料收發訊號。

【0019】 在一些實施例中，圖1至圖2示例之訊號傳輸裝置亦可支援PCIe介面之規格，其中，正差動低速接腳51、負差動低速接腳52、第一正差動高速接腳151、第一負差動高速接腳152、第二正差動高速接腳161及第二負差動高速接腳162亦可適用於PCIe介面之傳輸，且正差動低速接腳51、負差動低速接腳52可傳輸符合PCIe介面規格之時脈訊號（可包含正時脈分量與負時脈分量）。

【0020】 在一些實施例中，訊號傳輸裝置可支援高畫質多媒體介面（High Definition Multimedia Interface；HDMI），如圖1及圖2所示，前述複數控制訊號接腳可為複數SCL接腳、複數SDA接腳及熱插拔偵測（Hot Plug Detection）接腳411或選自前述項目所形成之組合。複數SCL接腳即為用以傳輸SCL（Serial Clock）訊號之SCL/PCIE_WAKE_N接腳414及REALONE_SCL接腳419；複數SDA接腳即為用以傳輸SDA（Serial Data）訊號之SDA/PCIE_PERST_N接腳412及REALONE_SDA接腳420。SCL接腳及SDA接腳可用於訊號產生源（例如Digital Video Disc，即DVD）裝置和訊號接收端（例如television，即TV）裝置之間的溝通，來源裝置透過SCL接腳及SDA接腳讀取播放裝置所支援的解析度，使來源裝置顯示符合播放裝置之解析度的影像畫面。並且，正差動接腳111、121、131、141、171、181、191、101及負差動接腳112、122、132、142、172、182、192、102中之四對差動接腳共可傳輸三對最小化傳輸差分訊號（Transition Minimized Differential Signaling；TMDS）及一對適於HDMI規格之時脈訊號，以支援HDMI訊號之傳輸。

【0021】 在一些實施例中，訊號傳輸裝置之複數控制訊號接腳可為iRealOne_LINK接腳415、CLK（AUDIO-SYNC clock）接腳413、複數適於序列周邊介面（SPI）之接腳或選自前述項目所形成之組合，以在電子裝置之間傳輸語音視訊相關之控制訊號，其中，複數適於SPI之接腳包含SPI_DI接腳416、SPI_CS接腳417、SPI_WP_PWM接腳421、SPI_DO接腳423、SPI_HOLD_PWM接腳422及SPI_CLK接腳418。

【0022】 在一些實施例中，訊號傳輸裝置之複數控制訊號接腳中之一

可為系統主電源致能接腳410，系統主電源致能接腳410為傳輸用以開啟或關閉外接裝置是否提供電源的控制訊號（或稱為致能訊號），舉例來說，訊號傳輸裝置可連接在筆記型電腦與平板電腦之間，平板電腦可視為筆記型電腦之外接裝置，且平板電腦具有可供電給筆記型電腦之供電功能，系統主電源致能接腳410可為傳輸開啟或關閉前述供電功能之控制訊號。在配置上，系統主電源致能接腳410位於正差動低速接腳51、負差動低速接腳52與第一正差動高速接腳151、第一負差動高速接腳152、第二正差動高速接腳161、第二負差動高速接腳162之間，以隔離低速資料訊號與高速訊號之傳輸。在一些實施例中，前述複數控制訊號接腳係沿著同一直線方向D1排列。

【0023】 在一些實施例中，電源訊號接腳31-34可為複數低壓電源接腳及複數高壓電源接腳，其中，電源訊號接腳31、32為低壓電源接腳，即HV-POWER電源接腳，電源訊號接腳31、32供應與HV相關的低壓電源訊號，其電壓可為12伏特（V）；電源訊號接腳33、34為高壓電源接腳，即UHV-POWER電源接腳，電源訊號接腳33、34供應與UHV相關的高壓電源訊號，其電壓可為350V。在一些實施例中，複數低壓電源接腳及複數高壓電源接腳之數量可根據訊號傳輸裝置實際導通電流大小與差動訊號傳輸速率作調整。

【0024】 在一些實施例中，如圖1及圖2所示，訊號傳輸裝置之複數接地接腳可提供電源訊號接地，也就是說，複數接地接腳中之高壓接地接腳61、62可提供為高壓電源接腳之電源訊號接腳33、34接地使用，前述電源訊號接腳33、34、高壓接地接腳61、62係沿著同一直線方向D1排列。

再者，訊號傳輸裝置更包含絕緣層I，絕緣層I位於電源訊號接腳33、34與複數接地接腳中供電源訊號接腳33、34接地之高壓接地接腳61、62之間，也就是說，為UHV-POWER接腳之電源訊號接腳33、34位於絕緣層I之一側，高壓接地接腳61、62位於絕緣層I之另一側。因此，於電源訊號接腳33、34與高壓接地接腳61、62之間設置絕緣層I可防止因跨壓太大而導致電弧或訊號傳輸裝置損壞。在此實施例中，絕緣層I為接腳形式。

【0025】 在一些實施例中，請參照圖1及圖2，訊號傳輸裝置設置一金屬隔離層M作為電氣結構與物理結構（訊號傳輸裝置之複數接腳之間）的隔離。詳細而言，如圖1、圖2所示，電源訊號接腳31、32、正差動接腳111、121、131、141、171、181、191、101及負差動接腳112、122、132、142、172、182、192、102以及接地接腳21、22、23、24、25、26、27、28、29位於金屬隔離層M於方向D2上之一側；正差動低速接腳51、負差動低速接腳52、第一正差動高速接腳151、第一負差動高速接腳152、第十接地接腳20、第二正差動高速接腳161、第二負差動高速接腳162、複數控制訊號接腳、電源訊號接腳33、34、高壓接地接腳61、高壓接地接腳62及絕緣層I位於金屬隔離層M於方向D2上之另一側，且方向D2垂直於方向D1（例如，方向D2可為訊號傳輸裝置的長度方向），換言之，正差動接腳111、121、131、141、171、181、191、101、負差動接腳112、122、132、142、172、182、192、102與正差動低速接腳51、負差動低速接腳52之間係藉由金屬隔離層M沿著方向D2並列地排列；正差動接腳111、121、131、141、171、181、191、101、負差動接腳112、122、132、142、172、182、192、102與第一正差動高速接腳151、第一負差

動高速接腳152、第二正差動高速接腳161、第二負差動高速接腳162之間係藉由金屬隔離層M沿著方向D2並列地排列；正差動接腳111、121、131、141、171、181、191、101、負差動接腳112、122、132、142、172、182、192、102與複數控制訊號接腳之間係藉由金屬隔離層M沿著方向D2並列地排列；電源訊號接腳31、32與電源訊號接腳33、34之間係藉由該金屬隔離層M沿著方向D2並列地排列。在一些實施例中，金屬隔離層M可為鐵片，並且可提供訊號接地。基此，金屬隔離層M可使兩側之接腳之間不相互干擾，且提供良好之參考接地平面以強化信號品質和阻抗匹配特性，雙排並列的接腳也可縮小訊號傳輸裝置之尺寸並提升生產之便利性。

【0026】 在一些實施例中，請參照圖1、圖2及圖3，訊號傳輸裝置之全部接腳可由芯線(line)線材繞線而成，並且其排列方式可為排列於同一直線方向上。舉例來說，如圖3所示，線材G1可為有接地接腳做遮蔽的雙絞線、線材G2可為沒有接地接腳做遮蔽的雙絞線、線材G3可為細的單芯線及線材G4可為粗的單芯線，訊號傳輸裝置之全部接腳可分別捆束為線材G1、線材G2、線材G3、線材G4而排列在同一直線方向上。在另一些實施例中，如圖4所示，線材G1-G4亦可為包覆為圓環狀之一束繞線，也就是線材G1、線材G2、線材G3、線材G4可不排列於同一直線方向上。

【0027】 在一些實施例中，訊號傳輸裝置包含一殼體。訊號傳輸裝置可設計為公接頭或是母接頭中之其中一種，公接頭與母接頭係相互對應，作為公接頭之訊號傳輸裝置與作為母接頭之訊號傳輸裝置可相連接。請參照圖5A至圖5D，圖5A及圖5B分別為母接頭及公接頭之實施例，圖5C為圖5A中訊號傳輸裝置之一側SA之側視示意圖、圖5D為圖5B中訊號傳輸裝

置之一側SB之側視示意圖。如圖5C及圖5D所示，A端及A’端設計為斜切角，B端及B’端亦設計為斜切角，因此，分別為母接頭及公接頭之兩訊號傳輸裝置可根據A端對A’端及B端對B’端而相互連接，斜切角可做為防止公接頭與母接頭連接錯誤之防呆機制。在另一些實施例中，殼體包含一斜切角及一直角，且斜切角及直角分別位於殼體之兩側。請參照圖6A、圖6B，圖6A為作為母接頭之訊號傳輸裝置之另一示意圖、圖6B為作為公接頭之訊號傳輸裝置之另一示意圖。如圖6A、圖6B所示，C端及C’端設計為直角，D端及D’端設計為斜切角，因此，分別為母接頭及公接頭之兩訊號傳輸裝置可根據C端對C’端及D端對D’端而相互連接。在另一些實施例中，請參照圖7A、圖7B，圖7A為作為母接頭之訊號傳輸裝置之另一示意圖、圖7B為作為公接頭之訊號傳輸裝置之另一示意圖。如圖7A、圖7B所示，E端及E’端設計為斜切角，F端及F’端設計為直角，因此，分別為母接頭及公接頭之兩訊號傳輸裝置可根據E端對E’端及F端對F’端而相互連接。基此，訊號傳輸裝置根據接頭為不同的斜切角形式，可提供不同產品上的訊號傳輸裝置組合並對訊號傳輸裝置接頭進行區隔，以防止公接頭與母接頭之間誤連接的可能。

【0028】 在一些實施例中，請參照圖8A至圖8E，圖8A及圖8B分別為母接頭之外觀示意圖及側視圖，圖8C及圖8D分別為公接頭之外觀示意圖及側視圖，圖8E為對應圖8A、圖8B之母接頭對接圖8C、圖8D之公接頭之一實施例的外觀示意圖。如圖8A及圖8B所示，母接頭包含殼體O1、舌部O2、由殼體環圍之容置空間O3及複數個接腳，並且，舌部O2設置於容置空間O3內，舌部O2為絕緣材質。在一些實施例中，舌部O2內部嵌一金

屬隔離層M，因此，舌部O2除了可以設置接腳外，當金屬隔離層M連接至一固定電位時（如接地電位），金屬隔離層M可做為舌部O2上、下表面訊號的電性隔離之用、以及高速訊號的參考接地之用。母接頭設置於為電路板之基板Z上。其中，複數個接腳為上述之差動接腳111、121、131、141、171、181、191、101、51、151、161、112、122、132、142、172、182、192、102、52、152、162、接地接腳20-29、61-62、電源訊號接腳31-34、控制訊號接腳410-423，所述接腳及絕緣層I設置於舌部O2上，並且分列於舌部O2之上、下表面，舉例來說，電源訊號接腳31、32、正差動接腳111、121、131、141、171、181、191、101及負差動接腳112、122、132、142、172、182、192、102以及接地接腳21、22、23、24、25、26、27、28、29可位於舌部O2之上表面，而正差動低速接腳51、負差動低速接腳52、第一正差動高速接腳151、第一負差動高速接腳152、第十接地接腳20、第二正差動高速接腳161、第二負差動高速接腳162、複數控制訊號接腳、電源訊號接腳33、34、高壓接地接腳61、高壓接地接腳62及絕緣層I可位於舌部O2之下表面。此外，金屬隔離層M亦位於舌部O2，金屬隔離層M位於舌部O2之上表面與下表面之間。在另一舉例中，前述設置於舌部O2上表面之接腳亦可改設置於下表面，而前述設置於下表面之接腳可改設置於上表面。

【0029】 在一些實施例中，殼體O1包含一凸出部O11，凸出部O11位於殼體O1之一表面，例如，如圖8A、圖8B所示，凸出部O11可位於殼體O1之上表面。凸出部O11包含一對側壁Oa、Ob、一頂壁Oc，側壁Oa、Ob分別連接殼體O1，且頂壁Oc連接於側壁Oa、Ob之間，藉此，側壁Oa、

Ob、頂壁Oc共同形成母接頭之插入空間O4，插入空間O4與容置空間O3為相互連通。

【0030】 在一些實施例中，殼體O1包含複數個彈扣O12，其中彈扣O12數量可調整，彈扣O12位於殼體之其中至少一表面，例如，如圖8A、圖8B所示，彈扣O12之數量為兩個，且彈扣O12可位於殼體O1之上表面，即與凸出部O11同一表面。在另一些實施例中，殼體O1包含複數個扣孔O13，其中扣孔O13數量亦可調整，扣孔O13位於殼體之至少一表面，如圖8A、圖8B所示，扣孔O13之數量為兩個，且扣孔O13可位於殼體O1之上表面，即與凸出部O11、彈扣O12同一表面。

【0031】 在一些實施例中，如圖8C、圖8D所示之公接頭，其中公接頭包含殼體K1、位於殼體K1內之絕緣體T、由絕緣體T環圍之容置空間K2及複數個接腳，該些接腳設置於該絕緣體T上。其中，複數個接腳為上述之差動接腳111、121、131、141、171、181、191、101、51、151、161、112、122、132、142、172、182、192、102、52、152、162、接地接腳20-29、61-62、電源訊號接腳31-34、控制訊號接腳410-423，所述接腳及絕緣層I設置於殼體K1之內側（即該絕緣體T之內側），並且分列於殼體K1之上、下表面（即該絕緣體T內側之上、下表面），舉例來說，電源訊號接腳31、32、正差動接腳111、121、131、141、171、181、191、101及負差動接腳112、122、132、142、172、182、192、102以及接地接腳21、22、23、24、25、26、27、28、29可位於殼體K1內側之上表面（即該絕緣體T之內側上表面），而正差動低速接腳51、負差動低速接腳52、第一正差動高速接腳151、第一負差動高速接腳152、第十接地接腳

20、第二正差動高速接腳161、第二負差動高速接腳162、複數控制訊號接腳、電源訊號接腳33、34、高壓接地接腳61、高壓接地接腳62及絕緣層I可位於殼體K1內側之下表面（即該絕緣體T內側之下表面）。在另一舉例中，前述設置於殼體K1內側上表面之接腳亦可改設置於下表面，而前述設置於內側下表面之接腳可改設置於上表面。

【0032】 在一些實施例中，殼體K1包含一凸出部K11，凸出部K11位於殼體K1之一表面，例如，如圖8C、圖8D所示，凸出部K11可位於殼體K1之上表面。凸出部K11包含一對側壁Ka、Kb、一頂壁Kc，側壁Ka、Kb分別連接殼體K1，且頂壁Kc連接於側壁Ka、Kb之間，藉此，側壁Ka、Kb、頂壁Kc共同形成公接頭之插入空間K3。

【0033】 在一些實施例中，殼體K1包含複數個凹槽K12，其中凹槽K12的數量對應於欲與其連接之母接頭之彈扣O12的數量，並且，凹槽K12位於殼體K1之位置對應於彈扣O12位於殼體O1之位置，例如，如圖8C、圖8D所示，凹槽K12之數量為兩個，且凹槽K12與彈扣O12皆設置於殼體之上表面，凹槽K12與凸出部K11為位於殼體K1之同一表面。在另一些實施例中，殼體K1包含複數個扣孔K13，其中扣孔K13的數量對應於欲與其連接之母接頭之扣孔O13的數量，並且，扣孔K13位於殼體K1之位置對應於扣孔O13位於殼體O1之位置，如圖8C所示，扣孔K13之數量為兩個，且扣孔K13可位於殼體K1之上表面，即與凸出部K11、凹槽K12同一表面。

【0034】 在一些實施例中，請參照圖8E，圖8E為圖8A（圖8B）之母接頭及圖8C（圖8D）之公接頭對接之結構示意圖（依對接方向SV連接）。當兩訊號傳輸裝置連接後，母接頭之殼體O1環圍公接頭之殼體K1，換言

之，殼體O1之複數個表面包覆殼體K1之複數個表面，殼體K1位於殼體O1之內側，詳細而言，殼體O1對應殼體K1連接，凸出部O11對應凸出部K11連接且凸出部O11覆蓋凸出部K11，母接頭之舌部O2插入公接頭之容置空間K2，使得母接頭之接腳分別與公接頭之接腳電性連接。此外，彈扣O12與凹槽K12相互扣合連接，且扣孔O13亦與扣孔K13相互扣合連接，使得母接頭及公接頭對接之後無法輕易脫離。

【0035】 在一些實施例中，請參照圖8F，圖8F為圖8E之公接頭與母接頭尚未連接之俯視圖。圖中可以看出，母接頭之凸出部O11位於殼體O1中心偏左位置（依據圖8F之水平方向SH），亦即凸出部O11之中心軸Y到殼體O1右內側面SE之距離（以下稱第一距離）為長度a1，凸出部O11之中心軸Y到殼體O1左內側面SF之距離（以下稱第二距離）為長度a2，長度a1大於或等於長度a2。類似地，公接頭之凸出部K11位於殼體K1中心軸Y偏左位置（依據圖8F水平方向SH），亦即凸出部K11中心軸Y到殼體K1右外側面SG之距離（以下稱第三距離）為長度a3，凸出部K11到殼體K1左外側面SH之距離（以下稱第四距離）為長度a4，長度a3大於或等於長度a4。其中，第一距離對應第三距離，第二距離對應第四距離，因此，當公接頭與母接頭連接時，母接頭之殼體環圍公接頭之殼體。

【0036】 在一些實施例中，凸出部O11、K11位於殼體O1、K1之位置可以依據使用者設計做調整，只要在母接頭與公接頭對接時，母接頭殼體O1之凸出部O11能夠順利覆蓋公接頭殼體K1之凸出部K11即可。在一些實施例中，凸出部O11、K11於殼體O1、K1上之位置亦可如圖9、圖10或圖11配置。在圖9中，第一距離之長度b1大於或等於為第二距離之長度

b2，第三距離之長度b3大於或等於第四距離之長度b4，且相較於圖8F，長度b1小於長度a1，長度b2大於長度a2，長度b3小於長度a3，長度b4大於長度a4。在另一些實施例中，在圖10中，凸出部O11亦可位於殼體O1中心偏右位置（依據圖8F之水平方向SH），第一距離之長度c1小於或等於第二距離之長度c2，第三距離之長度c3小於或等於第四距離之長度c4。在另一些實施例中，在圖11中，第一距離之長度d1小於或等於第二距離之長度d2，第三距離之長度d3小於或等於第四距離之長度d4，且相較於圖10，長度d1小於長度c1，長度d2大於長度c2，長度d3小於長度c3，長度d4大於長度c4。基此，凸出部O11、K11與殼體O1、K1兩側之間之距離經過設計之後，唯有特定的公接頭可連接於特定的母接頭，即特定公接頭凸出部K11於殼體K1之位置可對應於特定母接頭凸出部O11於殼體O1之位置，因此經由凸出部O11、K11之設計，可提供不同產品上的訊號傳輸裝置組合並對訊號傳輸裝置接頭進行區隔，以防止分別為不同產品之公接頭與母接頭之間誤連接的可能。

【0037】 在一些實施例中，訊號傳輸裝置之殼體亦可同時設計有凸出部及斜切角，即如圖8A至圖8E所示，H端及H’端亦可設計為斜切角，J端及J’端亦可設計為斜切角，分別為母接頭及公接頭之兩訊號傳輸裝置可根據H端對H’端、J端對J’端、殼體O1對殼體K1且凸出部O11對凸出部K11相互連接，因此，增加更多訊號傳輸裝置之組合，以達到防呆機制效果。

【0038】 在一些實施例中，其中凸出部O11、K11之數量可不限，凸出部O11、K11之數量亦可為多數個，其根據使用者之設計而定，且凸出部O11之數量等於K11之數量，每一凸出部O11於殼體O1之位置對應於每

一凸出部K11於殼體K1之位置。

【0039】 在一些實施例中，請參照圖12，圖12示例一傳輸線以及適於傳輸線之電子裝置N。傳輸線包含訊號傳輸裝置P、Q及連接部L，訊號傳輸裝置P、Q設置於傳輸線之兩端，以連接部L連接於訊號傳輸裝置P及訊號傳輸裝置Q之間。電子裝置N包含對應傳輸線之訊號傳輸裝置P、Q之訊號傳輸裝置R。由於訊號傳輸裝置P、Q、R分別被設計為公接頭或是母接頭中之其中一種，公接頭可與母接頭相連接，因此，訊號傳輸裝置P或訊號傳輸裝置Q可與電子裝置N之訊號傳輸裝置R連接，電子裝置N可為筆記型電腦、手機、平板、顯示器或其他視音相關裝置。舉例來說，當為公接頭之訊號傳輸裝置P與為母接頭之訊號傳輸裝置R連接，且為母接頭之訊號傳輸裝置Q連接於另一台電子裝置之為公接頭之訊號傳輸裝置時，另一台電子裝置可發送訊號自傳輸線之訊號傳輸裝置Q經由連接部L，再經由訊號傳輸裝置P及訊號傳輸裝置R傳輸至電子裝置N。

【0040】 在一些實施例中，傳輸線的二訊號傳輸裝置P、Q同為公接頭或同為母接頭。在一些實施例中，傳輸線的二訊號傳輸裝置P、Q的接腳定義(pin assignment)相同或不同。

【0041】 在一些實施例中，以絕緣層I不設計為接腳形式而使接腳總數量為52為例，如圖2所示（由上而下且由左而右），第1、4、7、10、13、16、19、22、25、33、49、50接腳為GND；第2、3、5、6、8、9、11、12、14、15、17、18、20、21、23、24接腳分別為P3_RTK1_P、P3_RTK1_M、P3_RTK0_P、P3_RTK0_M、P2_RTK1_P、P2_RTK1_M、P2_RTK0_P、P2_RTK0_M、P1_RTK1_P、P1_RTK1_M、P1_RTK0_P、

P1_RTK0_M、P0_RTK1_P、P0_RTK1_M、P0_RTK0_P、P0_RTK0_M；第26、27接腳為HV_POWER；第51、52接腳為UHV_POWER；第28-32、34-48接腳分別為USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSRX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSIP、USB_SSTX_M/PCIE_HSON、USB_SSTX_P/PCIE_HSOP、HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0042】在一些實施例中，以絕緣層I不設計為接腳形式而使接腳總數量為52為例，如圖13A所示（由上而下且由左而右），第1、4、7、10、13、16、19、22、25、33、49、50接腳為GND；第2、3、5、6、8、9、11、12、14、15、17、18、20、21、23、24接腳分別為P3_RTK1_P、P3_RTK1_M、P3_RTK0_P、P3_RTK0_M、P2_RTK1_P、P2_RTK1_M、P2_RTK0_P、P2_RTK0_M、P1_RTK1_P、P1_RTK1_M、P1_RTK0_P、P1_RTK0_M、P0_RTK1_P、P0_RTK1_M、P0_RTK0_P、P0_RTK0_M；第26、27接腳為HV_POWER；第51、52接腳為UHV_POWER；第28-32、34-48接腳分別為USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSRX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSIP、USB_SSTX_M/PCIE_HSON、USB_SSTX_P/PCIE_HSOP、

HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0043】在一些實施例中，以絕緣層I不設計為接腳形式而使接腳總數量為52為例，如圖13B所示（由上而下且由左而右），第1、4、7、10、13、16、19、22、25、33、49、50接腳為GND；第2、3、5、6、8、9、11、12、14、15、17、18、20、21、23、24接腳分別為P0_RTK0_M、P0_RTK0_P、P0_RTK1_M、P0_RTK1_P、P1_RTK0_M、P1_RTK0_P、P1_RTK1_M、P1_RTK1_P、P2_RTK0_M、P2_RTK0_P、P2_RTK1_M、P2_RTK1_P、P3_RTK0_M、P3_RTK0_P、P3_RTK1_M、P3_RTK1_P；第26、27接腳為HV_POWER；第51、52接腳為UHV_POWER；第28-32、34-48接腳分別為USB_DP/REFCLK_P_PCIE、USB_DM/REFCLK_M_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSTX_P/PCIE_HSIP、USB_SSTX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSOP、USB_SSRX_M/PCIE_HSON、HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0044】在一些實施例中，可依據圖2之設計將第1、2、3、4、5、6、7、8、9、10、11、12、31-35接腳為不使用，即接腳總數量為35。意即，

如圖1所示，第1、4、7、10、13、32、33接腳為GND；第2、3、5、6、8、9、11、12接腳分別為P1_RTK1_P、P1_RTK1_M、P1_RTK0_P、P1_RTK0_M、P0_RTK1_P、P0_RTK1_M、P0_RTK0_P、P0_RTK0_M；第14、15接腳為HV_POWER；第34、35接腳為UHV_POWER；第16-31接腳分別為USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0045】 在一些實施例中，可依據圖13A之設計將第1、2、3、4、5、6、7、8、9、10、11、12、31-35接腳為不使用(亦可稱空腳位，NC, Not connected)，即接腳總數量為35。意即，如圖14A所示，第1、4、7、10、13、32、33接腳為GND；第2、3、5、6、8、9、11、12接腳分別為P1_RTK1_P、P1_RTK1_M、P1_RTK0_P、P1_RTK0_M、P0_RTK1_P、P0_RTK1_M、P0_RTK0_P、P0_RTK0_M；第14、15接腳為HV_POWER；第34、35接腳為UHV_POWER；第16-31接腳分別為USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0046】 在一些實施例中，可依據圖13B之設計將第1、2、3、4、5、

6、7、8、9、10、11、12、31-35接腳為不使用(亦可稱空腳位，NC, Not connected)，即接腳總數量為35。意即，如圖14B所示，第1、4、7、10、13、32、33接腳為GND；第2、3、5、6、8、9、11、12接腳分別為P0_RTK0_M、P0_RTK0_P、P0_RTK1_M、P0_RTK1_P、P1_RTK0_M、P1_RTK0_P、P1_RTK1_M、P1_RTK1_P；第14、15接腳為HV_POWER；第34、35接腳為UHV_POWER；第16-31接腳分別為USB_DP/REFCLK_P_PCIE、USB_DM/REFCLK_M_PCIE、SYSTEM_MAIN_POWER_EN、HOT_PLUG_DETECT、SDA/PCIE_PERST_N、AUDIO_SYNC_CLK、SCL/PCIE_WAKE_N、iRealOne_LINK、SPI_DI、SPI_CS、SPI_CLK、REALONE_SCL、REALONE_SDA、SPI_WP_PWM、SPI_HOLD_PWM、SPI_DO。

【0047】 請參閱圖15A至圖20B，其分別為根據本案訊號傳輸裝置之一實施例的示意圖。其中，圖15A及圖15B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q；圖16A及圖16B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q；圖17A及圖17B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q；圖18A及圖18B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q；圖19A及圖19B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q；圖20A及圖20B之訊號傳輸裝置可分別應用於圖12傳輸線的二訊號傳輸裝置P、Q。

【0048】 圖1及圖14A至圖20B中未有接腳定義之腳位（如圖1中左側上方前12個腳位（第1-12腳位）及右側第4至8腳位（第31-35腳位））為

空腳位（NC, not-connected），但並不以此為限。在一些實施例中，在不影響電氣特性的情形下，空腳位電性可以連接電源端或接地端、或做為通用輸出入（General Purpose Input/Output）接腳，或作為其他用途之接腳。

【0049】 圖15A之訊號傳輸裝置的接腳從第1腳位到第54腳位（圖15A之左上方垂直向下，再從右上方垂直向下依序編號）分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、P1_RTK1_P、P1_RTK1_M、GND、P1_RTK0_P、P1_RTK0_M、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、HV_POWER、HV_POWER、USB_DM、USB_DP、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、UHV_POWER。其中，NC表示空腳位，PHYSICAL INSULATOR表示物理性絕緣，用以避免電源訊號接腳與接地接腳之間的跨壓過大所造成的火弧或是電氣耦合效果，HOT_PLUG_DETECT表示熱插拔偵測，GND表示接地，POWER表示電源。PDM表示數字麥克風介面(Pulse Density Modulation)，SCL/SDA表示一組I2C介面，iRealOne_SCL及iRealOne_SDA表示此訊號傳輸裝置之一組專用的I2C介面，GPIO表示通用輸出輸入埠，P0_RTK0_M與P0_RTK0_P表示此訊號傳輸裝置之同一

組的差動訊號接腳。HV_POWER及HV_POWER2表示兩組透過此訊號傳輸裝置所傳輸的高壓電源，UHV_POWER及UHV_GND分別表示透過此訊號傳輸裝置所傳輸的超高電壓電源與對應之接地信號，SYSTEM_MAIN_POWER_EN表示用於控制主電源開與關的訊號，iRealOne_LINK表示此訊號傳輸裝置用於傳輸特定封包之訊號。

【0050】 圖15B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、P0_RTK0_M、P0_RTK0_P、GND、P0_RTK1_M、P0_RTK1_P、GND、P1_RTK0_M、P1_RTK0_P、GND、P1_RTK1_M、P1_RTK1_P、GND、HV_POWER、HV_POWER、USB_DP、USB_DM、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER及UHV_POWER。

【0051】 圖16A之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、NC、NC、GND、HV_POWER、HV_POWER、

USB_DM、USB_DP、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER及UHV_POWER。

【0052】圖16B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、P0_RTK0_M、P0_RTK0_P、GND、P0_RTK1_M、P0_RTK1_P、GND、NC、NC、GND、HV_POWER、HV_POWER、USB_DP、USB_DM、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER及UHV_POWER。

【0053】圖17A之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、NC、NC、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、HV_POWER、HV_POWER、

USB_DM、USB_DP、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER及UHV_POWER。

【0054】圖17B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、NC、NC、GND、P0_RTK0_M、P0_RTK0_P、GND、P0_RTK1_M、P0_RTK1_P、GND、HV_POWER、HV_POWER、USB_DP、USB_DM、SYSTEM_MAIN_POWER_EN、NC、NC、GND、NC、NC、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、NC、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER及UHV_POWER。

【0055】圖18A之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、P1_RTK1_P、P1_RTK1_M、GND、P1_RTK0_P、P1_RTK0_M、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、

HV_POWER、HV_POWER、USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSRX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSIP、GND、USB_SSTX_M/PCIE_HSON、USB_SSTX_P/PCIE_HSOP、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、及UHV_POWER。

【0056】圖18B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、P0_RTK0_M、P0_RTK0_P、GND、P0_RTK1_M、P0_RTK1_P、GND、P1_RTK0_M、P1_RTK0_P、GND、P1_RTK1_M、P1_RTK1_P、GND、HV_POWER、HV_POWER、USB_DP/REFCLK_P_PCIE、USB_DM/REFCLK_M_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSTX_M/PCIE_HSIP、USB_SSTX_M/PCIE_HSIN、GND、USB_SSRX_P/PCIE_HSOP、USB_SSRX_M/PCIE_HSON、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER 及

UHV_POWER。

【0057】 圖19A之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、NC、NC、GND、HV_POWER、HV_POWER、USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSRX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSIP、GND、USB_SSTX_M/PCIE_HSON、USB_SSTX_P/PCIE_HSOP、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、及UHV_POWER。

【0058】 圖19B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、P0_RTK0_M、P0_RTK0_P、GND、P0_RTK1_M、P0_RTK1_P、GND、NC、NC、GND、HV_POWER、HV_POWER、USB_DP/REFCLK_P_PCIE、USB_DM/REFCLK_M_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSTX_P/PCIE_HSIP、USB_SSTX_M/PCIE_HSIN、GND、USB_SSRX_P/PCIE_HSOP、

USB_SSRX_M/PCIE_HSON、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、及UHV_POWER。

【0059】 圖20A之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、NC、NC、GND、P0_RTK1_P、P0_RTK1_M、GND、P0_RTK0_P、P0_RTK0_M、GND、HV_POWER、HV_POWER、USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSRX_M/PCIE_HSIN、USB_SSRX_P/PCIE_HSIP、GND、USB_SSTX_M/PCIE_HSON、USB_SSTX_P/PCIE_HSOP、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、及UHV_POWER。

【0060】 圖20B之訊號傳輸裝置的接腳從第1腳位到第54腳位分別為GND、GPIO1、GPIO2、GND、iRealOne_SCL、iRealOne_SDA、GND、SDA、SCL、GND、GPIO3/PDM_D1、GPIO4/PDM_D0、GND、NC、NC、GND、NC、NC、GND、P0_RTK0_M、P0_RTK0_P、GND、

P0_RTK1_M、P0_RTK1_P、GND、HV_POWER、HV_POWER、USB_DM/REFCLK_M_PCIE、USB_DP/REFCLK_P_PCIE、SYSTEM_MAIN_POWER_EN、USB_SSTX_P/PCIE_HSIP、USB_SSTX_M/PCIE_HSIN、GND、USB_SSRX_P/PCIE_HSOP、USB_SSRX_M/PCIE_HSON、HOT_PLUG_DETECT、iRealOne_LINK、GPIO5_PDM_CLK、GPIO8、GND、GND、HV_POWER2、HV_POWER2、HV_POWER2、HV_POWER2、GND、GND、NC、UHV_GND、UHV_GND、PHYSICAL INSULATOR、PHYSICAL INSULATOR、UHV_POWER、及UHV_POWER。

【0061】在一些實施例中，前述芯線之數量可以根據不同的應用與實施例進行調整，以接腳數量52且全部接腳皆使用為例，訊號傳輸裝置可由50條芯線繞線而成，以接腳數量52且使用其中35根接腳為例，訊號傳輸裝置可由33條芯線繞線而成。使用者可自行根據所要支援的規格種類，自行選擇不同的差動接腳和控制信號之繞線組合，以達成傳輸資料和電源信號的目的。

【0062】綜上所述，根據本案之訊號傳輸裝置之一實施例，同一對差動訊號接腳設置在兩接地接腳之間，可避免產生訊號串擾並得到更好的阻抗匹配特性。再者，接腳容置空間的最邊緣位置端設置接地接腳，可避免差動訊號受訊號傳輸裝置外部之雜訊所干擾，並減少差動訊號以電磁波型式傳送到訊號傳輸裝置外部的能量，以降低電磁干擾（Electromagnetic Interference；EMI）而達到較佳之電磁兼容性（electromagnetic compatibility；EMC）、以及靜電防護效果（Electro-Static discharge；

ESD）。訊號傳輸裝置因此提升傳輸品質，傳輸線可更有效率地傳輸訊號至電子裝置。並且，訊號傳輸裝置可支援多種現有的傳輸規格，例如USB規格，PCIe規格，Display Port規格以及HDMI規格，以達到單一訊號傳輸裝置透過多工方式以傳輸更大資料傳輸量，使用者無需準備多種支援不同規格的傳輸線，促進使用上之便利性。

【0063】 雖然本案已以實施例揭露如上然其並非用以限定本案，任何所屬技術領域中具有通常知識者，在不脫離本案之精神和範圍內，當可作些許之更動與潤飾，故本案之保護範圍當視後附之專利申請範圍所界定者為準。

【符號說明】

【0064】

111:第一正差動接腳

112:第一負差動接腳

121:第二正差動接腳

122:第二負差動接腳

131:第三正差動接腳

132:第三負差動接腳

141:第四正差動接腳

142:第四負差動接腳

151:第一正差動高速接腳

152:第一負差動高速接腳

161:第二正差動高速接腳

162:第二負差動高速接腳

171:第七正差動接腳

172:第七負差動接腳

181:第八正差動接腳

182:第八負差動接腳

191:第九正差動接腳

192:第九負差動接腳

101:第十正差動接腳

102:第十負差動接腳

21:第一接地接腳

22:第二接地接腳

23:第三接地接腳

24:第四接地接腳

25:第五接地接腳

26:第六接地接腳

27:第七接地接腳

28:第八接地接腳

29:第九接地接腳

20:第十接地接腳

31:電源訊號接腳

32:電源訊號接腳

33:電源訊號接腳

34:電源訊號接腳

410:系統主電源致能接腳

411:熱插拔偵測接腳

412:SDA/PCIE_PERST_N接腳

413:CLK接腳

414:SCL/PCIE_WAKE_N接腳

415:iRealOne_LINK接腳

416:SPI_DI接腳

417:SPI_CS接腳

418:SPI_CLK接腳

419:REALONE_SCL接腳

420:REALONE_SDA接腳

421:SPI_WP_PWM接腳

422:SPI_HOLD_PWM接腳

423:SPI_DO接腳

51:正差動低速接腳

52:負差動低速接腳

61:高壓接地接腳

62:高壓接地接腳

I:絕緣層

M:金屬隔離層

D1:方向

D2:方向

G1:線材

G2:線材

G3:線材

G4:線材

SA:一側

SB:一側

SE:右內側面

SF:左內側面

SG:右外側面

SH:左外側面

A:端

A’:端

B:端

B’:端

C:端

C’:端

D:端

D’:端

E:端

E’:端

F:端

F’:端

H:端

H’:端

J:端

J’:端

O1:殼體

O11:凸出部

O12:彈扣

O13:扣孔

O2:舌部

O3:容置空間

O4:插入空間

Oa:側壁

Ob:側壁

Oc:頂壁

K1:殼體

K11:凸出部

K12:凹槽

K13:扣孔

K2:容置空間

K3:插入空間

Ka:側壁

Kb:側壁

Kc:頂壁

T:絕緣體

Z:基板

P:訊號傳輸裝置

Q:訊號傳輸裝置

R:訊號傳輸裝置

L:連接部

N:電子裝置

SV:對接方向

SH:水平方向

Y:中心軸

a1:長度

a2:長度

a3:長度

a4:長度

b1:長度

b2:長度

b3:長度

b4:長度

c1:長度

c2:長度

c3:長度

c4:長度

d1:長度

d2:長度

d3:長度

d4:長度

【發明申請專利範圍】

【請求項1】一種可傳輸複數組資料流之訊號傳輸裝置，包含：

複數正差動接腳，該些正差動接腳中之一第一正差動接腳用以傳輸一第一差動訊號之正訊號分量，該些正差動接腳中之一第二正差動接腳用以傳輸一第二差動訊號之正訊號分量；

複數負差動接腳，該些負差動接腳中之一第一負差動接腳用以傳輸一第一差動訊號之負訊號分量，該些負差動接腳中之一第二負差動接腳用以傳輸一第二差動訊號之負訊號分量；

一正差動低速接腳，用以傳輸為一低速差動訊號之正訊號分量；

一負差動低速接腳，用以傳輸為該低速差動訊號之負訊號分量；

複數接地接腳；

複數電源訊號接腳；

複數控制訊號接腳；及

一金屬隔離層；

其中，該第一正差動接腳以及該第一負差動接腳位於該些接地接腳中之一第一接地接腳之一側，該第二正差動接腳以及該第二負差動接腳位於該第一接地接腳之另一側，該些正差動接腳及該些負差動接腳位於該金屬隔離層之一側，該正差動低速接腳、該負差動低速接腳及該些控制訊號接腳位於該金屬隔離層之另一側。

【請求項2】如請求項1所述之訊號傳輸裝置，其中，該第二正差動接腳以及該第二負差動接腳更位於該第一接地接腳與該些接地接腳中之一第二接地接腳之間。

【請求項3】如請求項2所述之訊號傳輸裝置，其中，該第一正差動接腳以及該第一負差動接腳更位於該第一接地接腳與該些接地接腳中之一第三接地接腳之間。

【請求項4】如請求項1所述之訊號傳輸裝置，其中，該些正差動接腳及該些負差動接腳傳輸高速訊號。

【請求項5】如請求項4所述之訊號傳輸裝置，其中，該些正差動接腳中之一第一正差動高速接腳用以傳輸一第五差動訊號之正訊號分量，該些負差動接腳中之一第一負差動高速接腳用以傳輸該第五差動訊號之負訊號分量，該些正差動接腳中之一第二正差動高速接腳用以傳輸一第六差動訊號之正訊號分量，該些負差動接腳中之一第二負差動高速接腳用以傳輸該第六差動訊號之負訊號分量；

其中，該些控制訊號接腳包含一系統主電源致能接腳，該系統主電源致能接腳位於該正差動低速接腳、該負差動低速接腳與該第一正差動高速接腳、該第一負差動高速接腳、該第二正差動高速接腳、該第二負差動高速接腳之間，並且，該第一正差動高速接腳以及該第一負差動高速接腳位於該些接地接腳中之一第十接地接腳之一側，該第二正差動高速接腳及該第二負差動高速接腳位於該第十接地接腳之另一側。

【請求項6】如請求項3所述之訊號傳輸裝置，其中，該些電源訊號接腳為複數低壓電源接腳及複數高壓電源接腳，該些低壓電源接腳用以傳輸低壓電源訊號，該些高壓電源接腳用以傳輸高壓電源訊號，該第三接地接腳位於該些低壓電源接腳與該第一正差動接腳以及該第一負差動接腳之間。

【請求項7】一種可傳輸複數組資料流之訊號傳輸裝置，包含：

複數正差動接腳，該些正差動接腳中之一第一正差動接腳用以傳輸一第一差動訊號之正訊號分量，該些正差動接腳中之一第二正差動接腳用以傳輸一第二差動訊號之正訊號分量；

複數負差動接腳，該些負差動接腳中之一第一負差動接腳用以傳輸一第一差動訊號之負訊號分量，該些負差動接腳中之一第二負差動接腳用以傳輸一第二差動訊號之負訊號分量；

一正差動低速接腳，用以傳輸為一低速差動訊號之正訊號分量；

一負差動低速接腳，用以傳輸為該低速差動訊號之負訊號分量；

複數接地接腳；

複數電源訊號接腳；

複數控制訊號接腳；

一金屬隔離層；

一殼體；及

一絕緣體，位於該殼體內，該殼體用以容置該些正差動接腳、該些負差動接腳、該些接地接腳、該些電源訊號接腳及該些控制訊號接腳，該殼體包含一斜切角，該斜切角位於該殼體之一側；

其中，該第一正差動接腳以及該第一負差動接腳位於該些接地接腳中之一第一接地接腳之一側，該第二正差動接腳以及該第二負差動接腳位於該第一接地接腳之另一側，該些正差動接腳及該些負差動接腳位於該金屬隔離層之一側，該正差動低速接腳、該負差動低速接腳及該些控制訊號接腳位於該金屬隔離層之另一側。

【請求項8】如請求項7所述之訊號傳輸裝置，其中，該殼體具有一容置空間及一凸出部，該凸出部包含一對側壁及一頂壁，該頂壁連接該對側壁之間，該對側壁及該頂壁共同形成一插入空間，該插入空間與該容置空間相互連通；該絕緣體為一舌部，該舌部位於該容置空間內，該些正差動接腳、該些負差動接腳、該些接地接腳、該些電源訊號接腳及該些控制訊號接腳位於該舌部。

【請求項9】如請求項7所述之訊號傳輸裝置，其中，該殼體具有一由該絕緣體環圍之容置空間及一凸出部，該些正差動接腳、該些負差動接腳、該些接地接腳、該些電源訊號接腳及該些控制訊號接腳位於該絕緣體內表面，該凸出部包含一對側壁及一頂壁，該頂壁連接該對側壁之間，該對側壁及該頂壁共同形成一插入空間。

【請求項10】一種可傳輸複數組資料流之訊號傳輸裝置，包含：

複數正差動接腳，用以傳輸複數差動訊號之正訊號分量；

複數負差動接腳，用以傳輸該些差動訊號之負訊號分量；

一正差動低速接腳，用以傳輸為一低速差動訊號之正訊號分量；

一負差動低速接腳，用以傳輸為該低速差動訊號之負訊號分量；

複數接地接腳；

複數電源訊號接腳；

複數控制訊號接腳；

一金屬隔離層，該些正差動接腳及該些負差動接腳位於該金屬隔離層之一側，該正差動低速接腳、該負差動低速接腳及該些控制訊號接腳位於該金屬隔離層之另一側，並且，該些正差動接腳及該些負差動接腳與複數

正差動高速接腳及複數負差動高速接腳之間係藉由該金屬隔離層並列地排列；及

一殼體，具有一容置空間及一凸出部，該些正差動接腳、該些負差動接腳、該些接地接腳、該些電源訊號接腳及該些控制訊號接腳位於該殼體內表面，該凸出部包含一對側壁及一頂壁，該頂壁連接該對側壁之間，該對側壁及該頂壁共同形成一插入空間，該插入空間與該容置空間相互連通。

【發明圖式】

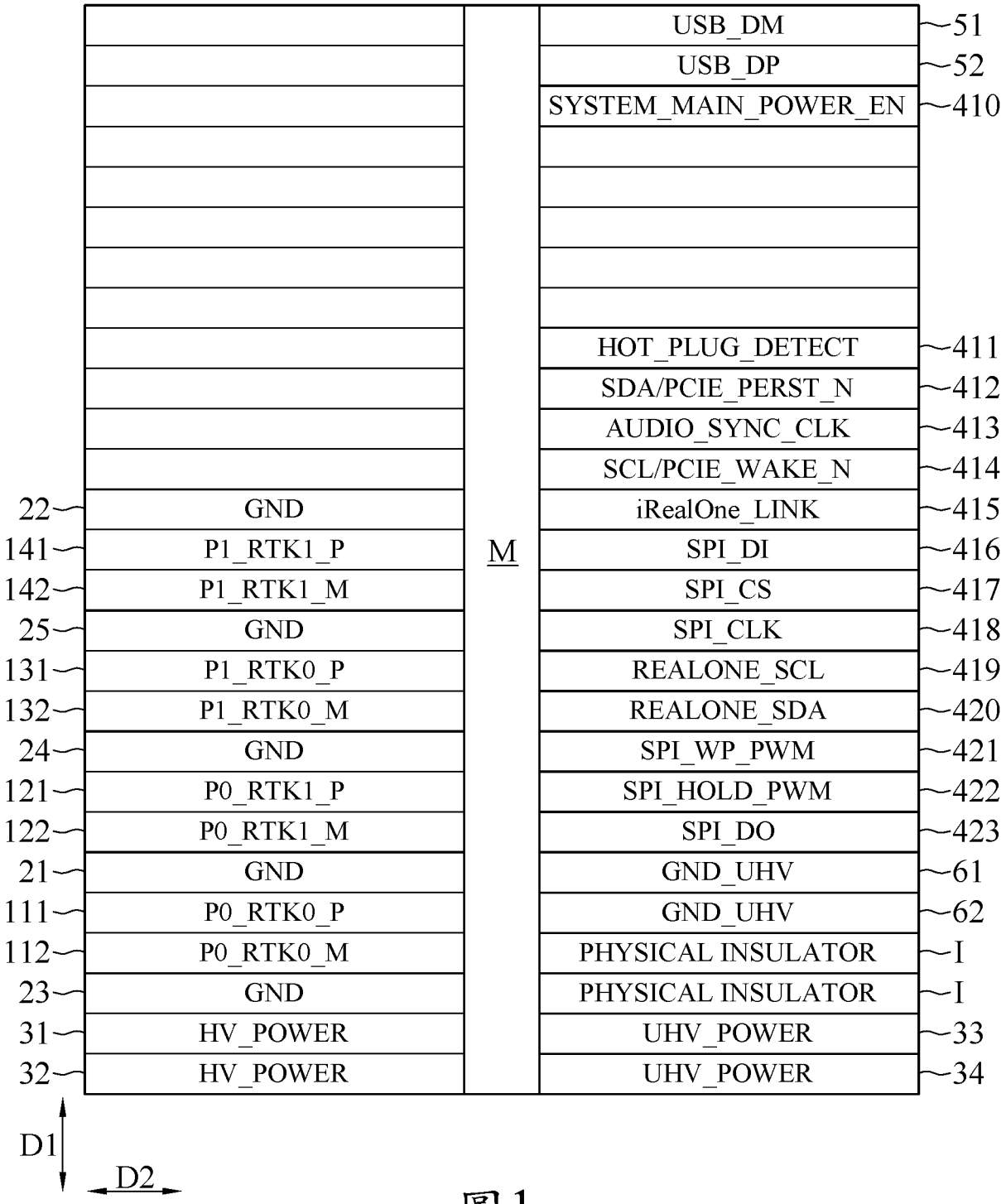

USB_DM
USB_DP
SYSTEM_MAIN_POWER_EN
HOT_PLUG_DETECT
SDA/PCIE_PERST_N
AUDIO_SYNC_CLK
SCL/PCIE_WAKE_N
iRealOne_LINK
SPI_DI
SPI_CS
SPI_CLK
REALONE_SCL
REALONE_SDA
SPI_WP_PWM
SPI_HOLD_PWM
SPI_DO
GND_UHV
GND_UHV
PHYSICAL INSULATOR
PHYSICAL INSULATOR
UHV_POWER
UHV_POWER
51
52
410
411
412
413
414
415
416
417
418
419
420
421
422
423
61
62
I
I
33
34
M
22
GND
141
P1_RTK1_P
142
P1_RTK1_M
25
GND
131
P1_RTK0_P
132
P1_RTK0_M
24
GND
121
P0_RTK1_P
122
P0_RTK1_M
21
GND
111
P0_RTK0_P
112
P0_RTK0_M
23
GND
31
HV_POWER
32
HV_POWER
D1
D2

圖1

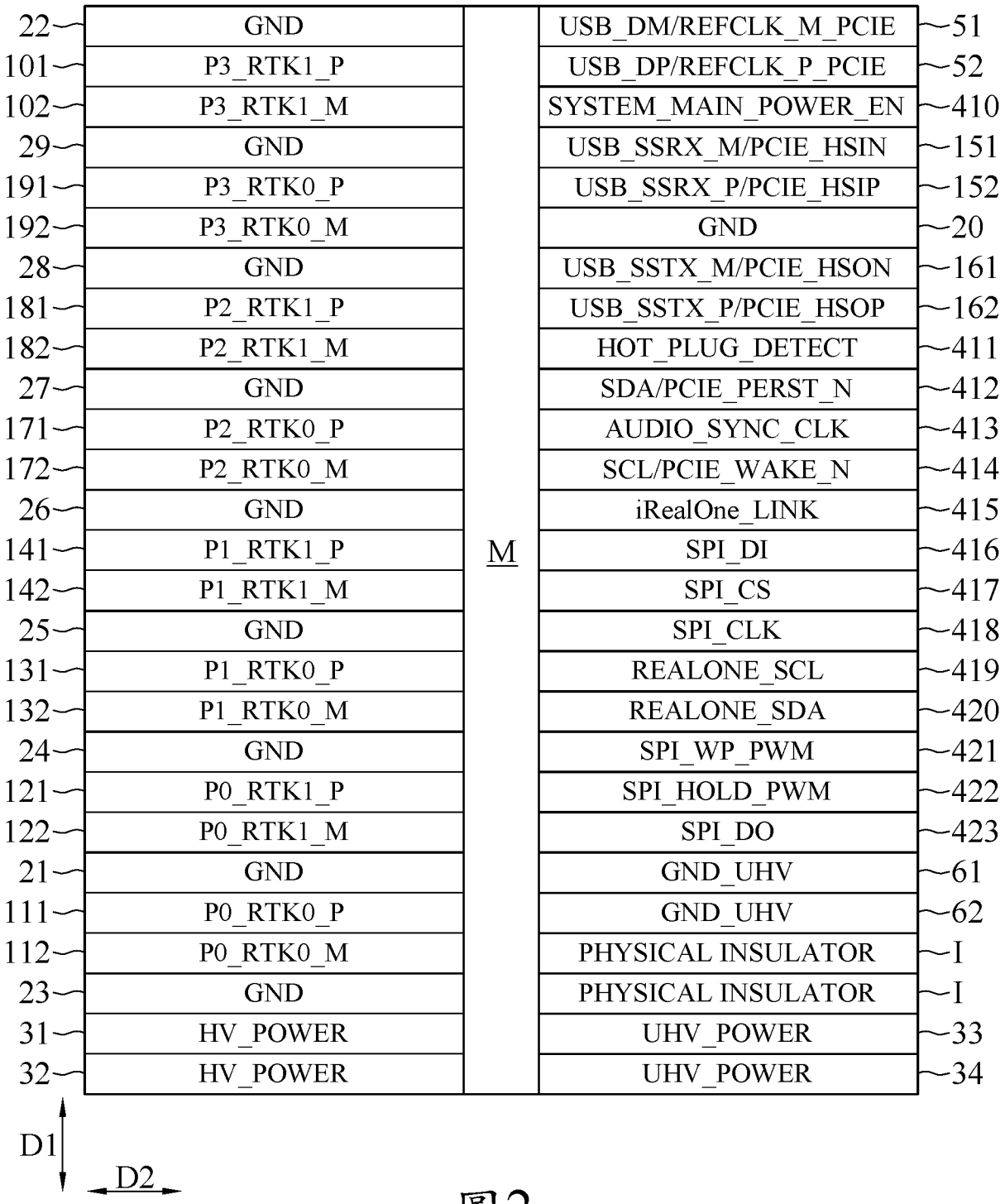

22 GND
101 P3_RTK1_P
102 P3_RTK1_M
29 GND
191 P3_RTK0_P
192 P3_RTK0_M
28 GND
181 P2_RTK1_P
182 P2_RTK1_M
27 GND
171 P2_RTK0_P
172 P2_RTK0_M
26 GND
141 P1_RTK1_P
142 P1_RTK1_M
25 GND
131 P1_RTK0_P
132 P1_RTK0_M
24 GND
121 P0_RTK1_P
122 P0_RTK1_M
21 GND
111 P0_RTK0_P
112 P0_RTK0_M
23 GND
31 HV_POWER
32 HV_POWER
M
USB_DM/REFCLK_M_PCIE 51
USB_DP/REFCLK_P_PCIE 52
SYSTEM_MAIN_POWER_EN 410
USB_SSRX_M/PCIE_HSIN 151
USB_SSRX_P/PCIE_HSIP 152
GND 20
USB_SSTX_M/PCIE_HSON 161
USB_SSTX_P/PCIE_HSOP 162
HOT_PLUG_DETECT 411
SDA/PCIE_PERST_N 412
AUDIO_SYNC_CLK 413
SCL/PCIE_WAKE_N 414
iRealOne_LINK 415
SPI_DI 416
SPI_CS 417
SPI_CLK 418
REALONE_SCL 419
REALONE_SDA 420
SPI_WP_PWM 421
SPI_HOLD_PWM 422
SPI_DO 423
GND_UHV 61
GND_UHV 62
PHYSICAL INSULATOR I
PHYSICAL INSULATOR I
UHV_POWER 33
UHV_POWER 34
D1
D2

圖2

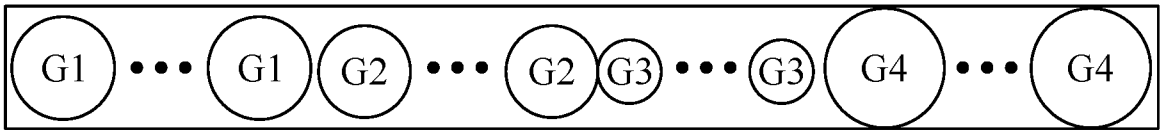

G1
G1
G2
G2
G3
G3
G4
G4

圖3

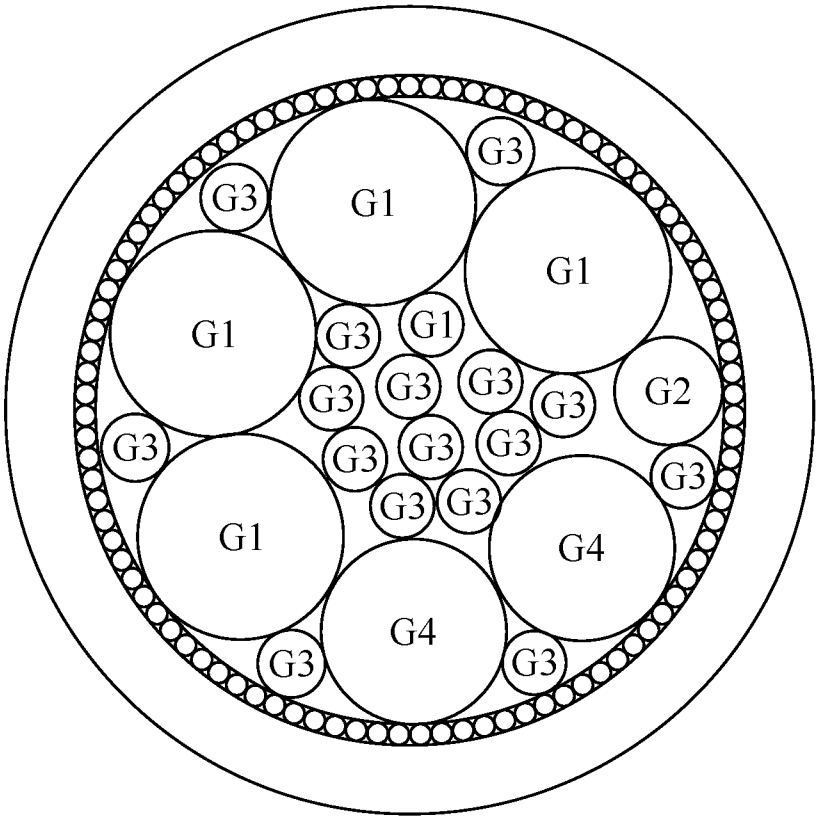

G3
G3
G1
G1
G1
G3
G1
G3
G3
G3
G3
G2
G3
G3
G3
G3
G3
G3
G1
G4
G4
G3
G3

圖4

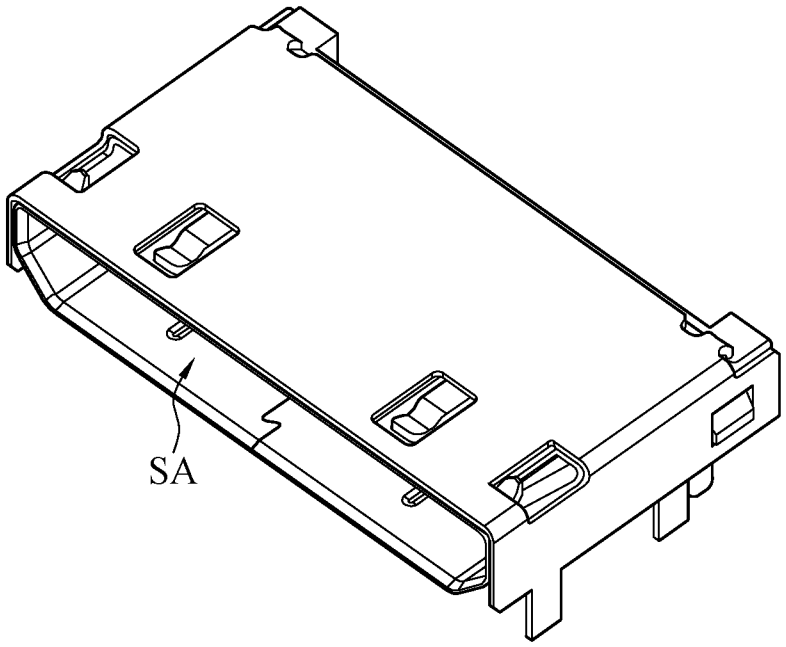


圖5A

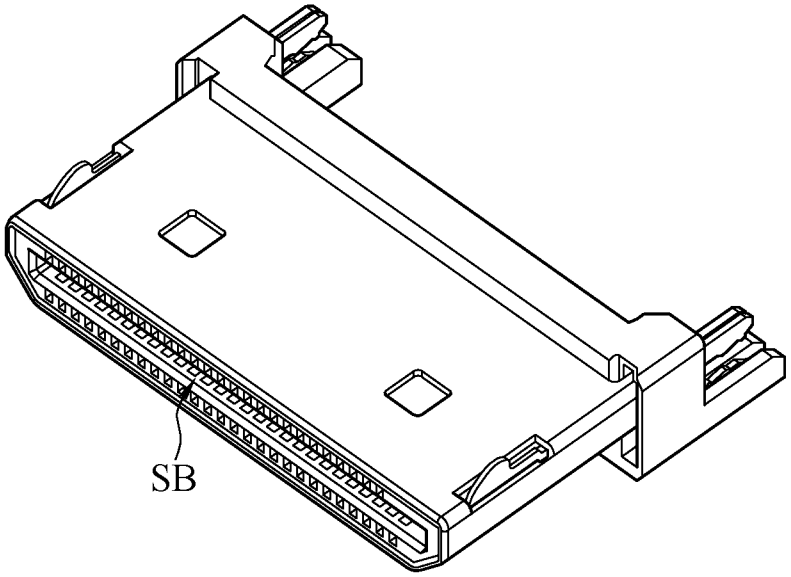


圖5B

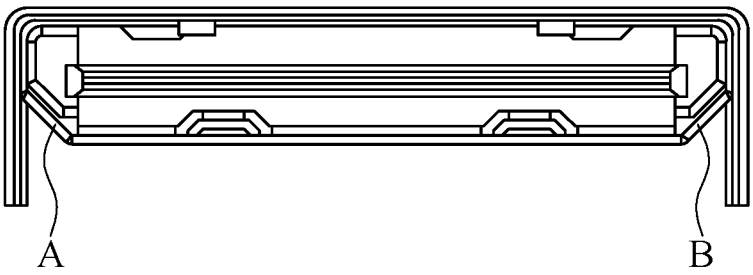


圖5C

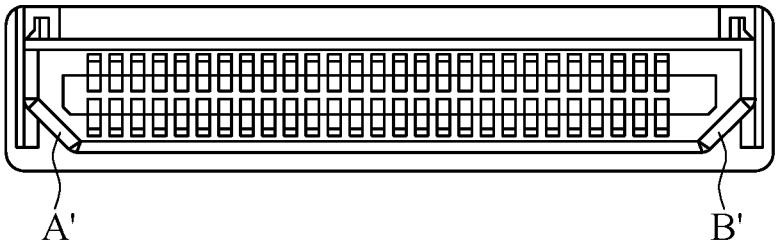


圖5D

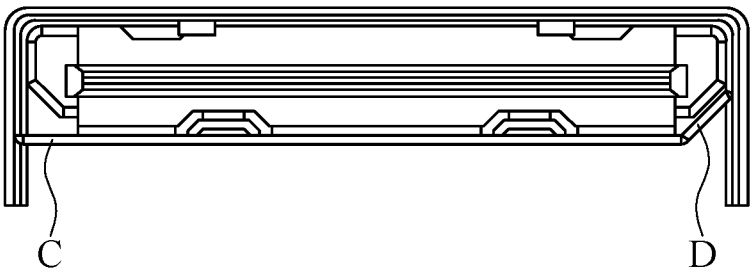


圖6A

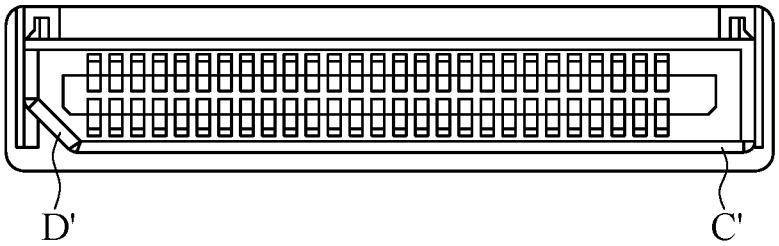


圖6B

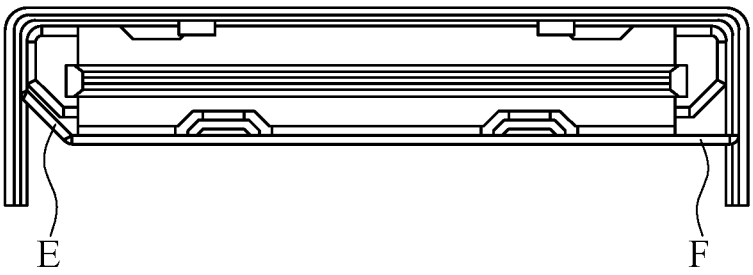


圖7A

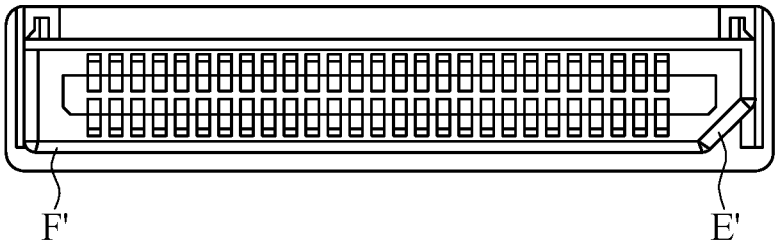


圖7B

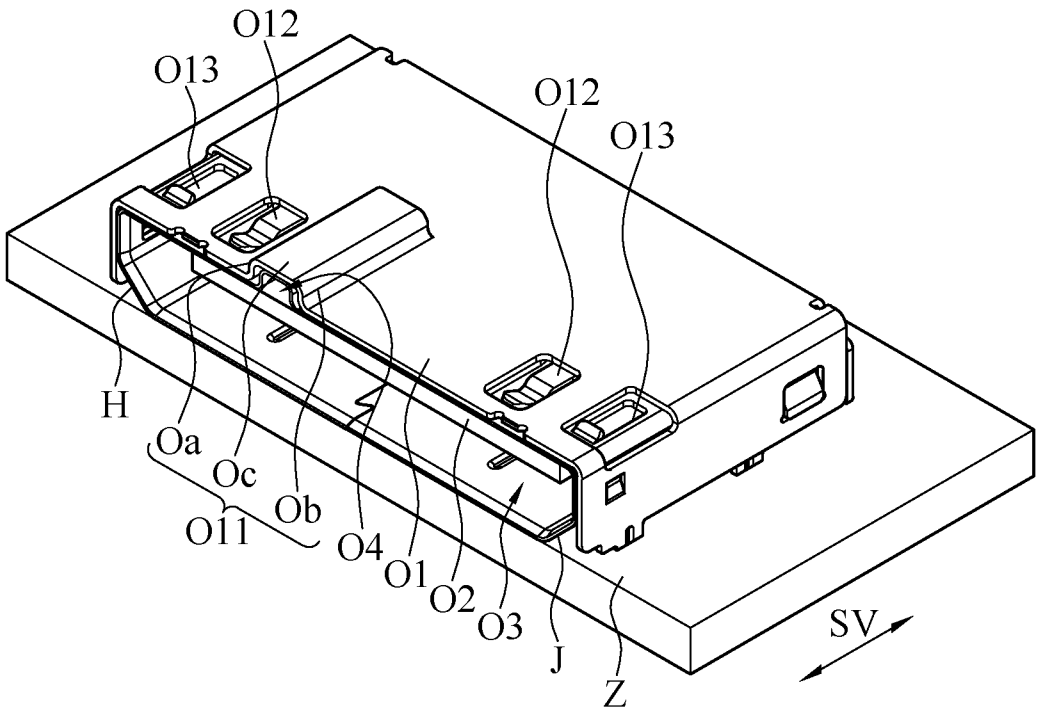

O12
O13
O12
O13
H
Oa
Oc
Ob
O11
O4
O1
O2
O3
J
Z
SV

圖8A

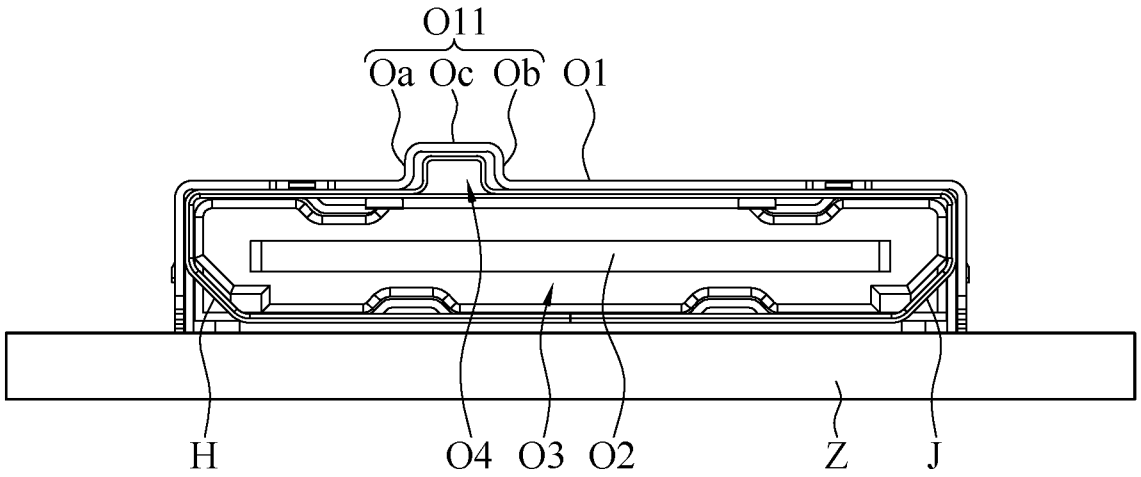

O11
Oa
Oc
Ob
O1
H
O4
O3
O2
Z
J

圖8B

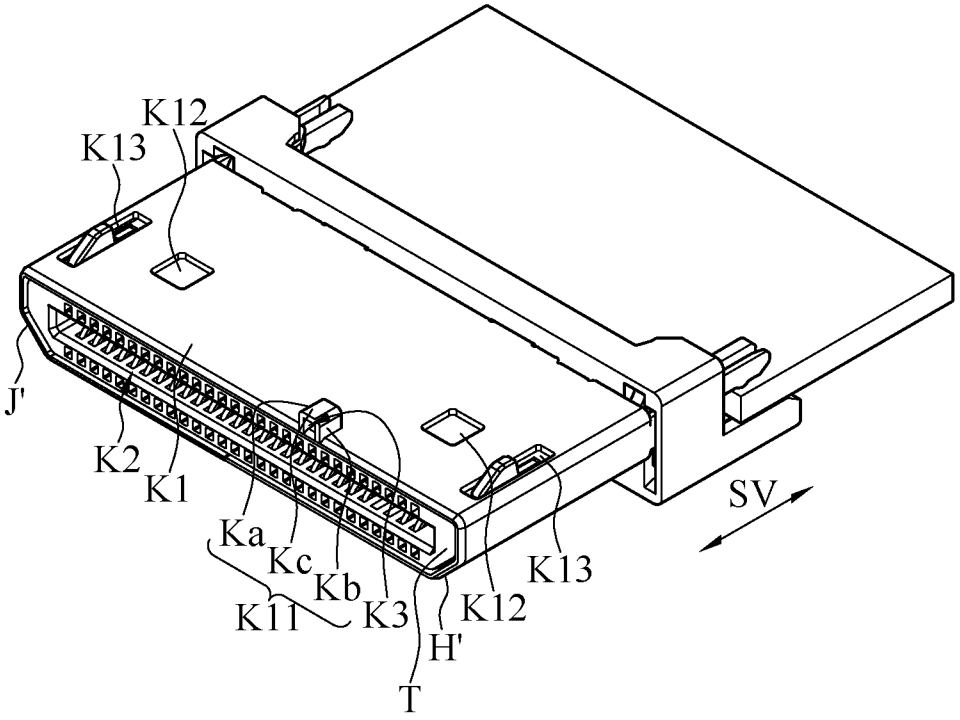

K12
K13
J'
K2
K1
Ka
Kc
Kb
K3
K11
K12
K13
H'
T
SV

圖8C

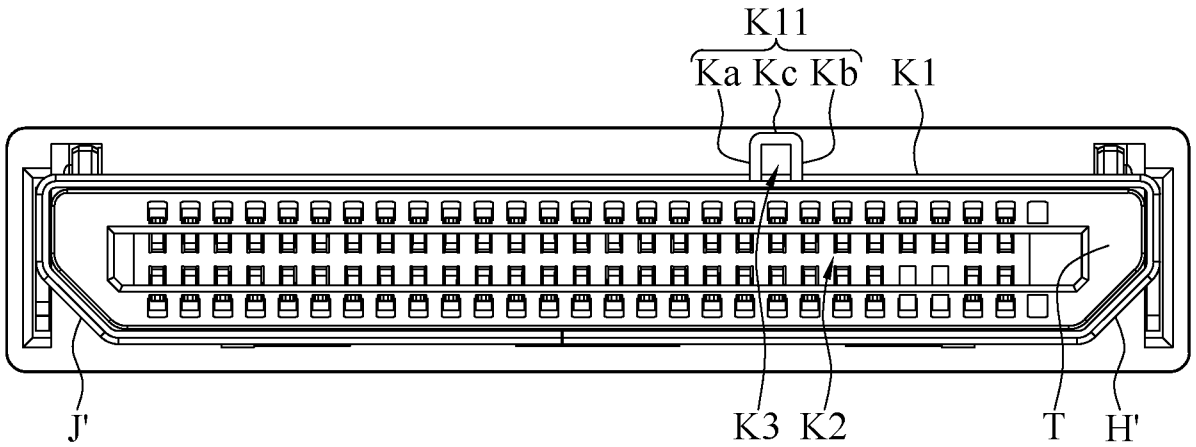

K11
Ka Kc Kb
K1
J'
K3 K2
T
H'

圖8D

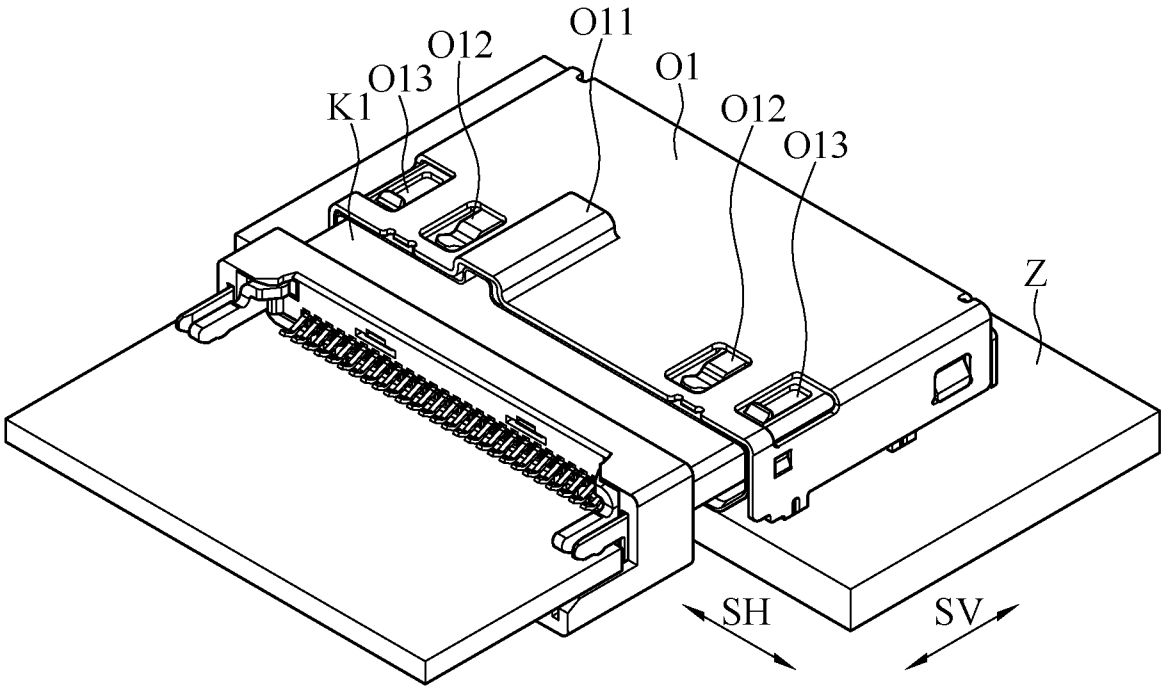


圖8E

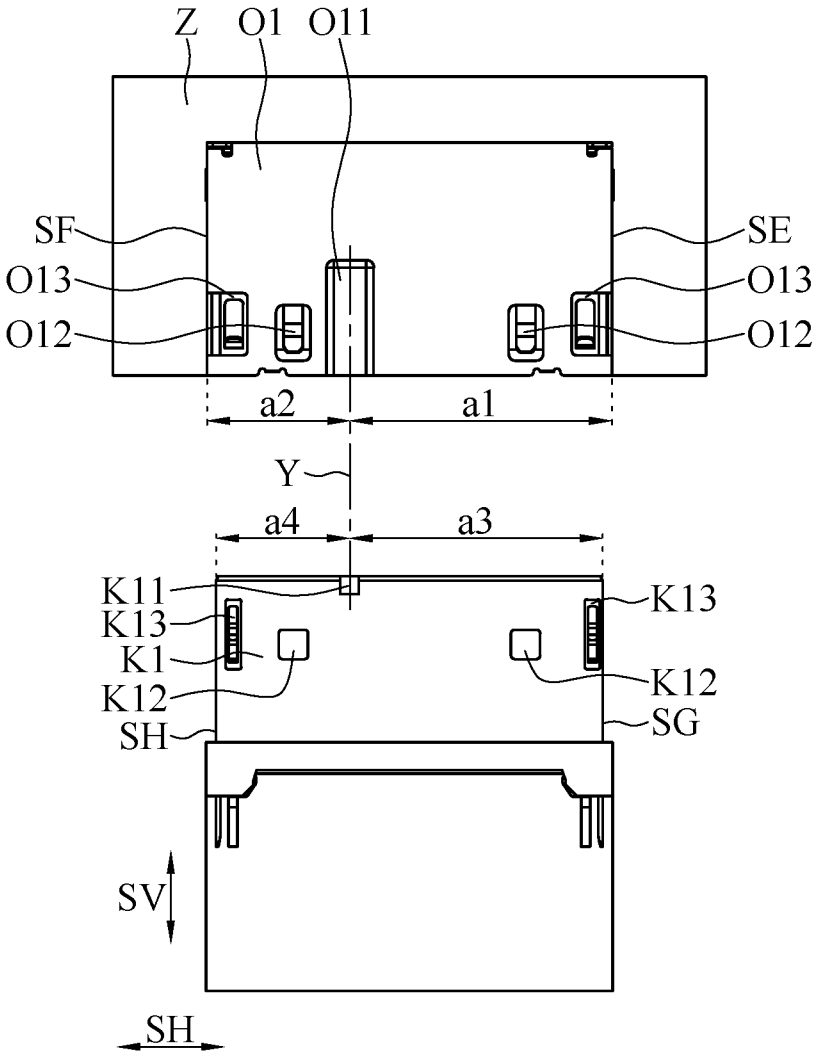

Z
O1
O11
SF
SE
O13
O13
O12
O12
a2
a1
Y
a4
a3
K11
K13
K13
K1
K12
K12
SH
SG
SV
SH

圖8F

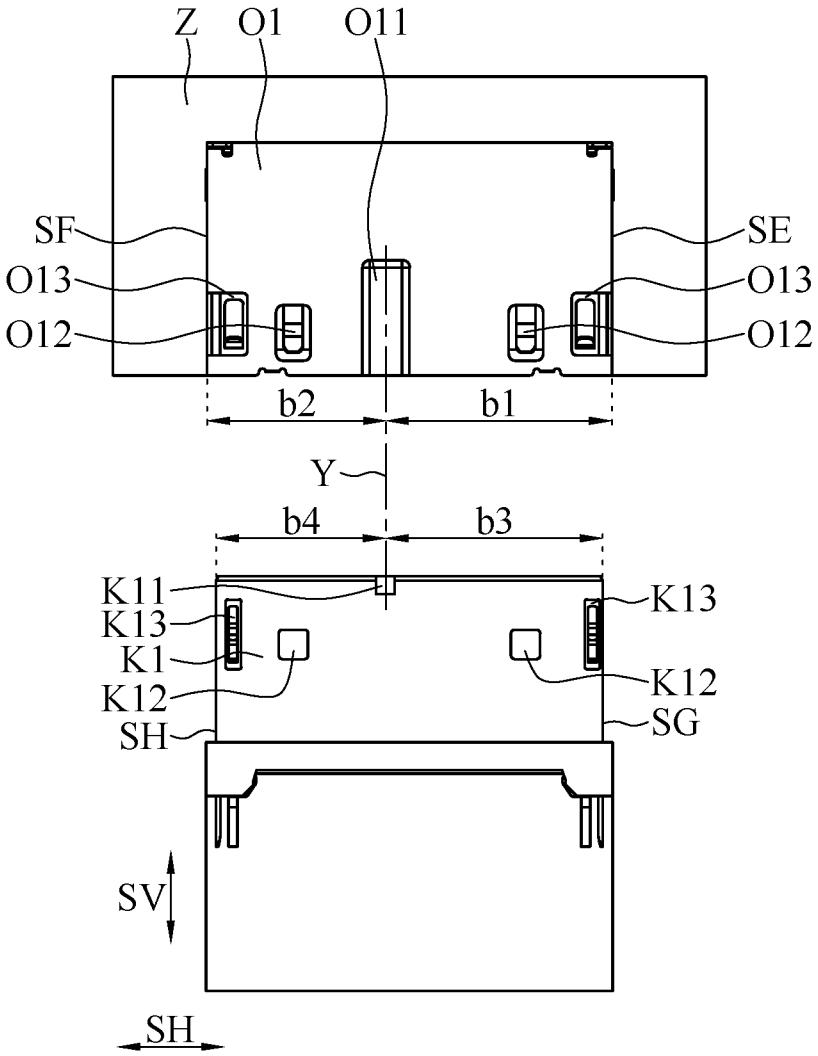

Z
O1
O11
SF
SE
O13
O13
O12
O12
b2
b1
Y
b4
b3
K11
K13
K13
K1
K12
K12
SH
SG
SV
SH

圖9

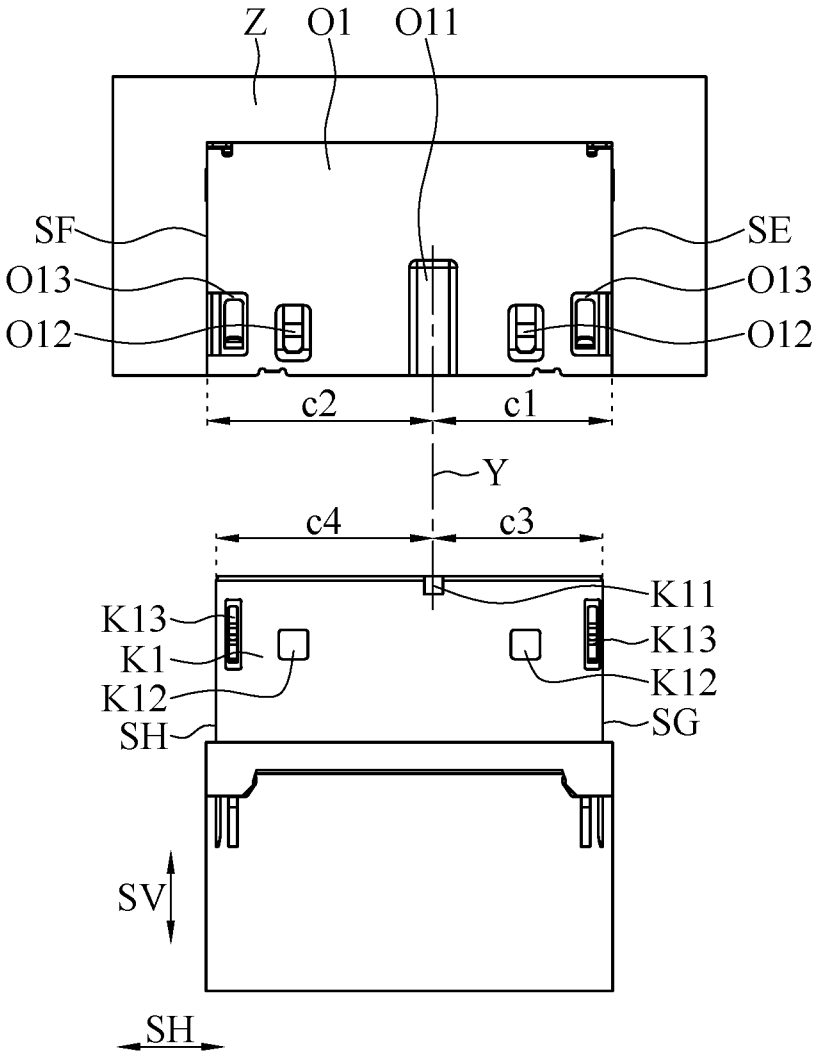

Z
O1
O11
SF
SE
O13
O13
O12
O12
c2
c1
Y
c4
c3
K11
K13
K1
K13
K12
K12
SH
SG
SV
SH

圖10

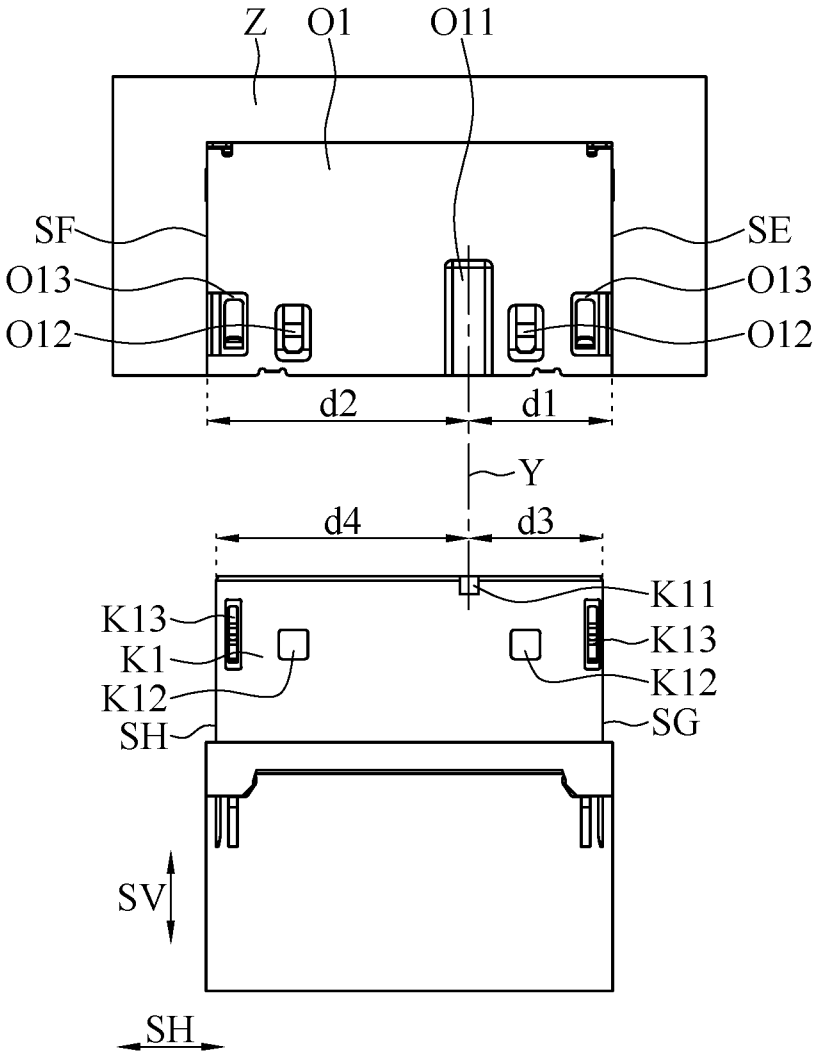

Z
O1
O11
SF
SE
O13
O13
O12
O12
d2
d1
Y
d4
d3
K11
K13
K1
K13
K12
K12
SH
SG
SV
SH

圖11

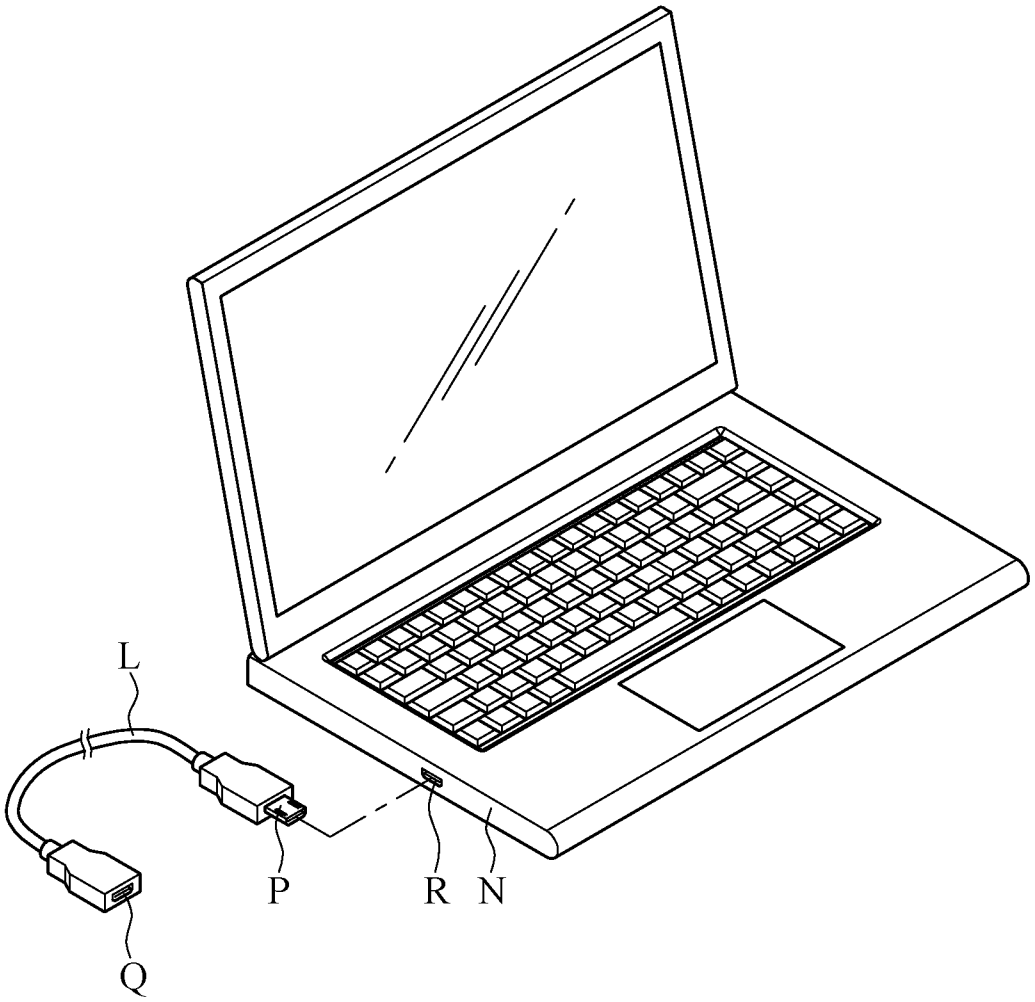


圖12

GND		USB_DM/REFCLK_M_PCIE
P3_RTK1_P		USB_DP/REFCLK_P_PCIE
P3_RTK1_M		SYSTEM_MAIN_POWER_EN
GND		USB_SSTX_M/PCIE_HSIN
P3_RTK0_P		USB_SSTX_P/PCIE_HSIP
P3_RTK0_M		GND
GND		USB_SSRX_M/PCIE_HSON
P2_RTK1_P		USB_SSRX_P/PCIE_HSOP
P2_RTK1_M		HOT_PLUG_DETECT
GND		SDA/PCIE_PERST_N
P2_RTK0_P		AUDIO_SYNC_CLK
P2_RTK0_M		SCL/PCIE_WAKE_N
GND		iRealOne_LINK
P1_RTK1_P	M	SPI_DI
P1_RTK1_M		SPI_CS
GND		SPI_CLK
P1_RTK0_P		REALONE_SCL
P1_RTK0_M		REALONE_SDA
GND		SPI_WP_PWM
P0_RTK1_P		SPI_HOLD_PWM
P0_RTK1_M		SPI_DO
GND		GND_UHV
P0_RTK0_P		GND_UHV
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖13A

GND		USB_DP/REFCLK_P_PCIE
P0_RTK0_M		USB_DM/REFCLK_M_PCIE
P0_RTK0_P		SYSTEM_MAIN_POWER_EN
GND		USB_SSTX_P/PCIE_HSIP
P0_RTK1_M		USB_SSTX_M/PCIE_HSIN
P0_RTK1_P		GND
GND		USB_SSRX_P/PCIE_HSOP
P1_RTK0_M		USB_SSRX_M/PCIE_HSON
P1_RTK0_P		HOT_PLUG_DETECT
GND		SDA/PCIE_PERST_N
P1_RTK1_M		AUDIO_SYNC_CLK
P1_RTK1_P		SCL/PCIE_WAKE_N
GND		iRealOne_LINK
P2_RTK0_M	M	SPI_DI
P2_RTK0_P		SPI_CS
GND		SPI_CLK
P2_RTK1_M		REALONE_SCL
P2_RTK1_P		REALONE_SDA
GND		SPI_WP_PWM
P3_RTK0_M		SPI_HOLD_PWM
P3_RTK0_P		SPI_DO
GND		GND_UHV
P3_RTK1_M		GND_UHV
P3_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖13B

		USB_DM
		USB_DP
		SYSTEM_MAIN_POWER_EN
		HOT_PLUG_DETECT
		SDA/PCIE_PERST_N
		AUDIO_SYNC_CLK
		SCL/PCIE_WAKE_N
GND		iRealOne_LINK
P1_RTK1_P	M	SPI_DI
P1_RTK1_M		SPI_CS
GND		SPI_CLK
P1_RTK0_P		REALONE_SCL
P1_RTK0_M		REALONE_SDA
GND		SPI_WP_PWM
P0_RTK1_P		SPI_HOLD_PWM
P0_RTK1_M		SPI_DO
GND		GND_UHV
P0_RTK0_P		GND_UHV
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖14A

		USB_DP
		USB_DM
		SYSTEM_MAIN_POWER_EN
		HOT_PLUG_DETECT
		SDA/PCIE_PERST_N
		AUDIO_SYNC_CLK
		SCL/PCIE_WAKE_N
GND		iRealOne_LINK
P0_RTK0_M	M	SPI_DI
P0_RTK0_P		SPI_CS
GND		SPI_CLK
P0_RTK1_M		REALONE_SCL
P0_RTK1_P		REALONE_SDA
GND		SPI_WP_PWM
P1_RTK0_M		SPI_HOLD_PWM
P1_RTK0_P		SPI_DO
GND		GND_UHV
P1_RTK1_M		GND_UHV
P1_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖14B

GND		USB_DM
GPIO1		USB_DP
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
P1_RTK1_P	M	GND
P1_RTK1_M		HV_POWER2
GND		HV_POWER2
P1_RTK0_P		HV_POWER2
P1_RTK0_M		HV_POWER2
GND		GND
P0_RTK1_P		GND
P0_RTK1_M		
GND		UHV_GND
P0_RTK0_P		UHV_GND
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖15A

GND		USB_DP
GPIO1		USB_DM
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
P0_RTK0_M	M	GND
P0_RTK0_P		HV_POWER2
GND		HV_POWER2
P0_RTK1_M		HV_POWER2
P0_RTK1_P		HV_POWER2
GND		GND
P1_RTK0_M		GND
P1_RTK0_P		
GND		UHV_GND
P1_RTK1_M		UHV_GND
P1_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖15B

GND		USB_DM
GPIO1		USB_DP
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
P0_RTK1_P		HV_POWER2
P0_RTK1_M		HV_POWER2
GND		GND
P0_RTK0_P		GND
P0_RTK0_M		
GND		UHV_GND
		UHV_GND
		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖16A

GND		USB_DP
GPIO1		USB_DM
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
P0_RTK0_M		HV_POWER2
P0_RTK0_P		HV_POWER2
GND		GND
P0_RTK1_M		GND
P0_RTK1_P		
GND		UHV_GND
		UHV_GND
		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖16B

GND		USB_DM
GPIO1		USB_DP
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
		HV_POWER2
		HV_POWER2
GND		GND
P0_RTK1_P		GND
P0_RTK1_M		
GND		UHV_GND
P0_RTK0_P		UHV_GND
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖17A

GND	M	USB_DP
GPIO1		USB_DM
GPIO2		SYSTEM_MAIN_POWER_EN
GND		
iRealOne_SCL		
iRealOne_SDA		GND
GND		
SDA		
SCL		HOT_PLUG_DETECT
GND		iRealOne Link
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		
GND		GND
		GND
		HV_POWER2
GND		HV_POWER2
		HV_POWER2
		HV_POWER2
GND		GND
P0_RTK0_M		GND
P0_RTK0_P		
GND		UHV_GND
P0_RTK1_M		UHV_GND
P0_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖17B

GND		USB_DM_REFCLK_M_PCIE
GPIO1		USB_DP_REFCLK_P_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSRX_M/PCIE_HSIN
iRealOne_SCL		USB_SSRX_P/PCIE_HSIP
iRealOne_SDA		GND
GND		USB_SSTX_M/PCIE_HSON
SDA		USB_SSTX_P/PCIE_HSOP
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
P1_RTK1_P	M	GND
P1_RTK1_M		HV_POWER2
GND		HV_POWER2
P1_RTK0_P		HV_POWER2
P1_RTK0_M		HV_POWER2
GND		GND
P0_RTK1_P		GND
P0_RTK1_M		
GND		UHV_GND
P0_RTK0_P		UHV_GND
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖18A

GND		USB_DP_REFCLK_P_PCIE
GPIO1		USB_DM_REFCLK_M_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSTX_P/PCIE_HSIP
iRealOne_SCL		USB_SSTX_M/PCIE_HSIN
iRealOne_SDA		GND
GND		USB_SSRX_P/PCIE_HSOP
SDA		USB_SSRX_M/PCIE_HSON
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
P0_RTK0_M	M	GND
P0_RTK0_P		HV_POWER2
GND		HV_POWER2
P0_RTK1_M		HV_POWER2
P0_RTK1_P		HV_POWER2
GND		GND
P1_RTK0_M		GND
P1_RTK0_P		
GND		UHV_GND
P1_RTK1_M		UHV_GND
P1_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖18B

GND		USB_DM_REFCLK_M_PCIE
GPIO1		USB_DP_REFCLK_P_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSRX_M/PCIE_HSIN
iRealOne_SCL		USB_SSRX_P/PCIE_HSIP
iRealOne_SDA		GND
GND		USB_SSTX_M/PCIE_HSON
SDA		USB_SSTX_P/PCIE_HSOP
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
P0_RTK1_P		HV_POWER2
P0_RTK1_M		HV_POWER2
GND		GND
P0_RTK0_P		GND
P0_RTK0_M		
GND		UHV_GND
		UHV_GND
		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖19A

GND		USB_DP_REFCLK_P_PCIE
GPIO1		USB_DM_REFCLK_M_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSTX_P/PCIE_HSIP
iRealOne_SCL		USB_SSTX_M/PCIE_HSIN
iRealOne_SDA		GND
GND		USB_SSRX_P/PCIE_HSOP
SDA		USB_SSRX_M/PCIE_HSON
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
P0_RTK0_M		HV_POWER2
P0_RTK0_P		HV_POWER2
GND		GND
P0_RTK1_M		GND
P0_RTK1_P		
GND		UHV_GND
		UHV_GND
		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖19B

GND		USB_DM_REFCLK_M_PCIE
GPIO1		USB_DP_REFCLK_P_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSRX_M/PCIE_HSIN
iRealOne_SCL		USB_SSRX_P/PCIE_HSIP
iRealOne_SDA		GND
GND		USB_SSTX_M/PCIE_HSON
SDA		USB_SSTX_P/PCIE_HSOP
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
		HV_POWER2
		HV_POWER2
GND		GND
P0_RTK1_P		GND
P0_RTK1_M		
GND		UHV_GND
P0_RTK0_P		UHV_GND
P0_RTK0_M		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖20A

GND		USB_DP_REFCLK_P_PCIE
GPIO1		USB_DM_REFCLK_M_PCIE
GPIO2		SYSTEM_MAIN_POWER_EN
GND		USB_SSTX_P/PCIE_HSIP
iRealOne_SCL		USB_SSTX_M/PCIE_HSIN
iRealOne_SDA		GND
GND		USB_SSRX_P/PCIE_HSOP
SDA		USB_SSRX_M/PCIE_HSON
SCL		HOT_PLUG_DETECT
GND		iRealOne_LINK
GPIO3_PDM_D1		GPIO5_PDM_CLK
GPIO4_PDM_D0		GPIO8
GND		GND
	M	GND
		HV_POWER2
GND		HV_POWER2
		HV_POWER2
		HV_POWER2
GND		GND
P0_RTK0_M		GND
P0_RTK0_P		
GND		UHV_GND
P0_RTK1_M		UHV_GND
P0_RTK1_P		PHYSICAL INSULATOR
GND		PHYSICAL INSULATOR
HV_POWER		UHV_POWER
HV_POWER		UHV_POWER

圖20B