I869212

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I869212 B**

(45)公告日： 中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：113106842 (22)申請日： 中華民國 99 (2010) 年 10 月 13 日

(51)Int. Cl.： ***G09G3/20 (2006.01)*** ***H01L29/786 (2006.01)***

(30)優先權：2009/10/16 日本 2009-238918

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；小山潤 KOYAMA, JUN (JP) ；津吹將志 TSUBUKU, MASASHI (JP) ；野田耕生 NODA, KOSEI (JP)

(74)代理人：林志剛

(56)參考文獻：

CN	101030361A	CN	101154343A
CN	101174071A	US	4084106

審查人員：楊喻仁

申請專利範圍項數：8 項 圖式數：31 共 183 頁

(54)名稱

邏輯電路及半導體裝置

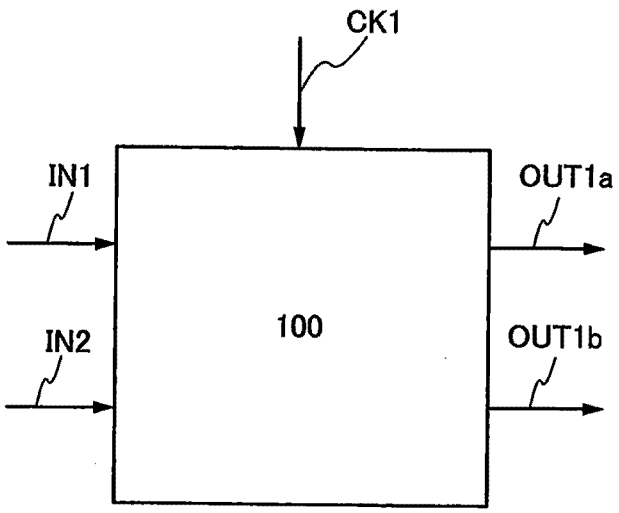
(57)摘要

降低電晶體的漏電流，使得邏輯電路的故障可受抑制。該邏輯電路包括電晶體，其包括氧化物半導體層，該氧化物半導體層具有通道形成層之功能且在其中截止電流為每微米通道寬度 1×10^{-13}A。將作為輸入訊號之第一訊號、第二訊號、以及係時脈訊號的第三訊號輸入。將作為輸出訊號之彼等的電壓狀態係依據已輸入之該等第一至第三訊號設定的第四及第五訊號輸出。

To reduce a leakage current of a transistor so that malfunction of a logic circuit can be suppressed. The logic circuit includes a transistor which includes an oxide semiconductor layer having a function of a channel formation layer and in which an off current is 1×10^{-13}A or less per micrometer in channel width. A first signal, a second signal, and a third signal that is a clock signal are input as input signals. A fourth signal and a fifth signal whose voltage states are set in accordance with the first to third signals which have been input are output as output signals.

指定代表圖：

圖1A



符號簡單說明：

100:邏輯電路

CK1、IN1、IN2、OUT1a、OUT1b:訊號

I869212

公告本

【發明摘要】

【中文發明名稱】

邏輯電路及半導體裝置

【英文發明名稱】

LOGIC CIRCUIT AND SEMICONDUCTOR DEVICE

【中文】

降低電晶體的漏電流，使得邏輯電路的故障可受抑制。該邏輯電路包括電晶體，其包括氧化物半導體層，該氧化物半導體層具有通道形成層之功能且在其中截止電流爲每微米通道寬度 1×10^{-13}A。將作爲輸入訊號之第一訊號、第二訊號、以及係時脈訊號的第三訊號輸入。將作爲輸出訊號之彼等的電壓狀態係依據已輸入之該等第一至第三訊號設定的第四及第五訊號輸出。

【英文】

To reduce a leakage current of a transistor so that malfunction of a logic circuit can be suppressed. The logic circuit includes a transistor which includes an oxide semiconductor layer having a function of a channel formation layer and in which an off current is 1×10^{-13}A or less per micrometer in channel width. A first signal, a second signal, and a third signal that is a clock signal are input as input signals. A fourth signal and a fifth signal whose voltage states are set in accordance with the first to third signals which have been input are output as output signals.

【代表圖】

【本案指定代表圖】圖 1A

【本代表圖之符號簡單說明】：

100：邏輯電路

CK1、IN1、IN2、OUT1a、OUT1b：訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

邏輯電路及半導體裝置

【英文發明名稱】

LOGIC CIRCUIT AND SEMICONDUCTOR DEVICE

【技術領域】

本發明的實施例相關於邏輯電路。此外，本發明的實施例相關於包括使用邏輯電路形成之驅動器電路的半導體裝置。

須注意此說明書中的半導體裝置係指可藉由使用半導體特徵運作的通用裝置。電光裝置，諸如顯示裝置、半導體電路、以及電子裝置全部係半導體裝置。

【先前技術】

形成在平板，諸如玻璃基材，上方的薄膜電晶體(在下文中也稱爲 TFT)，典型地使用在液晶顯示裝置中，通常係使用半導體材料形成，諸如非晶矽或多晶矽。雖然使用非晶矽形成的 TFT 具有低場效遷移率，彼等具有可使用較大玻璃基材的優點。同時，使用多晶矽形成的 TFT 具有高場效遷移率；然而，彼等必須受晶化步驟處理，諸如雷射退火，且因此不係始終適用於較大的玻璃基材。

另一方面，使用作爲半導體材料之氧化物半導體形成

的 TFT 已吸引關注。例如，專利文件 1 及 2 各者揭示使用作爲半導體材料之氧化鋅或 In-Ga-Zn-O 基氧化物半導體形成 TFT 並將 TFT 使用爲影像顯示裝置中之切換元件的技術。

將通道形成區域(也稱爲通道區域)設置在氧化物半導體中的 TFT 可比使用非晶矽形成之 TFT 具有更高的電場遷移率。氧化物半導體膜可用濺鍍法等形成，且因此使用氧化物半導體之 TFT 的製造比使用多晶矽之 TFT 的製造更容易。

期望將使用此種氧化物半導體形成的 TFT 施用至包括在顯示裝置之像素部及驅動器電路中的切換元件，諸如液晶顯示器、電致發光顯示器(在下文中也稱爲 EL 顯示器)、以及電子紙。例如，專利文件 3 揭示將使用上述氧化物半導體形成的 TFT 各者用於形成顯示裝置之像素部及驅動器電路的技術。

[參考文件]

[專利文件 1]日本已公告專利申請案案號第 2006-165527 號

[專利文件 2]日本已公告專利申請案案號第 2006-165529 號

[專利文件 3]日本已公告專利申請案案號第 2006-165528 號

【發明內容】

驅動器電路包括移位暫存器、及緩衝器等，且該移位暫存器或該緩衝器包括邏輯電路。該邏輯電路使用電晶體形成；然而，在習知電晶體中，漏電流在部分情形中產生，甚至在該電晶體已關閉時。當漏電流產生時，例如，甚至在該邏輯電路中待將輸出訊號之電壓值維持在特定範圍內的情形中，該輸出訊號的值變動且因此可能發生故障。

本發明之一實施例的目的係降低電晶體之漏電流，且另一目的係使電晶體之漏電流降低至使得邏輯電路的故障可受抑制。

在本發明的實施例中，將有小截止電流並包括具有通道形成層之功能的氧化物半導體層之電晶體使用爲包括在邏輯電路中的電晶體。使用此實施例，該邏輯電路中的故障受抑制。

用於電晶體之通道形成層的該氧化物半導體層係藉由移除雜質而高度純化之本質或實質本質半導體，該雜質係來自氧化物半導體的電子施體(施體)並具有較矽半導體更大的能量間隙。在包括該氧化物半導體層的電晶體中，當該;電晶體關閉時，漏電流(截止電流)甚小。此外，包括作爲該通道形成層之該氧化物半導體層的電晶體不會顯著地受臨界電壓之變化所影響。

本發明之實施例係包括電晶體的邏輯電路，該電晶體包括具有通道形成層之功能的氧化物半導體，且其中截止電流爲每微米通道寬度 1×10^{-13}A 或以下(1×10^{-17}A 或以下

爲佳)。將作爲輸入訊號之第一訊號、第二訊號、以及係時脈訊號的第三訊號輸入。將作爲輸出訊號之彼等的電壓狀態係依據已輸入之該第一訊號、該第二訊號、以及該第三訊號而設定的第四訊號及第五訊號輸出。

在本發明的實施例中，邏輯電路可能包括第一單元邏輯電路，其將電壓狀態係依據已輸入之第一至第三訊號而設定的第四訊號輸出，以及第二單元邏輯電路，其將電壓狀態係依據已輸入之第一至第三訊號而設定的第五訊號輸出。

本發明之實施例係包括第一單元邏輯電路及第二單元邏輯電路的邏輯電路。將作爲輸入訊號之第一訊號、第二訊號、以及係時脈訊號的第三訊號輸入至第一單元邏輯電路。此外，第一單元邏輯電路將電壓狀態係依據已輸入之該等第一至第三訊號而設定的第四訊號輸出。將作爲輸入訊號之第一訊號、第二訊號、以及係時脈訊號的第三訊號輸入至第二單元邏輯電路。此外，第二單元邏輯電路將電壓狀態係依據已輸入之該等第一至第三訊號而設定的第五訊號輸出。第一單元邏輯電路及第二單元邏輯電路各者包括第一電晶體、第二電晶體、第一電容器、第三電晶體、第四電晶體、以及第二電容器。第一電晶體具有閘極、源極、以及汲極，其中將該第三訊號輸入至該閘極並將該第一訊號及該第二訊號之一者輸入至該源極及該汲極之一者。第二電晶體具有閘極、源極、以及汲極，其中將該閘極電性連接至該第一電晶體的該源極及該汲極之該另一

者，將高電源供應電壓及低電源供應電壓之一者施加至該源極及該汲極之一者，且該源極及該汲極之該另一者的電壓係該第四訊號或該第五訊號之電壓。第一電容器具有第一電極及第二電極，其中將該第一電極電性連接至該第二電晶體之該閘極並將該第二電極電性連接至該第二電晶體的該源極及該汲極之該另一者。第三電晶體具有閘極、源極、以及汲極，其中將該第三訊號輸入至該閘極並將該第一訊號及該第二訊號之該另一者輸入至該源極及該汲極之一者。第四電晶體具有閘極、源極、以及汲極，其中將該閘極電性連接至該第三電晶體的該源極及該汲極之該另一者，將該源極及該汲極之一者電性連接至該第二電晶體的該源極及該汲極之一者，並將該高電源供應電壓及該低電源供應電壓之該另一者輸入至該源極及該汲極之該另一者。第二電容器具有第一電極及第二電極，其中將該第一電極電性連接至該第三電晶體的該源極及該汲極之該另一者，且將該高電源供應電壓及該低電源供應電壓之該另一者輸入至該第二電極。第一至第四電晶體各者包括具有通道形成層之功能的氧化物半導體層。第一至第四電晶體各者中的截止電流爲每微米通道寬度 1×10^{-13}A 或以下(1×10^{-17}A 或以下爲佳)。

本發明之實施例係包括驅動器電路及像素部的半導體裝置。該驅動器電路設有包括上述邏輯電路的移位暫存器。該像素部包括其顯示狀態係由該驅動器電路控制的像素。

使用本發明的實施例，可降低電晶體中的漏電流。此外，藉由降低電晶體中的漏電流，可將輸出訊號之電壓值維持在期望範圍內。因此，可抑制故障。

【圖式簡單說明】

圖 1A 及 1B 描繪實施例 1 中之邏輯電路的組態範例。

圖 2 係描繪實施例 1 中的移位暫存器之組態範例的電路圖。

圖 3 係描繪圖 2 中之移位暫存器的操作之範例的時序圖。

圖 4A 及 4B 各者係描繪實施例 1 中之半導體裝置的方塊圖。

圖 5A 及 5B 分別描繪實施例 1 中之訊號線驅動器電路的組態及時序圖。

圖 6A 至 6E 描繪製造電晶體的方法。

圖 7A 及 7B 描繪電晶體。

圖 8A 至 8E 描繪製造電晶體的方法。

圖 9A 及 9B 各者描繪電晶體。

圖 10A 至 10E 描繪製造電晶體的方法。

圖 11A 至 11E 描繪製造電晶體的方法。

圖 12A 至 12D 描繪製造電晶體的方法。

圖 13A 至 13D 描繪製造電晶體的方法。

圖 14 描繪電晶體。

圖 15A 至 15C 描繪半導體裝置。

圖 16 描繪半導體裝置中之像素的等效電路。

圖 17A 至 17C 描繪半導體裝置。

圖 18A 及 18B 描繪半導體裝置。

圖 19 描繪半導體裝置。

圖 20A 及 20B 描繪電子器具。

圖 21A 及 21B 描繪電子器具。

圖 22 描繪電子器具。

圖 23 描繪電子器具。

圖 24 描繪使用氧化物半導體形成之 MOS 電晶體的源極-汲極能帶結構。

圖 25 描繪當將正電壓施加在圖 24 中之汲極側時的狀態。

圖 26A 及 26B 係使用氧化物半導體形成之 MOS 電晶體分別在閘極電壓爲正電壓的情形及在閘極電壓在負電壓之情形中的能帶圖。

圖 27 描繪矽 MOS 電晶體之源極-汲極能帶結構。

圖 28 係顯示薄膜電晶體之初始特徵的圖。

圖 29A 及 29B 係描繪薄膜電晶體的頂平面圖。

圖 30A 及 30B 係顯示薄膜電晶體之 Vg-Id 特徵的圖。

圖 31A 及 31B 描繪半導體裝置。

【實施方式】

參考該等圖式描述本發明之實施例。須注意本發明未受限於以下描述，且熟悉本發明之人士將輕易地理解本發明之模式及細節可無須脫離本發明之精神及範圍而以不同方式修改。因此，不應將本發明理解爲受下列實施例的描述限制。

(實施例 1)

在此實施例中，首先描述係本發明之實施例的邏輯電路。在此說明書中，邏輯電路在其分類中包含組合邏輯電路，其中除了指定情形外，在特定時間點之輸出訊號的狀態係由在特定時間點之輸入訊號的狀態所決定，以及順序邏輯電路，其中在特定時間點之輸出訊號的狀態不僅由在特定時間點之輸入訊號的狀態決定，也由在該時間點之前的時間之該順序邏輯電路的狀態決定。

茲參考圖 1A 及 1B 描述此實施例中的邏輯電路之組態的範例。圖 1A 及 1B 描繪此實施例中的邏輯電路之組態的範例。

將作爲輸入訊號之訊號 IN1、IN2、以及 CK1 輸入至圖 1A 中的邏輯電路 100。圖 1A 中的邏輯電路 100 將訊號 OUT1a 及 OUT1b 輸出爲輸出訊號。

須注意通常將電壓稱爲在二點的電位之間的差(也稱爲電位差)。然而，在部分情形中，在電路圖等中使用伏特(V)代表電壓及電位二者之值，使得彼等難以區分。此係爲何在此說明書中，在部分情形中將在一點之電位及作

爲參考的電位(也稱爲參考電位)之間的電位差使用爲在該點之電壓。

須注意在此說明書中，可將，例如，使用電壓、電流、電阻、或頻率等之類比訊號或數位訊號使用爲訊號。例如，將至少具有第一電壓狀態及第二電壓狀態之訊號使用爲具有電壓的訊號爲佳(也稱爲電壓訊號)。例如，可使用具有作爲第一電壓狀態的高位準電壓狀態及作爲第二電壓狀態之低位準電壓狀態的二進位數位訊號。須注意，在二進位數位訊號中，高位準電壓也稱爲 V_H 且低位準電壓也稱爲 V_L。此外，在第一電壓狀態中的電壓及在第二電壓狀態中之電壓各者係固定值爲佳。然而，例如，因爲雜訊等具有對電子電路的影響，在第一電壓狀態中之電壓及在第二電壓狀態中的電壓各者不必然係固定值，且可能係在特定範圍內的值。

須注意在此說明書中，高電源供應電壓係指在相對高電壓側的電壓(也稱爲 VDD)，而低電源供應電壓係指在相對低電壓側的電壓(也稱爲 VSS)。高電源供應電壓及低電源供應電壓各者係固定的爲佳；然而，在電子電路中，由於雜訊等，電壓有時會從期望值改變。因此，在此說明書中，只要此種電壓係在特定範圍內的值，可將其視爲高電源供應電壓或低電源供應電壓。另外，可視情況設定各電源供應電壓的值。須注意施加高電源供應電壓及低電源供應電壓的位置係取決於電晶體之極性而切換，使得高電源供應電壓及低電源供應電壓之一者係彼等之一者且另一者

係彼等之另一者。

另外，在此說明書中，依序使用具有有序數字，諸如「第一」及「第二」，的術語，以避免組件之間的混淆，且該等術詞並未在數字上限制該等組件。

例如，可將訊號 IN1 等的反相訊號使用爲訊號 IN2。

訊號 CK1 的功能如同邏輯電路 100 的時脈訊號。

訊號 OUT1a 係電壓狀態依據輸入之訊號 IN1 及 IN2 而設定的訊號。

訊號 OUT1b 係電壓狀態依據輸入之訊號 IN1 及 IN2 而設定的訊號。

此外，圖 1B 描繪於圖 1A 中描繪的邏輯電路之電路組態的範例。描繪於圖 1B 中的邏輯電路包含單元邏輯電路 131 及單元邏輯電路 132。

將訊號 IN1、IN2、以及 CK1 輸入至單元邏輯電路 131。單元邏輯電路 131 具有將電壓狀態係依據輸入之訊號 IN1、IN2、以及 CK1 而設定的訊號 OUT1a 輸出之功能。

將訊號 IN1、IN2、以及 CK1 輸入至單元邏輯電路 132。單元邏輯電路 132 具有將電壓狀態係依據輸入之訊號 IN1、IN2、以及 CK1 而設定的訊號 OUT1b 輸出之功能。

單元邏輯電路 131 包括電晶體 101、電晶體 102、電容器 103、電晶體 104、電晶體 105、以及電容器 106。單元邏輯電路 132 包括電晶體 107、電晶體 108、電容器

109、電晶體 110、電晶體 111、以及電容器 112。

須注意在此說明書中，例如，可將場效電晶體使用爲各電晶體。

在此說明書中，場效電晶體至少具有閘極、源極、以及汲極。例如，可將薄膜電晶體(也稱爲 TFT)使用爲該場效電晶體。此外，例如，該場效電晶體可具有頂閘極結構或底閘極結構。此外，該場效電晶體可具有 n-型或 p-型導電性。將描繪於圖 1A 及 1B 中之該邏輯電路中的所有電晶體係相同導電型之場效電晶體的情形描述爲範例。當所有電晶體具有相同導電型時，相較於使用具有不同導電性之電晶體的情形，可減少製造步驟的數量。

須注意該閘極係全部閘極電極及全部閘極佈線或彼等之一部分。該閘極佈線係用於將至少一電晶體之閘極電極電性連接至另一電極或另一佈線的佈線，並，例如，將顯示裝置中的掃描線包括在其分類中。

源極係全部源極區域、全部源極電極、以及全部源極佈線或彼等之一部分。該源極區域係電阻低於半導體層中的通道形成層之電阻的區域。源極電極係連接至源極區域之導電層的一部分。源極佈線係用於將至少一電晶體之源極電極電性連接至另一電極或另一佈線的佈線。例如，在將顯示裝置中的訊號線電性連接至源極電極的情形中，該源極佈線將該訊號線包括在其分類中。

汲極係全部汲極區域、全部汲極電極、以及全部汲極佈線或彼等之一部分。該汲極區域係電阻低於半導體層中

的通道形成層之電阻的區域。汲極電極係連接至汲極區域之導電層的一部分。汲極佈線係用於將至少一電晶體之汲極電極電性連接至另一電極或另一佈線的佈線。例如，在將顯示裝置中的訊號線電性連接至汲極電極的情形中，該汲極佈線將該訊號線包括在其分類中。

此外，在此文件(本說明書、申請專利範圍、及該等圖式等)中，電晶體之源極及汲極係取決於該電晶體的結構、或操作條件等而交換；因此，難以判定何者爲源極及何者爲汲極。因此，在此文件(本說明書、申請專利範圍、及該等圖式等)中，將自由地選擇之該源極及汲極的一者稱爲該源極及汲極之一者，而將另一者稱爲該源極及汲極之另一者。

另外，在此文件(本說明書、申請專利範圍、及該等圖式等)中，電容器包括第一電極、第二電極、以及將該第一電極及該第二電極之間的電壓施加至其的介電質。

在電晶體 101 中，將訊號 CK1 輸入至閘極並將訊號 IN1 輸入至源極及汲極之一者。

電晶體 102 之閘極電性連接至電晶體 101 的源極及汲極之另一者。將高電源供應電壓及低電源供應電壓之一者施加至電晶體 102 的源極及汲極之一者。在圖 1A 及 1B 中，例如，將高電源供應電壓施加至電晶體 102 的源極及汲極之一者。須注意將電晶體 102 之閘極及電晶體 101 的源極及汲極之另一者彼此連接的連接部稱爲節點 121。此外，於圖 1A 及 1B 中描繪之該邏輯電路將電晶體 102 的

源極及汲極之另一者的電壓輸出爲訊號 OUT1a。

將電容器 103 的第一電極電性連接至電晶體 102 之閘極，並將電容器 103 之第二電極電性連接至電晶體 102 的源極及汲極之另一者。須注意在寄生電容係在電晶體 102 之閘極及源極及汲極的另一者之間的情形中，可能將該寄生電容使用爲電容器 103。

在電晶體 104 中，將訊號 CK1 輸入至閘極並將訊號 IN2 輸入至源極及汲極之一者。

電晶體 105 之閘極電性連接至電晶體 104 的源極及汲極之另一者。將電晶體 105 的源極及汲極之一者電性連接至電晶體 102 的源極及汲極之另一者。將高電源供應電壓及低電源供應電壓之另一者施加至電晶體 105 的源極及汲極之另一者。在圖 1A 及 1B 的該邏輯電路中，例如，將低電源供應電壓施加至電晶體 105 的源極及汲極之另一者。須注意將電晶體 105 之閘極及電晶體 104 的源極及汲極之另一者彼此連接的連接部稱爲節點 122。

將電容器 106 之第一電極電性連接至電晶體 104 的源極及汲極之另一者，並將高電源供應電壓及低電源供應電壓之另一者施加至電容器 106 的第二電極。在描繪於圖 1A 及 1B 中的該邏輯電路中，例如，將低電源供應電壓施加至電容器 106 的第二電極。

在電晶體 107 中，將訊號 CK1 輸入至閘極並將訊號 IN2 輸入至源極及汲極之一者。

電晶體 108 之閘極電性連接至電晶體 107 的源極及汲

極之另一者。將高電源供應電壓及低電源供應電壓之一者施加至電晶體 108 的源極及汲極之一者。須注意在圖 1A 及 1B 中之該邏輯電路將電晶體 108 的源極及汲極之另一者的電壓輸出爲訊號 OUT1b。須注意將電晶體 108 之閘極及電晶體 107 的源極及汲極之另一者彼此連接的連接部稱爲節點 123。

將電容器 109 的第一電極電性連接至電晶體 108 之閘極，並將電容器 109 之第二電極電性連接至電晶體 108 的源極及汲極之另一者。須注意在寄生電容係在電晶體 108 之閘極及源極及汲極的另一者之間的情形中，可能將該寄生電容使用爲電容器 109。

在電晶體 110 中，將訊號 CK1 輸入至閘極並將訊號 IN1 輸入至源極及汲極之一者。

電晶體 111 之閘極電性連接至電晶體 110 的源極及汲極之另一者。將電晶體 111 的源極及汲極之一者電性連接至電晶體 108 的源極及汲極之另一者。將高電源供應電壓及低電源供應電壓之另一者施加至電晶體 111 的源極及汲極之另一者。在圖 1A 及 1B 的該邏輯電路中，例如，將低電源供應電壓施加至電晶體 111 的源極及汲極之另一者。須注意將電晶體 111 之閘極及電晶體 110 的源極及汲極之另一者彼此連接的連接部稱爲節點 124。

將電容器 112 之第一電極電性連接至電晶體 110 的源極及汲極之另一者，並將高電源供應電壓及低電源供應電壓之另一者施加至電容器 112 的第二電極。須注意所提供

的描述假設將低電源供應電壓施加至描繪於圖 1A 及 1B 中的該邏輯電路中之電容器 112 的第二電極。

須注意可將包括具有通道形成層的功能之氧化物半導體層的電晶體使用爲各電晶體 101、102、104、105、107、108、110、以及 111。須注意通道形成層中的氫濃度爲 $5\times10^{19}/cm^3$ 或以下，$5\times10^{18}/cm^3$ 或以下較佳，$5\times10^{17}/cm^3$ 或以下更佳。氫濃度係使用，例如，二次離子質譜儀(SIMS)量測。該等電晶體的載體濃度爲 $1\times10^{14}/cm^3$ 或以下，$1\times10^{12}/cm^3$ 或以下爲佳。

如圖 1A 及 1B 所描繪的，例如，將作爲輸入訊號之第一訊號(例如，訊號 IN1)、第二訊號(例如，訊號 IN2)、以及第三訊號(例如，訊號 CK1)輸入至此實施例中的該邏輯電路，且此實施例中的該邏輯電路將電壓狀態係依據輸入之第一至第三訊號而設定的第四訊號(例如，訊號 OUT1a)及第五訊號(例如，訊號 OUT1b)輸出爲輸出訊號。

另外，此實施例之邏輯電路的範例係使用具有相同導電型之電晶體形成。藉由使用具有相同導電型的電晶體，相較於使用具有複數種導電型之電晶體的情形，製造步驟的數量可減少。例如，可將 n-通道電晶體及 p-通道電晶體使用爲具有相同導電型的電晶體。

另外，圖 2 描繪使用描繪於圖 1A 及 1B 中之該邏輯電路的移位暫存器之結構的範例。圖 2 係描繪該移位暫存器的結構之範例的電路圖。須注意只要設置二或多級的邏輯電路，不必限制該等邏輯電路的數量。須注意圖 2 描繪

包括在該移位暫存器中的電晶體全部係 n-通道電晶體之範例；然而，本發明之實施例未並受限於此，且可能使用 p-通道電晶體。

描繪於圖 2 中的該移位暫存器包括邏輯電路 151、152、以及 153。須注意在描繪於圖 2 中的各邏輯電路中，針對與圖 1A 及 1B 中之該邏輯電路相同的部分，視情況使用描繪於圖 1A 及 1B 中之該邏輯電路的描述。邏輯電路 151、152、以及 153 全部係順序邏輯電路。

如圖 1A 及 1B 中的該邏輯電路，在邏輯電路 151 中，將作爲輸入訊號之訊號 CK1 輸入至電晶體 101 的閘極、電晶體 104 之閘極、電晶體 107 的閘極、以及電晶體 110 之閘極；將作爲輸入訊號之訊號 IN1 輸入至電晶體 101 的源極及汲極之一者及電晶體 110 的源極及汲極之一者；並將作爲輸入訊號之訊號 IN2 輸入至電晶體 104 的源極及汲極之一者及電晶體 107 的源極及汲極之一者。此外，邏輯電路 151 將電壓狀態依據該等輸入訊號之狀態而設定的訊號 OUT1a 及 OUT1b 輸出爲輸出訊號。

將訊號 OUT1a 及 OUT1b、以及訊號 CK2 作爲輸入訊號輸入至邏輯電路 152，且邏輯電路 152 將電壓狀態依據該等輸入訊號而設定的訊號 OUT2a 及 OUT2b 輸出爲輸出訊號。邏輯電路 152 的組態與邏輯電路 151 之組態相同。

訊號 CK2 係取代邏輯電路 151 中的訊號 CK1 之輸入至邏輯電路 152 的訊號。例如，可將在高位準的時序與訊號 CK1 在高位準之時序不同的時脈訊號使用爲訊號

CK2。此實施例的移位暫存器可具有訊號 CK1 所輸入之邏輯電路與訊號 CK2 所輸入的邏輯電路彼此電性連接之結構。例如，可能將 CK1 及 CK2 之一者輸入至該移位暫存器中的奇數級邏輯電路，並可能將 CK1 及 CK2 之另一者輸入至該移位暫存器中的偶數級邏輯電路。

將訊號 OUT2a、OUT2b、以及 CK1 作爲輸入訊號輸入至邏輯電路 153，且邏輯電路 153 將電壓狀態依據該等輸入訊號而設定的訊號 OUT3a 及 OUT3b 輸出爲輸出訊號。邏輯電路 153 的組態與邏輯電路 151 之組態相同。

其次，參考圖 3 描述描繪於圖 2 中的該移位暫存器之操作的範例。圖 3 係描繪於圖 2 中描繪之該移位暫存器的操作之範例的時序圖，並描繪訊號 CK1、訊號 CK2、訊號 IN1、訊號 IN2、節點 121、節點 122、節點 123、節點 124、訊號 OUT1a、訊號 OUT1b、訊號 OUT2a、訊號 OUT2b、訊號 OUT3a、以及訊號 OUT3b 的訊號波形。須注意在圖 2 的該移位暫存器之操作的範例中，其參考至圖 3 而描述，該等訊號各者係二進位數位訊號且訊號 CK1 及 CK2 係時脈訊號。高電源供應電壓的值等於高位準電壓 V_H 且低電源供應電壓的值等於低位準電壓 V_L。另外，在此實施例之該邏輯電路的操作中，可將描繪於圖 3 中的該等訊號各者的電壓狀態反相。

圖 2 中之該移位暫存器的操作可針對描述分割爲複數個週期。將各週期中的操作描述於下文中。

首先，聚焦在邏輯電路 151 描述各週期中的操作。在

週期 141 中，訊號 CK1 係在低位準，訊號 CK2 係在低位準、訊號 IN1 係在低位準、且訊號 IN2 係在高位準。

此時，邏輯電路 151 中的訊號 OUT1a 及 OUT1b 係在低位準。

然後，在週期 142 中，於時間 A2 將訊號 CK1 設定至高位準、訊號 CK2 仍在低位準、訊號 IN1 係在高位準、且訊號 IN2 係在低位準。須注意可能在週期 141 中將訊號 IN1 設定至高位準，並可能在週期 141 中將訊號 IN2 設定至低位準。

此時，在邏輯電路 151 中，電晶體 101 及 110 係開啓的且電晶體 104 及 107 爲關閉的。節點 121 的電位及節點 124 之電位依據訊號 IN1 而上昇，並變成等於電壓 V_H。此外，依據節點 121 的電位，電晶體 102 開啓且訊號 OUT1a 的電壓增加。此時，訊號 OUT1a 的電壓依據節點 121 的電位藉由電容器 103 而增加，並變成等於電壓 V_H。此係所謂的自舉操作。節點 124 的電位依據訊號 IN1 的電壓而上昇，使得節點 124 的電位變成等於電壓 V_H。依據節點 124 的電位，電晶體 111 開啓且訊號 OUT1b 的電壓變成電壓 V_L。此時，將與節點 122 之電位對應的電壓及低電源供應電壓施加至電容器 106，並藉由電容器 106 將節點 122 的電位保持特定週期。此外，將與節點 124 之電位對應的電壓及低電源供應電壓施加至電容器 112，並藉由電容器 112 將節點 124 的電位保持特定週期。在截止電流不流經電晶體 104 及 110 的情形中，將保持在電容器 106 及

112 中的該電壓維持成在特定範圍內的值；因此，藉由使用具有小截止電流的電晶體，諸如可施用至此實施例之該邏輯電路的電晶體，在該電晶體關閉時，可將節點 122 的電位及節點 124 之電位維持成在特定範圍內的值。

然後，在週期 143 中，於時間 A3 將訊號 CK1 設定至低位準、訊號 CK2 仍在低位準、將訊號 IN1 設定至低位準、並將訊號 IN2 設定至高位準。

此時，在邏輯電路 151 中，將電晶體 101、104、107、以及 110 關閉。將節點 121 之電位保持成與電壓 V_H 相同的值，將節點 122 之電位保持成電壓 V_L，將節點 123 之電位保持成電壓 V_L，將節點 124 之電位保持成電壓 V_H，訊號 OUT1a 仍在高位準，且訊號 OUT1b 仍在低位準。

然後，在週期 144，訊號 CK1 仍在低位準，在時間 A4 將訊號 CK2 設定至高位準，訊號 IN1 仍在低位準，且訊號 IN2 仍在高位準。須注意在時間 A3，可能將訊號 IN1 設定至低位準並可能將訊號 IN2 設定至高位準。

此時，邏輯電路 151 維持在週期 143 中的狀態；因此，訊號 OUT1a 仍在高位準且訊號 OUT1b 仍在低位準。

然後，在週期 145，訊號 CK1 仍在低位準，在時間 A5 將訊號 CK2 設定至低位準，訊號 IN1 仍在低位準，且訊號 IN2 仍在高位準。

此時，邏輯電路 151 維持在週期 144 中的狀態；因此，訊號 OUT1a 仍在高位準且訊號 OUT1b 仍在低位準。

然後，在週期 146 中，於時間 A6 將訊號 CK1 設定至高位準、訊號 CK2 仍在低位準、訊號 IN1 仍在低位準、且訊號 IN2 仍在高位準。

此時，在邏輯電路 151 中，將電晶體 101、104、107、以及 110 開啓，使得節點 121 的電位及節點 124 之電位變成等於電壓 V_L。此外，電晶體 102 及 111 依據節點 121 之電位及節點 124 的電位關閉。此外，節點 122 之電位及節點 123 的電位上昇並變成等於電壓 V_H。此外，電晶體 105 及 111 依據節點 122 的電位及節點 123 之電位開啓，且訊號 OUT1a 的電壓變成電壓 V_L 且訊號 OUT1b 之電壓變成電壓 V_H。此時，將與節點 122 之電位對應的電壓及低電源供應電壓施加至電容器 106，並藉由電容器 106 將節點 122 的電位保持特定週期。此外，將與節點 124 之電位對應的電壓及低電源供應電壓施加至電容器 112，並藉由電容器 112 將節點 124 的電位保持特定週期。在截止電流不流經電晶體 104 及 110 的情形中，將保持在電容器 106 及 112 中的該電壓維持成在特定範圍內的值；因此，藉由使用具有小截止電流的電晶體，諸如可施用至此實施例之該邏輯電路的電晶體，在該電晶體關閉時，可將節點 122 的電位及節點 124 之電位維持成在特定範圍內的值。

在後續週期中，將邏輯電路 151 在相同狀態中維持特定週期，使得訊號 OUT1a 的電壓在低位準保持特定週期，且訊號 OUT1b 的電壓在高位準保持特定週期。

此外，描述在邏輯電路 151 級之後級中的邏輯電路(此處，例如，邏輯電路 152 及 153)。須注意各邏輯電路中的操作與邏輯電路 151 之操作相同，除了輸入訊號及輸出訊號的狀態，因此省略彼等的描述。

首先，在邏輯電路 152 中，在週期 144 中，在時間 A4 將其係輸出訊號的訊號 OUT2a 設定至高位準，且訊號 OUT2b 仍在低位準。

在週期 145 至 147 中，邏輯電路 152 維持在與週期 144 之狀態相同的狀態中，使得訊號 OUT2a 仍在高位準且訊號 OUT2b 仍在低位準。

在週期 148 中，在邏輯電路 152 中，在時間 A8，將訊號 OUT2a 設定至低位準並將訊號 OUT2b 設定至高位準。

在邏輯電路 153 中，在週期 146 中，在時間 A6 將係輸出訊號的訊號 OUT2a 設定至高位準，且訊號 OUT2b 仍在低位準。

在週期 147 至 149 中，邏輯電路 153 維持在與週期 146 之狀態相同的狀態中，使得訊號 OUT3a 仍在高位準且訊號 OUT3b 仍在低位準。

然後，在週期 150 中，在邏輯電路 152 中，在時間 A10，將訊號 OUT3a 設定至低位準並將訊號 OUT3b 設定至高位準。

雖然未說明，甚至在該移位暫存器包括三或多級之邏輯電路的情形中，輸出訊號的電壓狀態在該等邏輯電路級

中係循序地改變的。

如上文所述，此實施例的該移位暫存器可用二種不同電壓狀態將來自該等邏輯電路級之輸出訊號輸出。此外，此實施例的該移位暫存器包括儲存電容器，以將電晶體的閘極電位保持特定週期，其用於將該輸出訊號設定在高位準或低位準，以及有小截止電流並包括供通道形成層使用之氧化物半導體層的電晶體。使用上述結構，因爲降低經由電晶體的漏電流，可在特定週期內將保持在該儲存電容器中的電壓維持爲在特定範圍內的值。因此，可抑制故障。此外，由於該電晶體使漏電流降低導致功率消耗降低。另外，在包括作爲通道形成層之氧化物半導體層的電晶體中，該氧化物半導體層有低雜質濃度；因此，臨界電壓中的改變甚小。通常，若在包括複數個電晶體的移位暫存器中，該等電晶體之臨界電壓顯著地改變，開啓所有電晶體的電壓甚高。藉由將包括作爲通道形成層之氧化物半導體層的電晶體用於此實施例之移位暫存器，可降低功率消耗。

另外，此實施例描述使用移位暫存器形成的半導體裝置，其係本發明之針對驅動器電路的實施例。須注意在此實施例中，將顯示裝置描述爲範例，其中將至少一部分的驅動器電路及包括顯示狀態係由該驅動器電路所控制之像素的像素部設置在一基材上方。

圖 4A 描繪主動矩陣顯示裝置之方塊圖的範例。將像素部 5301、第一掃描線驅動器電路 5302、第二掃描線驅

動器電路 5303、以及訊號線驅動器電路 5304 設置在顯示裝置中的基材 5300 上方。在像素部 5301 中，設置從訊號線驅動器電路 5304 延伸之複數條訊號線，並設置從第一掃描線驅動器電路 5302 及第二掃描線驅動器電路 5303 延伸的複數條掃描線。須注意在該等掃描線及該等訊號線彼此相交的區域中將包括顯示元件的各像素設置成矩陣。經由連接部，諸如可撓性印刷電路(FPC)，將該顯示裝置的基材 5300 連接至時序控制電路 5305(也稱爲控制器或控制 IC)。

在圖 4A 中，將第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、以及訊號線驅動器電路 5304 形成在設有像素部 5301 的基材 5300 上方。因此，將設置在外側的驅動器電路等之組件的數量降低，使得可實現成本降低。另外，若將該驅動器電路設置在基材 5300 外側，將需要延伸佈線且佈線的連接數量將增加，但藉由將驅動器電路設置在基材 5300 上方，可降低佈線的連接數量。因此，可實現可靠度及良率的改善。

須注意，例如，時序控制電路 5305 將第一掃描線驅動器電路開始訊號(GSP1)及第一掃描線驅動器電路時脈訊號(GCK1)供應至第一掃描線驅動器電路 5302。例如，時序控制電路 5305 將第二掃描線驅動器電路開始訊號(GSP2)(也稱爲開始脈衝)及掃描線驅動器電路時脈訊號(GCK2)供應至第二掃描線驅動器電路 5303。例如，時序控制電路 5305 將訊號線驅動器電路開始訊號(SSP)、訊號

線驅動器電路時脈訊號(SCK)、視訊訊號資料(DATA)(也簡稱爲視訊訊號)、以及鎖存訊號(LAT)供應至訊號線驅動器電路 5304。各時脈訊號可能係具有移位相之複數個時脈訊號，或可能以藉由將時脈訊號反相而得到的訊號(CKB)(未圖示)共同供應。第一掃描線驅動器電路開始訊號、第二掃描線驅動器電路開始訊號、掃描線驅動器電路時脈訊號、訊號線驅動器電路開始訊號、以及訊號線驅動器電路時脈訊號各者的數量可能係複數。在此實施例的半導體裝置中，可將第一掃描線驅動器電路 5302 及第二掃描線驅動器電路 5303 之一者省略。

圖 4B 描繪將具有低驅動頻率的各電路(例如，第一掃描線驅動器電路 5302 及第二掃描線驅動器電路 5303)形成在設有像素部 5301 之基材 5300 上方，並將訊號線驅動器電路 5304 形成在與設有像素部 5301 的該基材不同之另一基材上方的結構。使用此結構，形成在基材 5300 上方的驅動器電路可使用具有比使用單晶半導體形成之電晶體的場效遷移率更低之場效遷移率的薄膜電晶體形成。因此，可達成該顯示裝置之尺寸的增加、步驟數量之減少、成本的降低、或良率之改善等。

圖 5A 及 5B 描繪包括 n-通道 TFT 的訊號線驅動器電路之結構及操作的範例。

描繪於圖 5A 中的訊號線驅動器電路包括移位暫存器 5601 及切換電路 5602。切換電路 5602 包括複數個切換電路 5602_1 至 5602_N(N 係大於或等於 2 之自然數)。切換

電路 5602_1 至 5602_N 各者包括複數個薄膜電晶體 5603_1 至 5603_k(k 係大於或等於 2 的自然數)。此處，描述薄膜電晶體 5603_1 至 5603_k 係 n-通道 TFT 的範例。

將切換電路 5602_1 使用爲範例，描述該訊號線驅動器電路的連接關係。分別將薄膜電晶體 5603_1 至 5603_k 的源極及汲極之一者電性連接至佈線 5604_1 至 5604_k。分別將薄膜電晶體 5603_1 至 5603_k 的源極及汲極之另一者電性連接至訊號線 S1 至 Sk。將薄膜電晶體 5603_1 至 5603_k 的閘極電性連接至佈線 5605_1。

移位暫存器 5601 具有藉由將高位準訊號循序地輸出至佈線 5605_1 至 5605_N 而循序地選擇切換電路 5602_1 至 5602_N 的功能。

切換電路 5602_1 具有分別控制佈線 5604_1 至 5604_k 及訊號線 S1 至 Sk 之間的導通狀態之功能，亦即，控制是否將佈線 5604_1 至 5604_k 的電位分別供應至訊號線 S1 至 Sk 的功能。因此，切換電路 5602_1 具有選擇器的功能。再者，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 及訊號線 S1 至 Sk 之間的導通狀態之功能，亦即，控制是否將佈線 5604_1 至 5604_k 的電位分別供應至訊號線 S1 至 Sk 的功能。以此方式，薄膜電晶體 5603_1 至 5603_k 各者的功能如同開關。

須注意將視訊訊號資料(DATA)輸入至各佈線 5604_1 至 5604_k。在許多情形中，該視訊訊號資料(DATA)係對應於影像資料或影像訊號的類比訊號。

其次，參考圖 5B 之時序圖，描述圖 5A 之訊號線驅動器電路的操作。在圖 5B 中，描繪訊號 Sout_1 至 Sout_N 及訊號 Vdata_1 至 Vdata_k 的範例。訊號 Sout_1 至 Sout_N 係移位暫存器 5601 之輸出訊號的範例，且訊號 Vdata_1 至 Vdata_k 係輸入至佈線 5604_1 至 5604_k 之訊號的範例。須注意該訊號線驅動器電路的一操作週期對應於顯示裝置中的一閘極選擇週期。例如，將一閘極選擇週期分割爲週期 T1 至 TN。週期 T1 至 TN 係用於將視訊訊號資料(DATA)寫至屬於已選擇列之像素的週期。

在週期 T1 至 TN 中，移位暫存器 5601 將高位準訊號循序地輸出至佈線 5605_1 至 5605_N。例如，在週期 T1，移位暫存器 5601 將 H 位準訊號輸出至佈線 5605_1。然後，將薄膜電晶體 5603_1 至 5603_k 開啓，使得佈線 5604_1 至 5604_k 與訊號線 S1 至 Sk 電性連接。此時，將 Data(S1)至 Data(Sk)分別輸入至佈線 5604_1 至 5604_k。分別經由薄膜電晶體 5603_1 至 5603_k 將 Data(S1)至 Data(Sk)輸入至在第一至第 k 行中之已選擇列中的像素。因此，在週期 T1 至 TN 中，將視訊訊號資料(DATA)循序地寫至每 k 行之已選擇列中的像素。

因此藉由將視訊訊號資料(DATA)寫至每複數行的像素中，可減少視訊訊號資料(DATA)的數量或佈線的數量。因此，可減少至外部電路的連接。藉由將視訊訊號寫至每複數行的像素，寫入時間可延長且可防止視訊訊號的不充份寫入。

須注意可將係本發明之實施例的該移位暫存器使用爲移位暫存器 5601。

其次，描述掃描線驅動器電路的組態。該掃描線驅動器電路包括移位暫存器。此外，該掃描線驅動器電路在部分情形中包括位準移位器、或緩衝器等。在該掃描線驅動器電路中，選擇訊號係由該移位暫存器產生。該已產生之選擇訊號藉由該緩衝器緩衝及放大，並將所產生的訊號供應至對應掃描線。將一線像素中的該等電晶體之閘極電性連接至該掃描線。因爲在一線像素中的該等電晶體必須同時開啓，使用可供應大電流的緩衝器。

如上文所述，可將係本發明之實施例的移位暫存器施用至半導體裝置的驅動器電路。藉由使用係本發明之實施例的該移位暫存器，單位影像的顯示週期可延長；因此，例如，在顯示靜態影像的情形中，可減少功率消耗。

(實施例 2)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

參考圖 31A 及 31B 以及圖 6A 至 6E 描述半導體裝置的一實施例及此實施例之半導體裝置的製造方法。

圖 31A 及 31B 描繪半導體裝置之平面結構及橫剖面結構的範例。描繪於圖 31A 及 31B 之薄膜電晶體 410 係頂閘極薄膜電晶體的一種。

圖 31A 係具有頂閘極結構之薄膜電晶體 410 的平面圖，且圖 31B 係沿著圖 31A 之 C1-C2 取得的橫剖面圖。

薄膜電晶體 410 在基材 400 上方包括絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、源極或汲極電極層 415b、閘極絕緣層 402、以及閘極電極層 411。將佈線層 414a 及佈線層 414b 設置成分別與源極或汲極電極層 415a 及源極或汲極電極層 415b 接觸或及電性連接。

雖然提供將單閘極薄膜電晶體使用爲薄膜電晶體 410 的描述，可能依需要形成包括複數個通道形成區域的多閘極薄膜電晶體。

參考圖 6A 至 6E 於下文描述在基材 400 上方製造薄膜電晶體 410 的處理。

只要基材至少具有耐熱性以承受稍後實施的熱處理，可使用爲具有絕緣表面之基材 400 的基材並無特別限制。可使用以鋇硼矽酸玻璃基材、或鋁硼矽酸玻璃基材等形成的玻璃基材。

當稍後實施之熱處理的溫度甚高時，將具有 730℃ 或更高之應變點的基材使用爲該玻璃基材較佳。例如，可將玻璃材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃，使用爲該玻璃基材的材料。須注意藉由將氧化鋇(BaO)及氧化硼(B_2O_3)包含成使得 BaO 之量大於 B_2O_3 的量，玻璃基材係耐熱的並有更實際的用途。因此，使用將 BaO 及 B_2O_3 包含成使得 BaO 的量大於 B_2O_3 之量的玻璃基材爲佳。

須注意，可能將使用絕緣體，諸如陶瓷基材、石英基材、或藍寶石基材，形成的基材使用爲基材 400，以取代上述之玻璃基材。或者，可能使用晶體化玻璃基材等。或者，視情況可使用塑膠基材等。

首先，將使用爲基膜的絕緣層 407 形成在具有絕緣表面之基材 400 上方。將氧化物絕緣層，諸如氧化矽層、氮氧化矽層、氧化鋁層、或氮氧化鋁層，使用爲與該氧化物半導體層接觸的絕緣層 407 爲佳。雖然可將電漿 CVD 法、或濺鍍法等使用爲用於形成絕緣層 407 的方法，使用濺鍍法形成絕緣層 407 爲佳，使得包含在絕緣層 407 中的氫儘可能的低。

在此實施例中，使用濺鍍法將氧化矽層形成爲絕緣層 407。將基材 400 轉移至處理室，並將氫及濕氣已自其移除且包含高純度氧的濺鍍氣體導入，從而使用矽目標將氧化矽層形成爲在基材 400 上方的絕緣層 407。基材 400 可能在室溫或可能加熱。

例如，在下列條件下使用 RF 濺鍍法形成氧化矽膜：將石英(較佳地，合成石英)使用爲目標；基材溫度爲 108℃；基材與目標之間的距離(T-S 距離)爲 60mm；壓力爲 0.4 帕；高頻功率爲 1.5kW；且大氣爲包含氧及氬(氧對氬的流動率爲 1：1(各者的流動率爲 25sccm))的大氣。氧化矽膜的厚度爲 100nm。須注意當該氧化矽形成時，可將矽目標使用爲所使用的目標，以取代石英(較佳地，合成石英)。將氧或氧及氬的混合氣體使用爲濺鍍氣體。

在該情形中，移除該處理室中的殘餘濕氣，形成絕緣層 407 較佳。此係用於防止氫、羥基、及濕氣包含在絕緣層 407 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之絕緣層 407 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成絕緣層 407 時所使用的濺鍍氣體爲佳。

濺鍍法的範例包括將高頻電源使用爲濺鍍電源之 RF 濺鍍法、使用 DC 電源之 DC 濺鍍法、以及以脈衝方式施加偏壓的脈衝 DC 濺鍍法。RF 濺鍍法主要使用在形成絕緣膜的情形中，且 DC 濺鍍法主要使用在形成金屬膜的情形中。

此外，也有可設定複數個不同材料之目標的多源濺鍍設備。使用該多源濺鍍設備，可形成待堆疊在相同室中之不同材料的膜，或可同時將用於膜形成的複數種材料排放在同室中。

此外，有在該室內側設有磁系統的濺鍍設備，其係用於磁控濺鍍法，且有用於 ECR 濺鍍法的濺鍍設備，其中使用用微波製造的電漿，而不使用輝光放電。

此外，作爲使用濺鍍法的沈積法，也有目標基材及濺鍍氣體成份在沈積期間彼此化學地反應，以形成其之薄化合物膜的反應濺鍍法，以及在沈積期間也將電壓施加至基材的偏壓濺鍍法。

另外，絕緣層 407 可能具有將，例如，氮化物絕緣層，諸如氮化矽層、氮化氧化矽層、氮化鋁層、或氮化氧化鋁層、以及氧化物絕緣層以此次序自基材 400 側堆疊的疊層結構。

例如，將氫及濕氣自其移除且其包含氮之高純度濺鍍氣體導入並使用矽目標，從而將氮化矽層形成在氧化矽層及基材之間。在此情形中，與該氧化矽層相似，移除殘餘在處理室中的濕氣，形成該氮化矽層爲佳。

在形成該氮化矽層的情形中，基材可能在膜形成時加熱。

在將該氮化矽層及該氧化矽層之堆疊設置爲絕緣層 407 的情形中，該氮化矽層及該氧化矽層可在相同之處理室中使用共同的矽目標形成。在包含氮之蝕刻氣體導入後，首先使用載置在該處理室中的矽目標形成氮化矽層，然後將該蝕刻氣體切換爲包含氧之蝕刻氣體並使用相同矽目標以形成氧化矽層。因爲該氮化矽層及該氧化矽層可連續地形成而不曝露於空氣中，可防止將雜質，諸如氫及濕氣，吸收在該氮化矽層的表面上。

然後，在絕緣層 407 上方，將氧化物半導體膜形成至 2nm 至 200nm(含)的厚度。

另外，爲使包含在氧化物半導體膜中的氫、羥基、及濕氣儘可能的少，在濺鍍設備的預熱室中將絕緣層 407 形成於其上方之基材 400 受用於膜形成之預處理的預熱爲佳，使得將吸收至基材 400 的雜質，諸如氫及濕氣，消除。須注意低溫泵係設置在該預熱室中的抽氣單元爲佳。須注意可能省略此預熱處理。另外，此預熱可能相似地在閘極絕緣層 402 尙未形成於其上方的基材 400 上，以及上達源極或汲極電極層 415a 及源極或汲極電極層 415b 之層已於其上方形成的基材 400 上實施。

須注意在使用濺鍍法形成該氧化物半導體膜之前，使用導入氬氣體並產生電漿的反濺鍍將附於絕緣層 407 之表面上的灰塵移除爲佳。該反濺鍍係指未將電壓應用至該目標側，在氬大氣中將高頻電源使用爲應用至該基材側的電壓，使得電漿產生以修改該基材之表面的方法。須注意，可能使用氮大氣、氦大氣、或氧大氣等取代氬大氣。

該氧化物半導體膜係使用濺鍍法形成。該氧化物半導體膜係使用 In-Ga-Zn-O-基氧化物半導體膜、In-Sn-Zn-O-基氧化物半導體膜、In-Al-Zn-O-基氧化物半導體膜、Sn-Ga-Zn-O-基氧化物半導體膜、Al-Ga-Zn-O-基氧化物半導體膜、Sn-Al-Zn-O-基氧化物半導體膜、In-Zn-O-基氧化物半導體膜、Sn-Zn-O-基氧化物半導體膜、Al-Zn-O-基氧化物半導體膜、In-O-基氧化物半導體膜、Sn-O-基氧化物半導體膜、或 Zn-O-基氧化物半導體膜形成。在此實施例中，該氧化物半導體膜係使用 In-Ga-Zn-O-基氧化物半導

體膜形成目標以濺鍍法形成。另外，氧化物半導體膜可在稀有氣體(典型係氬)大氣、氧大氣、或包含稀有氣體(典型爲氬)及氧之混合大氣中使用濺鍍法形成。在使用濺鍍法的情形中，可能將包含 2 重量百分比至 10 重量百分比(含)之 SiO_2 的目標用於膜形成。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物半導體膜時所使用的濺鍍氣體爲佳。

可將氧化鋅包含爲其主成份之金屬氧化物目標使用爲以濺鍍法形成該氧化物半導體膜的目標。可將包含 In、Ga、以及 Zn(以 $In_2O_3:Ga_2O_3:ZnO=1:1:1$[莫耳百分比]，In:Ga:Zn=1:1:0.5[原子數百分比]的組成比率)之氧化物半導體膜形成目標使用爲金屬氧化物目標的另一範例。或者，可能使用包含 In、Ga、以及 Zn(In:Ga:Zn 的組成比率 =1:1:1 或 1:1:2[原子數百分比])的氧化物半導體膜形成目標。在由空間等所佔據之區域以外的部分之容積相關於已形成的該氧化物半導體膜形成目標之總容積的比率(也稱爲該氧化物半導體膜形成目標的填充率)爲 90%至 100%(含)，95%至 99.9%(含)爲佳。使用具有高填充率的氧化物半導體膜形成目標，形成緻密氧化物半導體膜。

將該基材保持在維持降壓的處理室中，將氫及濕氣已自其移除的濺鍍氣體導入殘餘濕氣已自其移除的處理室中，並將金屬氧化物使用爲目標，將該氧化物半導體膜形成在基材 400 上方。爲移除殘餘在該處理室中的濕氣，使

用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除(也將含碳原子之化合物移除更佳)，從而可將形成於該沈積室中之該氧化物半導體膜中的雜質濃度降低。該基材可能在形成該氧化物半導體膜時加熱。

該沈積條件的範例如下：基材溫度爲室溫、基材與目標之間的距離爲 60mm、壓力爲 0.4 帕、DC 功率爲 0.5kW、且大氣係包含氧及氬(氧對氬的流動率爲 15sccm：30sccm)的大氣。因爲可減少在膜形成時產生的粉末物質(也稱爲粒子或灰塵)且可使膜厚度均勻，使用脈衝 DC 電源爲佳。該氧化物半導體膜具有 5nm 至 30nm(含)的厚度爲佳。須注意適當厚度係取決於所使用的氧化物半導體材料，且該厚度可能依據材料選擇。

然後，在第一光微影處理中，將該氧化物半導體膜處理成島形氧化物半導體層 412(參見圖 6A)。用於形成島形氧化物半導體層 412 的光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

須注意該氧化物半導體膜的蝕刻可能係乾蝕刻、濕蝕刻、或乾蝕刻及濕蝕刻二者。

將包含氯(氯基氣體，諸如氯(Cl_2)、氯化硼(BCl_3)、氯化矽($SiCl_4$)、或四氯化碳(CCl_4))之氣體使用爲用於乾蝕刻

的蝕刻氣體爲佳。

或者，可使用包含氟(氟基氣體，諸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3))之氣體；溴化氫(HBr)；氧(O_2)；加入稀有氣體，諸如氦(He)或氬(Ar)，之任何此等氣體等。

可將平行板 RIE(反應性離子蝕刻)法或 ICP(感應耦合電漿)蝕刻法使用爲該乾蝕刻法。爲將該膜蝕刻爲期望形狀，視情況調整蝕刻條件(施加至線圈形電極的電力量、施加至基材側上之電極的電力量、或在基材側上之電極的溫度等)。

可將磷酸、乙酸及硝酸的混合溶液等使用爲用於濕蝕刻的蝕刻劑。或者，可能使用 ITO07N(由 KANTO CHEMICAL CO., INC.製造)。

使用在該濕蝕刻中的該蝕刻劑係藉由與已蝕除之材料共同清洗而移除。可能將包括該蝕刻劑及已蝕除材料的廢液純化，並可能重用該材料。當包括在該氧化物半導體層中的材料，諸如銦，係從蝕刻後的廢液收集並重用時，該等資源可有效率地使用且可降低成本。

該等蝕刻條件(諸如，蝕刻劑、蝕刻時間、及溫度)取決於該材料而適當地調整，使得可將該氧化物半導體層蝕刻成具有期望形狀。

在此實施例中，將磷酸、乙酸及硝酸之混合溶液使用爲蝕刻劑以濕蝕刻法將該氧化物半導體膜處理爲島形氧化物半導體層 412。

在此實施例中，氧化物半導體層 412 受第一熱處理。第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 400℃且低於該基材的應變點爲佳。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中以 450℃在該氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中；因此，得到該氧化物半導體層。經由該第一熱處理，可實行氧化物半導體層 412 的脫水或脫氫。

用於熱處理的設備並未受限於電爐，且可能係設有使用來自加熱元件，諸如電阻加熱元件，之熱傳導或熱幅射加熱待處理物件之裝置的設備。例如，可使用 RTA(快速熱退火)設備，諸如 GRTA(氣體快速熱退火)設備或 LRTA(射線照射快速熱退火)設備。LRTA 設備藉由發射自燈，諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈，之光幅射(電磁波)加熱待處理物件的設備。GRTA 設備係使用高溫氣體之用於熱處理的設備。將難以由於熱處理而與待處理物件反應之惰性氣體，諸如氮，或稀有氣體，諸如氬，使用爲該氣體。

例如，可能將作爲該第一熱處理之 GRTA 實施如下。將該基材轉移並置入已加熱至 650℃至 700℃之高溫的惰性氣體中，加熱數分鐘，並將已加熱至高溫的惰性氣體轉移及取出。GRTA 致能在短時間中的高溫熱處理。

須注意在該第一熱處理中，不將水、及氫等包括在氮

或稀有氣體，諸如氨、氖、或氬，中爲佳。或者，導入用於該熱處理之設備中的氮或稀有氣體，諸如氨、氖、或氬，具有 6N(99.9999%)或以上的純度爲佳，7N(99.99999%)或以上的純度較佳(亦即，將雜質濃度設定爲 1ppm 或以下，設定爲 0.1ppm 或以下較佳)。

另外，取決第一熱處理的條件或該氧化物半導體層之材料，可能將該氧化物半導體層晶體化爲微晶膜或多晶膜。例如，可能將該氧化物半導體層晶體化成變爲具有 90%或以上，或 80%或以上之結晶度的微晶氧化物半導體膜。另外，取決於第一熱處理的條件及該氧化物半導體層的材料，該氧化物半導體層可能變成不含晶體成份之非晶氧化物半導體膜。該氧化物半導體層可能變成將微晶部分(具有大於或等於 1nm 且少於或等於 20nm 的粒徑，典型地，大於或等於 2nm 且少於或等於 4nm)混合入非晶氧化物半導體中的氧化物半導體膜。

或者，該氧化物半導體層的第一熱處理可能在尚未處理爲島形氧化物半導體層的該氧化物半導體膜上實施。在該情形中，在第一熱處理之後，將該基材自加熱設備取出並實施光微影處理。

對該氧化物半導體層具有脫水或脫氫之效果的熱處理可能在下列任何時機實施：在該氧化物半導體層形成之後；在源極電極層及汲極電極層形成在該氧化物半導體層上方之後；以及在閘極絕緣層形成在該源極電極層及汲極電極層上方之後。

其次，將導電膜形成在絕緣層 407 及氧化物半導體層 412 上方。可能使用，例如濺鍍法或真空蒸鍍法，形成該導電膜。作爲該導電膜之材料的有選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素；包括任何上述元素的合金；以及包含任何此等元素之組合的合金膜等。另外，可能使用選自錳、鎂、鋯、鈹、及釷之一或多種材料。該導電膜可能具有單層結構或二或多層的疊層結構。例如，可提供包括矽之鋁膜的單層結構、將鈦膜堆疊在鋁膜上方的二層結構、及將 Ti 膜、鋁膜、以及 Ti 膜以出現次序堆疊的三層結構等。或者，可能使用 Al 與選自下列之一或複數種元素之組合的膜、合金膜、或氮化物膜：鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、以及鈧(Sc)。

實施第二光微影處理。將光阻遮罩形成在該導電膜上方並實施選擇性的蝕刻，使得源極或汲極電極層 415a 及源極或汲極電極層 415b 形成。然後，移除該光阻遮罩(參見圖 6B)。須注意該源極電極層及該汲極電極層具有錐形形狀爲佳，因爲可改善堆疊於彼等上方之閘極絕緣層的覆蓋率。

在此實施例中，使用濺鍍法將用於源極或汲極電極層 415a 及源極或汲極電極層 415b 之鈦膜形成至 150nm 的厚度。

須注意視情況調整材料及蝕刻條件，使得在蝕刻該導電膜時，不移除氧化物半導體層 412 且不使在氧化物半導體層 412 下方的絕緣層 407 曝露。

須注意在第二光微影處理中，僅有部分的氧化物半導體層 412 受蝕刻，從而可能形成具有溝槽(凹陷部)的氧化物半導體層。用於形成源極或汲極電極層 415a 及源極或汲極電極層 415b 的該光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

將紫外光、KrF 雷射光束、或 ArF 雷射光束使用爲用於在該第二光微影處理中形成光阻遮罩的曝光。待於稍後形成之該薄膜電晶體的通道長度 L 係取決於在氧化物半導體層 412 上方彼此相鄰之該源極電極層的底部及汲極電極層之底部間的區間寬度。須注意當曝光在該通道長度 L 短於 25nm 之情形中實施時，將具有數奈米至數十奈米之極短波長的極紫外光使用爲用於在該第二光微影處理中形成光阻遮罩的曝光。使用極紫外光的曝光導致高解析度及大景深。因此，可將待於稍後形成之薄膜電晶體的通道長度 L 設定爲 10nm 至 1000nm(含)。因此，電路的操作速度可增加，另外，截止電流可顯著地小至使得可實現低功率消耗。

其次，將閘極絕緣層 402 形成在絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、以及源極或汲極電極層 415b 上方(參見圖 6C)。

可使用氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層之任一者以電漿 CVD 法、或濺鍍法等將閘極絕緣層 402 形成爲單層結構或疊層結構。須注意使

用濺鍍法形成閘極絕緣層 402 爲佳，使得閘極絕緣層 402 包含儘可能少的氫。在氧化矽膜係使用濺鍍法形成的情形中，將矽目標或石英目標使用爲目標，並將氧及氬的混合氣體使用爲濺鍍氣體。

閘極絕緣層 402 可能具有氧化矽層及氮化矽層係從源極或汲極電極層 415a 及源極或汲極電極層 415b 側堆疊的結構。例如，將具有 5nm 至 300nm(含)之厚度的氧化矽層($SiO_x(x>0)$)形成爲第一閘極絕緣層，並將具有 50nm 至 200nm(含)之厚度的氮化矽層($SiN_y(y>0)$)堆疊爲在第一閘極絕緣層上方的第二閘極絕緣層；因此，可能形成具有 100nm 之厚度的閘極絕緣層。在此實施例中，在下列條件下，使用 RF 濺鍍法將氧化矽層形成至 100nm 的厚度：壓力爲 0.4 帕；高頻功率爲 1.5kW；且該大氣係包含氧及氬(氧對氬的流動率爲 1:1(各者流動率均爲 25sccm))的大氣。

然後，實施第三光微影處理。形成光阻遮罩並實施選擇性的蝕刻，以移除部分的閘極絕緣層 402，使得分別到達源極或汲極電極層 415a 及源極或汲極電極層 415b 之開口 421a 及 421b 形成(參見圖 6D)。

然後，在導電膜形成在閘極絕緣層 402 上方及開口 421a 及 421b 中之後，在第四光微影處理中，形成閘極電極層 411 及佈線層 414a 及 414b。須注意光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

另外，可使用任何金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、以及銃，以及將任何此等材料包含爲主成份之合金材料將閘極電極層 411 及佈線層 414a 及 414b 形成爲單層結構或疊層結構。

作爲閘極電極層 411 及佈線層 414a 及 414b 各者的二層結構，例如，將鉬層堆疊在鋁層上方的二層結構、將鉬層堆疊在銅層上方的二層結構、將氮化鈦層或氮化鉭堆疊在銅層上方的二層結構、或堆疊氮化鈦層及鉬層之二層結構較佳。作爲三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦之合金層、以及氮化鈦層或鈦層的堆疊較佳。須注意該閘極電極層可能使用光透射導電膜形成。可將光透射導電氧化物提供爲光透射導電膜的範例。

在此實施例中，使用濺鍍法將用於閘極電極層 411 及佈線層 414a 及 414b 之鈦膜形成至 150nm 的厚度。

其次，在惰性氣體大氣或氧氣體大氣中實施第二熱處理(200℃至 400℃(含)爲佳，例如，從 250℃至 350℃(含))。在此實施例中，該第二熱處理在氮大氣中以 250℃實施一小時。該第二熱處理可能在保護絕緣層或平坦化絕緣層形成在薄膜電晶體 410 上方之後實施。

另外，熱處理可能在空氣中以 100℃至 200℃(含)實施一小時至 30 小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣層形成

之前在降壓下實施。在降壓下，加熱時間可縮短。

經由上述步驟，可形成包括將氫、濕氣、氫化物、或氫氧化合物的濃度降低之氧化物半導體層 412 的薄膜電晶體 410(參見圖 6E)。

可能將保護絕緣層或用於平坦化之平坦化絕緣層設置在薄膜電晶體 410 上方。例如，可能使用任何氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層將該保護絕緣層形成爲單層結構或疊層結構。

可使用耐熱有機材料，諸如聚醯亞胺、丙烯酸樹脂、苯環丁烯樹脂，聚醯胺、或環氧樹脂，形成該平坦化絕緣層。除了此等有機材料以外，也可能使用低介電常數材料(低 k 材料)、矽氧烷基樹脂、PSG(磷矽酸鹽玻璃)、或 BPSG(硼磷矽酸鹽玻璃)等。須注意該平坦化絕緣層可能藉由堆疊使用任何此等材料形成之複數絕緣膜而形成。

須注意矽氧烷基樹脂對應於將矽氧烷基材料使用爲起始材料形成之包括 Si-O-Si 鍵的樹脂。該矽氧烷基樹脂可能包括作爲取代基的有機基(例如，烷基或芳基)或氟基。此外，該有機基可能包括氟基。

形成該平坦化絕緣層的方法並無特別限制，且可取決於材料而使用下列方法或機構：諸如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴濺塗佈法、或液滴排放法(例如，噴墨法、絲網列印、或平版印刷)之方法，或諸如刮刀、滾筒塗佈機、簾幕塗佈機、或刮刀塗佈機的工具。

此實施例可用與任何其他實施例適當地組合的方式實

施。

如上述地在形成該氧化物半導體膜時將殘餘在反應大氣中的濕氣移除，從而可降低在該氧化物半導體膜中之氫及氫化物的濃度。因此，該氧化物半導體膜可係穩定的。

因此，包括具有該氧化物半導體層之薄膜電晶體的半導體裝置可具有穩定的電氣特徵及高可靠性。

(實施例 3)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的另一範例揭示在此說明書中。可能將與實施例 2 中的部分相似之部分、及具有與實施例 2 中之該等部分的功能相似之功能的部分、以及與實施例 2 中的步驟相似之步驟如實施例 2 地處理，並省略重複描述。此外，也省略相同部分的詳細描述。

參考圖 7A 及 7B 以及圖 8A 至 8E 描述半導體裝置的一實施例及此實施例之半導體裝置的製造方法。

圖 7A 及 7B 描繪半導體裝置之平面結構及橫剖面結構的範例。描繪於圖 7A 及 7B 之薄膜電晶體 460 係頂閘極薄膜電晶體的一種。

圖 7A 係具有頂閘極結構之薄膜電晶體 460 的平面圖，且圖 7B 係沿著圖 7A 之 D1-D2 取得的橫剖面圖。

薄膜電晶體 460 在具有絕緣表面之基材 450 上方包括絕緣層 457、源極或汲極電極層 465a(465a1 及 465a2)、氧化物半導體層 462、源極或汲極電極層 465b、佈線層

468、閘極絕緣層 452、以及閘極電極層 461(461a 及 461b)。經由佈線層 468 將源極或汲極電極層 465a(465a1 及 465a2)電性連接至佈線層 464。雖然未描繪，經由形成在閘極絕緣層 452 中的開口將源極或汲極電極層 465b 電性連接至佈線層。

參考圖 8A 至 8E 於下文描述在基材 450 上方製造薄膜電晶體 460 的處理。

首先，將作爲基膜使用的絕緣層 457 形成在基材 450 上方。

在此實施例中，使用濺鍍法將氧化矽層形成爲絕緣層 457。將基材 450 轉移至處理室，並將氫及濕氣已自其移除且包含氧之高純度濺鍍氣體導入，從而使用矽目標或石英(合成石英爲佳)，將氧化矽層形成爲在基材 450 上方的絕緣層 457。將氧或氧及氬的混合氣體使用爲濺鍍氣體。

例如，在下列條件下使用 RF 濺鍍法形成氧化矽膜：濺鍍氣體的純度爲 6N；使用石英(較佳地，合成石英)；基材溫度爲 108℃；基材與目標之間的距離(T-S 距離)爲 60mm；壓力爲 0.4 帕；高頻功率爲 1.5kW；且大氣爲包含氧及氬(氧對氬的流動率爲 1：1(各者的流動率均爲 25sccm))的大氣。氧化矽膜的厚度爲 100nm。須注意當該氧化矽形成時，可將矽目標使用爲所使用的目標，以取代石英(較佳地，合成石英)。

在該情形中，移除該處理室中的殘餘濕氣，形成絕緣層 457 較佳。此係用於防止氫、羥基、及濕氣包含在絕緣

層 457 中。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之絕緣層 457 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成絕緣層 457 時所使用的濺鍍氣體爲佳。

另外，絕緣層 457 可能具有將，例如，氮化物絕緣層，諸如氮化矽層、氮化氧化矽層、氮化鋁層、或氮化氧化鋁層、以及氧化物絕緣層以此次序自基材 450 側堆疊的疊層結構。

例如，將氫及濕氣自其移除且其包含氮之高純度濺鍍氣體導入並使用矽目標，從而將氮化矽層形成在氧化矽層及基材之間。在此情形中，與該氧化矽層相似，移除處理室中的殘餘濕氣，形成該氮化矽層爲佳。

其次，將導電膜形成在絕緣層 457 上方並實施第一光微影處理。將光阻遮罩形成在該導電膜上方並實施選擇性的蝕刻，使得源極或汲極電極層 465a1 及 465a2 形成。然後，移除該光阻遮罩(參見圖 8A)。源極或汲極電極層 465a1 及 465a2 似乎在交叉部中受分割；然而，源極或汲極電極層 465a1 及 465a2 係連續膜。須注意該源極電極層及該汲極電極層具有錐形形狀爲佳，因爲可改善堆疊於彼等上方之閘極絕緣層的覆蓋率。

作爲源極或汲極電極層 465a1 及 465a2 之材料的有選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素；包括任何上

述元素的合金；以及包含任何此等元素之組合的合金膜等。另外，可能使用選自錳、鎂、鋯、鈹、及釷之一或多種材料。該導電膜可能具有單層結構或二或多層的疊層結構。例如，可提供包括矽之鋁膜的單層結構、將鈦膜堆疊在鋁膜上方的二層結構、及將 Ti 膜、鋁膜、以及 Ti 膜以出現次序堆疊的三層結構等。或者，可能使用 Al 與選自下列之一或複數種元素之組合的膜、合金膜、或氮化物膜：鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、以及鈧(Sc)。

在此實施例中，使用濺鍍法將用於源極或汲極電極層 465a1 及 465a2 之鈦膜形成至 150nm 的厚度。

然後，在閘極絕緣層 452 上方，將氧化物半導體膜形成至 2nm 至 200nm(含)的厚度。

然後，形成氧化物半導體膜且在第二光微影處理中，將該氧化物半導體膜處理成島形氧化物半導體層 462(參見圖 8B)。在此實施例中，該氧化物半導體膜係使用 In-Ga-Zn-O-基氧化物半導體膜形成目標以濺鍍法形成。

將該基材保持在維持降壓的處理室中，將氫及濕氣已自其移除的濺鍍氣體導入殘餘濕氣已自其移除的處理室中，並將金屬氧化物使用爲目標，將該氧化物半導體膜沈積在基材 450 上方。爲移除殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子

之化合物等，諸如水(H_2O)，移除(也將含碳原子之化合物移除更佳)，從而可將形成於該沈積室中之該氧化物半導體膜中的雜質濃度降低。該基材可能在形成該氧化物半導體膜時加熱。

將雜質，諸如氫、水、羥基、或氫化物，移除至以ppm或ppb等級表示之濃度的高純度氣體使用爲當形成氧化物半導體膜時所使用的濺鍍氣體爲佳。

該沈積條件的範例如下：基材溫度爲室溫、基材與目標之間的距離爲 60mm、壓力爲 0.4 帕、DC 功率爲 0.5kW、且大氣係包含氧及氬(氧對氬的流動率爲 15sccm：30sccm)的大氣。因爲可減少在膜形成時產生的粉末物質(也稱爲粒子或灰塵)且可使膜厚度均勻，使用脈衝 DC 電源爲佳。該氧化物半導體膜具有 5nm 至 30nm(含)的厚度爲佳。須注意適當厚度係取決於所使用的氧化物半導體材料，且該厚度可能依據材料選擇。

在此實施例中，將磷酸、乙酸及硝酸之混合溶液使用爲蝕刻劑以濕蝕刻法將該氧化物半導體膜處理爲島形氧化物半導體層 462。

其次，氧化物半導體層 462 受第一熱處理。第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 400℃且低於該基材的應變點爲佳。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中以450℃在該氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧

化物半導體層中；因此，得到該氧化物半導體層。經由該第一熱處理，可實行氧化物半導體層 462 的脫水或脫氫。

用於熱處理的設備並未受限於電爐，且可能係設有使用來自加熱元件，諸如電阻加熱元件，之熱傳導或熱幅射加熱待處理物件之裝置的設備。例如，可使用 RTA(快速熱退火)設備，諸如 GRTA(氣體快速熱退火)設備或 LRTA(射線照射快速熱退火)設備。例如，可能將作爲該第一熱處理之 GRTA 實施如下。將該基材轉移並置入已加熱至 650℃至 700℃之高溫的惰性氣體中，加熱數分鐘，並將已加熱至高溫的惰性氣體轉移及取出。GRTA 致能在短時間中的高溫熱處理。

須注意在該第一熱處理中，不將水、及氫等包括在氮或稀有氣體，諸如氦、氖、或氬，中爲佳。或者，導入用於該熱處理之設備中的氮或稀有氣體，諸如氦、氖、或氬，具有 6N(99.9999%)或以上的純度爲佳，7N(99.99999%)或以上的純度較佳(亦即，將雜質濃度設定爲 1ppm 或以下，設定爲 0.1ppm 或以下較佳)。

另外，取決第一熱處理的條件或該氧化物半導體層之材料，可能將該氧化物半導體層晶體化爲微晶膜或多晶膜。

或者，該氧化物半導體層的第一熱處理可能在尚未處理爲島形氧化物半導體層的該氧化物半導體膜上實施。在該情形中，在第一熱處理之後，將該基材自加熱設備取出並實施光微影處理。

對該氧化物半導體層具有脫水或脫氫之效果的熱處理可能在下列任何時機實施：在該氧化物半導體層形成之後；在源極電極層及汲極電極層形成在該氧化物半導體層上方之後；以及在閘極絕緣層形成在該源極電極層及汲極電極層上方之後。

其次，將導電膜形成在絕緣層 457 及氧化物半導體層 462 的上方並實施第三光微影處理。將光阻遮罩形成在該導電膜上方並實施選擇性的蝕刻，使得源極或汲極電極層 465b 及佈線層 468 形成。然後，移除該光阻遮罩(參見圖 8C)。源極或汲極電極層 465b 及佈線層 468 可能使用與源極或汲極電極層 465a1 及 465a2 相似的材料及步驟形成。

在此實施例中，使用濺鍍法將用於源極或汲極電極層 465b 及佈線層 468 之鈦膜形成至 150nm 的厚度。在此實施例中，將相同鈦膜用於源極或汲極電極層 465a1 及 465a2 以及源極或汲極電極層 465b，使得源極或汲極電極層 465a1 及 465a2 的蝕刻率與源極或汲極電極層 465b 之蝕刻率相同或實質相同。因此，將佈線層 468 設置在源極或汲極電極層 465a2 之不爲氧化物半導體層 462 所覆蓋的部分上方，以防止當蝕刻源極或汲極電極層 465b 時，源極或汲極電極層 465a1 及 465a2 受蝕刻。在蝕刻步驟中使用提供源極或汲極電極層 465b 對源極或汲極電極層 465a1 及 465a2 的高選擇性比率之不同材料的情形中，無須設置在蝕刻時保護源極或汲極電極層 465a2 的佈線層 468。

須注意視情況將材料及蝕刻條件調整成使得當導電膜受蝕刻時，不移除氧化物半導體層 462。

須注意在第三光微影處理中，僅有部分的氧化物半導體層 462 受蝕刻，從而可能形成具有溝槽(凹陷部)的氧化物半導體層。用於形成源極或汲極電極層 465b 及佈線層 468 的該光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

其次，將閘極絕緣層 452 形成在絕緣層 457、氧化物半導體層 462、源極或汲極電極層 465a1 及 465a2、源極或汲極電極層 465b、以及佈線層 468 上方。

可使用氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層之任一者以電漿 CVD 法、或濺鍍法等將閘極絕緣層 452 形成爲單層結構或疊層結構。須注意使用濺鍍法形成閘極絕緣層 452 爲佳，使得閘極絕緣層 452 包含儘可能少的氫。在氧化矽膜係使用濺鍍法形成的情形中，將矽目標或石英目標使用爲目標，並將氧及氬的混合氣體使用爲濺鍍氣體。

閘極絕緣層 452 可能具有氧化矽層及氮化矽層係從源極或汲極電極層 465a1 及 465a2 及源極或汲極電極層 465b 側堆疊的結構。在此實施例中，在下列條件下，使用 RF 濺鍍法將氧化矽層形成至 100nm 的厚度：壓力爲 0.4 帕；高頻功率爲 1.5kW；且該大氣係包含氧及氬(氧對氬的流動率爲 1:1(各者流動率均爲 25sccm))的大氣。

然後，實施第四光微影處理。形成光阻遮罩並實施選

擇性蝕刻，以移除部分的閘極絕緣層 452，使得到達佈線層 468 的開口 423 形成(參見圖 8D)。雖然未描繪，在形成開口 423 時，可能形成到達源極或汲極電極層 465b 的開口。在此實施例中，到達源極或汲極電極層 465b 的該開口係在另外堆疊層間絕緣層之後形成，並將用於電性連接之佈線層形成在該開口中。

然後，在導電膜形成在閘極絕緣層 452 上方及在開口 423 中之後，閘極電極層 461(461a 及 461b)及佈線層 464 在第五光微影處理中形成。須注意光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

另外，可使用任何金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、以及鈧，以及將任何此等材料包含爲主成份之合金材料將閘極電極層 461(461a 及 461b)及佈線層 464 形成爲單層結構或疊層結構。

在此實施例中，使用濺鍍法將用於閘極電極層 461(461a 及 461b)及佈線層 464 之鈦膜形成至 150nm 的厚度。

其次，在惰性氣體大氣或氧氣體大氣中實施第二熱處理(200℃ 至 400℃(含)爲佳，例如，從 250℃ 至 350℃(含))。在此實施例中，該第二熱處理在氮大氣中以 250℃ 實施一小時。該第二熱處理可能在保護絕緣層或平坦化絕緣層形成在薄膜電晶體 410 上方之後實施。

另外，熱處理可能在空氣中以 100℃ 至 200℃(含)實

施一小時至 30 小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣層形成之前在降壓下實施。在降壓下，加熱時間可縮短。

經由上述步驟，可形成包括將氫、濕氣、氫化物、或氫氧化合物的濃度降低之氧化物半導體層 462 的薄膜電晶體 460(參見圖 8E)。

可能將保護絕緣層或用於平坦化之平坦化絕緣層設置在薄膜電晶體 460 上方。雖然未描繪，可能形成到達源極或汲極電極層 465b 的開口。在此實施例中，將到達源極或汲極電極層 465b 的該開口形成在閘極絕緣層 452、保護絕緣層、以及平坦化層中，並將用於連接至源極或汲極電極層 465b 的佈線層形成在該開口中。

此實施例可用與任何其他實施例適當地組合的方式實施。

如上述地在形成該氧化物半導體膜時將殘餘在反應大氣中的濕氣移除，從而可降低在該氧化物半導體膜中之氫及氫化物的濃度。因此，該氧化物半導體膜可係穩定的。

因此，包括具有該氧化物半導體層之薄膜電晶體的半導體裝置可具有穩定的電氣特徵及高可靠性。

(實施例 4)

在此實施例中，將可施用至包括在該邏輯電路及該半

導體裝置中的薄膜電晶體之薄膜電晶體的另一範例揭示在此說明書中。可能將與實施例 2 中的部分相似之部分、及具有與實施例 2 中之該等部分的功能相似之功能的部分、以及與實施例 2 中的步驟相似之步驟如實施例 2 地處理，並省略重複描述。此外，也省略相同部分的詳細描述。可將描述在此實施例中的薄膜電晶體 425 及 426 使用爲包括在實施例 1 之邏輯電路及半導體裝置中的薄膜電晶體。

參考圖 9A 及 9B 描述此實施例的薄膜電晶體。

圖 9A 及 9B 描繪該等薄膜電晶體之橫剖面結構的範例。圖 9A 及 9B 中的薄膜電晶體 425 及 426 各者均係氧化物半導體層夾於導電層及閘極電極層之間的薄膜電晶體。

此外，在圖 9A 及 9B 中，將矽基材使用爲基材，並將薄膜電晶體 425 及 426 設置在形成於矽基材 420 上方的絕緣層 422 上方。

在圖 9A 中，將導電層 427 形成在絕緣層 422 及在矽基材 420 上方的絕緣層 407 之間，以至少與整體氧化物半導體層 412 重疊。

須注意圖 9B 描繪藉由蝕刻將絕緣層 422 及絕緣層 407 之間的導電層處理成類似導電層 424，並與氧化物半導體層 412 之至少包括通道形成區域的一部分重疊。

導電層 427 及 424 各者可能係使用可耐待於稍後步驟中實施之熱處理的溫度之金屬材料形成：選自鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、以及鈧(Sc)之元

素、將任何上述元素包含爲其成份的合金、包含任何此等元素之組合的合金膜、或將任何上述元素包含爲其成份的氮化物等。另外，導電層 427 及 424 各者可能具有單層結構或疊層結構，且例如，可使用鎢層之單層結構或氮化鎢層及鎢層的堆疊。

導電層 427 及 424 的電位可能與薄膜電晶體 425 及 426 之閘極電極層 411 的電位相同或不同。導電層 427 及 424 各者的功能也可如同第二閘極電極層。導電層 427 及 424 的電位可能係固定電位，諸如 GND 或 0V。

薄膜電晶體 425 及 426 的電性特徵可由導電層 427 及 424 控制。

此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 5)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

參考圖 10A 至 10E 描述薄膜電晶體的一實施例及此實施例之該薄膜電晶體的製造方法。

圖 10A 及 10E 描繪薄膜電晶體之橫剖面結構的範例。描繪於圖 10A 至 10E 中的薄膜電晶體 390 係底閘極薄膜電晶體之一並也稱爲反堆疊式薄膜電晶體。

雖然提供將單閘極薄膜電晶體使用爲薄膜電晶體 390

的描述，可能依需要形成包括複數個通道形成區域的多閘極薄膜電晶體。

參考圖 10A 至 10E 於下文描述在基材 394 上方製造薄膜電晶體 390 的處理。

首先，在將導電膜形成在具有絕緣表面的基材 394 上方之後，在第一光微影處理中形成閘極電極層 391。該閘極電極層具有錐形形狀爲佳，因爲可改善堆疊於彼等上方之閘極絕緣層的覆蓋率。須注意光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

只要基材至少具有耐熱性以承受稍後實施的熱處理，可使用爲具有絕緣表面之基材 394 的基材並無特別限制。可使用以鋇硼矽酸玻璃基材、或鋁硼矽酸玻璃基材等形成的玻璃基材。

當稍後實施之熱處理的溫度甚高時，將具有 730℃或更高之應變點的基材使用爲該玻璃基材較佳。例如，可將玻璃材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃，使用爲該玻璃基材的材料。通常須注意，藉由包含比氧化硼更大量的氧化鋇(BaO)，玻璃基材係耐熱的並有更實際的用途。因此，使用包含比 B_2O_3 更大量之 BaO 的玻璃基材爲佳。

須注意，可能將使用絕緣體，諸如陶瓷基材、石英基材、或藍寶石基材，形成的基材使用爲基材 394，以取代上述之玻璃基材。或者，可能使用晶體化玻璃基材等。或

者，視情況可使用塑膠基材等。

可能將作爲基膜使用的絕緣膜設置在基材 394 及閘極電極層 391 之間。該基膜具有防止雜質元素擴散至基材 394 的功能，並可使用任何氮化矽膜、氧化矽膜、氮化氧化矽膜、及氮氧化矽膜形成爲單層結構或疊層結構。

另外，可使用任何金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、以及銃，以及將任何此等材料包含爲主成份之合金材料將閘極電極層 391 形成爲單層結構或疊層結構。

作爲閘極電極層 391 的二層結構，例如，將鉬層堆疊在鋁層上方的二層結構、將鉬層堆疊在銅層上方的二層結構、將氮化鈦層或氮化鉭堆疊在銅層上方的二層結構、堆疊氮化鈦層及鉬層的二層結構、或堆疊氮化鎢層及鎢層的二層結構較佳。作爲三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦之合金層、以及氮化鈦層或鈦層的堆疊較佳。須注意該閘極電極層可能使用光透射導電膜形成。可將光透射導電氧化物提供爲光透射導電膜的範例。

然後，將閘極絕緣層 397 形成在閘極電極層 391 上方。

可使用氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層之任一者以電漿 CVD 法、或濺鍍法等將閘極絕緣層 397 形成爲單層結構或疊層結構。須注意使用濺鍍法形成閘極絕緣層 397 爲佳，使得閘極絕緣層 397 包含儘可能少的氫。在氧化矽膜係使用濺鍍法形成的情形

中，將矽目標或石英目標使用爲目標，並將氧及氬的混合氣體使用爲濺鍍氣體。

閘極絕緣層 397 可能具有氮化矽層及氧化矽層從閘極電極層 391 側堆疊的結構。例如，使用濺鍍法將具有 50nm 至 200nm(含)之厚度的氮化矽層($SiN_y(y>0)$)形成爲第一閘極絕緣層，並將具有 5nm 至 300nm(含)之厚度的氧化矽層($SiO_x(x>0)$)堆疊爲在第一閘極絕緣層上方的第二閘極絕緣層；因此，可能形成具有 100nm 之厚度的閘極絕緣層。

另外，爲使可能包含在閘極絕緣層 397 及氧化物半導體膜 393 中的氫、羥基、及濕氣儘可能的少，在濺鍍設備的預熱室中將閘極電極層 391 形成於其上方的基材 394 或上達閘極絕緣層 397 之層形成於其上方的基材 394 受用於膜形成之預處理的預熱爲佳，使得將吸收至基材 394 的雜質，諸如氫及濕氣，消除。用於預熱的溫度爲 100℃至 400℃(含)，150℃至 300℃(含)爲佳。須注意低溫泵係設置在該預熱室中的抽氣單元爲佳。須注意可能省略此預熱處理。另外，該預熱可能與在氧化物絕緣層 396 形成前在上達源極電極層 395a 及汲極電極層 395b 之層已形成於其上方的基材 394 上實施之預熱相似。

然後，在閘極絕緣層 397 上方，將氧化物半導體膜 393 形成至 2nm 至 200nm(含)的厚度(參見圖 10A)。

須注意在使用濺鍍法形成氧化物半導體膜 393 之前，使用導入氬氣體並產生電漿的反濺鍍將附於閘極絕緣層

397之表面上的灰塵移除爲佳。

氧化物半導體膜393係使用濺鍍法形成。氧化物半導體膜393係使用In-Ga-Zn-O-基氧化物半導體膜、In-Sn-Zn-O-基氧化物半導體膜、In-Al-Zn-O-基氧化物半導體膜、Sn-Ga-Zn-O-基氧化物半導體膜、Al-Ga-Zn-O-基氧化物半導體膜、Sn-Al-Zn-O-基氧化物半導體膜、In-Zn-O-基氧化物半導體膜、Sn-Zn-O-基氧化物半導體膜、Al-Zn-O-基氧化物半導體膜、In-O-基氧化物半導體膜、Sn-O-基氧化物半導體膜、或Zn-O-基氧化物半導體膜形成。在此實施例中，氧化物半導體膜393係使用In-Ga-Zn-O-基氧化物半導體膜形成目標以濺鍍法形成。另外，氧化物半導體膜393可在稀有氣體(典型係氬)大氣、氧大氣、或包含稀有氣體(典型爲氬)及氧之混合大氣中使用濺鍍法形成。在使用濺鍍法的情形中，可能將包含2重量百分比至10重量百分比(含)之SiO_2的目標用於膜形成。

將氧化鋅包含爲其主成份之金屬氧化物目標可使用爲以濺鍍法形成氧化物半導體膜393的目標。可將包含In、Ga、以及Zn(以$In_2O_3:Ga_2O_3:ZnO=1:1:1$[莫耳百分比]，In:Ga:Zn=1:1:0.5[原子數百分比]的組成比率)之氧化物半導體膜形成目標使用爲金屬氧化物目標的另一範例。或者，可能使用包含In、Ga、以及Zn(In:Ga:Zn的組成比率=1:1:1或1:1:2[原子數百分比])的氧化物半導體膜形成目標。該氧化物半導體膜形成目標的填充率爲90%至100%(含)，95%至99.9%(含)爲佳。使用具有高填充率的

氧化物半導體膜形成目標，形成緻密氧化物半導體膜。

將該基材保持在維持降壓的處理室中，並將該基材加熱至室溫或低於 400℃的溫度。然後，將氫及濕氣已自其移除的濺鍍氣體導入殘餘濕氣已自其移除的處理室中，並將金屬氧化物使用爲目標，將氧化物半導體膜 393 形成在基材 394 上方。爲移除殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除(也將含碳原子之化合物移除更佳)，從而可將形成於該沈積室中之該氧化物半導體膜中的雜質濃度降低。

沈積條件的範例如下：基材及目標之間的距離爲 60mm、壓力爲 0.6 帕、DC 功率爲 0.5kW、且大氣係氧大氣(氧流動率爲 100%)。因爲可減少在膜形成時產生的粉末物質且可使膜厚度均勻，使用脈衝 DC 電源爲佳。該氧化物半導體膜具有 5nm 至 30nm(含)的厚度爲佳。須注意適當厚度係取決於所使用的氧化物半導體材料，且該厚度可能依據材料選擇。

然後，在第二光微影處理中，將該氧化物半導體膜處理成島形氧化物半導體層 399(參見圖 10B)。用於形成島形氧化物半導體層 399 的光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

在形成氧化物半導體層 399 時，可將接點孔形成在閘極絕緣層 397 中。

須注意氧化物半導體膜 393 的蝕刻可能係乾蝕刻、濕蝕刻、或乾蝕刻及濕蝕刻二者。

將包含氯(氯基氣體，諸如氯(Cl_2)、氯化硼(BCl_3)、氯化矽($SiCl_4$)、或四氯化碳(CCl_4))之氣體使用爲用於乾蝕刻的蝕刻氣體爲佳。

或者，可使用包含氟(氟基氣體，諸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3))之氣體；溴化氫(HBr)；氧(O_2)；加入稀有氣體，諸如氦(He)或氬(Ar)，之任何此等氣體等。

可將平行板 RIE(反應性離子蝕刻)法或 ICP(感應耦合電漿)蝕刻法使用爲該乾蝕刻法。爲將該膜蝕刻爲期望形狀，視情況調整蝕刻條件(施加至線圈形電極的電力量、施加至基材側上之電極的電力量、或在基材側上之電極的溫度等)。

可將磷酸、乙酸及硝酸的混合溶液等使用爲用於濕蝕刻的蝕刻劑。或者，可能使用 ITO07N(由 KANTO CHEMICAL CO., INC.製造)。

使用在該濕蝕刻中的該蝕刻劑係藉由與已蝕除之材料共同清洗而移除。可能將包括該蝕刻劑及已蝕除材料的廢液純化，並可能重用該材料。當包括在該氧化物半導體層中的材料，諸如銦，係從蝕刻後的廢液收集並重用時，該等資源可有效率地使用且可降低成本。

該等蝕刻條件(諸如，蝕刻劑、蝕刻時間、及溫度)取決於該材料而適當地調整，使得可將該氧化物半導體層蝕刻成具有期望形狀。

須注意反濺鍍在下列步驟中的導電膜形成之前實施爲佳，使得可將附於氧化物半導體層 399 及閘極絕緣層 397 之表面上的殘留光阻移除。

其次，將導電膜形成在閘極絕緣層 397 及氧化物半導體層 399 上方。該導電膜可能使用濺鍍法或真空蒸鍍法形成。作爲該導電膜之材料的有選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素；包括任何上述元素的合金；以及包含任何此等元素之組合的合金膜等。另外，可能使用選自錳、鎂、鋯、鈹、及釷之一或多種材料。該導電膜可能具有單層結構或二或多層的疊層結構。例如，可提供包括矽之鋁膜的單層結構、將鈦膜堆疊在鋁膜上方的二層結構、及將 Ti 膜、鋁膜、以及 Ti 膜以出現次序堆疊的三層結構等。或者，可能使用 Al 與選自下列之一或複數種元素之組合的膜、合金膜、或氮化物膜：鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、以及鈧(Sc)。

實施第三光微影處理。將光阻遮罩形成在該導電膜上方並實施選擇性的蝕刻，使得源極電極層 395a 及汲極電極層 395b 形成。然後，移除該光阻遮罩(參見圖 10C)。

將紫外光、KrF 雷射光束、或 ArF 雷射光束使用爲用於在該第三光微影處理中形成光阻遮罩的曝光。待於稍後形成之該薄膜電晶體的通道長度 L 係取決於在氧化物半導

體層 399 上方彼此相鄰之該源極電極層的底部及汲極電極層之底部間的區間寬度。須注意當曝光在該通道長度 L 短於 25nm 之情形中實施時，將具有數奈米至數十奈米之極短波長的極紫外光使用爲用於在該第三光微影處理中形成光阻遮罩的曝光。使用極紫外光的曝光導致高解析度及大景深。因此，可將待於稍後形成之薄膜電晶體的通道長度 L 設定爲 10nm 至 1000nm(含)。因此，電路的操作速度可增加，另外，截止電流顯著地小，使得可實現低功率消耗。

須注意視情況將材料及蝕刻條件調整成使得當導電膜受蝕刻時，不移除氧化物半導體層 399。

須注意在第三光微影處理中，僅有部分的氧化物半導體層 399 受蝕刻，從而可能形成具有溝槽(凹陷部)的氧化物半導體層。用於形成源極電極層 395a 及汲極電極層 395b 的該光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

爲減少在光微影步驟中之光遮罩及步驟的數量，蝕刻可能使用以多色調遮罩形成的光阻遮罩實施，該多色調遮罩係將光透射過其以具有複數種強度的曝光遮罩。因爲使用多色調遮罩形成的光阻遮罩具有複數個厚度，且另外可藉由實施蝕刻改變形狀，可將該光阻遮罩使用在複數個蝕刻步驟中，以提供不同型樣。因此，對應於至少二種不同型樣的光阻遮罩可藉由使用多色調遮罩形成。因此，曝光

遮罩的數量可減少且對應之光微影步驟的數量也可減少，從而可實現處理的簡化。

採用使用諸如 N_2O、N_2、或 Ar 之氣體的電漿處理，可能將吸收至該氧化物半導體層的曝露部之表面的水移除。或者，電漿處理可能使用氧及氬的混合氣體實施。

在實施電漿處理的情形中，無須將氧化物絕緣層 396 曝露在空氣中而將其形成爲作爲保護絕緣膜使用並與氧化物半導體層之一部分接觸氧化物絕緣層(參見圖 10D)。在此實施例中，將氧化物絕緣層 396 形成爲在氧化物半導體層 399 不與源極電極層 395a 及汲極電極層 395b 重疊之區域中與氧化物半導體層 399 接觸。

在此實施例中，將上達島形氧化物半導體層 399、源極電極層 395a、汲極電極層 395b 之層已形成於其上方的基材 394 加熱至室溫或低於 100℃的溫度，並將已移除氫及濕氣並包含高純度氧之濺鍍氣體導入，並使用矽半導體目標，從而將具有缺陷之氧化矽層形成爲氧化物絕緣層 396。

例如，該氧化矽層係使用濺鍍氣體之純度爲 6N、使用硼摻雜之矽目標(電阻率爲 0.01Ωcm)、基材及目標之間的距離(T-S 距離)爲 89mm、壓力爲 0.4 帕、DC 功率爲 6kW、且大氣係氧大氣(氧流動率爲 100%)的脈衝 DC 濺鍍法形成。氧化矽膜的厚度爲 300nm。須注意當該氧化矽形成時，可將石英(較佳地，合成石英)使用爲目標，以取代矽目標。將氧或氧及氬的混合氣體使用爲濺鍍氣體。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物絕緣層 396 爲佳。此係用於防止氫、羥基、以及濕氣包含在氧化物半導體層 399 及氧化物絕緣層 396 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之氧化物絕緣層 396 中的雜質濃度降低。

須注意可能以氮氧化矽層、氧化鋁層、或氮氧化鋁層等取代氧化矽層而使用爲氧化物絕緣層 396。

另外，當氧化物絕緣層 396 與氧化物半導體層 399 彼此接觸時，熱處理可能以 100℃至 400℃實施。因爲此實施例中的氧化物絕緣層 396 具有許多缺陷，使用此熱處理，可將包含在氧化物半導體層 399 中的雜質，諸如氫、濕氣、羥基、或氫化物，擴散至氧化物絕緣層 396，使得氧化物半導體層 399 中的雜質可更行減少。

經由上述步驟，可形成包括將氫、濕氣、氫化物、或氫氧化合物的濃度降低之氧化物半導體層 392 的薄膜電晶體 390(參見圖 10E)。

如上述地在形成該氧化物半導體膜時將殘餘在反應大氣中的濕氣移除，從而可降低在該氧化物半導體膜中之氫及氫化物的濃度。因此，該氧化物半導體膜可係穩定的。

可能將保護絕緣層設置在該氧化物絕緣層上方。在此

實施例中，將保護絕緣層 398 形成在氧化物絕緣層 396 上方。將氮化矽層、氮化氧化矽、氮化鋁層、或氮化氧化鋁層等使用爲保護絕緣層 398。

將上達氧化物絕緣層 396 之層已形成於其上方的基材 394 加熱至 100℃至 400℃的溫度，將氫及濕氣已自其移除且包含高純度氮的濺鍍氣體導入，並使用矽半導體目標，從而將氮化矽層形成爲保護絕緣層 398。在此情形中，與氧化物絕緣層 396 相似，移除殘餘在處理室中的濕氣以形成保護絕緣層 398 爲佳。

在形成保護絕緣層 398 的情形中，在形成保護絕緣層 398 時將基材 394 加熱至 100℃至 400℃，從而將包含在該氧化物半導體層中的氫及水擴散至該氧化物絕緣層中。在該情形中，無須在氧化物絕緣層 396 形成之後實施熱處理。

在將氧化矽層形成爲氧化物絕緣層 396 並將氮化矽層堆疊於其上方作爲保護絕緣層 398 的情形中，該氧化矽層及該氮化矽層可使用相同的矽目標在相同的處理室中形成。在導入含氧之濺鍍氣體後，首先使用載置在該處理室中的矽目標形成氧化矽層，然後將濺鍍氣體切換爲含氮之濺鍍氣體並使用相同的矽目標形成氮化矽層。因爲該氧化矽層及該氮化矽層可連續地形成而不曝露於空氣中，可防止將雜質，諸如氫及濕氣，吸收在該氧化矽層的表面上。在該情形中，在將氧化矽層形成爲氧化物絕緣層 396 並將氮化矽層堆疊於其上方作爲保護絕緣層 398 之後，實施用

於將包含在該氧化物半導體層的氫或濕氣擴散至該氧化物絕緣層中的熱處理(以 100℃至 400℃)爲佳。

在該保護絕緣層形成之後，可能另外在空氣中以 100℃至 200℃(含)將熱處理實施一小時至 30 小時(含)。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣層形成之前在降壓下實施。在降壓下，加熱時間可縮短。使用此熱處理，該薄膜電晶體可正常地關閉。因此，可改善該薄膜電晶體的可靠性。

在將包括通道形成區域之氧化物半導體層形成在閘極絕緣層上方時，將殘餘在反應大氣中的濕氣移除，從而可降低該氧化物半導體層中之氫及氫化物的濃度。

上述步驟可用於液晶顯示面板、電致發光顯示面板、或使用電子墨水的顯示裝置之背板(薄膜電晶體形成於其上方的基材)的製造。因爲上述步驟可在 400℃或以下的溫度實施，也可將彼等施用至具有 1mm 或更小之厚度及長於 1m 的側邊之玻璃基材的製造步驟。此外，所有上述步驟可在 400℃或以下的處理溫度實施，顯示面板可無須消耗過多能量而製造。

此實施例可用與任何其他實施例適當地組合的方式實施。

因此，包括該氧化物半導體層的薄膜電晶體置可具有穩定的電氣特徵及高可靠性。

(實施例 6)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

參考圖 11A 至 11E 描述薄膜電晶體的一實施例及此實施例之該薄膜電晶體的製造方法。

圖 11A 及 11E 描繪薄膜電晶體之橫剖面結構的範例。描繪於圖 11A 至 11E 中的薄膜電晶體 310 係底閘極薄膜電晶體之一並也稱爲反堆疊式薄膜電晶體。

雖然提供將單閘極薄膜電晶體使用爲薄膜電晶體 310 的描述，可能依需要形成包括複數個通道形成區域的多閘極薄膜電晶體。

參考圖 11A 至 11E 於下文描述在基材 300 上方製造薄膜電晶體 310 的處理。

首先，在將導電膜形成在具有絕緣表面的基材 300 上方之後，在第一光微影處理中形成閘極電極層 311。須注意光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

只要基材至少具有足以承受稍後實施之熱處理的耐熱性，可使用爲具有絕緣表面之基材 300 的基材並無特別限制。可使用以鋇硼矽酸玻璃基材、或鋁硼矽酸玻璃基材等形成的玻璃基材。

當稍後實施之熱處理的溫度甚高時，將具有 730℃ 或

更高之應變點的基材使用爲該玻璃基材較佳。例如，可將玻璃材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃，使用爲該玻璃基材的材料。須注意藉由包含比氧化硼(B_2O_3)更大量的氧化鋇(BaO)，玻璃基材係耐熱的並有更實際的用途。因此，使用包含比 B_2O_3 更大量之 BaO 的玻璃基材爲佳。

須注意，可能將使用絕緣體，諸如陶瓷基材、石英基材、或藍寶石基材，形成的基材使用爲基材 300，以取代上述之玻璃基材。或者，可能使用晶體化玻璃基材等。

可能將作爲基膜使用的絕緣膜設置在基材 300 及閘極電極層 311 之間。該基膜具有防止雜質元素擴散至基材 300 的功能，並可使用任何氮化矽膜、氧化矽膜、氮化氧化矽膜、及氮氧化矽膜形成爲單層結構或疊層結構。

另外，可使用任何金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、以及銃，以及將任何此等材料包含爲主成份之合金材料將閘極電極層 311 形成爲單層結構或疊層結構。

作爲閘極電極層 311 的二層結構，例如，將鉬層堆疊在鋁層上方的二層結構、將鉬層堆疊在銅層上方的二層結構、將氮化鈦層或氮化鉭堆疊在銅層上方的二層結構、堆疊氮化鈦層及鉬層的二層結構、或堆疊氮化鎢層及鎢層的二層結構較佳。作爲三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦之合金層、以及氮化鈦層或鈦層的堆疊較佳。

然後，將閘極絕緣層 302 形成在閘極電極層 311 上方。

可使用氧化矽層、氮化矽層、氮氧化矽層、氮化氧化矽層、及氧化鋁層之任一者以電漿 CVD 法、或濺鍍法等將閘極絕緣層 302 形成爲單層結構或疊層結構。例如，氮氧化矽層可能使用將 SiH_4、氧、及氮使用爲沈積氣體的電漿 CVD 法形成。例如，閘極絕緣層 302 的厚度爲 100nm 至 500nm(含)，且在閘極絕緣層 302 具有疊層結構的情形中，例如，將具有 5nm 至 300nm(含)之厚度的第二閘極絕緣層堆疊在具有 50nm 至 200nm(含)之厚度的第一閘極絕緣層上方。

在此實施例中，使用電漿 CVD 法將具有小於或等於 100nm 之厚度的氮氧化矽層形成爲閘極絕緣層 302。

然後，在閘極絕緣層 302 上方，將氧化物半導體膜 330 形成至 2nm 至 200nm(含)的厚度。

須注意在使用濺鍍法形成氧化物半導體膜 330 之前，使用導入氬氣體並產生電漿的反濺鍍將附於閘極絕緣層 302 之表面上的灰塵移除爲佳。須注意，可能使用氮大氣、氦大氣、或氧大氣等取代氬大氣。

氧化物半導體膜 330 係使用 In-Ga-Zn-O-基氧化物半導體膜、In-Sn-Zn-O-基氧化物半導體膜、In-Al-Zn-O-基氧化物半導體膜、Sn-Ga-Zn-O-基氧化物半導體膜、Al-Ga-Zn-O-基氧化物半導體膜、Sn-Al-Zn-O-基氧化物半導體膜、In-Zn-O-基氧化物半導體膜、Sn-Zn-O-基氧化物

半導體膜、Al-Zn-O-基氧化物半導體膜、In-O-基氧化物半導體膜、Sn-O-基氧化物半導體膜、或 Zn-O-基氧化物半導體膜形成。在此實施例中，氧化物半導體膜 330 係使用 In-Ga-Zn-O-基氧化物半導體目標以濺鍍法形成。圖 11A 對應於此階段的橫剖面圖。另外，氧化物半導體膜 330 可在稀有氣體(典型係氬)大氣、氧大氣、或包含稀有氣體(典型爲氬)及氧之混合大氣中使用濺鍍法形成。在使用濺鍍法的情形中，可能將包含 2 重量百分比至 10 重量百分比(含)之 SiO_2 的目標用於膜形成。

將氧化鋅包含爲其主成份之金屬氧化物目標可使用爲以濺鍍法形成氧化物半導體膜 330 的目標。可將包含 In、Ga、以及 Zn(以 $In_2O_3:Ga_2O_3:ZnO=1:1:1$[莫耳百分比]，In:Ga:Zn=1:1:0.5[原子數百分比]的組成比率)之氧化物半導體膜形成目標使用爲金屬氧化物目標的另一範例。或者，可能使用包含 In、Ga、以及 Zn(In:Ga:Zn 的組成比率=1:1:1 或 1:1:2[原子數百分比])的氧化物半導體膜形成目標。該氧化物半導體膜形成目標的填充率爲 90%至 100%(含)，95%至 99.9%(含)爲佳。使用具有高填充率的氧化物半導體膜形成目標，形成緻密氧化物半導體膜。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物半導體膜 330 時所使用的濺鍍氣體爲佳。

將該基材保持在維持降壓的處理室中，並將該基材溫度設定至 100℃至 600℃，200℃至 400℃爲佳。膜形成係

在加熱該基材的同時實施，從而可將包含在該已形成氧化物半導體膜中的雜質濃度降低。因此，可減少由於濺鍍導致的損傷。然後，將氫及濕氣已自其移除的濺鍍氣體導入殘餘濕氣已自其移除的處理室中，並將金屬氧化物使用爲目標，將氧化物半導體膜 330 形成在基材 300 上方。爲移除殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除(也將含碳原子之化合物移除更佳)，從而可將形成於該沈積室中之該氧化物半導體膜中的雜質濃度降低。

沈積條件的範例如下：基材及目標之間的距離爲 100mm、壓力爲 0.6 帕、DC 功率爲 0.5kW、且大氣係氧大氣(氧流動率爲 100%)。因爲可減少在膜形成時產生的粉末物質且可使膜厚度均勻，使用脈衝 DC 電源爲佳。該氧化物半導體膜具有 5nm 至 30nm(含)的厚度爲佳。須注意適當厚度係取決於所使用的氧化物半導體材料，且該厚度可能依據材料選擇。

然後，在第二光微影處理中，將氧化物半導體膜 330 處理成島形氧化物半導體層。用於形成該島形氧化物半導體層的光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

其次，該氧化物半導體層受第一熱處理。使用該第一

熱處理，可實行該氧化物半導體層的脫氫或脫水。第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 400℃且低於該基材的應變點爲佳。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中以 450℃在該氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中；因此，得到氧化物半導體層 331(參見圖 11B)。

用於熱處理的設備並未受限於電爐，且可能係設有使用來自加熱元件，諸如電阻加熱元件，之熱傳導或熱幅射加熱待處理物件之裝置的設備。例如，可使用 RTA(快速熱退火)設備，諸如 GRTA(氣體快速熱退火)設備或 LRTA(射線照射快速熱退火)設備。LRTA 設備藉由發射自燈，諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈，之光幅射(電磁波)加熱待處理物件的設備。GRTA 設備係使用高溫氣體之用於熱處理的設備。將不因熱處理而與待處理物件反應之惰性氣體，諸如氮，或稀有氣體，諸如氬，使用爲該氣體。

例如，可能將作爲該第一熱處理之 GRTA 實施如下。將該基材轉移並置入已加熱至 650℃至 700℃之高溫的惰性氣體中，加熱數分鐘，並將已加熱至高溫的惰性氣體轉移及取出。GRTA 致能在短時間中的高溫熱處理。

須注意在該第一熱處理中，不將水、及氫等包括在氮或稀有氣體，諸如氦、氖、或氬，中爲佳。或者，導入用

於該熱處理之設備中的氮或稀有氣體，諸如氦、氖、或氬，具有 6N(99.9999%)或以上的純度爲佳，7N(99.99999%)或以上的純度較佳(亦即，將雜質濃度設定爲 1ppm 或以下，設定爲 0.1ppm 或以下較佳)。

另外，取決第一熱處理的條件或該氧化物半導體層之材料，可能將該氧化物半導體層晶體化爲微晶膜或多晶膜。例如，可能將該氧化物半導體層晶體化成變爲具有 90%或以上，或 80%或以上之結晶度的微晶氧化物半導體膜。另外，取決於第一熱處理的條件及該氧化物半導體層的材料，該氧化物半導體層可能變成不含晶體成份之非晶氧化物半導體膜。該氧化物半導體層可能變成將微晶部分(具有大於或等於 1nm 且少於或等於 20nm 的粒徑，典型地，大於或等於 2nm 且少於或等於 4nm)混合入非晶氧化物半導體中的氧化物半導體膜。

或者，該氧化物半導體層的第一熱處理可能在尚未處理爲島形氧化物半導體層的氧化物半導體膜 330 上實施。在該情形中，在第一熱處理之後，將該基材自加熱設備取出並實施光微影處理。

具有在該氧化物半導體層上脫氫或脫水之效果的熱處理可能在下列任何時機實施：在該氧化物半導體層形成之後；在源極電極層及汲極電極層形成在該氧化物半導體層上方之後；以及在保護絕緣層形成在該源極電極層及汲極電極層上方之後。

在將接點孔形成在閘極絕緣層 302 中的情形中，該步

驟可能在氧化物半導體膜 330 的脫氫或脫水之前或之後實施。

須注意該氧化物半導體膜的蝕刻並未受限於濕蝕刻，且可能係乾蝕刻。

該等蝕刻條件(諸如，蝕刻劑、蝕刻時間、及溫度)取決於該材料而適當地調整，使得可將該氧化物半導體層蝕刻成具有期望形狀。

其次，將導電膜形成在閘極絕緣層 302 及氧化物半導體層 331 上方。該導電膜可能使用濺鍍法或真空蒸鍍法形成。作爲該導電膜之材料的有選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素；包括任何上述元素的合金；以及包含任何此等元素之組合的合金膜等。另外，可能使用選自錳、鎂、鋯、鈹、及釷之一或多種材料。該導電膜可能具有單層結構或二或多層的疊層結構。例如，可提供包括矽之鋁膜的單層結構、將鈦膜堆疊在鋁膜上方的二層結構、及將 Ti 膜、鋁膜、以及 Ti 膜以出現次序堆疊的三層結構等。或者，可能使用 Al 與選自下列之一或複數種元素之組合的膜、合金膜、或氮化物膜：鈦(Ti)、鉭(Ta)、鎢(W)、鉬(Mo)、鉻(Cr)、釹(Nd)、以及鈧(Sc)。

若熱處理係在導電膜形成之後實施，該導電膜具有足以承受該熱處理的耐熱性爲佳。

實施第三光微影處理。將光阻遮罩形成在該導電膜上方並實施選擇性的蝕刻，使得源極電極層 315a 及汲極電極層 315b 形成。然後，移除該光阻遮罩(參見圖 11C)。

將紫外光、KrF 雷射光束、或 ArF 雷射光束使用爲用於在該第三光微影處理中形成光阻遮罩的曝光。待於稍後形成之該薄膜電晶體的通道長度 L 係取決於在氧化物半導體層 331 上方彼此相鄰之該源極電極層的底部及汲極電極層之底部間的區間寬度。須注意當曝光在該通道長度 L 短於 25nm 之情形中實施時，將具有數奈米至數十奈米之極短波長的極紫外光使用爲用於在該第三光微影處理中形成光阻遮罩的曝光。使用極紫外光的曝光導致高解析度及大景深。因此，可將待於稍後形成之薄膜電晶體的通道長度 L 設定爲 10nm 至 1000nm(含)。因此，電路的操作速度可增加，另外，截止電流顯著地小，使得可實現低功率消耗。

須注意視情況將材料及蝕刻條件調整成使得當導電膜受蝕刻時，不移除氧化物半導體層 331。

須注意在第三光微影處理中，僅有部分的氧化物半導體層 331 受蝕刻，從而可能形成具有溝槽(凹陷部)的氧化物半導體層。用於形成源極電極層 315a 及汲極電極層 315b 的該光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

另外，可能將氧化物導電層形成在該氧化物半導體層及該等源極及汲極電極層之間。該氧化物導電層及用於形成該等源極及汲極電極層的金屬層可連續地形成。該氧化物導電層的功能可如同源極區域及汲極區域。

當將該氧化物導電層設置爲在氧化物半導體層及該等源極及汲極電極層之間的源極區域及汲極區域時，該源極區域及該汲極區域可具有低電阻且該電晶體可以高速操作。

爲減少在光微影步驟中之光遮罩及步驟的數量，蝕刻可能使用以多色調遮罩形成的光阻遮罩實施，該多色調遮罩係將光透射過其以具有複數種強度的曝光遮罩。因爲使用多色調遮罩形成的光阻遮罩具有複數個厚度，且另外可藉由實施蝕刻改變形狀，可將該光阻遮罩使用在複數個蝕刻步驟中，以提供不同型樣。因此，對應於至少二種不同型樣的光阻遮罩可藉由使用多色調遮罩形成。因此，曝光遮罩的數量可減少且對應之光微影步驟的數量也可減少，從而可實現處理的簡化。

其次，實施使用諸如 N_2O、N_2、或 Ar 之氣體的電漿處理。使用此電漿處理，將吸收在氧化物半導體層的曝露部之表面的水移除。或者，電漿處理可能使用氧及氬的混合氣體實施。

在該電漿處理實施之後，作爲保護絕緣膜使用並與氧化物半導體層之一部分接觸的氧化物絕緣層 316 可無須曝露於空氣中而形成。

可視情況使用濺鍍法等將氧化物絕緣層 316 形成至長於等於 1nm 的厚度，其係使雜質，諸如水或氫，不進入氧化物絕緣層 316 的方法。當氫包含在氧化物絕緣層 316 中時，導致氫進入該氧化物半導體層或該氧化物半導體層

中的氧爲該氫所擷取，因此該氧化物半導體層的背通道變爲 n-型(以具有低電阻)，且因此可能形成寄生通道。因此，重點係使用不用氫的形成方法，使得將氧化物絕緣層 316 形成爲包含儘可能少的氫。

在此實施例中，使用濺鍍法將作爲氧化物絕緣層 316 的氧化矽膜形成至 200nm 的厚度。在膜形成時的基材溫度可能高於或等於室溫並低於或等於 300℃，且在此實施例中爲 100℃。該氧化矽膜可使用濺鍍法在稀有氣體(典型係氬)大氣、氧大氣、或稀有氣體(典型爲氬)及氧之混合大氣中形成。另外，可將氧化矽目標或矽目標使用爲目標。例如，該氧化矽膜可在包含氧及氮之大氣中，以濺鍍法使用矽目標形成。使用不含雜質，諸如濕氣、氫離子、及 OH^-，且阻擋此種雜質從外側進入的無機絕緣膜，典型爲氧化矽膜、氮氧化矽膜、氧化鋁膜、或氮氧化鋁膜，形成在缺氧狀態的區域中與氧化物半導體層接觸且因此係 n-型，亦即，具有較低電阻，之氧化物絕緣層 316。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物絕緣層 316 爲佳。此係用於防止氫、羥基、以及濕氣包含在氧化物半導體層 331 及氧化物絕緣層 316 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之氧

化物絕緣層 316 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物絕緣層 316 時所使用的濺鍍氣體爲佳。

其次，在惰性氣體大氣或氧氣體大氣中實施第二熱處理(200℃至 400℃(含)爲佳，例如，從 250℃至 350℃(含))。例如，該第二熱處理在氮大氣中以 250℃實施一小時。使用該第二熱處理，熱在一部分的氧化物半導體層(通道形成區域)與氧化物絕緣層 316 接觸的同時施加。

經由上述步驟，當用於脫氫或脫水的熱處理在已形成之氧化物半導體層上實施時，該氧化物半導體層變成缺氧狀態且因此具有較低電阻，亦即，變爲 n-型。然後，將氧化物絕緣層形成爲與該氧化物半導體層接觸。因此，該氧化物半導體層的一部分選擇性地在過氧狀態中。結果，與閘極電極層 311 重疊之通道形成區域 313 變爲 i-型。此時，以自對準方式形成具有至少比通道形成區域 313 更高的載體濃度並與源極電極層 315a 重疊之高電阻源極區域 314a 以及具有至少比通道形成區域 313 更高的載體濃度並與汲極電極層 315b 重疊之高電阻汲極區域 314b。經由上述步驟，形成薄膜電晶體 310(參見圖 11D)。

另外，熱處理可能在空氣中以 100℃至 200℃(含)實施一小時至 30 小時。在此實施例中，熱處理係以 150℃實施十小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫

度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣層形成之前在降壓下實施。在降壓下，加熱時間可縮短。使用此熱處理，將氫自氧化物半導體層導至氧化物絕緣層；因此，該薄膜電晶體可正常地關閉。因此，可改善該薄膜電晶體的可靠性。當將具有許多缺陷的氧化矽層使用爲該氧化物絕緣層時，使用此熱處理，可將包含在該氧化物半導體層中的雜質，諸如氫、濕氣、羥基、或氫化物，擴散至氧化物絕緣層，使得該氧化物半導體層中的雜質可更行減少。

須注意藉由將高電阻汲極區域 314b(及高電阻源極區域 314a)形成在與汲極電極層 315b(及以源極電極層 315a)重疊之氧化物半導體層中，可改善該薄膜電晶體的可靠性。具體地說，藉由形成高電阻汲極區域 314b，可得到汲極電極層 315b、高電阻汲極區域 314b、以及通道形成區域 313 之導電性改變的結構。因此，在該薄膜電晶體使用連接至用於供應高電源供應電位 VDD 之佈線的汲極電極層 315b 操作之情形中，該高電阻汲極區域作爲緩衝器使用，且即使將電壓施加在閘極電極層 311 及汲極電極層 315b 之間，電場不會施加於局部；因此，可增加該薄膜電晶體的承受電壓。

另外，該氧化物半導體層之厚度爲 15nm 或更小的情形中，該氧化物半導體層中的高電阻源極區域或高電阻汲極區域係在整體厚度的方向上形成。在氧化物半導體層的厚度爲 30nm 或更大且 50nm 或更小的情形中，當可使氧

化物半導體層之接近閘絕緣膜的區域變爲 i-型時，一部分的該氧化物半導體層，亦即，在氧化物半導體層之與源極電極層或汲極電極層接觸的區域中，及其附近的電阻減少並形成高電阻源極區域及高電阻汲極區域。

可能將保護絕緣層另外形成在氧化物絕緣層 316 上方。例如，使用 RF 濺鍍法形成氮化矽膜。因爲高生產性，將 RF 濺鍍法作爲該保護絕緣層的形成方法爲佳。該保護絕緣層使用不含雜質，諸如濕氣、氫離子、以及 OH^-，並阻擋彼等從外側進入的無機絕緣膜形成：例如，使用氮化矽膜、氮化鋁膜、氮化氧化矽膜、或氮化氧化鋁膜等。在此實施例中，使用氮化矽膜將保護絕緣層 303 形成爲該保護絕緣層(參見圖 11E)。

將上達氧化物絕緣層 316 之層已形成於其上方的基材 300 加熱至 100℃至 400℃的溫度，將氫及濕氣已自其移除且包含高純度氮的濺鍍氣體導入，並使用矽目標，從而將氮化矽層形成爲保護絕緣層 303。在此情形中，與氧化物絕緣層 316 相似，移除殘餘在處理室中的濕氣以形成保護絕緣層 303 爲佳。

須注意可能將用於平坦化的平坦化絕緣層設置在保護絕緣層 303 上方。

另外，在保護絕緣層 303 上方(在設置平坦化絕緣層的情形中，在該平坦化絕緣層上方)，可能將導電層形成爲與氧化物半導體層重疊。該導電層的電位可能與薄膜電晶體 310 之閘極電極層 311 的電位相同或不同。該導電層

的功能可如同第二閘極電極層。導電層的電位可能係固定電位，諸如 GND 或 0V。

薄膜電晶體 310 的電性特徵可由該導電層控制。

此實施例可用與任何其他實施例適當地組合的方式實施。

因此，包括該氧化物半導體層的薄膜電晶體置可具有穩定的電氣特徵及高可靠性。

(實施例 7)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

參考圖 12A 至 12D 描述薄膜電晶體的一實施例及此實施例之該薄膜電晶體的製造方法。

圖 12A 及 12D 描繪薄膜電晶體之橫剖面結構的範例。描繪於圖 12A 至 12D 中的薄膜電晶體 360 係底閘極薄膜電晶體之一，其稱爲通道保護薄膜電晶體(也稱爲通道阻絕薄膜電晶體)，並也稱爲反堆疊式薄膜電晶體。

雖然提供將單閘極薄膜電晶體使用爲薄膜電晶體 360 的描述，可能依需要形成包括複數個通道形成區域的多閘極薄膜電晶體。

參考圖 12A 至 12D 於下文描述在基材 320 上方製造薄膜電晶體 360 的處理。

首先，在將導電膜形成在具有絕緣表面的基材 320 上

方之後，在第一光微影處理中形成閘極電極層 361。須注意光阻遮罩可能使用噴墨法形成。當該光阻遮罩使用噴墨法形成時，不使用光罩；因此，可降低製造成本。

另外，可使用任何金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、以及釷，以及將任何此等材料包含爲主成份之合金材料將閘極電極層 361 形成爲單層結構或疊層結構。

然後，將閘極絕緣層 322 形成在閘極電極層 361 上方。

在此實施例中，使用電漿 CVD 法將具有小於或等於 100nm 之厚度的氮氧化矽層形成爲閘極絕緣層 322。

然後，在閘極絕緣層 322 上方，將氧化物半導體膜形成至 2nm 至 200nm(含)的厚度，並在第二光微影處理中，將其處理爲島形氧化物半導體層。在此實施例中，該氧化物半導體膜係使用 In-Ga-Zn-O-基氧化物半導體膜形成目標以濺鍍法形成。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物半導體膜較佳。此係用於防止氫、羥基、及濕氣包含在該氧化物半導體膜中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將於該沈積室中形成之該氧

化物半導體膜中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物半導體膜時所使用的濺鍍氣體爲佳。

其次，該氧化物半導體層受脫氫或脫水。用於脫氫或脫水之第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 400℃且低於該基材的應變點爲佳。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中以 450℃在該氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中；因此，得到氧化物半導體層 332(參見圖 12A)。

其次，實施使用諸如 N_2O、N_2、或 Ar 之氣體的電漿處理。使用此電漿處理，將吸收在氧化物半導體層的曝露部之表面的水移除。或者，電漿處理可能使用氧及氬的混合氣體實施。

其次，將氧化物絕緣層形成在閘極絕緣層 322 及氧化物半導體層 332 的上方並實施第三光微影處理。形成光阻遮罩並實施選擇性的蝕刻，使得氧化物絕緣層 366 形成。然後，移除該光阻遮罩。

在此實施例中，使用濺鍍法將作爲氧化物絕緣層 366 的氧化矽膜形成至 200nm 的厚度。在膜形成時的基材溫度可能高於或等於室溫並低於或等於 300℃，且在此實施例中爲 100℃。該氧化矽膜可使用濺鍍法在稀有氣體(典型

係氬)大氣、氧大氣、或稀有氣體(典型爲氬)及氧之混合大氣中形成。另外，可將氧化矽目標或矽目標使用爲目標。例如，該氧化矽膜可在包含氧及氮之大氣中，以濺鍍法使用矽目標形成。使用不含雜質，諸如濕氣、氫離子、及OH^-，且阻擋此種雜質從外側進入的無機絕緣膜，典型爲氧化矽膜、氮氧化矽膜、氧化鋁膜、或氮氧化鋁膜，形成在缺氧狀態的區域中與氧化物半導體層接觸且因此具有較低電阻之氧化物絕緣層 366。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物絕緣層 366 爲佳。此係用於防止氫、羥基、以及濕氣包含在氧化物半導體層 332 及氧化物絕緣層 366 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之氧化物絕緣層 366 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物絕緣層 366 時所使用的濺鍍氣體爲佳。

其次，可能在惰性氣體大氣或氧氣體大氣中實施第二熱處理(200℃至 400℃(含)爲佳，例如，從 250℃至 350℃(含))。例如，該第二熱處理在氮大氣中以 250℃實施一小時。使用該第二熱處理，熱在一部分的氧化物半導體層

(通道形成區域)與氧化物絕緣層 366 接觸的同時施加。

在此實施例中，在惰性氣體大氣中，諸如氮，或在降壓下，在氧化物絕緣層 366 設置於其上方的氧化物半導體層 332 上另外實施熱處理，且因此使氧化物半導體層 332 的一部分曝露。藉由在惰性氣體大氣中，諸如氮，或在降壓下實施熱處理，可增加氧化物半導體層 332 之未以氧化物絕緣層 366 覆蓋且因此曝露之區域的電阻。例如，該熱處理在氮大氣中以 250℃實施一小時。

在氮大氣中使用針對設有氧化物絕緣層 366 之氧化物半導體層 332 的熱處理，氧化物半導體層 332 之曝露區域的電阻增加。因此，形成包括具有不同電阻之區域(在圖 12B 中，以陰影區域及白色區域指示)的氧化物半導體層 362。

其次，在將導電膜形成於閘極絕緣層 322、氧化物半導體層 362、以及氧化物絕緣層 366 上方之後，實施第四光微影處理。形成光阻遮罩並實施選擇性蝕刻，使得源極電極層 365a 及汲極電極層 365b 形成。然後，移除該光阻遮罩(參見圖 12C)。

作爲源極電極層 365a 及汲極電極層 365b 之材料的有選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素；包括任何上述元素的合金；以及包含任何此等元素之組合的合金膜等。該金屬導電膜可能具有單層結構或二或多層的疊層結構。

經由上述步驟，當用於脫氫或脫水的熱處理在已形成

之氧化物半導體層上實施時，該氧化物半導體層變成缺氧狀態，亦即，變爲 n-型。然後，將氧化物絕緣層形成爲與該氧化物半導體層接觸。因此，該氧化物半導體層的一部分選擇性地在過氧狀態中。結果，與閘極電極層 361 重疊之通道形成區域 363 變爲 i-型。此時，以自對準方式形成具有至少比通道形成區域 363 更高的載體濃度並與源極電極層 365a 重疊之高電阻源極區域 364a 以及具有至少比通道形成區域 363 更高的載體濃度並與汲極電極層 365b 重疊之高電阻汲極區域 364b。經由上述步驟，形成薄膜電晶體 360。

另外，熱處理可能在空氣中以 100℃至 200℃(含)實施一小時至 30 小時。在此實施例中，熱處理係以 150℃實施十小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。另外，此熱處理可能在該氧化物絕緣層形成之前在降壓下實施。在降壓下，加熱時間可縮短。使用此熱處理，將氫自氧化物半導體層導至氧化物絕緣層；因此，該薄膜電晶體可正常地關閉。因此，可改善該薄膜電晶體的可靠性。

須注意藉由將高電阻汲極區域 364b(及高電阻源極區域 364a)形成在與汲極電極層 365b(及以源極電極層 365a)重疊之氧化物半導體層中，可改善該薄膜電晶體的可靠性。具體地說，藉由形成高電阻汲極區域 364b，可得到汲極電極層 365b、高電阻汲極區域 364b、以及通道形成

區域 363 之導電性改變的結構。因此，在該薄膜電晶體使用連接至用於供應高電源供應電位 VDD 之佈線的汲極電極層 365b 操作之情形中，該高電阻汲極區域作爲緩衝器使用，且即使將電壓施加在閘極電極層 361 及汲極電極層 365b 之間，電場不會施加於局部；因此，可增加該薄膜電晶體的承受電壓。

將保護絕緣層 323 形成在源極電極層 365a、汲極電極層 365b、以及氧化物絕緣層 366 上方。在此實施例中，使用氮化矽膜形成保護絕緣層 323(參見圖 12D)。

須注意可能另外將氧化物絕緣層形成在源極電極層 365a、汲極電極層 365b、以及氧化物絕緣層 366 上方，並可能將保護絕緣層 323 堆疊在該氧化物絕緣層上方。

因此，包括該氧化物半導體層的薄膜電晶體置可具有穩定的電氣特徵及高可靠性。

須注意此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 8)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

參考圖 13A 至 13D 描述薄膜電晶體的一實施例及此實施例之該薄膜電晶體的製造方法。

雖然提供將單閘極薄膜電晶體使用爲薄膜電晶體 350

的描述，可能依需要形成包括複數個通道形成區域的多閘極薄膜電晶體。

參考圖 13A 至 13D 於下文描述在基材 340 上方製造薄膜電晶體 350 的處理。

首先，在將導電膜形成在具有絕緣表面的基材 340 上方之後，在第一光微影處理中形成閘極電極層 351。在此實施例中，將作爲閘極電極層 351 之鎢膜形成至 150nm 的厚度。

然後，將閘極絕緣層 342 形成在閘極電極層 351 上方。在此實施例中，使用電漿 CVD 法將作爲閘極絕緣層 342 之氮氧化矽層形成至小於或等於 100nm 的厚度。

其次，在導電膜形成於閘極絕緣層 342 上方之後，並實施第二光微影處理。形成光阻遮罩並實施選擇性蝕刻，使得源極電極層 355a 及汲極電極層 355b 形成。然後，移除該光阻遮罩(參見圖 13A)。

然後，形成氧化物半導體膜 345(參圖 13B)。在此實施例中，氧化物半導體膜 345 係使用 In-Ga-Zn-O-基氧化物半導體膜形成目標以濺鍍法形成。在第三光微影處理中，將氧化物半導體膜 345 處理爲島形氧化物半導體層。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物半導體膜 345 較佳。此係用於防止氫、羥基、及濕氣包含在該氧化物半導體膜 345 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另

外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將於該沈積室中形成之氧化物半導體膜 345 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物半導體膜 345 時所使用的濺鍍氣體爲佳。

其次，該氧化物半導體層受脫氫或脫水。用於脫氫或脫水之第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 400℃且低於該基材的應變點爲佳。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中以 450℃在該氧化物半導體層上實施一小時，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中；因此，得到氧化物半導體層 346(參見圖 13C)。

可能將作爲該第一熱處理之 GRTA 實施如下。將該基材轉移並置入已加熱至 650℃至 700℃之高溫的惰性氣體中，加熱數分鐘，並將已加熱至高溫的惰性氣體轉移及取出。GRTA 致能在短時間中的高溫熱處理。

形成作爲保護絕緣膜使用並與氧化物半導體層 346 接觸的氧化物絕緣層 356。

可視情況使用濺鍍法等將氧化物絕緣層 356 形成至長於等於 1nm 的厚度，其係使雜質，諸如水或氫，不進入氧化物絕緣層 356 的方法。當氫包含在氧化物絕緣層 356

中時，導致氫進入該氧化物半導體層或該氧化物半導體層中的氧爲該氫所擷取，因此該氧化物半導體層的背通道變成具有低電阻(變爲 n-型)，且因此可能形成寄生通道。因此，重點係使用不用氫的形成方法，使得將氧化物絕緣層 356 形成爲包含儘可能少的氫。

在此實施例中，使用濺鍍法將作爲氧化物絕緣層 356 的氧化矽膜形成至 200nm 的厚度。在膜形成時的基材溫度可能高於或等於室溫並低於或等於 300℃，且在此實施例中爲 100℃。該氧化矽膜可使用濺鍍法在稀有氣體(典型係氬)大氣、氧大氣、或稀有氣體(典型爲氬)及氧之混合大氣中形成。另外，可將氧化矽目標或矽目標使用爲目標。例如，該氧化矽膜可在包含氧及氮之大氣中，以濺鍍法使用矽目標形成。使用不含雜質，諸如濕氣、氫離子、及 OH^-，且阻擋此種雜質從外側進入的無機絕緣膜，典型爲氧化矽膜、氮氧化矽膜、氧化鋁膜、或氮氧化鋁膜，形成在缺氧狀態的區域中與氧化物半導體層接觸且因此具有較低電阻之氧化物絕緣層 356。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物絕緣層 356 爲佳。此係用於防止氫、羥基、以及濕氣包含在氧化物半導體層 346 及氧化物絕緣層 356 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，

諸如水(H_2O)，移除，從而可將在形成於該沈積室中之氧化物絕緣層 356 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物絕緣層 356 時所使用的濺鍍氣體爲佳。

其次，在惰性氣體大氣或氧氣體大氣中實施第二熱處理(200℃至 400℃(含)爲佳，例如，從 250℃至 350℃(含))。例如，該第二熱處理在氮大氣中以 250℃實施一小時。使用該第二熱處理，熱在一部分的氧化物半導體層(通道形成區域)與氧化物絕緣層 356 接觸的同時施加。

經由上述步驟，經由脫氫或脫水使在缺氧狀態中且因此具有較低電阻之氧化物半導體層進入過氧狀態。結果，形成具有高電阻之 i-型氧化物半導體層 352。經由上述步驟，形成薄膜電晶體 350。

另外，熱處理可能在空氣中以 100℃至 200℃(含)實施一小時至 30 小時。在此實施例中，熱處理係以 150℃實施十小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃至 200℃(含)，然後降低至室溫。在降壓下，加熱時間可縮短。使用此熱處理，將氫自氧化物半導體層導至氧化物絕緣層；因此，該薄膜電晶體可正常地關閉。因此，可改善該薄膜電晶體的可靠性。

可能將保護絕緣層另外形成在氧化物絕緣層 356 上方。例如，使用 RF 濺鍍法形成氮化矽膜。在此實施例

中，使用氮化矽膜將保護絕緣層 343 形成爲該保護絕緣層(參見圖 13D)。

須注意可能將用於平坦化的平坦化絕緣層設置在保護絕緣層 343 上方。

此實施例可用與任何其他實施例適當地組合的方式實施。

因此，包括該氧化物半導體層的薄膜電晶體置可具有穩定的電氣特徵及高可靠性。

(實施例 9)

在此實施例中，將可施用至包括在該邏輯電路及該半導體裝置中的薄膜電晶體之薄膜電晶體的範例揭示在此說明書中。

在此實施例中，將參考圖 14 描述在薄膜電晶體之製程上與實施例 6 有部分不同的範例。因爲除了該等步驟的部分外，圖 14 與圖 11A 至 11E 相同，將共同參考數字用於相同部分，並省略該等相同部分的詳細描述。

首先，將閘極電極層 381 形成在基材 370 上方，並將第一閘極絕緣層 372a 及第二閘極絕緣層 372b 堆疊於其上方。在此實施例中，閘極絕緣層具有將氮化物絕緣層及氧化物絕緣層分別使用爲第一閘極絕緣層 372a 及第二閘極絕緣層 372b 的二層結構。

可能將氧化矽層、氮氧化矽層、氧化鋁層、或氮氧化鋁層等使用爲氧化物絕緣層。可能將氮化矽層、氮化氧化

矽、氮化鋁層、或氮化氧化鋁層等使用爲氮化物絕緣層。

在此實施例中，閘極絕緣層可能具有氮化矽層及氧化矽層從閘極電極層 381 側堆疊的結構。使用濺鍍法將具有 50nm 至 200nm(含)之厚度(在此實施例中爲 50nm)的氮化矽層($SiN_y(y>0)$)形成爲第一閘極絕緣層 372a，並將具有 5nm 至 300nm(含)之厚度(在此實施例中爲 100nm)的氧化矽層($SiO_x(x>0)$)堆疊爲在第一閘極絕緣層 372a 上方的第二閘極絕緣層 372b；因此，形成具有 150nm 之厚度的閘極絕緣層。

其次，形成氧化物半導體膜，然後在光微影處理中處理爲島形氧化物半導體層。在此實施例中，該氧化物半導體膜係使用 In-Ga-Zn-O-基氧化物半導體膜形成目標以濺鍍法形成。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物半導體膜較佳。此係用於防止氫、羥基、及濕氣包含在該氧化物半導體膜中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將於該沈積室中形成之該氧化物半導體膜中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧

化物半導體膜時所使用的濺鍍氣體爲佳。

其次，該氧化物半導體層受脫氫或脫水。用於脫氫或脫水之第一熱處理的溫度高於或等於 400℃且低於或等於 750℃，高於或等於 425℃爲佳。須注意在溫度爲 425℃或以上的情形中，該熱處理時間可能係一小時或以下，然而在溫度少於 425℃的情形中，該熱處理時間長於一小時。此處，將該基材導入係熱處理設備之一的電爐中，該熱處理在氮大氣中在該氧化物半導體層上實施，然後，不將該氧化物半導體層曝露在空氣中，使得防止水及氫進入該氧化物半導體層中。因此，得到該氧化物半導體層。之後，將高純度氧氣體、高純度 N_2O 氣體、或極乾燥氣體(具有 -40℃或以下之露點，-60℃或以下爲佳)導入相同爐中並實施冷卻。不將水、及氫等包含在氧氣體或 N_2O 氣體中爲佳。或者，導入熱處理設備中的氧氣體或 N_2O 氣體之純度爲 6N(99.9999%)或以上爲佳，7N(99.99999%)或以上更佳(亦即，氧氣體或 N_2O 氣體中的雜質濃度爲 1ppm 或以下爲佳，0.1ppm 或以下更佳)。

須注意該熱處理設備並未受限於電爐，例如，可能係 RTA(快速熱退火)設備，諸如 GRTA(氣體快速熱退火)設備或 LRTA(射線照射快速熱退火)設備。LRTA 設備藉由發射自燈，諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈，之光幅射(電磁波)加熱待處理物件的設備。LRTA 設備可能不僅設有燈，也可能設有藉由來自加熱器，諸如電阻加熱器，之熱傳導或熱幅射加熱待處

理物件的裝置。GRTA 係使用高溫氣體實施熱處理的方法。將不與待使用熱處理處理之物件反應的惰性氣體，諸如氮，或稀有氣體，諸如氬，使用爲該氣體。或者，該熱處理可能藉由 RTA 法以 600℃至 750℃實施數分鐘。

此外，在用於脫氫或脫水的第一熱處理之後，熱處理可能在氧氣體大氣或 N_2O 氣體大氣中在從 200℃至 400℃的範圍中實施，在從 200℃至 300℃的範圍中爲佳。

氧化物半導體層的第一熱處理可能在將該氧化物半導體膜處理爲島形氧化物半導體層之前實施。在該情形中，在第一熱處理之後，將該基材自加熱設備取出並實施光微影步驟。

經由上述處理，使氧化物半導體層的整體區域在過氧狀態中；因此，該氧化物半導體層具有較高電阻，亦即，該氧化物半導體層變成 i-型。因此，形成整體區域係 i-型的氧化物半導體層 382。

其次，將導電膜形成在氧化物半導體層 382 上方，並實施光微影處理。形成光阻遮罩並選擇性地實施蝕刻，從而形成源極電極層 385a 及汲極電極層 385b。然後，使用濺鍍法形成氧化物絕緣層 386。

在該情形中，移除該處理室中的殘餘濕氣，形成氧化物絕緣層 386 爲佳。此係用於防止氫、羥基、以及濕氣包含在氧化物半導體層 382 及氧化物絕緣層 386 中。

爲移殘餘在該處理室中的濕氣，使用截留真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。另

外，抽氣單元可能係設有冷凝阱的渦輪泵。在以低溫泵真空化的沈積室中，將氫原子、及包含氫原子之化合物等，諸如水(H_2O)，移除，從而可將在形成於該沈積室中之氧化物絕緣層 386 中的雜質濃度降低。

將雜質，諸如氫、水、羥基、或氫化物，移除至以 ppm 或 ppb 等級表示之濃度的高純度氣體使用爲當形成氧化物絕緣層 386 時所使用的濺鍍氣體爲佳。

經由上述步驟，可形成薄膜電晶體 380。

其次，爲降低該等薄膜電晶體之電性特徵中的變異，可能在惰性氣體大氣中，諸如氮氣體大氣，實施熱處理(以 150℃ 或以上及 350℃ 或以下爲佳)。例如，該熱處理在氮大氣中以 250℃ 實施一小時。

另外，熱處理可能在空氣中以 100℃ 至 200℃ (含)實施一小時至 30 小時。在此實施例中，熱處理係以 150℃ 實施十小時。此熱處理可能以固定加熱溫度實施。或者，可能將下列加熱溫度中的改變重複實行複數次：將加熱溫度從室溫增加至 100℃ 至 200℃ (含)，然後降低至室溫。在降壓下，加熱時間可縮短。使用此熱處理，將氫自氧化物半導體層導至氧化物絕緣層；因此，該薄膜電晶體可正常地關閉。因此，可改善該薄膜電晶體的可靠性。

將保護絕緣層 373 形成在氧化物絕緣層 386 上方。在此實施例中，使用氮化矽膜以濺鍍法將保護絕緣層 373 形成至 100nm 的厚度。

使用氮化物絕緣層形成的保護絕緣層 373 及第一閘極

絕緣層 372a 各者不包含雜質，諸如濕氣、氫、氫化物、以及氫氧化物，並具有阻擋彼等從外側進入的效果。

因此，在形成保護絕緣層 373 之後的製程中，可防止雜質，諸如濕氣，從外側進入。另外，甚至在將裝置完成爲半導體裝置，諸如液晶顯示裝置，之後，可長期地防止雜質，諸如濕氣，自外側進入；因此，可實現該裝置的長期可靠性。

另外，可能將在使用氮化物絕緣層形成之保護絕緣層 373 及第一閘極絕緣層 372a 之間的部分絕緣層移除，使得保護絕緣層 373 與第一閘極絕緣層 372a 彼此接觸。

因此，將氧化物半導體層中的雜質，諸如濕氣、氫、氫化物、以及氫氧化物，儘可能地降低並防止此種雜質進入，使得可將該氧化物半導體層中的雜質濃度維持爲低濃度。

須注意可能將用於平坦化的平坦化絕緣層設置在保護絕緣層 373 上方。

另外，可能將導電層形成爲在保護絕緣層 373 上方與該氧化物半導體層重疊。該導電層的電位可能與薄膜電晶體 380 之閘極電極層 381 的電位相同或不同。該導電層的功能可如同第二閘極電極層。導電層的電位可能係固定電位，諸如 GND 或 0V。

薄膜電晶體 380 的電性特徵可由該導電層控制。

此實施例可用與任何其他實施例適當地組合的方式實施。

因此，包括該氧化物半導體層的薄膜電晶體置可具有穩定的電氣特徵及高可靠性。

(實施例 10)

參考圖 15A 至 15C 描述與半導體裝置的一模式對應之液晶顯示面板的外觀及剖面。圖 15A 及 15C 係面板的平面圖，在各圖中，使用密封劑 4005 將薄膜電晶體 4010 及 4011 及液晶元件 4013 密封在第一基材 4001 及第二基材 4006 之間。圖 15B 係沿著圖 15A 或 15C 之線 M-N 取得的橫剖面圖。

將密封劑 4005 設置成圍繞設置在第一基材 4001 上方的像素部 4002 及掃描線驅動器電路 4004。將第二基材 4006 設置在像素部 4002 及掃描線驅動器電路 4004 上方。因此，藉由第一基材 4001、密封劑 4005、以及第二基材 4006 將像素部 4002 及掃描線驅動器電路 4004 並連同液晶層 4008 密封。將使用分離製備於基材上方之單晶半導體膜或多晶半導體膜形成的訊號線驅動器電路 4003 載置在第一基材 4001 上方之與密封劑 4005 圍繞之該區域不同的區域中。

須注意對分別形成之驅動器電路的連接方法並無特別限制，並可使用 COG 法、佈線接合法、或 TAB 法等。圖 15A 描繪使用 COG 法載置訊號線驅動器電路 4003 的範例。圖 15C 描繪使用 TAB 法載置訊號線驅動器電路 4003 的範例。

設置在第一基材 4001 上方的像素部 4002 及掃描線驅動器電路 4004 包括複數個薄膜電晶體。圖 15B 將包括在像素部 4002 中的薄膜電晶體 4010 以及包括在掃描線驅動器電路 4004 中的薄膜電晶體 4011 描繪爲範例。將絕緣層 4041、4042、及 4021 設置在薄膜電晶體 4010 及 4011 上方。

可視情況將實施例 2 至 9 的任何薄膜電晶體使用爲薄膜電晶體 4010 及 4011。將薄膜電晶體 4010 及 4011 之氧化物半導體層中的氫及水減少。因此，薄膜電晶體 4010 及 4011 係高度可靠的薄膜電晶體。在此實施例中，薄膜電晶體 4010 及 4011 係 n-通道薄膜電晶體。

將導電層 4040 設置在部分的絕緣層 4021 上方，其與薄膜電晶體 4011 中之氧化物半導體層的通道形成區域重疊。將導電層 4040 設置在與氧化物半導體層之通道形成區域重疊的位置，從而可將 BT 測試之前及之後的薄膜電晶體 4011 之臨界電壓的改變量減少。導電層 4040 的電位可能與薄膜電晶體 4011 之閘極電極層的電位相同或不同。導電層 4040 的功能可如同第二閘極電極層。另外，導電層 4040 的電位可能係 GND 或 0V，或導電層 4040 可能在浮動狀態中。

將包括在液晶元件 4013 中的像素電極層 4030 電性連接至薄膜電晶體 4010 之源極或汲極電極層。將液晶元件 4013 的相對電極層 4031 形成在第二基材 4006 上。像素電極層 4030、相對電極層 4031、以及液晶層 4008 與另一

者重疊的該部位對應於液晶元件 4013。須注意像素電極層 4030 及相對電極層 4031 分別設有功能如同對準膜的絕緣層 4032 及絕緣層 4033，且液晶層 4008 以其間具有絕緣層 4032 及 4033 的方式夾於電極層之間。

須注意可將光透射基材使用爲第一基材 4001 及第二基材 4006；可使用玻璃、陶瓷、或塑膠。該塑膠可能係玻璃纖維強化塑膠(FRP)板、聚氟乙烯(PVF)膜、聚酯膜、或丙烯酸樹脂膜。

間隔器 4035 係藉由選擇性地蝕刻絕緣膜而得到的圓柱分隔壁，並設置該圓柱間隔器以控制像素電極層 4030 及相對電極層 4031 之間的距離(胞元間隙)。或者，可能將球形間隔器使用爲間隔器 4035。將相對電極層 4031 電性連接至形成在形成薄膜電晶體 4010 之該基材上方的共同電位線。相對電極層 4031 及共同電位線可使用共同連接部經由設置在該對基材之間的導電粒子彼此電性連接。須注意該等導電粒子係包括在密封劑 4005 中。

或者，可能使用無需對準膜之呈現藍相的液晶。藍相係液晶相之一，當膽固醇狀液晶之溫度增加的同時，其就在膽固醇相改變爲各向同性相之前產生。因爲該藍相僅在窄溫度範圍內產生，將包含 5 重量百分比或以上之掌性劑的液晶組成物使用爲液晶層 4008，以改善該溫度範圍。包括呈現藍相之液晶及掌性劑的該液晶組成物具有 1msec 或以下的短反應時間，且在光學上各向同性；因此；對準處理不係必要的，且有小視角依存性。此外，因爲不必設

置對準膜且研磨處理係不必要的，可防止由研磨處理所導致的靜電放電損壞，並可在製程中降低液晶顯示裝置的缺陷及損壞。因此，可增加該液晶顯示裝置的生產性。使用氧化物半導體層形成的薄膜電晶體特別具有該薄膜電晶體之電性特徵可能由於靜電的影響而顯著地變化並偏離期望範圍的可能性。因此，針對包括使用氧化物半導體層形成之薄膜電晶體的液晶顯示裝置使用藍相液晶材料係更有效的。

須注意除了透射液晶顯示裝置外，也可將此實施例施用至傳輸反射液晶顯示裝置。

雖然在該液晶顯示裝置的範例中，將偏振板設置在該基材的外表面上(在觀看側上)並將用於顯示元件之著色層及電極層循序地設置在該基材的內表面上，可能將該偏振板設置在該基材的內表面上。該偏框板及該著色層的堆疊結構未受限於此實施例中的結構，並可能取決於該偏振板及該著色層的材料或該製程條件而視情況設定。另外，可能將作爲黑矩陣使用的遮光膜設置在該顯示部以外的部分中。

在薄膜電晶體 4010 及 4011 上方，將絕緣層 4041 形成爲與氧化物半導體層接觸。絕緣層 4041 可使用與描述在任何實施例中之氧化物絕緣層的材料及方法相似之材料及方法形成。此處，使用濺鍍法將氧化矽層形成爲絕緣層 4041。另外，將保護絕緣層 4042 形成在絕緣層 4041 上並與其接觸。保護絕緣層 4042 可能與描述於實施例 6 中的

保護絕緣層 303 相似地形成；例如，保護絕緣層 4042 可使用氮化矽膜形成。爲降低由薄膜電晶體所導致的表面粗糙性，形成作爲平坦化絕緣層使用的絕緣層 4021。

將絕緣層 4021 形成爲平坦化絕緣層。可將具有耐熱性的有機材料，諸如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂，使用爲絕緣層 4021。除了此等有機材料以外，可能使用低介電常數材料(低 k 材料)、矽氧烷基樹脂、PSG(磷矽酸鹽玻璃)、或 BPSG(硼磷矽酸鹽玻璃)等。須注意絕緣層 4021 可能藉由堆疊以此等材料形成之複數絕緣膜而形成。

形成絕緣層 4021 的方法並無特別限制。絕緣層 4021 可依據材料使用，諸如諸如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴濺塗佈法、或液滴排放法(例如，噴墨法、絲網列印、或平版印刷)之方法，或諸如刮刀、滾筒塗佈機、簾幕塗佈機、或刮刀塗佈機的工具(裝備)形成。絕緣層 4021 的烘焙步驟也作爲該半導體層的退火使用，因此可有效率地製造半導體裝置。

像素電極層 4030 及相對電極層 4031 可使用透光導電材料，諸如氧化銦錫(ITO)、將氧化鋅(ZnO)混入氧化銦中的氧化銦鋅(IZO)、將氧化矽(SiO_2)混入氧化銦的導電材料、有機銦、有機錫、包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、或包含氧化鈦之氧化銦錫等，形成。另外，在不需要透光性質或需要反射性質之反射液晶顯示裝置的情形中，像素電極層 4030 及相對

電極層 4031 可使用選自諸如鎢(W)、鉬(Mo)、鋯(Zr)、鉿(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鈷(Co)、鎳(Ni)、鈦(Ti)、鉑(Pt)、鋁(Al)、銅(Cu)、以及銀(Ag)之金屬；此等金屬的合金；以及此等金屬之氮化物的一或多種材料形成。

可將包含導電高分子(也指稱爲導電聚合物)的導電組成物用於像素電極層 4030 及相對電極層 4031。使用導電組成物形成的像素電極具有少於或等於每平方 10000 歐姆的薄片電阻並對 550nm 之波長有大於或等於 70%的透射率爲佳。另外，包含在該導電組成物中的該導電高分子之電阻率少於或等於 0.1Ω · cm 爲佳。

可將所謂的π-電子複合導電聚合物使用爲該導電高分子。例如，可提供聚苯胺或其衍生物、聚砒咯或其衍生物、聚塞吩或其衍生物、二或多種此等材料的共聚物等。

另外，將各種訊號及電位從 FPC 4018 供應至分離地形成之訊號線驅動器電路 4003、掃描線驅動器電路 4004、或像素部 4002。

連接終端電極 4015 係使用與包括在液晶元件 4013 中之像素電極層 4030 相同的導電膜形成，且終端電極 4016 係使用與薄膜電晶體 4010 及 4011 之源極及汲極電極層相同的導電膜形成。

連接終端電極 4015 係經由各向異性導電膜 4019 電性連接至包括在 FPC 4018 中的終端。

須注意圖 15A 至 15C 描繪訊號線驅動器電路 4003 係

分離地形成並載置在第一基材 4001 上的範例；然而，本發明並未受限於此結構。該掃描線驅動器電路可能分別形成，然後載置，或可能僅將部分訊號線驅動器電路或部分掃描線驅動器電路分別形成，然後載置。

視情況設置黑矩陣(遮光層)、光學構件(光學基材)，諸如偏振構件、延遲構件、及抗反射構件等。例如，可能藉由使用偏振基材及延遲基材使用圓形偏振。此外，可能將背光、或側光等使用爲光源。

在主動矩陣液晶顯示裝置中，顯示圖案係藉由驅動配置成矩陣的像素電極而形成在螢幕上。具體地說，將電壓施加在已選擇像素電極及與該像素電極對應的相對電極之間，因此，光學地調變設置在該像素電極及該相對電極之間的液晶層。由觀看者將此光學調變辨視爲顯示圖案。

液晶顯示裝置具有當顯示動畫時，殘影發生或動畫模糊的問題，因爲液晶分子自身的反應速度甚低。用於改善液晶顯示裝置的動畫特徵之技術的有每隔一圖框顯示一全黑影像之所謂的黑色插入之驅動技術。

或者，可能使用稱爲倍圖框率驅動的驅動技術，其中垂直同步頻率爲正常垂直同步頻率的 1.5 倍或以上，2 倍或以上爲佳，從而改善反應速度。

此外，作爲改善液晶顯示裝置的動畫特徵之技術的有將包括複數個 LED(發光二極體)光源或複數個 EL 光源之表面光源使用爲背光，並將包括在該表面光源中的各光源個別地驅動以在一圖框週期中實施間歇發光的其他技術。

可能將三或多種 LED 使用爲表面光源，或可能將白光 LED 使用爲表面光源。因爲可個別地控制複數個 LED，LED 發光的時序可與切換液晶層之光學調變的時序同步。在此驅動技術中，可將一部分的 LED 關閉。因此，特別係在顯示黑色影像區域在一螢幕中佔高比率之影像的情形中，可用低功率消耗驅動液晶顯示裝置。

當組合任何此等驅動技術時，液晶顯示裝置可具有比習知液晶顯示裝置更好的顯示特徵，諸如動畫特徵。

因爲薄膜電晶體易由於靜電等而破裂，將保護電路設置在與像素部及驅動器電路部相同的基材上爲佳。該保護電路使用包括氧化物半導體層之非線性元件形成爲佳。例如，將該保護電路設置在該像素部、及掃描線輸入終端以及訊號線輸入終端之間。在此實施例中，設置複數個保護電路，使得當由於靜電等的突波電壓施加至掃描線、訊號線、或電容器匯流排線時，像素電晶體等不破裂。因此，當突波電壓施加至該保護電路時，該保護電路具有將電荷釋放至共同佈線的結構。該保護電路包括並列配置於掃描線及共同佈線之間的非線性元件。該等非線性元件各者包括二終端元件，諸如二極體，或三終端元件，諸如電晶體。例如，該非線性元件可經由與像素部之薄膜電晶體相同的步驟形成。例如，可藉由將閘極終端連接至汲極終端而實現與二極體之特徵相似的特徵。

另外，可將扭曲向列(TN)模式、橫向電場驅動(IPS)模式、邊緣電場切換(FFS)模式、軸對稱排列微胞(ASM)模

式、光學補償雙折射(OCB)模式、鐵電液晶(FLC)模式、或反鐵電液晶(AFLC)模式等用於該液晶顯示模組。

揭示於此說明書中的該半導體裝置並無特別限制，可使用包括 TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 液晶、GH 液晶、聚合物分散液晶、或盤狀液晶等的液晶顯示裝置。常態黑液晶面板，諸如使用垂直對準(VA)模式的透射液晶顯示裝置，係特佳的。將部分範例提供爲垂直對準模式。例如，可使用 MVA(多區域垂直配向)模式、PVA(圖像垂直配向)模式、或 ASV 模式等。

另外，也可將此實施例施用至 VA 液晶顯示裝置。該 VA 液晶顯示裝置具有液晶顯示面板中的液晶分子之對準係受控制的形式種類。在該 VA 液晶顯示裝置中，當未施加電壓時，液晶分子係在相關於面板表面的垂直方向上對準。另外，可使用將像素分割爲特定區域(次像素)，且液晶分子在彼等的個別區域中係在不同方向上對準之稱爲多域或多域設計的方法。

此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 11)

在此實施例中，描述藉由使用薄膜電晶體及描述於實施例 1 之半導體裝置中的電致發光製造主動矩陣發光顯示裝置之範例。

使用電致發光的發光元件係根據發光材料是有機化合

物或無機化合物而分類。通常，將前者指稱爲有機 EL 元件，並將後者指稱爲無機 EL 元件。

在有機 EL 元件中，藉由將電壓施加至發光元件，電子及電洞分別從一對電極注入至包含發光有機化合物的層中，且電流流動。然後，載體(電子及電洞)重結合，因此發光。因爲此種機制，將此發光元件指稱爲電流激發發光元件。

無機 EL 元件係根據彼等之元素結構而分類爲分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子分散在黏結劑中，且其發光機制係使用施體能階及受體能階的施體-受體重結合型發光。薄膜無機 EL 元件具有發光層包夾在介電層之間的結構，其另外包夾在電極之間，且其發光機制係使用金屬離子之內層電子變遷的局部型發光。須注意本文描述將有機 EL 元件使用爲發光元件的範例。

圖 16 將數位時間灰階驅動可施用於其之像素結構的範例描繪爲半導體裝置之範例。

描述可將數位時間灰階驅動施用於其之像素的結構及作業。此處，一像素包括二 n-通道電晶體，彼等各者包括作爲通道形成區域的氧化物半導體層。

像素 6400 包括切換電晶體 6401、驅動電晶體 6402、發光元件 6404、以及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406，切換電晶體 6401 的第一電極(源極電極及汲極電極之一者)連接至訊號線 6405，且切換電晶

體 6401 的第二電極(源極電極及汲極電極之另一者)連接至驅動電晶體 6402 之閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接至電源供應線 6407，驅動電晶體 6402 的第一電極連接至電源供應線 6407，且驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極(像素電極)。發光元件 6404 的第二電極對應於共同電極。該共同電極電性連接至設置在與共同電極相同之基材上方的共同電位線 6408。

將發光元件 6404 的第二電極(共同電極)設定成低電源供應電位。須注意該低電源供應電位係參考設定至電源供應線 6407 的高電源供應電位而滿足低電源供應電位<高電源供應電位的電位。例如，可能將 GND、或 0V 等使用爲該低電源供應電位。將該高電源供應電位及該低電源供應電位之間的電位差施加至發光元件 6404 並將電流供應至發光元件 6404，使得發光元件 6404 發光。此處，爲使發光元件 6404 發光，將各電位設定成使得該高電源供應電位及該低電源供應電位之間的電位差爲發光元件 6404 的臨界電壓或更高。

當將驅動電晶體 6402 的閘極電容使用爲電容器 6403 的替代物時，可省略電容器 6403。驅動電晶體 6402 的閘極電容可能形成在通道形成區域及閘極電極之間。

此處，在使用電壓輸入電壓驅動法的情形中，將視訊訊號輸入至驅動電晶體 6402 的閘極，以使驅動電晶體 6402 完全開啓或關閉。亦即，驅動電晶體 6402 在線性區

域中操作。因爲驅動電晶體 6402 在線性區域中操作，將高於電源供應線 6407 之電壓的電壓施加至驅動電晶體 6402 的閘極。須注意將大於或等於(電源供應線電壓+驅動電晶體 6402 之 V_{th})的電壓施加至訊號線 6405。

另外，在使用類比灰階驅動取代數位時間比率灰階驅動的情形中，藉由以不同的方式輸入訊號，可使用與圖 16 之像素結構相同的像素結構。

在使用類比灰階法的情形中，將大於或等於(發光元件 6404 之順向電壓+驅動電晶體 6402 的 V_{th})之電壓施加至驅動電晶體 6402 的閘極。發光元件 6404 之順向電壓代表得到期望亮度時的電壓，並至少包括順向臨界電壓。藉由輸入視訊訊號以致能驅動電晶體 6402 在飽和區域中操作，可將電流供應至發光元件 6404。爲使驅動電晶體 6402 可在飽和區域中操作，使電源供應線 6407 的電位高於驅動電晶體 6402 之閘極電位。當使用類比視訊訊號時，可能依據該視訊訊號將電流供給至發光元件 6404 並實施類比灰階驅動。

須注意圖 16 所描繪之該像素結構並未受限於此。例如，可能將開關，電阻器、電容器、電晶體、或邏輯電路等加至圖 16 所示的該像素。

其次，將參考圖 17A 至 17C 描述該發光元件的結構。此處，藉由將 n-通道驅動 TFT 採用爲範例而描述像素的橫剖面結構。

爲得到從該發光元件發出的光，陽極及陰極之至少一

者必需透射光。將薄膜電晶體及發光元件形成在基材上方。該發光元件可具有頂發射結構，其中發射光係經由與該基材相對的表面得到；底發射結構，其中發射光係經由在該基材側上的表面得到；或雙重發射結構，其中發射光係經由與該基材相對之該表面以及在該基材側上的該表面得到。可將該像素結構施用至具有任何此等發射結構的發光元件。

其次，參考圖 17A 描述具有底發射結構的發光元件。

圖 17A 係在驅動 TFT 7011 係 n-型且光係從發光元件 7012 發射至第一電極 7013 側之情形中的像素之橫剖面圖。在圖 17A 中，將發光元件 7012 的第一電極 7013 形成在電性連接至驅動 TFT 7011 之源極電極層的光透射導電膜 7017 上方，並將 EL 層 7014 及第二電極 7015 以出現的次序堆疊在第一電極 7013 上方。

可將包括氧化鎢之氧化銦、包括氧化鎢之氧化銦鋅、包括氧化鈦之氧化銦、包括氧化鈦之氧化銦錫、氧化銦錫、氧化銦鋅、或將氧化矽加至其的氧化銦錫等的光透射導電膜使用爲光透射導電膜 7017。

可將各種材料使用爲發光元件的第一電極 7013。例如，在將第一電極 7013 使用爲陰極的情形中，第一電極 7013 使用，例如，具有低工作函數的材料，諸如 Li 或 Cs 的鹼金屬；諸如 Mg、Ca、或 Sr 之鹼土金屬；包含任何此等金屬的合金(例如，Mg:Ag 或 Al:Li)；或諸如 Yb 或 Er 之稀土金屬，形成爲佳。在圖 17A 中，將第一電極 7013

大致形成至使得光透射的厚度(約 5nm 至 30nm 爲佳)。例如，將具有 20nm 之厚度的鋁膜使用爲第一電極 7013。

須注意光透射導電膜 7017 及第一電極 7013 可能藉由堆疊光透射導電膜及鋁膜，然後實施選擇性的蝕刻而形成。在此情形中，該蝕刻可使用相同遮罩實施，其係較佳的。

另外，以分隔壁 7019 覆蓋第一電極 7013 的周邊。分隔壁 7019 使用聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂等的有機樹脂膜；無機絕緣膜；或有機聚矽氧烷形成。分隔壁 7019 使用光敏樹脂材料形成以在第一電極 7013 上方具有開口，使得該開口的側壁形成爲具有連續曲率之傾斜表面特佳。在將光敏樹脂材料使用爲分隔壁 7019 的情形中，可省略形成光阻遮罩的步驟。

可接受將至少包括發光層的 EL 層作爲形成在第一電極 7013 及分隔壁 7019 上方的 EL 層 7014。另外，可能將 EL 層 7014 形成爲具有單層結構或堆疊層結構之任一者。當 EL 層 7014 係使用複數層形成時，將電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在功能如同陰極的第一電極 7013 上方。須注意除了發光層外，不係所有此等層均須設置。

該堆疊次序未受限於上文出現的次序。第一電極 7013 可能作爲陽極使用，且電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層可能以此出現次序堆疊在第一電極 7013 上方。然而，慮及功率消耗，因爲可

防止驅動器電路部之電壓中的增加並可比將第一電極 7013 使用爲陽極，並將電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層以此次序堆疊在第一電極 7013 上方的情形更有效地減少功率消耗，將第一電極 7013 作爲陰極使用，並將電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在第一電極 7013 上方爲佳。

另外，可將任何各種材料使用爲形成在 EL 層 7014 上方的第二電極 7015。例如，在將第二電極 7015 使用爲陽極的情形中，具有高工作函數的材料，例如 ZrN、Ti、W、Ni、Pt、或 Cr 等；或透射導電材料，諸如 ITO、IZO、或 ZnO，較佳。另外，將屏蔽膜 7016，例如阻擋光的金屬、或反射光之金屬等，設置在第二電極 7015 上方。在此實施例中，將 ITO 膜使用爲第二電極 7015，並將 Ti 膜使用爲屏蔽膜 7016。

發光元件 7012 對應於將包括發光層之 EL 層 7014 夾於第一電極 7013 及第二電極 7015 之間的區域。在圖 17A 描繪之元件結構的情形中，如箭號所指示的，從發光元件 7012 發射之光射至第一電極 7013 側。

須注意在圖 17A 描繪的範例中，將光透射導電膜使用爲閘極電極層並將薄光透射膜使用爲源極及汲極電極層。從發光元件 7012 發射的光通過彩色濾波器層 7033，並可經由基材射出。

彩色濾波器層 7033 使用光微影技術等以液滴排放

法，諸如的噴墨法、列印法、蝕刻法形成。

彩色濾波器層 7033 係以被覆層 7034 覆蓋，並也以保護絕緣層 7035 覆蓋。須注意雖然將具有小厚度之被覆層 7034 描繪於圖 17A 中，被覆層 7034 具有將彩色濾波器層 7033 所導致之粗糙性平坦化的功能。

將形成在保護絕緣層 7035、被覆層 7034、平坦化絕緣層 7036、絕緣層 7032、以及絕緣層 7031 中並到達汲極電極的接點孔設置在與分隔壁 7019 重疊的部分中。

參考圖 17B 描述具有雙發射結構的發光元件。

在圖 17B 中，將發光元件 7022 的第一電極 7023 形成在電性連接至驅動 TFT 7021 之汲極電極層的光透射導電膜 7027 上方，並將 EL 層 7024 及第二電極 7025 以出現次序堆疊在第一電極 7023 上方。

可將包括氧化鎢之氧化銦、包括氧化鎢之氧化銦鋅、包括氧化鈦之氧化銦、包括氧化鈦之氧化銦錫、氧化銦錫、氧化銦鋅、或將氧化矽加至其的氧化銦錫等的光透射導電膜使用爲光透射導電膜 7027。

可將各種材料使用爲第一電極 7023。例如，在將第一電極 7023 使用爲陰極的情形中，第一電極 7023 使用，例如，具有低工作函數的材料，諸如 Li 或 Cs 的鹼金屬；諸如 Mg、Ca、或 Sr 之鹼土金屬；包含任何此等金屬的合金(例如，Mg:Ag 或 Al:Li)；或諸如 Yb 或 Er 之稀土金屬，形成爲佳。在此實施例中，將第一電極 7023 使用爲陰極，並將第一電極 7023 大致形成至使得光透射的厚度

(約 5nm 至 30nm 爲佳)。例如，將具有 20nm 之厚度的鋁層使用爲陰極。

須注意光透射導電膜 7027 及第一電極 7023 可能藉由堆疊光透射導電膜及鋁膜，然後實施選擇性的蝕刻而形成。在此情形中，該蝕刻可使用相同遮罩實施，其係較佳的。

另外，以分隔壁 7029 覆蓋第一電極 7023 的周邊。分隔壁 7029 使用聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂等的有機樹脂膜；無機絕緣膜；或有機聚矽氧烷形成。分隔壁 7029 使用光敏樹脂材料形成以在第一電極 7023 上方具有開口，使得該開口的側壁形成爲具有連續曲率之傾斜表面特佳。在將光敏樹脂材料使用爲分隔壁 7029 的情形中，可省略形成光阻遮罩的步驟。

可接受將至少包括發光層的 EL 層作爲形成在第一電極 7023 及分隔壁 7029 上方的 EL 層 7024。另外，可能將 EL 層 7024 形成爲具有單層結構或堆疊層結構之任一者。當 EL 層 7024 係使用複數層形成時，將電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在功能如同陰極的第一電極 7023 上方。須注意除了發光層外，不係所有此等層均須設置。

該堆疊次序未受限於上文出現的次序。第一電極 7023 可能作爲陽極使用，且電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層可能以此出現次序堆疊在第一電極 7023 上方。然而，慮及功率消耗，因爲可

比將第一電極 7023 使用爲陽極，並將電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層以此次序堆疊在第一電極 7023 上方的情形更有效地減少功率消耗，將第一電極 7023 使用爲陰極，並將電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在陰極上方爲佳。

另外，可將各種材料使用爲形成在 EL 層 7024 上方的第二電極 7025。例如，在將第二電極 7025 使用爲陽極的情形中，具有高工作函數的材料，例如透射導電材料，諸如 ITO、IZO、或 ZnO，較佳。在此實施例中，第二電極 7025 使用包括氧化矽的 ITO 層形成並使用爲陽極。

發光元件 7022 對應於將包括發光層之 EL 層 7024 夾於第一電極 7023 及第二電極 7025 之間的區域。在圖 17B 描繪之元件結構的情形中，如箭號所指示的，從發光元件 7022 發射之光射向第二電極 7025 側及第一電極 7023 側二側。

須注意在圖 17B 描繪的範例中，將光透射導電膜使用爲閘極電極層並將薄光透射膜使用爲源極及汲極電極層。從發光元件 7022 發射至第一電極 7023 側的光通過彩色濾波器層 7043，並可經由基材射出。

彩色濾波器層 7043 使用光微影技術等以液滴排放法，諸如的噴墨法、列印法、蝕刻法形成。

彩色濾波器層 7043 係以被覆層 7044 覆蓋，並也以保護絕緣層 7045 覆蓋。

將形成在保護絕緣層 7045、被覆層 7044、平坦化絕緣層 7046、絕緣層 7042、以及絕緣層 7041 中並到達汲極電極的接點孔設置在與分隔壁 7019 重疊的部分中。

須注意在藉由使用具有雙發射結構之發光元件將全彩顯示實現在二顯示表面上的情形中，從第二電極 7025 側發射之光不通過彩色濾波器層 7043；因此，將具有彩色濾波器層之密封基材另外設置在第二電極 7025 上方爲佳。

其次，茲參考圖 17C 描述具有頂發射結構的發光元件。

圖 17C 係在驅動 TFT 7001 係 n-型且從發光元件 7002 發射之光通過第二電極 7005 之情形中的像素之橫剖面圖。在圖 17C 中，驅動 TFT 7001 之汲極電極層與第一電極 7003 彼此接觸，且驅動 TFT 7001 與發光元件 7002 之第一電極 7003 彼此電性連接。EL 層 7004 及第二電極 7005 以此出現次序堆疊在第一電極 7003 上方。

另外，可將各種材料使用爲第一電極 7003。例如，在將第一電極 7003 使用爲陰極的情形中，第一電極 7003 使用具有低工作函數的材料，諸如 Li 或 Cs 的鹼金屬；諸如 Mg、Ca、或 Sr 之鹼土金屬；包含任何此等金屬的合金(例如，Mg:Ag 或 Al:Li)；或諸如 Yb 或 Er 之稀土金屬，形成爲佳。

另外，以分隔壁 7009 覆蓋第一電極 7003 的周邊。分隔壁 7009 使用聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂

等的有機樹脂膜；無機絕緣膜；或有機聚矽氧烷形成。分隔壁 7009 使用光敏樹脂材料形成以在第一電極 7003 上方具有開口，使得該開口的側壁形成爲具有連續曲率之傾斜表面特佳。在將光敏樹脂材料使用爲分隔壁 7009 的情形中，可省略形成光阻遮罩的步驟。

可接受將至少包括發光層的 EL 層作爲形成在第一電極 7003 及分隔壁 7009 上方的 EL 層 7004。另外，可能將 EL 層 7004 形成爲具有單層結構或堆疊層結構之任一者。當 EL 層 7004 係使用複數層形成時，將電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在使用爲陰極的第一電極 7003 上方。須注意除了發光層外，不係所有此等層均須設置。

該堆疊次序並未受限於上文出現的次序，且電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層可能以此出現次序堆疊在使用爲陽極之第一電極 7003 上方。

在圖 17C 中，將電洞注入層、電洞運輸層、發光層、電子運輸層、及電子注入層以此出現次序堆疊在堆疊層膜上方，在該堆疊層膜中，Ti 膜、鋁膜、以及 Ti 膜以此出現次序堆疊，並將薄 Mg:Ag 合金膜及 ITO 的堆疊層形成在其上方。

然而，在驅動 TFT 7001 係 n-型的情形中，因爲可防止驅動器電路之電壓中的增加並可比以上述次序使用該等層堆疊之情形更有效地減少功率消耗，將電子注入層、電

子運輸層、發光層、電洞運輸層、及電洞注入層以此出現次序堆疊在第一電極 7003 上方爲佳。

使用光透射導電材料形成第二電極 7005。例如，可使用包括氧化鎢之氧化銦、包括氧化鎢之氧化銦鋅、包括氧化鈦之氧化銦、包括氧化鈦之氧化銦錫、氧化銦錫、氧化銦鋅、或將氧化矽加至其的氧化銦錫等的光透射導電膜。

發光元件 7002 對應於將包括發光層之 EL 層 7004 夾於第一電極 7003 及第二電極 7005 之間的區域。在圖 17C 描繪之像素的情形中，如箭號所指示的，從發光元件 7002 發射之光射至第二電極 7005 側。

在圖 17C 中，驅動 TFT 7001 的汲極電極層經由形成在氧化矽層 7051、保護絕緣層 7052、平坦化絕緣層 7056、平坦化絕緣層 7053、以及絕緣層 7055 中的接點孔電性連接至第一電極 7003。該等平坦化絕緣層 7036、7046、7053、以及 7056 可使用樹脂材料形成，諸如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂。除了此等樹脂材料以外，也可能使用低介電常數材料(低 k 材料)、矽氧烷基樹脂、PSG(磷矽酸鹽玻璃)、或 BPSG(硼磷矽酸鹽玻璃)等。須注意該平坦化絕緣層 7036、7046、7053、以及 7056 可能藉由堆疊使用此等材料形成之複數絕緣膜而形成。平坦化絕緣層 7036、7046、7053、以及 7056 可依據材料使用，諸如諸如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴濺塗佈法、或液滴排放法(例如，噴

墨法、絲網列印、或平版印刷)之方法，或諸如刮刀、滾筒塗佈機、簾幕塗佈機、或刮刀塗佈機的工具(裝備)形成。

設置分隔壁 7009，以將第一電極 7003 與相鄰像素的第一電極絕緣。分隔壁 7009 使用聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂等的有機樹脂膜；無機絕緣膜；或有機聚矽氧烷形成。分隔壁 7009 使用光敏樹脂材料形成以在第一電極 7003 上方具有開口，使得該開口的側壁形成爲具有連續曲率之傾斜表面特佳。在將光敏樹脂材料使用爲分隔壁 7009 的情形中，可省略形成光阻遮罩的步驟。

在圖 17C 描繪的結構中，針對實施全彩顯示，發光元件 7002、相鄰發光元件之一者，以及相鄰發光元件之另一者分別係，例如，綠色發光元件、紅色發光元件、以及藍色發光元件。或者，能全彩顯示的發光顯示裝置可能使用除了三種發光元件外，包括白色發光元件的四種發光元件製造。

在圖 17C 的結構中，能全彩顯示的發光顯示裝置可能以所有已配置之複數個發光元件均係白色發光元件並將具有彩色濾波器等的密封基材配置在發光元件 7002 上之此種方式製造。將呈現單色，諸如白色，的材料形成並與彩色濾波器或色彩轉變層組合，從而可實施全彩顯示。

無須多說，也可實施單色光顯示。例如，發光系統可能使用白發射光形成，或區域彩色發光裝置可能使用單色發射光形成。

若有必要，可能設置光學膜，諸如包括圓形偏振板的偏振膜。

須注意，雖然本文將有機 EL 元件描述爲發光元件，也可將無機 EL 元件設置爲發光元件。

須注意描述將控制發光元件之驅動的薄膜電晶體(驅動 TFT)電性連接至發光元件的範例；然而，可能使用將用於電流控制的 TFT 連接在該驅動 TFT 及該發光元件之間的結構。

此實施例可用與任何其他實施例適當地組合的方式實施。

圖 18A 及 18B 描繪根據此實施例之發光顯示面板(也稱爲發光面板)的外觀及橫剖面。圖 18A 係使用密封劑將形成在第一基材上方之薄膜電晶體及發光元件密封在第一基材及第二基材間之面板的平面圖。圖 18B 係沿著圖 18A 之 H-I 取得的橫剖面圖。

將密封劑 4505 設置成圍繞設置在第一基材 4501 上方的像素部 4502、訊號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b。此外，將第二基材 4506 設置在像素部 4502、訊號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b 上方。因此，藉由第一基材 4501、密封劑 4505、以及第二基材 4506 將像素部 4502、訊號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b，連同填充劑 4507 密封。以此種方式，使用保護膜(諸如層壓膜或

紫外光固化樹脂膜)或具有高氣密性及些許脫氣性的覆蓋材料封裝(密封)面板，使得該面板不曝露在外側空氣中爲佳。

形成在第一基材 4501 上方之像素部 4502、訊號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b 各者包括複數個薄膜電晶體。將包括在像素部 4502 中的薄膜電晶體 4510 及包括在訊號線驅動器電路 4503a 中的薄膜電晶體 4509 描繪爲圖 18B 中之範例。

可視情況將實施例 2 至 9 的任何薄膜電晶體使用爲薄膜電晶體 4509 及 4510，且彼等可能使用與該等實施例之薄膜電晶體的步驟及材料相似之步驟及材料形成。將薄膜電晶體 4509 及 4510 之氧化物半導體層中的氫及水減少。因此，薄膜電晶體 4509 及 4510 係高度可靠的薄膜電晶體。

將導電層設置在與薄膜電晶體 4509 中的氧化物半導體層之通道形成區域重疊的部分上方。在此實施例中，薄膜電晶體 4509 及 4510 係 n-通道薄膜電晶體。

將導電層 4540 設置在氧化矽層 4542 之與薄膜電晶體 4509 中的氧化物半導體層之通道形成區域重疊的部分上方。將導電層 4540 設置在與氧化物半導體層之通道形成區域重疊的位置，從而可將 BT 測試之前及之後的薄膜電晶體 4509 之臨界電壓的改變量減少。導電層 4540 的電位可能與薄膜電晶體 4509 中之閘極電極層的電位相同或不同。導電層 4540 的功能可如同第二閘極電極層。或者，

導電層 4540 的電位可能係 GND 或 0V，或導電層 4540 可能在浮動狀態中。

另外，將氧化矽層 4542 形成爲覆蓋薄膜電晶體 4510 的氧化物半導體層。薄膜電晶體 4510 之源極及汲極電極層在形成於氧化矽層 4542 及絕緣層 4551 中的開口中電性連接至佈線層 4550，該氧化矽層及該絕緣層形成在該薄膜電晶體上方。將佈線層 4550 形成爲與第一電極 4517 接觸，且薄膜電晶體 4510 經由佈線層 4550 電性連接至第一電極 4517。

氧化矽層 4542 可能使用與描述在任何實施例中之氧化物絕緣層的材料及方法相似之材料及方法形成。

將彩色濾波器層 4545 形成在絕緣層 4551 上方，以與發光元件 4511 之發光區域重疊。

另外，爲降低彩色濾波器層 4545 的表面粗糙度，彩色濾波器層 4545 以功能如同平坦化絕緣膜之被覆層 4543 覆蓋。

將絕緣層 4544 形成在被覆層 4543 上方。絕緣膜 4544 可能與描述於實施例 6 中的保護絕緣層 303 相似地形成。例如，可能使用濺鍍法將氮化矽層形成爲絕緣層 4544。

參考數字 4511 代表發光元件。將其爲包括在發光元件 4511 中之像素電極的第一電極 4517 經由佈線層 4550 電性連接至薄膜電晶體 4510 的源極電極層或汲極電極層。須注意發光元件 4511 具有第一電極 4517、電致發光

層 4512、以及第二電極 4513 的堆疊層結構，且在該結構上並無特別限制。發光元件 4511 的結構可依據自發光元件 4511 得到光的方向等而視情況改變。

分隔壁 4520 係使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷形成。分隔壁 4520 使用光敏材料形成以在第一電極 4517 上方具有開口部，使得該開口部的側壁形成爲具有連續曲率之傾斜表面特佳。

另外，可能將電致發光層 4512 形成爲具有單層結構或堆疊層結構之任一者。

爲防止氧、氫、濕氣、二氧化碳等進入發光元件 4511，可能將保護膜形成在第二電極 4513 及分隔壁 4520 上方。可將氮化矽膜、氮化氧化矽膜、或 DLC 膜等形成爲該保護膜。

此外，將各種訊號及電位從 FPC 4518a 及 4518b 供應至訊號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或像素部 4502。

連接終端電極 4515 係使用與包括在發光元件 4511 中之第一電極 4517 相同的導電膜形成，且終端電極 4516 係使用與包括在薄膜電晶體 4509 中之源極及汲極電極層相同的導電膜形成。

連接終端電極 4515 係經由各向異性導電膜 4519 電性連接至包括在 FPC 4518a 中的終端。

位於自發光元件 4511 取得光之方向上的第二基材應具有光透射性質。在該情形中，將光透射材料，諸如玻璃

板、塑膠板、聚酯膜、或丙烯酸膜，用於第二基材4506。

紫外光固化樹脂或熱固樹脂可連同惰性氣體(諸如，氮或氬)使用爲填充劑 4507。例如，可使用 PVC(聚氯乙烯)、丙烯酸、聚醯亞胺、環氧樹脂、聚矽氧樹脂、PVB(聚乙烯縮丁醛)、或 EVA(乙烯醋酸乙烯酯)。例如，將氮用作該填充劑。

此外，若有必要，可視情況將光學膜設置在該發光元件的發光表面上，諸如偏振板、圓形偏振板(包括橢圓形偏振板)、或延遲板(四分之一波板或二分之一波板)。另外，該偏振板或該圓形偏振板可能設有抗反射膜。例如，可實施反射光可藉由表面上之凸起及凹陷而散射的抗閃爍處理以減少該閃爍。

該密封劑可使用絲網列印法、噴墨設備、或散佈設備形成。典型地，可將包含可見光固化樹脂、紫外光固化樹脂、或熱固性樹脂的材料使用爲密封劑。另外，可能包含填充劑。

可能將使用分離製備在基材上方的單晶半導體膜或多晶半導體膜形成的驅動器電路使用及載置爲訊號線驅動器電路 4503a 及 4503b 以及掃描線驅動器電路 4504a 及 4504b。或者，可能僅有該訊號線驅動器電路或其之一部分，或僅有掃描線驅動器電路或其之一部分分離地形成，然後載置。此實施例並未受限於圖 18A 及 18B 所描繪的該結構。

經由上述處理，可製造作爲半導體裝置之高度可靠的發光顯示裝置(顯示面板)。

此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 12)

在此實施例中，將電子紙的範例描述爲根據本發明之一實施例的半導體裝置。

圖 19 描繪作爲將本發明實施例施用於其之半導體裝置的範例之主動矩陣電子紙。在此實施例中，例如，將描述於實施例 5 中的薄膜電晶體使用爲薄膜電晶體 581。將薄膜電晶體 581 之氧化物半導體層中的氫或水減少。因此，薄膜電晶體 581 係高度可靠的薄膜電晶體。

圖 19 中的電子紙係使用扭轉球顯示系統之顯示裝置的範例。該扭轉球顯示系統係指將以黑白色著色之球形粒子各者配置在使用爲顯示元件之電極層的第一電極層及第二電極層之間，並在該第一電極層及該第二電極層之間產生電位差以控制該等球形粒子之方位，使得顯示實施的系統。

形成在基材 580 上方的薄膜電晶體 581 具有源極及汲極電極層係經由形成在氧化矽層 583、保護絕緣層 584、以及絕緣層 585 中之開口電性連接至第一電極層 587 的底閘極結構。

將球形粒子設置在第一電極層 587 及第二電極層 588

之間。各球形粒子包括黑色區域 590a 及白色區域 590b，以及以圍繞黑色區域 590a 及白色區域 590b 之液體填充的空洞 594。球形粒子的周圍係以填充劑 595 填充，諸如樹脂(見圖 19)。在此實施例中，第一電極層 587 對應於像素電極，且設置在相對基材 596 上的第二電極層 588 對應於共同電極。

另外，也可使用電泳元件取代球形元件。使用具有約 10μm 至 200μm 直徑的微膠囊，其中將透明液體、正向充電白色微粒子、及負向充電黑色粒子裝入膠囊。在設置於該第一電極層及該第二電極層之間的該微膠囊中，當藉由該第一電極層及該第二電極層施加電場時，該等白色微粒子及該等黑色微粒子移至彼此相反的方向，使得可顯示白色或黑色。使用此原理的顯示元件係電泳顯示元件，並通常稱爲電子紙。電泳顯示元件具有高於液晶顯示元件的反射性，且因此不需要輔助光，電力消耗低、且顯示部可在昏暗處辨視。此外，即使當電力未供應至該顯示部時，可維持已顯示影像。因此，即使具有顯示功能的半導體裝置(其可能簡單地稱爲顯示裝置或設有顯示裝置的半導體裝置)與電波源有相當距離，仍可儲存已顯示影像。

經由上述步驟，高可靠性的電子紙可如半導體裝置似地製造。

可將描述於實施例 1 中的邏輯電路使用爲，例如，此實施例中之電子紙的驅動器電路。另外，因爲可將包括氧化物半導體層的電晶體施用爲該顯示部中的電晶體，例

如，可將該驅動器電路及該顯示部設置在一基材上方。

此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 13)

揭示於此說明書中的半導體裝置可施用至各種電子裝置(將娛樂機構包括在其類別中)。電子裝置的範例包括電視機(也稱爲電視或電視接收器)、電腦的監視器等、數位相機、數位視訊攝影機、數位相框、行動電話(也爲行動電話裝置)、可攜式遊戲機、可攜式資訊終端、音訊再生裝置、及大型遊戲機，諸如彈珠台，等。

圖 20A 描繪行動電話的範例。行動電話 1600 設有合併在外殼 1601 中的顯示部 1602、操作鍵 1603a 及 1603b、外部連接埠 1604、揚聲器 1605、及微音器 1606 等。

當描繪於圖 20A 中之行動電話 1600 的顯示部 1602 以手指等接觸時，可將資料輸入至行動電話 1600。另外，可藉由使用手指等接觸顯示部 1602 而實施操作，諸如通話或發信。

顯示部 1602 主要有三種螢幕模式。第一模式係主要用於顯示影像的顯示模式。第二模式係主要用於輸入資料的輸入模式，諸如文字。第三模式係顯示及輸入模式，其中將該顯示模式及該輸入模式之二模式組合。

例如，在通話或發信的情形中，選擇用於顯示部

1602 之主要用於輸入文字的文字輸入模式，使得可將顯示在螢幕上的文字輸入。在此情形中，將鍵盤或數字鈕顯示在顯示部 1602 的幾乎所有螢幕區域上爲佳。

當包括用於偵測傾斜之感測器，諸如迴轉儀或加速度感測器，的偵測裝置設置在行動電話 1600 之內側時，在顯示部 1602 之螢幕上的顯示可藉由判定行動電話 1600 的方向(針對橫向模式或直立模式，行動電話 1600 是否水平地或垂直地放置)而自動切換。

該等螢幕模式係藉由接觸顯示部 1602 或操作外殼 1601 之操作鈕 1603a 及 1603b 而切換。或者，該等螢幕模式可能取決於顯示在顯示部 1602 上的影像種類而切換。例如，當顯示於該顯示部中之影像的訊號係動畫資料時，該螢幕模式切換至顯示模式。當該訊號係文字資料時，該螢幕模式切換至輸入模式。

另外，在該輸入模式中，當藉由碰觸顯示部 1602 的輸入未於特定週期中實施時，當偵測到由顯示部 1602 中的光學感測器所偵測的訊號時，可能控制該螢幕模式以從該輸入模式切換至顯示模式。

顯示部 1602 的功能可能如同影像感測器。例如，掌紋、或指紋等的影像係藉由以手掌或手指接觸顯示部 1602 而取得，因此可實施個人鑑定。另外，藉由將發射近紅外線之背光或感測光源設置在顯示部，可取得手指血管、或手掌血管等的影像。

可將描述於該等實施例中的任何半導體裝置施用至顯

示部 1602。例如，可將描述於該等實施例中的複數個薄膜電晶體設置爲像素中的切換元件。

圖 20B 也描繪可攜式資訊終端的範例。範例描繪於圖 20B 中的可攜式資訊終端可具有複數個功能。例如，除了電話功能外，此種可攜式資訊終端可藉由合併電腦而具有處理各種資料段的功能。

描繪於圖 20B 中的可攜式資訊終端具有外殼 1800 及外殼 1801。外殼 1801 包括顯示面板 1802、揚聲器 1803、微音器 1804、指標裝置 1806、相機鏡頭 1807、及外部連接終端 1808 等。外殼 1800 包括鍵盤 1810、及外部記憶體插槽 1811 等。此外，將天線併入外殼 1800 中。

顯示面板 1802 設有觸控面板。在圖 20B 中，藉由虛線指示顯示爲影像的複數個操作鍵 1805。

另外，除了上述結構外，可能合併非接觸式 IC 晶片、或小型記憶體裝置等。

可將描述於任何實施例中的半導體裝置使用爲顯示面板 1802。在顯示面板 1802 中，顯示的方向取決於應用模式而適當地改變。另外，該可攜式資訊終端在與顯示面板 1802 相同的表面上設有相機鏡頭 1807，且因此可使用爲視訊電話。可將揚聲器 1803 及微音器 1804 使用爲視訊電話、記錄、播放聲音等，以及語音電話。此外，開發爲圖 20B 所描繪之狀態的外殼 1800 及 1801 係可滑動的，使得一者重疊在另一者的上方；因此，可減少該可攜式資訊終端的尺寸，其使該可攜式資訊終端適於攜帶。

可將外部連接終端 1808 連接至 AC 配接器及各種類型的纜線，諸如 USB 纜線，且使用個人電腦充電及資料通訊係可能的。此外，可將儲存媒體插入外部記憶體槽 1811 中，使得可儲存且可移動大量資料。

另外，除了上述功能外，可能提供紅外線通訊功能、或電視接收功能等。

圖 21A 描繪電視機的範例。在電視機 9600 中，將顯示部 9603 併入外殼 9601 中。顯示部 9603 可顯示影像。此處，外殼 9601 係藉由腳架 9605 支撐。

電視機 9600 可使用外殼 9601 或分離式遙控器 9610 的操作開關操作。可使用遙控器 9610 的操作鍵 9609 切換頻道及控制音量，從而可控制顯示在顯示部 9603 上的影像。此外，遙控器 9610 可能設有用於顯示輸出自遙控器 9610 之資料的顯示部 9607。

須注意電視機 9600 設有接收器、及數據機等。使用該接收器，可接收一般的 TV 廣播。此外，當該顯示裝置經由數據機使用或不使用佈線連接至通訊網路時，可實施單向(從傳送器至接收器)或雙向(例如，在傳送器及接收器之間或在接收器之間)資訊通訊。

可將描述於任何實施例中的半導體裝置施用至顯示部 9603。在顯示部 9603 中，例如，可將描述於任何其他實施例中的複數個薄膜電晶體設置爲像素的切換元件。

圖 21B 顯示數位相框的範例。例如，在數位相框 9700 中，將顯示部 9703 併入外殼 9701 中。顯示部 9703

可顯示各種影像。例如，顯示部 9703 可顯示使用數位相機等拍攝的影像資料，且功能如同普通相框。

可將描述於任何實施例中的半導體裝置施用至顯示部 9703。在顯示部 9703 中，例如，可將描述於任何其他實施例中的複數個薄膜電晶體設置爲像素的切換元件。

須注意數位相框 9700 設有操作部、外部連接終端(USB 終端、可連接至各種纜線，諸如 USB 纜線等，的終端)、及記錄媒體插入部等。雖然可能將此等組件設置在與該顯示部相同的表面上，針對設計美感，將彼等設置在側表面或背表面上爲佳。例如，將儲存使用數位相機拍攝之影像資料的記憶體插入該數位相框的記錄媒體插入部中，並載入資料，從而可將影像顯示在顯示部 9703 上。

可能將數位相框 9700 組態成無線地傳輸及接收資料。經由無線通訊，可載入期望影像資料以待顯示。

圖 22 係可攜式遊戲機，並由以接合部 9893 連接之外殼 9881 及外殼 9891 的二外殼構成，使得該可攜式遊戲機可展開或摺疊。顯示部 9882 及顯示部 9883 分別合併在外殼 9881 及外殼 9891 中。

可將描述於任何實施例中的半導體裝置施用至顯示部 9883。在顯示部 9883 中，例如，可將描述於任何其他實施例中的複數個薄膜電晶體設置爲像素的切換元件。

此外，描繪於圖 22 中的可攜式遊戲機設有揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、及輸入機構(操作鍵 9885、連接終端 9887、感測器 9888(具有量測力

量、移位、位置、速度、加速度、角速率、轉動數、距離、光、液體、磁性、溫度、化學基質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流動率、濕度、梯度、震動、氣味、或紅外線之功能)、及微音器 9889)等。無須多說，該可攜式遊戲機的結構並未受限於上述結構，且可使用至少設有揭示於此說明書中之薄膜電晶體的其他結構。該可攜式遊戲機可能視情況包括額外週邊。描繪於圖 22 中的可攜式遊戲機具有讀取儲存在該記錄媒體中的程式或資料，以將其顯示在該顯示部上的功能，以及藉由無線通訊與其他可攜式遊戲機分享資料的功能。須注意描繪於圖 22 中的該可攜式遊戲機的功能並未受限於此等，且該可攜式遊戲機可具有各種功能。

(實施例 14)

揭示於此說明書中的該半導體裝置可使用爲電子紙。只要電子裝置顯示資訊，電子紙可使用在所有領域的電子裝置中。例如，可將電子紙施用在電子書閱讀器(電子書)、海報、交通工具上的廣告，諸如火車、或各種卡片之顯示上，諸如信用卡等。將此種電子裝置的範例描繪於圖 23。

圖 23 描繪電子書閱讀器的範例。例如，電子書閱讀器 2700 包括外殼 2701 及外殼 2703 之二外殼。外殼 2701 及外殼 2703 係以轉軸 2711 組合，使得電子書閱讀器 2700 可將轉軸 2711 使用爲軸心而開啓及關閉。此種結構

致能電子書閱讀器 2700 像紙質書似地操作。

顯示部 2705 及顯示部 2707 分別合併在外殼 2701 及外殼 2703 中。顯示部 2705 及顯示部 2707 可能顯示一影像或不同影像。在顯示部 2705 及顯示部 2707 顯示不同影像的情形中，例如，在右側的顯示部(圖 23 中的顯示部 2705)可顯示文字而在左側的顯示部(圖 23 中的顯示部 2707)可顯示圖形。

圖 23 描繪外殼 2701 設有操作部等的範例。例如，外殼 2701 設有電源開關 2721、操作鍵 2723、及揚聲器 2725 等。可使用操作鍵 2723 翻頁。須注意也可能將鍵盤、或指標裝置等設置在顯示部設置於其上之外殼的表面上。此外，可能將外部連接終端(耳機終端、USB 終端、可連接至各種纜線的終端，諸如 AC 配接器、或 USB 纜線等)、及記錄媒體插入部等設置在外殼的背表面或側表面上。此外，電子書閱讀器 2700 可能具有電子字典的功能。

電子書閱讀器 2700 可能具有能無線地傳輸及接收資料的組態。經由無線通訊，可從電子書伺服器購買及下載所期望的書籍資料等。

此實施例可用與任何其他實施例適當地組合的方式實施。

(實施例 15)

根據本發明之實施例，將係氧化物半導體中之載體的

施體(或受體)之雜質減少至非常低的水準，從而使氧化物半導體爲本質或實質本質的，並將該氧化物半導體使用爲薄膜電晶體。

圖 24 係在此種電晶體的源極及汲極間之部分的能帶結構。針對高度純化之氧化物半導體，費米能階在理想條件下係位於禁帶中間。

在此情形中，ϕ_m 係氧化物半導體的工作函數且χ爲其之電子親和力。

此處，在接面表面，若滿足方程式$\phi_m=\chi$，用於電極之金屬的費米能階與氧化物半導體之傳導帶的能階相同。當方程式右側大於左側時，提供電阻接點。假設氧化物半導體具有 3.05eV 的能帶隙及 4.3eV 之電子親和力且係在本質狀態中(載體密度：約 $1\times10^{-7}/cm^3$)，並使用具有 4.3eV 之工作函數的鈦(Ti)形成源極電極及汲極電極。在此等條件下，如圖 24 所描繪地未形成相關於電子的肖特基能障。

圖 25 描繪將正電壓施加至使用氧化物半導體形成之電晶體中的汲極側之狀態。圖 25 描繪施加正電壓(VD>0)且未施加電壓至閘極(VG=0)(以虛線顯示)或將正電壓施加至閘極(VG>0)(以實線顯示)的情形。因爲氧化物半導體有寬能帶隙，本質的或實質本質之高度純化氧化物半導體的本質載體密度爲零或接近零。在未將電壓施加至閘極的情形中，因爲高電阻接點電阻，載體(電子)未從電極注入至氧化物半導體側，使得電流不流動，此意謂著關閉狀態。

另一方面，當將正電壓施加至閘極時，電阻接點電阻降低，因此電流流動，此意謂著在導通狀態。

圖 26A 係將正閘極電壓施加至其之使用氧化物半導體形成的 MOS 電晶體之能帶圖。在此情形中，幾乎沒有熱激發載體存在於高度純化之氧化物半導體中。因此，也未將載體儲存在閘絕緣膜的附近。然而，如圖 25 所描繪的，從源極側注入之載體的傳輸係可能的。

圖 26B 係將負閘極電壓施加至其之使用氧化物半導體形成的 MOS 電晶體之能帶圖。幾乎沒有少數載體(電洞)在氧化物半導體中；因此，也未將載體儲存在閘絕緣膜的附近。此意謂著小截止電流。

圖 27 係使用矽半導體形成之電晶體的能帶圖。針對矽半導體，能帶隙係 1.12eV，本質載體密度爲 $1.45\times10^{10}/cm^3$(300K)，且載體甚至在室溫下存在。即使在室溫下，該等熱激發載體也係不可忽視的。因此，截止電流取決於溫度而大幅改變。

以此種方式，不係僅藉由簡單地將具有寬能帶隙的氧化物半導體使用爲電晶體，也藉由降低係施體的雜質，諸如氫，並因此將載體密度設定至 $1\times10^{14}/cm^3$ 或以下，$1\times10^{12}/cm^3$ 以下爲佳，可將在實際操作溫度下由施加至該電晶體的熱所激發之載體移除，使得電晶體可僅藉由從源極側注入的載體操作。因此，可能得到將截止電流降低至 1×10^{-13}[A]或以下且不易由於溫度改變而改變的電晶體，因此該電晶體可用極端穩定的方式操作。

(實施例 16)

在此實施例中，將於下文描述截止電流之使用測試元件族(也稱爲 TEG)的量測值。

圖 28 顯示具有 L/W=3μm/10000μm 之薄膜電晶體的初始特徵，其中將各者實際具有 L/W=3μm/50μm 的 200 個薄膜電晶體並聯連接。此外，在圖 29A 中顯示頂視圖並在圖 29B 中顯示其之部分放大頂視圖。由圖 29B 中之點虛線所圍繞的區域係具有 L/W=3μm/50μm 及 Lov=1.5μm 的一級薄膜電晶體。爲量測薄膜電晶體的初始特徵，在將基材溫度設定至室溫、將源極及汲極之間的電壓(在下文中，汲極電壓或 Vd)設定至 10V、並將源極及閘極之間的電壓(在下文中，閘極電壓或 Vg)從-20V 改變至+20V 的條件下，量測源極-汲極電流(在下文中稱爲汲極電流或 Id)的改變特徵，亦即，Vg-Id 特徵。須注意圖 28 顯示在從-20V 至+5V 之範圍中的 Vg。

如圖 28 所示，具有 10000μm 之通道寬度 W 的薄膜電晶體在 1V 及 10V 之 Vd 具有 1×10^{-13}A 或以下的截止電流，其少於或等於量測裝置(半導體參數分析儀，由安捷倫科技製造的 Agilent 4156C)的解析度(100fA)。該電晶體的截止電流在每 10000 微米通道寬度 W 爲 1×10^{-13}A 或以下。因此，可說該電晶體的截止電流在每微米通道寬度 W 爲 1×10^{-13}A 或以下。另外，可將截止電流在每 10000 微米通道寬度 W 爲 1×10^{-13}A 或以下的電晶體轉變爲截止電

流在每微米通道寬度 W 爲 1×10^{-17}A 或以下的薄膜電晶體。

描述製造用於該量測之薄膜電晶體的方法。

首先，藉由 CVD 法將氮化矽層形成爲玻璃基材上方的基層，並將氮氧化矽層形成在氮化矽層上方。藉由濺鍍法將鎢層形成爲在該氮氧化矽層上方的閘極電極層。此處，藉由選擇性地蝕刻該鎢層而形成該閘極電極層。

然後，藉由 CVD 法將具有 100nm 之厚度的氮氧化矽層形成爲在閘極電極層上方的閘極絕緣層。

藉由使用 In-Ga-Zn-O-基氧化物半導體膜形成目標(以 In_2O_3:Ga_2O_3:ZnO=1:1:2 的莫耳比率)的濺鍍法將具有 50nm 之厚度的氧化物半導體層形成在閘極絕緣層上方。此處，藉由選擇性地蝕刻該氧化物半導體層形成島形氧化物半導體層。

然後，第一熱處理在潔淨烤箱中的氮大氣中以 450℃在該氧化物半導體層上實施 1 小時。

然後，藉由濺鍍法將鈦層(具有 150nm 的厚度)形成爲在氧化物半導體層上方的源極電極層及汲極電極層。此處，該源極電極層及該汲極電極層係藉由選擇性地蝕刻形成，使得具有 3μm 的通道長度 L 及 50μm 之通道寬度 W 的 200 個薄膜電晶體並聯連接，以得到實際具有 L/W=3μm/10000μm 的薄膜電晶體。

然後，藉由反應濺鍍法將具有 300nm 厚度之氧化矽層形成爲與氧化物半導體層接觸的保護絕緣層。此處，藉

由選擇性地蝕刻係保護層的氧化矽層，將開口部形成在閘極電極層、源極電極層、以及汲極電極層上方。之後，第二熱處理在氮大氣中以 250℃ 實施 1 小時。

然後，在 Vg-Id 特徵量測之前，該熱處理以 150℃ 實施 10 小時。

經由上述處理，製造底閘極薄膜電晶體。

該薄膜電晶體爲何具有如圖 28 所示之約 1×10^{-13}A 的截止電流之原因係在上述製程中可將氧化物半導體層中的氫濃度充份地降低。該氧化物半導體層中的氫濃度爲 $5\times10^{19}/cm^3$ 或以下，$5\times10^{18}/cm^3$ 或以下較佳，$5\times10^{17}/cm^3$ 或以下更佳。須注意氧化物半導體層中的氫濃度係藉由二次離子質譜儀(SIMS)量測。

雖然描述使用 In-Ga-Zn-O-基氧化物半導體的範例，此實施例並未特別受限於此。也可使用其他氧化物半導體材料，諸如 In-Sn-Zn-O-基氧化物半導體、基氧化物半導體、Sn-Ga-Zn-O-基氧化物半導體、Al-Ga-Zn-O-基氧化物半導體、Sn-Al-Zn-O-基氧化物半導體、In-Zn-O-基氧化物半導體、In-Sn-O-基氧化物半導體、Sn-Zn-O-基氧化物半導體、Al-Zn-O-基氧化物半導體、In-O-基氧化物半導體、Sn-O-基氧化物半導體、或 Zn-O-基氧化物半導體。另外，可將混有 2.5 重量百分比至 10 重量百分比之 AlO_x 的 In-Al-Zn-O-基氧化物半導體、或混有 2.5 重量百分比至 10 重量百分比之 SiO_x 的 In-Zn-O-基氧化物半導體使用爲氧化物半導體材料。

藉由載體量測裝置量測之氧化物半導體層的載體濃度低於或等同於矽之載體濃度，$1.45\times10^{10}/cm^3$、少於$5\times10^{14}/cm^3$爲佳、$5\times10^{12}/cm^3$或以下更佳。換言之，可使該氧化物半導體層的載體濃度儘可能接近零。

該薄膜電晶體也可具有 10nm 至 1000nm 的通道長度 L，其致能電路操作速度的增加，及極小的截止電流，其致能功率消耗的更行降低。

此外，在電路設計中，當該薄膜電晶體係在關閉狀態中時，可將該氧化物半導體層視爲係絕緣器。

之後，評估在此實施例中製造的薄膜電晶體之截止電流的溫度特徵。溫度特徵在考慮使用該薄膜電晶體之終端產品的環境阻力、或效能維護等時係重要的。待理解較小的改變量係較佳的，其增加產品設計的自由度。

針對該等溫度特徵，在將設有薄膜電晶體的基材保持在-30℃、0℃、25℃、40℃、60℃、80℃、100℃、及 120℃的個別恆溫、將汲極電壓設定至 6V、並將閘極電壓從-20V 改變至+20V 之條件下使用恆溫室得到 Vg-Id 特徵。

圖 30A 顯示在上述溫度量測且相互重疊的 Vg-Id 特徵，且圖 30B 顯示由圖 30A 中的虛線所圍繞之截止電流範圍的放大圖。由該圖中之箭號所指示的最右側曲線係在-30℃得到的曲線；最左側的曲線係在 120℃得到的曲線；且在其他溫度得到的曲線位於彼等之間。可難以觀察到開啓狀態電流的溫度相依性。另一方面，如也在圖 30B 之放大圖中清楚地顯示的，除了在 20V 之閘極電壓的附

近，截止電流在所有溫度均少於或等於 1×10^{-12}A，其接近該量測裝置的解析度，且未觀察到其之溫度相依性。換言之，即使在 120℃的高溫，將截止電流保持爲少於或等於 1×10^{-12}A，且設若通道寬度 W 爲 10000μm，可看出截止電流顯著地小。

包括純化氧化物半導體的薄膜電晶體幾乎不顯示截止電流對溫度的相依性。此也由該氧化物半導體具有 3eV 或以上的能量間隙並包括非常少之本質載子所導致。此外，源極區域及汲極區域係在退化狀態中，其也係不顯示溫度相依性的因子。該薄膜電晶體主要使用從退化源極區域注入至氧化物半導體的載體操作，且上述特徵(截止電流對溫度的無關性)可藉由載體密度對溫度的無關性解釋。

在使用具有此種極小截止電流之薄膜電晶體製造記憶體電路(記憶體元件)等的情形中，有非常小的漏電流。因此，可將記憶體資料儲存更長的時間週期。須注意此處的記憶體元件將邏輯電路包括在其分類中。

本申請案基於 2009 年 10 月 16 日向日本特許廳申請的日本專利申請案編號第 2009-238918 號，該專利之教示全文以提及之方式併入本文中。

【符號說明】

100、151、152、153：邏輯電路

101、102、104、105、107、108、110、111：電晶體

103、106、109、112、6403：電容器

121、122、123、124：節點

131、132：單元邏輯電路

141、142、143、144、145、146、147、148、149、150：週期

300、320、340、370、394、400、450、580、5300：基材

302、322、342、397、402、452：閘極絕緣層

303、323、343、373、398、584、4042、7035、7045、7052：保護絕緣層

310、350、360、380、390、410、425、426、460、581、4010、4011、4509、4510、5603：薄膜電晶體

311、351、361、381、391、411、461、461a、461b：閘極電極層

313、363：通道形成區域

314a、364a：高電阻源極區域

314b、364b：高電阻汲極區域

315a、355a、365a、385a、395a：源極電極層

315b、355b、365b、385b、395b：汲極電極層

316、356、366、386、396：氧化物絕緣層

330、345、393：氧化物半導體膜

331、332、346、352、362、382、392、399、412、462：氧化物半導體層

372a：第一閘極絕緣層

372b：第二閘極絕緣層

407、422、457、585、4021、4032、4033、4041、4042、

4544、4551、7031、7032、7041、7042、7055：絕緣層

414a、414b、464、468、4550：佈線層

415a、415b、465a、465a1、465a2、465b：源極或汲極電極層

420：矽基材

421a、421b、423：開口

424、427、4040、4540：導電層

583、7051：氧化矽層

587：第一電極層

588：第二電極層

590a：黑色區域

590b：白色區域

594：空洞

595、4507：填充劑

596：相對基材

1600：行動電話

1601、1800、1801、2701、2703、9601、9701、9881、9891：外殼

1602、2705、2707、9603、9607、9703、9882、9883：顯示部

1603a、1603b、1805、2723、9609、9885：操作鍵

1604：外部連接埠

1605、1803、2725：揚聲器

1606、1804、9889：微音器

1802：顯示面板

1806：指標裝置

1807：相機鏡頭

1808：外部連接終端

1810：鍵盤

1811：外部記憶體插槽

2700：電子書閱讀器

2711：轉軸

2721：電源開關

4001、4501：第一基材

4002、4502、5301：像素部

4003、4503a、4503b：訊號線驅動器電路

4004：掃描線驅動器電路

4005、4505：密封劑

4006、4506：第二基材

4008：液晶層

4013：液晶元件

4015、4515：連接終端電極

4016、4516：終端電極

4018、4518a、4518b：FPC

4019、4519：各向異性導電膜

4030：像素電極層

4031：相對電極層

4035：間隔器

4504a、4504b：掃描線驅動器電路

4511、6404、7002、7012、7022：發光元件

4512：電致發光層

4513、7005、7015、7025：第二電極

4517、7003、7013、7023：第一電極

4520、7009、7019、7029：分隔壁

4542：氧化矽層

4543、7034、7044：被覆層

4545、7033、7043：彩色濾波器層

5302：第一掃描線驅動器電路

5303：第二掃描線驅動器電路

5304：訊號線驅動器電路

5305：時序控制電路

5601：移位暫存器

5602：切換電路

5604、5605：佈線

6400：像素

6401：切換電晶體

6402：驅動電晶體

6405、S：訊號線

6406：掃描線

6407：電源供應線

6408：共同電位線

7001、7011、7021：驅動 TFT

7004、7014、7024：EL層

7016：屏蔽膜

7017、7027：光透射導電膜

7036、7046、7053、7056：平坦化絕緣層

9600：電視機

9605：腳架

9610：分離式遙控器

9700：數位相框

9884：揚聲器部

9886：記錄媒體插入部

9887：連接終端

9888：感測器

9890：LED燈

9893：接合部

A1、A2、A3、A4、A5、A6、A7、A8、A9、A10：時間

CK1、CK2、IN1、IN2、OUT1a、OUT1b、OUT2a、OUT2b、OUT3a、OUT3b、Sout、Vdata：訊號

DATA：視訊訊號資料

GCK1：第一掃描線驅動器電路時脈訊號

GCK2：掃描線驅動器電路時脈訊號

GSP1：第一掃描線驅動器電路開始訊號

GSP2：第二掃描線驅動器電路開始訊號

Id：汲極電流

L：通道長度

LAT：鎖存訊號

SCK：訊號線驅動器電路時脈訊號

SSP：訊號線驅動器電路開始訊號

T1 至 TN：週期

Vd：汲極電壓

VDD：高電源供應電壓

Vg：閘極電壓

V_H：高位準電壓

V_L：低位準電壓

VSS：低電源供應電壓

W：通道寬度

S1 至 Sk：訊號線

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

像素部，包含第一電晶體；以及

驅動電路，與該像素部電性連接，包含第二電晶體；

該第一電晶體包含：

第一氧化物半導體層；

第一閘極電極層，與該第一氧化物半導體層重疊，將第一閘極絕緣層包夾於其間；以及

第一源極電極層以及第一汲極電極層，與該第一氧化物半導體層接觸；

該第二電晶體包含：

第二閘極電極層；

第二氧化物半導體層，設置於該第二閘極電極層上，將第二閘極絕緣層包夾於其間；

第三閘極電極層，設置於該第二氧化物半導體層上，將第三閘極絕緣層包夾於其間；以及

第二源極電極層以及第二汲極電極層，與該第二氧化物半導體層接觸；

該第一氧化物半導體層以及該第二氧化物半導體層，都分別包含銦、鎵、鋅。

【請求項2】一種半導體裝置，包含：

像素部，包含第一電晶體；以及

驅動電路，與該像素部電性連接，包含第二電晶體；

該第一電晶體包含：

第一氧化物半導體層；

第一閘極電極層，設置於該第一氧化物半導體層上，將第一閘極絕緣層包夾於其間；以及

第一源極電極層以及第一汲極電極層，設置於該第一氧化物半導體層的下方，與該第一氧化物半導體層接觸；

該第二電晶體包含：

第二閘極電極層；

第二氧化物半導體層，設置於該第二閘極電極層上，將第二閘極絕緣層包夾於其間；

第三閘極電極層，設置於該第二氧化物半導體層上，將第三閘極絕緣層包夾於其間；以及

第二源極電極層以及第二汲極電極層，與該第二氧化物半導體層接觸；

該第一氧化物半導體層以及該第二氧化物半導體層，都分別包含銦、鎵、鋅。

【請求項3】一種半導體裝置，包含：

像素部，包含第一電晶體；以及

驅動電路，與該像素部電性連接，包含第二電晶體；

該第一電晶體包含：

第一氧化物半導體層；

第一閘極電極層，與該第一氧化物半導體層重疊，將第一閘極絕緣層包夾於其間；以及

第一源極電極層以及第一汲極電極層，設置於該

第一氧化物半導體層的下方，與該第一氧化物半導體層接觸；

該第二電晶體包含：

第二閘極電極層；

第二氧化物半導體層，設置於該第二閘極電極層上，將第二閘極絕緣層包夾於其間；

第三閘極電極層，設置於該第二氧化物半導體層上，將第三閘極絕緣層包夾於其間，與該第二氧化物半導體層重疊；以及

第二源極電極層以及第二汲極電極層，設置於該第二氧化物半導體層的下方，與該第二氧化物半導體層接觸；

該第一氧化物半導體層以及該第二氧化物半導體層，都分別包含銦、鎵、鋅。

【請求項4】如請求項3之半導體裝置，其中，

該第一閘極電極層設置於該第一氧化物半導體層的上方。

【請求項5】如請求項1至4中任一項之半導體裝置，其中，

該像素部包含發光元件，該發光元件與該第一電晶體電性連接。

【請求項6】如請求項1至4中任一項之半導體裝置，其中，

該第一閘極電極層具有堆疊結構，且包含選自於鉬、

鈦、鉻、鉭、鎢、鋁、銅、釹、銃其中一個元素。

【請求項7】如請求項1至4中任一項之半導體裝置，其中，

該第三閘極電極層具有堆疊結構，且包含選自於鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、銃其中一個元素。

【請求項8】如請求項1至4中任一項之半導體裝置，其中，

該第一源極電極層、該第一汲極電極層、該第二源極電極層、該第二汲極電極層，都分別包含選自於鋁、鉻、銅、鉭、鈦、鉬、鎢、釹、銃其中一個元素。

【發明圖式】

圖1A

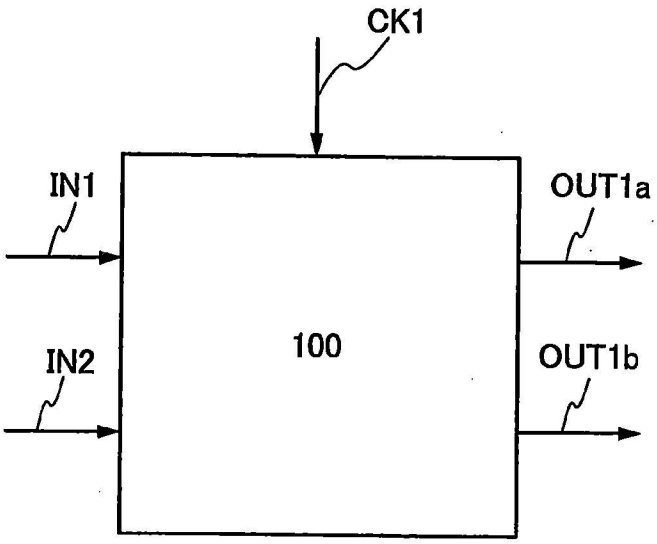

CK1
IN1
IN2
100
OUT1a
OUT1b

圖1B

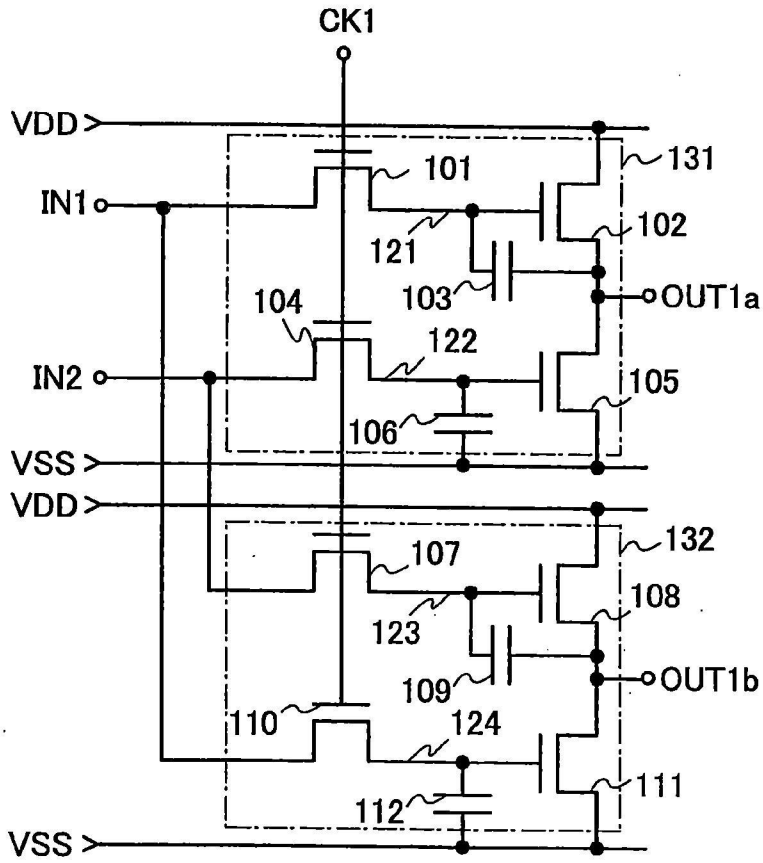

CK1
VDD
IN1
IN2
VSS
VDD
VSS
101
102
103
104
105
106
107
108
109
110
111
112
121
122
123
124
131
132
OUT1a
OUT1b

圖2

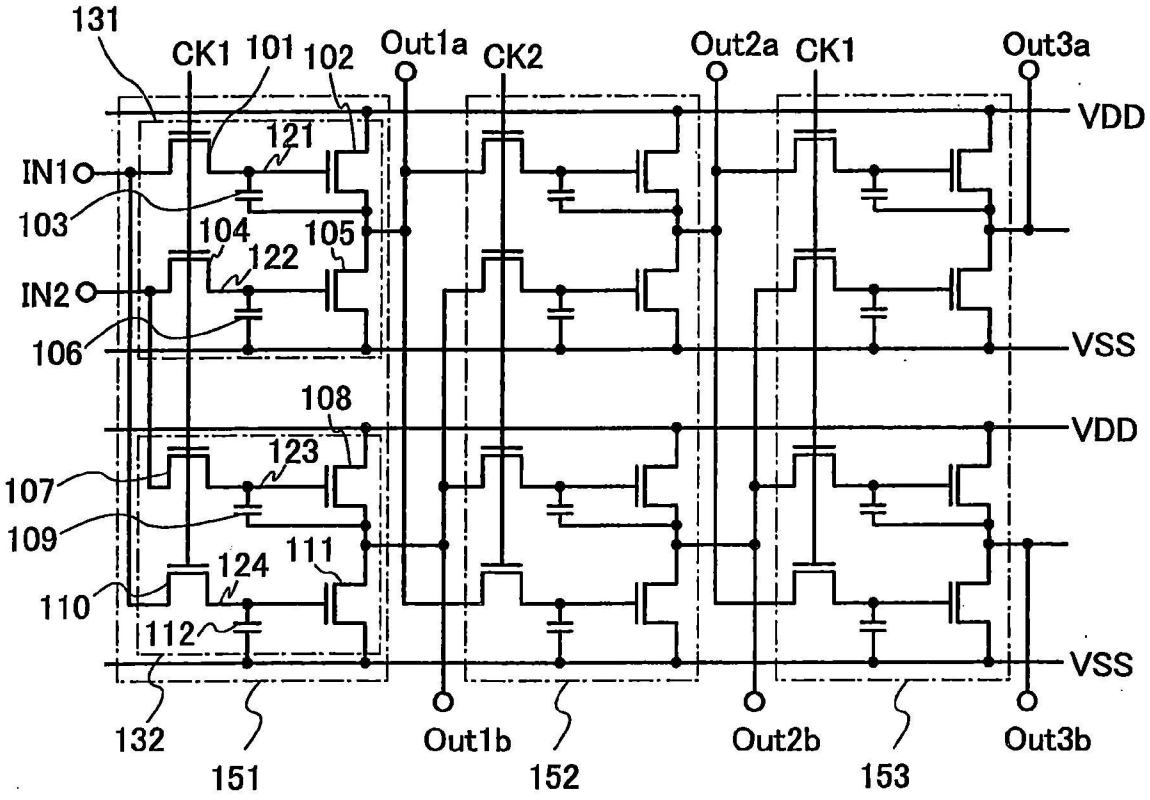

131
CK1
101
102
Out1a
CK2
Out2a
CK1
Out3a
VDD
121
IN1
103
104
105
122
IN2
106
VSS
108
VDD
123
107
109
111
124
110
112
VSS
132
151
Out1b
152
Out2b
153
Out3b

圖3

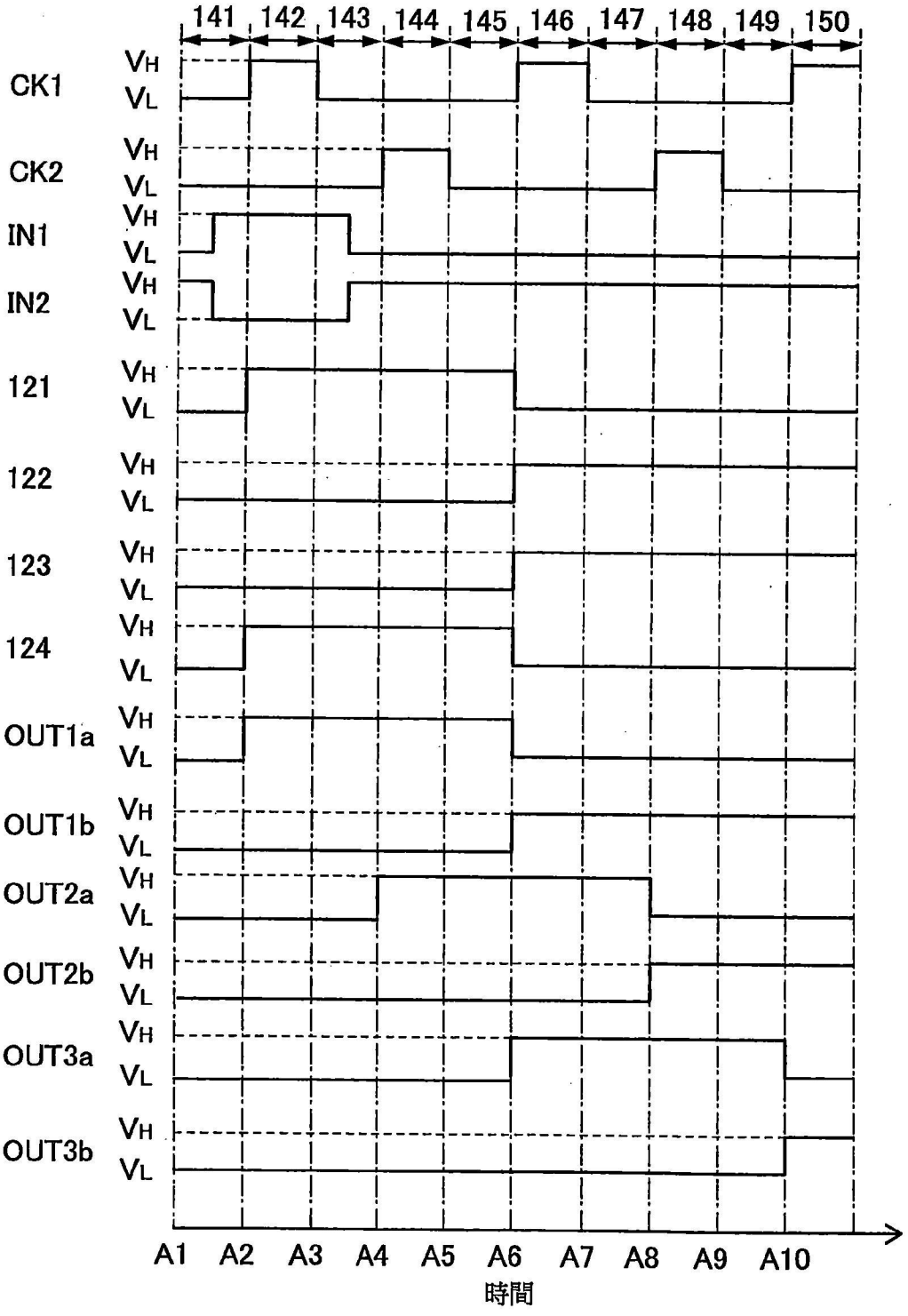

141
142
143
144
145
146
147
148
149
150
CK1
CK2
IN1
IN2
121
122
123
124
OUT1a
OUT1b
OUT2a
OUT2b
OUT3a
OUT3b
VH
VL
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
時間

圖4A

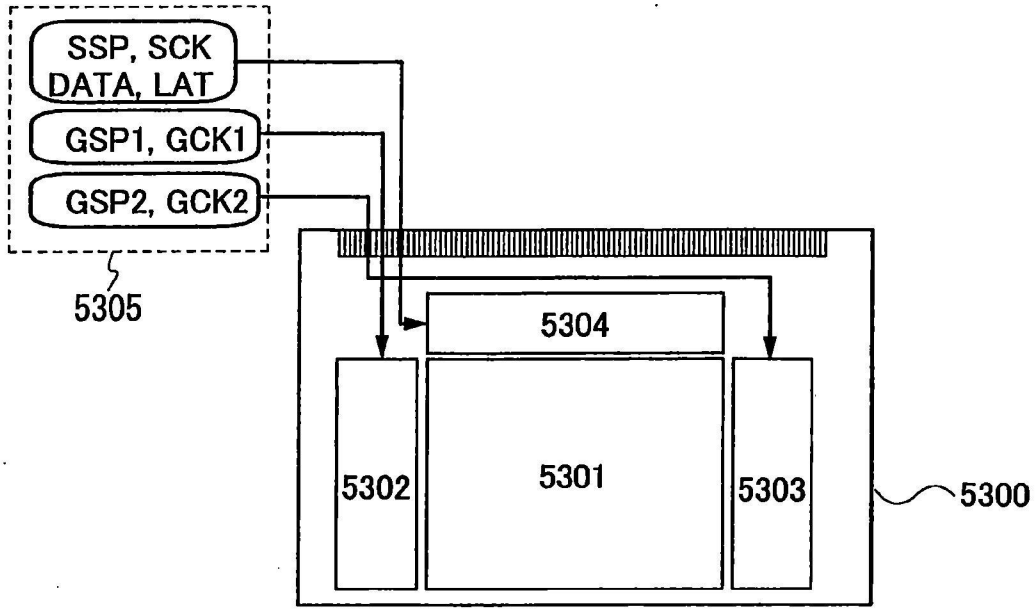

SSP, SCK
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300

圖4B

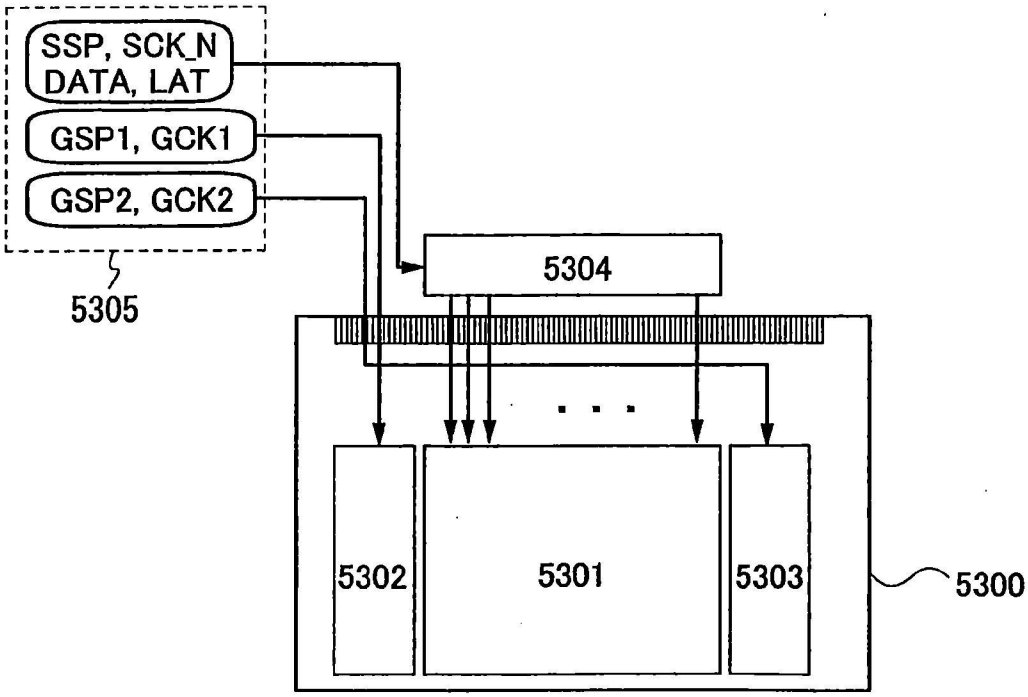

SSP, SCK_N
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300

圖5A

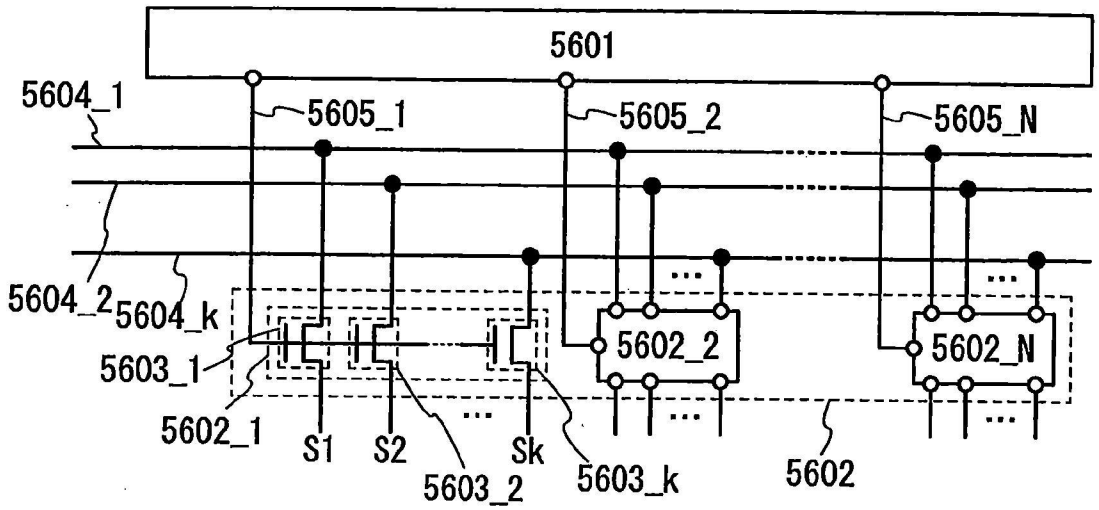

5601
5604_1
5605_1
5605_2
5605_N
5604_2
5604_k
5603_1
5602_1
S1
S2
Sk
5603_2
5603_k
5602_2
5602_N
5602

圖5B

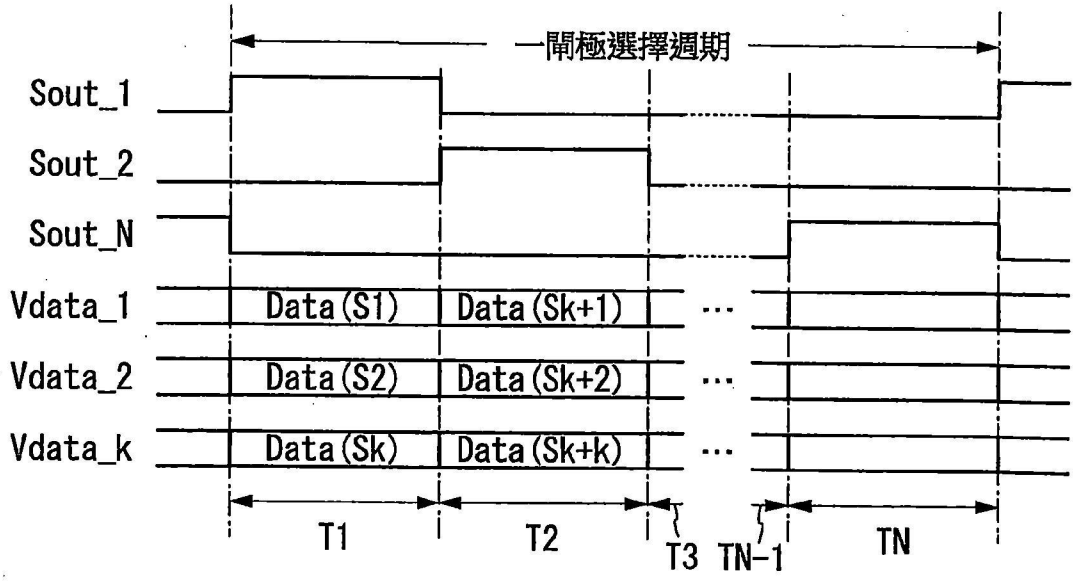

一閘極選擇週期
Sout_1
Sout_2
Sout_N
Vdata_1
Vdata_2
Vdata_k
Data(S1)
Data(Sk+1)
Data(S2)
Data(Sk+2)
Data(Sk)
Data(Sk+k)
T1
T2
T3
TN-1
TN

圖6A

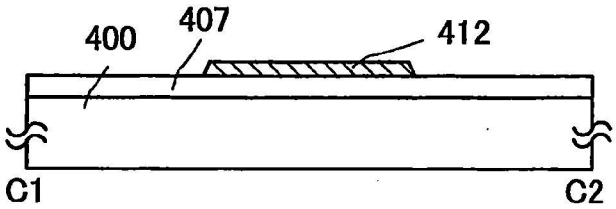


圖6B

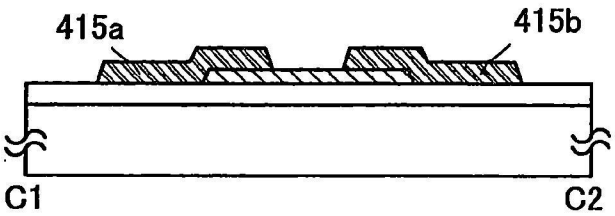


圖6C

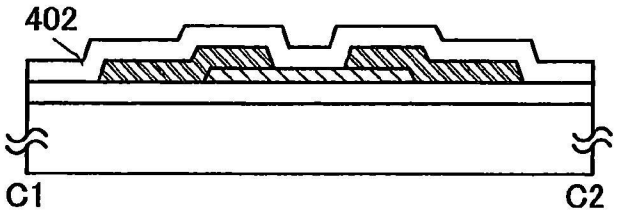


圖6D

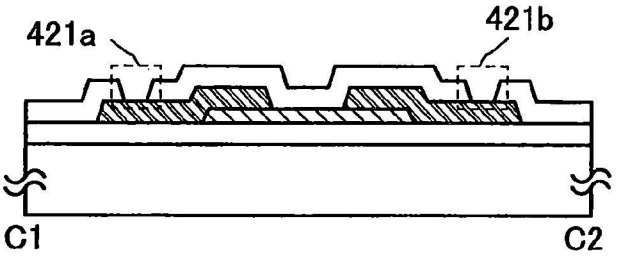


圖6E

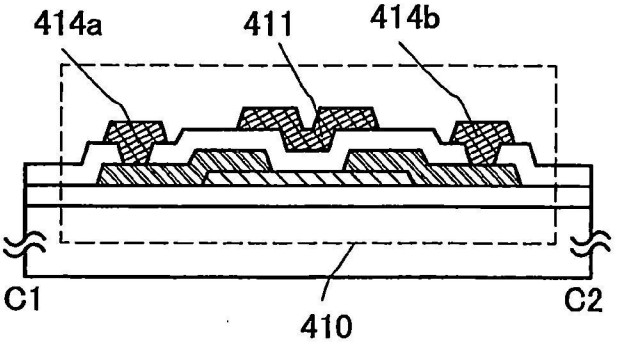


圖7A

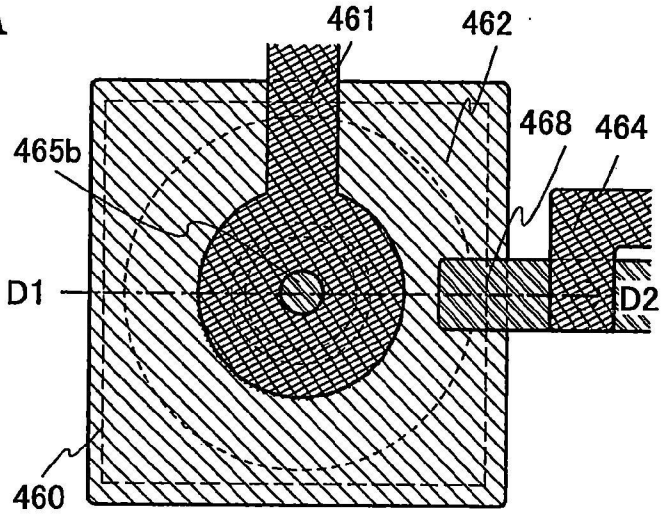

461
462
468
464
465b
D1
D2
460

圖7B

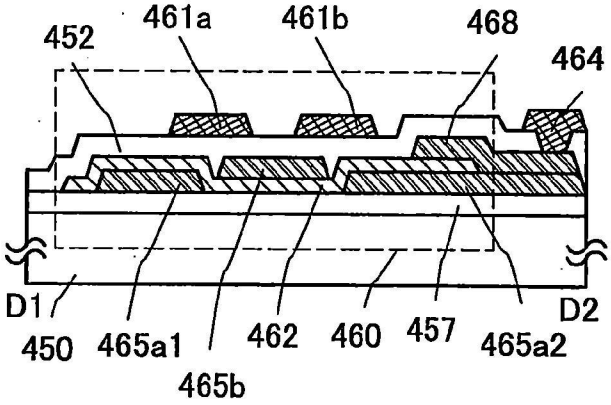

452
461a
461b
468
464
D1
D2
450
465a1
462
460
457
465a2
465b

圖8A

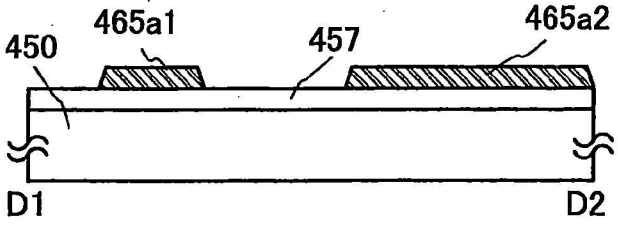


圖8B

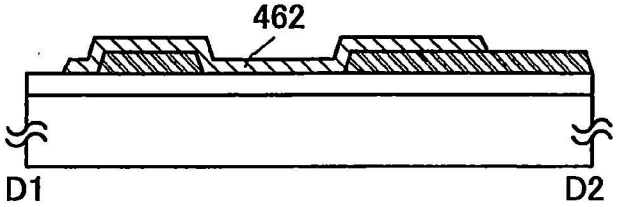


圖8C

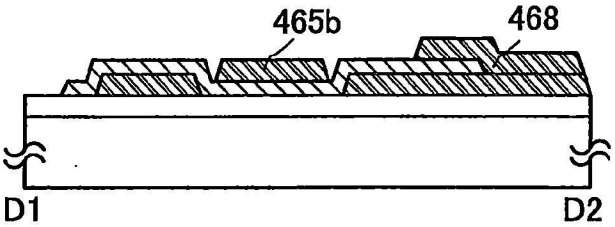


圖8D

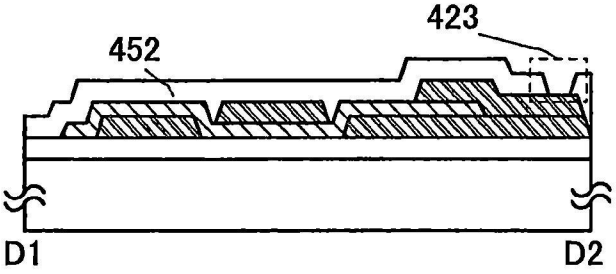


圖8E

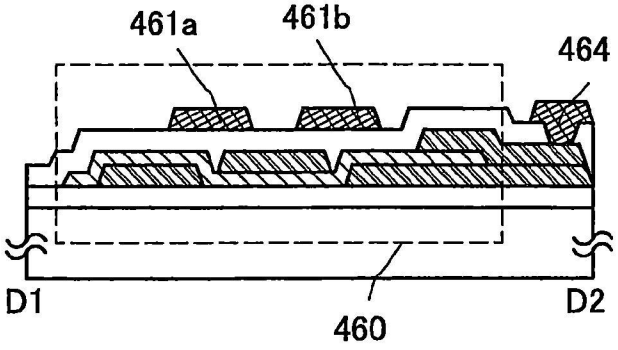


圖9A

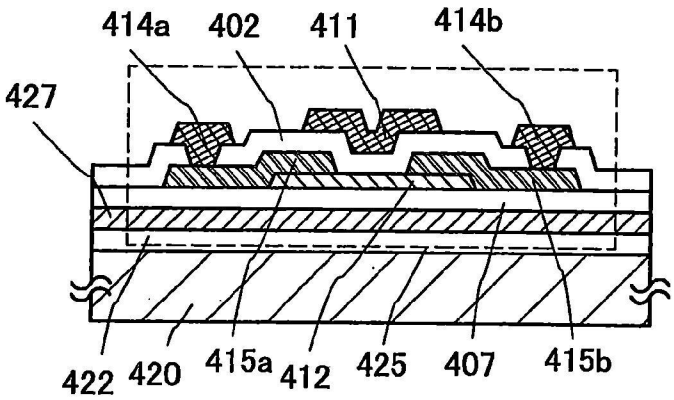

414a
402
411
414b
427
422
420
415a
412
425
407
415b

圖9B

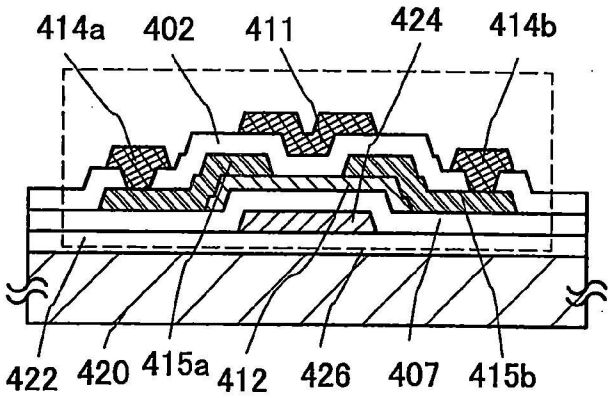

414a
402
411
424
414b
422
420
415a
412
426
407
415b

圖10A

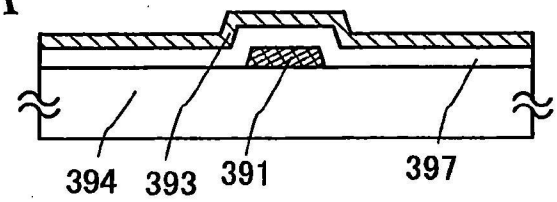


圖10B

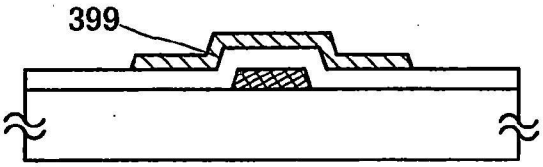


圖10C

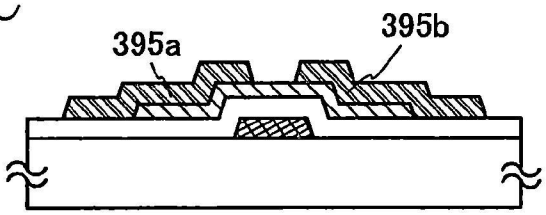


圖10D

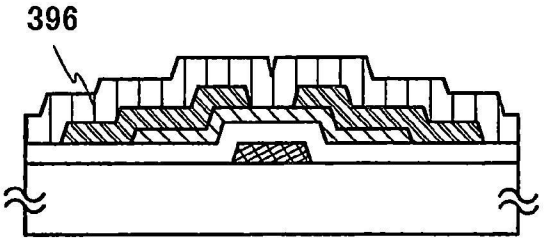


圖10E

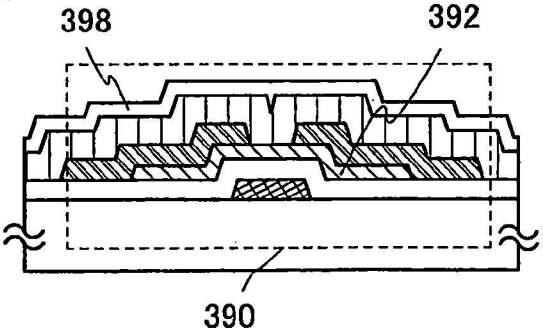


圖11A

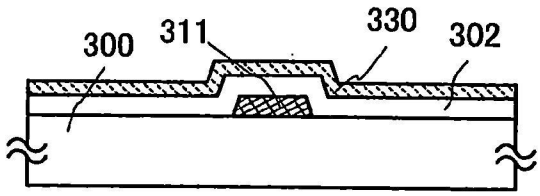


圖11B

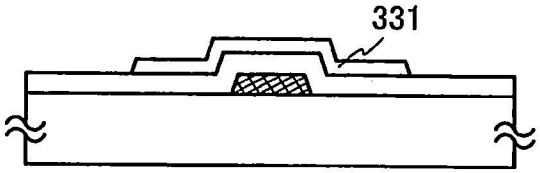


圖11C

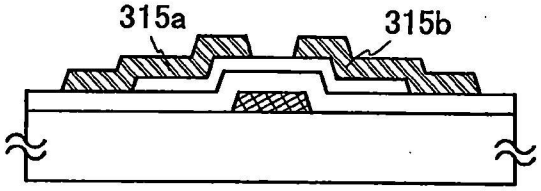


圖11D

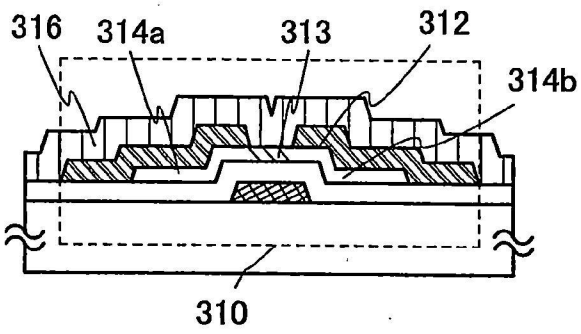


圖11E

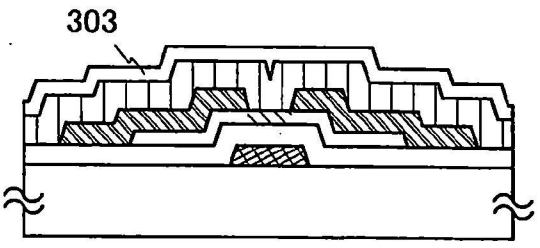


圖12A

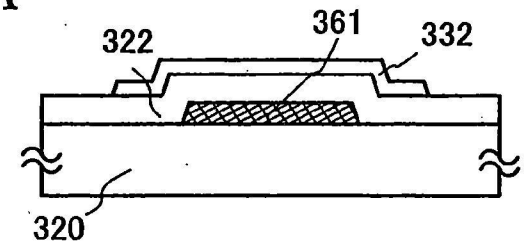


圖12B

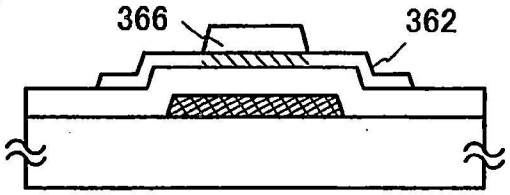


圖12C

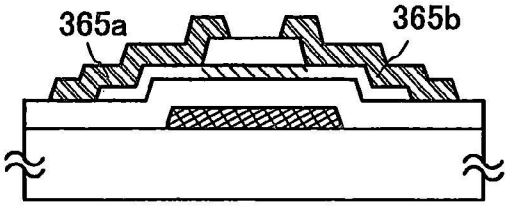


圖12D

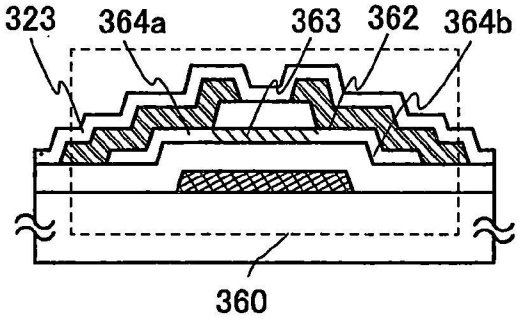


圖13A

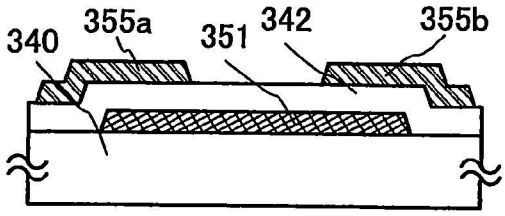


圖13B

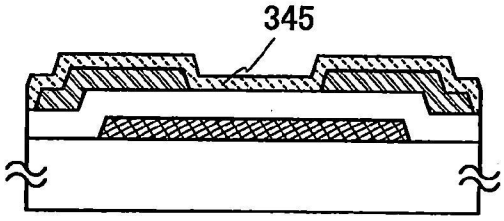


圖13C

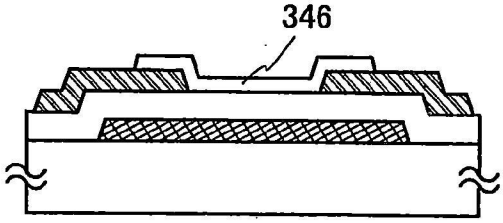


圖13D

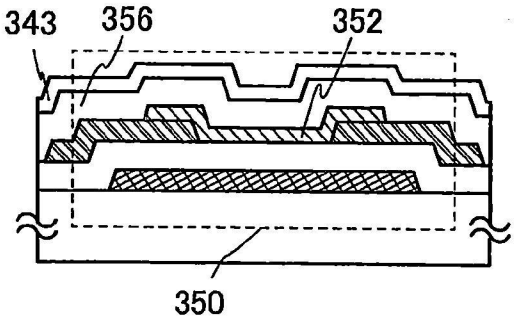
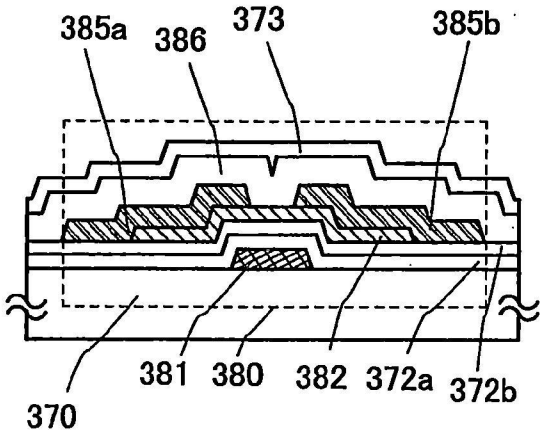


圖14



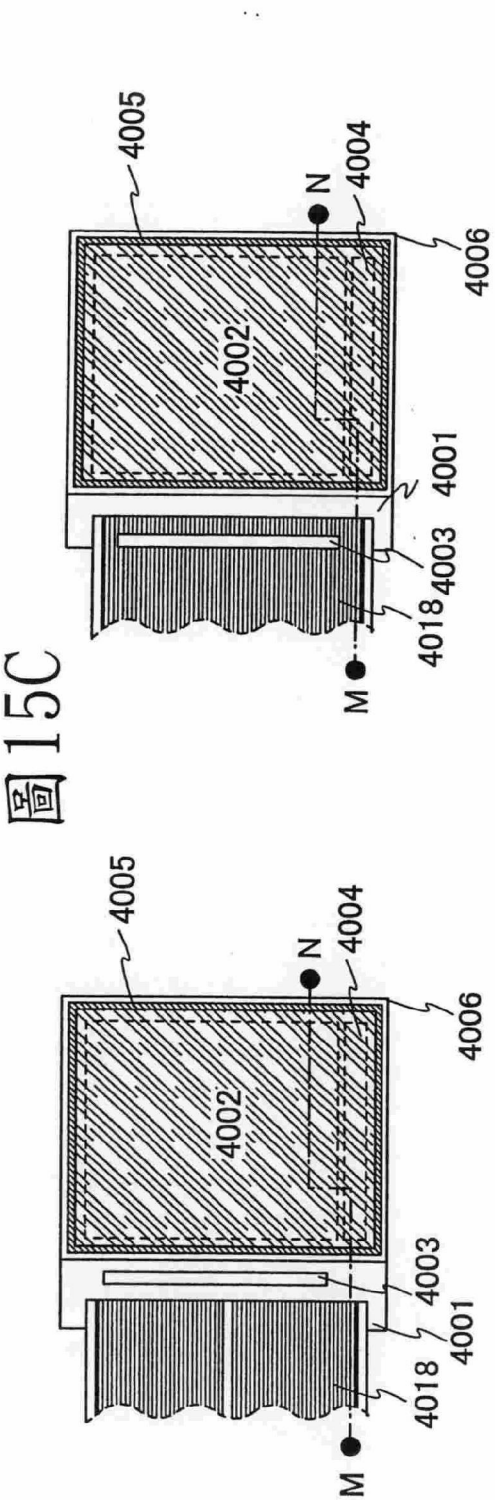


圖15A

圖15C

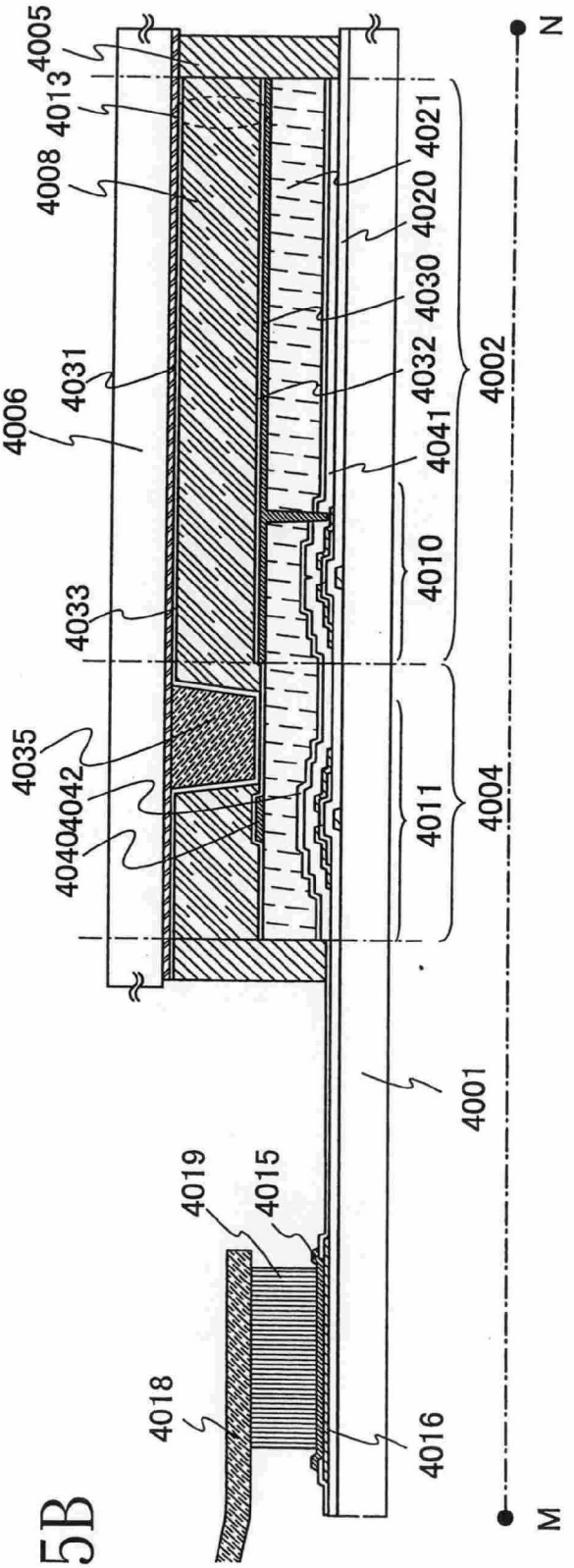


圖15B

圖16

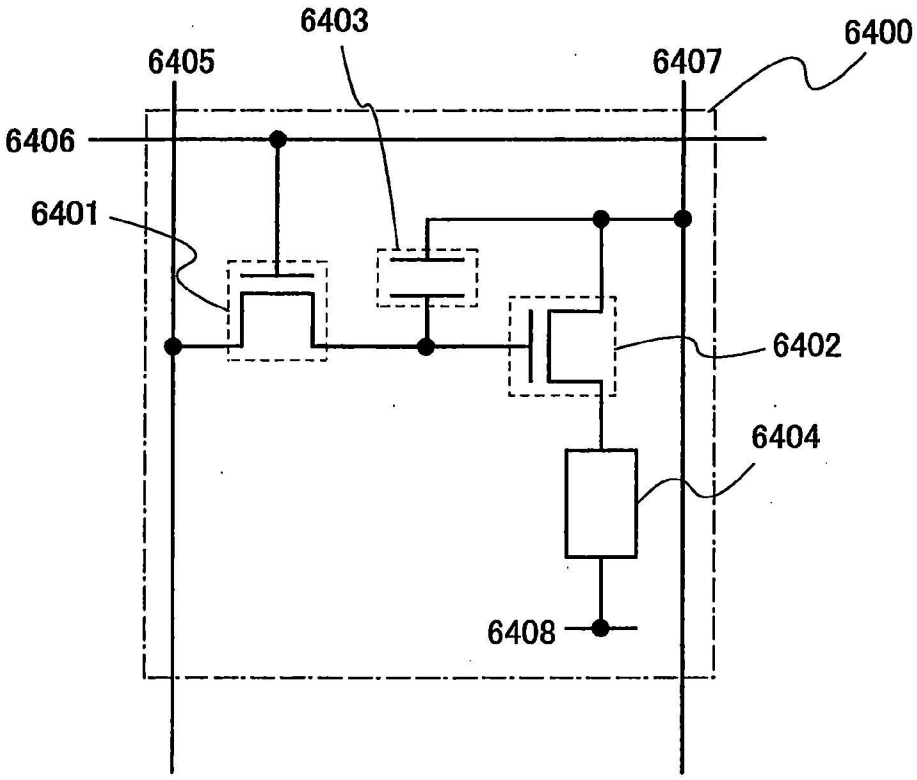


圖17A

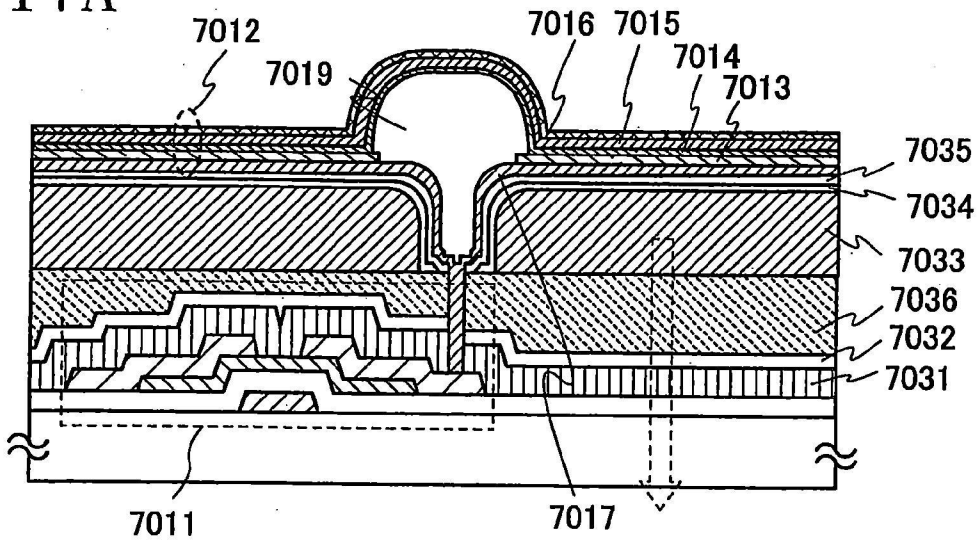


圖17B

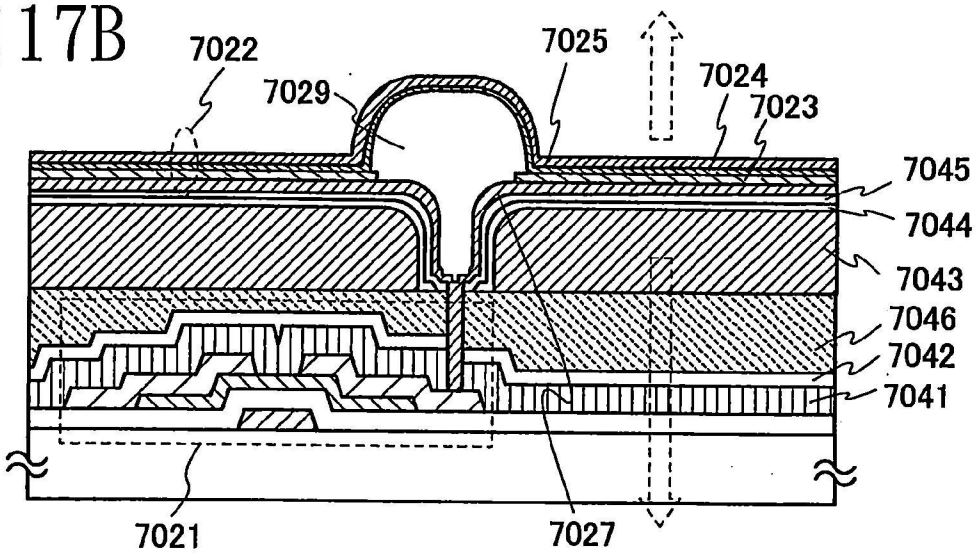
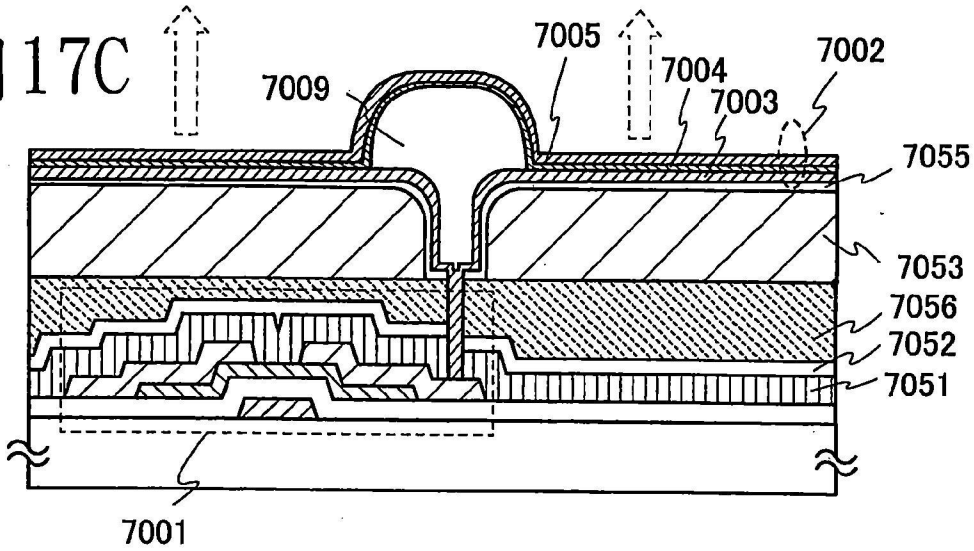


圖17C



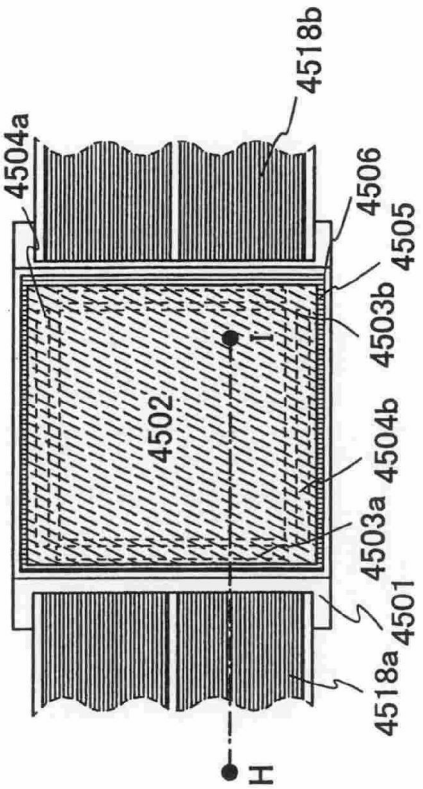

4504a
4518b
4506
4505
4503b
4504b
4503a
4501
4518a
4502
H

圖18A

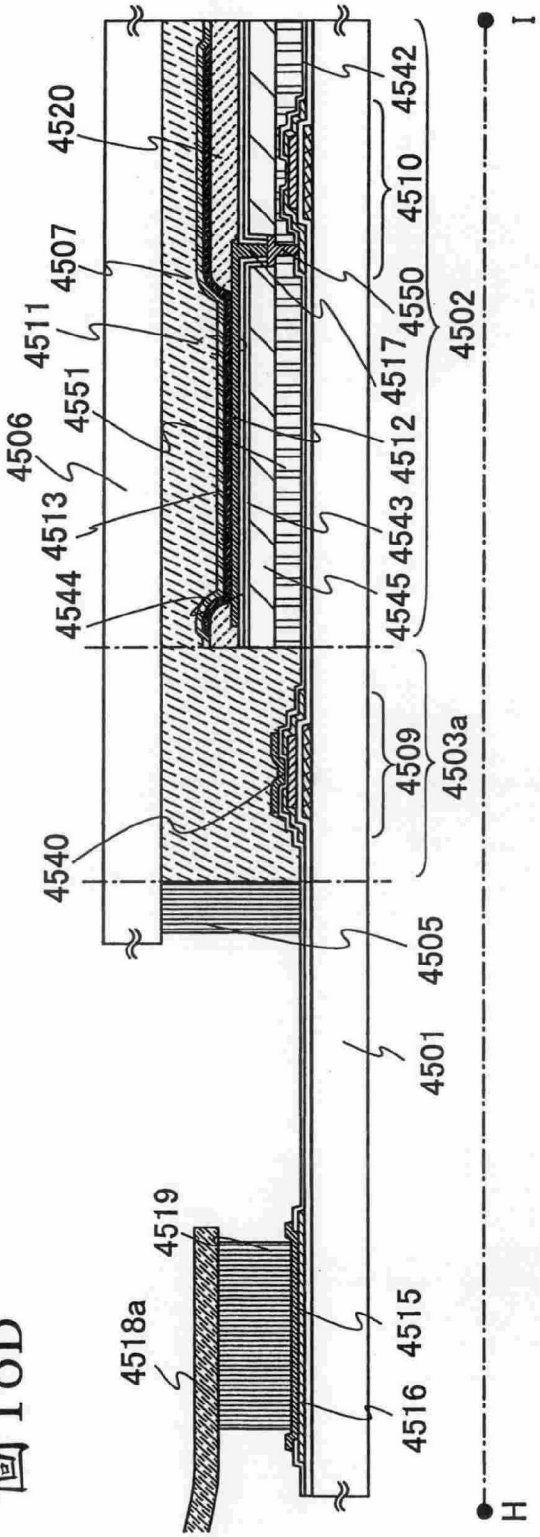

4520
4542
4507
4510
4511
4550
4551
4517
4506
4512
4513
4543
4544
4545
4502
I
4509
4503a
4540
4505
4501
4519
4518a
4515
4516
H

圖18B

圖19

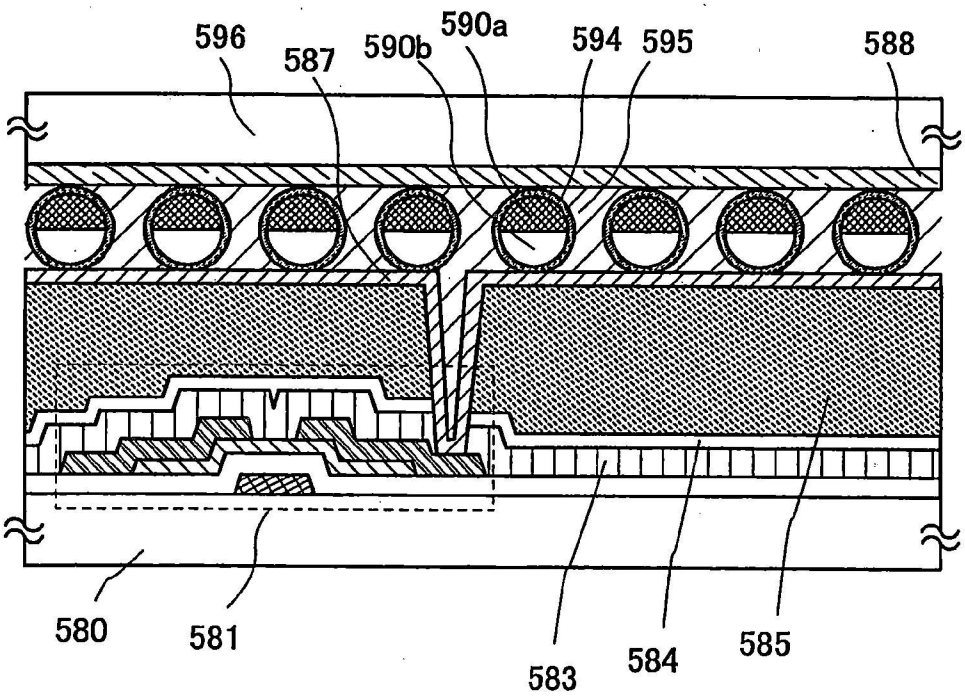


圖20A

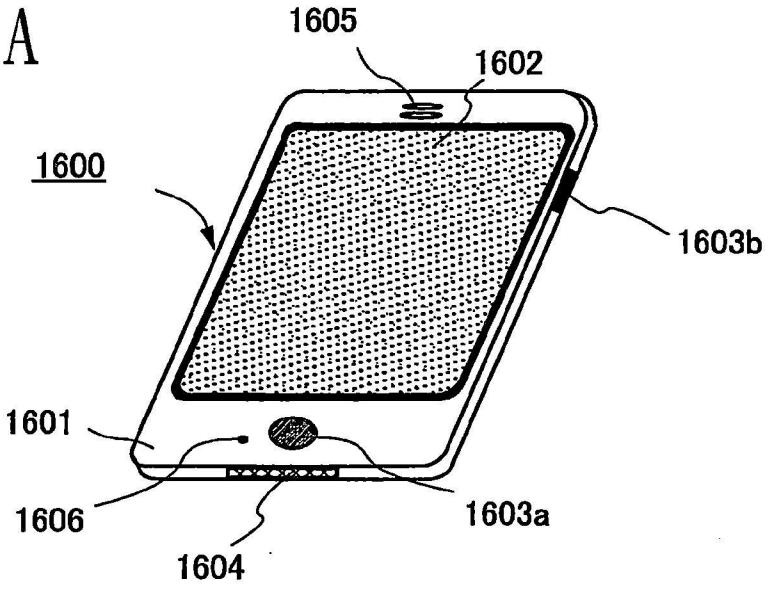

1605
1602
1600
1603b
1601
1606
1603a
1604

圖20B

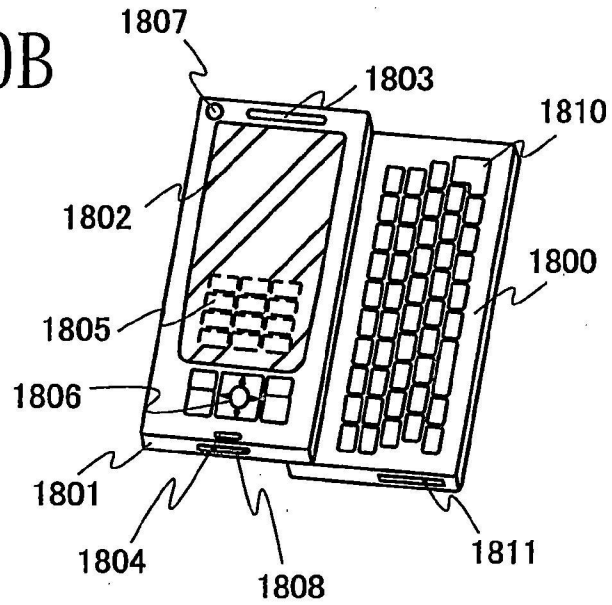

1807
1803
1810
1802
1800
1805
1806
1801
1804
1808
1811

圖21A

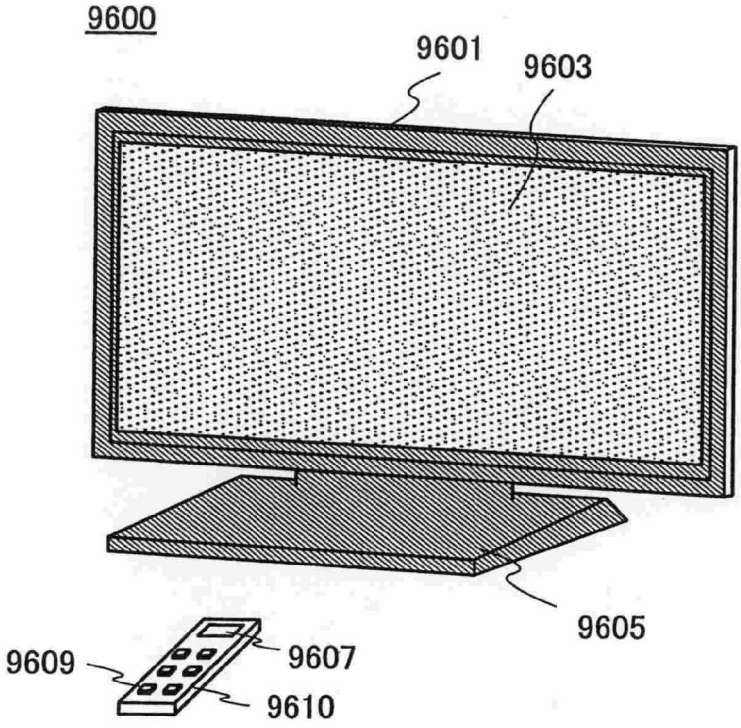


圖21B

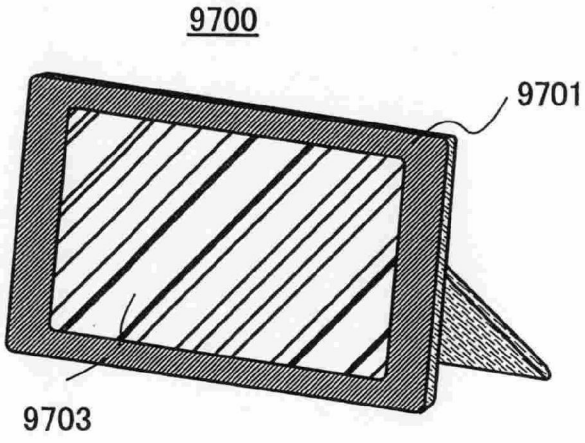


圖22

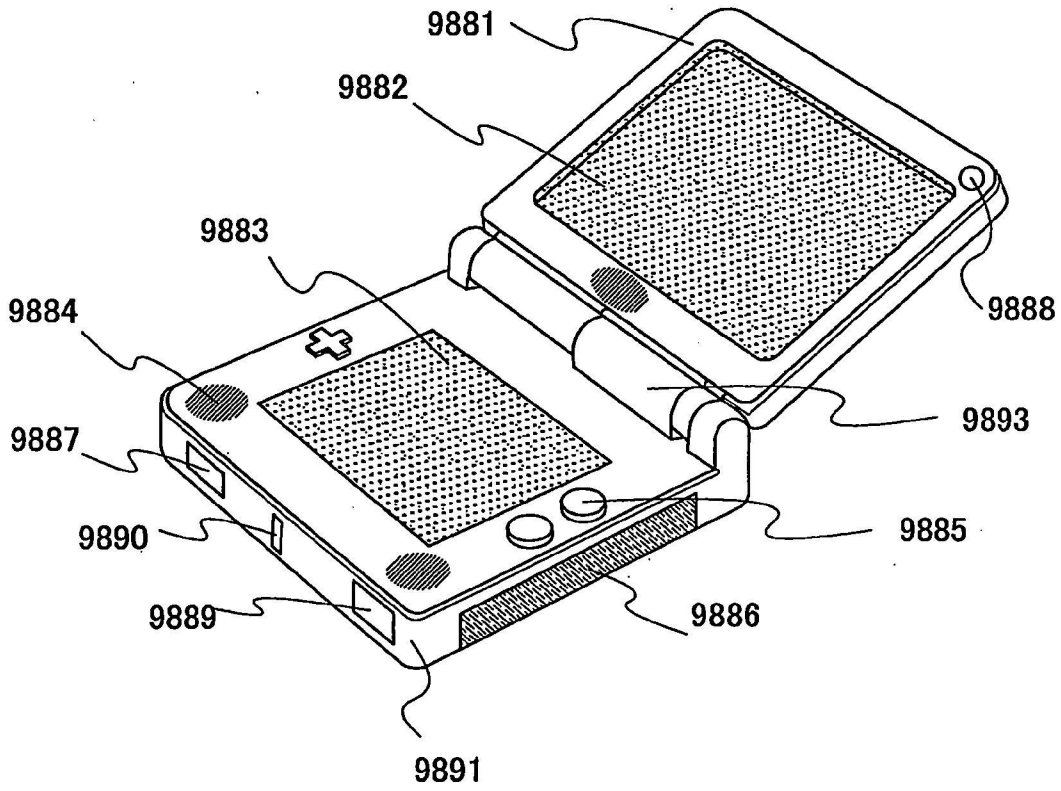


圖23

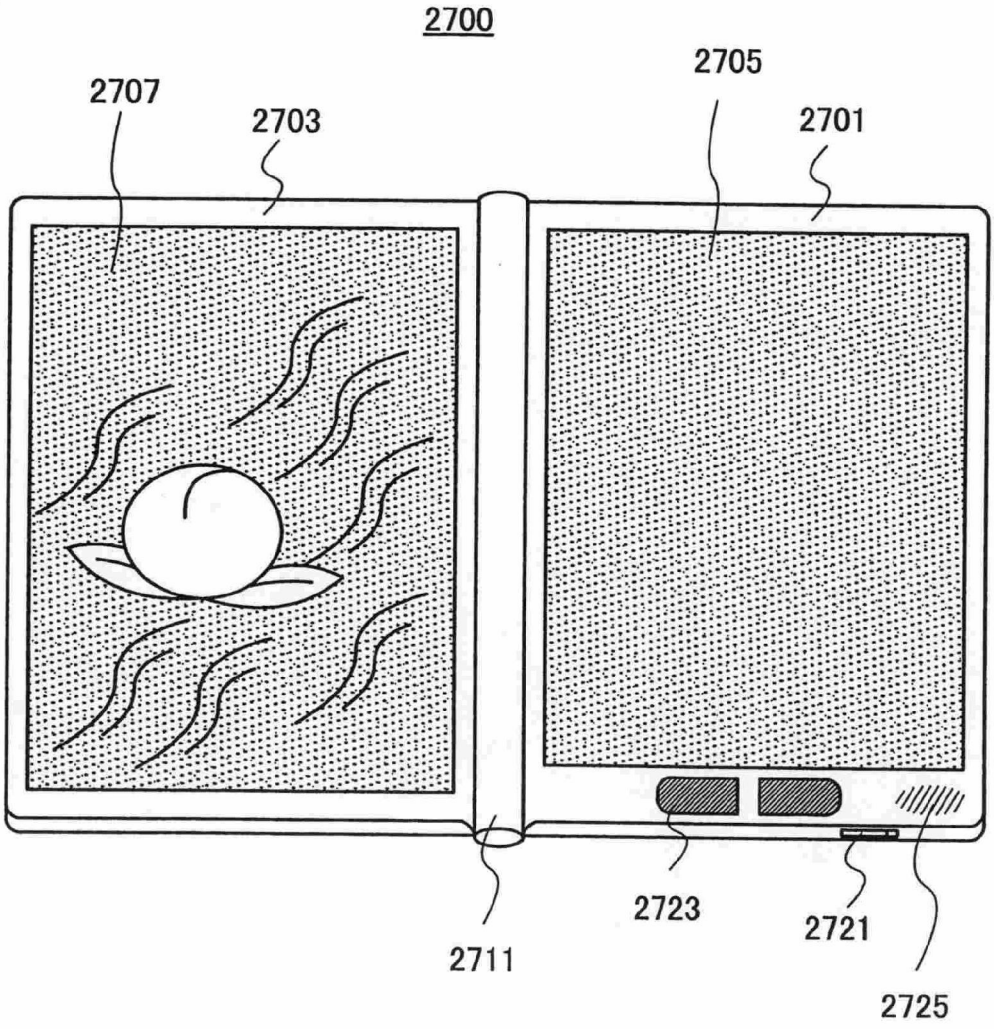


圖24

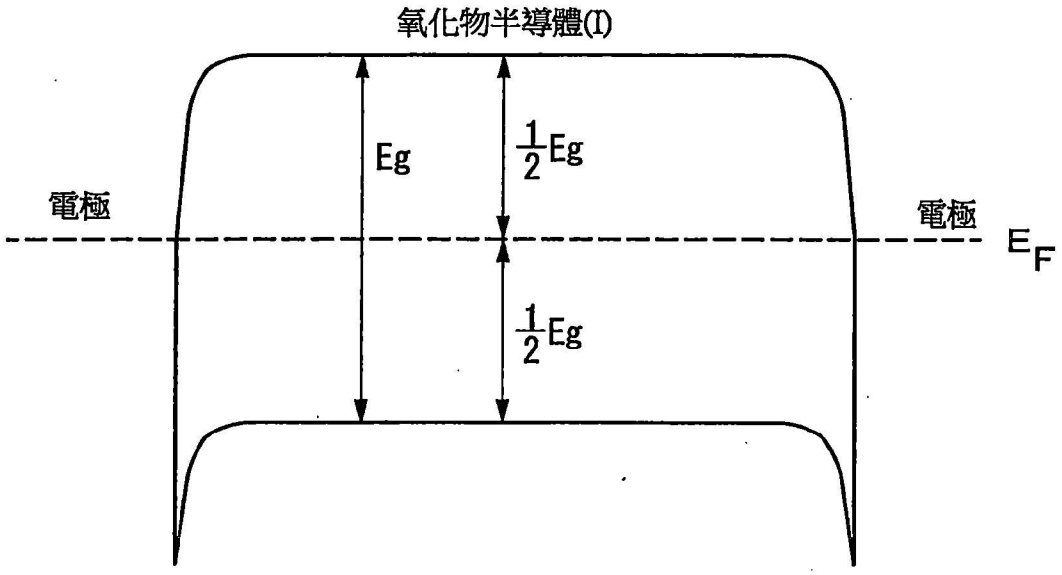


圖25

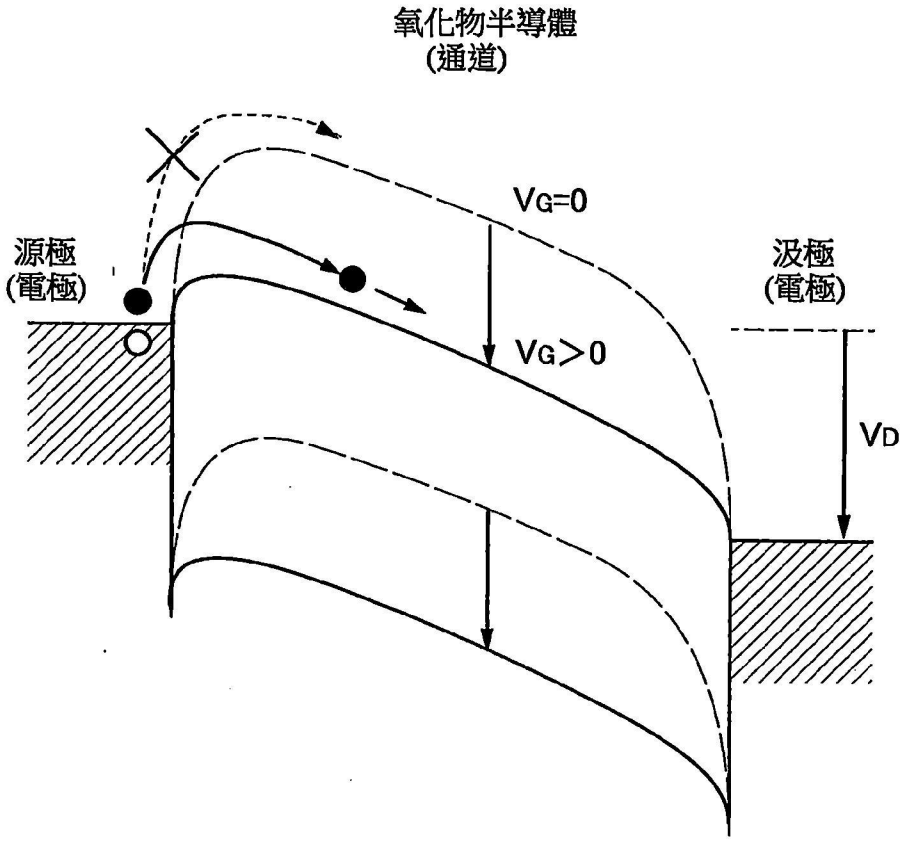


圖26A

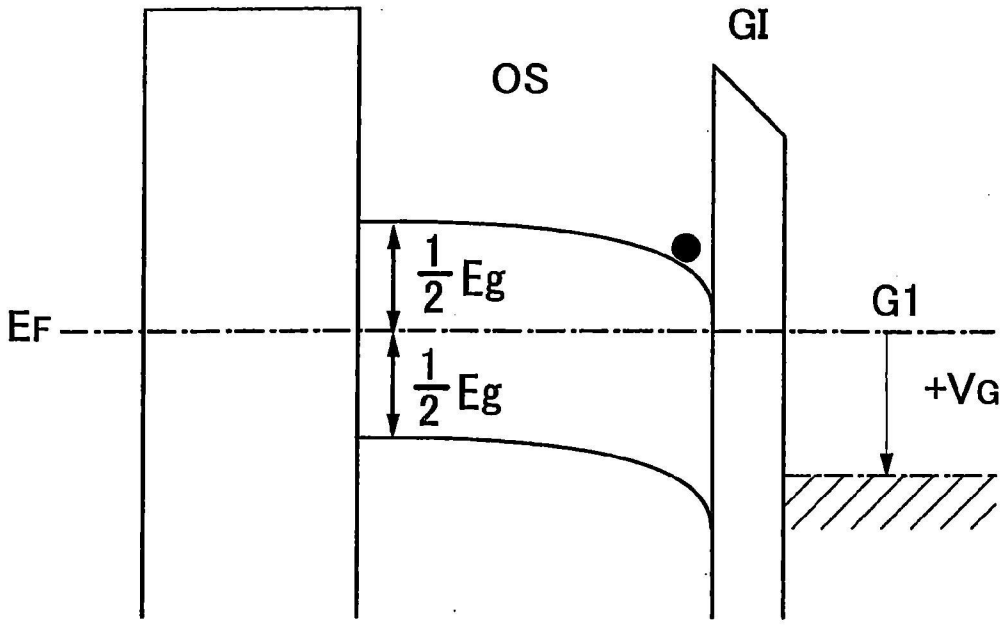


圖26B

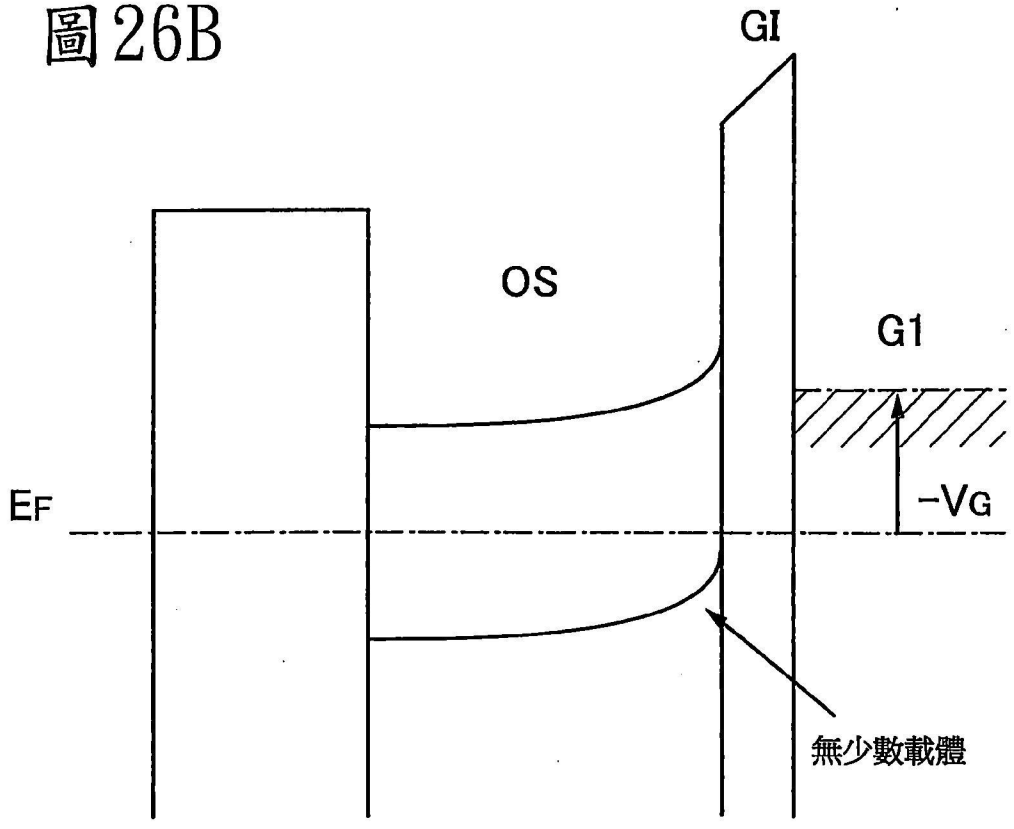


圖27

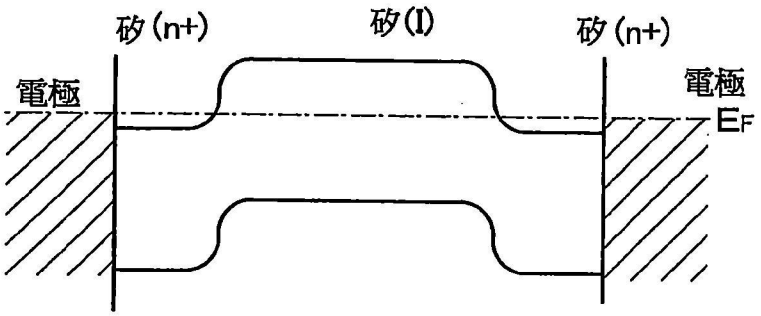


圖28

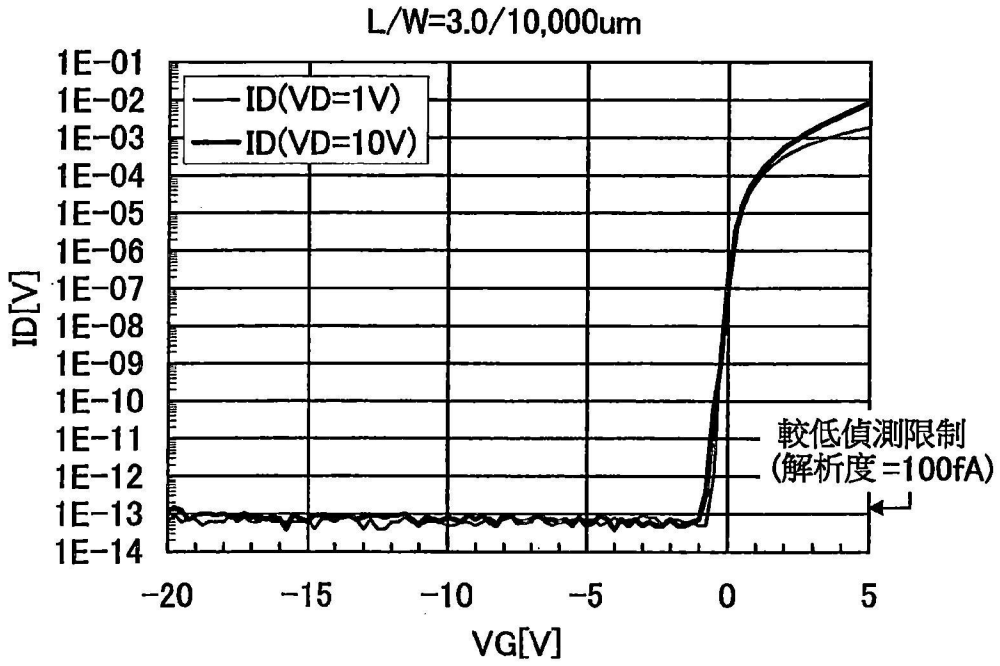

L/W=3.0/10,000um
ID(VD=1V)
ID(VD=10V)
較低偵測限制
(解析度=100fA)
ID[V]
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20
-15
-10
-5
0
5
VG[V]

圖29A

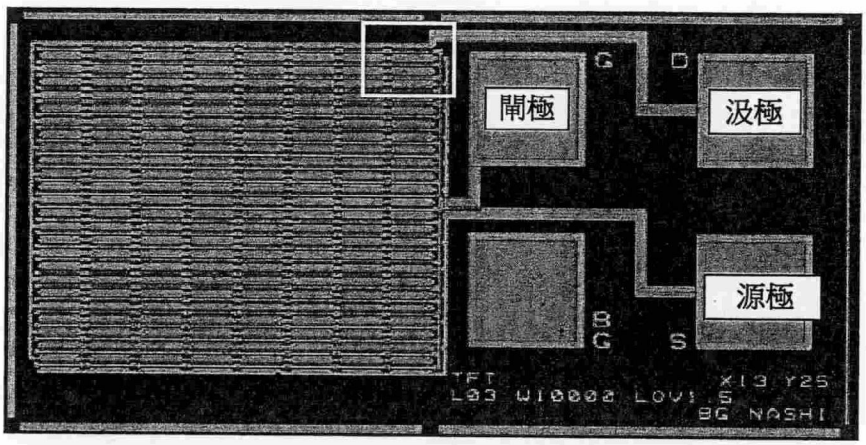


圖29B

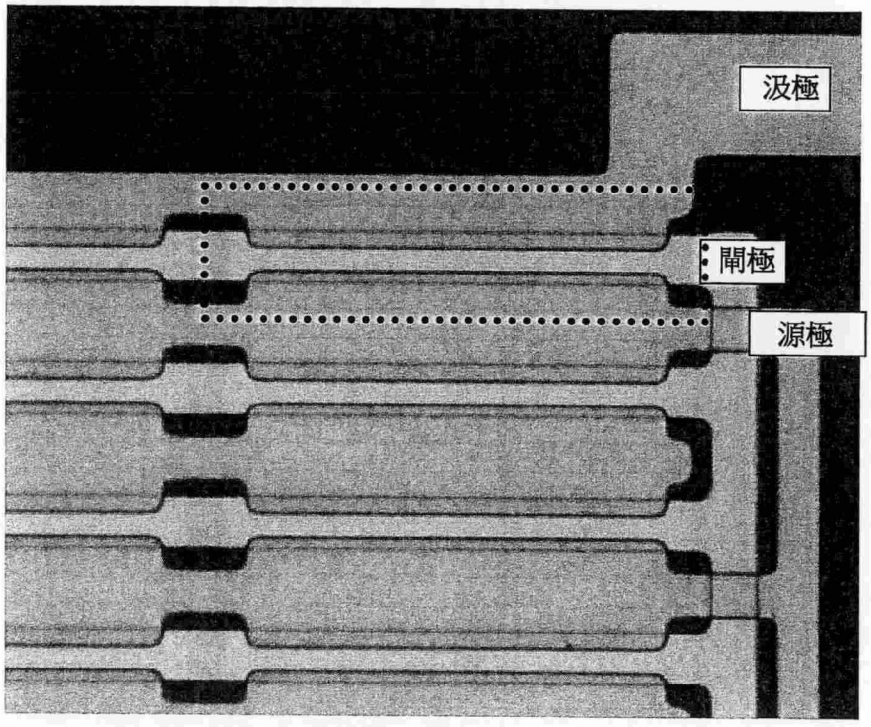


圖30A

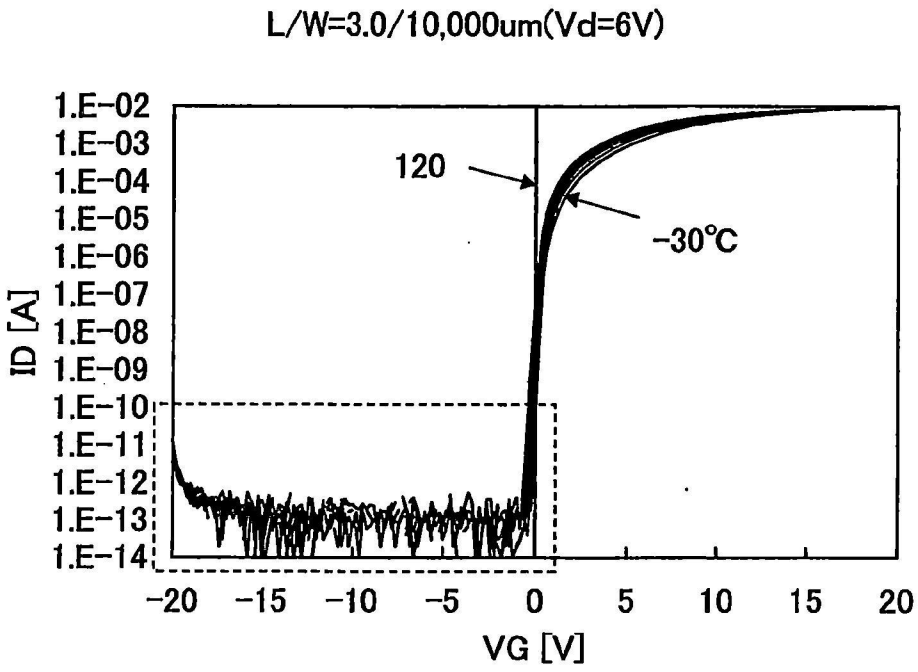

L/W=3.0/10,000um(Vd=6V)
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
ID [A]
120
-30℃
-20
-15
-10
-5
0
5
10
15
20
VG [V]

圖30B

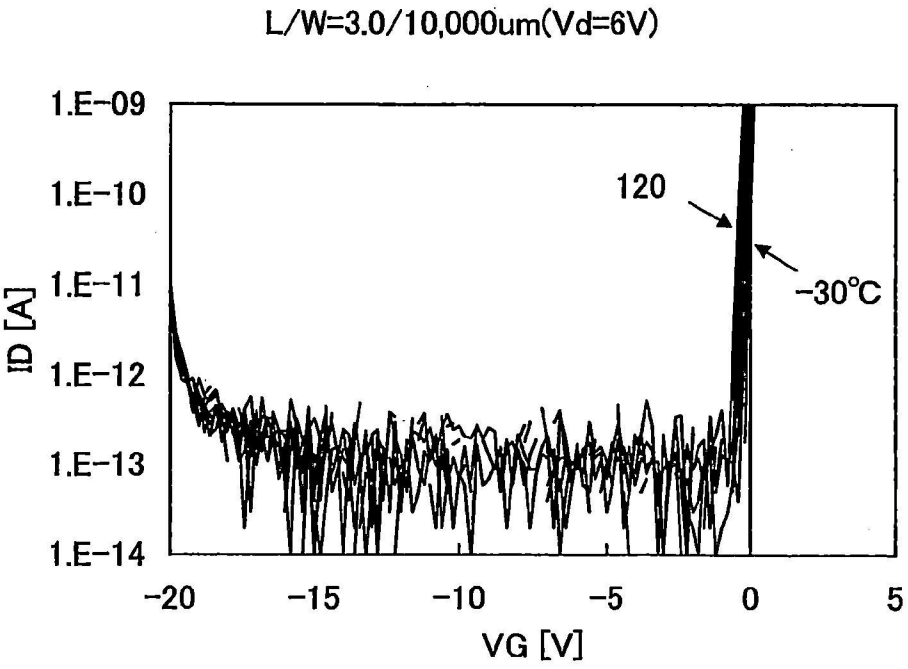

L/W=3.0/10,000um(Vd=6V)
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
ID [A]
120
-30℃
-20
-15
-10
-5
0
5
VG [V]

圖31A

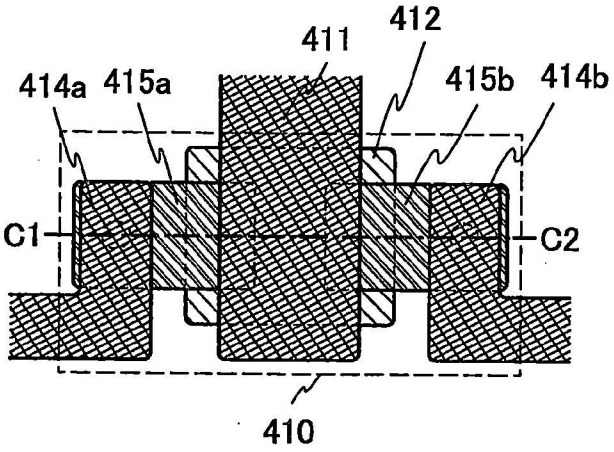
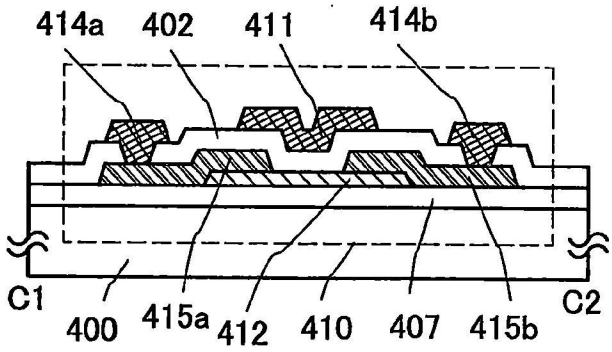

411
412
414a
415a
415b
414b
C1
C2
410

圖31B


414a
402
411
414b
C1
C2
400
415a
412
410
407
415b