



(12) 发明专利申请

(10) 申请公布号 CN 119404607 A

(43) 申请公布日 2025. 02. 07

(21) 申请号 202380047193.3

(22) 申请日 2023.06.02

(30) 优先权数据

2022-098103 2022.06.17 JP

2022-113447 2022.07.14 JP

2023-076110 2023.05.02 JP

(85) PCT国际申请进入国家阶段日

2024.12.13

(86) PCT国际申请的申请数据

PCT/IB2023/055668 2023.06.02

(87) PCT国际申请的公布数据

W02023/242664 JA 2023.12.21

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 国武宽司 泽井宽美 沼田至优

大嶋和晃

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

专利代理师 吴梦瑶 宋逸凡

(51) Int.Cl.

H10B 12/00 (2023.01)

H01L 21/3205 (2006.01)

H10D 30/01 (2025.01)

H01L 21/768 (2006.01)

H10D 84/03 (2025.01)

H01L 23/522 (2006.01)

H10D 84/00 (2025.01)

H10D 84/40 (2025.01)

H10D 84/83 (2025.01)

H10D 84/85 (2025.01)

H10D 30/67 (2025.01)

H10D 30/68 (2025.01)

H10D 30/69 (2025.01)

H10B 41/70 (2023.01)

H10B 53/20 (2023.01)

H10B 53/30 (2023.01)

权利要求书2页 说明书82页 附图91页

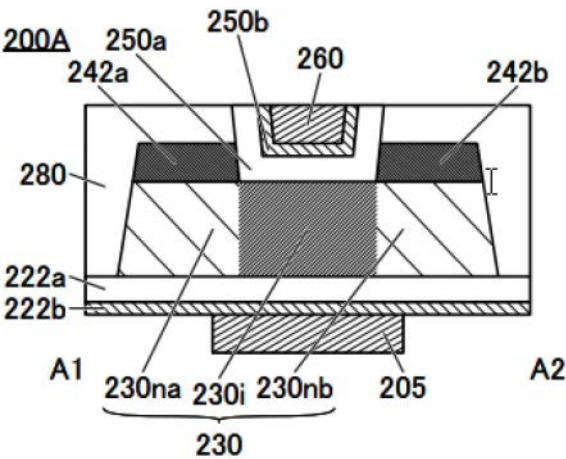
(54) 发明名称

半导体装置、存储装置

(57) 摘要

提供一种具有良好电特性的半导体装置。半导体装置包括第一叠层体、具有第一叠层体下的沟道形成区域的半导体层、半导体层下的第二叠层体。第一叠层体及第二叠层体至少包括第一绝缘体及第二绝缘体。此时，第一叠层体所包括的第一绝缘体及第二叠层体所包括的第一绝缘体具有隔着沟道形成区域彼此重叠的区域，第一叠层体所包括的第二绝缘体及第二叠层体所包括的第二绝缘体具有隔着第一叠层体所包括的第一绝缘体、沟道形成区域及第二叠层体所包括的第一绝缘体彼此重叠的区域。此外，第一叠层体所包括的第一绝缘体及第二叠层体所包括的第一绝缘体具有共同的功能，第一叠层体所包括的第二绝缘体及第二叠层体所包括的第二绝缘体

具有共同的功能。



1. 一种半导体装置,包括:
第一叠层体;
所述第一叠层体下的半导体层;以及
所述半导体层下的第二叠层体,
其中,所述半导体层包括第一区域、以夹持所述第一区域的方式设置的第二区域及第三区域,
所述第一叠层体和所述第二叠层体以所述第一区域为基准对称地设置,
所述第一叠层体包括第一绝缘体及所述第一绝缘体上的第二绝缘体,
所述第二叠层体包括第三绝缘体及所述第三绝缘体下的第四绝缘体,
所述第二绝缘体与所述第一绝缘体相比不容易透过氢,
所述第四绝缘体与所述第三绝缘体相比不容易透过氢,
所述第一绝缘体及所述第三绝缘体都包含硅及氧,
并且,所述第二绝缘体及所述第四绝缘体都包含硅及氮。
2. 根据权利要求1所述的半导体装置,
其中所述第三绝缘体呈岛状,
并且在截面中所述第三绝缘体的侧端部与所述半导体层的侧端部一致。
3. 根据权利要求1所述的半导体装置,
其中所述第一叠层体在所述第一绝缘体下还包括第五绝缘体,
所述第二叠层体在所述第三绝缘体上还包括第六绝缘体,
所述第五绝缘体与所述第一绝缘体相比不容易透过氧,
所述第六绝缘体与所述第二绝缘体相比不容易透过氧,
并且所述第五绝缘体及所述第六绝缘体都包含铝。
4. 根据权利要求3所述的半导体装置,
其中所述第三绝缘体和所述第六绝缘体具有叠层结构,
所述叠层结构为岛状,
并且在截面中所述叠层结构的侧端部与所述半导体层的侧端部一致。
5. 一种半导体装置,包括:
第一叠层体;
所述第一叠层体下的半导体层;以及
所述半导体层下的第二叠层体,
其中,所述半导体层包括第一区域、以夹持所述第一区域的方式设置的第二区域及第三区域,
所述第一叠层体和所述第二叠层体以所述第一区域为基准对称地设置,
所述第一叠层体包括第一绝缘体、所述第一绝缘体上的第二绝缘体及所述第二绝缘体上的第三绝缘体,
所述第二叠层体包括第一金属氧化物、所述第一金属氧化物下的第四绝缘体及所述第四绝缘体下的第五绝缘体,
所述第一绝缘体与所述第二绝缘体相比不容易透过氧,
所述第三绝缘体与所述第二绝缘体相比不容易透过氢,

- 所述第一金属氧化物与所述第四绝缘体相比不容易透过氧，
所述第五绝缘体与所述第四绝缘体相比不容易透过氢，
所述第一绝缘体及所述第一金属氧化物都包含镓和铝中的至少一个，
所述第二绝缘体及所述第四绝缘体都包含硅及氧，
并且，所述第三绝缘体及所述第五绝缘体都包含硅及氮。
6. 根据权利要求5所述的半导体装置，
其中所述半导体层包含第二金属氧化物，
所述第一金属氧化物及所述第二金属氧化物都包含铟，
并且所述第一金属氧化物中的相对于铟的镓和铝中的至少一个的原子个数比大于所述第二金属氧化物中的相对于铟的镓和铝中的至少一个的原子个数比。
7. 根据权利要求5所述的半导体装置，在所述第四绝缘体与所述第五绝缘体之间还包括第六绝缘体，
其中所述第六绝缘体具有俘获或固定氢的功能。
8. 根据权利要求7所述的半导体装置，在所述第二绝缘体与所述第三绝缘体之间还包括第七绝缘体，
其中所述第七绝缘体具有俘获或固定氢的功能。
9. 根据权利要求1至8中任一项所述的半导体装置，还包括第一导电体及第二导电体，
其中所述第一导电体位于所述第一叠层体的上方，
并且所述第二导电体位于所述第二叠层体的下方。
10. 根据权利要求9所述的半导体装置，还包括第三导电体及第四导电体，
其中所述第二区域与所述第三导电体重叠，
并且所述第三区域与所述第四导电体重叠。
11. 一种存储装置，包括：
权利要求10所述的半导体装置；以及
电容器，
其中，所述电容器是铁电电容器。

半导体装置、存储装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、存储装置及电子设备。另外,本发明的一个方式涉及一种半导体装置及存储装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的一个例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器)、输入输出装置(例如,触摸面板)以及上述装置的驱动方法或制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。有时可以说显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等包括半导体装置。

背景技术

[0004] 近年来,已对半导体装置进行开发,LSI (Large Scale Integration)、CPU (Central Processing Unit)、存储器等主要用于半导体装置。CPU是包括将半导体晶片加工来形成芯片而成的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0005] LSI、CPU、存储器等的半导体电路(IC芯片)被安装在电路板(例如,印刷线路板)上,并被用作各种电子设备的构件之一。

[0006] 此外,通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到瞩目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。作为其他材料,氧化物半导体受到瞩目。

[0007] 另外,已知使用氧化物半导体的晶体管在非导通状态下泄漏电流极小。例如,专利文献1已公开了应用使用氧化物半导体的晶体管的泄漏电流小的特性的低功耗CPU等。另外,例如,专利文献2公开了利用使用氧化物半导体的晶体管的泄漏电流小的特性可以实现存储内容的长期保持的存储装置等。

[先行技术文献]

[专利文献]

[0008] [专利文献1]日本专利申请公开第2012-257187号公报

[专利文献2]日本专利申请公开第2011-151383号公报

发明内容

发明所要解决的技术问题

[0009] 本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。另外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。另外,本发明的一个

方式的目的是提供一种晶体管的电特性不均匀少的半导体装置。另外,本发明的一个方式的目的是提供一种能够实现微型化或高集成化的半导体装置。另外,本发明的一个方式的目的是提供一种工作速度快的半导体装置。另外,本发明的一个方式的目的是提供一种通态电流大的半导体装置。另外,本发明的一个方式的目的是提供一种功耗低的半导体装置。另外,本发明的一个方式的目的是提供一种新颖半导体装置。另外,本发明的一个方式的目的是提供一种生产率高的半导体装置的制造方法。另外,本发明的一个方式的目的是提供一种新颖的半导体装置的制造方法。

[0010] 本发明的一个方式的目的是提供一种存储容量大的存储装置。另外,本发明的一个方式的目的是提供一种工作速度快的存储装置。另外,本发明的一个方式的目的是提供一种功耗低的存储装置。另外,本发明的一个方式的目的是提供一种新颖的存储装置。另外,本发明的一个方式的目的是提供一种新颖的存储装置的制造方法。

[0011] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。可以从说明书、附图、权利要求书的记载中抽取上述目的以外的目的。

解决技术问题的手段

[0012] 本发明的一个方式是一种半导体装置,该半导体装置包括第一叠层体、第一叠层体下的半导体层及半导体层下的第二叠层体。半导体层包括第一区域、以夹持第一区域的方式设置的第二区域及第三区域。第一叠层体和第二叠层体以第一区域为基准对称地设置。第一叠层体包括第一绝缘体及第一绝缘体上的第二绝缘体。第二叠层体包括第三绝缘体及第三绝缘体下的第四绝缘体。第二绝缘体与第一绝缘体相比不容易透过氢。第四绝缘体与第三绝缘体相比不容易透过氢。第一绝缘体及第三绝缘体都包含硅及氧。第二绝缘体及第四绝缘体都包含硅及氮。

[0013] 在上述半导体装置中,优选的是,第三绝缘体呈岛状,在截面中第三绝缘体的侧端部与半导体层的侧端部一致。

[0014] 此外,在上述半导体装置中,优选的是,第一叠层体在第一绝缘体下还包括第五绝缘体,第二叠层体在第三绝缘体上还包括第六绝缘体,第五绝缘体与第一绝缘体相比不容易透过氧,第六绝缘体与第二绝缘体相比不容易透过氧,第五绝缘体及第六绝缘体都包含铝。

[0015] 另外,在上述半导体装置中,优选的是,第三绝缘体及第六绝缘体具有叠层结构,叠层结构为岛状,在截面中叠层结构的侧端部与半导体层的侧端部一致。

[0016] 本发明的另一个方式是一种半导体装置,该半导体装置包括第一叠层体、第一叠层体下的半导体层及半导体层下的第二叠层体。半导体层包括第一区域、以夹持第一区域的方式设置的第二区域及第三区域。第一叠层体和第二叠层体以第一区域为基准对称地设置。第一叠层体包括第一绝缘体、第一绝缘体上的第二绝缘体及第二绝缘体上的第三绝缘体。第二叠层体包括第一金属氧化物、第一金属氧化物下的第四绝缘体及第四绝缘体下的第五绝缘体。第一绝缘体与第二绝缘体相比不容易透过氧。第三绝缘体与第二绝缘体相比不容易透过氢。第一金属氧化物与第四绝缘体相比不容易透过氧。第五绝缘体与第四绝缘体相比不容易透过氢。第一绝缘体及第一金属氧化物都包含镓和铝中的至少一个。第二绝缘体及第四绝缘体都包含硅及氧。第三绝缘体及第五绝缘体都包含硅及氮。

[0017] 在上述半导体装置中,优选的是,半导体层包含第二金属氧化物,第一金属氧化物及第二金属氧化物都包含铟,第一金属氧化物中的相对于铟的镓和铝中的至少一个的原子个数比大于第二金属氧化物中的相对于铟的镓和铝中的至少一个的原子个数比。

[0018] 另外,在上述半导体装置中,优选的是,在第四绝缘体与第五绝缘体之间还包括第六绝缘体,并且第六绝缘体具有俘获或固定氢的功能。

[0019] 另外,在上述半导体装置中,优选的是,在第二绝缘体与第三绝缘体之间还包括第七绝缘体,并且第七绝缘体具有俘获或固定氢的功能。

[0020] 另外,在上述半导体装置中,优选的是,还包括第一导电体及第二导电体,第一导电体位于第一叠层体的上方,第二导电体位于第二叠层体的下方。

[0021] 另外,在上述半导体装置中,优选的是,还包括第三导电体及第四导电体,第二区域与第三导电体重叠,第三区域与第四导电体重叠。

[0022] 本发明的一个方式是一种存储装置,该存储装置包括上述半导体装置及电容器。电容器是铁电电容器。

发明效果

[0023] 根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。另外,可以提供一种可靠性高的半导体装置。另外,可以提供一种晶体管的电特性不均匀少的半导体装置。另外,可以提供一种能够实现微型化或高集成化的半导体装置。另外,可以提供一种工作速度快的半导体装置。另外,可以提供一种通态电流大的半导体装置。另外,可以提供一种功耗低的半导体装置。另外,可以提供一种新颖半导体装置。另外,可以提供一种生产率高的半导体装置的制造方法。另外,可以提供一种新颖的半导体装置的制造方法。

[0024] 根据本发明的一个方式,可以提供一种存储容量大的存储装置。另外,可以提供一种工作速度快的存储装置。另外,可以提供一种功耗低的存储装置。另外,可以提供一种新颖的存储装置。另外,可以提供一种新颖的半导体装置的制造方法。

[0025] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0026] 图1A是示出半导体装置的一个例子的俯视图。图1B及图1C是示出半导体装置的一个例子的截面图。

图2A及图2B是示出半导体装置的一个例子的截面图。

图3A是示出半导体装置的一个例子的俯视图。图3B及图3C是示出半导体装置的一个例子的截面图。

图4A至图4D是示出半导体装置的一个例子的截面图。

图5A至图5D是示出半导体装置的一个例子的截面图。

图6A是示出半导体装置的一个例子的俯视图。图6B及图6C是示出半导体装置的一个例子的截面图。

图7A至图7D是示出半导体装置的一个例子的截面图。

图8A是示出半导体装置的一个例子的俯视图。图8B及图8C是示出半导体装置的一个例子的截面图。

图9A至图9F是示出半导体装置的一个例子的截面图。

图10A至图10F是示出半导体装置的一个例子的截面图。

图11A至图11D是示出半导体装置的一个例子的截面图。

图12A至图12D是示出半导体装置的一个例子的截面图。

图13A至图13F是示出半导体装置的一个例子的截面图。

图14A至图14F是示出半导体装置的一个例子的截面图。

图15A是示出半导体装置的一个例子的俯视图。图15B至图15D是示出半导体装置的一个例子的截面图。

图16A及图16B是示出半导体装置的一个例子的截面图。

图17A及图17B是示出半导体装置的一个例子的截面图。

图18A及图18B是示出半导体装置的一个例子的截面图。

图19A是示出半导体装置的一个例子的俯视图。图19B及图19C是示出半导体装置的一个例子的截面图。

图20A是示出半导体装置的一个例子的俯视图。图20B是示出半导体装置的一个例子的截面图。

图21是示出半导体装置的一个例子的截面图。

图22是示出半导体装置的一个例子的截面图。

图23A是示出半导体装置的一个例子的俯视图。图23B是示出半导体装置的一个例子的截面图。

图24A是示出半导体装置的一个例子的俯视图。图24B是示出半导体装置的一个例子的截面图。

图25A是示出半导体装置的一个例子的俯视图。图25B是示出半导体装置的一个例子的截面图。

图26是示出存储装置的一个例子的截面图。

图27是示出存储装置的一个例子的截面图。

图28A是示出根据本发明的一个方式的存储装置的结构例子的方框图。图28B是示出根据本发明的一个方式的存储装置的结构例子的立体图。

图29A至图29I是示出根据本发明的一个方式的存储装置的结构例子的电路图。

图30是示出存储装置的一个例子的截面图。

图31A是说明存储单元的电路结构例子的图。图31B是示出滞后特性的一个例子的图表。图31C是示出存储单元的驱动方法例子的时序图。

图32A及图32B是根据本发明的一个方式的半导体装置的示意图。

图33A至图33E是说明存储装置的一个例子的图。

图34A及图34B是示出电子构件的一个例子的图。

图35A及图35B是示出电子设备的一个例子的图,图35C至图35E是示出大型计算机的一个例子的图。

图36是示出太空设备的一个例子的图。

图37是示出能够用于数据中心的存储系统的一个例子的图。

图38是示出GIXRD测量结果的图。

图39A及图39B是示出使用AFM进行表面观察的结果的图。图39C及图39D是示出进

行图像分析的结果的图。图39E及图39F是示出评价粒径分布的结果的图。

图40A是示出输入电压波形的图。图40B是示出P-E特性的图。

图41A是示出输入电压波形的图。图41B是示出疲劳特性的图。

图42A及图42B是示出疲劳特性的图。

图43A及图43B是示出保持测量的方法的图。

图44是示出保持测量的结果的图。

图45是示出J-V特性的图。

图46是所制造的样品的截面STEM图像。

图47A是说明存储单元电路的图。图47B是光学显微镜照片。

图48是示出源极跟随器的特性的图。

图49A及图49B是说明正极化的写入和读出评价的方法的图。

图50A及图50B是说明正极化的写入和读出评价的方法的图。

图51是示出电压波形的图。

图52是示出 ΔV_{BL} 的推移的图。

图53是示出 ΔV_{BL} 的推移的图。

图54A及图54B是示出疲劳特性的图。

图55A及图55B是示出保持测量的结果的图。

图56A是样品的示意图,图56B是样品的截面图。

图57是制造的样品的截面STEM图像。

图58是示出样品的Id-Vg特性的图。

图59是示出阈值电压的图。

图60是示出样品的Id-Vg特性的图。

图61A是示出样品的阈值电压的图。图61B是示出样品的薄层电阻的图。图61C是示出样品的接触电阻的图。

图62是示出样品的Id-Vg特性的图。

图63A至图63C是示出样品的接触电阻的图。

图64A是示出样品的电路结构的电路图。图64B是示出泄漏电流的测量结果的图。

图65A是示出样品的电路结构的电路图。图65B是示出样品的Id- V_{CWL} 特性的电路图。图65C是示出样品的电位Vsh的图。

图66A是示出样品的数据保持评价测试的结果的图。图66B是示出样品的数据改写评价测试的结果的图。

图67A是示出接触电阻的图。图67B是示出薄层电阻的图。

图68是根据实施例的截面STEM图像。

图69A及图69B是示出漏极耐压测试的结果的图。

图70是示出漏极耐压测试的结果的图。

图71是示出P-V特性的图。

图72是示出疲劳特性的图。

图73是示出 ΔV_{BL} 的推移的图。

图74是示出保持测量的结果的图。

实施发明的方式

[0027] 参照附图对实施方式进行详细地说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本发明不局限于下面说明,可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0028] 此外,在下面说明的发明结构中,在不同的附图中共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。

[0029] 此外,为了便于理解,有时附图中示出的各构成要素的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明不一定局限于附图所公开的位置、大小及范围等。

[0030] 注意,在本说明书等中,为了方便起见,附加了“第一”、“第二”等序数词,而其并不限制构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,在本说明书中的某一部分对构成要素附加的序数词与在本说明书中的其他部分或权利要求书对该构成要素附加的序数词有时不一致。

[0031] 此外,根据情况或状况,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,例如,可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状况,可以将“导电体”变换为“导电层”或“导电膜”。此外,根据情况或状况,可以将“绝缘体”变换为“绝缘层”或“绝缘膜”。

[0032] 开口例如包括槽、狭缝等。有时将形成有开口的区域称为开口部。

[0033] 此外,本实施方式中使用的附图示出绝缘体的开口部的绝缘体的侧壁大致垂直于衬底面或被形成面的情况,但是也可以为锥形形状。

[0034] 注意,在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面或被形成面所形成的角度(以下,有时称为锥角)小于 90° 的区域。在此,结构的侧面及衬底面不一定必须完全平坦,也可以是具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0035] 在本说明书等中,“高度一致”是指在截面中距作为基准的面(例如,衬底表面等平坦的面)的高度相等的结构。例如,在半导体装置的制造工艺中,有时进行平坦化处理(典型的是CMP(Chemical Mechanical Polishing:化学机械抛光)处理)使单层或多个层的表面露出。在这种情况下,CMP处理的被处理面距作为基准的面的高度相等。注意,根据进行CMP处理时的处理装置、处理方法或被处理面的材料,有时多个层的高度不同。在本说明书等中,“高度一致”也包括上述情况。例如,在出现对基准面具有两个高度的层(在此称为第一层和第二层)的情况下,当第一层的顶面的高度与第二层的顶面的高度之差为20nm以下时,也将其称为“高度一致”。

[0036] 在本说明书等中,“端部一致”是指在俯视时层叠的层与层之间轮廓的至少一部分重叠。例如,包括上层及下层通过同一的掩模图案或其一部分同一的掩模图案被加工的情况。但是,严格地说,有时轮廓不重叠且上层的轮廓位于下层的轮廓的内侧或者上层的轮廓位于下层的轮廓的外侧,这些情况也包括在“端部一致”。

[0037] 注意,一般而言,很难明确区别“完全一致”和“大致一致”。因此,在本说明书中,

“一致”包括完全一致的情况以及大致一致的情况的双方。

[0038] 在本说明书等中,有时将关态电流(off-state current)记作泄漏电流。此外,在本说明书等中,关态电流例如有时是指当晶体管处于关闭状态时流在源极与漏极间的电流。

[0039] (实施方式1)

在本实施方式中,参照图1A至图25B说明作为本发明的一个方式的半导体装置的结构例子。此外,作为本发明的一个方式的半导体装置包括晶体管。

[0040] <结构例子1>

参照图1A至图1C说明本发明的一个方式的半导体装置的结构例子。图1A是半导体装置的俯视图,图1B及图1C是半导体装置的截面图。在此,图1B是沿着图1A中的点划线A1-A2的部分的截面图。此外,图1C是沿着图1A中的点划线A3-A4的部分的截面图。注意,在图1A的俯视图中,为了明确起见,省略部分构成要素。

[0041] 图1A至图1C所示的半导体装置包括晶体管200A。因此,图1B可以说是晶体管200A的沟道长度方向上的截面图。此外,图1C也可以说是晶体管200A的沟道宽度方向上的截面图。

[0042] 晶体管200A包括导电体205、导电体205上的绝缘体222(绝缘体222b及绝缘体222a)、绝缘体222上的氧化物230、氧化物230上的导电体242a及导电体242b、氧化物230上的绝缘体250(绝缘体250a及绝缘体250b)以及绝缘体250上的导电体260。

[0043] 绝缘体222、导电体242a及导电体242b上设置有绝缘体280。绝缘体280的顶面也可以被平坦化。另外,以嵌入形成在绝缘体280中的开口部的方式设置有绝缘体250及导电体260。

[0044] 氧化物230具有被用作沟道形成区域的区域。导电体260具有被用作第一栅电极(上侧的栅电极)的区域。绝缘体250具有被用作第一栅极绝缘体的区域。导电体205具有被用作第二栅电极(下侧的栅电极)的区域。绝缘体222具有被用作第二栅极绝缘体的区域。导电体242a具有被用作源电极和漏电极中的一个的区域。导电体242b具有被用作源电极和漏电极中的另一个的区域。

[0045] 因为氧化物230具有被用作沟道形成区域的区域,所以在本说明书等中可以将氧化物230换称为晶体管200A的半导体层。另外,可以将半导体层换称为氧化物230。

[0046] 如图1B所示,氧化物230具有区域230i以及以夹持区域230i的方式设置的区域230na及区域230nb。在此,区域230i被用作沟道形成区域。另外,区域230na被用作源极区域和漏极区域中的一方,区域230nb被用作源极区域和漏极区域中的另一方。区域230i的至少一部分与导电体260及导电体205重叠。区域230na与导电体242a重叠,区域230nb与导电体242b重叠。

[0047] 由于与区域230na及区域230nb相比其氧空位少或杂质浓度低,所以区域230i是载流子浓度低的高电阻区域。因此,区域230i可以说是i型(本征)或实质上i型的区域。

[0048] 与区域230i相比,区域230na及区域230nb的氧空位多或者氢、氮、金属元素等杂质浓度高,因此是载流子浓度高的低电阻区域。就是说,区域230na及区域230nb是比区域230i载流子浓度高的n型的区域(低电阻区域)。

[0049] 区域230i的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下、低于 $1 \times 10^{17} \text{cm}^{-3}$ 、低于 $1 \times 10^{16} \text{cm}^{-3}$

⁻³、低于 $1 \times 10^{15} \text{cm}^{-3}$ 、低于 $1 \times 10^{14} \text{cm}^{-3}$ 、低于 $1 \times 10^{13} \text{cm}^{-3}$ 、低于 $1 \times 10^{12} \text{cm}^{-3}$ 、低于 $1 \times 10^{11} \text{cm}^{-3}$ 或者低于 $1 \times 10^{10} \text{cm}^{-3}$ 。注意,对区域230i的载流子浓度的下限值没有特别的限制,例如可以为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0050] 在以降低氧化物230的载流子浓度为目的的情况下,可以降低氧化物230中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体(或金属氧化物)称为高纯度本征或实质上高纯度本征的氧化物半导体(或金属氧化物)。

[0051] 为了使晶体管200A的电特性稳定,降低氧化物230中的杂质浓度是有效的。为了降低氧化物230中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。注意,氧化物230中的杂质例如是指构成氧化物230的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0052] 在氧化物230中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中连续地变化。就是说,越接近区域230i,氢及氮等杂质元素的浓度也可以越低。

[0053] 氧化物230既可以采用单层结构,也可以采用叠层结构。

[0054] 此外,优选将用作半导体的金属氧化物(以下也称为氧化物半导体)用于氧化物
230。

[0055] 被用作半导体的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。因此,将在沟道形成区域中包含金属氧化物的晶体管称为0S晶体管。0S晶体管的关态电流小,所以可以充分降低半导体装置的功耗。另外,0S晶体管的频率特性高,所以可以使半导体装置高速工作。

[0056] 氧化物230优选包含金属氧化物(氧化物半导体)。作为可用于氧化物230的金属氧化物,例如可以举出铟氧化物、镓氧化物及锌氧化物。金属氧化物优选至少包含铟(In)或锌(Zn)。另外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。元素M是与氧的键能高的金属元素或半金属元素,例如是与氧的键能比与铟的键能高的金属元素或半金属元素。作为元素M,具体而言,可以举出铝、镓、锡、钪、钛、钒、铬、锰、铁、钴、镍、锆、钼、钨、钽、铌、铍、镁、钙、锶、钡、硼、硅、锗及锑等。金属氧化物所包含的元素M优选为上述元素中的任一种或多种,更优选为选自铝、镓、锡和钪中的一种或多种,进一步优选为镓。注意,在本说明书等中,有时将金属元素和半金属元素统称为“金属元素”,本说明书等中记载的“金属元素”有时包括半金属元素。

[0057] 氧化物230例如可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,还记载为GZO)、铝锌氧化物(Al-Zn氧化物,还记载为AZO)、铟铝锌氧化物(In-Al-Zn氧化物,还记载为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,还记载为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,还记载为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,还记载为IGAZO或IAGZO)等。或者,可以使用包含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0058] 当提高金属氧化物中的相对于所有的金属元素的原子个数之和的铟的原子个数

之比例时,可以提高晶体管的场效应迁移率。

[0059] 注意,金属氧化物也可以代替铟或除了铟以外还包含一种或多种元素周期表中的周期数大的金属元素。有如下倾向:金属元素的轨道重叠越大,金属氧化物中的载流子传导越大。因此,通过包含元素周期表中的周期数大的金属元素,有时可以提高晶体管的场效应迁移率。作为元素周期表中的周期数大的金属元素,可以举出属于第5周期的金属元素以及属于第6周期的金属元素等。作为该金属元素,具体而言,可以举出铟、镉、银、镓、锡、锑、铊、铅、铋、镥、铈、镨、钕、钐、铕、钆、铽、镱及铕等。注意,镧、铈、镨、钕、钐、铕、钆、铽、镱及铕被称为轻稀土元素。

[0060] 另外,金属氧化物也可以包含一种或多种非金属元素。当金属氧化物包含非金属元素时,有时可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0061] 另外,当提高金属氧化物中的相对于所有的金属元素的原子个数之和的铟的原子个数之比例时,金属氧化物具有高结晶性,可以抑制金属氧化物中的杂质扩散。因此,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0062] 另外,当提高金属氧化物中的相对于所有的金属元素的原子个数之和的元素M的原子个数之比例时,可以抑制在金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,可以形成关态电流小的晶体管。另外,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0063] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的In的原子个数比,晶体管可以得到大通态电流及高频率特性。

[0064] 如上所述,根据用于氧化物230的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0065] 具体而言,作为氧化物230可以使用具有如下组成的金属氧化物:In:M:Zn=1:1:1[原子个数比]或其附近的组成;In:M:Zn=1:1:1.2[原子个数比]或其附近的组成;In:M:Zn=1:1:2[原子个数比]或其附近的组成;或者In:M:Zn=4:2:3[原子个数比]或其附近的组成。此外,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。此外,作为元素M优选使用镓和铝中的至少一个。

[0066] 此外,在利用溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0067] 在使用氧化物半导体的晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 V_OH)而可能会产生成为载流子的电子。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管容易具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及 V_OH 。换言之,优选的是,氧化物半导体中的沟道形成区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0068] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 V_OH 。注意,在对区域230na或区域230nb供应过多的氧时,有可能引起晶体管200A的通态电

流下降或者场效应迁移率的下降。并且,在供应到区域230na或区域230nb的氧量在衬底面内不均匀时,包括晶体管的半导体装置特性发生不均匀。此外,在从该绝缘体供应到氧化物半导体的氧扩散到栅电极、源电极及漏电极等导电体时,有时该导电体被氧化,这导致导电性的损失等,因此对晶体管的电特性及可靠性带来负面影响。

[0069] 因此,优选的是,在氧化物半导体中,区域230i的载流子浓度得到降低且被i型化或实质上被i型化,另一方面,优选的是,区域230na及区域230nb的载流子浓度高且被n型化。就是说,优选降低区域230i的氧空位及 V_OH 。此外,优选的是,区域230na及区域230nb不被供应过多的氧并且区域230na及区域230nb的 V_OH 量不被过度降低。此外,优选具有抑制导电体260、导电体242a及导电体242b等的导电率降低的结构。例如,优选具有抑制导电体260、导电体242a及导电体242b等被氧化的结构。注意,氧化物半导体中的氢可能会形成 V_OH ,因此为了降低 V_OH 量需要降低氢浓度。

[0070] 于是,在本实施方式中,半导体装置具有对区域230i供应氧且抑制氢扩散到区域230i的结构。此外,半导体装置具有抑制导电体242a、导电体242b及导电体260被氧化的结构。另外,半导体装置具有降低区域230i的氢浓度的结构。

[0071] 如图1C所示,在晶体管200A的沟道宽度方向上的截面中,导电体260覆盖氧化物230的侧面及顶面。通过采用这种结构,可以由栅电极的电场电围绕沟道形成区域。在本说明书等中,将至少由第一栅电极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。通过使晶体管200A具有S-channel结构,可以将形成在氧化物230与栅极绝缘体的界面或界面附近的沟道形成区域视为氧化物230的整个块体。因此,可以提高流过晶体管的电流密度,所以可以期待晶体管的通态电流的提高或晶体管的场效应迁移率的提高。

[0072] 如上所述,晶体管200A具有沟道形成区域由栅电极的电场围绕的结构。于是,优选采用对沟道形成区域整体(沟道形成区域的顶面、侧面及底面)均匀地供应氧且抑制氢扩散的结构。例如,优选以围绕沟道形成区域的方式设置包含容易使氧透过的材料的第一绝缘体,并且以围绕沟道形成区域及第一绝缘体的方式设置具有抑制氢的扩散的功能的第二绝缘体。具体而言,优选在区域230i的上下分别设置第一绝缘体,并且在其上下分别设置第二绝缘体。在此,将沟道形成区域上的第一绝缘体和第一绝缘体上的第二绝缘体的叠层体称为第一叠层体。另外,将区域230i下的第一绝缘体与第一绝缘体下的第二绝缘体的叠层体称为第二叠层体。此时,第一叠层体和第二叠层体以沟道形成区域为基准或轴对称地设置。换言之,第一叠层体和第二叠层体相对于穿过沟道形成区域的面或线对称地设置。此外,第一叠层体和第二叠层体以沟道形成区域为中心对称地设置。

[0073] 注意,在本说明书等中,第一叠层体和第二叠层体以结构体为基准对称地设置的结构是指第一叠层体及第二叠层体以夹持该结构体的方式设置,并且第一叠层体所包括的层的叠层顺序与第二叠层体所包括的层的叠层顺序在以该结构体为基准时相同的结构。换言之,是指如下结构:以夹持该结构体的方式设置有第一叠层体及第二叠层体,并且,在隔着该结构体从第一叠层体朝向第二叠层体的方向上,第一叠层体所包括的层的叠层顺序与第二叠层体所包括的层的叠层顺序相反。另外,第一叠层体、该结构体及第二叠层体既可以依次在垂直于衬底面的方向配置,又可以依次沿水平于衬底面的方向配置。在第一叠层体、该结构体及第二叠层体依次在垂直于衬底面的方向上配置的情况下,可以说第一叠层体和

第二叠层体设置在该结构体的上下。

[0074] 另外,第一叠层体及第二叠层体都包括两个以上的层。另外,第一叠层体所包括的层的数量与第二叠层体所包括的层的数量优选相同。注意,第一叠层体所包括的一个层有时兼具第二叠层体所包括的多个层的功能,反之亦然。此外,第一叠层体所包括的由多个层构成的结构体有时具有第二叠层体所包括的一个层的功能,反之亦然。因此,有时第一叠层体所包括的层的数量与第二叠层体所包括的层的数量可以不同。此外,第一叠层体所包括的一个层与其他层的轮廓不一定必须重叠。第二叠层体也是同样的。

[0075] 本实施方式所示的半导体装置包括第一叠层体、第一叠层体下的具有沟道形成区域的金属氧化物以及该金属氧化物下的第二叠层体。第一叠层体及第二叠层体各自至少包括第一绝缘体及第二绝缘体。此时,第一叠层体中的第一绝缘体及第二叠层体中的第一绝缘体具有隔着沟道形成区域彼此重叠的区域,第一叠层体中的第二绝缘体及第二叠层体中的第二绝缘体具有隔着第一叠层体中的第一绝缘体、沟道形成区域及第二叠层体中的第一绝缘体彼此重叠的区域。

[0076] 注意,只要第一叠层体所包括的第一绝缘体及第二叠层体所包括的第一绝缘体具有相同的性质或功能,其厚度、材料、形成方法等也可以不同。具体而言,第一叠层体所包括的第一绝缘体及第二叠层体所包括的第一绝缘体具有容易使氧透过的性质即可,其厚度、材料、形成方法等也可以不同。注意,相同的性质或功能可以为一个或多个。第一叠层体所包括的第二绝缘体及第二叠层体所包括的第二绝缘体也是同样的,具体而言,第一叠层体所包括的第二绝缘体及第二叠层体所包括的第二绝缘体具有抑制氢的扩散的功能即可,并且,其厚度、材料、形成方法等也可以不同。

[0077] 如图1B及图1C所示,绝缘体250优选具有绝缘体250a与绝缘体250a上的绝缘体250b的叠层结构。此外,绝缘体222优选具有绝缘体222a与绝缘体222a下的绝缘体222b的叠层结构。就是说,优选以夹持氧化物230的区域230i的方式设置绝缘体250a及绝缘体222a,并且以夹持绝缘体250a、区域230i及绝缘体222a的方式设置绝缘体250b及绝缘体222b。换言之,绝缘体250a与绝缘体222a具有隔着区域230i彼此重叠的区域,绝缘体250b与绝缘体222b具有隔着绝缘体250a、区域230i及绝缘体222a彼此重叠的区域。

[0078] 在图1B及图1C所示的结构中,绝缘体250对应于上述第一叠层体,绝缘体222对应于上述第二叠层体。另外,绝缘体250a及绝缘体222a对应于上述第一绝缘体,绝缘体250b及绝缘体222b对应于上述第二绝缘体。此时,可以说导电体260位于第一叠层体的上方。另外,可以说导电体205位于第二叠层体的下方。

[0079] 此外,如图1B及图1C所示,绝缘体250a和绝缘体222a优选在不与氧化物230重叠的区域中具有彼此接触的区域。通过采用这种结构,可以由绝缘体250a及绝缘体222a围绕氧化物230。

[0080] 作为绝缘体250a及绝缘体222a,优选使用容易透过氧的绝缘体。通过采用这种结构,可以将包含在绝缘体280中的氧通过绝缘体250a及绝缘体222a供应到区域230i。另外,绝缘体250a及绝缘体222a也可以使用包含过剩氧的绝缘体。通过采用这种结构,可以将包含在绝缘体250a及绝缘体222a中的氧供应到区域230i。

[0081] 例如,作为绝缘体250a及绝缘体222a,可以使用氧化硅、氧氮化硅或氮氧化硅。此外,例如,可以使用添加有氟的氧化硅、添加有碳的氧化硅或添加有碳及氮的氧化硅。此外,

例如,可以使用具有空孔的氧化硅等。此外,这些氧化硅也可以包含氮。尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。此时,绝缘体250a及绝缘体222a至少包含氧及硅。

[0082] 注意,在本说明书等中,氧氮化物是指在其组成中氧含量多于氮含量的材料,而氮氧化物是指在其组成中氮含量多于氧含量的材料。例如,在记载为氧氮化硅时这是指在其组成中氧含量多于氮含量的材料,而在记载为氮氧化硅时这是指在其组成中氮含量多于氧含量的材料。

[0083] 此外,绝缘体250a及绝缘体222a中的水、氢等杂质的浓度优选得到降低。

[0084] 绝缘体250b及绝缘体222b优选具有氢阻挡性。由此,可以抑制导电体260及导电体205所包含的氢等杂质扩散到区域230i。作为绝缘体250b及绝缘体222b,例如优选使用氧化铝、氧化镁、氧化钪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。尤其是,氮化硅的氢阻挡性高,因此优选用于绝缘体250b及绝缘体222b。在此情况下,绝缘体250b及绝缘体222b至少包含氮及硅。

[0085] 绝缘体250b例如与绝缘体250a相比不容易透过氢即可。另外,作为绝缘体250b例如使用与绝缘体250a相比不容易透过氢的材料即可。同样地,绝缘体222b例如与绝缘体222a相比不容易透过氢即可。另外,作为绝缘体222b例如使用与绝缘体222a相比不容易透过氢的材料即可。

[0086] 注意,在本说明书等中,阻挡性是指对应物质不容易扩散的性质(也可以说对应物质不容易透过的性质、对应物质的透过性低的性质或抑制对应物质的扩散的功能)。此外,阻挡性是指俘获或固定(也称为吸杂)对应物质的功能。另外,在本说明书等中,有时将具有阻挡性的绝缘体称为阻挡绝缘体。

[0087] 绝缘体250b及绝缘体222b优选具有氧阻挡性。绝缘体250b设置在绝缘体250a与导电体260间。由此,可以防止包含在绝缘体250a中的氧扩散到导电体260而抑制导电体260被氧化。此外,可以抑制对区域230i供应的氧量减少。绝缘体222b设置在绝缘体222a与导电体205之间。由此,可以防止包含在绝缘体222a中的氧扩散到导电体205而抑制导电体205被氧化。此外,可以抑制对区域230i供应的氧量减少。

[0088] 注意,绝缘体250b例如与绝缘体250a相比不容易透过氧即可。另外,作为绝缘体250b例如使用与绝缘体250a相比不容易透过氧的材料即可。同样地,绝缘体222b例如与绝缘体222a相比不容易透过氧即可。另外,作为绝缘体222b例如使用与绝缘体222a相比不容易透过氧的材料即可。

[0089] 氮化硅具有氧阻挡性,由此可以适用于绝缘体250b及绝缘体222b。

[0090] 通过采用上述结构,可以提高晶体管200的电特性及可靠性。因此,可以实现具有良好的电特性的半导体装置及可靠性高的半导体装置。绝缘体250a和绝缘体222a具有相同的功能,绝缘体250b和绝缘体222b具有相同的功能。因此,可以以沟道形成区域为基准对称地设置第一叠层体和第二叠层体。

[0091] 绝缘体280被用作层间膜。作为绝缘体280,优选使用介电常数低的材料。例如,绝缘体280的介电常数优选比绝缘体250b低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0092] 注意,相对于真空的介电常数的介质的介电常数之比称为相对介电常数。换言之,相对介电常数是指利用介电常数使介电常数无量纲化的比率。因此,介电常数可以换称为相

对介电常数。

[0093] 例如,绝缘体280可以使用可用于绝缘体250a及绝缘体222a的绝缘体。尤其是,优选使用氧化硅、氮化硅、具有空孔的氧化硅等材料,由此可以容易形成包含过剩氧的区域。

[0094] 绝缘体280中的水、氢等杂质的浓度优选得到降低。例如,作为绝缘体280优选使用氧化硅、氮化硅等包含硅的氧化物。

[0095] 导电体260及绝缘体250以嵌入形成在绝缘体280中的开口部的方式配置。导电体260在该开口部中隔着绝缘体250覆盖氧化物230的侧面的至少一部分及顶面的至少一部分。此外,导电体260的顶面以与绝缘体250的顶面及绝缘体280的顶面高度一致的方式配置。

[0096] 在配置导电体260及绝缘体250的形成在绝缘体280中的开口部,绝缘体280的侧壁既可以大致垂直于绝缘体222的顶面,也可以具有锥形形状。通过该开口部中的绝缘体280的侧壁具有锥形形状,可以提高设置在该开口部的绝缘体250等的覆盖性,因此可以降低空洞等缺陷。

[0097] 如图1A及图1C所示,导电体260优选延伸在沟道宽度方向上。通过采用这种结构,在设置多个晶体管时导电体260被用作布线。

[0098] 作为导电体260、导电体242a、导电体242b及导电体205,优选分别使用不容易被氧化的导电材料或具有抑制氧扩散的功能的导电材料。作为该导电材料例如可以举出包含氮的导电材料及包含氧的导电材料。由此,可以抑制降低导电体260、导电体242a、导电体242b及导电体205的导电率。在作为导电体260、导电体242a、导电体242b及导电体205使用包含金属及氮的导电材料的情况下,导电体260、导电体242a、导电体242b及导电体205至少包含该金属及氮。

[0099] 导电体260既可以具有单层结构,又可以具有叠层结构。此外,导电体242a及导电体242b既可以具有单层结构,又可以具有叠层结构。

[0100] 作为导电体242a及导电体242b优选使用包含氮的导电材料,例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用钌、氧化钌、氮化钌、包含锆和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0101] 注意,有时包含在氧化物230等中的氢扩散到导电体242a或导电体242b。尤其是,当作为导电体242a及导电体242b使用包含钽的氮化物时,有时包含在氧化物230等中的氢容易扩散到导电体242a或导电体242b,该扩散的氢与导电体242a或导电体242b所包含的氮键合。也就是说,有时包含在氧化物230等中的氢被导电体242a或导电体242b吸收。

[0102] 导电体205以与氧化物230及导电体260重叠的方式配置。此外,如图1A及图1C所示,导电体205优选延伸设置在沟道宽度方向上。通过采用这种结构,在设置多个晶体管时导电体205被用作布线。

[0103] 导电体205可以具有单层结构或叠层结构。

[0104] 导电体205可以被用作第二栅电极。在此情况下,通过独立地改变施加到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200的阈值电压

(V_{th})。尤其是,通过对导电体205施加负电位,可以进一步增大晶体管200的 V_{th} 而减少关态电流。由此,与不对导电体205施加负电位的情况相比,在对导电体205施加负电位的情况下,可以减少对导电体260施加的电位为0V时的漏极电流。

[0105] 另外,也可以使施加到导电体205的电位与施加到导电体260的电位相同。此时,可以使导电体260及导电体205的电场作用于氧化物230的沟道形成区域整体。因此,可以增大沟道宽度而不增大晶体管的尺寸。因此,可以在实现晶体管的微型化的同时增大晶体管的通态电流。另外,由于增大晶体管的通态电流,可以提高频率特性。

[0106] 在图1B及图1C中,作为第二栅极绝缘体使用绝缘体222b与绝缘体222a的叠层结构,但是本发明不局限于此。例如,作为第二栅极绝缘体,也可以使用绝缘体222与绝缘体222上的岛状绝缘体的叠层体。换言之,在绝缘体222与氧化物230之间也可以设置岛状绝缘体。

[0107] 注意,在本说明书等中,岛状是指以同一工序形成并使用同一材料的两个以上的层物理分离的状态。

[0108] 图2A及图2B示出与图1B及图1C所示的结构不同的结构的一个例子。图2A及图2B是包括晶体管200A的半导体装置的截面图。在此,图2A是晶体管200A的沟道长度方向上的截面图,图2B是晶体管200A的沟道宽度方向上的截面图。另外,图2A及图2B所示的半导体装置的俯视图可以参照图1A。

[0109] 图2A及图2B所示的晶体管200A与图1B及图1C所示的晶体管200A的主要不同之处在于绝缘体222为单层且包括岛状绝缘体224。

[0110] 在图2A及图2B所示的晶体管200A中,绝缘体222与氧化物230之间设置有岛状绝缘体224。如图2A及图2B所示,在晶体管200A的截面中,绝缘体224的侧端部与氧化物230的侧端部一致。

[0111] 绝缘体222及绝缘体224都具有用作第二栅极绝缘体的区域。

[0112] 绝缘体250a具有与绝缘体222的顶面接触的区域、与绝缘体224的侧面接触的区域、与氧化物230的侧面接触的区域以及与氧化物230的顶面接触的区域。此时,氧化物230的区域230i被绝缘体250a及绝缘体224围绕。

[0113] 绝缘体222优选使用可用于上述绝缘体222b的材料。此外,绝缘体224优选使用上述可用于绝缘体222a的材料。在这种结构中,可以将由绝缘体222和岛状绝缘体224构成的叠层体看作第二叠层体。此时,可以说图2A及图2B所示的晶体管200A具有第一叠层体与第二叠层体以沟道形成区域为基准对称地设置的结构。

[0114] <结构例子2>

图3A至图3C示出与上述晶体管200A不同的结构例子。图3A是半导体装置的俯视图,图3B及图3C是半导体装置的截面图。在此,图3B是沿着图3A中的点划线A1-A2的部分的截面图。此外,图3C是沿着图3A中的点划线A3-A4的部分的截面图。注意,在图3A的俯视图中,为了明确起见,省略部分构成要素。

[0115] 图3A至图3C所示的半导体装置包括晶体管200B。因此,图3B可以说是晶体管200B的沟道长度方向上的截面图。此外,图3C也可以说是晶体管200B的沟道宽度方向上的截面图。

[0116] 图3B及图3C所示的晶体管200B与图1B及图1C所示的晶体管200A的主要不同之处

在于绝缘体222及绝缘体250都具有三层叠层结构。具体而言,图3B及图3C所示的晶体管200B与图1B及图1C所示的晶体管200A的主要不同之处在于:绝缘体250在绝缘体250a下还包括绝缘体250c;以及绝缘体222在绝缘体222a上还包括绝缘体222c。以下,主要说明与上述结构例子1不同的部分,省略重复部分的说明。

[0117] 绝缘体250包括绝缘体250c、绝缘体250c上的绝缘体250a及绝缘体250a上的绝缘体250b。绝缘体222包括绝缘体222b、绝缘体222b上的绝缘体222a以及绝缘体222a上的绝缘体222c。此时,绝缘体250c及绝缘体222c具有隔着区域230i彼此重叠的区域,绝缘体250a及绝缘体222a具有隔着绝缘体250c、区域230i及绝缘体222c彼此重叠的区域,绝缘体250b及绝缘体222b具有隔着绝缘体250a、绝缘体250c、区域230i、绝缘体222c及绝缘体222a彼此重叠的区域。另外,可以说绝缘体250c位于绝缘体250a与区域230i之间,绝缘体222c位于绝缘体222a与区域230i之间。

[0118] 绝缘体250c及绝缘体222c优选具有氧阻挡性。绝缘体250c包括与导电体242a的侧面接触的区域及与导电体242b的侧面接触的区域。当绝缘体250c具有氧阻挡性时,可以抑制导电体242a及导电体242b的侧面被氧化而在该侧面上形成氧化膜。由此,可以抑制导致晶体管200B的通态电流的下降或场效应迁移率的下降。作为氧阻挡绝缘体,例如可以举出包含铝和钪中的一方或双方的氧化物、包含钪及硅的氧化物(硅酸钪)、氧化镁、氧化镓、镓锌氧化物、铟镓锌氧化物、氮化硅以及氮氧化硅等。此外,作为包含铝及钪中的一个或两个的氧化物,例如可以举出氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)。

[0119] 绝缘体250c及绝缘体222c优选具有上述氧阻挡绝缘体的单层结构或叠层结构。注意,绝缘体250c例如与绝缘体250a相比不容易透过氧即可。另外,作为绝缘体250c例如使用与绝缘体250a相比不容易透过氧的材料即可。同样地,绝缘体222c例如与绝缘体222a相比不容易透过氧即可。另外,作为绝缘体222c例如使用与绝缘体222a相比不容易透过氧的材料即可。

[0120] 绝缘体250c与氧化物230的顶面及侧面、绝缘体222c的顶面接触。也就是说,区域230i被绝缘体250c及绝缘体222c围绕。当绝缘体250c及绝缘体222c具有氧阻挡性时,可以抑制在进行热处理等时氧从区域230i脱离。因此,可以抑制在区域230i中形成氧空位。

[0121] 此外,通过设置绝缘体250c及绝缘体222c,即使绝缘体280包含过剩氧也可以抑制该过剩氧被供应到区域230i,使得适量氧被供应到区域230i。因此,可以抑制区域230na及区域230nb被过度氧化而导致晶体管200B的通态电流的下降或场效应迁移率的下降。

[0122] 另外,绝缘体222c设置在绝缘体222a与区域230na或区域230nb之间。因此,可以抑制氧从绝缘体222c的下方扩散到区域230na及区域230nb。再者,区域230na上设置有导电体242a,区域230nb上设置有导电体242b。因此,在本实施方式中,区域230na及区域230nb不被供应过多的氧。

[0123] 作为绝缘体250c及绝缘体222c,优选使用包含氧化物的绝缘体,该氧化物包含铝和钪中的一方或双方。在本实施方式中,作为绝缘体250c及绝缘体222c,使用氧化铝。在此情况下,绝缘体250c及绝缘体222c各自至少包含氧及铝。

[0124] 通过采用上述结构,绝缘体250c和绝缘体222c具有相同的功能。因此,可以以沟道形成区域为基准对称地设置第一叠层体和第二叠层体。

[0125] 此外,与图2A及图2B所示的结构同样,第二栅极绝缘体也可以由绝缘体222与岛状

绝缘体224的叠层体构成。

[0126] 图4A及图4B示出与图3B及图3C所示的结构不同的结构的一个例子。图4A及图4B是包括晶体管200B的半导体装置的截面图。在此,图4A是晶体管200B的沟道长度方向上的截面图,图4B是晶体管200B的沟道宽度方向上的截面图。另外,图4A及图4B所示的半导体装置的俯视图可以参照图3A。

[0127] 图4A及图4B所示的晶体管200B与图3B及图3C所示的晶体管200B的主要不同之处在于绝缘体222具有两层叠层结构且包括岛状绝缘体224。

[0128] 在图4A及图4B所示的晶体管200B中,绝缘体222具有绝缘体222b与绝缘体222b上的绝缘体222a的叠层结构。另外,绝缘体222与氧化物230之间设置有岛状绝缘体224。

[0129] 绝缘体250c具有与绝缘体222a的顶面接触的区域、与绝缘体224的侧面接触的区域、与氧化物230的侧面接触的区域以及氧化物230的顶面接触的区域。此时,氧化物230的区域230i被绝缘体250c及绝缘体224围绕。

[0130] 绝缘体224优选使用可用于上述绝缘体222c的材料。

[0131] 注意,绝缘体222及绝缘体224的结构不局限于图4A及图4B所示的结构。图4C及图4D示出与图4A及图4B所示的结构不同的结构的一个例子。图4C及图4D是包括晶体管200B的半导体装置的截面图。在此,图4C是晶体管200B的沟道长度方向上的截面图,图4D是晶体管200B的沟道宽度方向上的截面图。注意,图4C及图4D所示的半导体装置的俯视图可以参照图3A。

[0132] 如图4C及图4D所示,绝缘体222也可以具有单层结构,绝缘体224也可以具有绝缘体224a与绝缘体224a上的绝缘体224c的叠层结构。此时,绝缘体222优选使用可用于上述绝缘体222b的材料。另外,绝缘体224a优选使用可用于上述绝缘体222a的材料,绝缘体224c优选使用可用于上述绝缘体222c的材料。

[0133] 通过采用上述结构,可以将由绝缘体222和绝缘体224构成的叠层体看作第二叠层体。此时,可以说图4A及图4B所示的晶体管200B以及图4C及图4D所示的晶体管200B具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0134] 注意,图4A及图4B示出在区域230i与绝缘体222a之间设置具有氧阻挡性的绝缘体224的结构,但是本发明不局限于此。图5A及图5B示出与图4A及图4B所示的结构不同的结构的一个例子。

[0135] 图5A及图5B是包括晶体管200B的半导体装置的截面图。在此,图5A是晶体管200B的沟道长度方向上的截面图,图5B是晶体管200B的沟道宽度方向上的截面图。注意,图5A及图5B所示的半导体装置的俯视图可以参照图3A。

[0136] 图5A及图5B所示的晶体管200B与图4A及图4B所示的晶体管200B的主要不同之处在于:绝缘体222具有两层叠层结构;不包括绝缘体224;以及氧化物230具有两层叠层结构。

[0137] 如图5A及图5B所示,绝缘体222具有绝缘体222b与绝缘体222b上的绝缘体222a的叠层结构。另外,氧化物230具有氧化物230a与氧化物230a上的氧化物230b的叠层结构。氧化物230a使用氧阻挡性的半导体材料,氧化物230b优选使用可用于上述氧化物230的材料。

[0138] 注意,氧化物230a例如与绝缘体222a相比不容易透过氧即可。另外,作为氧化物230a例如使用与绝缘体222a相比不容易透过氧的材料即可。

[0139] 例如,作为氧化物230a优选使用至少包含元素M的金属氧化物。注意,氧化物230b

既可以包含元素M,又可以不包含元素M。例如,氧化物230a中的相对于主要成分的金属元素的元素M的原子个数比优选大于氧化物230b中的相对于主要成分的金属元素的元素M的原子个数比。再者,在氧化物230a及氧化物230b都包含In的情况下,氧化物230a中的相对于In的元素M的原子个数比优选大于氧化物230b中的相对于In的元素M的原子个数比。通过采用这种结构,可以抑制杂质及氧从形成在氧化物230a的下方的结构体向氧化物230b扩散。

[0140] 例如,作为氧化物230a可以使用In:M:Zn=1:3:2[原子个数比]或其附近的组成、In:M:Zn=1:3:4[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物。

[0141] 此外,作为元素M优选使用镓和铝中的至少一个。如上所述,在作为绝缘体250c使用氧化铝时,氧化物230a及绝缘体250c各自包含镓和铝中的至少一个。

[0142] 在上述结构中,可以将由绝缘体222和氧化物230a构成的叠层体看作第二叠层体。此时,可以说图5A及图5B所示的晶体管200B具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0143] 注意,在氧化物230具有氧化物230a和氧化物230b的叠层结构的情况下,区域230i、区域230na及区域230nb有时不仅形成在氧化物230b中而且形成在氧化物230a中。

[0144] 图5C及图5D示出与图5A及图5B所示的结构不同的结构的一个例子。图5C及图5D是包括晶体管200B的半导体装置的截面图。在此,图5C是晶体管200B的沟道长度方向上的截面图,图5D是晶体管200B的沟道宽度方向上的截面图。注意,图5C及图5D所示的半导体装置的俯视图可以参照图3A。

[0145] 如图5C及图5D所示,绝缘体222也可以具有单层结构,并且绝缘体222与氧化物230a之间可以设置有绝缘体224。此时,绝缘体250c及氧化物230a具有隔着区域230i彼此重叠的区域,绝缘体250a及绝缘体224具有隔着绝缘体250c、区域230i及氧化物230a彼此重叠的区域,绝缘体250b及绝缘体222具有隔着绝缘体250a、绝缘体250c、区域230i、氧化物230a及绝缘体224彼此重叠的区域。

[0146] 绝缘体222优选使用可用于上述绝缘体222b的材料。此外,绝缘体224优选使用上述可用于绝缘体222a的材料。在这种结构中,可以将由绝缘体222、绝缘体224及氧化物230a构成的结构体看作第二叠层体。此时,第二叠层体包括氧化物230a、氧化物230a下的绝缘体224及绝缘体224下的绝缘体222。此时,可以说图5C及图5D所示的晶体管200B具有第一叠层体与第二叠层体以沟道形成区域为基准对称地设置的结构。

[0147] <结构例子3>

图6A至图6C示出与上述晶体管200A不同的结构例子。图6A是半导体装置的俯视图,图6B及图6C是半导体装置的截面图。在此,图6B是沿着图6A中的点划线A1-A2的部分的截面图。此外,图6C是沿着图6A中的点划线A3-A4的部分的截面图。注意,在图6A的俯视图中,为了明确起见,省略部分构成要素。

[0148] 图6A至图6C所示的半导体装置包括晶体管200C。因此,图6B可以说是晶体管200C的沟道长度方向上的截面图。此外,图6C也可以说是晶体管200C的沟道宽度方向上的截面图。

[0149] 图6B及图6C所示的晶体管200C与图1B及图1C所示的晶体管200A的主要不同之处在于绝缘体222及绝缘体250都具有三层叠层结构。具体而言,图6B及图6C所示的晶体管

200C与图1B及图1C所示的晶体管200A的主要不同之处在于:在绝缘体250a与绝缘体250b之间包括绝缘体250d;以及在绝缘体222a与绝缘体222b之间包括绝缘体222d。以下,主要说明与上述结构例子1不同的部分,省略重复部分的说明。

[0150] 绝缘体250包括绝缘体250a、绝缘体250a上的绝缘体250d及绝缘体250d上的绝缘体250b。绝缘体222包括绝缘体222b、绝缘体222b上的绝缘体222d以及绝缘体222d上的绝缘体222a。此时,绝缘体250a及绝缘体222a具有隔着区域230i彼此重叠的区域,绝缘体250d及绝缘体222d具有隔着绝缘体250a、区域230i及绝缘体222a彼此重叠的区域,绝缘体250b及绝缘体222b具有隔着绝缘体250d、绝缘体250a、区域230i、绝缘体222a及绝缘体222d彼此重叠的区域。

[0151] 绝缘体250d及绝缘体222d优选具有俘获或固定氢的功能。通过在由绝缘体250b及绝缘体222b围绕的区域的内侧设置具有俘获或固定氢的功能的绝缘体,可以更有效地俘获或固定该区域的内侧的氢。也就是说,可以更有效地俘获或固定绝缘体250a、氧化物230b的区域230i及绝缘体222a所包含的氢。因此,可以降低区域230i中的氢浓度。由此,可以降低区域230i中的 V_0 而使区域230i i型化或实质上i型化。

[0152] 作为具有俘获或固定氢的功能的绝缘体,可以举出具有非晶结构的金属氧化物。作为绝缘体250d及绝缘体222d,例如,优选使用氧化镁或者包含铝和铅中的一方或双方的氧化物等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。也就是说,具有非晶结构的金属氧化物的俘获或固定氢的能力可以说是高。

[0153] 此外,绝缘体250d及绝缘体222d优选使用相对介电常数高的(high-k)材料。注意,作为high-k材料的一个例子,有包含铝和铅中的一方或双方的氧化物、氧化钽、氧化锆、铅锆氧化物等。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。当作为绝缘体250d及绝缘体222d使用high-k材料时,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT:Equivalent Oxide Thickness)。此外,作为绝缘体250d及绝缘体222d有时可以使用锆钛酸铅(PZT)、钛酸锶(SrTiO_3)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等相对介电常数高的物质。

[0154] 如上所述,作为绝缘体250d及绝缘体222d,优选使用包含铝和铅中的一方或双方的氧化物,更优选使用具有非晶结构且包含铝和铅中的一方或双方的氧化物。在本实施方式中,作为绝缘体250d及绝缘体222d,使用氧化铅。在此情况下,绝缘体250d及绝缘体222d各自至少包含氧及铅。此外,该氧化铅具有非晶结构。在此情况下,绝缘体250d及绝缘体222d具有非晶结构。

[0155] 通过采用上述结构,绝缘体250d和绝缘体222d具有相同的功能。因此,可以以沟道形成区域为基准对称地设置第一叠层体和第二叠层体。

[0156] 此外,与图2A及图2B所示的结构同样,第二栅极绝缘体也可以由绝缘体222与岛状绝缘体224的叠层体构成。

[0157] 图7A及图7B示出与图6B及图6C所示的结构不同的结构的一个例子。图7A及图7B是包括晶体管200C的半导体装置的截面图。在此,图7A是晶体管200C的沟道长度方向上的截面图,图7B是晶体管200C的沟道宽度方向上的截面图。另外,图7A及图7B所示的半导体装置

的俯视图可以参照图6A。

[0158] 图7A及图7B所示的晶体管200C与图6B及图6C所示的晶体管200C的主要不同之处在于绝缘体222具有两层叠层结构且包括岛状绝缘体224。

[0159] 在图7A及图7B所示的晶体管200C中,绝缘体222具有绝缘体222b与绝缘体222b上的绝缘体222d的叠层结构。另外,绝缘体222与氧化物230之间设置有岛状绝缘体224。

[0160] 绝缘体250a具有与绝缘体222d的顶面接触的区域、与绝缘体224的侧面接触的区域、与氧化物230的侧面接触的区域以及氧化物230的顶面接触的区域。此时,氧化物230的区域230i被绝缘体250a及绝缘体224围绕。

[0161] 绝缘体224优选使用可用于上述绝缘体222a的材料。

[0162] 注意,绝缘体222及绝缘体224的结构不局限于图7A及图7B所示的结构。图7C及图7D示出与图7A及图7B所示的结构不同的结构的一个例子。图7C及图7D是包括晶体管200C的半导体装置的截面图。在此,图7C是晶体管200C的沟道长度方向上的截面图,图7D是晶体管200C的沟道宽度方向上的截面图。注意,图7C及图7D所示的半导体装置的俯视图可以参照图6A。

[0163] 如图7C及图7D所示,绝缘体222也可以具有单层结构,绝缘体224也可以具有绝缘体224d与绝缘体224d上的绝缘体224a的叠层结构。此时,绝缘体222优选使用可用于上述绝缘体222b的材料。另外,绝缘体224d优选使用可用于上述绝缘体222d的材料,绝缘体224a优选使用可用于上述绝缘体222a的材料。

[0164] 通过采用上述结构,可以将由绝缘体222和绝缘体224构成的叠层体看作第二叠层体。此时,可以说图7A及图7B所示的晶体管200C以及图7C及图7D所示的晶体管200C具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0165] <结构例子4>

图8A至图8C示出与上述晶体管200A至晶体管200C不同的结构例子。图8A是半导体装置的俯视图,图8B及图8C是半导体装置的截面图。在此,图8B是沿着图8A中的点划线A1-A2的部分的截面图。此外,图8C是沿着图8A中的点划线A3-A4的部分的截面图。注意,在图8A的俯视图中,为了明确起见,省略部分构成要素。

[0166] 图8A至图8C所示的半导体装置包括晶体管200D。因此,图8B可以说是晶体管200D的沟道长度方向上的截面图。此外,图8C也可以说是晶体管200D的沟道宽度方向上的截面图。

[0167] 图8B及图8C所示的晶体管200D与晶体管200A至晶体管200C的主要不同之处在于绝缘体222及绝缘体250都具有四层叠层结构。图8B及图8C所示的晶体管200D也可以说具有对图3A至图3C所示的晶体管200B追加绝缘体250d及绝缘体222d的结构。或者,也可以说具有对图6A至图6C所示的晶体管200C追加绝缘体250c及绝缘体222c的结构。以下,主要说明与上述结构例子1至结构例子3不同的部分,省略重复部分的说明。

[0168] 绝缘体250包括绝缘体250c、绝缘体250c上的绝缘体250a、绝缘体250a上的绝缘体250d及绝缘体250d上的绝缘体250b。绝缘体222包括绝缘体222b、绝缘体222b上的绝缘体222d以及绝缘体222d上的绝缘体222a、绝缘体222a上的绝缘体222c。此时,绝缘体250c及绝缘体222c具有隔着区域230i彼此重叠的区域,绝缘体250a及绝缘体222a具有隔着绝缘体250c、区域230i及绝缘体222c彼此重叠的区域,绝缘体250d及绝缘体222d具有隔着绝缘体

250a、绝缘体250c、区域230i、绝缘体222c及绝缘体222a彼此重叠的区域,绝缘体250b及绝缘体222b具有隔着绝缘体250d、绝缘体250a、绝缘体250c、区域230i、绝缘体222c、绝缘体222a及绝缘体222d彼此重叠的区域。

[0169] 通过采用上述结构,可以以沟道形成区域为基准对称地设置第一叠层体和第二叠层体。

[0170] 此外,与图2A及图2B所示的结构同样,第二栅极绝缘体也可以由绝缘体222与岛状绝缘体224构成。

[0171] 图9A及图9B、图9C及图9D以及图9E及图9F示出与图8B及图8C所示的结构不同的结构的一个例子。图9A及图9B、图9C及图9D以及图9E及图9F是包括晶体管200D的半导体装置的截面图。在此,图9A、图9C及图9E是晶体管200D的沟道长度方向上的截面图,图9B、图9D及图9F是晶体管200D的沟道宽度方向上的截面图。另外,图9A及图9B、图9C及图9D以及图9E及图9F所示的各半导体装置的俯视图可以参照图8A。

[0172] 图9A及图9B所示的晶体管200D、图9C及图9D所示的晶体管200D以及图9E及图9F所示的晶体管200D与图8B及图8C所示的晶体管200D的主要不同之处在于:在绝缘体222与氧化物230之间包括岛状绝缘体224。

[0173] 在图9A及图9B所示的晶体管200D中,绝缘体222具有绝缘体222b、绝缘体222b上的绝缘体222d及绝缘体222d上的绝缘体222a的叠层结构,绝缘体224具有单层结构。绝缘体224优选使用可用于上述绝缘体222c的材料。

[0174] 另外,在图9C及图9D所示的晶体管200D中,绝缘体222具有绝缘体222b与绝缘体222b上的绝缘体222d的叠层结构,绝缘体224具有绝缘体224a与绝缘体224a上的绝缘体224c的叠层结构。绝缘体224a优选使用可用于上述绝缘体222a的材料,绝缘体224c优选使用可用于上述绝缘体222c的材料。

[0175] 另外,在图9E及图9F所示的晶体管200D中,绝缘体222具有单层结构,绝缘体224具有绝缘体224d、绝缘体224d上的绝缘体224a以及绝缘体224a上的绝缘体224c的叠层结构。绝缘体222优选使用可用于上述绝缘体222b的材料。另外,绝缘体224d优选使用可用于上述绝缘体222d的材料,绝缘体224a优选使用可用于上述绝缘体222a的材料,绝缘体224c优选使用可用于上述绝缘体222c的材料。

[0176] 通过采用上述结构,可以将由绝缘体222和绝缘体224构成的叠层体看作第二叠层体。此时,可以说图9A及图9B所示的晶体管200D、图9C及图9D所示的晶体管200D以及图9E及图9F所示的晶体管200D具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0177] 此外,与图5A及图5B所示的结构同样,氧化物230也可以具有氧化物230a与氧化物230b的叠层结构,作为氧化物230a也可以使用氧阻挡性的半导体材料。

[0178] 图10A及图10B、图10C及图10D以及图10E及图10F示出与图8B及图8C所示的结构不同的结构的一个例子。图10A及图10B、图10C及图10D以及图10E及图10F分别是包括晶体管200D的半导体装置的截面图。在此,图10A、图10C及图10E是晶体管200D的沟道长度方向上的截面图,图10B、图10D及图10F是晶体管200D的沟道宽度方向上的截面图。注意,图10A及图10B所示的半导体装置、图10C及图10D所示的半导体装置以及图10E及图10F所示的半导体装置的俯视图可以参照图8A。

[0179] 图10A及图10B所示的晶体管200D与图8B及图8C所示的晶体管200D的主要不同之处在于氧化物230具有两层叠层结构。图10C及图10D所示的晶体管200D与图8B及图8C所示的晶体管200D的主要不同之处在于:包括岛状绝缘体224;以及氧化物230具有两层叠层结构。

[0180] 在图10A及图10B所示的晶体管200D中,绝缘体222具有绝缘体222b、绝缘体222b上的绝缘体222d及绝缘体222d上的绝缘体222a的叠层结构,氧化物230具有氧化物230a及氧化物230a上的氧化物230b的叠层结构。在这种结构中,可以将由绝缘体222和氧化物230a构成的叠层体看作第二叠层体。此时,图10A及图10B所示的晶体管200D可以说具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0181] 另外,在图10C及图10D所示的晶体管200D中,绝缘体222具有绝缘体222b与绝缘体222b上的绝缘体222d的叠层结构。另外,氧化物230具有氧化物230a与氧化物230a上的氧化物230b的叠层结构。绝缘体224优选使用可用于上述绝缘体222a的材料。

[0182] 另外,在图10E及图10F所示的晶体管200D中,绝缘体224包括绝缘体224d及绝缘体224d上的绝缘体224a。另外,氧化物230具有氧化物230a与氧化物230a上的氧化物230b的叠层结构。绝缘体222优选使用可用于上述绝缘体222b的材料。另外,绝缘体224d优选使用可用于上述绝缘体222d的材料,绝缘体224a优选使用可用于上述绝缘体222a的材料。

[0183] 通过采用上述结构,可以将由绝缘体222、绝缘体224及氧化物230a构成的叠层体看作第二叠层体。此时,可以说图10C及图10D所示的晶体管200D以及图10E及图10F所示的晶体管200D具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0184] 另外,在绝缘体250a、绝缘体222a或区域230i的氢浓度充分低时,设置绝缘体250d和绝缘体222d中的一方即可。

[0185] 图11A及图11B、图11C及图11D、图12A及图12B以及图12C及图12D分别是包括晶体管200D的半导体装置的截面图。在此,图11A、图11C、图12A及图12C是晶体管200D的沟道长度方向上的截面图,图11B、图11D、图12B及图12D是晶体管200D的沟道宽度方向上的截面图。注意,图11A及图11B所示的半导体装置以及图11C及图11D所示的半导体装置的俯视图可以参照图3A,图12A及图12B所示的半导体装置以及图12C及图12D所示的半导体装置的俯视图可以参照图8A。

[0186] 例如,图11A及图11B所示的晶体管200D以及图11C及图11D所示的晶体管200D包括绝缘体222d而不包括绝缘体250d。

[0187] 图11A及图11B所示的晶体管200D与图4C及图4D所示的晶体管200B的不同之处在于包括绝缘体222d。另外,图11A及图11B所示的晶体管200D与图9C及图9D所示的晶体管200D的不同之处在于不包括绝缘体250d。因此,图11A及图11B所示的晶体管200D可以说是图4C及图4D所示的晶体管200B的变形例子或图9C及图9D所示的晶体管200D的变形例子。

[0188] 另外,图11C及图11D所示的晶体管200D与图5C及图5D所示的晶体管200B的不同之处在于在绝缘体222b与绝缘体224之间包括绝缘体222d。另外,图11C及图11C所示的晶体管200D与图10C及图10D所示的晶体管200D的不同之处在于不包括绝缘体250d。因此,图11C及图11D所示的晶体管200D可以说是图5C及图5D所示的晶体管200B的变形例子或图10C及图10D所示的晶体管200D的变形例子。另外,图10C及图10D所示的晶体管200D具有在图11C及图11D所示的晶体管200D中绝缘体250a与绝缘体250b之间设置有绝缘体250d的结构。

[0189] 另外,例如,图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D包括绝缘体250d而不包括绝缘体222d。

[0190] 图12A及图12B所示的晶体管200D与图4C及图4D所示的晶体管200B的不同之处在于包括绝缘体250d。另外,图12A及图12B所示的晶体管200D与图9C及图9D所示的晶体管200D的不同之处在于不包括绝缘体222d。因此,图12A及图12B所示的晶体管200D可以说是图4C及图4D所示的晶体管200B的变形例子或图9C及图9D所示的晶体管200D的变形例子。

[0191] 另外,图12C及图12D所示的晶体管200D与图5C及图5D所示的晶体管200B的不同之处在于包括绝缘体250d。换言之,图12C及图12D所示的晶体管200D具有对图5C及图5D所示的晶体管200B追加绝缘体250d的结构。此外,图12C及图12D所示的晶体管200D与图10C及图10D所示的晶体管200D的不同之处在于不包括绝缘体222d。因此,图12C及图12D所示的晶体管200D可以说是图5C及图5D所示的晶体管200B的变形例子或图10C及图10D所示的晶体管200D的变形例子。

[0192] 注意,图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D的绝缘体222可以使用可用于上述绝缘体222b的材料或可用于上述绝缘体222d的材料。

[0193] 在作为图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D的绝缘体222使用可用于上述绝缘体222d的材料时,绝缘体222优选还具有抑制氢(例如,氢原子和氢分子等中的至少一个)的扩散的功能。例如,与绝缘体224(在图12A及图12B所示的晶体管200D中为绝缘体224a)相比,绝缘体222优选具有进一步抑制氢扩散的功能。此外,绝缘体222也可以具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能。此时,与绝缘体224(在图12A及图12B所示的晶体管200D中为绝缘体224a)相比,绝缘体222优选具有进一步抑制氧扩散的功能。

[0194] 在图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D中,绝缘体222优选使用铝和铅中的一方或双方的氧化物或者包含铅及锆的氧化物。当将这种氧化物用作绝缘体222时,绝缘体222被用作抑制氢等杂质从衬底一侧扩散到氧化物230且抑制氧从氧化物230释放到衬底一侧的层。因此,可以抑制氢等杂质扩散到晶体管200D的内侧而抑制在氧化物230中生成氧空位。此外,可以抑制导电体205与氧化物230所包含的氧起反应。

[0195] 注意,例如也可以对上述绝缘体添加氧化铝、氧化铍、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。

[0196] 例如,在作为绝缘体222使用铝和铅中的一方或双方的氧化物时,优选增大绝缘体222的厚度。例如,绝缘体222的厚度优选大于绝缘体250d的厚度,更优选大于绝缘体250d的厚度与绝缘体250b的厚度的总和。通过增加绝缘体222的厚度,绝缘体222有时具有俘获或固定氢的功能及抑制氢(例如,氢原子和氢分子等中的至少一个)的扩散的功能。此时,绝缘体222可以兼具上述可用于绝缘体222b的材料所具有的功能及上述可用于绝缘体222d的材料所具有的功能。通过采用这种结构,可以说图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D具有第一叠层体和第二叠层体以沟道形成区域为基准对称地设置的结构。

[0197] <应用例子>

在本发明的一个方式的半导体装置中,也可以在第一栅电极的上方和第二栅电极

的下方中的一方或双方设置氢阻挡性的绝缘体。

[0198] 图13A及图13B、图13C及图13D以及图13E及图13F分别是包括晶体管200E的半导体装置的截面图。在此,图13A、图13C及图13E是晶体管200E的沟道长度方向上的截面图,图13B、图13D及图13F是晶体管200E的沟道宽度方向上的截面图。注意,图13A及图13B所示的半导体装置、图13C及图13D所示的半导体装置以及图13E及图13F所示的半导体装置的俯视图可以参照图1A。以下,主要说明与上述结构例子1乃至结构例子4不同的部分,省略重复部分的说明。

[0199] 在图13A及图13B所示的晶体管200E中,导电体260的上方设置有绝缘体283。另外,在图13C及图13D所示的晶体管200E中,导电体205的下方设置有绝缘体215。另外,在图13E及图13F所示的晶体管200E中,导电体260的上方设置有绝缘体283,导电体205的下方设置有绝缘体215。

[0200] 与绝缘体250b同样,绝缘体283优选具有氢阻挡性。通过设置绝缘体283,可以抑制设置在绝缘体283的上方的结构体所包含的氢等杂质扩散到区域230i。此外,与绝缘体222b同样,绝缘体215优选具有氢阻挡性。通过设置绝缘体215,可以抑制设置在绝缘体215的下方的结构体所包含的氢等杂质扩散到区域230i。

[0201] 另外,在设置有绝缘体215的晶体管200E中,绝缘体215上设置有绝缘体216,以嵌入形成在绝缘体216中的开口部的方式配置有导电体205。此外,导电体205的顶面的高度与绝缘体216的顶面的高度一致。

[0202] 此外,导电体205的电阻率考虑施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。此外,绝缘体216的厚度与导电体205大致相同。在此,优选在导电体205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度,可以降低含在绝缘体216中的氢等杂质的绝对量,所以可以抑制该杂质扩散到氧化物230。

[0203] 绝缘体216的介电常数优选低于绝缘体215。例如,作为绝缘体216,可以使用可用于绝缘体280的绝缘体。

[0204] 另外,当通过设置具有与绝缘体250b同样的功能的绝缘体283而能够充分地抑制氢从晶体管200的上方扩散到区域230i时,也可以不设置绝缘体250b。另外,当通过设置具有与绝缘体222b同样的功能的绝缘体215而能够充分抑制氢从晶体管200的下方扩散到区域230i时,也可以不设置绝缘体222b。

[0205] 图14A及图14B、图14C及图14D以及图14E及图14F是包括晶体管200E的半导体装置的截面图。在此,图14A、图14C及图14E是晶体管200E的沟道长度方向上的截面图,图14B、图14D及图14F是晶体管200E的沟道宽度方向上的截面图。注意,图14A及图14B所示的半导体装置以及图14C及图14D所示的半导体装置的俯视图可以参照图8A。关于图14E及图14F所示的半导体装置的俯视图,可以参照图3A。

[0206] 设置绝缘体215且不设置绝缘体222b,在这一点上图14A及图14B所示的晶体管200E与图9C及图9D所示的晶体管200D不同、图14C及图14D所示的晶体管200E与图10C及图10D所示的晶体管200D不同、并且图14E及图14F所示的晶体管200E与图11C及图11D所示的晶体管200E不同。

[0207] 如图14A至图14F所示,在不设置绝缘体222b的情况下也在导电体205及绝缘体216与氧化物230之间设置具有俘获或固定氢的功能的绝缘体,由此可以抑制区域230i的氢浓

度增加。

[0208] 注意,与图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D同样,通过使用上述可用于绝缘体222b的材料形成厚度大的绝缘体222,图14A及图14B所示的晶体管200E、图14C及图14D所示的晶体管200E以及图14E及图14F所示的晶体管200E可以看作具有以沟道形成区域为基准第一叠层体与第二叠层体对称地设置的结构。

[0209] <详细结构例子>

参照图15A至图15D说明包括晶体管的半导体装置的详细结构例子。

[0210] 图15A是包括晶体管200的半导体装置的俯视图,图15B至图15D是半导体装置的截面图。在此,图15B是沿着图15A中的点划线A1-A2的截面图,该截面图相当于晶体管200的沟道长度方向上的截面图。图15C是沿着图15A中的点划线A3-A4的截面图,该截面图相当于晶体管200的沟道宽度方向上的截面图。另外,图15D是沿着图15A中的点划线A5-A6的部分的截面图,也是晶体管200的沟道宽度方向上的截面图。为了明确起见,在图15A的俯视图中省略部分构成要素。此外,以下主要说明与上述内容不同的部分,省略重复部分的说明。

[0211] 晶体管200包括绝缘体215上的绝缘体216、嵌入绝缘体216中的导电体205(导电体205a及导电体205b)、绝缘体216及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230、氧化物230上的导电体242a及导电体242b、导电体242a上的绝缘体271a、导电体242b上的绝缘体271b、氧化物230上的绝缘体250、绝缘体250上的导电体260(导电体260a及导电体260b)。

[0212] 绝缘体271a及绝缘体271b上设置有绝缘体275,绝缘体275上设置有绝缘体280。绝缘体250及导电体260嵌入形成在绝缘体280及绝缘体275中的开口内部。另外,绝缘体280、导电体260、及绝缘体250上设置有绝缘体282。此外,绝缘体282上设置有绝缘体283。

[0213] 如图15B所示,在晶体管200的截面中,优选的是,导电体242a的一个侧端部与氧化物230的一个侧端部一致,并且导电体242b的一个侧端部与氧化物230的另一个侧端部一致。再者,绝缘体224的侧端部优选与氧化物230的侧端部一致。通过将绝缘体224、氧化物230及成为导电体242a及导电体242b的导电层一起加工为岛状,可以以高生产率制造半导体装置。此时,绝缘体224、氧化物230、导电体242a及导电体242b的侧端部如上所述地都一致。

[0214] 作为图15A至图15D所示的晶体管200,优选采用上述晶体管200A至晶体管200E中的任一个结构。

[0215] 图16A及图16B示出将图11C及图11D所示的晶体管200D的结构用于图15A至图15D所示的晶体管200的例子。图16A是晶体管200的沟道长度方向上的截面放大图,图16B是晶体管200的沟道宽度方向上的截面放大图。

[0216] 另外,图17A及图17B示出将图14C及图14D所示的晶体管200E的结构用于图15A至图15D所示的晶体管200的例子。图17A是晶体管200的沟道长度方向上的截面放大图,图17B是晶体管200的沟道宽度方向上的截面放大图。

[0217] 如图16A至图17B所示,氧化物230优选包括绝缘体224上的氧化物230a以及氧化物230a上的氧化物230b。

[0218] 氧化物230a及氧化物230b的化学组成优选不同。当氧化物230a及氧化物230b除了氧以外还包含共同元素作为主要成分时,可以降低氧化物230a与氧化物230b的界面的缺陷

态密度。可以降低氧化物230a与氧化物230b的界面的缺陷态密度。由此界面散射给载流子传导带来的影响变小,从而晶体管200可以得到大通态电流及高频率特性。

[0219] 氧化物230b优选使用具有结晶性的氧化物半导体。作为具有结晶性的氧化物半导体,可以举出CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向晶体氧化物半导体)、nc-OS(nanocrystalline oxide semiconductor:纳米晶氧化物半导体)、多晶氧化物半导体、单晶氧化物半导体等。作为氧化物230b优选使用CAAC-OS或nc-OS,特别优选使用CAAC-OS。

[0220] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0221] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0222] 此外,当作为氧化物230b使用CAAC-OS等具有结晶性的氧化物时,可以抑制导电体242a或导电体242b从氧化物230b抽出氧。因此,即使进行热处理也可以抑制氧从氧化物230b被抽出,所以晶体管200对制造工序中的高温(所谓热积存:thermal budget)也很稳定。另外,可以抑制导电体242a及导电体242b的导电率下降。

[0223] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶(也称为纳米晶)。此外,nc-OS在不同的纳米晶之间观察不到晶体取向的规律性,因此在膜整体中观察不到取向性。就是说,当作为氧化物230b使用nc-OS时,无论氧化物230b中的载流子流动方向如何氧化物230b的膜特性都固定,因此晶体管的电特性很稳定。

[0224] 氧化物半导体具有各种结构及各种特性。氧化物230b也可以包含CAAC-OS、nc-OS、a-like OS(amorphous-like oxide semiconductor)、非晶氧化物半导体、多晶氧化物半导体和CAC-OS(cloud-aligned composite oxide semiconductor)中的两种以上。

[0225] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出表示c轴取向的峰。注意,表示c轴取向的峰的位置(2θ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0226] 另一方面,在对nc-OS膜进行使用其束径等于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0227] 如图16A及图17A所示,氧化物230b具有区域230bi以及以夹持区域230bi的方式设置的区域230bna及区域230bnb。注意,关于区域230bi、区域230bna及区域230bnb分别可以参照上述区域230i、区域230na及区域230nb的记载。

[0228] 在图16A至图17B中,示出氧化物230具有氧化物230a及氧化物230b的两层结构的例子,但是不局限于此。氧化物230例如也可以具有如图1B及图1C等所示的单层结构。此外,

氧化物230a和氧化物230b中的一方或双方也可以具有两层以上的叠层结构。注意,在氧化物230具有单层结构的情况下,作为氧化物230也可以使用可用于上述氧化物230a的金属氧化物。

[0229] 如图16A及图16B所示,绝缘体250优选具有与氧化物230接触的绝缘体250c、绝缘体250c上的绝缘体250a及绝缘体250a上的绝缘体250b的叠层结构。或者,如图17A及图17B所示,绝缘体250优选具有与氧化物230接触的绝缘体250c、绝缘体250c上的绝缘体250a、绝缘体250a上的绝缘体250d以及绝缘体250d上的绝缘体250b的叠层结构。

[0230] 绝缘体250a至绝缘体250d与导电体260一起设置在形成于绝缘体280等中的开口的内部。为了实现晶体管200的微型化,绝缘体250a至绝缘体250d的厚度优选小。绝缘体250a至绝缘体250d的厚度都优选为0.1nm以上且10nm以下,更优选为0.1nm以上且5.0nm以下,进一步优选为0.5nm以上且5.0nm以下,还进一步优选为1.0nm以上且小于5.0nm,更进一步优选为1.0nm以上且3.0nm以下。此外,绝缘体250a至绝缘体250d各自的至少一部分包括具有上述那样的厚度的区域即可。

[0231] 为了如上所述地减小绝缘体250a至绝缘体250d的厚度,优选利用原子层沉积(ALD:Atomic Layer Deposition)法进行沉积。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温度下进行沉积,所以有时是优选的。

[0232] ALD法可以一层一层沉积原子,从而有能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等缺陷少的方式进行沉积、能够进行覆盖性高的沉积及能够在低温下进行沉积等效果。因此,可以在形成于绝缘体280及绝缘体275中的开口部的侧面以及导电体242a及导电体242b的侧端部等以高覆盖性沉积厚度较小的绝缘体250。

[0233] 注意,ALD法中使用的前驱物有时包含碳等。因此,利用ALD法形成的膜有时与利用其它的沉积方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱(AES:Auger Electron Spectroscopy)进行。

[0234] 注意,在上述中说明绝缘体250具有绝缘体250a至绝缘体250c的三层结构或绝缘体250a至绝缘体250d的四层结构的情况,但本发明不局限于此。绝缘体250可以具有包括绝缘体250a至绝缘体250d中的至少一个的结构。通过绝缘体250由绝缘体250a至绝缘体250d中的一层、两层或三层构成,可以简化半导体装置的制造工序,由此可以提高生产率。

[0235] 如图16A及图16B所示,绝缘体222优选具有绝缘体216及导电体205上的绝缘体222b与绝缘体222b上的绝缘体222d的叠层结构。

[0236] 绝缘体222b设置在绝缘体216及导电体205与绝缘体222d之间。作为绝缘体222b,优选具有抑制氢扩散的功能。由此,可以抑制氢从绝缘体222b的下方扩散到晶体管200。此外,绝缘体222b可以兼具绝缘体215的功能。在此情况下,通过采用不设置绝缘体215的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0237] 例如,作为绝缘体222b,优选使用利用ALD法(尤其是,PEALD法)沉积的氮化硅。通过利用ALD法沉积绝缘体222b,即使绝缘体216和导电体205形成凹凸,可以以高覆盖性沉积绝缘体222b。因此,可以抑制沉积在绝缘体222b上的绝缘体222d中形成针孔或断开等。

[0238] 或者,如图17A及图17B所示,绝缘体222优选具有单层结构。另外,与图12A及图12B所示的晶体管200D以及图12C及图12D所示的晶体管200D同样,优选使用可用于上述绝缘体222b的材料形成厚度大的绝缘体222。

[0239] 注意,在上述说明中,绝缘体222具有单层结构或绝缘体222b与绝缘体222d的两层结构,但是本发明不局限于此。绝缘体222也可以具有三层以上的叠层结构。

[0240] 绝缘体224优选与氧化物230同样地加工为岛状。由此,在设置多个晶体管200时,每一个晶体管200中设置有大致相同尺寸的绝缘体224。因此,各晶体管200中的从绝缘体224供应到氧化物230的氧量大致相等。由此,可以抑制衬底面内的晶体管200的电特性不均匀。

[0241] 此外,绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,如图1B等所示,也可以不设置绝缘体224。

[0242] 绝缘体275优选具有氧阻挡性。绝缘体275设置在绝缘体280与导电体242a之间以及绝缘体280与导电体242b之间。通过设置绝缘体275,可以抑制包含在绝缘体280中的氧扩散到导电体242a及导电体242b。因此,可以抑制包含在绝缘体280中的氧导致导电体242a及导电体242b被氧化使得电阻率增大而通态电流减小。绝缘体275优选至少比绝缘体280不容易使氧透过。例如,作为绝缘体275优选使用氮化硅。此时,绝缘体275至少包含氮及硅。

[0243] 另外,绝缘体275设置在绝缘体280与区域230bna之间及绝缘体280与区域230bnb之间。换言之,区域230bna及区域230bnb被绝缘体275及氧化物230a围绕。因此,可以抑制包含在绝缘体280中的氧扩散到区域230bna及区域230bnb。

[0244] 此外,绝缘体275优选具有氢阻挡性。当绝缘体275具有氢阻挡性时,可以抑制降低区域230bna及区域230bnb中的氢浓度。

[0245] 作为氢阻挡绝缘体,可以举出氧化铝、氧化镓、氧化铟等氧化物以及氮化硅等氮化物。例如,作为绝缘体275优选采用上述氢阻挡绝缘体的单层结构或叠层结构。

[0246] 通过采用上述结构,区域230bi可以被i型化或实质上被i型化且区域230bna及区域230bnb可以被n型化,可以提供一种具有良好的电特性的半导体装置。由此,可以提供一种具有良好的电特性的半导体装置。即便使半导体装置微型化或高集成化也可以使其具有良好的电特性。此外,通过使晶体管200微型化可以提高高频特性。具体而言,可以提高截止频率。

[0247] 绝缘体271a与导电体242a的顶面及绝缘体275的底面接触,绝缘体271b与导电体242b的顶面及绝缘体275的底面接触。

[0248] 另外,绝缘体271a及绝缘体271b都被用作保护导电体242a及导电体242b的蚀刻停止层。因此,如图15B所示,在晶体管200的截面中,优选的是,绝缘体271a的侧端部与导电体242a的侧端部一致,并且绝缘体271b的侧端部与导电体242b的侧端部一致。

[0249] 此外,绝缘体271a及绝缘体271b因分别与导电体242a及导电体242b接触而优选为不容易使导电体242a及导电体242b氧化的无机绝缘体。例如,作为绝缘体271a及绝缘体271b,优选使用可用于绝缘体250b的氮化物绝缘体。

[0250] 注意,在图15B中,以单层示出绝缘体271a及绝缘体271b,但是本发明不局限于此。绝缘体271a及绝缘体271b也可以都具有叠层结构。

[0251] 在本实施方式中,优选的是,半导体装置除了上述结构以外还具有抑制氢混入晶体管200等的结构。例如,优选的是,以覆盖晶体管200等的上方和下方中的一方或双方的方式设置具有抑制氢扩散的功能的绝缘体。在本实施方式中说明的半导体装置中,该绝缘体例如为绝缘体215、绝缘体282及绝缘体283等。另外,设置在晶体管200下的绝缘体215也可以具有与绝缘体282和绝缘体283中的一方或双方同样的结构。在此情况下,绝缘体215可以采用绝缘体282与绝缘体283的叠层结构,可以采用绝缘体282位于下方且绝缘体283位于上方的结构,也可以采用绝缘体282位于上方且绝缘体283位于下方的结构。注意,当绝缘体215具有绝缘体282位于上方且绝缘体283位于下方时,绝缘体215、绝缘体282及绝缘体283以沟道形成区域为基准对称地设置。

[0252] 绝缘体282和绝缘体283中的一方或双方优选被用作抑制水、氢等杂质从衬底一侧或晶体管200等的上方扩散到晶体管200等的阻挡绝缘体。因此,绝缘体282和绝缘体283中的一方或双方优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。或者,优选包含具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0253] 绝缘体282及绝缘体283优选分别包括具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化钪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体283,优选使用氢阻挡性更高的氮化硅等。另外,例如绝缘体282优选包含俘获或固定氢的能力高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质从配置在绝缘体283的外侧的层间绝缘膜等扩散到晶体管200等。或者,可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管200等的上方扩散。另外,通过作为绝缘体215采用与绝缘体282和绝缘体283中的一方或双方同样的结构,可以抑制水、氢等杂质从衬底一侧通过绝缘体215扩散到晶体管200等。另外,可以抑制含在绝缘体224等中的氧扩散到衬底一侧。像这样,优选采用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体围绕晶体管200等的上方及下方的结构。

[0254] 导电体205可以具有单层结构或叠层结构。在图15B及图15C中,导电体205包括导电体205a及导电体205b。导电体205a以与形成在绝缘体216中的开口部的底面及侧壁接触的方式设置。导电体205b以嵌入沿着上述开口部形成的导电体205a的凹部中的方式设置。

[0255] 在此,作为导电体205a优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。或者,优选包含具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0256] 通过作为导电体205a使用具有减少氢扩散的功能的导电材料,可以防止含在导电体205b中的氢等杂质经过绝缘体216等扩散到氧化物230。此外,通过作为导电体205a使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体205b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以举出钛、氮化钛、钽、氮化钽、钇、氧化钇。导电体205a可以具有上述导电材料的单层结构或叠层结构。例如,导电体205a优选包含氮化钛。

[0257] 此外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体205b优选包含钨。

[0258] 导电体242a及导电体242b都具有与氧化物230b接触的区域。导电体242a及导电体

242b既可具有单层结构又可具有叠层结构。例如,如图16A所示,导电体242a及导电体242b也可以分别具有两层结构。在此情况下,导电体242a为导电体242a1与导电体242a1上的导电体242a2的叠层体,导电体242b为导电体242b1与导电体242b1上的导电体242b2的叠层体。此时,作为与氧化物230b接触的层(导电体242a1及导电体242b1),优选使用上述不容易被氧化的导电材料或具有抑制氧扩散的功能的导电材料。由此,可以抑制导电体242a及导电体242b因包含在氧化物230b中的氧而被过度氧化。此外,可以防止导电体242a及导电体242b的导电率降低。

[0259] 导电体242a2及导电体242b2的导电性优选比导电体242a1及导电体242b1高。例如,导电体242a2及导电体242b2的厚度优选比导电体242a1及导电体242b1的厚度大。作为导电体242a2及导电体242b2使用可用于导电体205b的导电体即可。通过采用上述结构,可以降低导电体242a2及导电体242b2的电阻。由此,可以将导电体242a及导电体242b用作导电性高的布线或电极。此外,可以提高晶体管200的工作速度。

[0260] 例如,作为导电体242a1及导电体242b1可以使用氮化钽或氮化钛,作为导电体242a2及导电体242b2可以使用钨。

[0261] 如图16A至图17B所示,以嵌入在绝缘体280及绝缘体275中形成开口部的方式配置导电体260。导电体260在该开口部中隔着绝缘体250覆盖绝缘体224的侧面、氧化物230a的侧面以及氧化物230b的侧面及顶面的方式设置。

[0262] 此外,如图16B及图17B所示,在晶体管200的沟道宽度方向上的截面中,也可以在氧化物230b的侧面与氧化物230b的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。通过采用上述形状,可以提高绝缘体250及导电体260的向氧化物230b的覆盖性。

[0263] 在设置岛状绝缘体224的结构中,如图16B及图17B所示,可以将导电体260的底面的至少一部分设置在氧化物230b的底面的下方。由此,可以以与氧化物230b的顶面及侧面相对的方式设置导电体260,所以可以使导电体260的电场作用于氧化物230b的顶面及侧面。如此,通过采用将绝缘体224设置为岛状的结构,容易实现S-channel结构的晶体管。

[0264] 此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。另一方面,可以将在本说明书等中公开的S-channel结构视为Fin型结构的一种。此外,在本说明书等中,Fin型结构是指以至少包围沟道的两个面以上(具体而言,两个面、三个面或四个面等)的方式配置栅电极的结构。通过采用Fin型结构及S-channel结构,可以提高对短沟道效应的耐性,换言之可以实现不容易发生短沟道效应的晶体管。

[0265] 通过作为晶体管200采用S-channel结构,可以电围绕沟道形成区域。S-channel结构是电围绕沟道形成区域的结构,所以也可以说该结构在实质上与GAA(Gate All Around:全环绕栅极)结构或LGAA(Lateral Gate All Around:横向全环绕栅极)结构相同。

[0266] 注意,作为图16B及图17B所示的晶体管200示出S-channel结构的晶体管,但是本发明的一个方式的半导体装置不局限于此。例如,作为可用于本发明的一个方式的晶体管的结构,也可以采用选自平面型结构、Fin型结构和GAA结构中的任一个或多个。

[0267] 图16A及图17A示出导电体260为两层结构。在此,导电体260优选包括导电体260a以及配置在导电体260a上的导电体260b。例如,优选以包围导电体260b的底面及侧面的方式配置导电体260a。此时,作为导电体260a,优选使用不容易氧化的导电材料或者具有抑制

氧扩散的功能的导电材料。

[0268] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0269] 此外,当导电体260a具有抑制氧扩散的功能时,可以抑制绝缘体280等所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。

[0270] 此外,导电体260b优选使用导电性高的导电体。例如,导电体260b可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0271] 此外,在晶体管200中,以嵌入形成于绝缘体280等的开口中的方式自对准地形成导电体260。通过如此形成导电体260,可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0272] 虽然在图16A中示出绝缘体250c与导电体242a2及导电体242b2的侧面接触的结构,但是本发明不局限于此。例如,也可以在绝缘体250c与导电体242a2间及绝缘体250c与导电体242b2间设置绝缘体255。

[0273] 图18A及图18B是晶体管200的沟道长度方向上的截面放大图。图18A所示的半导体装置及图18B所示的半导体装置为图16A所示的半导体装置的变形例子。具体而言,图18A及图18B所示的半导体装置的每一个与图16A所示的半导体装置的不同点在于:在图18A及图18B所示的半导体装置中,绝缘体250c与导电体242a2间及绝缘体250c与导电体242b2间设置有绝缘体255。

[0274] 如图18A所示,在晶体管200的沟道长度方向上的截面中,导电体242a1与导电体242b1间的距离小于导电体242a2与导电体242b2间的距离。通过采用这种结构,可以进一步缩短源极与漏极间的距离,与此相应地可以缩短沟道长度。因此,可以提高晶体管200的频率特性。如此,通过实现半导体装置的微型化,可以提供工作速度得到提高的半导体装置。

[0275] 例如,绝缘体255优选为氮化物等不容易被氧化的绝缘体。绝缘体255以与导电体242a2的侧面及导电体242b2的侧面接触的方式形成,并具有保护导电体242a2及导电体242b2的功能。绝缘体255因被暴露于氧化气氛而优选为不容易被氧化的无机绝缘体。此外,绝缘体255因与导电体242a2及导电体242b2接触而优选为不容易使导电体242a2及导电体242b2氧化的无机绝缘体。因此,作为绝缘体255,优选使用具有氧阻挡性的绝缘材料。例如,可以使用氮化硅作为绝缘体255。

[0276] 为了形成图18A所示的晶体管200,在绝缘体280及绝缘体275中形成开口部,以与该开口部的侧壁接触的方式形成绝缘体255,并且使用掩模分断导电体242a1与导电体242b1。在此,上述开口部重叠于导电体242a2与导电体242b2之间的区域。此外,导电体242a1及导电体242b1的一部分向上述开口部突出。由此,绝缘体255在上述开口部与导电体242a1的顶面、导电体242b1的顶面、导电体242a2的侧面以及导电体242b2的侧面接触。此外,绝缘体250在导电体242a1与导电体242b1之间的区域中与氧化物230的顶面接触。

[0277] 在分为导电体242a1和导电体242b1之后且沉积绝缘体250之前优选在含氧气氛下进行热处理。由此,对氧化物230供应氧,从而可以减少氧空位。并且,由于绝缘体255以与导

电体242a2的侧面及导电体242b2的侧面接触的方式形成,因此可以防止导电体242a2及导电体242b2被过度氧化。由此,可以提高晶体管的电特性及可靠性。另外,可以抑制形成在同一衬底上的多个晶体管的电特性不均匀。

[0278] 虽然在图18A中示出绝缘体250具有隔着绝缘体255与导电体242a1及导电体242b1重叠的区域的结构,但是本发明不局限于此。例如,如图18B所示,也可以具有如下结构:在形成在绝缘体280及绝缘体275中的开口部,绝缘体255的侧面与导电体242a1的侧面一致,绝缘体255的侧面与导电体242b1的侧面一致。通过采用这种结构,可以省略使用掩模分断导电体242a1与导电体242b1的工序,由此可以简化半导体装置的制造工序,从而可以提高生产率。

[0279] 注意,在图18A及图18B中,作为第一叠层体及第二叠层体示出采用图11C及图11D所示的晶体管200D的结构例子,但是优选采用上述晶体管200A至晶体管200E中的任一个结构。

[0280] <半导体装置的构成材料>

以下,说明可用于半导体装置的构成材料。注意,构成半导体装置的各层既可以具有单层结构,又可以具有层叠结构。

[0281] <<衬底>>

作为形成晶体管的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,例如可以举出石墨衬底、金属衬底、合金衬底及导电树脂衬底等。此外,作为衬底例如可以举出包含金属氮化物的衬底、包含金属氧化物的衬底、设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底。或者,也可以使用在这些衬底上设置有一种或多种元件的衬底。作为设置在衬底上的元件,例如可以举出电容器、电阻器、开关元件、发光元件、存储元件。

[0282] <<绝缘体>>

作为绝缘体,例如可以举出具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物。

[0283] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0284] 作为相对介电常数较高(high-k)的材料,例如可以举出氧化镓、氧化铟、氧化锆、含有铝及铟的氧化物、含有铝及铟的氧氮化物、含有硅及铟的氧化物、含有硅及铟的氧氮化物或者含有硅及铟的氮化物等。

[0285] 作为相对介电常数较低的绝缘体,例如可以举出氧化硅、氧氮化硅、氮氧化硅、氮

化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等无机绝缘材料、聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯或丙烯酸树脂等树脂。此外,相对介电常数较低的材料也是介电强度较大的材料。

[0286] 此外,通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、铋、锆、镉、钕、钐和钽中的一个或多个的绝缘体的单层或叠层。具体而言,作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以举出氧化铝、氧化镁、氧化镓、氧化锗、氧化铋、氧化锆、氧化镉、氧化钕、氧化钐、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0287] 此外,被用作栅极绝缘体的绝缘体优选为具有包含通过加热而脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热而脱离的氧的区域的氧化硅或氧氮化硅接触于氧化物230的结构,可以填补氧化物230所包含的氧空位。

[0288] <<导体>>

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钎、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为导电体,例如可以举出氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0289] 在使用具有叠层结构的导电体的情况下,例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构、组合包含上述金属元素的材料和包含氮的导电材料的叠层结构、组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0290] 此外,在将氧化物用于晶体管的沟道形成区域的情况下,作为被用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0291] 尤其是,作为被用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物及添加有硅的铟锡氧化物中的一个或多个。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0292] 根据本实施方式的半导体装置包括0S晶体管。0S晶体管的关态电流小,因此可以实现功耗低的半导体装置。此外,0S晶体管的频率特性高,所以可以实现工作速度快的半导体装置。此外,通过使用0S晶体管,可以实现具有良好的电特性的半导体装置、晶体管的电

特性不均匀小的半导体装置、通态电流大的半导体装置、可靠性高的半导体装置。

[0293] <半导体装置的应用例子>

以下,使用图19A至图19C说明本发明的一个方式的半导体装置的一个例子。

[0294] 图19A示出半导体装置500的俯视图。在图19A中,平行于晶体管200的沟道长度方向的方向是x轴,垂直于x轴的方向是y轴。此外,图19B是沿着图19A中的点划线A1-A2的部分的截面图,该截面图相当于晶体管200的沟道长度方向上的截面图。图19C是沿着图19A中的点划线A3-A4的截面图,该截面图相当于开口区域400及其附近的截面图。注意,在图19A的俯视图中,为了明确起见,省略一部分构成要素。

[0295] 注意,在图19A至图19C所示的半导体装置中,对具有与构成<详细结构例子>所示的半导体装置的构成要素相同的功能的结构附加相同符号。注意,本节中的构成半导体装置的材料可以使用在<详细结构例子>中详细说明的材料。

[0296] 图19A至图19C所示的半导体装置500是图15A至图15D所示的半导体装置的变形例子。图19A至图19C所示的半导体装置500的与图15A至图15D所示的半导体装置不同之处在于:绝缘体282及绝缘体280形成有开口区域400。此外,与图15A至图15D所示的半导体装置不同之处在于:以围绕多个晶体管200的方式形成有密封部265。

[0297] 半导体装置500包括排列为矩阵状的多个晶体管200及多个开口区域400。此外,在y轴方向上延伸地设置有用作晶体管200的栅电极的多个导电体260。开口区域400形成在不与氧化物230及导电体260重叠的区域中。此外,以围绕多个晶体管200、多个导电体260及多个开口区域400的方式形成有密封部265。注意,晶体管200、导电体260及开口区域400的数量、配置以及尺寸不局限于图19A至图19C所示的结构,根据半导体装置500的设计适当地设定即可。

[0298] 绝缘体283上设置有绝缘体285。作为绝缘体285,可以使用与绝缘体280同样的绝缘体。

[0299] 如图19B及图19C所示,密封部265以围绕多个晶体管200、绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。换言之,绝缘体283以覆盖多个晶体管200、绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。此外,在密封部265,绝缘体283与绝缘体215b的顶面接触。此外,在密封部265上方,绝缘体283和绝缘体285之间设置有绝缘体274。绝缘体274的顶面的高度与绝缘体283的最上面的高度一致。此外,作为绝缘体274,可以使用与绝缘体280同样的绝缘体。

[0300] 通过采用这样的结构,可以由绝缘体283、绝缘体215b及绝缘体215a包围多个晶体管200。在此,绝缘体283、绝缘体215b及绝缘体215a中的一个或多个优选被用作氢阻挡绝缘体。由此,可以抑制包含在密封部265的区域之外的氢进入密封部265的区域中。

[0301] 如图19C所示,在开口区域400中,绝缘体282具有开口部。此外,在开口区域400中,绝缘体280也可以具有与绝缘体282的开口部重叠的槽部。绝缘体280的槽部的深度最深为使绝缘体275的顶面露出的程度即可,例如,可以为绝缘体280的最大厚度的1/4以上且1/2以下左右。

[0302] 此外,如图19C所示,绝缘体283在开口区域400的内侧与绝缘体282的侧面、绝缘体280的侧面及绝缘体280的顶面接触。此外,在开口区域400中,有时绝缘体274的一部分以嵌入形成于绝缘体283中的凹部的方式形成。此时,形成在开口区域400中的绝缘体274的顶面

的高度与绝缘体283的最上面的高度有时一致。

[0303] 在形成有这样的开口区域400且从绝缘体282的开口部绝缘体280露出的状态下进行加热处理,由此可以在对氧化物230供应氧的同时从开口区域400将包含在绝缘体280中的氧的一部分扩散到外部。由此,可以从包含通过加热而脱离的氧的绝缘体280将充分的氧供应到氧化物半导体中的被用作沟道形成区域的区域及其附近,并且可以防止被供应过多的氧。

[0304] 此时,可以将包含在绝缘体280中的氢与氧键合,将其经过开口区域400释放到外部。键合于氧的氢被释放为水。因此,可以减少包含在绝缘体280中的氢,可以降低包含在绝缘体280中的氢进入氧化物230。

[0305] 此外,在图19A中,俯视的开口区域400的形状大致为长方形,但是本发明不局限于此。例如,俯视的开口区域400的形状也可以是长方形、椭圆形、圆形、菱形或组合这些形状而成的形状。此外,开口区域400的面积及配置间距可以根据包括晶体管200的半导体装置的设计适当地设定。例如,在晶体管200的密度低的区域中,扩大开口区域400的面积或缩小开口区域400的配置间距即可。此外,例如,在晶体管200的密度高的区域中,缩小开口区域400的面积或增大开口区域400的配置间距即可。

[0306] 根据本发明的一个方式,可以提供一种新颖的晶体管。此外,可以提供一种具有优良电特性的半导体装置。此外,可以提供一种可靠性优良的半导体装置。此外,可以提供一种晶体管特性的不均匀少的半导体装置。此外,可以提供一种通态电流大的半导体装置。此外,可以提供一种场效应迁移率大的半导体装置。此外,可以提供一种频率特性优良的半导体装置。此外,可以提供一种能够实现微型化或高集成化的半导体装置。此外,可以提供一种功耗低的半导体装置。

[0307] <包括晶体管200及电容器100的半导体装置的结构例子>

图20A及图20B示出包括上述晶体管200及电容器100的半导体装置。图20A是该半导体装置的俯视图。此外,图20B是沿着图20A中的点划线A1-A2的截面图,该截面图相当于晶体管200的沟道长度方向上的截面图。注意,在图20A的俯视图中,为了明确起见,省略一部分构成要素。

[0308] 在图20A及图20B所示的半导体装置中,晶体管200上配置有电容器100及导电体112。在此,优选在俯视时电容器100与晶体管200重叠的面积大。通过采用这种结构,可以缩减包括电容器100及晶体管200的半导体装置的占有面积。由此,可以实现半导体装置的微型化或高集成化。

[0309] 该半导体装置包括用作插头的导电体240a及导电体240b。导电体240a设置在形成在绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275以及绝缘体271a中的开口内部,导电体240b设置在形成在绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275以及绝缘体271b中的开口内部。

[0310] 如图20B所示,导电体240a具有与导电体242a接触的区域及与导电体112的底面中的至少一部分接触的区域。此外,导电体240b具有与导电体242b接触的区域及与电容器100所包括的导电体110的底面中的至少一部分接触的区域。也就是说,导电体240a与晶体管200的源极及漏极中的一个电连接,导电体240b与晶体管200的源极及漏极中的另一个电连接。

[0311] 导电体240a及导电体240b优选使用以钨、铜或铝为主要成分的导电材料等。此外，导电体240a及导电体240b各自也可以采用沿着上述开口的侧面及底面设置的第一导电体和第一导电体上的第二导电体的叠层结构。

[0312] 在导电体240a及导电体240b具有叠层结构的情况下,作为配置在绝缘体285及绝缘体280附近的第一导电体,优选使用具有抑制水、氢等杂质透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钇或氧化钇等。此外,也可以以单层或叠层使用具有抑制水、氢等杂质透过的功能的导电材料。通过采用这种结构,可以抑制包含在绝缘体283的上层中的水、氢等杂质通过导电体240a及导电体240b混入氧化物230中。此外,第二导电体还被用作布线,由此优选使用导电性高的导电体。例如,作为第二导电体,使用以钨、铜或铝为主要成分的导电材料等即可。

[0313] 虽然图20B所示的导电体240a及导电体240b具有第一导电体及第二导电体的叠层结构,但是本发明不局限于此。例如,导电体240也可以具有单层结构或者三层以上的叠层结构。

[0314] 以与形成在绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275及绝缘体271a中的开口部的内壁及导电体240a的侧面接触的方式设置绝缘体241a。此外,以与形成在绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275及绝缘体271b中的开口部的内壁及导电体240b的侧面接触的方式设置绝缘体241b。此外,绝缘体241a及绝缘体241b各自的第一绝缘体与上述开口部的内壁接触,并且第二绝缘体更靠内侧。

[0315] 绝缘体241a及绝缘体241b优选使用氢和氧中的一个或两个的阻挡绝缘体。例如,作为绝缘体241a及绝缘体241b,优选使用氮化硅、氮氧化硅、氧化铝或氧化钪等。除此以外,例如可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕或氧化钽等金属氧化物等。因为绝缘体241a及绝缘体241b各自与绝缘体283、绝缘体282以及绝缘体275接触,所以可以抑制包含在绝缘体280等中的水、氢等杂质经过导电体240a及导电体240b混入氧化物230。尤其是,氮化硅具有高氢阻挡性,所以是优选的。

[0316] 此外,绝缘体241a设置在绝缘体280与导电体240a之间,绝缘体241b设置在绝缘体280与导电体240b之间。绝缘体280包含过剩氧且设置在氧化物半导体附近。通过作为绝缘体241a及绝缘体241b使用氧阻挡绝缘体,可以抑制包含在绝缘体280中的氧被导电体240a及导电体240b吸收。

[0317] 在绝缘体241a及绝缘体241b具有如图20B所示那样的叠层结构时,作为与形成在绝缘体280等中的开口部的内壁接触的第一绝缘体以及其内侧的第二绝缘体优选组合使用氧阻挡绝缘体和氢阻挡绝缘体。

[0318] 例如,作为第一绝缘体使用利用ALD法沉积的氧化铝且作为第二绝缘体使用利用PEALD法沉积的氮化硅即可。通过采用这样的结构,可以抑制导电体240a及导电体240b被氧化,并且可以抑制氢混入导电体240a及导电体240b中。

[0319] <电容器100>

电容器100设置在晶体管200上方。电容器100包括用作第一电极(也称为下部电极)的导体110、用作第二电极(也称为上部电极)的导体120以及用作介电体的绝缘体132。电容器100的一对电极由第一电极及第二电极构成。

[0320] 作为导电体110,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铅、钒、铌、

锰、镁、锆、铍、铟、钇、铈、镱和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为以上述金属元素为成分的合金,也可以使用该合金的氮化物或该合金的氧化物。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和铈的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和铈的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0321] 此外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0322] 导电体120使用可用于导电体110的导电材料即可。

[0323] 例如,设置在导电体240a上的导电体112与设置在导电体240b上的导电体110可以同时形成。此时,导电体112包含与导电体110相同的导电材料。此外,导电体112被用作与电容器100或晶体管200电连接的插头或布线。

[0324] 虽然在图20B中示出具有单层结构的导电体112及导电体110,但是本发明不局限于此。例如,导电体112及导电体110也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体及导电性高的导电体之间的密接性高的导电体。

[0325] 绝缘体132例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化镓、氧氮化镓、氮氧化镓、氮化镓等,并可以采用叠层或单层。此外,例如,绝缘体132可以使用以氧化锆、氧化铝、氧化锆、氧化铝的顺序依次层叠的绝缘体。

[0326] 此外,例如,绝缘体132优选具有包含介电强度大的材料(相对介电常数低的材料)的绝缘体与包含相对介电常数高(high-k)的材料的绝缘体的叠层结构。通过采用该结构,电容器100由于具有包含high-k材料的绝缘体而可以确保充分的电容,并由于具有包含介电强度大的材料的绝缘体而可以提高介电强度,从而可以抑制电容器100的静电破坏。

[0327] 在导电体120及绝缘体132上设置有绝缘体150。绝缘体150被用作层间膜。

[0328] 作为可用于层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0329] 例如,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0330] 例如,绝缘体150优选包含上述相对介电常数低的材料。此外,绝缘体150优选具有包含上述无机绝缘材料的绝缘体与包含上述树脂的绝缘体的叠层结构。因为氧化硅及氮氧化硅对热稳定,所以通过与树脂组合,可以实现热稳定且相对介电常数低的叠层结构。

[0331] 虽然在图20A及图20B所示的半导体装置中电容器100的形状为平面型,但是本发明不局限于此。例如,图21所示,电容器100的形状也可以为圆柱型。此外,图21所示的半导体装置的绝缘体150下方的结构与图20A及图20B所示的半导体装置相同。

[0332] 在图21所示的半导体装置中,绝缘体150配置在绝缘体132上,并且绝缘体142配置

在绝缘体150上。此外,绝缘体132、绝缘体150以及绝缘体142中形成有到达导电体110的开口168。

[0333] 图21所示的电容器100包括导电体115、导电体115及绝缘体142上的绝缘体145以及绝缘体145上的导电体125。在此,导电体115、绝缘体145及导电体125各自的至少一部分配置在开口168的内部。

[0334] 绝缘体151配置在导电体125及绝缘体145上,绝缘体154配置在绝缘体151上,并且导电体153及绝缘体156配置在绝缘体154上。此外,导电体140设置在形成在绝缘体132、绝缘体150、绝缘体142、绝缘体145、绝缘体151以及绝缘体154中的开口内部。

[0335] 导电体115被用作电容器100的第一电极,导电体125被用作电容器100的第二电极,并且绝缘体145被用作电容器100的介电体。电容器100具有在开口168的内部不仅在底面上而且在侧面上第一电极与第二电极隔着介电体对置的结构,因此可以增加单位面积的静电电容。由此,开口168的深度越深,电容器100的静电电容可以越大。如此,通过增加电容器100的单位面积的静电电容,可以推进半导体装置的微型化或高集成化。

[0336] 作为绝缘体151,可以使用可用于绝缘体150的绝缘体。此外,作为绝缘体142,可以使用可用于绝缘体282的绝缘体。

[0337] 开口168的俯视时的形状可以为四角形、四角形以外的多角形状、其角部呈弧形的多角形状或椭圆等圆形形状。在此,优选在俯视时开口168与晶体管200重叠的面积大。通过采用这种结构,可以缩减包括电容器100及晶体管200的半导体装置的占有面积。

[0338] 导电体115与开口168中的绝缘体150及绝缘体142各自的侧面接触。导电体115的顶面的高度与绝缘体142的顶面的高度优选一致。此外,导电体115的底面通过开口168接触于导电体110。导电体115优选通过ALD法或CVD法等形式,例如使用可用于导电体205的导电体即可。

[0339] 绝缘体145以覆盖导电体115及绝缘体142的方式配置。绝缘体145优选通过ALD法或CVD法等形式。作为绝缘体145,可以使用可用于绝缘体132的绝缘体。

[0340] 导电体125嵌入开口168中。导电体125优选通过ALD法或CVD法等形式,例如可以使用可用于导电体205的导电体。

[0341] 导电体153设置在绝缘体154上并被绝缘体156覆盖。导电体153可以使用可用于导电体112的导电体。此外,绝缘体156可以使用可用于绝缘体150的绝缘体。在此,导电体153与导电体140的顶面接触,并被用作电容器100或晶体管200的端子。

[0342] 虽然在图21中示出圆柱型电容器100的下部电极通过导电体240b电连接到晶体管200的源电极及漏电极中的另一个的结构,但是本发明不局限于此。例如,如图22所示,圆柱型电容器的下部电极也可以与晶体管200的源电极及漏电极中的另一个接触。

[0343] 图22示出包括上述晶体管200及圆柱型电容器100的半导体装置。在图22中,X方向平行于晶体管的沟道长度方向,Y方向垂直于X方向,Z方向垂直于X方向及Y方向。以下,主要说明与图21所示的半导体装置不同的部分,省略重复部分的说明。

[0344] 绝缘体284设置在绝缘体285上。绝缘体284可以使用可用于绝缘体216的绝缘体。

[0345] 电容器100包括导电体242b上的导电体153、导电体153上的绝缘体154以及绝缘体154上的导电体160(导电体160a及导电体160b)。

[0346] 导电体153、绝缘体154以及导电体160各自的至少一部分配置在形成在绝缘体

271b、绝缘体275、绝缘体280、绝缘体282、绝缘体283以及绝缘体285中的开口内部。导电体153、绝缘体154以及导电体160各自的端子至少位于绝缘体282上,优选位于绝缘体285上。绝缘体154以覆盖导电体153的端部的方式设置。由此,可以将导电体153与导电体160电绝缘。

[0347] 导电体153包括用作电容器100的第一电极(下部电极)的区域。绝缘体154包括用作电容器100的介电体的区域。导电体160包括用作电容器100的第二电极(上部电极)的区域。电容器100构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容器。

[0348] 此外,以与氧化物230重叠的方式在氧化物230上设置的导电体242b被用作与电容器100的导电体153电连接的布线。

[0349] 电容器100所包括的导电体153及导电体160各自可以使用可用于导电体205、导电体242a、导电体242b或导电体260的导电体。导电体153及导电体160优选都利用ALD法或CVD法等覆盖性良好的沉积法沉积。例如,作为导电体153可以使用利用ALD法或CVD法沉积的氮化钛或氮化钽。

[0350] 导电体153的底面与导电体242b的顶面接触。这里,通过作为导电体242b使用导电性良好的导电材料,可以降低导电体153与导电体242b的接触电阻。

[0351] 此外,作为导电体160a可以使用利用ALD法或CVD法沉积的氮化钛,作为导电体160b可以使用利用CVD法沉积的钨。在此,对绝缘体154的钨的密着性充分高时,作为导电体160也可以使用利用CVD法沉积的钨的单层结构。

[0352] 电容器100中的绝缘体154优选使用相对介电常数较高的(high-k)材料。绝缘体154优选利用ALD法或CVD法等覆盖性良好的沉积方法沉积。

[0353] 此外,作为绝缘体154,优选使用相对介电常数较高的(high-k)材料与介电强度较大的材料的叠层结构。例如,作为绝缘体154可以使用以氧化锆、氧化铝、氧化锆的顺序依次层叠的绝缘体。此外,例如,可以使用以氧化锆、氧化铝、氧化锆、氧化铝的顺序依次层叠的绝缘体。此外,例如,可以使用以铅锆氧化物、氧化铝、铅锆氧化物、氧化铝的顺序依次层叠的绝缘膜。通过将氧化铝等介电强度比较大的绝缘体层叠地使用,提高介电强度,因此可以抑制电容器100的静电破坏。

[0354] 此外,作为绝缘体154,也可以使用后述可具有铁电性的材料。

[0355] 形成在绝缘体271b、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口部的深度越深(也就是说,使绝缘体271b、绝缘体275、绝缘体280、绝缘体282、绝缘体283和绝缘体285中的一个或多个的厚度变厚)电容器100的静电电容可以越大。通过增加电容器100的单位面积的静电电容,可以实现半导体装置的微型化或高集成化。

[0356] 在此,由于绝缘体271b、绝缘体275、绝缘体282及绝缘体283被用作阻挡绝缘体,所以优选根据半导体装置所需的阻挡性设定厚度。此外,由于根据绝缘体280的厚度决定用作栅电极的导电体260的厚度,所以绝缘体280的厚度优选根据半导体装置所需的导电体260的厚度设定。

[0357] 因此,通过调节绝缘体285的厚度,优选设定电容器100的静电电容。例如,将绝缘体285的厚度设定在50nm以上且250nm以下的范围内,上述开口部的深度为150nm以上且350nm以下左右即可。通过上述范围内形成电容器100,使电容器100具有充分的静电电容,且在层叠多个包括电容器100的层的半导体装置中,可以不使一个层的高度过度增高。在多

个上述层的每一个中,可以使设置在各存储单元中的电容器的静电电容不同。在采用该结构时,例如,使设置在各层中的绝缘体285的厚度不同即可。

[0358] 在配置有电容器100的设置在绝缘体285等中的开口部,该开口部的侧壁也可以大致垂直于绝缘体222的顶面,也可以具有锥形形状。通过侧壁具有锥形形状,可以提高设置在该开口部的导电体153等的覆盖性,因此可以降低空洞等缺陷。

[0359] 导电体240设置在形成于绝缘体216、绝缘体222、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285以及绝缘体284中的开口部内侧。此外,导电体240与晶体管200的源电极及漏电极中的一个(导电体242a)接触。导电体240延伸在Z方向上。

[0360] 设置在氧化物230上的导电体242a包括用作与导电体240电连接的布线的区域。例如,在图22中,导电体242a的顶面及侧端部与延伸在Z方向上的导电体240电连接。由于通过导电体240直接与导电体242a的顶面和侧端部的至少一个接触,不需要另行设置用于连接的电极,所以可以缩小半导体装置的占有面积。此外,导电体240优选与导电体242a的顶面的一部分及侧端部接触。通过导电体240与导电体242a的多个面接触,可以降低导电体240与导电体242a的接触电阻。

[0361] 导电体240优选具有第一导电体与第二导电体的叠层结构。例如,如图22所示,导电体240可以具有第一导电体与上述开口部的内壁接触且其内侧设置有第二导电体的结构。也就是说,与第二导电体相比,第一导电体在绝缘体216、绝缘体222、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285以及绝缘体284的附近配置。此外,第一导电体与导电体242a的顶面及侧端部接触。

[0362] 作为导电体240的第一导电体,可以使用可用于上述导电体240a或导电体240b的第一导电体的导电材料,并且作为导电体240的第二导电体,可以使用可用于上述导电体240a或导电体240b的第二导电体的导电材料。

[0363] 例如,作为导电体240的第一导电体优选使用氮化钛,作为导电体240的第二导电体优选使用钨。在此情况下,导电体240的第一导电体包含钛及氮,导电体240的第二导电体包含钨。

[0364] 此外,导电体240也可以具有单层结构或三层以上的叠层结构。

[0365] 此外,如图22所示,优选以与导电体240的侧面接触的方式设置绝缘体241。具体而言,以与形成在绝缘体216、绝缘体222、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285及绝缘体284中的开口部的内壁接触的方式设置绝缘体241。此外,在向该开口部内侧突出形成的绝缘体224、氧化物230及导电体242a的侧面也形成有绝缘体241。在此,导电体242a的至少一部分从绝缘体241露出并与导电体240接触。也就是说,导电体240以隔着绝缘体241嵌入在上述开口内部的方式设置。

[0366] 如图22所示,形成在导电体242a的下方的绝缘体241的最上部优选位于导电体242a的顶面的下方。通过采用这种结构,导电体240可以与导电体242a的侧端部的至少一部分接触。此外,形成在导电体242a的下方的绝缘体241优选包括与氧化物230的侧面接触的区域。通过采用这种结构,可以抑制绝缘体280等所包含的水、氢等杂质经过导电体240混入到氧化物230。

[0367] 作为绝缘体241,可以使用可用于上述绝缘体241a及绝缘体241b等的阻挡绝缘体。

[0368] 虽然在图22中示出绝缘体241为单层的结构,但本发明不局限于此。绝缘体241也

可以具有两层以上的叠层结构。

[0369] 在绝缘体241具有两层叠层结构时,接触于绝缘体280等的开口的内壁的第一层使用氧阻挡绝缘膜且其内侧的第二层使用氢阻挡绝缘膜,即可。例如,作为第一层使用利用ALD法沉积的氧化铝且作为第二层使用利用PEALD法沉积的氮化硅即可。通过采用该结构,可以抑制导电体240的氧化,并且可以降低氢从导电体240混入到氧化物230等。由此,可以实现晶体管200的电特性及可靠性的提高。

[0370] 在配置有导电体240及绝缘体241的开口部,该开口部的侧壁也可以大致垂直于绝缘体222的顶面,也可以为锥形形状。通过侧壁具有锥形形状,设置在该开口部中的绝缘体241等的覆盖性得到提高。

[0371] 包括晶体管200及电容器100且晶体管200的源极及漏极中的一个与电容器100的一对电极中的一个电连接的半导体装置例如可以被用作存储装置的存储单元。

[0372] <包括晶体管200及电容器100A的半导体装置的结构例子>

图23A及图23B示出包括上述晶体管200及电容器100A的半导体装置。图23A是该半导体装置的俯视图。此外,图23B是沿着图23A中的点划线A1-A2的截面图,该截面图相当于晶体管200的沟道长度方向上的截面图。注意,在图23A的俯视图中,为了明确起见,省略一部分构成要素。

[0373] 在图23A及图23B所示的半导体装置中,晶体管200上配置有电容器100A及导电体246。导电体246被用作布线。在此,优选在俯视时电容器100A与晶体管200重叠的面积大。通过采用这种结构,可以缩减包括电容器100A及晶体管200的半导体装置的占有面积。由此,可以实现半导体装置的微型化或高集成化。

[0374] 在图23A及图23B所示的半导体装置的绝缘体285下方的结构与图20A及图20B所示的半导体装置相同。以下,主要说明与图20A及图20B所示的半导体装置不同的部分,省略重复部分的说明。

[0375] 图23A及图23B所示的半导体装置包括绝缘体285上的绝缘体287。

[0376] 导电体240a设置在形成在绝缘体287、绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275以及绝缘体271a中的开口内部,导电体240b设置在形成在绝缘体287、绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275以及绝缘体271b中的开口内部。如图23B所示,导电体240a具有与导电体242a接触的区域及与导电体246的底面中的至少一部分接触的区域。此外,导电体240b具有与导电体242b接触的区域及与电容器100A所包括的导电体110的底面中的至少一部分接触的区域。

[0377] 导电体246可以与导电体240a的顶面接触。导电体246优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体246可以具有叠层结构,例如,可以具有钛或氮化钛与上述导电材料的叠层结构。此外,导电体246优选在与导电体110相同的层中以与导电体110相同的材料形成。

[0378] <电容器100A>

电容器100A包括导电体110、导电体120以及夹在导电体110与导电体120之间的绝缘体130。例如,绝缘体287及导电体240b上配置有导电体110,导电体110上配置有绝缘体130,并且绝缘体130上配置有导电体120。在此,导电体110被用作电容器100A的第一电极,导电体120被用作电容器100A的第二电极,并且绝缘体130被用作电容器100A的介电体。注

意,将在后面说明其详细内容,电容器100A是使用可具有电铁电性的材料作为介电体的电容器。

[0379] 作为导电体110使用可用于电容器100的导电体110的导电体,即可。此外,作为导电体120使用可用于电容器100的导电体120的绝缘体,即可。

[0380] 导电体110既可具有单层结构又可具有叠层结构。导电体110可以使用可用于上述电容器100的导电体110的导电体。

[0381] 在图23B中,导电体120具有导电体120a及其上以接触于导电体120a的方式设置的导电体120b的叠层结构。

[0382] 作为导电体120a,可以使用溅射法、ALD法或CVD法等沉积可用于上述导电体120的导电体。例如,作为导电体120a,可以利用溅射法沉积氮化钛。

[0383] 或者,作为导电体120a,例如可以使用热ALD法沉积氮化钛。在此,优选使用热ALD法等通在加热衬底的同时进行沉积的方法沉积导电体120a。例如,优选在衬底温度为室温以上,优选为300°C以上,更优选为325°C以上,进一步优选为350°C以上的情况下沉积导电体120a。此外,例如,优选在衬底温度为500°C以下,优选为450°C以下的情况下沉积导电体120a。例如,衬底温度可以为400°C左右。

[0384] 通过在上述温度范围下沉积导电体120a,即使在形成导电体120a之后不进行高温烘烤处理(例如,热处理温度为400°C以上或500°C以上的烘烤处理)也可以对绝缘体130赋予铁电性。此外,如上所述,通过使用给基底带来的损伤较少的ALD法沉积导电体120a,可以抑制绝缘体130的晶体结构过度被破坏,由此可以提高绝缘体130的铁电性。此外,不进行沉积导电体120a后的退火而利用沉积导电体120时的温度提高绝缘体130的结晶性或铁电性有时被称为“自退火”。

[0385] 作为导电体120b,可以使用溅射法、ALD法或CVD法等沉积可用于上述导电体120的导电体。例如,作为导电体120b,可以利用溅射法沉积钨。

[0386] 此外,导电体120也可以具有单层或三层以上的结构而不局限于上述结构。

[0387] 作为绝缘体130,优选使用可具有铁电性的材料。作为可具有铁电性的材料,可以举出氧化铪、氧化锆、 HfZrO_x (X为大于0的实数)等金属氧化物。此外,作为可具有铁电性的材料,可以举出对氧化铪添加元素J1(在此,元素J1为选自锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料。在此,可以适当地设定铪的原子个数与元素J1的原子个数之比,例如,可以将铪的原子个数与元素J1的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,可以举出对氧化锆添加元素J2(在此,元素J2为选自铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料等。此外,可以适当地设定锆的原子个数与元素J2的原子个数之比,例如,可以将锆的原子个数与元素J2的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,也可以使用钛酸铅(PbTiO_x)、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铌(SBT)、铁酸铌(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。

[0388] 此外,作为可具有铁电性的材料,可以举出氮化铝钪($\text{Al}_{1-a}\text{Sc}_a\text{N}_b$ (a为大于0且小于0.5的实数,b为1或其附近的值。))、Al-Ga-Sc氮化物、Ga-Sc氮化物等金属氮化物。此外,作为可具有铁电性的材料,可以举出包含元素M1、元素M2及氮的金属氮化物。在此,元素M1为选自铝(Al)、镓(Ga)、铟(In)等中的一个或多个。此外,元素M2为选自硼(B)、钪(Sc)、钇(Y)、

镧(La)、铈(Ce)、钕(Nd)、铕(Eu)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)等中的一个或多个。此外,可以适当地设定元素M1与元素M2的原子个数比。此外,包含元素M1及氮的金属氧化物即便不包含元素M2也有时具有铁电性。此外,作为可具有铁电性的材料,可以举出对上述金属氮化物添加元素M3的材料。注意,元素M3为选自镁(Mg)、钙(Ca)、锶(Sr)、锌(Zn)、镉(Cd)等中的一个或多个。在此,可以适当地设定元素M1、元素M2与元素M3的原子个数比。

[0389] 此外,作为可具有铁电性的材料,可以举出 SrTaO_2N 、 BaTaO_2N 等钙钛矿型氧氮化物、 κ 型氧化铝的 GaFeO_3 等。

[0390] 注意,虽然在上述说明中示出金属氧化物及金属氮化物,但是不局限于此。例如,也可以使用对上述金属氧化物添加氮的金属氧氮化物或者对上述金属氮化物添加氧的金属氮氧化物等。

[0391] 此外,作为可具有铁电性的材料,例如,可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外,绝缘体130可以具有由选自上述材料中的多个材料构成的叠层结构。注意,上述所列举的材料等的晶体结构(特性)可能不仅根据沉积条件而且还根据各种工序等而发生变化,由此在本说明书等中,呈现铁电性的材料不仅被称为铁电体,而且还被称为可具有铁电性的材料。

[0392] 其中,作为可具有铁电性的材料,优选使用包含氧化铪或氧化铪及氧化锆的材料,因为它们即使被加工为几nm的薄膜也可具有铁电性。在此,绝缘体130的厚度可以为100nm以下,优选为50nm以下,更优选为20nm以下,进一步优选为10nm以下。例如,厚度优选为5nm以上且15nm以下,更优选为8nm以上且12nm以下。通过使用可以被薄膜化的铁电体层,可以将电容器100A与被微型化了的晶体管等半导体元件组合来形成半导体装置。在本说明书等中,形成为层状的可具有铁电性的材料有时被称为铁电体层、金属氧化物膜或金属氮化物膜。此外,在本说明书等中,有时将包括铁电体层、金属氧化物膜或金属氮化物膜的装置称为铁电体器件。

[0393] 此外,优选使用包含氧化铪或氧化锆的材料,因为它们即使具有微小面积也可具有铁电性。例如,铁电层即使在被俯视时的面积(占有面积)为 $10000\mu\text{m}^2$ 以下, $1000\mu\text{m}^2$ 以下, $100\mu\text{m}^2$ 以下, $10\mu\text{m}^2$ 以下, $1\mu\text{m}^2$ 以下或 $0.1\mu\text{m}^2$ 以下也可以具有铁电性。通过形成面积小的铁电层,可以缩小电容器100A的占有面积。

[0394] 可具有铁电性的材料为绝缘体,具有受到外加电场的作用而在内部发生极化,并在该电场为0时也保持极化的性质。因此,通过使用将该材料用作介电质的电容器(以下有时称为铁电电容器),可以形成非易失性存储元件。使用铁电电容器的非易失性存储元件有时被称为FeRAM(Ferroelectric Random Access Memory:铁电随机存取存储器)、铁电存储器等。例如,铁电存储器包括晶体管及铁电电容器,晶体管的源极及漏极中的一个与铁电电容器的一个端子电连接。由此,本实施方式所示的电容器100A为铁电电容器,并且包括电容器100A及上述晶体管200的半导体装置可以被用作铁电存储器。

[0395] 此外,铁电性被认为是因为包含在铁电层中的晶体的氧受到外部电场来发生位移而呈现的。此外,呈现铁电性被推定为依赖于包含在铁电层中的晶体的结构。因此,为了使绝缘体130呈现铁电性,绝缘体130需要包含晶体。尤其是,绝缘体130优选具有正交晶系晶体结构的结晶,由此呈现铁电性。包含在绝缘体130中的结晶的晶体结构为选自四方晶系、

正交晶系以及单斜晶系中的任何一个或多个即可。此外,绝缘体130也可以具有非晶结构。此时,绝缘体130也可以具有非晶结构和晶体结构的复合结构。

[0396] 此外,为了形成包含结晶的绝缘体130,优选减少绝缘体130中的氢或氯等杂质。在此,该杂质不仅是单个原子。在绝缘体130中,优选还降低键合于上述杂质的物质。例如,优选还降低绝缘体130中的键合于氢的物质(例如, OH^- 等)等。这些杂质有时在绝缘体130中的结晶中形成氧空位。并且,有时因氢等杂质元素键合于该氧空位部分而降低绝缘体130的结晶性。因此,如果这些杂质包含在绝缘体130中,则有时绝缘体130的结晶化受阻。由此,优选减少氢或氯等杂质,以提高绝缘体130的铁电性。

[0397] 于是,如图23B所示,优选以覆盖电容器100A的方式设置绝缘体152,并在绝缘体152与绝缘体130之间设置绝缘体155。此时,绝缘体155优选在不与导体110重叠的区域中接触于绝缘体287。

[0398] 绝缘体152及绝缘体155被用作氢阻挡绝缘体。绝缘体152具有抑制氢和键合有氢的物质(例如, OH^- 等)中的至少一个扩散的功能。由此,与绝缘体130相比,绝缘体152的抑制氢和键合有氢的物质(例如, OH^- 等)中的至少一个扩散的能力优选高。此外,绝缘体155具有俘获或固定氢和键合有氢的物质中的至少一个的功能。由此,与绝缘体130相比,绝缘体155的俘获或固定氢和键合有氢的物质中的至少一个的能力优选高。

[0399] 绝缘体152及绝缘体155例如可以使用氧化铝、氧化镁、氧化铅、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。作为抑制氢等杂质扩散的能力高的绝缘体152,例如优选使用氮化硅。在此情况下,绝缘体152至少包含氮及硅。

[0400] 此外,作为俘获或固定氢等杂质的能力高的绝缘体155,优选使用具有非晶结构的氧化物。例如,优选使用氧化铝或氧化镁等金属氧化物。当将氧化铝用于绝缘体155时,绝缘体155至少包含氧及铝。如上所述,具有非晶结构的金属氧化物有时具有俘获或固定氢的性质。通过将上述具有非晶结构的金属氧化物作为电容器100A的构成要素使用或者设置在电容器100A的周围,可以俘获或固定含在电容器100A中的氢或存在于电容器100A的周围的氢。尤其是,优选俘获或固定含在绝缘体130中的氢。

[0401] 绝缘体155优选采用非晶结构,但其一部分也可以形成有结晶区域。另外,绝缘体155也可以采用层叠非晶结构的层与具有结晶区域的层的多层结构。例如,绝缘体155也可以采用非晶结构的层上形成有具有结晶区域的层,典型的是多晶结构的层的叠层结构。

[0402] 借助于绝缘体152,可以抑制氢等杂质从绝缘体152的外方扩散到绝缘体130。再者,可以由绝缘体155俘获或固定被绝缘体152包围的区域内侧的氢等杂质而降低绝缘体130中的氢等杂质的浓度。如此,通过不使绝缘体130包含氢等杂质或者使氢等杂质极少,可以提高绝缘体130的结晶性,并可以具有铁电性高的结构。

[0403] 在图23B中,绝缘体155具有绝缘体155a和其上以接触于绝缘体155a的方式设置的绝缘体155b的叠层结构。此外,绝缘体152具有绝缘体152a和其上以接触于绝缘体152a的方式设置的绝缘体152b的叠层结构。此外,绝缘体155及绝缘体152中的一个或两个也可以具有单层或三层以上的结构而不局限于上述结构。

[0404] 作为绝缘体155a,优选利用ALD法,尤其是利用热ALD法沉积可用于上述绝缘体155的绝缘体。例如,作为绝缘体155a可以使用通过ALD法沉积的氧化铝。由此,可以以高覆盖性沉积绝缘体155a,从而即使通过溅射法沉积的绝缘体155b中形成针孔或断开等也可以抑制

杂质从绝缘体155b的外侧通过针孔或断开等扩散到绝缘体130。

[0405] 作为绝缘体155b,利用溅射法沉积可用于上述绝缘体155的绝缘体即可。例如,作为绝缘体155b可以使用通过溅射法沉积的氧化铝。因为溅射法不需要在沉积气体中使用包含氢的分子,所以可以降低绝缘体155b中的氢浓度。由此,可以进一步俘获或固定绝缘体130中的氢等杂质。

[0406] 作为绝缘体152a,利用溅射法沉积可用于上述绝缘体152的绝缘体即可。例如,作为绝缘体152a可以使用利用溅射法沉积的氮化硅。因为溅射法不需要在沉积气体中使用包含氢的分子,所以可以降低绝缘体152a中的氢浓度。

[0407] 作为绝缘体152b,优选利用ALD法,尤其是利用PEALD法沉积可用于上述绝缘体152的绝缘体。例如,作为绝缘体152b可以使用利用PEALD法沉积的氮化硅。由此,即使通过溅射法沉积的绝缘体152a中形成针孔或断开等也可以由通过覆盖性良好的ALD法沉积的氧化铝堵塞与上述针孔或断开重叠的部分。此外,通过由绝缘体152b覆盖针孔或断开等,可以抑制杂质从绝缘体152b的外侧扩散到绝缘体130。

[0408] 再者,如图23B所示,绝缘体155及绝缘体152除了电容器100A之外还覆盖导电体246。由此,可以抑制在热处理中氢等杂质通过电容器100A、导电体246及导电体240扩散到氧化物230。如此,氢等杂质得到减少的高纯度本征的具有铁电性的电容器与氢等杂质得到减少的高纯度本征的氧化物半导体的制造工艺的统合性非常高。由此,可以提供生产率高的半导体装置的制造方法。

[0409] 作为绝缘体287,优选使用与绝缘体152同样的抑制氢等杂质扩散的能力高的绝缘体。通过采用在不与电容器100A重叠的区域中绝缘体155与绝缘体287接触的结构,可以由绝缘体287、绝缘体155及绝缘体152密封电容器100A。由此,可以抑制氢从绝缘体152及绝缘体287的外部扩散到电容器100A,俘获或固定被绝缘体152及绝缘体287围绕的区域内部的氢,并降低电容器100A的绝缘体130的氢浓度。因此,可以提高绝缘体130的铁电性。

[0410] 虽然在图23B中示出绝缘体287在不与导电体110重叠的区域中接触于绝缘体155的结构,但是本发明不局限于此。可以不设置绝缘体287而使导电体246的底面、绝缘体155a的底面及导电体110的底面接触于绝缘体285的顶面。

[0411] 此外,也可以在绝缘体130与导电体110之间及/或绝缘体130与导电体120之间设置提高绝缘体130的结晶性的层。此外,作为提高结晶性的层,例如优选使用包含绝缘体130所包含的元素中的至少一个的层。注意,提高结晶性的层的组成与绝缘体130的组成优选不同。在绝缘体130使用 HfZrO_x 时,作为提高结晶性的层,具体地优选使用如氧化钪或氧化锆等金属氧化物或者如钪或锆等金属。

[0412] 注意,作为提高结晶性的层的组成也可以不包含绝缘体130所包含的元素。此时,作为可使用的元素可以举出硅、钇、铝、钽等。通过设置提高结晶性的层,可以提高绝缘体130的结晶性而提高绝缘体130的铁电性。通过提高绝缘体130的结晶性而可以提高绝缘体130铁电性,由此可以将提高结晶性的层称为增大绝缘体130的剩余极化的层。

[0413] <电容器100A的变形例子>

虽然图23A及图23B所示的电容器100A具有导电体110的侧面、绝缘体130的侧面以及导电体120的侧面对齐的结构,但是本发明不局限于此。以下图24A至图25B示出图23A及图23B所示的电容器100A的变形例子。以后主要说明与图23A及图23B所示的半导体装置的

不同之处,不说明重复的部分。

[0414] 图24A是半导体装置的俯视图。另外,图24B是沿着图24A中的点划线A1-A2的部分的截面图,也是晶体管200的沟道长度方向上的截面图。注意,在图24A的俯视图中,为了明确起见,省略部分构成要素。

[0415] 如图24B所示,导电体110的侧面也可以位于绝缘体130及导电体120的侧面的内侧。绝缘体130以覆盖导电体110的顶面及侧面的方式形成,绝缘体130的不与导电体110重叠的区域接触于绝缘体287。在此情况下,在俯视时,导电体110的外缘位于绝缘体130及导电体120的外缘的内侧。通过采用这样的结构,可以由绝缘体130充分隔开导电体110与导电体120。

[0416] 此外,通过进一步增加俯视时的导电体120的面积,可以在设置与导电体120连接且用作插头或布线的导电体(未图示)的情况下充分确保设计裕度(margin)。

[0417] 虽然在图23B中导电体110具有单层结构,但是本发明不局限于此,导电体110也可以具有两层以上的叠层结构。例如,如图24B所示,导电体110也可以具有导电体110a和导电体110a上的导电体110b的两层叠层结构。

[0418] 作为导电体110a,可以使用溅射法、ALD法或CVD法等沉积可用于上述导电体110的导电体。例如,作为导电体110a,可以使用溅射法或CVD法沉积钨。

[0419] 作为与绝缘体130的底面的至少一部分接触的导电体110b,可以使用ALD法或CVD法等沉积可用于上述导电体110的导电体。例如,可以使用热ALD法沉积氮化钛。此外,导电体110b的顶面优选具有优良的平坦性。通过使导电体110b的顶面具有优良的平坦性,可以提高绝缘体130的结晶性,并可以提高绝缘体130的铁电性。

[0420] 图25A是半导体装置的俯视图。另外,图25B是沿着图25A中的点划线A1-A2的部分的截面图,也是晶体管200的沟道长度方向上的截面图。注意,在图25A的俯视图中,为了明确起见,省略部分构成要素。

[0421] 如图24A及图25B所示,也可以设置绝缘体286而不设置图23B所示的绝缘体287,并以嵌入形成在绝缘体286及绝缘体285中的开口的内部的方式设置导电体110。

[0422] 作为绝缘体286,可以使用可用于上述绝缘体285的绝缘材料。

[0423] 导电体110嵌入形成在绝缘体286及绝缘体285中的开口内部。导电体110具有在形成在绝缘体286及绝缘体285中的开口内部与导电体240b接触的区域。通过将导电体110嵌入形成在绝缘体286及绝缘体285中的开口内部,可以充分隔开导电体110与导电体120。因此,可以抑制电容器100A的泄漏电流。

[0424] 此外,为了形成图25B所示的导电体110,可以在绝缘体286及绝缘体285中形成开口,形成成为导电体110的导电膜,并进行利用化学机械抛光(CMP)等的平坦化处理直到绝缘体286露出为止。也就是说,可以使用单镶嵌法形成图25B所示的导电体110。这种导电体110的形成工序兼用作使导电体110的顶面具有优良的平坦性的工序。由此,绝缘体130设置在具有优良的平坦性的导电体110上,从而绝缘体130也可以具有优良的平坦性。因此,即使使用薄膜铁电层形成绝缘体130,也可以抑制电容器100A的泄漏电流。此外,在这种导电体110的形成工序中,绝缘体286的顶面也具有优良的平坦性,由此在绝缘体130的一部分设置在绝缘体286上的情况下也是优选的。

[0425] 此外,如图25B所示,导电体110也可以具有导电体110c、导电体110c上的导电体

110a以及导电体110a上的导电体110b的叠层结构。导电体110c在形成在绝缘体286及绝缘体285中的开口的内部与绝缘体286的侧面、绝缘体285的侧面、绝缘体283的顶面、绝缘体241b的侧面以及导电体240b的顶面接触。导电体110a嵌入形成在导电体110c中的凹部的一部分。在此,导电体110a的顶面的高度低于导电体110c的顶面及绝缘体286的顶面的高度。导电体110b与导电体110a的顶面及导电体110c的侧面接触。在此,导电体110b的顶面的高度与导电体110c的顶面及绝缘体286的顶面的高度一致。也就是说,导电体110a具有被导电体110c及导电体110b包围的结构。

[0426] 在导电体110具有导电体110c、导电体110a及导电体110b的三层结构时,导电体110例如可以通过下述步骤来形成:在绝缘体286及绝缘体285中形成开口;沉积成为导电体110c的导电膜及成为导电体110a的导电膜;以使绝缘体286露出的方式进行CMP处理来形成导电体110c及导电体110a;对导电体110a的一部分进行回蚀而嵌入导电体110b。

[0427] 作为导电体110c,可以使用溅射法、ALD法或CVD法等形成可用于上述导电体205a的导电体。此外,通过作为导电体110c使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体110a被氧化且导电率下降。例如,作为导电体110c,可以使用CVD法沉积氮化钛。

[0428] 作为导电体110b,可以使用ALD法或CVD法等沉积可用于上述导电体110的导电体。此外,在如上所述进行平坦化处理形成导电体110c的情况下,也可以使用沉积速率高的溅射法、CVD法或PECVD法形成导电体110c。由此,可以以高生产率制造半导体装置。例如,作为导电体110b,可以使用CVD法沉积氮化钛。

[0429] 在图25B中,导电体110的侧面位于绝缘体130的侧面的内侧。在此情况下,在俯视时,导电体110的外缘位于绝缘体130及导电体120的外缘的内侧。例如,从导电体110的侧面到绝缘体130的侧面的最短距离优选为绝缘体130的厚度以上,更优选为绝缘体130的厚度的2倍以上。通过采用这样的结构,可以由绝缘体130充分隔开导电体110与导电体120。此时,如图25B所示,有时绝缘体286的不与导电体120重叠的区域的一部分被去除。

[0430] 虽然在图25B中示出导电体110的侧面位于绝缘体130的侧面的内侧的结构,但是本发明不局限于此。例如,导电体110的侧面也可以位于绝缘体130的侧面的外侧。通过采用这种结构,绝缘体130被导电体110c、绝缘体155以及绝缘体152围绕。通过将具有减少氢扩散的功能的导电材料用于导电体110c,可以抑制氢从绝缘体152及导电体110c的外部扩散到绝缘体130,加上,可以俘获或固定绝缘体130的氢,以降低绝缘体130的氢浓度。因此,可以提高绝缘体130的铁电性。此外,导电体110的侧面也可以与绝缘体130的侧面一致。

[0431] 导电体246具有在形成在绝缘体286及绝缘体285中的开口内部与导电体240a接触的区域。导电体246被用作布线或端子。导电体246与导电体110优选使用相同材料形成在相同层中。如图25B所示,在导电体110具有上述三层叠层结构的情况下,通过在相同层中使用相同材料形成导电体246与导电体110,导电体246具有三层叠层结构。

[0432] 此外,在图25B中,导电体120具有单层结构。此外,导电体120也可以具有图23B所示的两层结构,也可以具有三层以上的叠层结构。此外,在导电体120具有单层结构的情况下,作为导电体120,可以使用可用于上述导电体120a或导电体120b的导电体。此外,可以使用可用于上述导电体120a或导电体120b的方法形成导电体120。

[0433] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0434] (实施方式2)

在本实施方式中,参照图26至图27说明半导体装置的一个方式的存储装置。

[0435] [存储装置1]

图26示出本发明的一个方式的存储装置的一个例子。在本发明的一个方式的存储装置中,晶体管200设置在晶体管300的上方,电容器100设置在晶体管300及晶体管200的上方。此外,作为晶体管200,可以使用上述实施方式所说明的晶体管200。

[0436] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流低,所以通过将其用于存储装置,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频度极低,所以可以充分降低存储装置的功耗。

[0437] 在图26所示的存储装置中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接,布线1007与晶体管300的栅极电连接。此外,布线1003与晶体管200的源极和漏极中的一个电连接,布线1004与晶体管200的第一栅极电连接,布线1006与晶体管200的第二栅极电连接。并且,晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接,布线1005与电容器100的另一个电极电连接。

[0438] 此外,通过将图26所示的存储装置配置为矩阵状,可以构成存储单元阵列。

[0439] 作为电容器100可以使用上述实施方式中说明的电容器100。注意,电容器100也可以使用上述实施方式中说明的电容器100A。在作为电容器100使用电容器100A的情况下,图26所示的存储装置包括铁电存储器。

[0440] <晶体管300>

晶体管300设置在衬底311上,并包括用作栅极的导电体316、用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313以及用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0441] 在此,在图26所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316也可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0442] 注意,图26所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0443] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。在此,在具有插头或布线的功能的导电体中,有时使用同一符号表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0444] 例如,在晶体管300上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,在绝缘体320及绝缘体322中嵌入导电体328,并且在绝缘体324及绝缘体326中嵌入导电体330。此外,导电体328及导电体330被用作插头或布线。

[0445] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,

为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用CMP法等的平坦化处理被平坦化。

[0446] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图26中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作插头或布线。

[0447] 同样地,在绝缘体210、绝缘体215及绝缘体216中嵌入导电体218及构成晶体管200的导电体(导电体205)。此外,导电体218被用作与晶体管300串连接的插头或布线。

[0448] 在此,与上述实施方式所示的绝缘体241a及绝缘体241b同样,以与用作插头的导电体218的侧面接触的方式设置绝缘体217。绝缘体217以接触形成于绝缘体210、绝缘体215及绝缘体216中的开口部内壁的方式设置。也就是说,绝缘体217设置在导电体218与绝缘体210、绝缘体215及绝缘体216之间。导电体205可以与导电体218并行形成,所以有时以与导电体205的侧面接触的方式形成绝缘体217。

[0449] 绝缘体217例如可以使用可用于上述绝缘体241a及绝缘体241b的绝缘体。绝缘体217以与绝缘体215及绝缘体222接触的方式设置,所以可以抑制包含在绝缘体210或绝缘体216等中的水或氢等杂质通过导电体218混入氧化物230。尤其是,氮化硅的氢阻挡性高,所以是优选的。此外,可以防止绝缘体210或绝缘体216中的氧被导电体218吸收。

[0450] 绝缘体217可以以与上述绝缘体241a及绝缘体241b同样的方法形成。例如,可以利用PEALD法沉积氮化硅利用各向异性蚀刻形成到达导电体356的开口。

[0451] 作为被用作层间膜的绝缘体210、绝缘体352以及绝缘体354等,可以使用可用于绝缘体150的绝缘体。

[0452] 此外,通过使用具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管,可以使晶体管的电特性稳定。因此,作为绝缘体215及绝缘体350等,使用具有抑制氢等杂质及氧的透过的功能的绝缘体,即可。

[0453] 作为具有抑制氢等杂质及氧透过的功能的绝缘体,例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕或钽的绝缘体。具体而言,作为具有抑制氢等杂质及氧透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0454] 作为能够用于布线、插头的导电体可以使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟以及钨等的金属元素中的一种以上的材料。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0455] 例如,作为导电体328、导电体330、导电体356、导电体218及导电体112等,可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,优选使用钨。或者,优选使用铝、铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。

[0456] <设置有氧化物半导体的层的布线或插头>

此外,如上述实施方式所示,晶体管200也可以采用由绝缘体215及绝缘体283密封的结构。通过采用上述结构,可以降低包含在绝缘体274、绝缘体150等中的氢混入到绝缘体280等中。

[0457] 此外,导电体240贯通绝缘体283,导电体218贯通绝缘体215,并且,如图26所示,绝缘体241与导电体240接触地设置,绝缘体217与导电体218接触地设置。通过使用氢阻挡绝缘体作为绝缘体241及绝缘体217,可以抑制氢通过导电体240及导电体218混入绝缘体215以及绝缘体283的内侧。如此,可以由绝缘体215、绝缘体283、绝缘体241以及绝缘体217密封晶体管200,而可以抑制包含在绝缘体274等中的氢等杂质从外侧混入。

[0458] <切割线>

下面,对当将大面积衬底按每个半导体组件分割而得到芯片形状的多个半导体装置时设置的切割线(有时也称为分割线、分断线或截断线)进行说明。作为分割方法,例如,有时,首先在衬底中形成用来分断半导体组件的槽(切割线)之后,在切割线处截断,得到被分断(被分割)的多个半导体装置。

[0459] 在此,例如,如图26所示,优选以绝缘体283和绝缘体215接触的区域重叠于切割线的方式进行设计。也就是说,在设置在包括多个晶体管200的存储单元的边缘的成为切割线的区域附近,在绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216中设置开口。

[0460] 也就是说,在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216的开口中,绝缘体215与绝缘体283接触。

[0461] 此外,例如,也可以在绝缘体282、绝缘体280、绝缘体275、绝缘体222、绝缘体216及绝缘体215的上层中形成开口。通过采用这种结构,在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216的开口中,绝缘体215与绝缘体283接触。此时,也可以使用相同材料及相同方法形成绝缘体215的下层及绝缘体283。通过使用相同的材料及相同的方法形成绝缘体215的下层和绝缘体283,可以提高紧密性。例如,优选使用氮化硅。

[0462] 通过采用该结构,可以由绝缘体215及绝缘体283包围晶体管200。绝缘体215和绝缘体283中的至少一个由于具有抑制氧、氢及水的扩散的功能,所以即使将衬底按每个形成有本实施方式所示的半导体组件的电路区域分割而加工为多个芯片,也可以防止从截断的衬底的侧面方向混入氢或水等杂质且该杂质扩散到晶体管200。

[0463] 此外,通过采用该结构,可以防止绝缘体280中的氧扩散到外部。因此,绝缘体280中的氧高效地被供应到晶体管200中的沟道形成区域中。由于该氧,而可以减少晶体管200中的沟道形成区域的氧空位。由此,可以使晶体管200中的具有沟道形成区域的氧化物半导体成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说,可以在抑制晶体管200的电特性变动的同时提高可

[0464] [存储装置2]

图27示出与图26所示的存储装置不同的结构例子。在以下所示的存储装置中,对具有与上述存储装置的构成要素相同的功能的构成要素附上同一符号。此外,以下主要说明与上述存储装置不同的部分,省略重复部分的说明。

[0465] 图27是存储装置的截面图。图27所示的存储装置与图26所示的存储装置的不同之处在于:在图27所示的存储装置中,不包括布线1007,并且晶体管300的栅极与晶体管200的源极及漏极中的另一个及电容器100的一个电极电连接。

[0466] 在图27所示的存储装置中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接。此外,布线1003与晶体管200的源极和漏极中的一个电连接,布线1004与晶体管200的第一栅极电连接,布线1006与晶体管200的第二栅极电连接。再者,晶体管

300的栅极及晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接,布线1005与电容器100的另一个电极电连接。

[0467] 此外,导电体316通过导电体328、导电体330、导电体356、导电体218以及导电体240电连接到电容器100或晶体管200。

[0468] 在本实施方式所示的存储装置中,与图19A所示的多个晶体管200同样在xy平面上将存储单元配置为矩阵状,由此可以构成存储单元阵列。此外,本实施方式所示的存储装置也可以具有层叠存储单元阵列的结构。通过层叠多个存储单元阵列,可以集成地配置存储单元而无需增大存储单元阵列的占有面积。也就是说,可以构成3D单元阵列。

[0469] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0470] (实施方式3)

在本实施方式中,参照图28A至图31C,说明使用根据本发明的一个方式的将氧化物用于半导体的晶体管(以下,有时称为0S晶体管)及电容器的存储装置(以下有时称为0S存储装置)。0S存储装置是至少包括电容器和控制该电容器的充放电的0S晶体管的存储装置。因0S晶体管的关态电流极小所以0S存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0471] <存储装置的结构例子>

图28A示出0S存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0472] 列电路1430例如包括列译码器、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0473] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WEN、RES)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0474] 控制逻辑电路1460对从外部输入的控制信号(CE、WEN、RES)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WEN是写入使能信号,并且控制信号RES是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0475] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的个数取决于存储单元MC的结构、包括在一个列中的存储单元MC的个数等。此外,连接存储单元阵列1470和列电路1430的布线的个数取决于存储单元MC的结构、包括在一个行中的存储单元MC的个数等。

[0476] 此外,虽然在图28A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图28B所示,也可以以重叠于外围电路1411的

一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。OS晶体管可以在形成存储装置的布线的BEOL(Back end of line:后段制程)工序中形成。因此,在将OS晶体管用于存储单元阵列1470且将Si晶体管用于单元阵列1470的下面重叠的外围电路1411的情况下,可以采用在Si晶体管上方直接形成OS晶体管的技术(被称为BEOL-Tr技术)。

[0477] 此外,也可以采用层叠多个存储单元阵列1470的结构。通过层叠多个存储单元阵列1470,可以集成地配置存储单元而无需增大存储单元阵列1470的占有面积。也就是说,可以构成3D单元阵列。如此,可以实现存储单元的高集成化来提供存储容量大的半导体装置。此外,可以以单片方式层叠包括OS晶体管的层,因此是优选的。

[0478] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。此外,也可以根据需要改变,去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。本发明的一个方式的存储装置的工作速度快,并且能够进行长期间的数据保持。

[0479] 参照图29A至图29I以及图31A 说明可以应用于上述存储单元MC的存储单元的结构例子。

[0480] [DOSRAM]

图29A至图29C示出DRAM的存储单元的电路结构例子。在本说明书等中,有时将使用1OS晶体管1电容器型存储单元的DRAM称为DOSRAM(Dynamic Oxide Semiconductor Random Access Memory,动态氧化物半导体随机存取存储器)。图29A所示的存储单元1471包括晶体管M1及电容器CA。此外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0481] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线LL连接。

[0482] 布线BIL被用作位线,布线WOL被用作字线。布线LL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,布线LL既可为接地电位又可为低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0483] 在此,图29A所示的存储单元1471对应于图26所示的存储装置。就是说,晶体管M1对应于晶体管200,电容器CA对应于电容器100。

[0484] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图29B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图29C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0485] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管M1可以使用晶体管200,作为电容器CA可以使用电容器100。通过作为晶体管M1使用OS晶体管,可以使晶体管M1的泄漏电流为极低。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,可以省略存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1471、存储单元1472、存储单元1473中。

[0486] 此外,在DOSRAM中,在如此那样地采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的保持电容。

[0487] [NOSRAM]

图29D至图29G示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图29D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。此外,晶体管M2包括顶栅极(有时简单地称为栅极)及背栅极。在本说明书等中,有时将包括作为晶体管M2使用0S晶体管的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM,非易失性氧化物半导体RAM)。

[0488] 晶体管M2的第一端子与电容器CB的第一端子连接,晶体管M2的第二端子与布线WBL连接,晶体管M2的栅极与布线WOL连接,晶体管M2的背栅极与布线BGL连接。电容器CB的第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器CB的第一端子连接。

[0489] 布线WBL被用作写入位线,布线RBL被用作读出位线,布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在写入数据和读出数据时,优选对布线CAL施加高电平电位。此外,在保持数据时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M2的阈值电压。

[0490] 在此,图29D所示的存储单元1474对应于图27所示的存储装置。就是说,晶体管M2对应于晶体管200,电容器CB对应于电容器100,晶体管M3对应于晶体管300,布线WBL对应于布线1003,布线WOL对应于布线1004,布线BGL对应于布线1006,布线CAL对应于布线1005,布线RBL对应于布线1002,布线SL对应于布线1001。

[0491] 此外,存储单元MC不局限于存储单元1474,而可以适当地改变其电路结构。例如,存储单元MC也可以采用如图29E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图29F所示的存储单元1476那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M2构成的存储单元。此外,例如,存储单元MC也可以具有如图29G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0492] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下,作为晶体管M2可以使用晶体管200,作为晶体管M3可以使用晶体管300,作为电容器CB可以使用电容器100。通过作为晶体管M2使用0S晶体管,可以使晶体管M2的泄漏电流为极低。由此,因为可以由晶体管M2长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,可以省略存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至存储单元1477也是同样的。

[0493] 此外,晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比0S晶体管高。因此,作为被用作读出晶体管的晶体管M3,也可以使用Si晶体管。此外,通过将Si晶体管用作晶体管M3,可以层叠于晶体管M3上地设置晶体管M2,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0494] 此外,晶体管M3也可以是0S晶体管。在将0S晶体管用于晶体管M2、晶体管M3时,在存储单元阵列1470中可以只使用n沟道型晶体管构成电路。

[0495] 此外,图29H示出3晶体管的增益单元型存储单元的一个例子。图29H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC是适当地设置的。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。此外,也可以将存储单元1478电连接到布线RBL、布线WBL,而不与布线BIL电连接。

[0496] 晶体管M4是包括背栅极的0S晶体管,该背栅极与布线BGL电连接。此外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0497] 此外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6也可以都是0S晶体管。在此情况下,可以在存储单元阵列1470中只使用n沟道型晶体管构成电路。

[0498] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用晶体管200,作为晶体管M5、晶体管M6可以使用晶体管300,作为电容器CC可以使用电容器100。通过作为晶体管M4使用0S晶体管,可以使晶体管M4的泄漏电流为极小。

[0499] 此外,图29I示出2晶体管的增益单元型存储单元的一个例子。图29I所示的存储单元1479包括晶体管M7及至晶体管M8。存储单元1479与布线BIL、布线WWL、布线BGL及布线SL电连接。

[0500] 晶体管M7是包括背栅极的0S晶体管,背栅极与布线BGL电连接。此外,也可以电连接晶体管M7的背栅极和栅极。或者,晶体管M7也可以不包括背栅极。

[0501] 在图29I所示的存储单元1479中,将晶体管M8的栅极电容用作存储电容。就是说,也可以将存储单元1479称为无电容存储单元。此外,可以将存储单元1479看作没有电容器CB的图29G所示的存储单元1477,因此也可以称为2晶体管0电容器的增益单元型存储单元。

[0502] 当作为晶体管M7使用0S晶体管时,通过使晶体管M7处于关闭状态,可以保持电连接有晶体管M7的源电极和漏电极中的一个和晶体管M8的栅电极的节点的电荷很长时间。因此,可以实现非易失性存储单元。

[0503] 晶体管M8可以为n沟道型Si晶体管或p沟道型Si晶体管。

[0504] 在将上述实施方式所示的半导体装置用于存储单元1479时,作为晶体管M7可以使用晶体管200,作为晶体管M8可以使用晶体管300。通过作为晶体管M7使用0S晶体管,可以使晶体管M7的泄漏电流变得非常小。

[0505] 此外,晶体管M8也可以是0S晶体管。此时,在存储单元阵列1470中可以只使用n型晶体管构成电路。

[0506] 当将上述实施方式所示的半导体装置用于存储单元1479时,作为晶体管M7、晶体管M8可以使用晶体管200。通过采用该结构,可以将晶体管M7、晶体管M8形成在同一层中。因此,与将晶体管M7和晶体管M8设置在互不相同的层中的情况相比,可以简化层叠包括存储单元1479的层时的制造工序,可以提高生产率。

[0507] 当作为晶体管M7、晶体管M8使用晶体管200时,根据晶体管M7及晶体管M8被要求的特性适当地设定晶体管的构成要素(包括沟道长度、沟道宽度、截面形状等)即可。

[0508] 注意,对晶体管M8的结构没有特别的限制,而与用于晶体管M8的半导体材料无关。

例如,例如可以使用平面型晶体管、交错型晶体管、反交错型晶体管等。此外,也可以采用顶栅型或底栅型的晶体管结构。或者,也可以形成沟道的半导体层的上下设置有栅极。

[0509] 如上所述,也可以采用层叠多个存储单元阵列1470的结构。通过层叠多个存储单元阵列1470,可以集成地配置存储单元而无需增大存储单元阵列1470的占有面积。也就是说,可以构成3D单元阵列。图30示出具有层叠多个存储单元阵列1470的结构的存储装置的一个例子。

[0510] 图30所示的存储装置包括具有晶体管300的第一层、第一层上的存储单元阵列1470[1]至存储单元阵列1470[m] (在图30中只示出存储单元阵列1470[1]及存储单元阵列1470[2])。此外,图30所示的存储装置的绝缘体326下方的结构与图26所示的存储装置同样。

[0511] 存储单元阵列1470[1]至存储单元阵列1470[m]各自包括多个存储单元MC。此外,多个存储单元MC各自包括晶体管200及电容器100。在此,晶体管200对应于上述实施方式中说明的晶体管200,电容器100对应于上述实施方式中说明的电容器100或电容器100A。此外,图30示出使用图22所示的晶体管200及电容器100作为晶体管200及电容器100的例子。

[0512] 第一层与存储单元阵列1470间或两个存储单元阵列1470间也可以设置有包括层间膜、布线以及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线及与布线电连接的插头也可以是一个构成要素。也就是说,导电体的一部分有时被用作布线,导电体的一部分有时被用作插头。

[0513] 绝缘体210设置在绝缘体326上方,导电体209设置在形成在绝缘体210中的开口部内侧。再者,绝缘体215设置在绝缘体210上。设置在存储单元阵列1470[1]中的导电体240的一部分嵌入形成在绝缘体215中的开口部。在此,作为绝缘体210,可以使用可用于绝缘体216的绝缘体。

[0514] 导电体(未图示)与导电体209的底面接触。此外,导电体209的顶面与设置在存储单元阵列1470[1]中的导电体240的底面接触。通过采用这种结构,可以将用作布线BL的导电体240电连接到设置在存储单元阵列1470下方的开关、晶体管、电容器、电感器、电阻器以及二极管等电路元件、布线、电极或端子。

[0515] 存储单元阵列1470[1]至存储单元阵列1470[m]各自包括多个存储单元MC。各存储单元MC所包括的导电体240与上层的导电体240及下层的导电体240电连接。

[0516] 如图30所示,相邻的存储单元MC共同使用导电体240。此外,在相邻的存储单元MC中,以导电体240为界的右侧结构与左侧结构对称配置。

[0517] 在此,用作下层(例如,存储单元阵列1470[1]的层)的电容器100的上部电极的导电体160与用作上层(例如,存储单元阵列1470[2]的层)的晶体管200的第二栅电极的导电体261可以形成在同一层中。换言之,下层的电容器100的导电体160与上层的晶体管200的导电体261都可以嵌入形成在同一绝缘体216中的开口中。通过对一个导电膜进行加工来形成下层的电容器100的导电体160及上层的晶体管200的导电体261,得到上述结构。此时,下层的电容器100的导电体160与上层的晶体管200的导电体261包含同一材料。

[0518] 如上所述,通过同时形成下层的电容器100的导电体160及上层的晶体管200的导电体261,可以缩小根据本实施方式的存储装置的制造工序,从而可以提高该存储装置的生产率。

[0519] 在上述存储单元阵列1470中,可以层叠多个存储单元阵列(存储单元阵列1470[1]至存储单元阵列1470[m])。通过在垂直于衬底表面的方向上配置存储单元阵列1470所包括的存储单元阵列1470[1]至存储单元阵列1470[m],可以提高存储单元的存储密度。此外,可以在垂直方向上反复使用同一制造工序来制造存储单元阵列1470。图30所示的存储装置可以降低存储单元阵列1470的制造成本。

[0520] [铁电存储器]

图31A示出使用铁电电容器的存储单元的电路结构例子。存储单元1480包括晶体管M9及电容器Cfe。在此,作为存储单元1480,可以使用在图23A至图25B所示的包括晶体管200及电容器100A的半导体装置。在此情况下,晶体管M9及电容器Cfe分别的对应于晶体管200及电容器100A。此外,晶体管M9既可包括背栅极又可不包括背栅极。

[0521] 作为晶体管M9,优选使用上述实施方式中说明的0S晶体管。0S晶体管具有源极与漏极间的绝缘耐压性高的特性。也就是说,0S晶体管可以被称为微小高耐压器件。因此,通过使用0S晶体管作为晶体管M9,即使晶体管M9被微型化也可以对晶体管M9施加高电压。通过晶体管M9被微型化,可以缩小半导体装置的占有面积。由此,可以以高密度配置半导体装置。由此,可以实现存储容量大的存储装置。

[0522] 晶体管M9的源极和漏极中的一个与布线BL电连接。晶体管M9的源极和漏极中的另一个与电容器Cfe的一个电极电连接。晶体管M9的栅极与布线WL电连接。电容器Cfe的另一个电极与布线PL电连接。

[0523] 布线WL被用作字线,通过控制布线WL的电位,可以控制晶体管M9的开启状态及关闭状态。例如,通过将布线WL的电位设定为高电位(H),可以使晶体管M9成为开启状态,通过将布线WL的电位设定为低电位(L),可以使晶体管M9成为关闭状态。布线WL与行电路1420所包括的字线驱动电路电连接,并且可以由字线驱动电路控制布线WL的电位。

[0524] 布线BL被用作位线,在晶体管M9处于开启状态的情况下,将对应于布线BL的电位的电位供应到电容器Cfe的一个电极。布线BL与列电路1430的位线驱动电路电连接。位线驱动电路具有生成写入到存储单元MC的数据的功能。此外,位线驱动电路具有读出从存储单元MC输出的数据的功能。具体而言,位线驱动电路中设置有读出放大器,由此可以使用该读出放大器读出从存储单元MC输出的数据。

[0525] 布线PL被用作板线。电容器Cfe的另一个电极通过布线PL被供应电位。

[0526] 电容器Cfe在两个电极间包含可具有铁电性的材料作为介电层。作为可具有铁电性的材料,可以使用可用于上述绝缘体130的材料。通过使用可以减薄厚度的铁电层,可以实现与被微型化的晶体管组合而成的存储装置。以下将电容器Cfe所包括的介电体层称为铁电层。

[0527] 电容器Cfe所包括的铁电层具有滞后特性。图31B是示出该滞后特性的一个例子的图表。在图31B中,横轴表示施加到铁电层的电压。该电压例如可以为电容器Cfe的一个电极的电位与电容器Cfe的另一个电极的电位之差。

[0528] 另外,在图31B中,纵轴表示铁电层的极化,在极化为正值时表示正电荷偏于电容器Cfe的一个电极一侧且负电荷偏于电容器Cfe的另一个电极一侧。另一方面,在极化为负值时表示正电荷偏于电容器Cfe的另一个电极一侧且负电荷偏于电容器Cfe的一个电极一侧。

[0529] 另外,图31B的图表的横轴所示的电压也可以为电容器Cfe的另一个电极的电位与电容器Cfe的一个电极的电位之差。另外,图31B的图表的纵轴所示的极化也可以在正电荷偏于电容器Cfe的另一个电极一侧且负电荷偏于电容器Cfe的一个电极一侧时为正值,并且在正电荷偏于电容器Cfe的一个电极一侧且负电荷偏于电容器Cfe的另一个电极一侧时为负值。

[0530] 如图31B所示,铁电层的滞后特性可以以曲线61及曲线62表示。将曲线61和曲线62的交点的电压作为VSP及-VSP。可以说,VSP和-VSP的极性不同。

[0531] 在对铁电层施加-VSP以下的电压之后提高施加到铁电层的电压时,铁电层的极化根据曲线61增加。另一方面,在对铁电层施加VSP以上的电压之后降低施加到铁电层的电压时,铁电层的极化根据曲线62减少。因此,VSP及-VSP可以说是饱和极化电压。注意,有时例如将VSP称为第一饱和极化电压并将-VSP称为第二饱和极化电压。另外,在图31B中,第一饱和极化电压的绝对值和第二饱和极化电压的绝对值相等,但是也可以不同。

[0532] 在此,将当在铁电层的极化根据曲线61变化的情况下铁电层的极化为“0”时施加到铁电层的电压记作Vc。另外,将当在铁电层的极化根据曲线62变化的情况下铁电层的极化为“0”时施加到铁电层的电压记作-Vc。Vc及-Vc可以说是矫顽电压。可以说Vc值和-Vc值是介于-VSP和VSP之间的值。注意,有时例如将Vc称为第一矫顽电压并将-Vc称为第二矫顽电压。另外,在图31B中第一矫顽电压的绝对值和第二矫顽电压的绝对值相等,但也可以不相等。

[0533] 此外,不对铁电层施加电压时的极化的最大值称为“剩余极化Pr”,最小值称为“剩余极化-Pr”。此外,剩余极化Pr与剩余极化-Pr之差称为“剩余极化2Pr”。

[0534] 如上所述那样,施加到电容器Cfe所包括的铁电层的电压可以以电容器Cfe的一个电极的电位和电容器Cfe的另一个电极的电位之差表示。另外,如上所述那样,电容器Cfe的另一个电极与布线PL电连接。因此,通过控制布线PL的电位,可以控制施加到电容器Cfe所包括的铁电层的电压。

[0535] 说明图31A所示的存储单元1480的驱动方法的一个例子。在以下说明中,施加到电容器Cfe的铁电层的电压表示电容器Cfe的一个电极的电位和电容器Cfe的另一个电极(布线PL)的电位之差(电位差)。晶体管M9是n沟道晶体管。

[0536] 图31C是示出存储单元1480的驱动方法例子的时序图。图31C示出对存储单元1480写入2值的数字数据且从存储单元1480读出2值的数字数据的例子。具体而言,图31C示出如下例子:在时刻T01至时刻T02向存储单元1480写入数据“1”,在时刻T03至时刻T05进行读出及改写,在时刻T11至时刻T13进行读出并向存储单元1480写入数据“0”,在时刻T14至时刻T16进行读出及改写,并且在时刻T17至时刻T19进行读出并向存储单元1480写入数据“1”。

[0537] 与布线BL电连接的读出放大器被供应Vref作为基准电位。在图31C等所示的读出工作中,在布线BL的电位高于Vref时通过位线驱动电路读出数据“1”。另一方面,在布线BL的电位低于Vref时通过位线驱动电路读出数据“0”。

[0538] 在时刻T01至时刻T02,使布线WL的电位成为高电位。由此,晶体管M9成为开启状态。另外,使布线BL的电位成为Vw。因为晶体管M9成为开启状态,所以电容器Cfe的一个电极的电位成为Vw。并且,使布线PL的电位成为GND。因此,施加到电容器Cfe的铁电层的电压成为“Vw-GND”。从而,可以对存储单元1480写入数据“1”。由此,时刻T01至时刻T02可以说是进

行写入工作的期间。

[0539] 在此, V_w 优选为 V_{SP} 以上, 例如优选相等于 V_{SP} 。注意, 在本说明书等中 GND 是接地电位, 但是只要可以以达成本发明的一个方式的目的的方式驱动存储单元 1480, GND 就不一定需要为接地电位。例如, 当第一饱和极化电压的绝对值和第二饱和极化电压的绝对值不同且第一矫顽电压的绝对值和第二矫顽电压的绝对值不同时, GND 可以为接地之外的电位。

[0540] 在时刻 T_{02} 至时刻 T_{03} , 使布线 BL 的电位及布线 PL 的电位成为 GND 。由此, 施加到电容器 C_{fe} 的铁电层的电压成为 $0V$ 。在时刻 T_{01} 至时刻 T_{02} 施加到电容器 C_{fe} 的铁电层的电压“ $V_w - GND$ ”可以为 V_{SP} 以上, 由此在时刻 T_{02} 至时刻 T_{03} , 电容器 C_{fe} 的铁电层的极化量根据图 31B 所示的曲线 62 变化。由此, 在时刻 T_{02} 至时刻 T_{03} , 电容器 C_{fe} 的铁电层中不发生极化反转。

[0541] 使布线 BL 的电位及布线 PL 的电位成为 GND , 然后使布线 WL 的电位成为低电位。因此, 晶体管 M_9 成为关闭状态。由此, 写入工作结束, 数据“1”保持在存储单元 1480 中。注意, 如果电容器 C_{fe} 的铁电层中不发生极化反转, 即施加到电容器 C_{fe} 的铁电层的电压为第二矫顽电压的 $-V_c$ 以上, 布线 BL 及布线 PL 的电位就可以为任意电位。

[0542] 在时刻 T_{03} 至时刻 T_{04} , 使布线 WL 的电位成为高电位。由此, 晶体管 M_9 成为开启状态。另外, 使布线 PL 的电位成为 V_w 。通过使布线 PL 的电位成为 V_w , 施加到电容器 C_{fe} 的铁电层的电压成为“ $GND - V_w$ ”。如上所述那样, 在时刻 T_{01} 至时刻 T_{02} 施加到电容器 C_{fe} 的铁电层的电压为“ $V_w - GND$ ”。因此, 电容器 C_{fe} 的铁电层中发生极化反转。在极化反转中, 电流流过布线 BL , 而布线 BL 的电位高于 V_{ref} 。由此, 位线驱动电路可以读出存储单元 1480 所保持的数据“1”。因此, 时刻 T_{03} 至时刻 T_{04} 可以说是进行读出工作的期间。注意, 虽然设想 V_{ref} 高于 GND 且低于 V_w , 但例如也可以高于 V_w 。

[0543] 因为上述读出是破坏读出, 所以存储单元 1480 所保持的数据“1”消失。于是, 在时刻 T_{04} 至时刻 T_{05} , 使布线 BL 的电位及布线 PL 的电位分别成为 V_w 及 GND 。因此, 可以对存储单元 1480 改写数据“1”。由此, 时刻 T_{04} 至时刻 T_{05} 可以说是进行改写工作的期间。

[0544] 在时刻 T_{05} 至时刻 T_{11} , 使布线 BL 的电位及布线 PL 的电位成为 GND 。然后, 使布线 WL 的电位成为低电位。由此, 改写工作结束, 数据“1”保持在存储单元 1480 中。

[0545] 在时刻 T_{11} 至时刻 T_{12} , 使布线 WL 的电位及布线 PL 的电位分别成为高电位及 V_w 。因为存储单元 1480 保持数据“1”, 所以布线 BL 的电位高于 V_{ref} , 而存储单元 1480 所保持的数据“1”被读出。因此, 时刻 T_{11} 至时刻 T_{12} 可以说是进行读出工作的期间。

[0546] 在时刻 T_{12} 至时刻 T_{13} , 使布线 BL 的电位成为 GND 。因为晶体管 M_9 成为开启状态, 所以电容器 C_{fe} 的一个电极的电位成为 GND 。另外, 使布线 PL 的电位成为 V_w 。从而, 施加到电容器 C_{fe} 的铁电层的电压成为“ $GND - V_w$ ”。因此, 可以对存储单元 1480 写入数据“0”。由此, 时刻 T_{12} 至时刻 T_{13} 可以说是进行写入工作的期间。

[0547] 在时刻 T_{13} 至时刻 T_{14} , 使布线 BL 的电位及布线 PL 的电位成为 GND 。由此, 施加到电容器 C_{fe} 的铁电层的电压成为 $0V$ 。在时刻 T_{12} 至时刻 T_{13} 施加到电容器 C_{fe} 的铁电层的电压“ $GND - V_w$ ”可以为 $-V_{SP}$ 以下, 由此在时刻 T_{13} 至时刻 T_{14} , 电容器 C_{fe} 的铁电层的极化量根据图 31B 所示的曲线 61 变化。由此, 在时刻 T_{13} 至时刻 T_{14} , 电容器 C_{fe} 的铁电层中不发生极化反转。

[0548] 使布线 BL 的电位及布线 PL 的电位成为 GND , 然后使布线 WL 的电位成为低电位。因

此,晶体管M9成为关闭状态。由此,写入工作结束,数据“0”保持在存储单元1480中。注意,如果电容器Cfe的铁电层中不发生极化反转,即施加到电容器Cfe的铁电层的电压成为第一矫顽电压的Vc以下,布线BL及布线PL的电位就可以为任意电位。

[0549] 在时刻T14至时刻T15,使布线WL的电位成为高电位。由此,晶体管M9成为开启状态。另外,使布线PL的电位成为Vw。使布线PL的电位成为Vw,由此施加到电容器Cfe的铁电层的电压成为“GND-Vw”。如上所述那样,在时刻T12至时刻T13施加到电容器Cfe的铁电层的电压为“GND-Vw”。因此,电容器Cfe的铁电层中不发生极化反转。因此,流过布线BL的电流比电容器Cfe的铁电层中发生极化反转的情况更小。由此,布线BL的电位的上升幅度比电容器Cfe的铁电层中发生极化反转的情况更小,具体而言,布线BL的电位成为Vref以下。由此,位线驱动电路可以读出存储单元1480所保持的数据“0”。因此,时刻T14至时刻T15可以说是进行读出工作的期间。

[0550] 在时刻T15至时刻T16,使布线BL的电位及布线PL的电位分别成为GND及Vw。由此,可以对存储单元1480改写数据“0”。因此,时刻T15至时刻T16可以说是进行改写工作的期间。

[0551] 在时刻T16至时刻T17,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,改写工作结束,数据“0”保持在存储单元1480中。

[0552] 在时刻T17至时刻T18,使布线WL的电位及布线PL的电位分别成为高电位及Vw。因为存储单元1480保持数据“0”,所以布线BL的电位低于Vref,而存储单元1480所保持的数据“0”被读出。因此,时刻T17至时刻T18可以说是进行读出工作的期间。

[0553] 在时刻T18至时刻T19,使布线BL的电位成为Vw。因为晶体管M9处于开启状态,所以电容器Cfe的一个电极的电位成为Vw。另外,使布线PL的电位成为GND。由此,施加到电容器Cfe的铁电层的电压成为“Vw-GND”。因此,可以对存储单元1480写入数据“1”。由此,时刻T18至时刻T19可以说是进行写入工作的期间。

[0554] 在时刻T19以后,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,写入工作结束,数据“1”保持在存储单元1480中。

[0555] 将铁电层用于电容器Cfe的半导体装置被用作即使供电停止也能够保持被写入的信息的非易失性存储元件。

[0556] 此外,DRAM需要定期进行刷新工作,由此功耗增高。将铁电层用于电容器Cfe的半导体装置不需要进行刷新工作,由此可以降低功耗。

[0557] 在本说明书等中,有时将包括铁电层的存储元件或存储电路称为“铁电存储器”或“FE存储器”。因此,本发明的一个方式的半导体装置为铁电存储器,也为FE存储器。FE存储器可以被期待实现 1×10^{10} 以上,优选为 1×10^{12} 以上,更优选为 1×10^{15} 以上的改写次数。此外,FE存储器可以被期待实现10MHz以上,优选为1GHz以上的工作频率。

[0558] 此外,在FE存储器中,剩余极化2Pr与数据保持能力相关,如果剩余极化2Pr变小,数据保持能力就下降。在本说明书等中,将直到剩余极化2Pr下降5% (数据保持能力下降5%) 为止的期间称为“存储保持期间”。FE存储器可以被期待在150°C或200°C的温度环境下实现10天以上,优选为1年以上,更优选为10年以上的存储保持期间。

[0559] 此外,FE存储器也可以应用于CPU、GPU (Graphics Processing Unit: 图形处理单元) 等的高速缓冲存储器及寄存器等。通过组合FE存储器与CPU的高速缓冲存储器及寄存器

等,可以实现常关闭CPU(NoffCPU(注册商标))。通过组合FE存储器与GPU的高速缓冲存储器及寄存器等,可以实现常关闭GPU(NoffGPU(注册商标))。

[0560] 本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法或者其他实施方式所示的结构、方法等适当地组合而使用。

[0561] (实施方式4)

在本实施方式中,参照图32A和图32B说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0562] 如图32A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0563] 在芯片1200上设置有凸块(未图示),该凸块如图32B所示那样与封装衬底1201的第一面连接。此外,在封装衬底1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0564] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0565] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0566] 此外,因为同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0567] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0568] 存储控制器1214具有被用作DRAM1221的控制器的电路及被用作闪存1222的接口的电路。

[0569] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0570] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0571] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0572] 可以将包括设置有具有GPU1212的芯片1200的封装衬底1201、DRAM1221以及闪存

1222的母板1203称为GPU模块1204。

[0573] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外, GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外, 通过利用使用GPU1212的积和运算电路, 可以执行深度神经网络(DNN)、卷积神经网络(CNN)、循环神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法, 由此可以将芯片1200用作AI芯片, 或者, 可以将GPU模块1204用作AI系统模块。

[0574] 以上, 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0575] (实施方式5)

在本实施方式中, 说明使用上述实施方式所示的存储装置的半导体装置的应用例子。可以将上述实施方式所示的存储装置应用于存储器卡(例如, SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图33A至图33E示意性地示出可移动存储装置的几个结构例子。例如, 上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种储存装置或可移动存储器。

[0576] 图33A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如, 基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1105等。

[0577] 图33B是SD卡的外观示意图, 图33C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如, 基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114, 可以增大SD卡1110的容量。此外, 也可以将具有无线通信功能的无线芯片设置于基板1113。由此, 通过主机装置与SD卡1110之间的无线通信, 可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1114等。

[0578] 图33D是SSD的外观示意图, 图33E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如, 基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器, 例如, 可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154, 可以增大SSD1150的容量。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1154等。

[0579] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0580] (实施方式6)

在本实施方式中, 说明在沟道形成区域中包含氧化物半导体的晶体管(OS晶体管)。此外, 在OS晶体管的说明中, 简单地说明与在沟道形成区域中包含硅的晶体管(也称为Si晶体管)的对比。

[0581] [OS晶体管]

优选将载流子浓度低的氧化物半导体用于OS晶体管。例如, 氧化物半导体的沟道形成区域的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下, 优选低于 $1 \times 10^{17} \text{cm}^{-3}$, 更优选低于 $1 \times 10^{16} \text{cm}^{-3}$,

进一步优选低于 $1 \times 10^{13} \text{cm}^{-3}$,还进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0582] 因为高纯度本征或实质上高纯度本征的氧化物半导体具有较低的缺陷态密度,所以有时具有较低的陷阱态密度。此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0583] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质可以举出氢、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0584] 在OS晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,在OS晶体管中,氢进入氧化物半导体中的氧空位而形成缺陷(下面有时称为 V_OH),可能会产生成为载流子的电子。另外,当在沟道形成区域中形成 V_OH 时,有时沟道形成区域中的供体浓度增加。随着沟道形成区域中的供体浓度增加,有时阈值电压不均匀。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及 V_OH 。

[0585] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上,更优选为2.5eV以上,更优选为3.0eV以上。通过使用具有比硅大的带隙的氧化物半导体,可以减少晶体管的关态电流(也称为 I_{off})。

[0586] 例如,在Si晶体管中,随着晶体管的微型化发展,出现短沟道效应(Short Channel Effect:也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0587] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0588] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特征长度是指沟道形成区域的势的弯曲性指标。特征长度越小,势越急剧上升,因此可以说抗短沟道效应能力高。

[0589] OS晶体管为积累型晶体管,Si晶体管为反型晶体管。因此,与Si晶体管相比,OS晶体管中的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0590] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i型化的情况下,在短沟道晶体管中由于Conduction-Band-Lowering (CBL, 导带降低) 效应而沟道形成区域的导带底也变低,因此源极区域或漏极区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有 $n^+/n^-/n^+$ 的积累型无结晶体管结构或 $n^+/n^-/n^+$ 的积累型non-junction晶体管结构,其中沟道形成区域为 n^- 型区域,源极区域及漏极区域为 n^+ 型区域。

[0591] 当作为OS晶体管采用上述结构时,即便使半导体装置微型化或高集成化也可以实现良好的电特性。例如,即使OS晶体管的栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,OS晶体管更适合用作沟道长度小的晶体管。栅极长度是晶体管工作时载流子移动沟道形成区域内部的方向上的栅电极的长度。

[0592] 此外,通过使OS晶体管微型化可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0593] 如以上的说明那样,OS晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管。

[0594] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0595] (实施方式7)

在本实施方式中,说明可以使用在上述实施方式中说明的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心(Data Center;也称为DC)。使用本发明的一个方式的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心对低功耗等高性能的实现很有效。

[0596] [电子构件]

图34A示出安装有电子构件700的基板(电路板704)的立体图。图34A所示的电子构件700在模子711内包括半导体装置710。在图34A中,省略电子构件700的一部分记载以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于半导体装置710。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0597] 另外,半导体装置710包括驱动电路层715及存储层716。存储层716具有层叠有多个存储单元阵列的结构。此外,存储层716也可以具有设置有一层包括存储单元阵列的层的结构。层叠有驱动电路层715及存储层716的结构可以采用单片叠层的结构。在单片叠层的结构中,可以不用TSV(Through Silicon Via;硅通孔)等贯通电极技术及Cu-Cu直接接合等接合技术而连接各层间。当以单片的方式层叠驱动电路层715和存储层716时,例如,可以实现在处理器上直接形成存储器的所谓的片上存储器的结构。通过采用片上存储器的结构,可以实现处理器与存储器的接口部分的高速工作。

[0598] 另外,通过采用片上存储器的结构,与使用TSV等贯通电极的技术相比,可以缩小

连接布线等的尺寸,因此可以增加引脚数量。通过增加引脚数量可以进行并联工作,由此可以提高存储器的带宽度(也称为存储器带宽)。

[0599] 另外,优选的是,使用0S晶体管形成存储层716中的多个存储单元阵列,以单片的方式层叠该多个存储单元阵列。当多个存储单元阵列采用单片叠层时,可以提高存储器的带宽度和存储器的访问延迟中的任一方或双方。带宽度是指单位时间的数据传输量,访问延迟是指访问和开始数据的交换之间的时间。当在存储层716中使用Si晶体管时,与0S晶体管相比,实现单片叠层的结构更困难。因此,在单片叠层的结构中,0S晶体管比Si晶体管优异。

[0600] 另外,可以将半导体装置710称为裸片。在本说明书等中,裸片是指在半导体芯片的制造工序中例如在圆盘状的衬底(也称为晶圆)等上形成电路图案,切割成矩形小片而得的芯片。作为可用于裸片的半导体材料,例如可以举出硅(Si)、碳化硅(SiC)或氮化镓(GaN)等。例如,有时将从硅衬底(也称为硅晶圆)得到的裸片称为硅片。

[0601] 接着,图34B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个半导体装置710。

[0602] 电子构件730示出将半导体装置710用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以用于CPU(Central Processing Unit)、GPU(Graphics Processing Unit:图形处理器)或FPGA(Field Programmable Gate Array:现场可编程门阵列)等集成电路。

[0603] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板731例如可以使用硅插板或树脂插板。

[0604] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV作为贯通电极。

[0605] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0606] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0607] 另一方面,当利用硅插板及TSV等使端子间距不同的多个集成电路电连接时,需要该端子间距的宽度等的空间。因此,当想要缩小电子构件730的尺寸时,上述端子间距的宽度成为问题,有时难以设置为实现较宽的存储器带宽需要的较多的布线。于是,如上所述,使用0S晶体管的单片叠层的结构是优选的。另外,也可以采用组合利用TSV层叠的存储单元阵列与以单片的方式层叠的存储单元阵列的复合结构。

[0608] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使半导体装置710与半导体装置735的高度一致。

[0609] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图34B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0610] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。作为安装方法例如可以举出SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)及QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0611] [电子设备]

接着,图35A示出电子设备6500的立体图。图35A所示的电子设备6500是可用作智能手机的便携式信息终端。电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、摄像头6507、光源6508及控制装置6509等。控制装置6509例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6502、控制装置6509等。

[0612] 图35B所示的电子设备6600是可用作笔记本式个人计算机的信息终端。电子设备6600包括外壳6611、键盘6612、指向装置6613、外部连接端口6614、显示部6615、控制装置6616等。控制装置6616例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6615、控制装置6616等。此外,通过将本发明的一个方式的半导体装置用于上述控制装置6509及控制装置6616,可以降低功耗,所以是优选的。

[0613] [大型计算机]

接着,图35C示出大型计算机5600的立体图。在图35C所示的大型计算机5600中,多个机架式计算机5620收纳在机架5610中。此外,也可以将大型计算机5600称为超级计算机。

[0614] 计算机5620例如可以具有图35D所示的立体图的结构。在图35D中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0615] 图35E所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图35E示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0616] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0617] 连接端子5623、连接端子5624、连接端子5625例如可以被作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(通用串行总线)、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0618] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0619] 半导体装置5627包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0620] 半导体装置5628包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件700。

[0621] 大型计算机5600可以用作并行计算机。通过将大型计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0622] [太空设备]

可以将本发明的一个方式的半导体装置适用于处理并储存信息的设备等的太空设备。

[0623] 本发明的一个方式的半导体装置可以包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0624] 在图36中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图36示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0625] 另外,虽然图36中未图示,但是也可以将电池管理系统(也称为BMS)或电池控制电路设置到二次电池6805。当将OS晶体管用于上述电池管理系统或电池控制电路时,功耗低,并且即使在宇宙空间也实现高可靠性,所以是优选的。

[0626] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0627] 在阳光照射到太阳能电池板6802时产生人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0628] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信

号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0629] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,优选将本发明的一个方式的包括OS晶体管的半导体装置用于控制装置6807。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0630] 另外,人造卫星6800可以包括传感器。例如通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0631] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0632] 如以上的说明那样,与Si晶体管相比,OS晶体管具有优异的效果,诸如可以实现较宽的存储器带宽、耐辐射线高。

[0633] [数据中心]

例如,可以将本发明的一个方式的半导体装置适用于数据中心等采用的存储系统。数据中心被要求保证数据不变性等进行数据的长期管理。在进行数据的长期管理时需要使设施大型化,诸如设置用来储存庞大的数据的存储及服务器、确保稳定的电源以保持数据或者确保在数据的保持中需要的冷却设备等。

[0634] 通过将本发明的一个方式的半导体装置用于数据中心采用的存储系统,可以实现数据保持所需的功率的降低、保持数据的半导体装置小型化。因此,可以实现存储系统的小型化、用来保持数据的电源的小型化、冷却设备规模的缩小等。由此,可以实现数据中心的省空间。

[0635] 此外,本发明的一个方式的半导体装置的功耗低,因此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的数据中心。因此,可以提高数据中心的可靠性。

[0636] 图37示出可用于数据中心的存储系统。图37所示的存储系统7000作为主机7001(图示为主计算机)包括多个服务器7001sb。另外,作为存储7003(图示为存储)包括多个存储装置7003md。示出主机7001和存储7003通过存储区域网络7004(图示为SAN:Storage Area Network)及存储控制电路7002(图示为存储控制器)连接的形态。

[0637] 主机7001相当于访问储存在存储7003中的数据的计算机。主机7001彼此也可以通过网络连接。

[0638] 在存储7003中,通过使用快闪存储器缩短数据的访问速度,即缩短数据的存储及输出所需要的时间,但是该时间比可用作存储中的高速缓冲存储器的DRAM所需要的时间长得多。在存储系统中,为了解决存储7003的访问速度较长的问题,一般在存储中设置高速缓冲存储器来缩短数据的存储及输出所需要的时间。

[0639] 在存储控制电路7002及存储7003中使用上述高速缓冲存储器。主机7001和存储

7003交换的数据在储存在存储控制电路7002及存储7003中的该高速缓冲存储器之后输出到主机7001或存储7003。

[0640] 当作为用来储存上述高速缓冲存储器的数据的晶体管使用0S晶体管来保持对应于数据的电位时,可以减少刷新频率来降低功耗。此外,通过层叠存储单元阵列可以实现小型化。

[0641] 注意,通过将本发明的一个方式的半导体装置用于选自电子构件、电子设备、大型计算机、太空设备和数据中心中的任一个或多个,可期待功耗降低的效果。因此,目前被认为随着半导体装置的高性能化或高集成化能量需求增加,通过使用本发明的一个方式的半导体装置,也可以减少以二氧化碳(CO₂)为代表的温室气体的排放量。另外,本发明的一个方式的半导体装置具有低功耗,因此作为全球变暖的措施也有效。

[0642] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[实施例1]

[0643] 在本实施例中,作为呈现铁电性的绝缘体,制造氧化铪锆(HfZrO_x),并说明该绝缘体的结晶性的评价结果以及该绝缘体的电压-极化特性及疲劳特性等的测量结果。另外,在本实施例中,制造具有铁电电容器的存储单元,并说明该存储单元的测量结果。

[0644] <HfZrO_x膜的结晶结构>

在本节中,评价HfZrO_x。具体而言,制造包含HfZrO_x的样品,并利用XRD分析法之一的掠入射X射线衍射法(GIXRD:Grazing Incident X-ray Diffraction)调查结晶状态。

[0645] 说明用于GIXRD测量的样品的制造方法。

[0646] 首先,在硅衬底上通过热氧化处理形成厚度为100nm的氧化硅膜,在该氧化硅膜上利用溅射法沉积厚度为35nm的第一氮化钛膜。在沉积第一氮化钛膜之后进行CMP处理。

[0647] 接着,对第一氮化钛膜进行加工来形成岛状第一氮化钛层,利用ALD法在岛状第一氮化钛层上沉积Hf:Zr=1:1[原子个数比]的HfZrO_x膜。作为前驱物使用四(乙基甲基酰胺)锆(TEMAZr)及四(乙基甲基酰胺)铪(TEMAHf),作为氧化剂使用臭氧(O₃)。另外,将沉积温度设定为250℃。另外,HfZrO_x膜的厚度为10nm。

[0648] 接着,在上述HfZrO_x膜上通过溅射法沉积厚度为30nm的第二氮化钛膜。在沉积第二氮化钛膜之后进行加热处理。作为该加热处理,使用RTA(Rapid Thermal Anneal:快速热退火)装置,在氮气氛下以450℃进行1分钟的处理。

[0649] 接着,对第二氮化钛膜进行加工来形成岛状的第二氮化钛层。

[0650] 通过上述工序,制造用于GIXRD测量的样品。

[0651] 对该样品进行GIXRD测量。在进行GIXRD测量时,使用多功能薄膜材料评价X线衍射装置D8 DISCOVER Hybrid/TXS(Bruker公司制造)。注意,作为使用该装置时的测量条件,X射线输出为50kV,100mA,入射角 θ 为0.5°,扫描范围 2θ 为27°至33°。

[0652] 图38示出GIXRD测量结果。图38示出X射线衍射角度(2θ)与所检出的信号强度的关系。在图38中,纵轴表示强度,横轴表示衍射角度(2θ)。

[0653] 在图38中观察到 $2\theta=30.4^\circ$ 附近的峰。由于该峰来源于呈现铁电性的正交晶,由此可知通过上述方法沉积的HfZrO_x膜呈现铁电性。

[0654] <铁电层中的晶粒的尺寸>

在本节中,对铁电层所包含的晶粒的尺寸进行评价。

[0655] 在本节中,制造两个样品(样品700A及样品700B)。两个样品的铁电层的厚度不同。

[0656] 首先,对样品的制造方法进行说明。

[0657] 首先,在硅衬底上通过热氧化处理形成厚度为100nm的氧化硅膜,在该氧化硅膜上通过溅射法沉积厚度为60nm的氮化硅膜,在该氮化硅膜上通过溅射法沉积厚度为40nm的氧化铝膜。

[0658] 接着,在上述氧化铝膜上通过溅射法沉积厚度为30nm的钨膜,在该钨膜上通过溅射法沉积厚度为10nm的氮化钛膜。在沉积氮化钛膜之后进行CMP处理。

[0659] 接着,将钨膜和氮化钛膜的叠层体加工为岛状,在岛状叠层体上利用ALD法沉积 $\text{Hf:Zr}=1:1$ [原子个数比]的 HfZrO_x 膜。作为前驱物使用三(二甲基氨基)环戊二烯基锆(ZyALD(注册商标))及TEMAHf,作为氧化剂使用 H_2O 。另外,将沉积温度设定为250℃。另外,样品700A的 HfZrO_x 膜的厚度为10nm,样品700B的 HfZrO_x 膜的厚度为20nm。

[0660] 通过上述工序,制造两个样品。

[0661] 对所制造的两个样品的各 HfZrO_x 膜的表面的平均粗糙度进行测量。另外,利用原子力显微镜(AFM:Atomic Force Microscope)测量表面的平均粗糙度。作为AFM,使用由SII NanoTechnology株式会社制造的SPA-500,测量条件是:扫描速度为1.0Hz,测量面积为 $1\mu\text{m} \times 1\mu\text{m}$ 。

[0662] 图39A及图39B示出使用AFM进行表面观察的结果。图39A是通过样品700A的测量得到的AFM数据,图39B是通过样品700B的测量得到的AFM数据。

[0663] 接着,对通过测量得到的AFM数据进行图像分析。具体而言,通过使用以检测晶界的方式进行了机械学习的图像分析软件对AFM数据中的晶界进行识别及分离,对分离了晶界的图像进行沃罗诺伊分析,来生成构筑有晶界的数据。

[0664] 图39C及图39D示出进行图像分析的结果。图39C是通过对图39A所示的AFM数据进行图像分析而得到的数据,图39D是通过对图39B所示的AFM数据进行图像分析而得到的数据。也就是说,图39C是关于样品700A的数据,图39D是关于样品700B的数据。

[0665] 接着,根据图39C及图39D所示的数据评价粒径分布。图39E及图39F示出对粒径分布进行评价的结果。

[0666] 图39E及图39F是示出相对于粒径的面积占有率的图。在图39E及图39F中,纵轴表示面积占有率,横轴表示粒径。图39E是利用图39C所示的数据评价粒径分布的结果,图39F是利用图39D所示的数据评价粒径分布的结果。就是说,图39E示出样品700A的结果,图39F示出样品700B的结果。

[0667] 从图39A至图39F观察到: HfZrO_x 膜的厚度越大粒径的不均匀越大的倾向。粒径的不均匀较大有可能影响到特性的不均匀。因此, HfZrO_x 膜的厚度优选为15nm以下,更优选为12nm以下。

[0668] [样品的制造]

说明用于绝缘体的电压-极化特性及疲劳特性等的测量的样品。首先,制造四个样品(样品800A至样品800D)。样品800A至样品800D包括电容器。另外,关于包括在样品800A至样品800D中的电容器的截面图,可以参照图25B。另外,样品800A至样品800D的电容器的介电质的厚度彼此不同。

[0669] 以下说明四个样品的制造方法。注意,样品800A至样品800D除了介电质的厚度不同以外共同使用相同的结构。

[0670] 导电体110使用利用金属CVD法沉积的氮化钛膜形成。

[0671] 用作电容器的介电质的绝缘体130使用利用ALD法沉积的 $\text{Hf}:\text{Zr}=1:1$ [原子个数比]的 HfZrO_x 膜形成。作为前驱物使用TEMAZr及TEMAHf,作为氧化剂使用臭氧(O_3)。另外,将沉积温度设定为 250°C 。注意,在样品800A中绝缘体130的厚度为6nm,在样品800B中绝缘体130的厚度为8nm,在样品800C中绝缘体130的厚度为10nm,在样品800D中绝缘体130的厚度为12nm。

[0672] 导电体120使用通过溅射法沉积的氮化钛膜形成。

[0673] 在形成导电体120之后,使用RTA装置以 450°C 进行60秒钟的加热处理。

[0674] 由此,制造包括电容器的样品800A至样品800D。在各样品中,并联连接有1024个设计面积为 $0.016\mu\text{m}^2$ 的电容器。因此,电容器的总面积为 $16.384\mu\text{m}^2$ 。另外,电容器的面积也可以换称为电容器的两个电极重叠的面积。

[0675] 另外,制造三个样品(样品801C、样品802C、样品803C)。该三个样品包括电容器。另外,关于包括在样品801C至样品803C中的电容器的截面图,可以参照图25B。样品801C至样品803C除了电容器的面积不同以外与样品800C相同。因此,样品801C至样品803C的电容器的面积以外的结构可以参照上述样品800C的结构。另外,样品801C至样品803C的制造方法可以参照上述样品800C的制造方法。

[0676] 样品801C包括一个设计面积为 $94.97\mu\text{m}^2$ 的电容器。在样品802C中,并联连接有1024个设计面积为 $0.06\mu\text{m}^2$ 的电容器。因此,样品802C中的电容器的总面积为 $61.44\mu\text{m}^2$ 。样品803C包括一个设计面积为 $10\mu\text{m}^2$ 的电容器。

[0677] <P-E特性>

对导电体120与导电体110间施加三角波,以测量绝缘体130的自发极化的变化(P-E特性)。图40A示出输入电压波形。如图40A所示,利用三角波双脉冲法对P-E特性进行评价。注意,三角波双脉冲法是施加两个正三角波脉冲,接着施加两个负三角波脉冲,并测量其响应电荷的方法。在所施加的三角波中,频率为1kHz,电场强度固定为 $2.5\text{MV}/\text{cm}$ 。注意,有时将所施加的三角波中的频率称为测量频率。另外,在施加上述正三角波脉冲之前施加负三角波脉冲(图40A的极化)。在本说明书等中,有时将三角波双脉冲法称为Triangle-PUND (Positive-up-negative-down)方法。

[0678] 如上所述,绝缘体130的厚度根据每个样品而不同。因此,使各样品的三角波脉冲的电压不同以将电场强度固定为 $2.5\text{MV}/\text{cm}$ 。具体而言,样品800A中的电压为1.5V,样品800B中的电压为2.0V,样品800C中的电压为2.5V,样品800D中的电压为3.0V。

[0679] 图40B示出其结果。在图40B中,纵轴表示单位面积的剩余极化量(Polarization),横轴表示电场强度E。注意,以下有时将单位面积的剩余极化量简单地称为极化。

[0680] 在图40B中,以点线表示的P-E曲线是样品800A的结果,以实线表示的P-E曲线是样品800B的结果,以虚线表示的P-E曲线是样品800C的结果,以点划线表示的P-E曲线是样品800D的结果。注意,图40B中的双箭头表示电场强度E为 $0\text{MV}/\text{cm}$ 时的最小极化与最大极化的差异 $2P_r$ 。

[0681] 由图40B可知,所有样品都具有滞后特性。另外,样品800A的 $2P_r$ 小,但是样品800B

至样品800D的 $2Pr$ 大。换言之,在绝缘体130的厚度为8nm以上时, $2Pr$ 大。另外,样品800C中的 $2Pr$ 最大。

[0682] 另外,通过上述方法还测量样品801C及样品802C的P-E特性。在样品801C及样品802C中,将电压设定为2.5V以将电场强度固定为2.5MV/cm。换言之,由于样品800C至样品802C的电压相等,所以在比较样品800C至样品802C时,可以将P-E特性换称为P-V特性。

[0683] 图71示出P-V特性的测量结果。在图71中,纵轴表示单位面积的剩余极化(Polarization),横轴表示电压(Voltage)。图71的实线表示样品801C的P-V曲线,图71的点划线表示样品802C的P-V曲线,图71的虚线表示样品800C的P-V曲线。

[0684] 由图71可知,在所有样品中都得到滞后特性而与电容器的面积无关。由此可知,可以在呈现铁电性的同时实现电容器的微型化。

[0685] <疲劳特性>

对上述样品800A至样品800D的疲劳(Endurance)特性的测量结果进行说明。

[0686] 图41A示出输入电压波形。如图41A所示,在疲劳特性的测量中,以施加一个周期的梯形波为一个循环,直到达到规定循环数为止反复施加该梯形波(Cycling),按规定循环数使用上述三角波双脉冲法测量P-E特性,取得电场强度E为0时的最小极化与最大极化的差异 $2Pr$ 。在所施加的梯形波中,频率为100kHz,电场强度固定为2.5MV/cm。注意,有时将所施加的梯形波的频率称为疲劳频率(Endurance frequency)。另外,为了固定电场强度,在样品800A中将电压设定为1.5V,在样品800B中将电压设定为2.0V,在样品800C中将电压设定为2.5V,在样品800D中将电压设定为3.0V。

[0687] 图41B示出样品800A至样品800D的疲劳特性的测量结果。在图41B中,纵轴表示电场强度E为0MV/cm时的最小极化与最大极化的差异 $2Pr$,横轴表示循环数。在图41B中,以三角形表示的标绘是样品800A的结果,以菱形表示的标绘是样品800B的结果,以四角形表示的标绘是样品800C的结果,以圆圈表示的标绘是样品800D的结果。

[0688] 由图41B可知,直到循环数达到 1×10^{10} 次为止在所有样品中都没有发生绝缘击穿。换言之,即使HfZrO_x膜的厚度小即6nm,也没有发生绝缘击穿。另外,在循环数为 1×10^{10} 次时,样品800D的 $2Pr$ 最大,其次为样品800C和样品800B,样品800A的最小。就是说,绝缘体130的厚度越大, $2Pr$ 越大。

[0689] 由图41B可知,在每个样品中根据循环数观察到唤醒及疲劳。注意,唤醒是指极化的电荷量增加的阶段或 $2Pr$ 的绝对值变大的阶段,而疲劳是指极化的电荷量减少的阶段、 $2Pr$ 的绝对值变小的阶段。另外,在以初期的 $2Pr$ 为基准时,样品800B和样品800C的 1×10^{10} 次循环后的 $2Pr$ 分别为40%左右和60%左右。在考虑上述<铁电层中的晶粒的尺寸>中说明的结果时,HfZrO_x膜的厚度优选为5nm以上且15nm以下,更优选为8nm以上且12nm以下,典型为10nm。

[0690] 另外,通过上述方法还测量样品801C及样品802C的疲劳特性。

[0691] 图72示出疲劳特性的测量结果。在图72中,纵轴表示电场强度E为0MV/cm时的单位面积的极化(Polarization),横轴表示循环数(Cycle)。图72的实线示出样品801C的结果,图72的点划线示出样品802C的结果,图72的虚线示出样品800C的结果。

[0692] 由图72可知,在所有样品中,直到循环数达到 1×10^8 次为止没有发生绝缘击穿,而不管电容器的面积如何。

[0693] 图42A及图42B分别示出样品803C及样品800C的疲劳特性的测量结果。在图42A及图42B中,纵轴表示电场强度E为0MV/cm时的单位面积的极化P,横轴表示循环数。由图42A可知,在样品803C中,直到循环数达到 1×10^8 次为止没有发生绝缘击穿。另外,如图42B所示,在样品800C中,直到循环数达到 1×10^{10} 次为止没有发生绝缘击穿。

[0694] <保持测量>

说明对上述样品800C进行保持测量的结果。

[0695] 图43A示出保持测量的工作序列。图43B示出假设的极化变化的图。图44示出保持测量的结果。

[0696] 在保持测量中,使用由东阳特克尼卡制造的铁电体特性评价系统“FCE10-F”。此外,在本实施例中,为了在多个温度条件下进行保持测量,使用具备具有温度调整功能的载物台的探测器。

[0697] 在保持测量中,使用脉冲生成器对样品供应电位,并测量此时流过的电流。以下说明图43A所示的保持测量的工作序列。保持测量在两个条件下进行。

[0698] 说明第一条件(Case1)。在期间T1,对样品施加正三角波脉冲,使HfZrO_x膜成为正电位一侧的极化状态(极化)。接着,在期间T2,保持0V的电位(保持电位)。接着,在期间T3,通过上述三角波双脉冲法测量P-E特性,取得电场强度E为0MV/cm时的最小极化与最大极化的差异(测量极化)。

[0699] 接着,说明第二条件(Case2)。在期间T1,对样品供应负的三角波脉冲,使HfZrO_x膜为负电位一侧的极化状态。期间T2以后的电压的施加方法与上述第一条件相同。

[0700] 上述第一条件(Case1)不伴随反转极化。另一方面,上述第二条件(Case2)伴随反转极化。如此,在此进行的保持测量有时不伴随反转极化,因此将电场强度E为0时的最小极化与最大极化的差异记为 ΔPr 。

[0701] 图44示出对样品800C进行保持测量的结果。温度条件为85℃。在图44中,纵轴表示 ΔPr ,横轴表示85℃下的保持时间(85℃焙烧时间)。在图44中,以圆圈表示的标绘表示第一条件(不反转极化)的结果,以四角形表示的标绘表示第二条件(反转极化)的结果。如上所述,通过用图表表示对测量数据进行分析而得到的 ΔPr 的值及期间T2的保持期间的长度,可以知道能够在多长期间保持极化。注意,图44中的点线表示10年(10years)。

[0702] 根据图44可知,在伴随反转极化的情况下,在100秒钟内确认不到劣化。另外,24小时后的 ΔPr 虽然减少37%,但是为 $15\mu C/cm^2$ 以上。另一方面,在不伴随反转极化的情况下,几乎不发生极化。

[0703] <绝缘击穿>

制造具有与样品800C同样的结构的样品,测量I-V特性。

[0704] 在本节中制造的样品与样品800C的不同之处在于导电体120是氮化钛与该氮化钛上的钨的叠层体。成为导电体120的下层的氮化钛使用通过溅射法沉积的厚度为10nm的氮化钛膜形成。此外,使用通过溅射法沉积的厚度为20nm的钨膜形成成为导电体120的上层的钨。

[0705] 使用上述样品测量J-V特性。图45示出结果。在图45中,纵轴表示电流密度J[A/ μm^2],横轴表示电压V[V]。

[0706] 由图45可知,通过使电容器具有图24B所示的结构,可以实现高耐压(击穿电压的

上升)。

[0707] 以上是呈现铁电性的绝缘体的评价结果。

[0708] <OS晶体管的漏极耐压测试>

接着,制造沟道形成区域包含氧化物半导体的晶体管(称为OS晶体管),来进行假设高电压驱动的评价。注意,在本实施例中制造的OS晶体管相等于图17A及图17B所示的OS晶体管。因此,关于在本实施例中制造的OS晶体管的结构等可以参照上述实施方式所说明的内容。

[0709] 注意,在本节中,准备沟道长度(L)的设计值及沟道宽度(W)的设计值不同的OS晶体管(样品820A至样品820D)。具体而言,L/W=20nm/20nm的OS晶体管为样品820A,L/W=30nm/30nm的OS晶体管为样品820B,L/W=40nm/40nm的OS晶体管为样品820C,L/W=60nm/60nm的OS晶体管为样品820D。注意,上述L及W的值表示设计值。

[0710] 在样品820A至样品820D中,第一栅极绝缘体的EOT为2.8nm。

[0711] 作为比较例,准备沟道形成区域包含硅的晶体管(称为Si晶体管)。在本节中,制造n沟道型Si晶体管。以下,将n沟道型Si晶体管称为样品820E。注意,在样品820E中,EOT为2.6nm,L/W为60nm/120nm。

[0712] 制造样品820A至样品820E,对每个样品820A至样品820E进行漏极耐压测试。

[0713] 在漏极耐压测试中,将栅极电压(V_g)设定为0V,将源极电压(V_s)及背栅极电压(V_{bg})设定为0V。此外,在从0V起增加漏极电压(V_d)的同时测量漏极电流(I_d)。定义为漏极电流(I_d)超过1nA时晶体管被损坏,将此时的 V_d 设定为漏极耐压。图69A及图69B的虚线表示 $I_d=1$ nA。此外, V_d 的最大电压为+10V。此外,测量时的温度为室温。

[0714] 图69A示出样品820D的漏极耐压测试的结果,图69B示出样品820E的漏极耐压测试的结果。在图69A及图69B中,纵轴表示漏极电流 I_d [A],横轴表示漏极电压 V_d [V]。图69A是样品820D的 I_d - V_d 特性的图表,图69B是样品820E的 I_d - V_d 特性的图表。

[0715] 由图69A的点划线可知,样品820D的漏极耐压为6.8V。由图69B的点划线可知,样品820E的漏极耐压为2.25V。由此可知,OS晶体管的漏极耐压比Si晶体管高。

[0716] 图70示出样品820A至样品820E的漏极耐压测试的结果。在图70中,纵轴表示漏极耐压(漏极击穿电压)[V],横轴表示沟道长度[nm]。在图70中以圆圈表示的标绘是样品820A至样品820D的漏极耐压测试的结果,在图70中以三角表示的标绘是样品820E的漏极耐压测试的结果。另外,在图70中,以虚线表示样品820A至样品820D的漏极耐压的线性近似线。

[0717] 由图70可知,沟道长度为20nm的OS晶体管的漏极耐压比沟道长度为60nm的Si晶体管优异。另外,可知:在假定驱动电压为2.5V时(图70的点划线),OS晶体管在沟道长度小于20nm的情况也具有足够的漏极耐压。

[0718] 由此,OS晶体管能够承受高驱动电压,并且与Si晶体管相比能够实现微型化。再者,OS晶体管的关态电流比Si晶体管的关态电流小,所以OS晶体管适合用作存储装置的选择器元件。

[0719] 接着,制造具有1Tr1C(1晶体管、1电容器)的元件结构的四个样品(样品810A至样品810D)并对其电特性进行测量。注意,在说明样品810A至样品810D之间共同的内容时,有时作为样品810进行说明。

[0720] <样品的结构>

样品810所包括的晶体管具有图17A及图17B所示的结构。也就是说,样品810包括0S晶体管。另外,以60nm的沟道长度以及60nm的沟道宽度为目标进行样品810的晶体管设计。

[0721] 另外,样品810所包括的电容器具有上述样品800C所包括的电容器的结构。也就是说,样品810包括铁电电容器。注意,样品810A至样品810D的电容器的面积不同。样品810A的电容器的面积为 $0.016\mu\text{m}^2$,样品810B的电容器的面积为 $0.06\mu\text{m}^2$,样品810C的电容器的面积为 $0.11\mu\text{m}^2$,样品810D的电容器的面积为 $0.58\mu\text{m}^2$ 。

[0722] 0S晶体管及铁电电容器可以使用Si的BEOL制造。

[0723] <截面STEM>

通过日立高新技术公司制造的“HD-2700”拍摄所制造的样品的截面STEM图像。图46示出包括在样品中的晶体管的沟道长度方向上的截面STEM图像。图46所示的样品除了电容器所包括的导电体120具有两层叠层结构以外与样品810相同。

[0724] 如图46所示,样品810包括晶体管(0SFET)及该晶体管上的电容器(FE电容器)。此外,在图46中,“背栅电极”对应于导电体205,“背栅极绝缘体”对应于第二叠层体,“CAAC-IGZO”对应于氧化物230b,“顶栅电极”对应于导电体260,“S/D电极”对应于导电体242a或导电体242b。此外,“底电极”对应于导电体110,“ $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ ”对应于绝缘体130,“顶电极”对应于导电体120。

[0725] 样品810包括1Tr1C的存储单元电路。图47A示出包括在样品810中的存储单元电路的电路图,图47B示出平面光学显微镜照片。存储单元电路由数据写入用晶体管、1Tr1C的存储单元及数据读出用源极跟随器构成。注意,存储单元电路所包括的所有晶体管都是0S晶体管。另外,存储单元所包括的电容器是铁电电容器。下面,将数据写入用晶体管记作晶体管Tr1,将存储单元所包括的晶体管记作晶体管Tr2,将源极跟随器所包括的两个晶体管记作晶体管Tr3及晶体管Tr4。

[0726] 晶体管Tr1的栅极与布线WE电连接,晶体管Tr1的源极和漏极中的一个与端子IN电连接,晶体管Tr1的源极和漏极中的另一个与位线电连接。晶体管Tr2的栅极与布线WL电连接,晶体管Tr2的源极和漏极中的一个与电容器的一对电极中的一个电连接,晶体管Tr2的源极和漏极中的另一个与位线电连接。电容器的一对电极中的另一个与布线PL电连接。晶体管Tr2的源极和漏极中的一个与电容器的一对电极中的一个电连接的区域被用作节点。

[0727] 晶体管Tr3的栅极与位线电连接,晶体管Tr3的源极和漏极中的一个与电源线VDD电连接,晶体管Tr3的源极和漏极中的另一个与端子OUT电连接。晶体管Tr4的栅极与布线REF电连接,晶体管Tr4的源极和漏极中的一个与端子OUT电连接,晶体管Tr4的源极和漏极中的另一个与电源线VSS电连接。

[0728] 布线WE及布线WL是被用作字线的布线。布线PL具有控制电容器所包括的具有铁电体的层的极化状态的功能,有时被称为极化控制线。

[0729] 为了评价存储单元,通过源极跟随器评价位线的电压 V_{BL} 。具体而言,测量源极跟随器的特性。图48示出其结果。在图48中,纵轴表示端子OUT的电压(VOUT),横轴表示位线的电压 V_{BL} 。

[0730] 由图48可知,通过在评价存储单元之前测量源极跟随器的特性,可以用VOUT观察到位线的电压。

[0731] 接着,参照图49A及图49B说明正极化的写入和读出评价的方法。

[0732] 在期间T1,施加与要写入的极化相反的电位,进行初始写入(写入Pr-)。具体而言,将端子IN的电位设定为V_w,对布线WE及布线WL施加正电位(在图49A中记为“H”)。由此,晶体管Tr1及晶体管Tr2成为开启状态,端子IN的电位被供应到铁电电容器的一对电极中的一个。注意,因为布线PL的电位为GND,所以在铁电电容器的一对电极之间发生极化。

[0733] 注意,在本说明书等中GND是接地电位,但是只要可以以达成本发明的一个方式的目的的方式驱动存储单元,GND就不一定需要为接地电位。注意,V_w可以换称为工作电压。

[0734] 接着,在期间T2,施加要写入的极化的电位,进行写入(写入Pr+)。具体而言,端子IN的电位为GND,布线PL的电位为V_w。由此,发生与在期间T1中发生的极化相反的极化。

[0735] 接着,在期间T3,对布线WE施加负电位(在图49A中记为“L”),使晶体管Tr1处于关闭状态。另外,通过对布线WE施加负电位(在图49A中记为“L”)使布线PL的电位成为V_w,进行读出。在写入正确地进行的的情况下,不发生极化反转,端子OUT的电压变动小。

[0736] 接着,参照图50A及图50B说明负极化的写入和读出评价的方法。

[0737] 在期间T1,施加与要写入的极化相反的电位,进行初始写入(写入Pr+)。具体而言,将端子IN的电压设定为GND,对布线WE及布线WL施加正电位(在图50A中记为“H”)。由此,晶体管Tr1及晶体管Tr2成为开启状态,铁电电容器的一对电极中的一个的电位成为GND。注意,因为布线PL的电位为V_w,所以在铁电电容器的一对电极之间产生电位差而发生极化。

[0738] 接着,在期间T2,施加要写入的极化的电位,进行写入(写入Pr-)。具体而言,端子IN的电位为V_w,布线PL的电位为GND。由此,发生与在期间T1发生的极化相反的极化。

[0739] 接着,在期间T3,在将端子IN的电位设定为GND之后对布线WE施加负电位(在图50A中记为“L”),使晶体管Tr1处于关闭状态。另外,通过将布线PL的电位设定为V_w进行读出。在写入正确地进行的的情况下,发生极化反转,端子OUT的电压变动较大。

[0740] 在本实施例中,将上述正电位设定为+3V,将上述负电位设定为-3V,将上述V_w设定为+2.5V,将上述GND设定为0V。另外,将施加到电源线VDD的电压High设定为2V,将施加到电源线VSS的电压Low设定为-2V,将施加到布线REF的电压V_r设定为-1V。另外,在正极化的写入和读出评价方法(参照图49A)中,期间T1中的对布线WL施加正电位的时间为10ms,期间T2中的使布线PL的电位成为V_w的时间为10ms,期间T3中的使布线PL的电位成为V_w的时间为1μs。

[0741] 另外,在正极化的写入和读出评价以及负极化的写入和读出评价的每一个中,在期间T2和期间T3之间,对布线WL施加正电位使晶体管Tr2成为开启状态,对位线施加0V使节点的电位成为0V(复位)。由此,在期间T3的读出工作中可以进行准确的存储器评价。

[0742] 图51示出读出时的布线PL及端子OUT的电压波形。在图51中,纵方向表示电压,横方向表示时间。图51所示的端子OUT的电压波形是对样品810B进行评价的结果。另外,写入时间为100ns,读出时间为1μs,V_w为2.5V。

[0743] 由图51可知,图50A及图50B所示的负极化的写入评价中的读出时的端子OUT的电压(OUT:Pr-)大于图49A及图49B所示的正极化的写入评价中的读出时的端子OUT的电压(OUT:Pr+)。换言之,可以确认到正极化的写入和负极化的写入正确地进行。在此,负极化的写入评价中的读出时的端子OUT的电压与正极化的写入评价中的读出时的端子OUT的电压之差为ΔV_{BL}。

[0744] 下面有时将 ΔV_{BL} 称为电位窗。另外,在本实施例中,允许最小电位窗为0.1V。

[0745] 接着,对在样品810A至样品810D的每一个中使写入时间在10ns以上且 10^7 ns以下的范围内变化时的 ΔV_{BL} 的推移进行评价。图52及图73示出其结果。

[0746] 在图52中,纵轴表示 ΔV_{BL} ,横轴表示写入时间。在图52中,以点线表示的图表是样品810A的结果,以实线表示的图表是样品810B的结果,以虚线表示的图表是样品810C的结果,以点划线表示的图表是样品810D的结果。另外,在图52中,表示 $\Delta V_{BL}=0.1$ V的虚线表示允许最小电位窗。

[0747] 根据图52,确认到写入时间越短 ΔV_{BL} 越减少的倾向。另外,在写入时间短时(例如,10ns左右),电容器的面积越小, ΔV_{BL} 的变化量越小。

[0748] 另外,在写入时间为10ns的情况下,电容器的面积为 $0.06\mu\text{m}^2$ 的样品810B的 ΔV_{BL} 大于0.1V,大于电容器的面积为 $0.58\mu\text{m}^2$ 的样品810D的 ΔV_{BL} 。由此可知,通过铁电电容器的微型化,可以实现器件的高速工作。

[0749] 在图73中,纵轴表示 ΔV_{BL} ,横轴表示电容器的面积。在图73中,以菱形表示的标绘是写入时间为10ns时的结果,以圆圈表示的标绘是写入时间为20ns时的结果,以三角形表示的标绘是写入时间为50ns时的结果,以四角形表示的标绘是写入时间为100ns时的结果。另外,在图73中,表示 $\Delta V_{BL}=0.1$ V的虚线表示允许最小电位窗。图73示出样品810A及样品810B的结果。

[0750] 由图73可知,样品810A及样品810B的 ΔV_{BL} 的写入时间依赖性都小。样品810B的 ΔV_{BL} 较高,即大约为0.4V。另一方面,样品810A的 ΔV_{BL} 小于0.1V。由此,确认到即使在电容器的面积大于 $0.016\mu\text{m}^2$,尤其是 $0.06\mu\text{m}^2$ 以上的情况下,即使在工作电压为2.5V且写入时间为10ns的情况下也能够正确地进行写入。

[0751] 注意,在实际的存储器中,铁电电容器的微型化受到布线电容的限制。于是,通过采用3D电容器结构,可以增大电容器的面积。再者,可以降低能够使用BEOL制造的OSFET的布线电容。

[0752] 接着,使每个样品的电容器的面积及位线电容彼此不同,评价读出的余量(margin)。具体而言,在工作电压为2.5V、写入时间为100ns、读出时间为1 μ s的条件下利用参照图49A至图50B说明的方法进行评价。

[0753] 在读出的余量(margin)的评价中,使用上述样品810A至样品810D。在各样品中,准备位线电容为2.758fF的存储单元电路、位线电容为8.582fF的存储单元电路以及位线电容为27.372fF的存储单元电路。

[0754] 图53示出其结果。在图53中,纵轴表示 ΔV_{BL} ,横轴表示电容器的面积。在图53中,以四角形表示的标绘是位线电容为2.758fF的存储单元电路的结果,以三角形表示的标绘是位线电容为8.582fF的存储单元电路的结果,并且以圆圈表示的标绘是位线电容为27.372fF的存储单元电路的结果。另外,在图53中,表示 $\Delta V_{BL}=0.1$ V的虚线表示允许最小电位窗。此外,图53中的点线表示电容器的面积 $0.06\mu\text{m}^2$ 。

[0755] 由图53可知,在位线电容为2.758fF的情况下,电容器的面积为 $0.06\mu\text{m}^2$ 以上时的 ΔV_{BL} 大于0.1V。具体而言,电容器的面积为 $0.06\mu\text{m}^2$ 时的 ΔV_{BL} 为0.350V。

[0756] 另外,在位线电容为8.582fF的情况下,当电容器的面积为 $0.06\mu\text{m}^2$ 以上时, ΔV_{BL} 大于0.1V。具体而言,在电容器的面积为 $0.06\mu\text{m}^2$ 时, ΔV_{BL} 为0.148V。

[0757] 另外,在位线电容为27.372fF的情况下,无论电容器的面积如何, ΔV_{BL} 都小于0.1V。因此,在位线电容为27.372fF的情况下,确认不到充分的写入。

[0758] 由上述结果可知,在设计具有铁电电容器的存储单元(FeRAM)时,电容器的面积与位线电容的平衡很重要。

[0759] <疲劳特性>

接着,说明疲劳(Endurance)特性的测量结果。疲劳特性的测量使用上述方法进行。

[0760] 图54A及图54B示出样品810B及样品810D的疲劳特性的测量结果。在图54A及图54B中,纵轴表示 ΔV_{BL} ,横轴表示循环数。

[0761] 由图54A可知,在样品810B中,直到循环数达到 1×10^8 次为止, ΔV_{BL} 的值没有发生很大的变化。另外,在循环数达到 1×10^9 次之前, ΔV_{BL} 大于0.1V,可以确认写入。

[0762] 由图54B可知,在样品810D中,在循环数达到 1×10^8 次之前, ΔV_{BL} 大于0.1V,可以确认到写入。

[0763] <保持测量>

说明对上述样品810B及样品810D进行的数据保持测试(保持测量)的结果。

[0764] 图74示出对样品810B进行保持测量的结果,图55A及图55B示出对样品810D进行保持测量的结果。在图74、图55A及图55B的每一个中,纵轴表示 ΔV_{BL} ,横轴表示时间。图74示出温度条件为室温时的样品810B的结果,图55A示出温度条件为室温时的样品810D的结果,图55B示出温度条件为85°C时的样品810D的结果。

[0765] 由图74可知,在样品810B中,在温度条件为室温的情况下,直到1000分钟前 ΔV_{BL} 为0.1V以上。因此,在将 ΔV_{BL} 的可读出电压设定为0.1V的情况下,可以确认到保持数据1000分钟以上。

[0766] 从图55A及图55B可确认到:在样品810D中,无论温度条件是室温还是85°C,都可以保持数据1000分钟以上。

[0767] 本实施例所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[实施例2]

[0768] 在本实施例中,说明制造与图22及图30所示的结构类似的层叠有多个存储单元阵列的存储装置并进行截面TEM图像的观察、电特性的评价等的结果。

[0769] 在本实施例中,制造包括图56A所示的存储装置的样品。样品具有层叠有包括使用氧化物半导体的晶体管(以下有时称为OSFET)的四层的结构(以下有时将四个包括OSFET的层分别称为1st layer、2nd layer、3rd layer、4th layer)。此外,如图56A所示,1st layer与2nd layer通过设置在其间的布线层电连接。另外,2nd layer至4th layer都包括与OSFET的源极和漏极中的一个电连接的电容器(以下有时称为MIM)。注意,OSFET对应于图22及图30所示的晶体管200,MIM对应于图22及图30所示的电容器100,其详细内容可以参照上述实施方式。注意,本实施例的MIM的形状与图22及图30所示的电容器不同,为平面型。另外,本实施例的样品还包括图56A所示的结构以外的TEG(Test Element Group:测试元件组)。

[0770] 在本实施例的样品中,包括在1st layer至4th layer中的OSFET都通过同样的工

序制造。因此,1st layer至4th layer所包括的OSFET具有同样的结构。

[0771] 首先,说明OSFET的结构。如图15A至图15D所示,OSFET包括配置在衬底(未图示)上的绝缘体216、以嵌入绝缘体216中的方式设置的导电体205(导电体205a及导电体205b)、绝缘体216及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230(氧化物230a及氧化物230b)、氧化物230上的导电体242a及导电体242b、导电体242a上的绝缘体271a、导电体242b上的绝缘体271b、氧化物230上的绝缘体250(绝缘体250a至绝缘体250d)、绝缘体250上的导电体260(导电体260a及导电体260b)。此外,绝缘体271a及绝缘体271b上设置有绝缘体275,绝缘体275上设置有绝缘体280。绝缘体250及导电体260嵌入设置在绝缘体280及绝缘体275中的开口内部。绝缘体280及导电体260上设置有绝缘体282,绝缘体282上设置有绝缘体283。

[0772] 绝缘体216是通过溅射法沉积的氧化硅膜。另外,导电体205是导电体205a和导电体205b的叠层膜,以嵌入在绝缘体216的开口中的方式设置。导电体205a是通过溅射法沉积的氮化钽膜。导电体205b是通过CVD法沉积的氮化钛膜和该氮化钛膜上的钨膜。

[0773] 绝缘体222是厚度为3nm的氮化硅膜和该氮化硅膜上的厚度为17nm的氧化铪膜的叠层膜。氮化硅膜利用PEALD法沉积,氧化铪膜利用热ALD法沉积。

[0774] 绝缘体224是通过溅射法沉积的厚度为20nm的氧化硅膜。

[0775] 作为氧化物230a,使用利用溅射法沉积的厚度为10nm的In-Ga-Zn氧化物。注意,在沉积氧化物230a时使用In:Ga:Zn=1:3:2[原子个数比]的氧化物靶材。

[0776] 作为氧化物230b,使用利用溅射法沉积的厚度为15nm的In-Ga-Zn氧化物。注意,在沉积成为氧化物230b的氧化膜时使用In:Ga:Zn=1:1:1.2[原子个数比]的氧化物靶材。

[0777] 导电体242a及导电体242b是利用溅射法沉积的厚度为20nm的氮化钽膜。

[0778] 绝缘体271a及绝缘体271b是厚度为5nm的氮化硅膜和该氮化硅膜上的厚度为10nm的氧化硅膜的叠层膜。氮化硅膜及氧化硅膜分别通过溅射法沉积。

[0779] 绝缘体275是利用PEALD法沉积的厚度为5nm的氮化硅膜。绝缘体280是利用溅射法沉积的氧化硅膜。

[0780] 与图17A及图17B所示的结构同样,绝缘体250是依次层叠有绝缘体250c、绝缘体250a、绝缘体250d及绝缘体250b的四层结构的叠层膜。绝缘体250c是利用热ALD法沉积的厚度为1nm的氧化铝膜。绝缘体250a是通过PEALD法沉积的厚度为4nm的氧化硅膜。绝缘体250d是利用热ALD法沉积的厚度为1.5nm的氧化铪膜。绝缘体250b是利用PEALD法沉积的厚度为1nm的氮化硅膜。

[0781] 导电体260是导电体260a和导电体260b的叠层膜。导电体260a是利用CVD法沉积的氮化钛膜。导电体260b是利用CVD法沉积的钨膜。

[0782] 绝缘体282是通过溅射法沉积的厚度为40nm的氧化铝膜。另外,绝缘体283是通过溅射法沉积的厚度为20nm的氮化硅膜。

[0783] 接着,说明MIM的结构。本实施例的样品的MIM形成在OSFET的导电体242b上的绝缘体280及绝缘体275的开口内部,并依次形成有下部电极、介电膜、上部电极。在此,OSFET的导电体242b兼用MIM的下部电极。

[0784] MIM的介电膜是依次层叠有厚度为1nm的氧化铝膜、厚度为18nm的氧化铪膜、厚度为1nm的氧化铝膜的三层结构的叠层膜。氧化铝膜及氧化铪膜都利用热ALD法沉积。

[0785] MIM的上部电极是氮化钛膜和氮化钛膜上的钨膜的叠层膜。氮化钛膜及钨膜利用CVD法沉积。

[0786] 另外,如图56B所示,本实施例的样品中形成有用作使上层的晶体管200与下层的晶体管200电连接的插头的导电体240。导电体240形成在设置于绝缘体280等的开口中,并以与在该开口中露出的导电体242a的侧面及顶面接触的方式形成。但是,在图56B中,与图22及图30不同,导电体240的上部与形成在和上层的晶体管200的导电体205相同的层中的导电体207H接触,导电体240的下部与形成在和下层的晶体管200的导电体205相同的层中的导电体207L接触。注意,以与导电体240的侧面接触的方式设置有绝缘体241。

[0787] 导电体240是导电体240a和导电体240b的叠层膜。导电体240a是通过CVD法沉积的氮化钛膜。导电体240b是通过CVD法沉积的钨膜。绝缘体241是厚度为3nm的氧化铝膜和设置在该氧化铝膜的内侧的厚度为5nm的氮化硅膜的叠层膜。通过热ALD法沉积氧化铝膜,通过PEALD法沉积氮化硅膜。

[0788] 包括上述OSFET的样品的制造工序中的工艺温度为450°C以下。在此,1st layer在制造后被施加相当于三层的制造工序的热履历,2nd layer在制造后被施加相当于两层的制造工序的热履历。

[0789] 于是,在制造本实施例的样品之前,制造具有与上述OSFET同样的结构的晶体管,在制造后进行热处理,进行电特性的评价。作为该热处理及电特性的评价依次进行第一次电特性的测量、第一次热处理、第二次电特性的测量、第二次热处理、第三次电特性的测量、第三次热处理、第四次电特性的测量。各热处理在氮气氛下以450°C进行1小时(1hr)。因此,在第二次热处理之后,热处理时间为2小时(2hr),在第三次热处理之后,热处理时间为3小时(3hr)。图58及图59示出该电特性的评价结果。图58是Id-Vg特性的测量结果,图59是从图58所示的Id-Vg特性算出的阈值电压(Vth)的图表。注意,由于第一次电特性的测量在进行热处理之前进行,所以有时将第一次测量中测量的电特性称为加热前的电特性或者加热处理时间为0小时(0hr)的电特性。

[0790] 如图58及图59所示,无论热履历如何,晶体管都呈现稳定的特性。因此,可以认为包括在1st layer至4th layer中的OSFET也呈现稳定的特性,而与热履历无关。

[0791] 上述样品的OSFET是沟道长度设计值为60nm且沟道宽度设计值为60nm的晶体管。对1st layer至4th layer的每一个的9个OSFET进行评价。

[0792] 首先,对包括样品的1st layer至4th layer的截面进行截面STEM图像的拍摄。截面STEM图像的拍摄利用由日立高新技术公司制造的“HD-2700”进行,加速电压为200kV。

[0793] 图57示出样品的截面STEM图像。如图57所示,在本实施例的样品中,在1st layer至4th layer中确认到OSFET的沟道长度方向上的截面。另外,如图57所示,在本实施例的样品中,在2nd layer至4th layer中确认到MIM的截面。如此,可以制造以单片的方式层叠OSFET及MIM的样品。

[0794] 接着,对1st layer至4th layer的各OSFET的电特性进行评价。在电特性评价中,使用是德科技制造的半导体参数分析仪测量各元件的Id-Vg特性(漏极电流-栅极电压特性)。在Id-Vg特性的测定中,漏极电位Vd设为1.2V,源极电位Vs设为0V,底栅极电位Vbg设为0V,顶栅极电位Vg从-4.0V到4.0V以每次增加0.1V的方式进行扫描。

[0795] 图60示出1st layer至4th layer的Id-Vg特性的测量结果。在图60中,横轴表示顶

栅极电位 V_g [V], 纵轴表示漏极电流 I_d [A]。横轴在-1V以上且4V以下的范围内示出。

[0796] 另外, 图61A示出从图60所示的 I_d - V_g 特性算出的阈值电压 V_{th} 。如图60及图61A所示, 在1st layer至4th layer中, 阈值电压 V_{th} 为正值, 呈现常关闭特性。另外, 确认到在顶栅极电位 V_g 为负的范围漏极电流 I_d 为 10^{-12} A以下, 关态电流充分得到降低。另外, 在1st layer至4th layer中, 没有电特性及阈值电压 V_{th} 没有明确的叠层顺序的依赖性。

[0797] 另外, 图61B示出对1st layer至4th layer的每一个的OSFET的SD电极(图22所示的导电体242a或导电体242b)的薄层电阻进行测量的结果。在OSFET的SD电极的薄层电阻的测量中, 形成用来测量OSFET的导电体242a或导电体242b的TEG, 使用该TEG进行测量。另外, 图61C示出对1st layer至4th layer的每一个的用作OSFET的插头的电极(图20B所示的导电体240a)的接触电阻进行测量的结果。在用作OSFET的插头的电极的接触电阻的测量中, 形成对应于图20B所示的导电体242a、导电体240a及导电体112的TEG, 使用该TEG进行测量。

[0798] 如图61B及图61C所示, OSFET的SD电极的薄层电阻及用作OSFET的插头的电极的接触电阻也没有明确的叠层顺序依赖性。

[0799] 如上所述, 与图58及图59所示的结果同样, 在1st layer至4th layer的每一个中, OSFET呈现稳定的特性, 而与热履历无关。

[0800] 另外, 图62示出调查了3rd layer的OSFET的 I_d - V_g 特性的温度依赖性的结果。如图62所示, 在测量温度为-40°C、27°C、85°C的条件下进行 I_d - V_g 特性的测量。图62中的虚线表示测定下限(detection limit)。在上述任何温度条件下, 都确认到关态电流为测定下限(10^{-13} A)以下。

[0801] 另外, 在1st layer至4th layer的每一个中, 测量图56B所示的结构的导电体207L与导电体242a之间、导电体207L与导电体207H之间及导电体242a与导电体207H之间的接触电阻。图63A至图63C示出接触电阻的测量结果。在此, 图63A是导电体207L与导电体242a间的接触电阻, 图63B是导电体207L与导电体207H之间的接触电阻, 图63C是导电体242a与导电体207H之间的接触电阻。如图63A至图63C所示, 在1st layer至4th layer的每一个中, 在导电体207L与导电体242a之间、导电体207L与导电体207H之间及导电体242a与导电体207H之间导通。

[0802] 另外, 在1st layer至4th layer的每一个中, 使用图64A所示的电路的TEG对OSFET的泄漏电流进行评价。

[0803] 如图64A所示, 晶体管W的源极与节点FN电连接, 晶体管M的漏极与节点FN电连接, 读出电路与节点FN电连接。读出电路具有两个晶体管串联连接的结构, 其中一个晶体管的栅极与节点FN电连接, 连接有两个晶体管的源极或漏极的节点与输出端子OUT电连接。

[0804] 晶体管W为写入用晶体管, 晶体管M为泄漏电流的评价对象的晶体管。虽然图64A中晶体管M是一个晶体管, 但是晶体管M是将20000个包括在样品中的OSFET(设计值的沟道长度为60nm且设计值的沟道宽度为60nm的晶体管)并联连接而成的晶体管。也就是说, 晶体管M相当于沟道长度为60nm且沟道宽度为1.2mm的晶体管。

[0805] 接着, 说明导出泄漏电流的方法。以使晶体管W成为开启状态的方式对晶体管W的漏极施加电位1.2V, 储存电荷来使节点FN的电位成为1.2V。然后, 对晶体管W的栅极供应-3V的电位, 使晶体管W处于关闭状态。为了使晶体管M成为关闭状态, 将晶体管M的源极的电位设定为0V, 将晶体管M的背栅极的电位设定为-3V。晶体管M的顶栅极的电位为-2V。保持上述

状态一定时间,在读出电路读出节点FN的电位的时间变化,从所读出的值导出泄漏电流值。

[0806] 图64B示出85°C、100°C、125°C及150°C的各温度环境下测量的泄漏电流 I_{off} 的测量结果。图64B的横轴表示温度的倒数的1000倍的值 $[1/K]$,纵轴以对数表示晶体管M的单位沟道宽度的泄漏电流 $I_{off}[A/\mu m]$ 。

[0807] 由图64B可知,在1st layer至4th layer的每一个中,0SFET的泄漏电流没有很大的差异且充分小。

[0808] 另外,在3rd layer中,使用图65A所示的电路的TEG对0SFET的保持特性进行评价。

[0809] 图65A所示的TEG是上述实施方式所示的NOSRAM的TEG。如图65A所示,晶体管W的源极和漏极中的一个与节点SN电连接,晶体管R的顶栅极与节点SN电连接,电容器C的一对电极中的一个与节点SN电连接。布线WWL与晶体管W的顶栅极电连接,布线WBL与晶体管W的源极和漏极中的另一个电连接。另外,布线RBL与晶体管R的源极和漏极中的一个电连接,布线SL与晶体管R的源极和漏极中的另一个电连接。另外,布线CWL与电容器C的一对电极中的另一方电连接。

[0810] 在本实施例中,对上述NOSRAM-TEG中的High数据储存时及Low数据储存时的 I_d-V_{CWL} 特性进行测量。在此,当进行High数据的写入时,对布线WBL供应1.2V,在电容器C中储存电荷。另外,当写入Low数据时,对布线WBL施加0V,在电容器C中储存电荷。在写入High或Low的数据的NOSRAM-TEG中,将布线CWL的电位 V_{CWL} 从-2.5V扫描到+2.5V,测量晶体管R的电流 I_d 。此时,将布线WWL的电位设定为-1.5V,将布线WBL的电位设定为0V,将布线RBL的电位设定为1.2V,将布线SL的电位设定为0V。

[0811] 图65B示出 I_d-V_{CWL} 特性的测量结果。在图65B中,横轴表示布线CWL的电位 $V_{CWL}[V]$,纵轴表示晶体管R的电流 $I_d[A]$ 。横轴示出-1V以上且3V以下的范围。如图65B所示,High数据时的 I_d-V_{CWL} 曲线与Low数据时的 I_d-V_{CWL} 曲线充分地漂移,由此可确认到本实施例的TEG作为NOSRAM的存储单元正常工作。

[0812] 在此, I_d-V_{CWL} 曲线上的与 $I_d=10^{-12}A$ 的交点的电位 V_{CWL} 为电位 V_{sh} 。图65C示出将High或Low的数据的写入时间设定为5ns、10ns、20ns、50ns、100ns来测量 I_d-V_{CWL} 特性来算出电位 V_{sh} 的结果。在此,数据的写入时间是指在写入数据时对布线WWL施加高电位而使晶体管W处于开启状态的时间。

[0813] 如图65C所示,即使写入时间为5ns,High数据与Low数据的电位 V_{sh} 也呈现充分的差异。也就是说,即使在5ns左右的短时间也可以对本实施例的存储单元写入数据。

[0814] 另外,对上述NOSRAM-TEG进行数据保持评价测试。在数据保持评价测试中,对节点SN以电位 V_{SN} 成为2V左右的方式写入数据。然后,将布线WBL的电位设定为0V,将布线WWL的电位设定为-1.5V,将布线RBL设定为1.2V,将布线SL的电位设定为0V,将布线CWL的电位设定为1.3V,保持节点SN的电位。在直到经过预定的时间为止保持各布线的电位的状态下,定期地测量晶体管R的电流 I_d 。在测试之前取得晶体管R的 I_d-V_g 特性,从所测量的电流 I_d 及晶体管R的 I_d-V_g 曲线算出电位 V_{SN} 。

[0815] 图66A示出数据保持评价测试的结果。在图66A中,横轴表示保持时间[秒],纵轴表示电位 $V_{SN}[V]$ 。如图66A所示,在测量时间为10小时的情况下,节点SN的电压下降大约为0.1V。由此可知,本实施例的存储单元具有充分的数据保持性能。

[0816] 另外,对上述NOSRAM-TEG进行数据改写评价测试。在数据改写评价测试中,在进行

规定次数的数据写入之后,与图65B及图65C同样地测量 I_d-V_{CWL} 曲线而算出电位 V_{sh} 。并且,在增加数据的写入次数的同时反复进行这些处理。

[0817] 图66B示出数据改写评价测试的结果。在图66B中,横轴表示数据的写入次数[次],纵轴表示电位 V_{sh} [V]。如图66B所示,即使进行 10^{12} 次的改写,High数据与Low数据的电位 V_{sh} 也呈现充分的差异。换言之,可知即使进行 10^{12} 次的改写,本实施例的存储单元也可以正常地写入数据。

[0818] 另外,在上述样品中,0SFET的SD电极用氮化钽膜形成。为了实现0SFET的微型化,如图17A所示,通过层叠钨膜等导电性更高的导电膜而将其用于SD电极,可以降低SD电极与用作插头的电极的接触电阻。

[0819] 准备作为SD电极使用厚度为20nm的氮化钽膜(TaN_x)的样品、作为SD电极使用厚度为5nm的氮化钽膜和形成在其上的厚度为15nm的钨膜的叠层膜(TaN_x/W)的样品,对它们的接触电阻及薄层电阻进行测量。另外,在上述样品中,设置接触直径互不相同的插头来测量接触电阻。

[0820] 图67A示出接触电阻的测量结果。由图67A可知,通过作为SD电极使用氮化钽和钨的叠层膜,即使接触直径变小也可以抑制接触电阻的增加。

[0821] 图67B示出薄层电阻的测量结果。由图67B可知,通过作为SD电极使用氮化钽与钨的叠层膜,可以降低薄层电阻。

[0822] 另外,在上述样品中,作为MIM使用平面型电容器。在制造上述实施方式所示的D0SRAM时,需要形成更大电容的电容器。作为使用大电容的电容器的存储单元,制造图68所示的包括沟槽型MIM的存储单元。如图68所示,该存储单元具有两层结构,各层的存储单元包括0SFET及MIM。

[0823] MIM的下部电极是通过CVD法沉积的氮化钛膜。MIM的上部电极是通过CVD法沉积的氮化钛膜和氮化钛膜上的钨膜的叠层膜。MIM的介电膜是依次层叠有厚度为4nm的氧化锆膜、厚度为0.5nm的氧化铝膜、厚度为4nm的氧化锆膜的三层结构的叠层膜。氧化锆膜及氧化铝膜都利用热ALD法沉积。如此,通过作为介电质使用高相对介电常数材料的ZAZ,实现MIM的大电容化。

[0824] 本实施例可以与实施方式及其他实施例适当地组合。

[符号说明]

[0825] 100A:电容器、100:电容器、110a:导电体、110b:导电体、110c:导电体、110:导电体、112:导电体、115:导电体、120a:导电体、120b:导电体、120:导电体、125:导电体、130:绝缘体、132:绝缘体、140:导电体、142:绝缘体、145:绝缘体、150:绝缘体、151:绝缘体、152a:绝缘体、152b:绝缘体、152:绝缘体、153:导电体、154:绝缘体、155a:绝缘体、155b:绝缘体、155:绝缘体、156:绝缘体、160a:导电体、160b:导电体、160:导电体、168:开口、200A:晶体管、200B:晶体管、200C:晶体管、200D:晶体管、200E:晶体管、200:晶体管、205a:导电体、205b:导电体、205:导电体、207H:导电体、207L:导电体、209:导电体、210:绝缘体、215a:绝缘体、215b:绝缘体、215:绝缘体、216:绝缘体、217:绝缘体、218:导电体、222a:绝缘体、222b:绝缘体、222c:绝缘体、222d:绝缘体、222:绝缘体、224a:绝缘体、224c:绝缘体、224d:绝缘体、224:绝缘体、230a:氧化物、230b:氧化物、230bi:区域、230bna:区域、230bnb:区域、230i:区域、230na:区域、230nb:区域、230:氧化物、240a:导电体、240b:导电体、240:导电

体、241a:绝缘体、241b:绝缘体、241:绝缘体、242a:导电体、242b:导电体、246:导电体、250a:绝缘体、250b:绝缘体、250c:绝缘体、250d:绝缘体、250:绝缘体、255:绝缘体、260a:导电体、260b:导电体、260:导电体、261:导电体、265:密封部、271a:绝缘体、271b:绝缘体、274:绝缘体、275:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、284:绝缘体、285:绝缘体、286:绝缘体、287:绝缘体、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、400:开口区域、500:半导体装置、700:电子构件、702:印刷电路板、704:电路板、710:半导体装置、711:模子、712:连接盘、713:电极焊盘、714:引线、715:驱动电路层、716:存储层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1001:布线、1002:布线、1003:布线、1004:布线、1005:布线、1006:布线、1007:布线、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:基板、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:基板、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:基板、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:封装衬底、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470[1]:存储单元阵列、1470[2]:存储单元阵列、1470[m]:存储单元阵列、1470:存储单元阵列、1471:存储单元、1472:存储单元、1473:存储单元、1474:存储单元、1475:存储单元、1476:存储单元、1477:存储单元、1478:存储单元、1479:存储单元、1480:存储单元、5600:大型计算机、5610:机架、5620:计算机、5621:PC卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、6500:电子设备、6501:外壳、6502:显示部、6503:电源按钮、6504:按钮、6505:扬声器、6506:麦克风、6507:摄像头、6508:光源、6509:控制装置、6600:电子设备、6611:外壳、6612:键盘、6613:指向装置、6614:外部连接端口、6615:显示部、6616:控制装置、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置、7000:存储系统、7001sb:服务器、7001:主机、7002:存储控制电路、7003md:存储装置、7003:存储、7004:存储区域网络

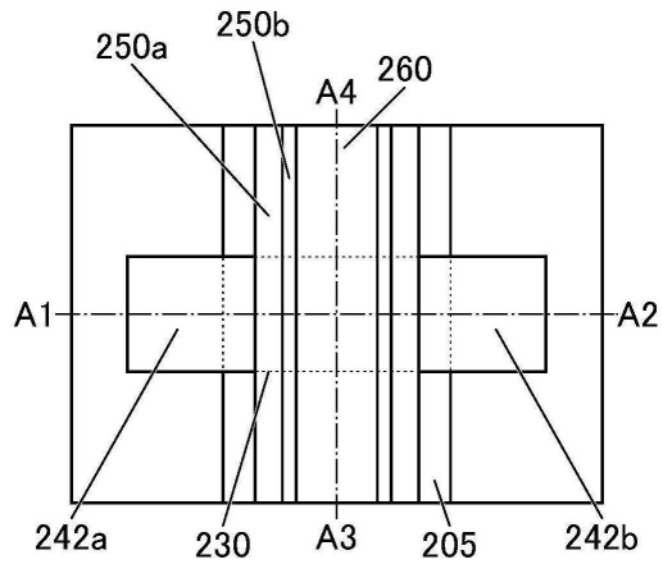


图1A

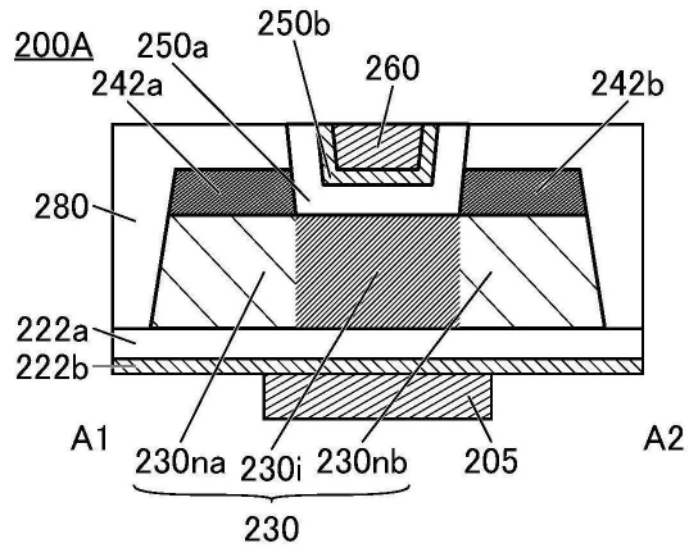


图1B

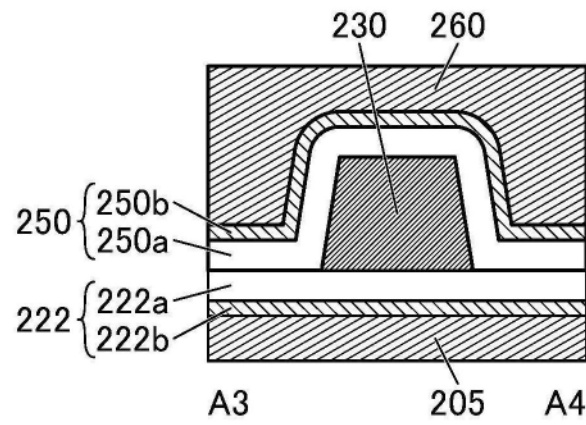


图1C

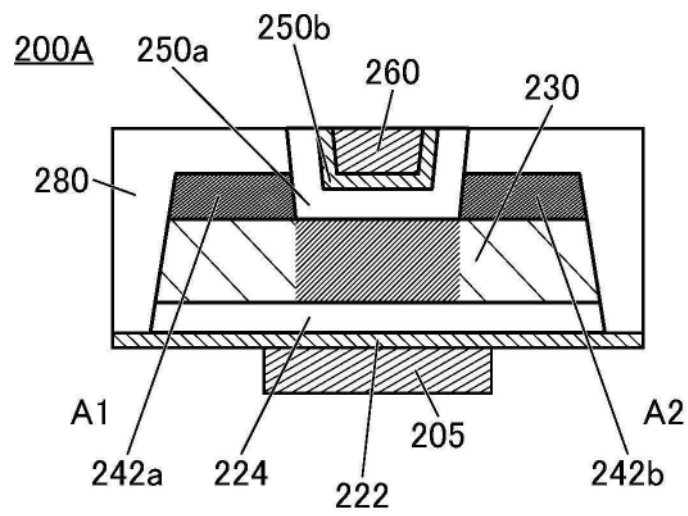


图2A

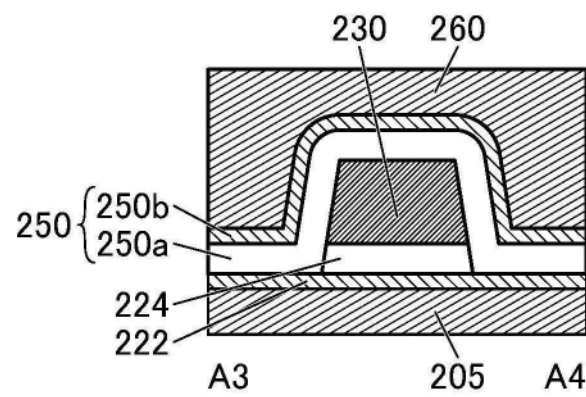


图2B

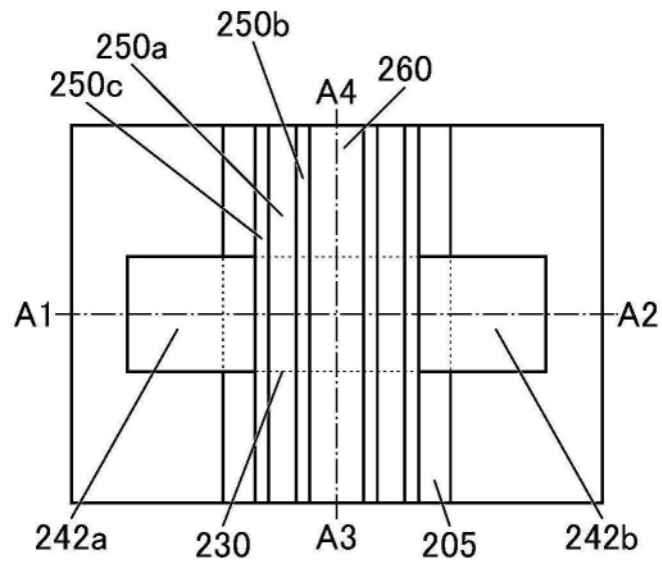


图3A

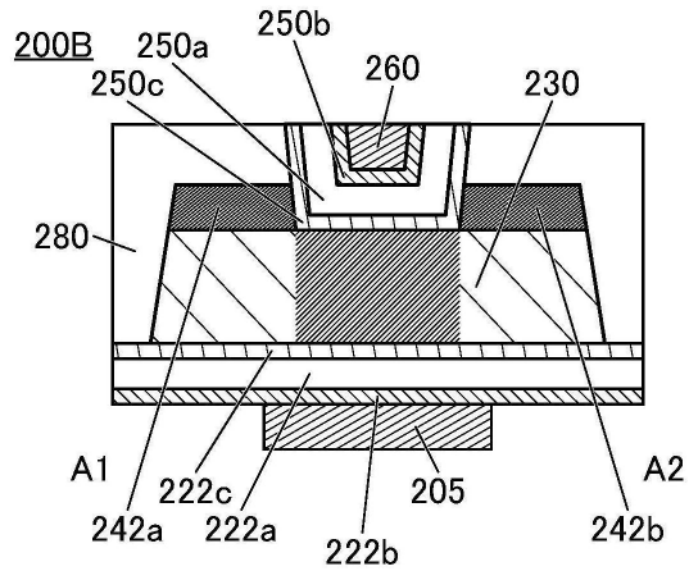


图3B

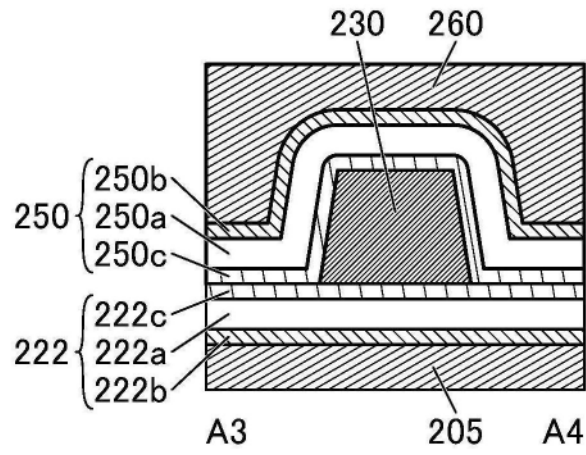


图3C

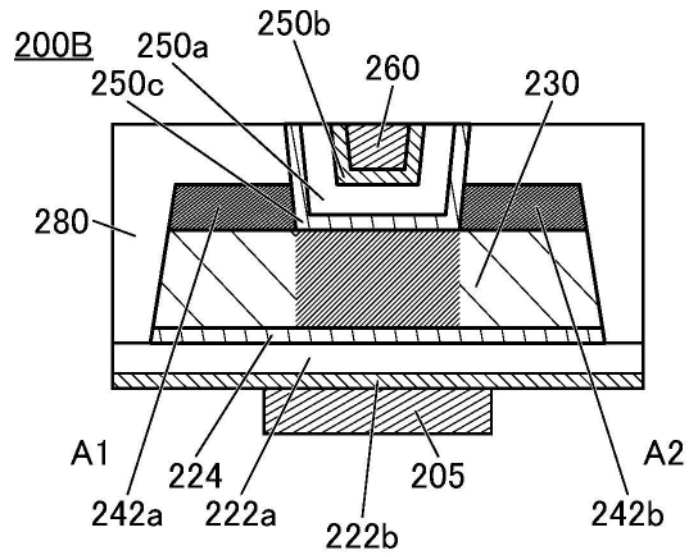


图4A

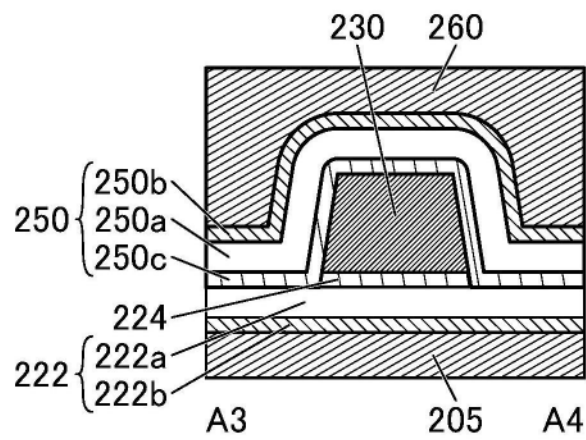


图4B

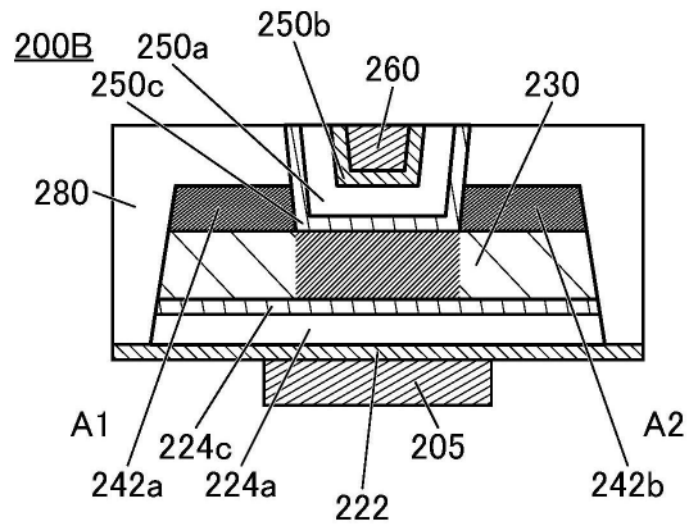


图4C

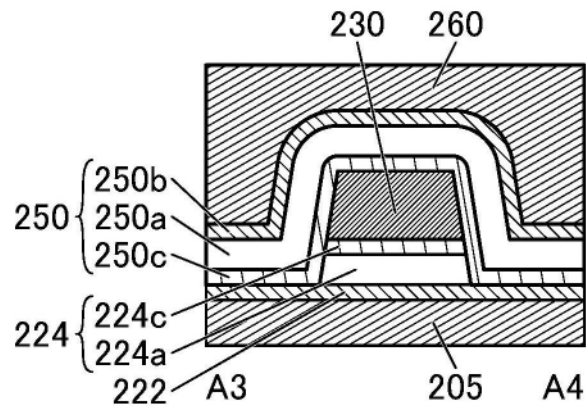


图4D

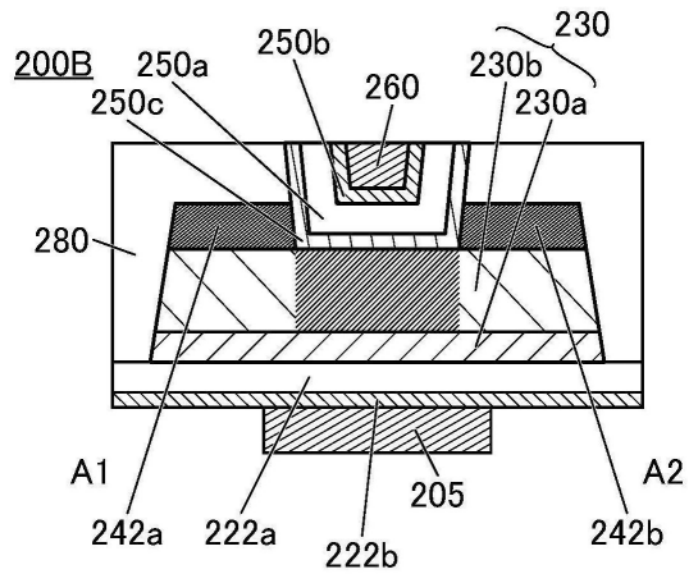


图5A

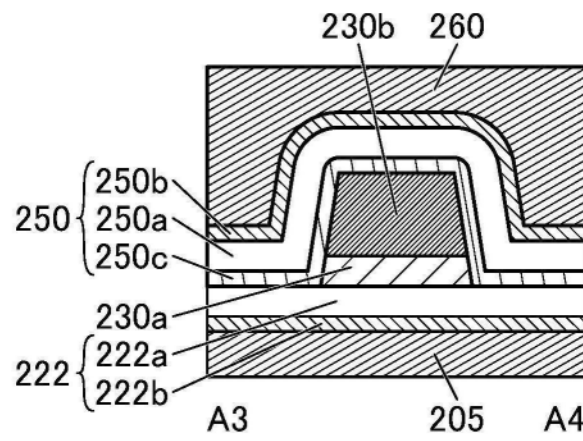


图5B

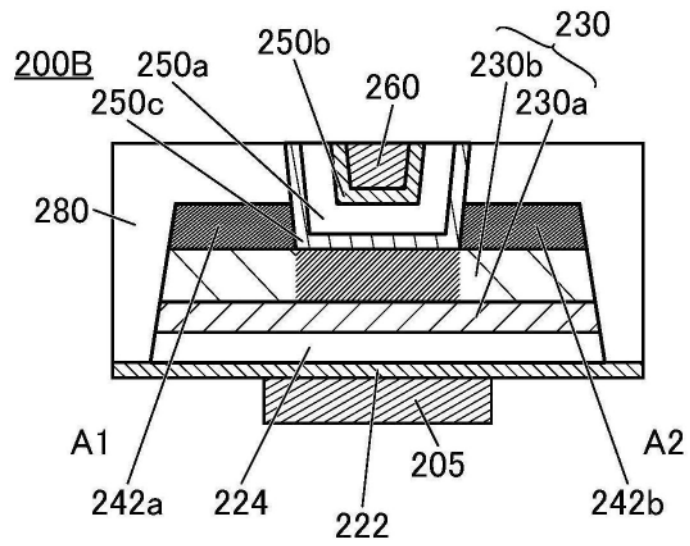


图5C

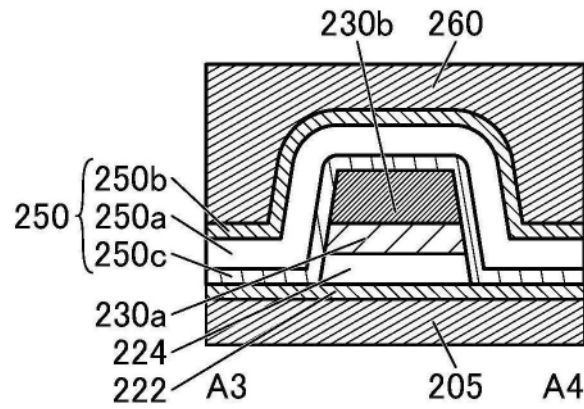


图5D

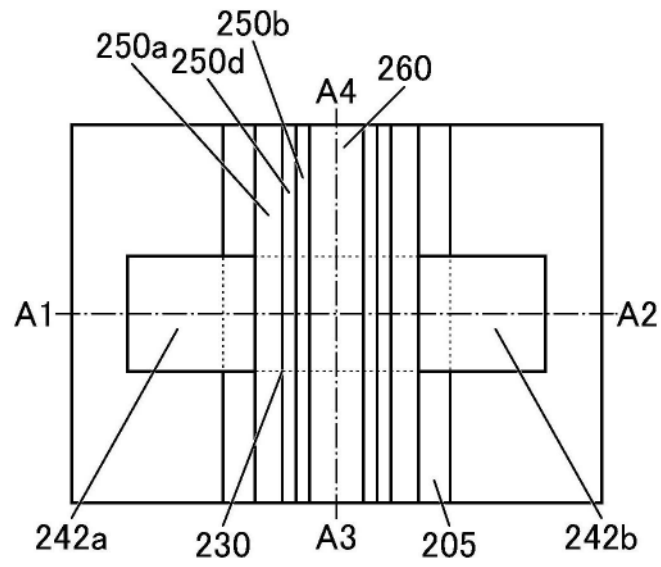


图6A

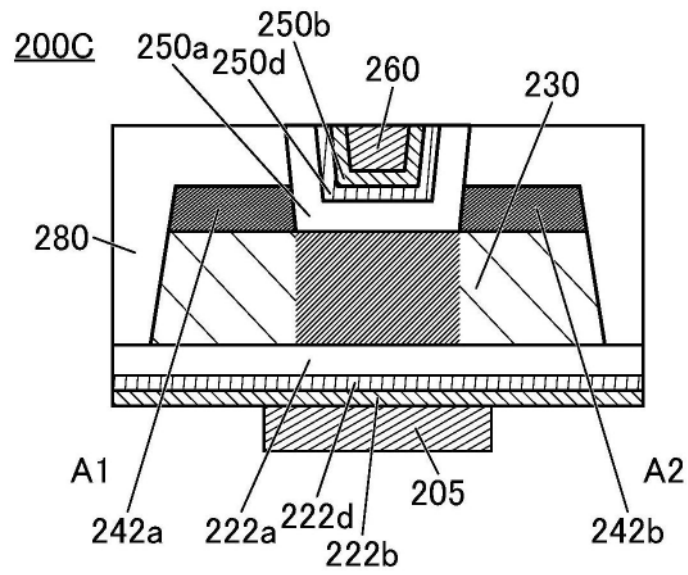


图6B

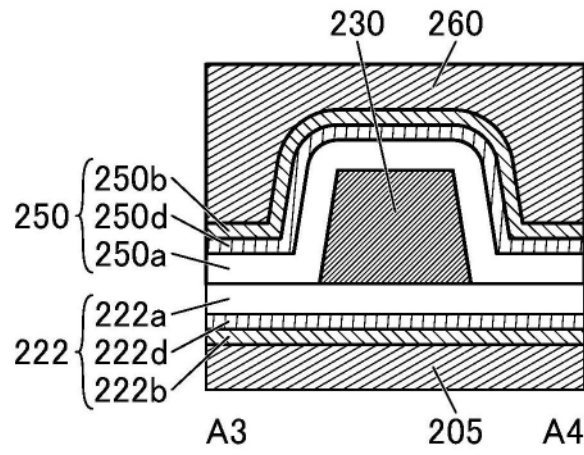


图6C

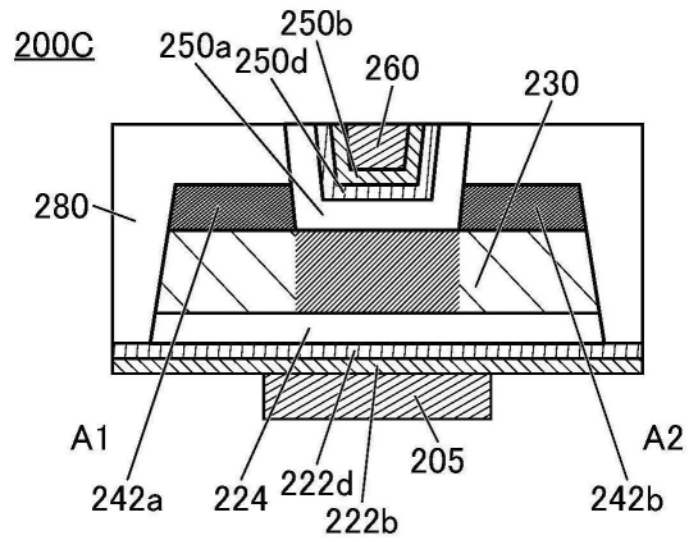


图7A

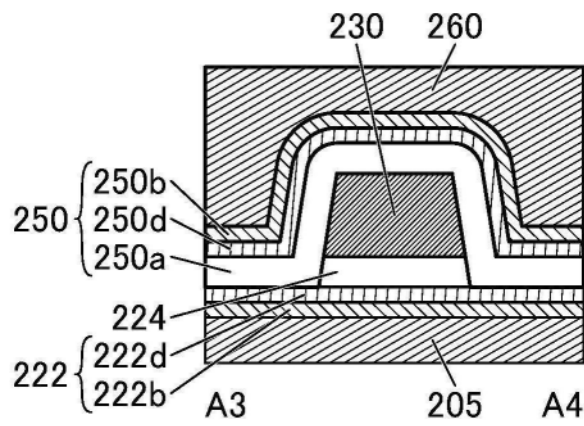


图7B

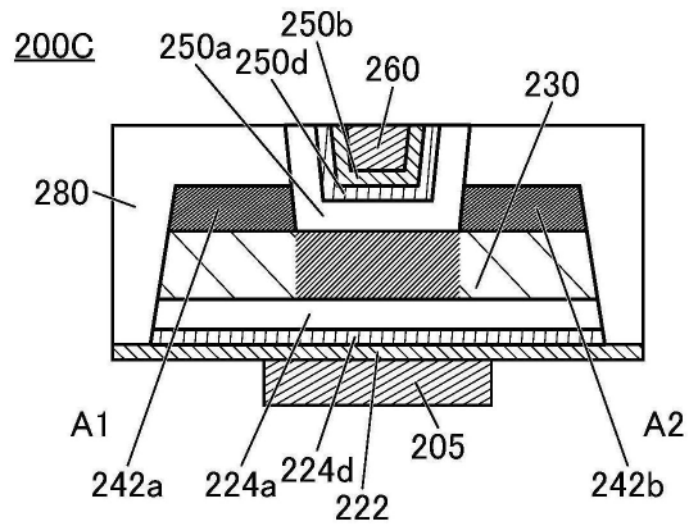


图7C

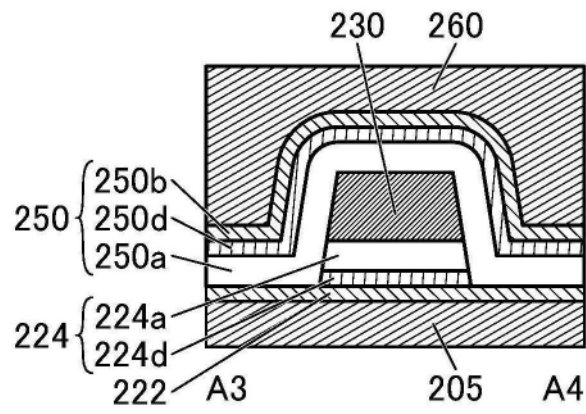


图7D

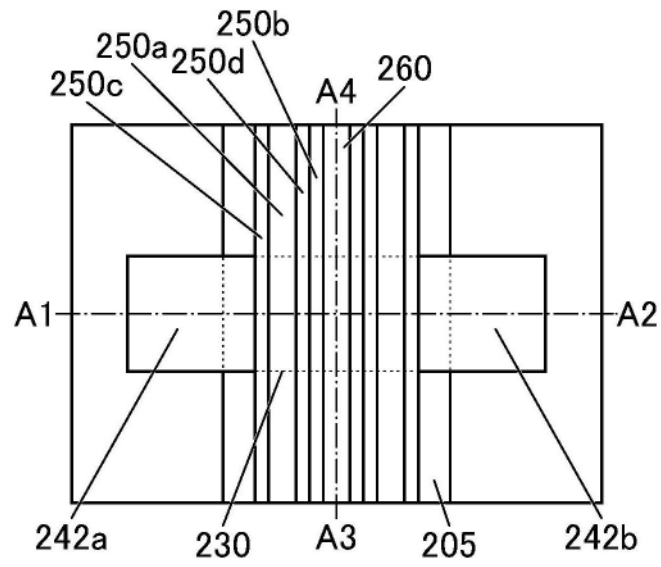


图8A

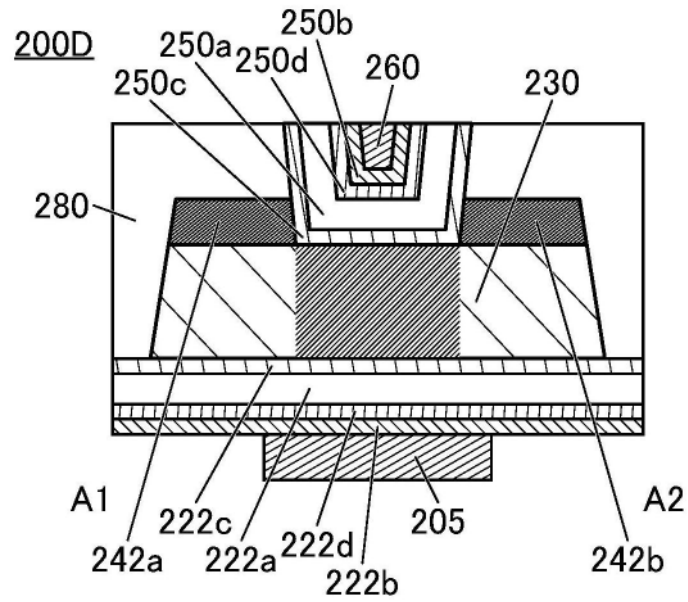


图8B

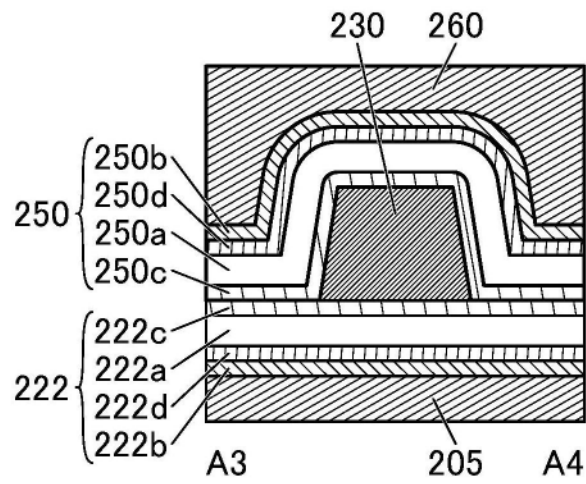


图8C

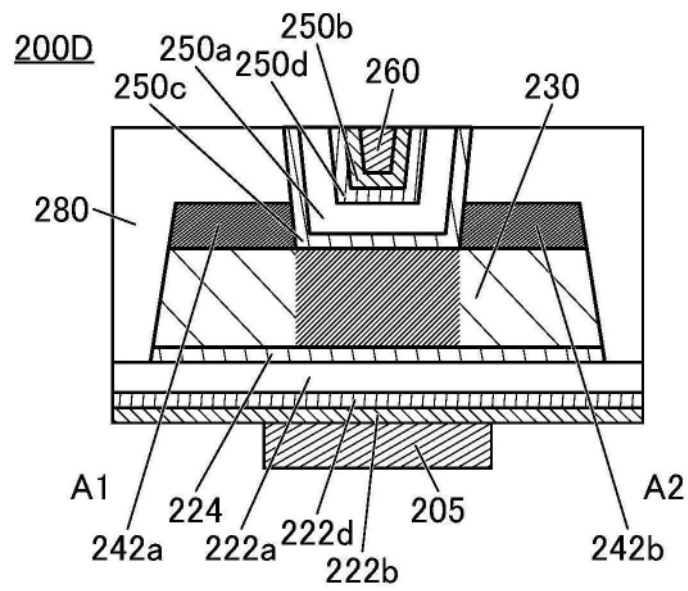


图9A

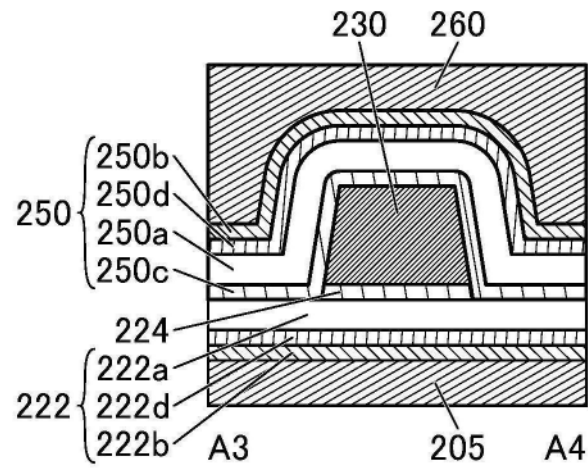


图9B

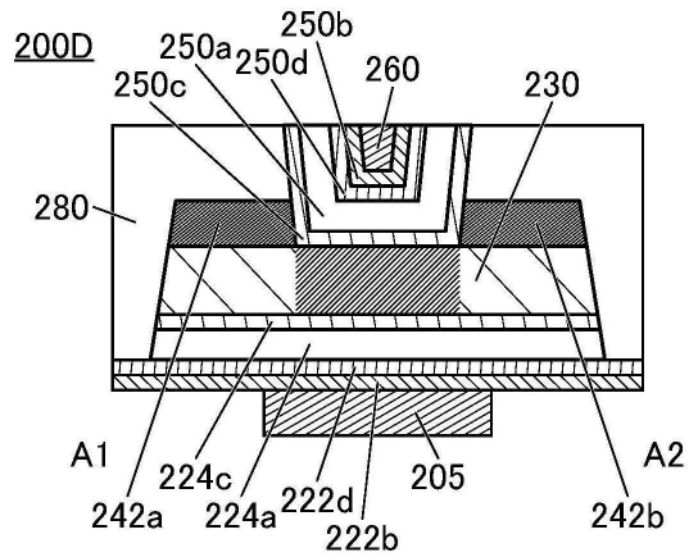


图9C

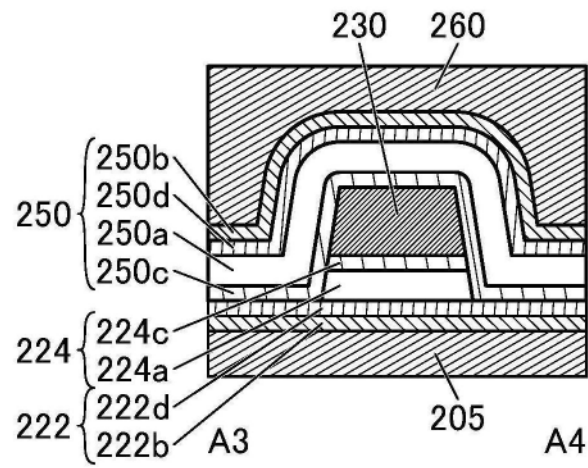


图9D

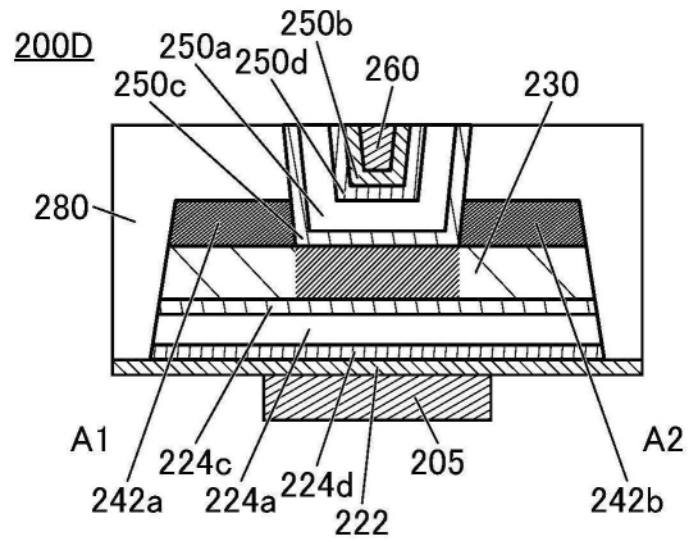


图9E

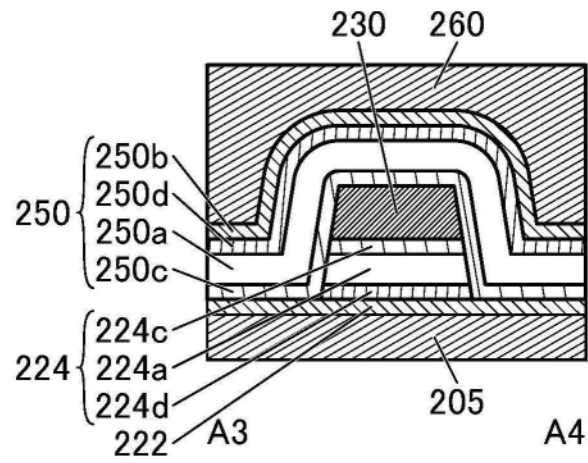


图9F

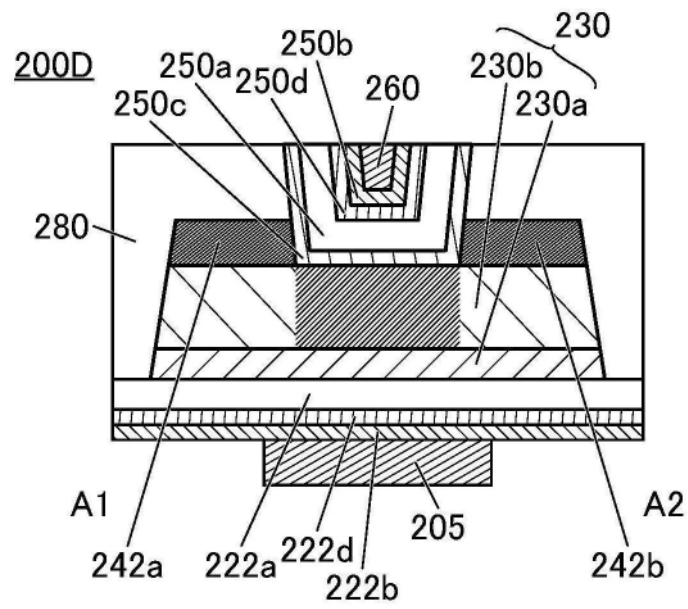


图10A

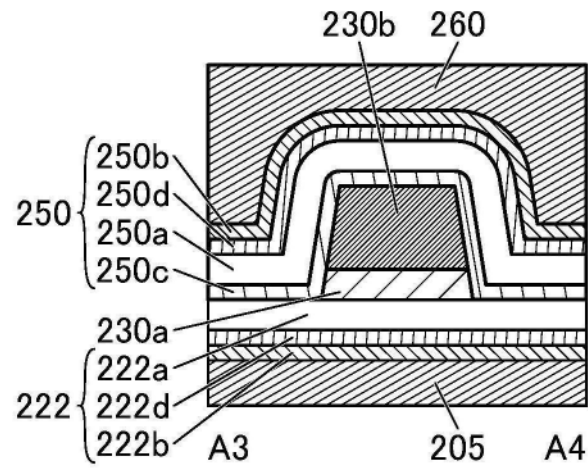


图10B

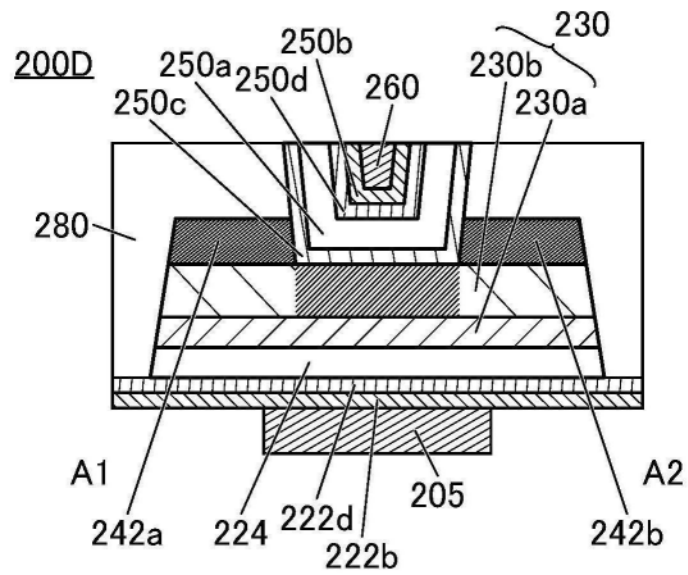


图10C

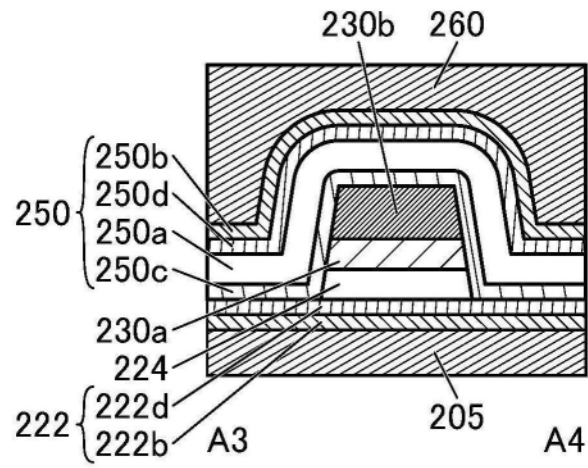


图10D

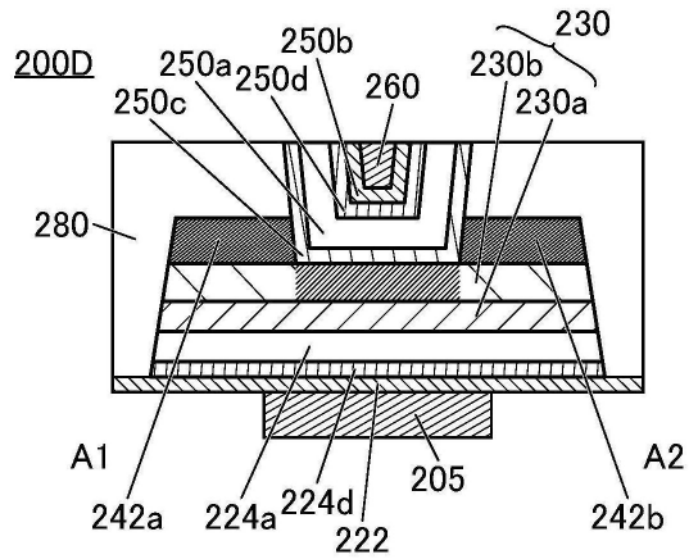


图10E

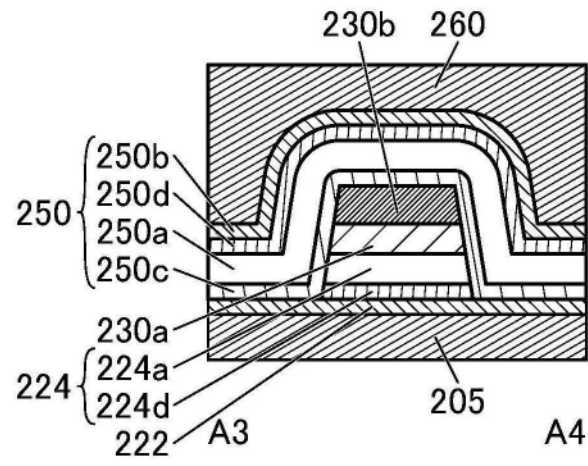


图10F

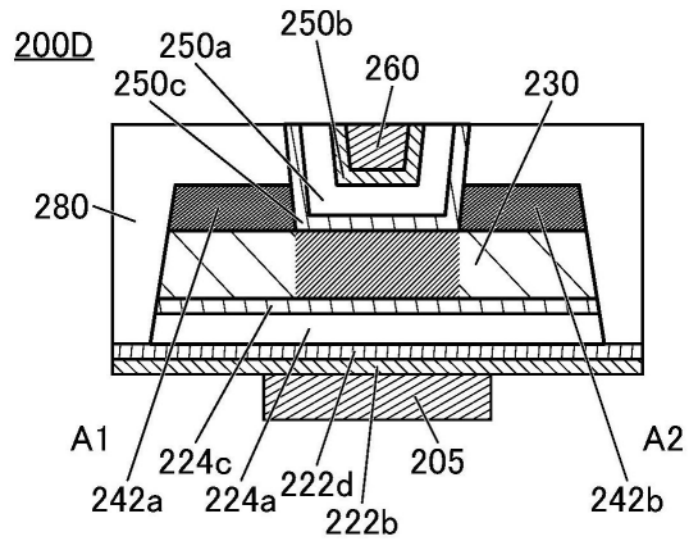


图11A

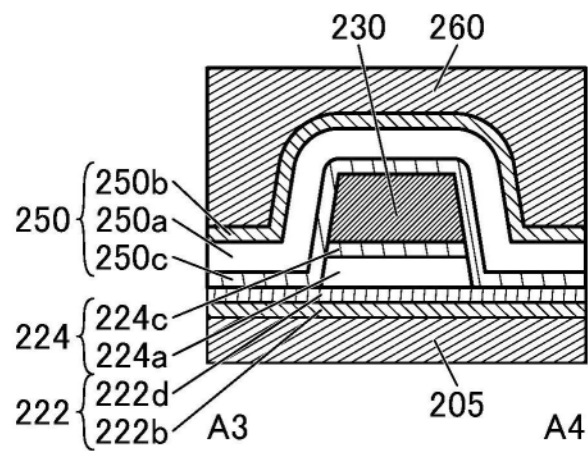


图11B

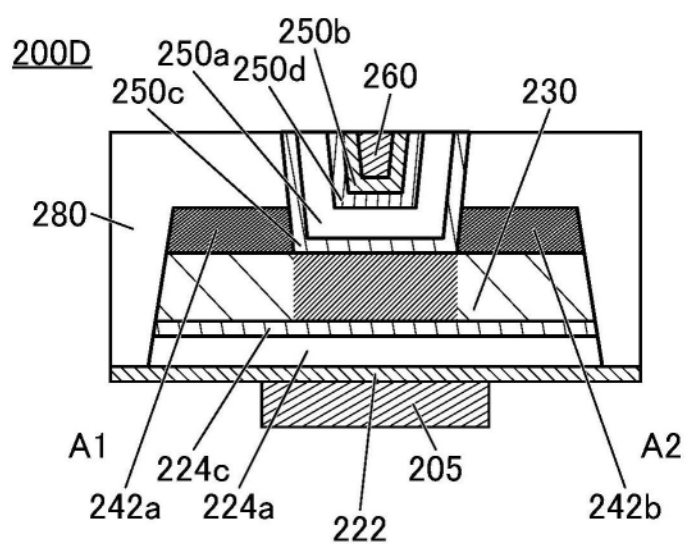


图12A

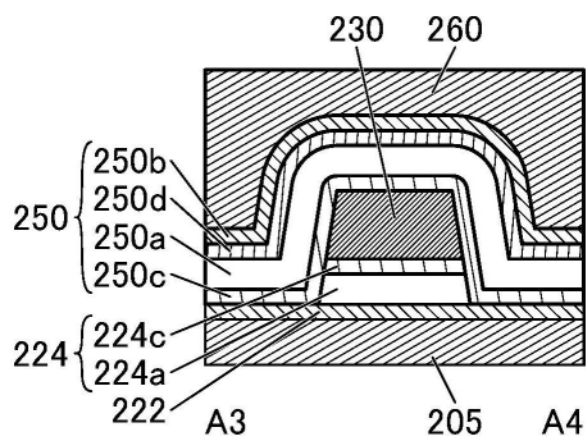


图12B

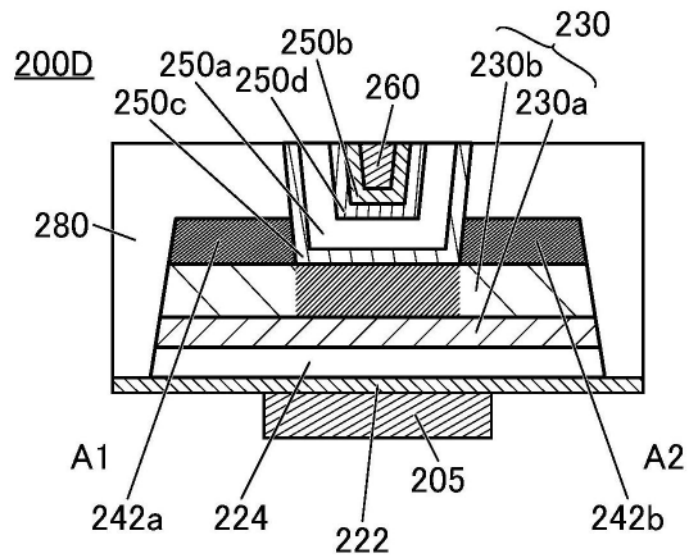


图12C

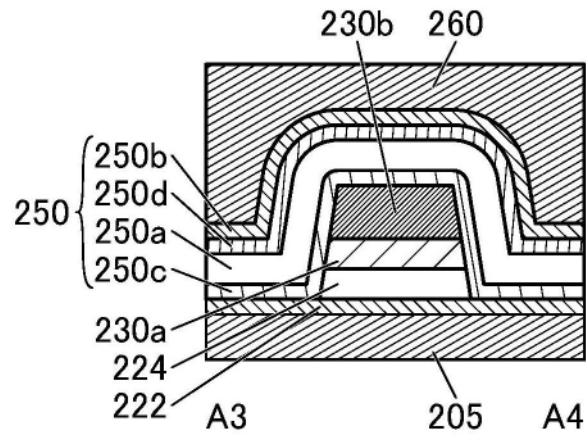


图12D

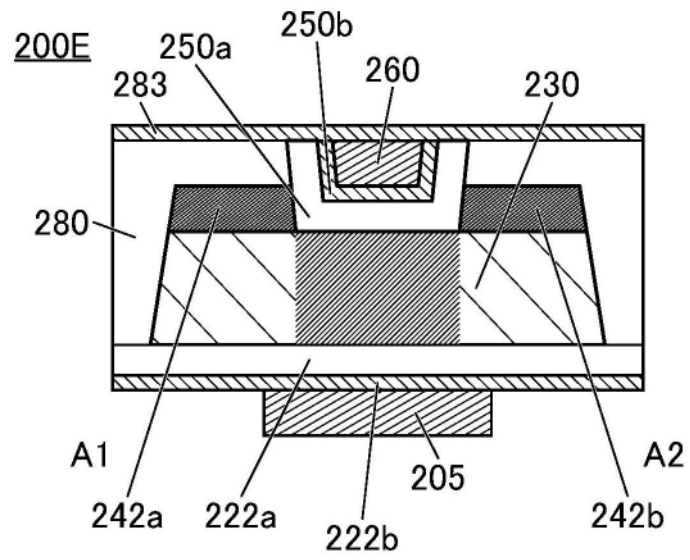


图13A

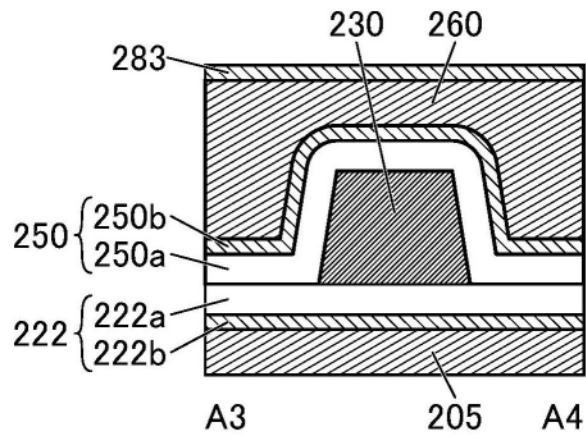


图13B

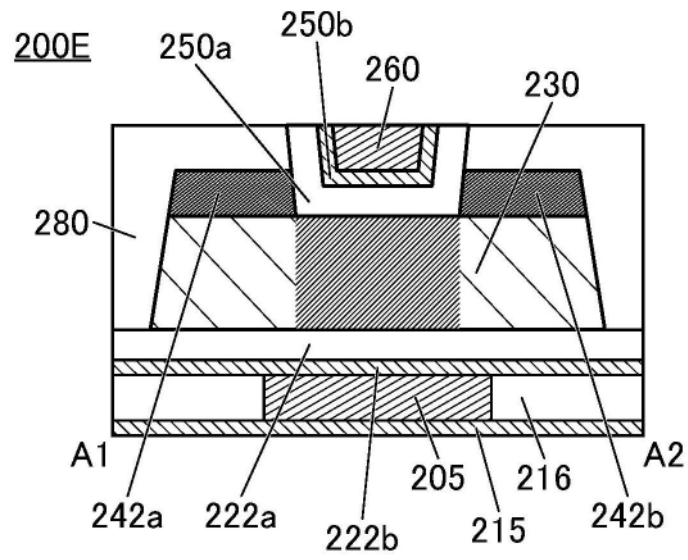


图13C

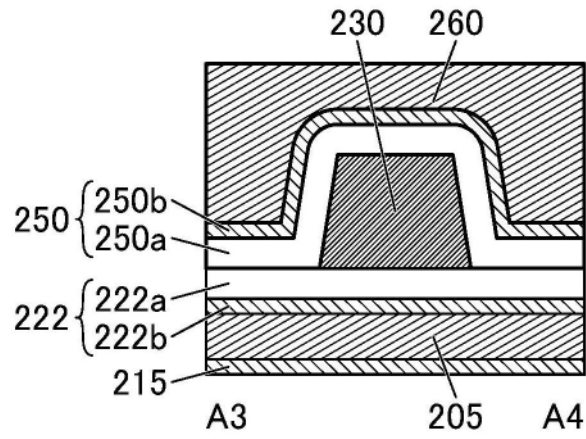


图13D

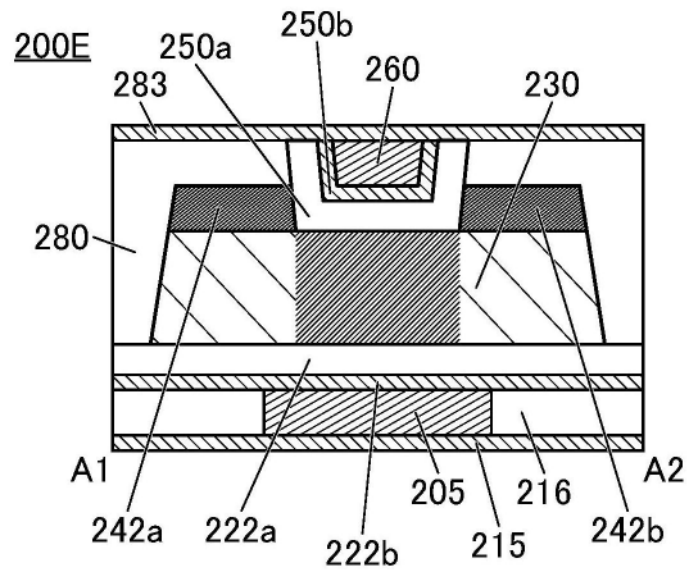


图13E

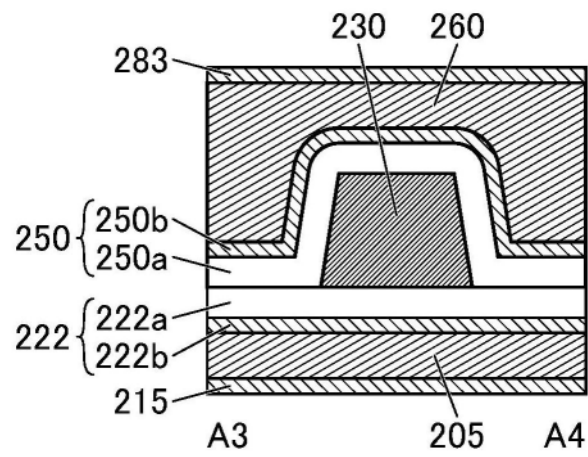


图13F

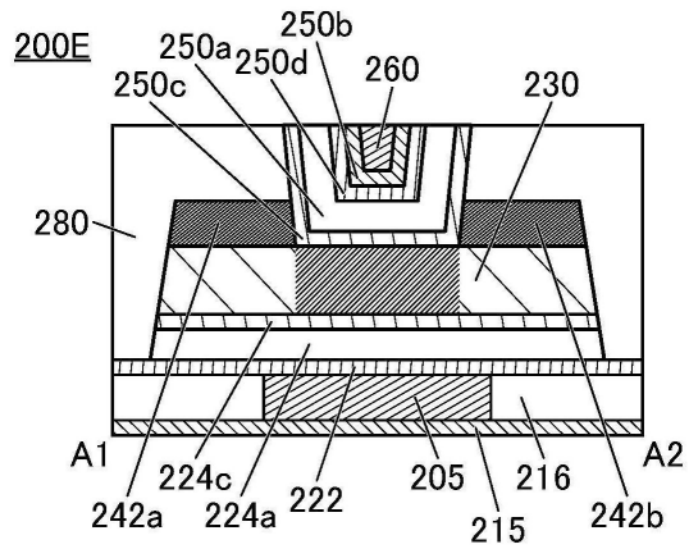


图14A

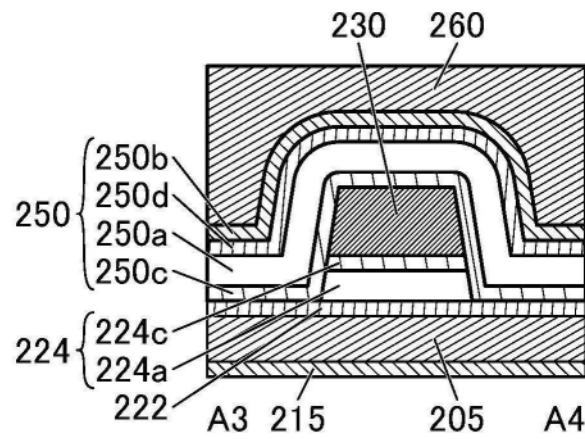


图14B

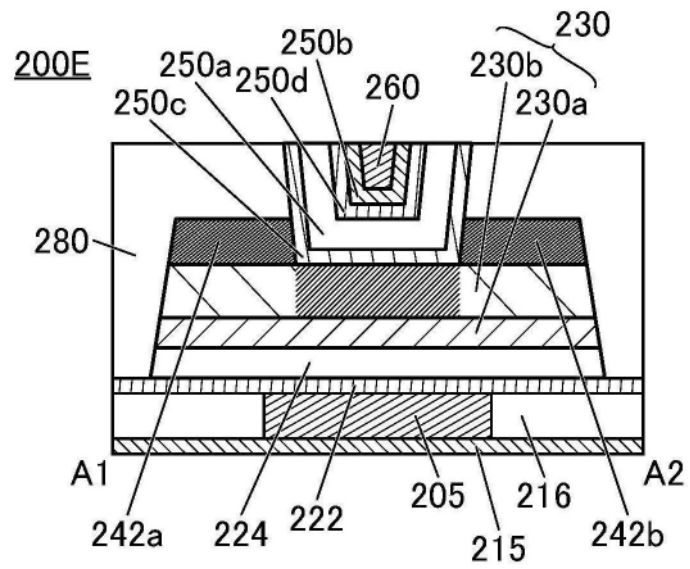


图14C

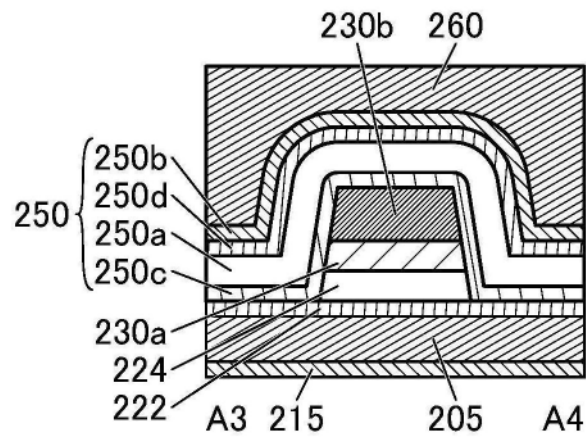


图14D

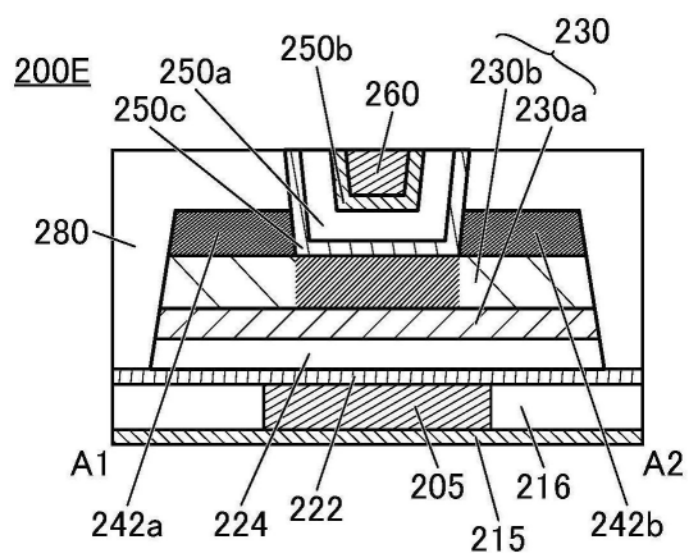


图14E

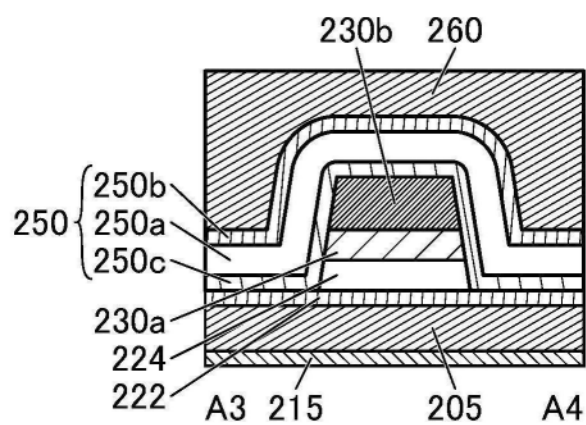


图14F

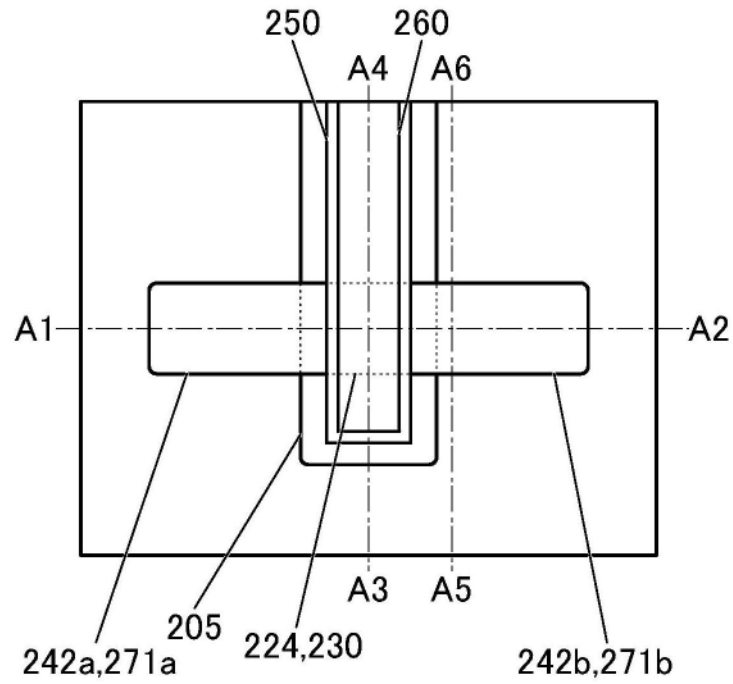
200

图15A

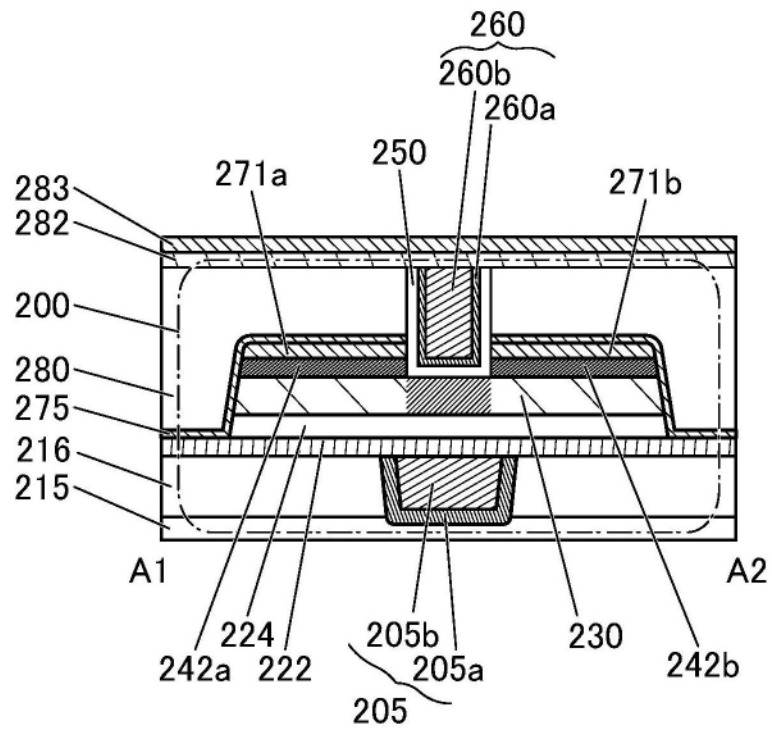


图15B

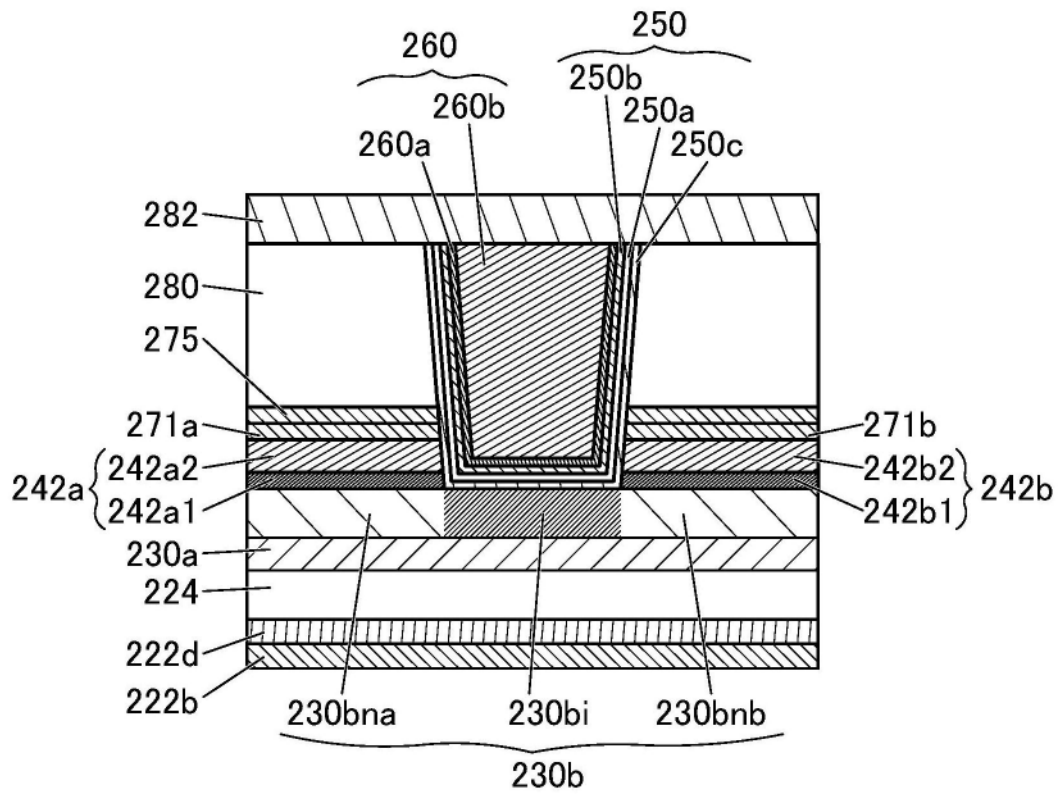


图16A

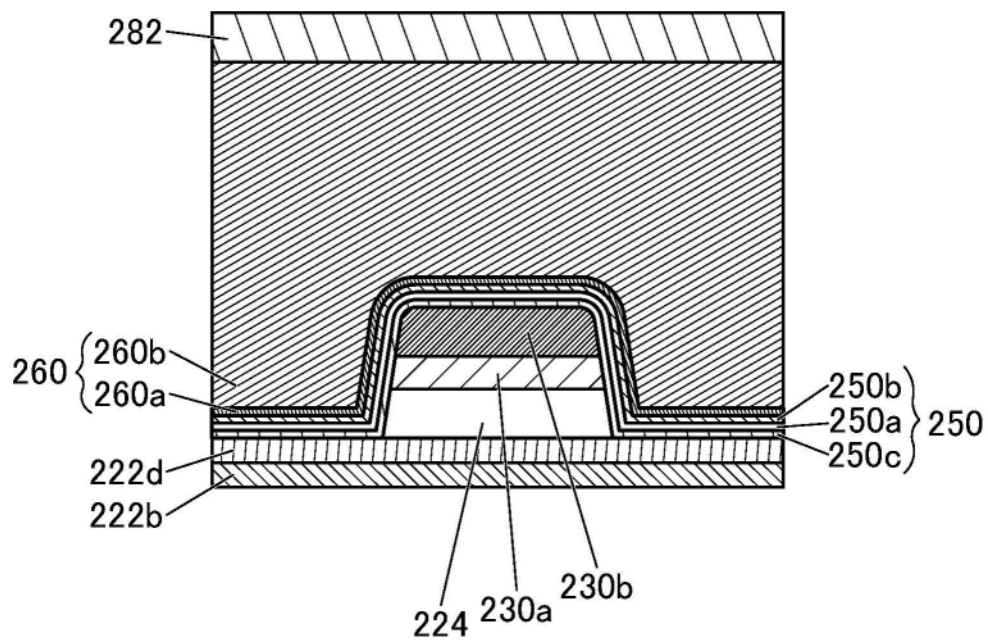


图16B

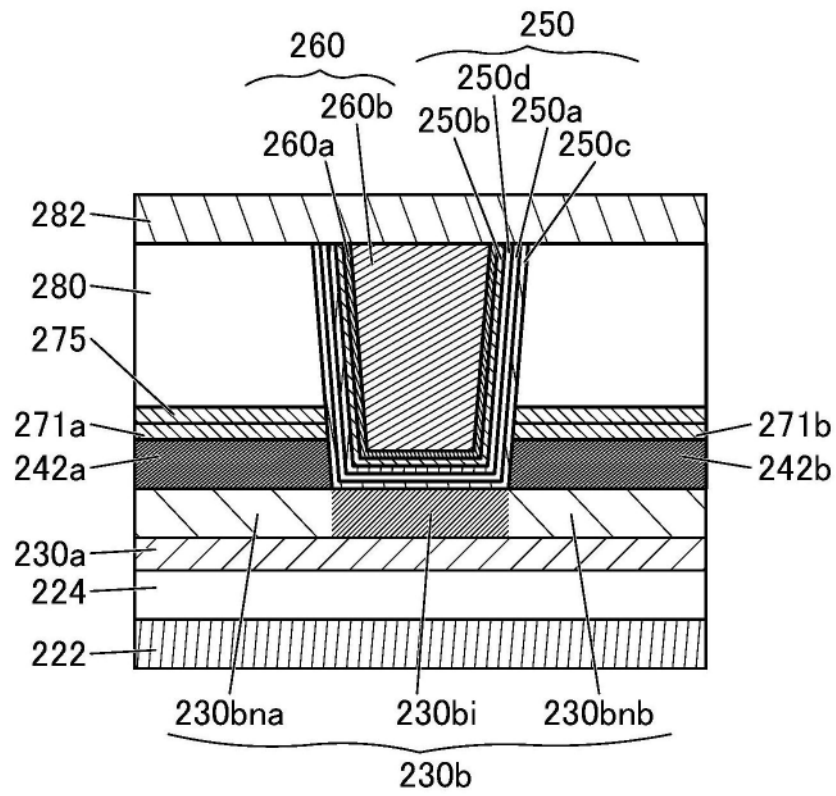


图17A

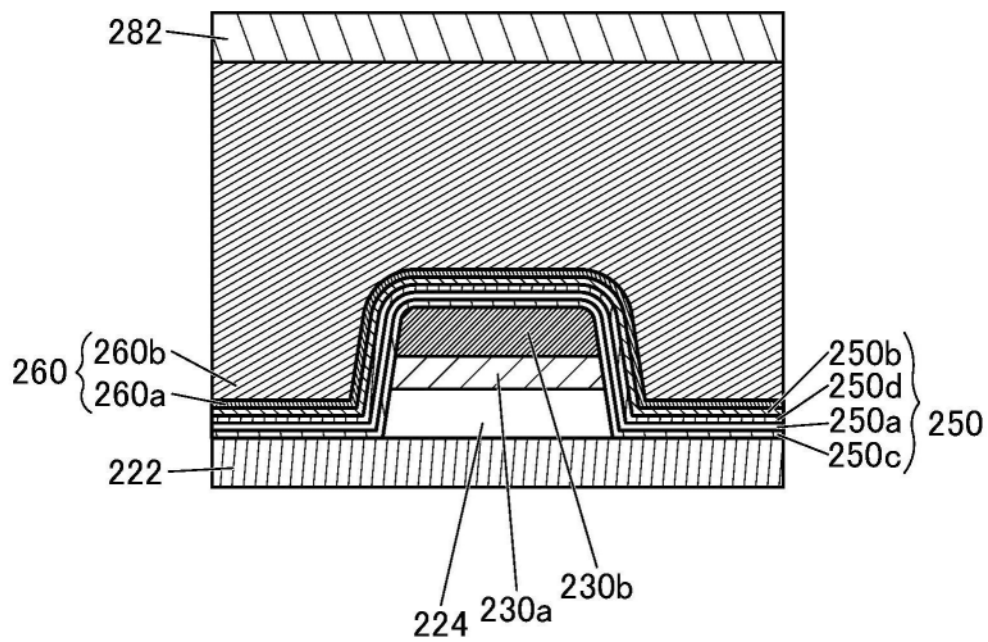


图17B

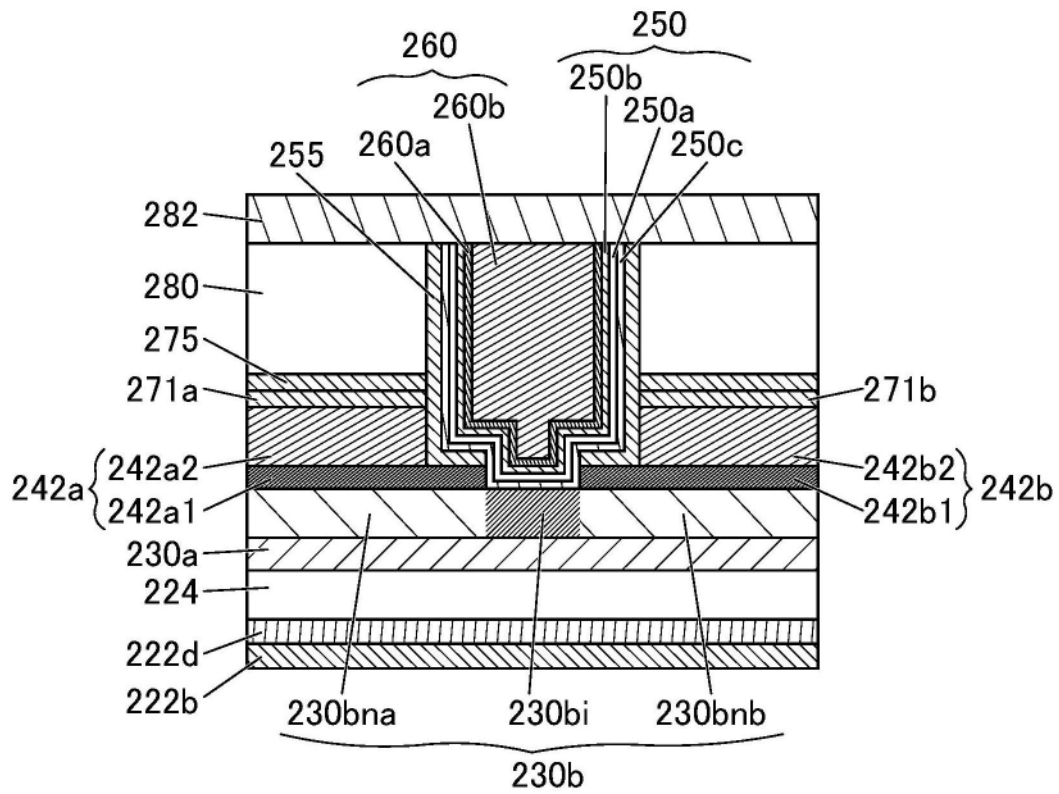


图18A

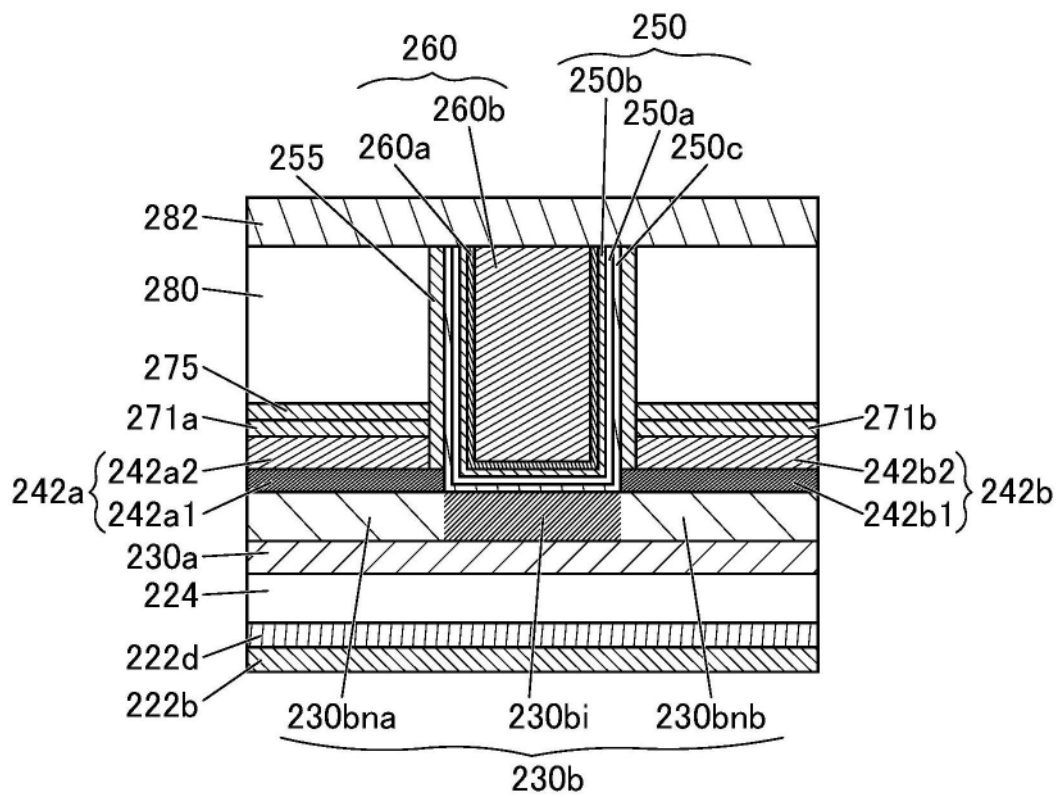


图18B

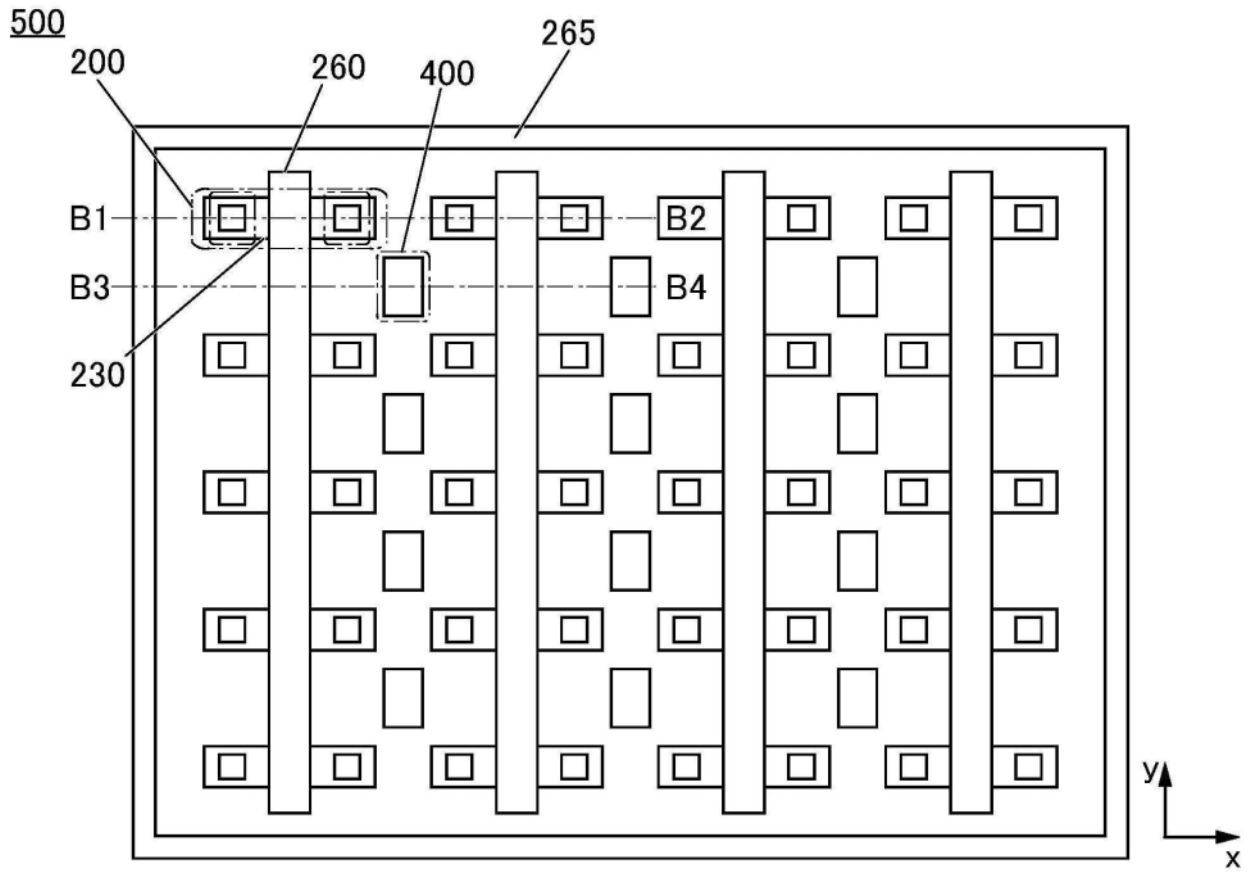


图19A

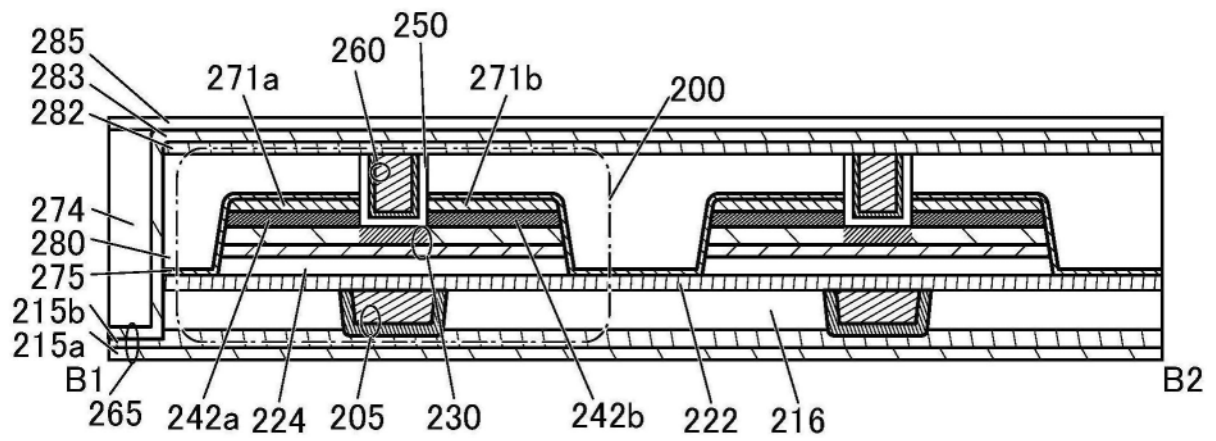


图19B

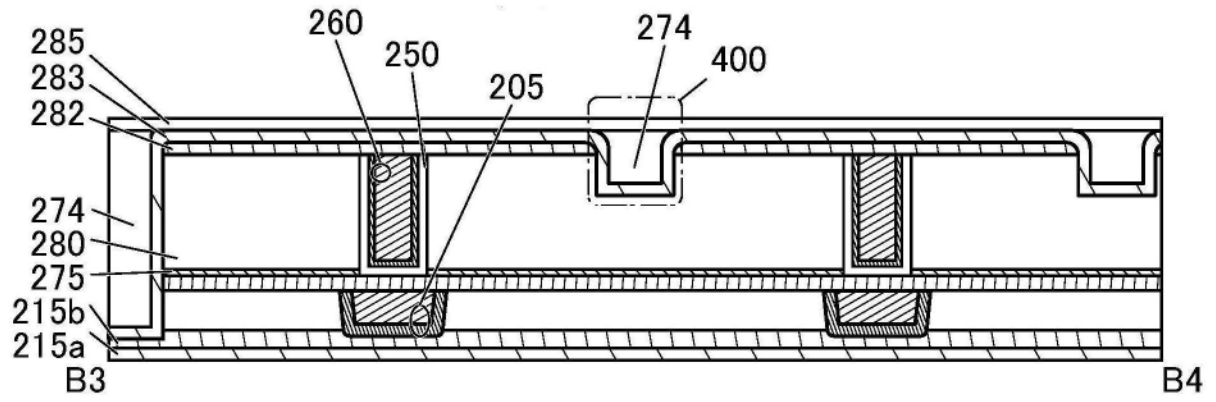


图19C

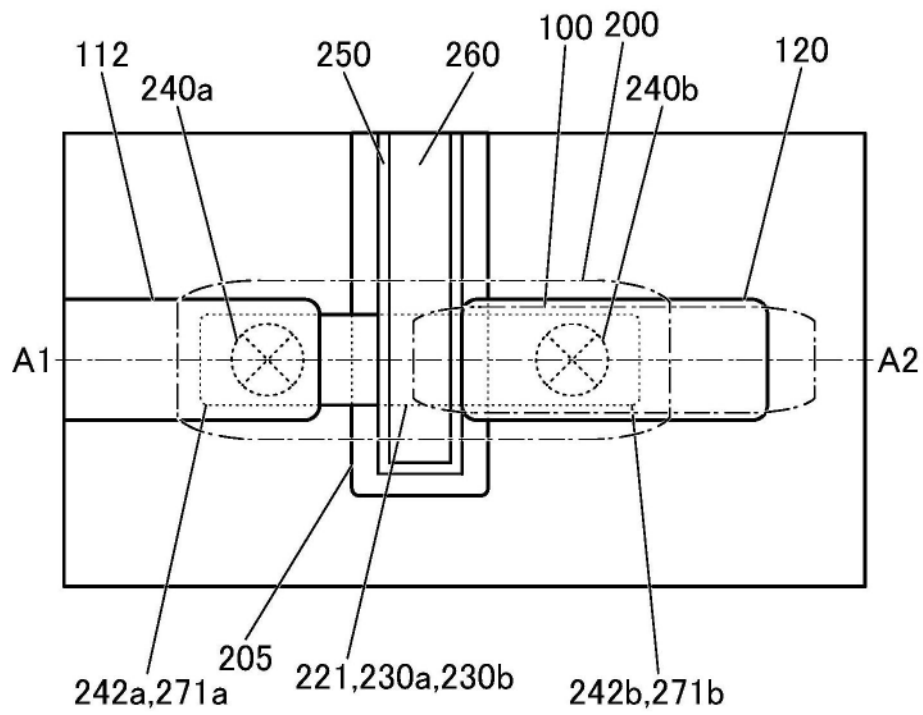


图20A

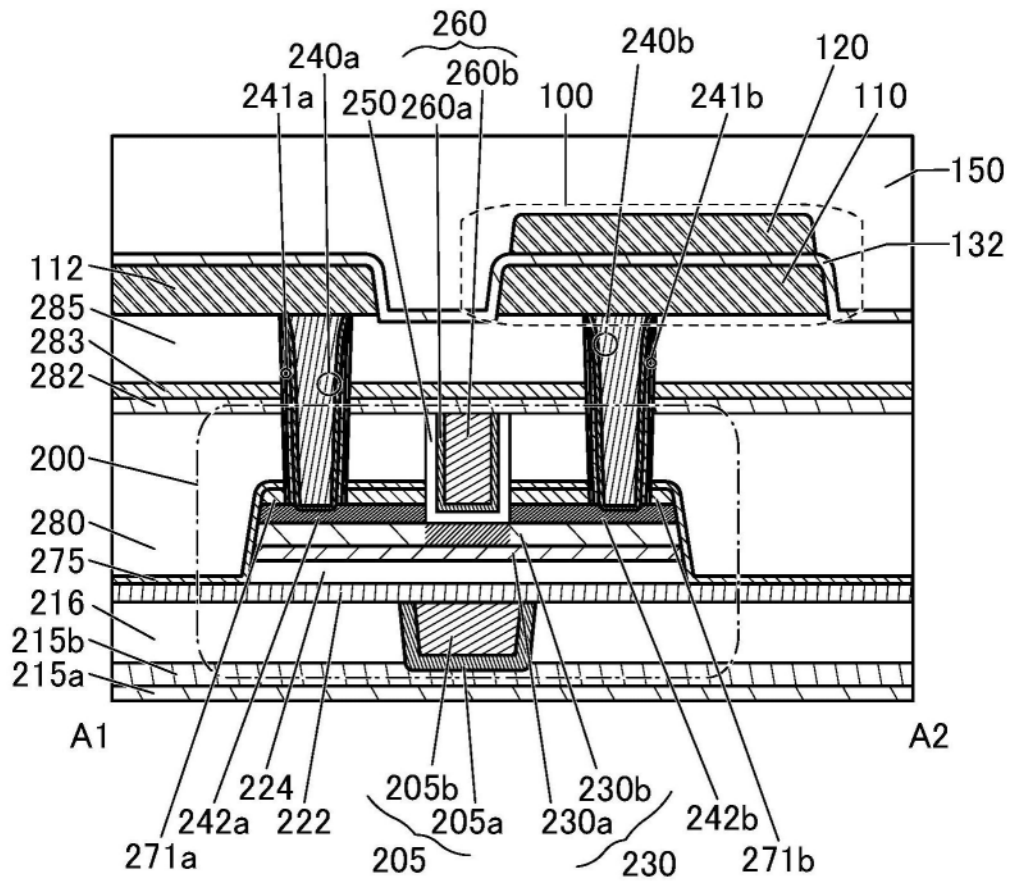


图20B

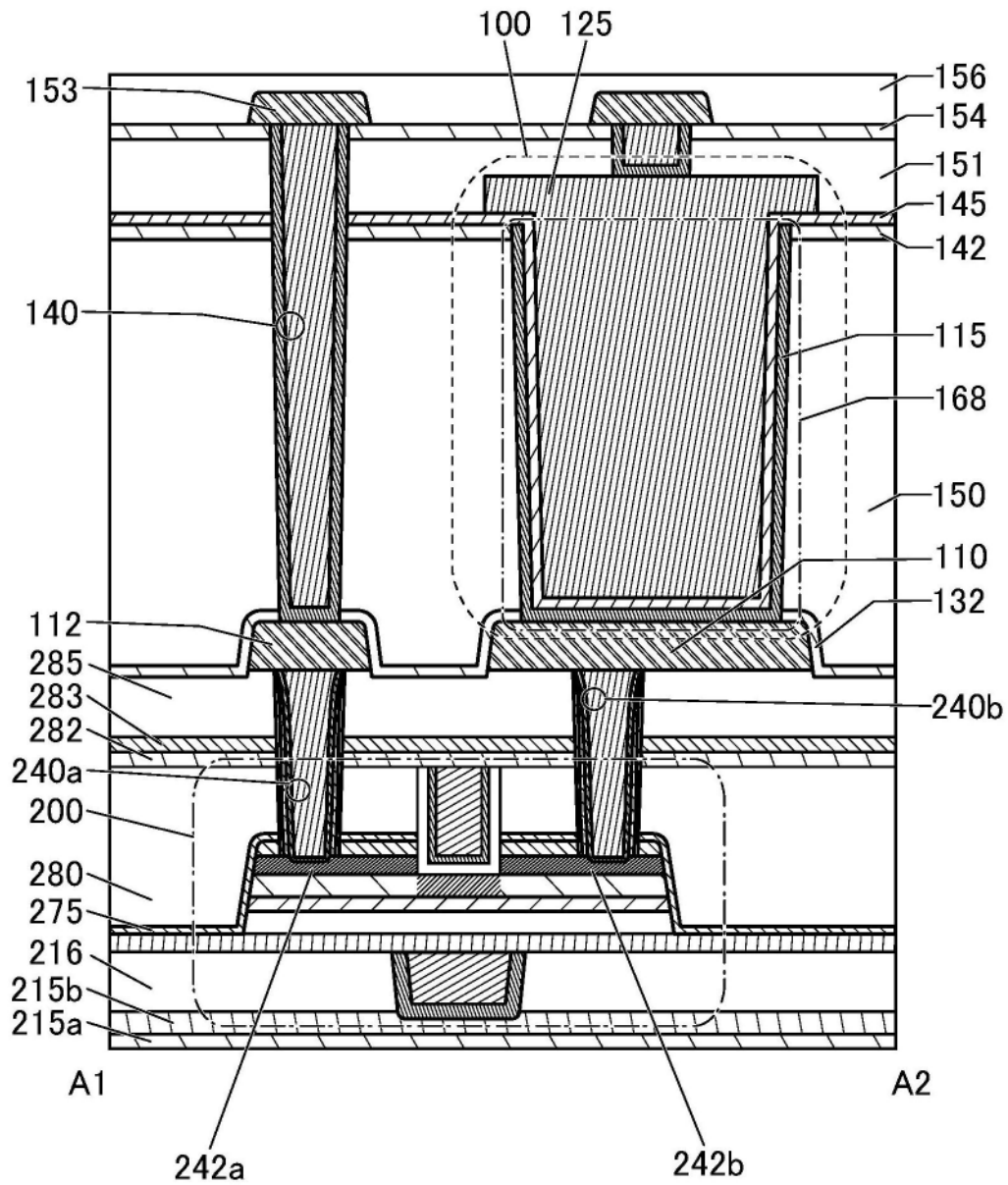


图21

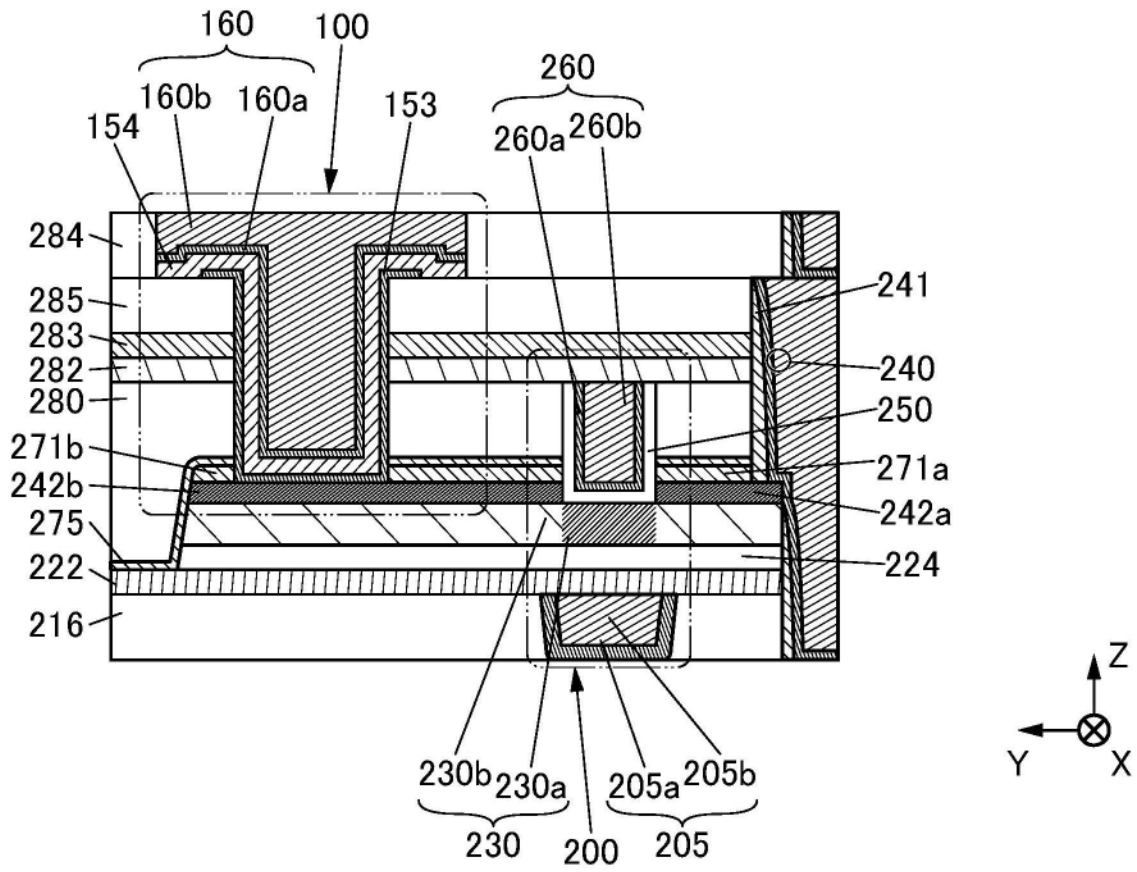


图22

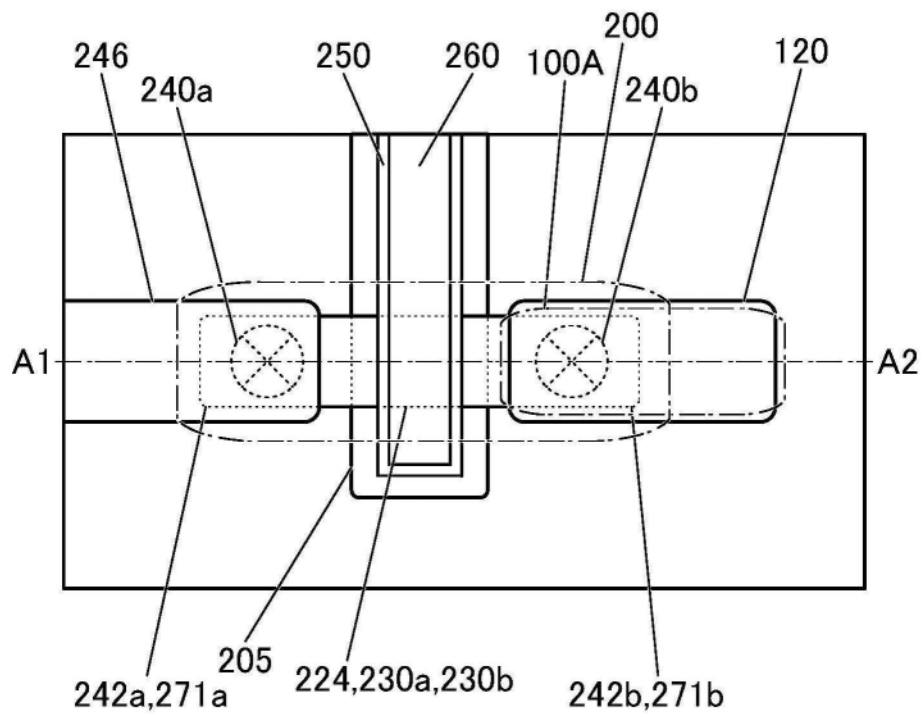


图23A

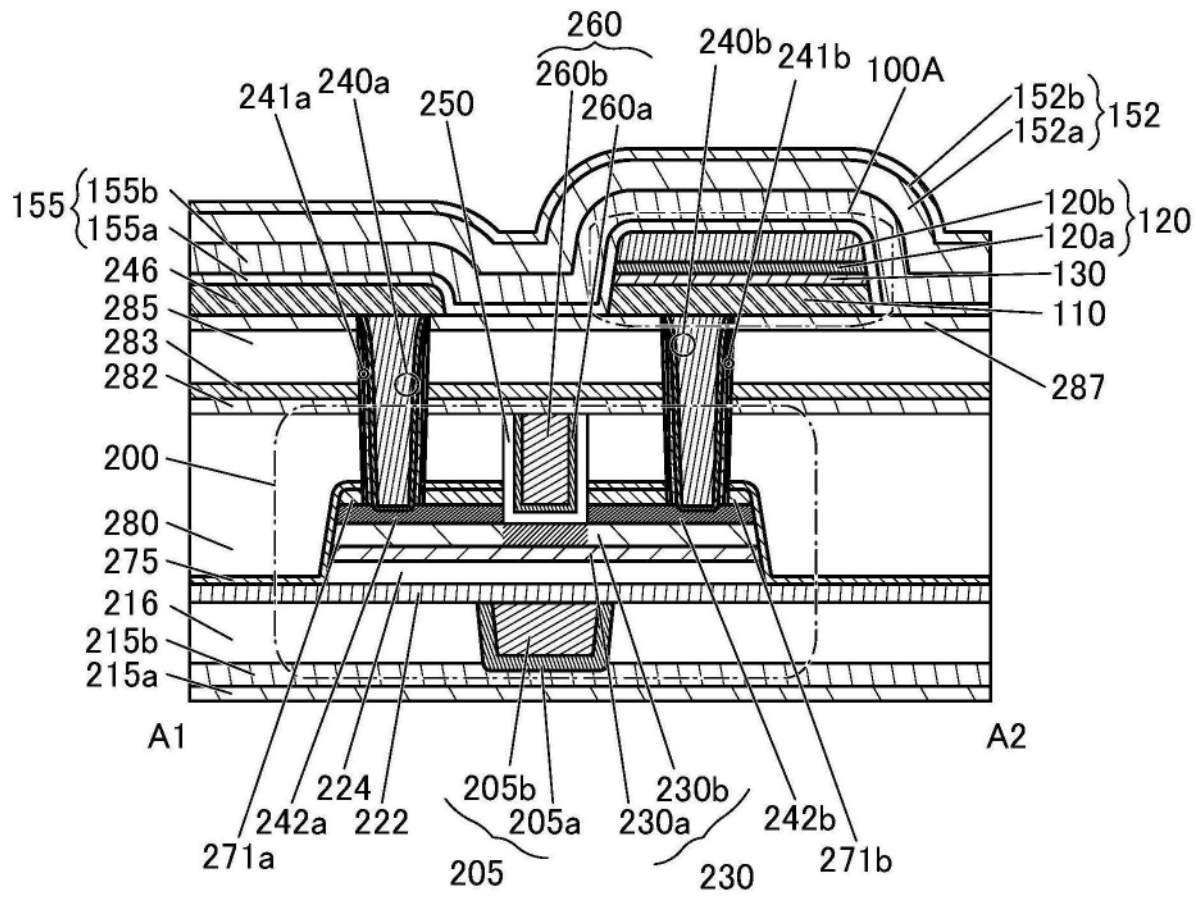


图23B

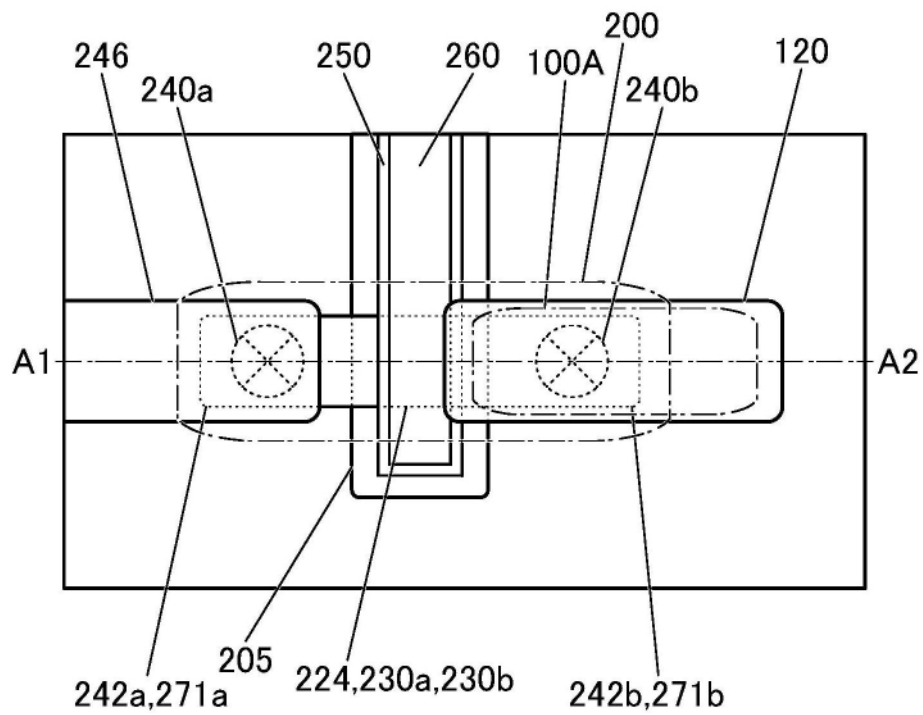


图24A

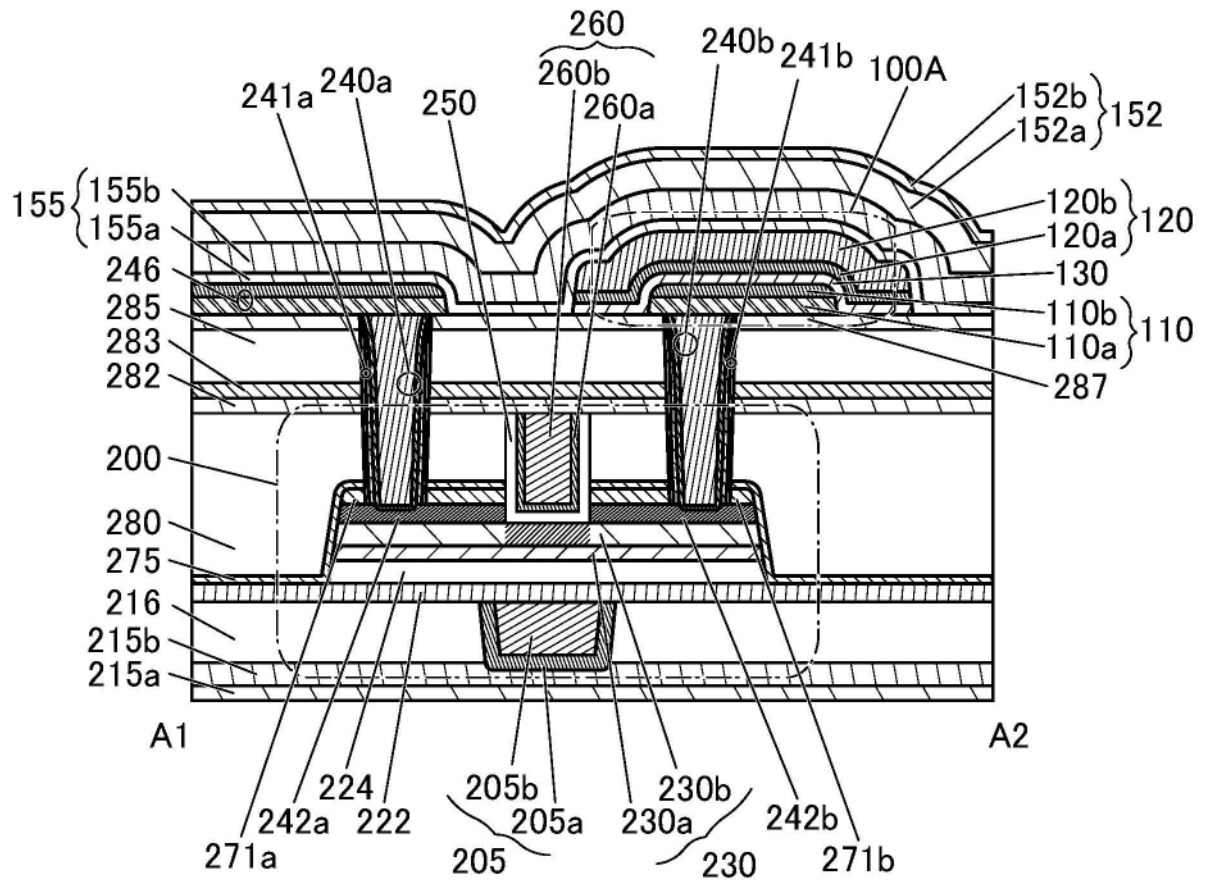


图24B

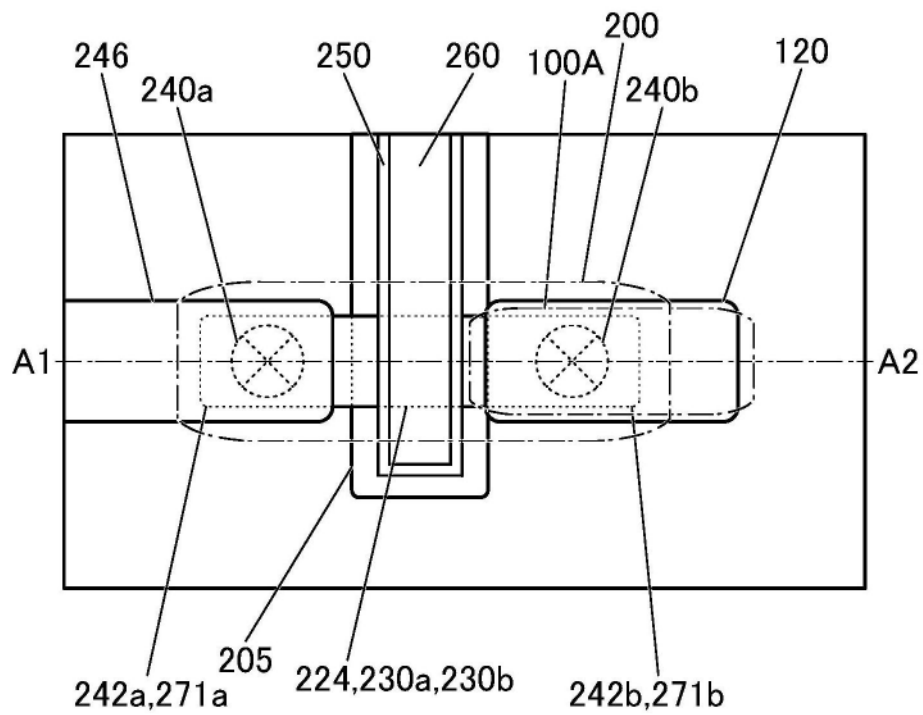


图25A

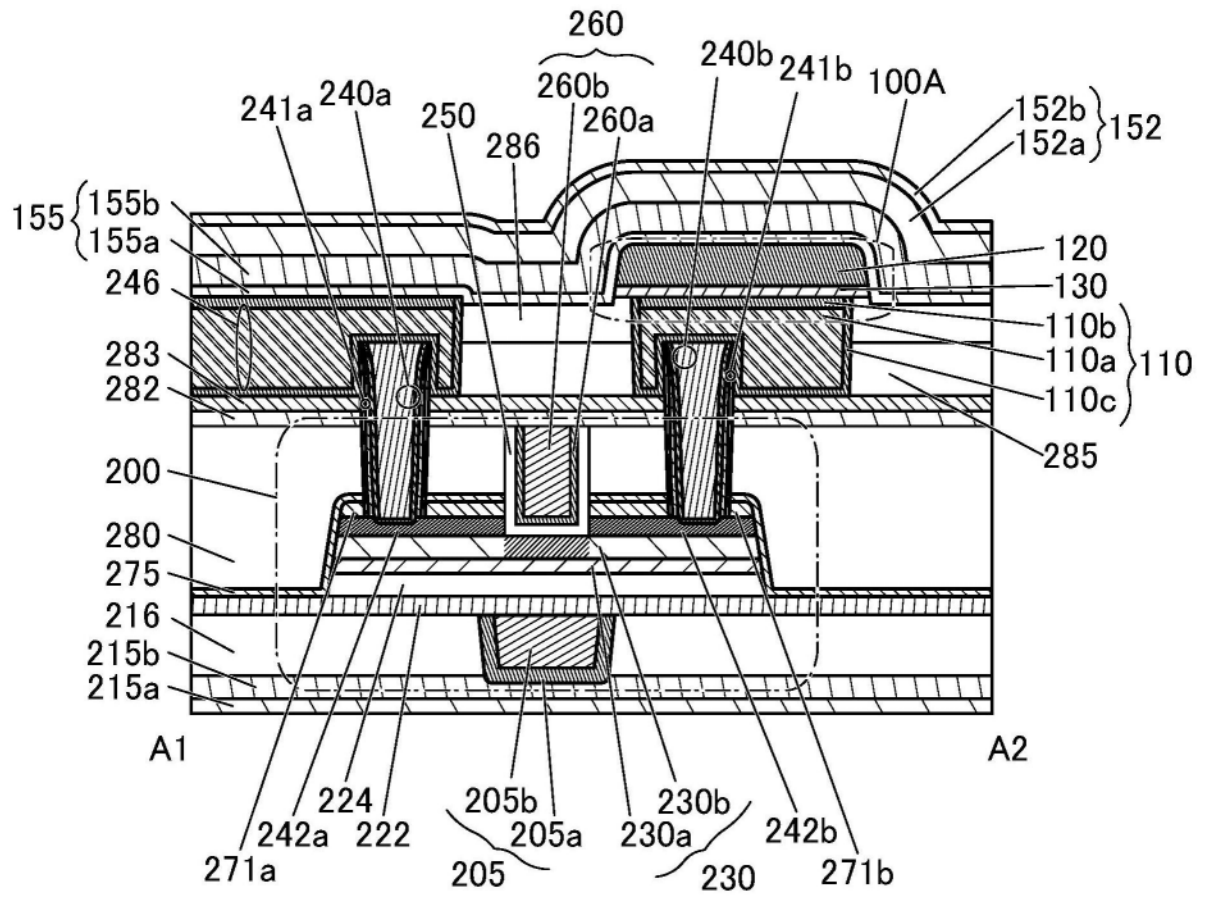


图25B

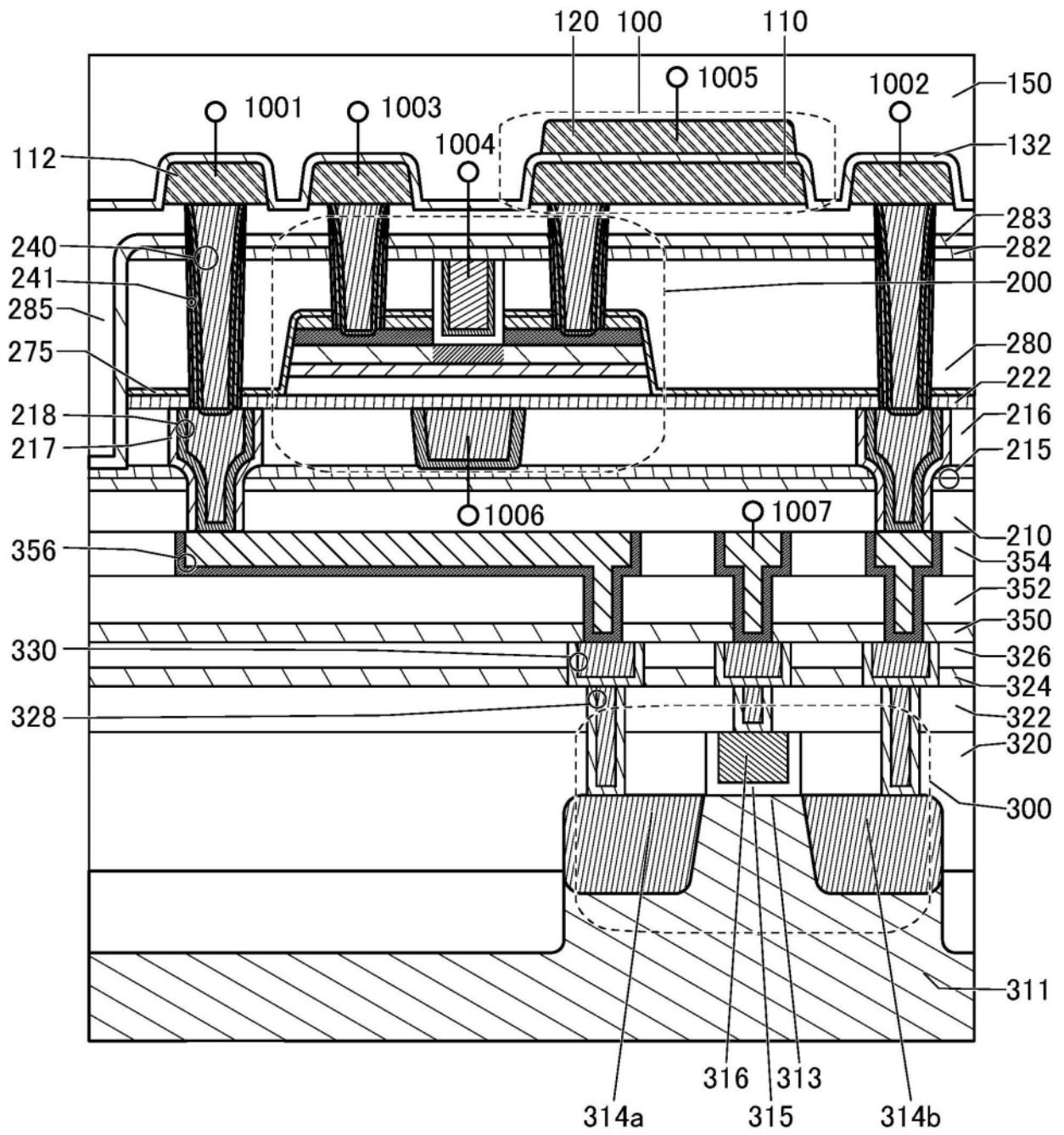


图26

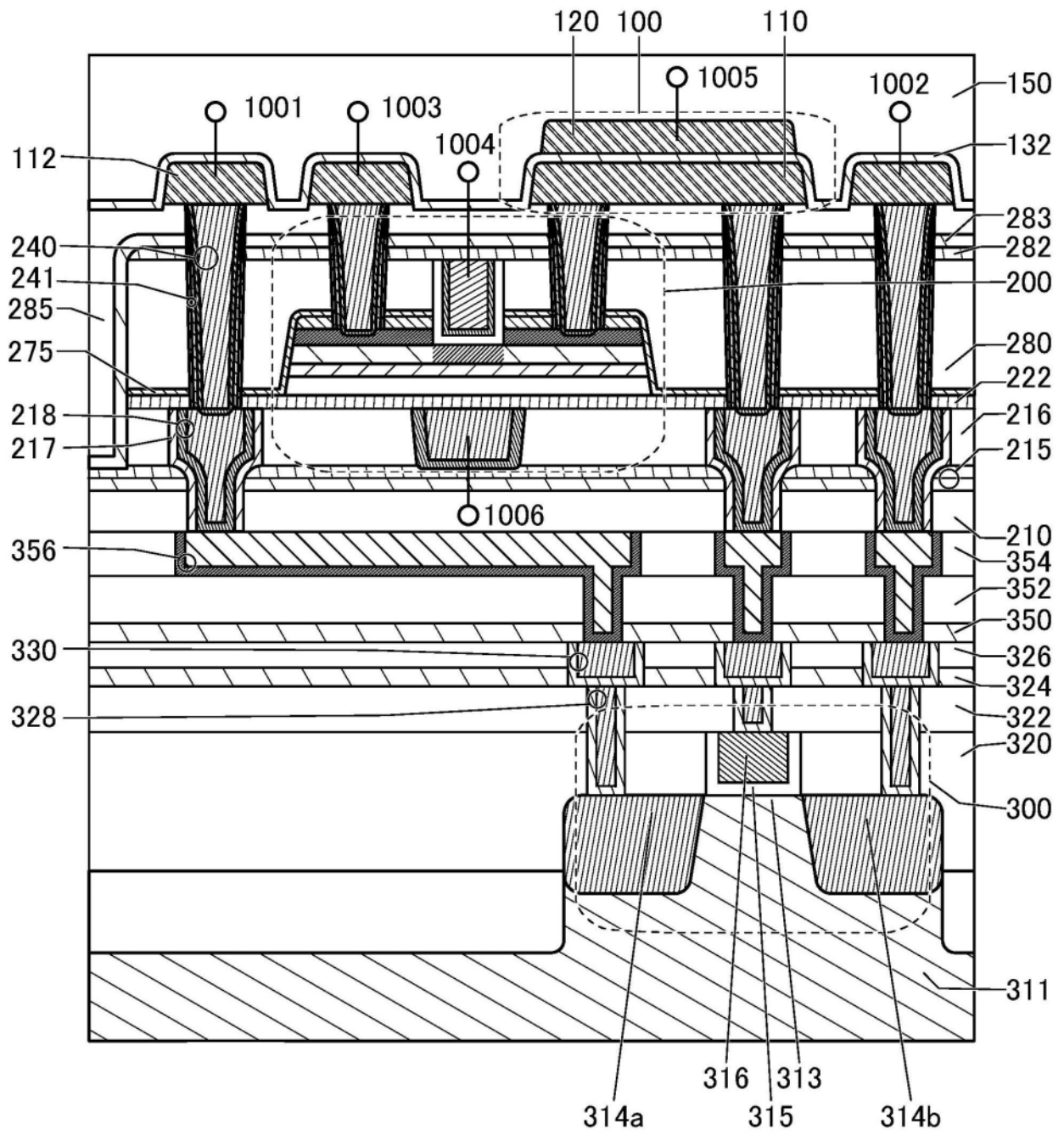


图27

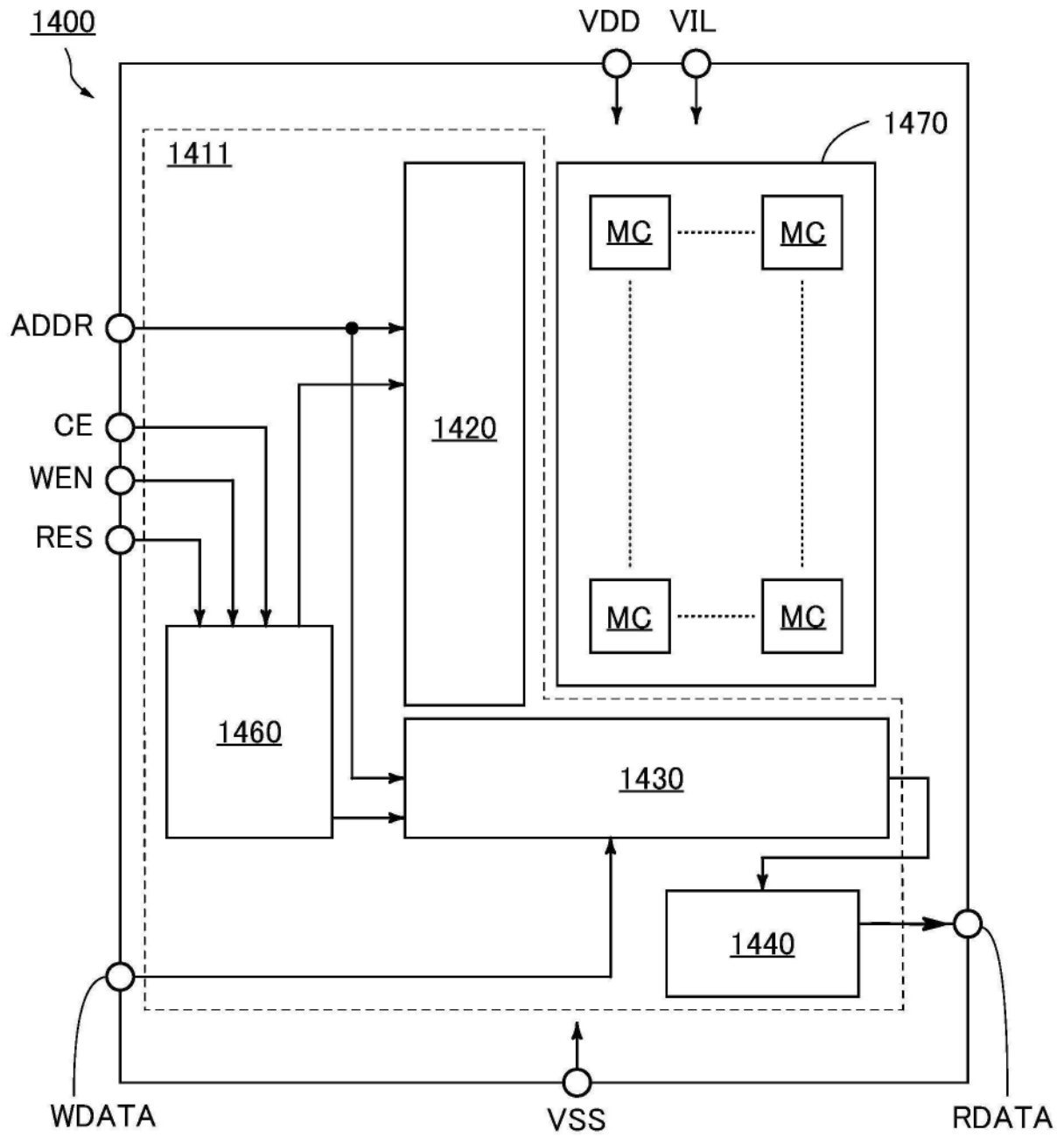


图28A

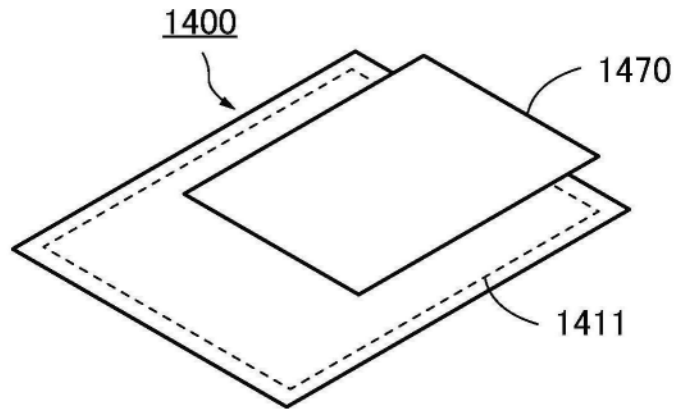


图28B

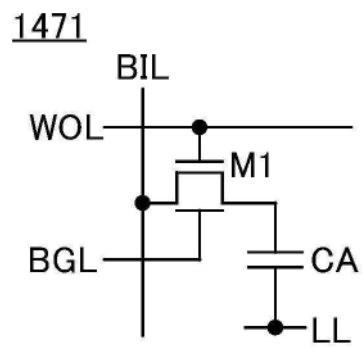


图29A

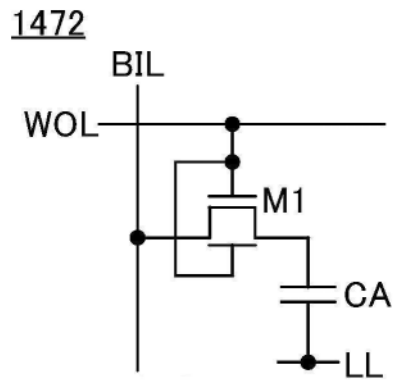


图29B

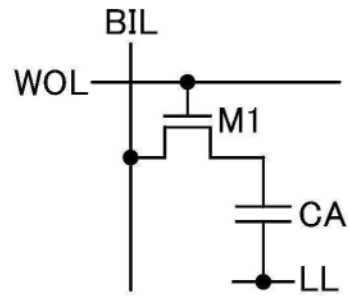
1473

图29C

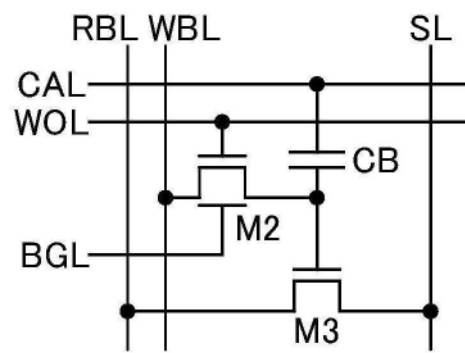
1474

图29D

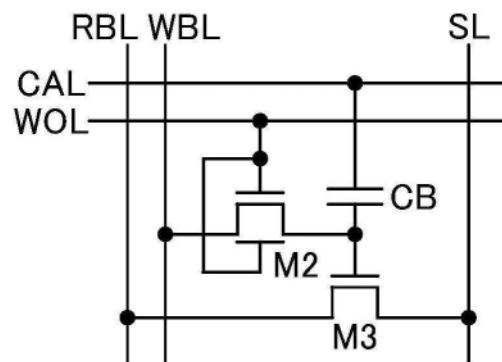
1475

图29E

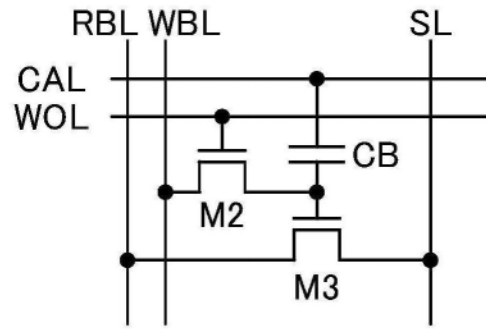
1476

图29F

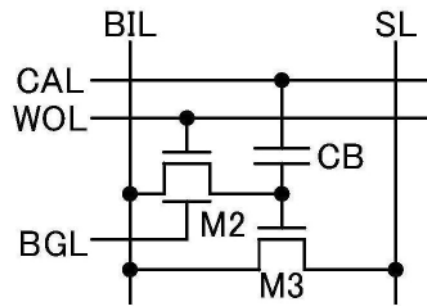
1477

图29G

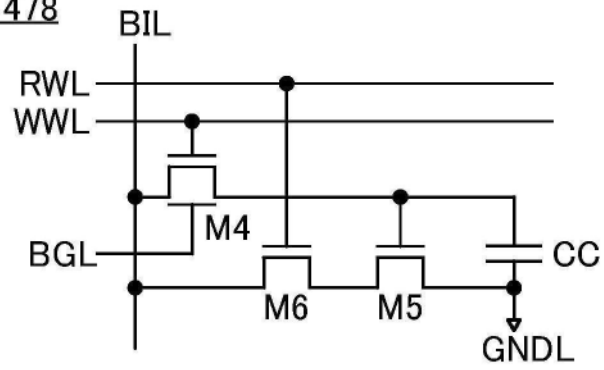
1478

图29H

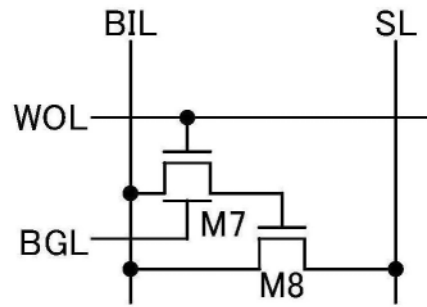
1479

图29I

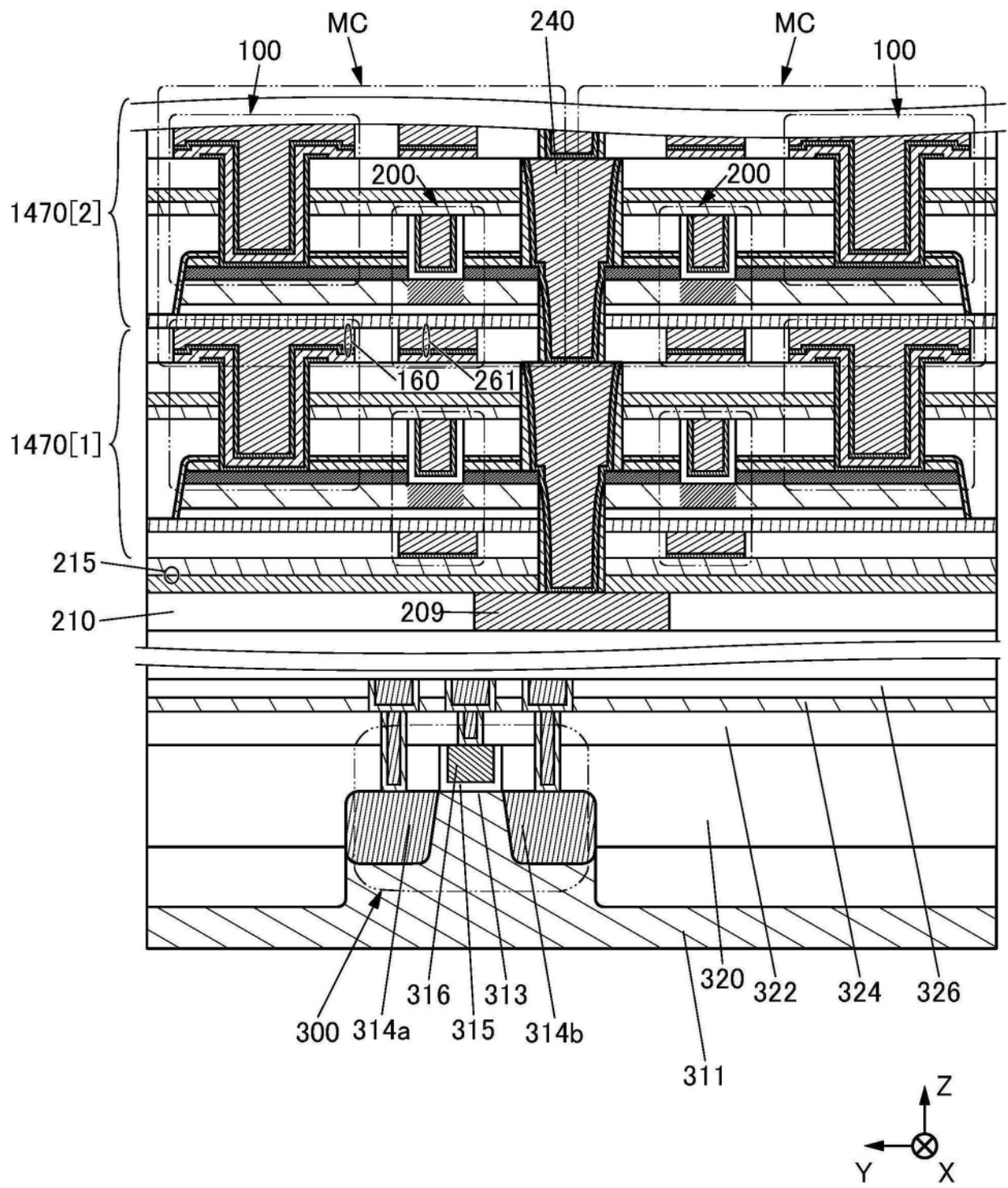


图30

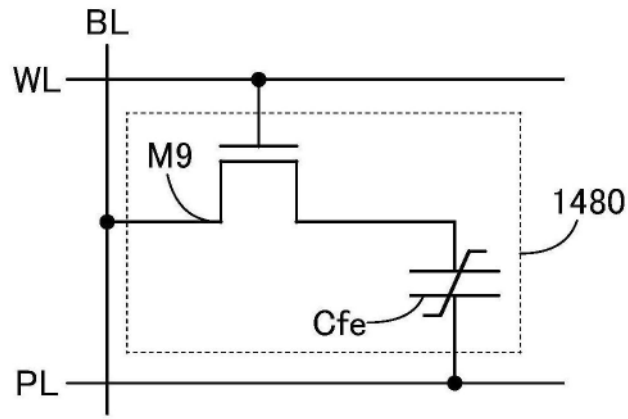


图31A

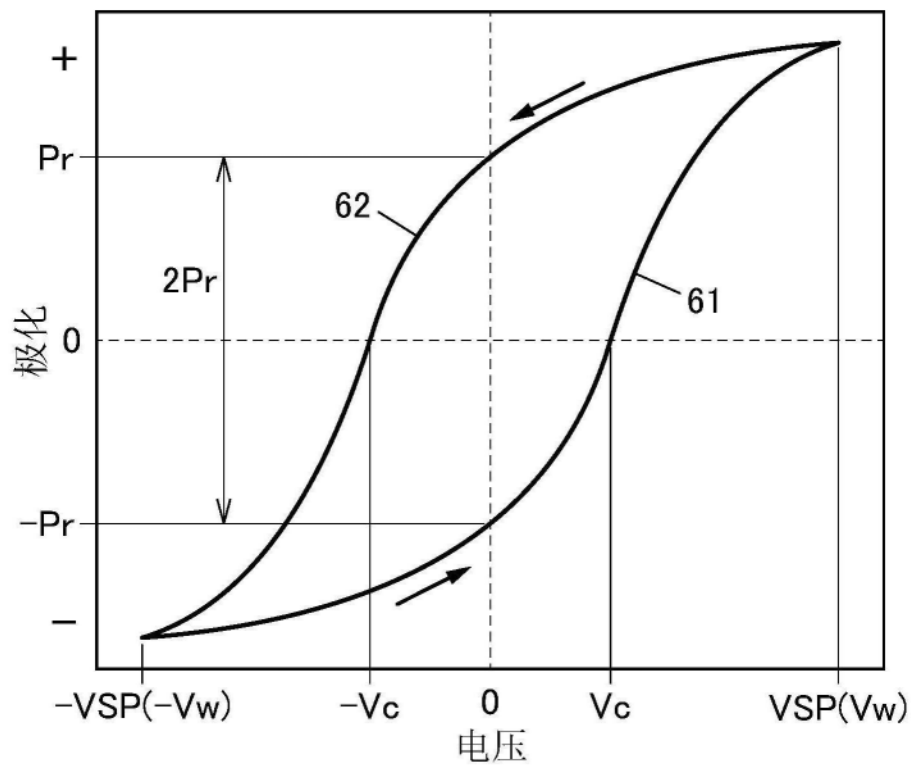


图31B

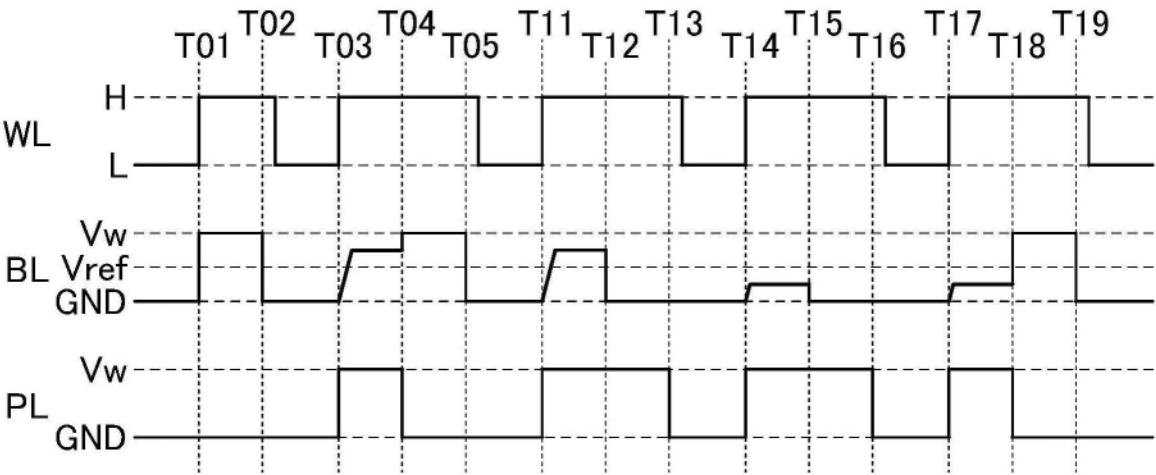


图31C

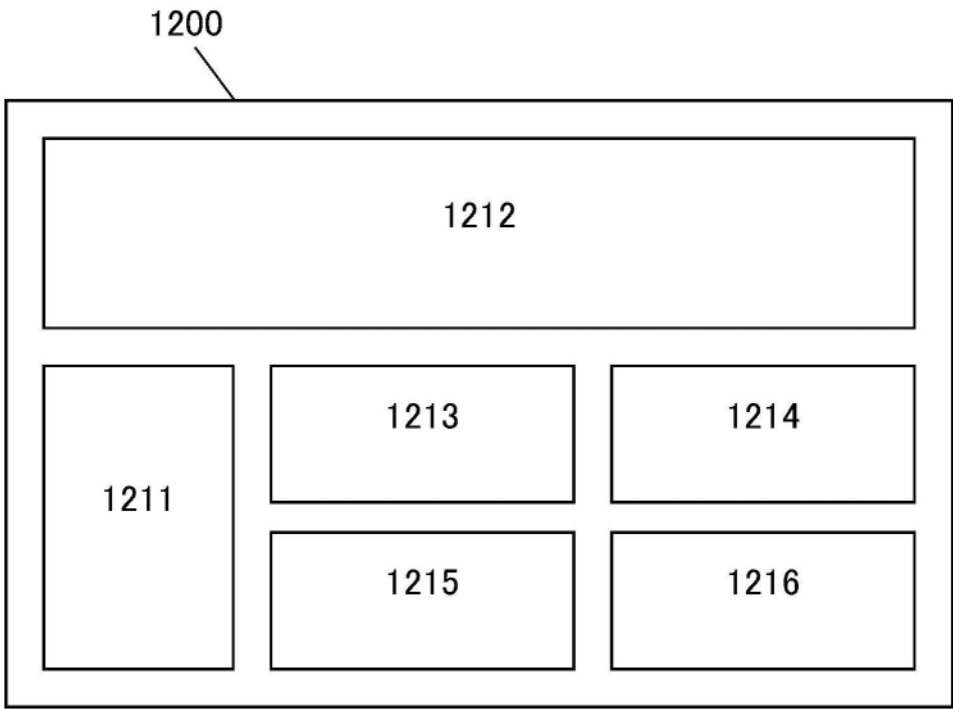


图32A

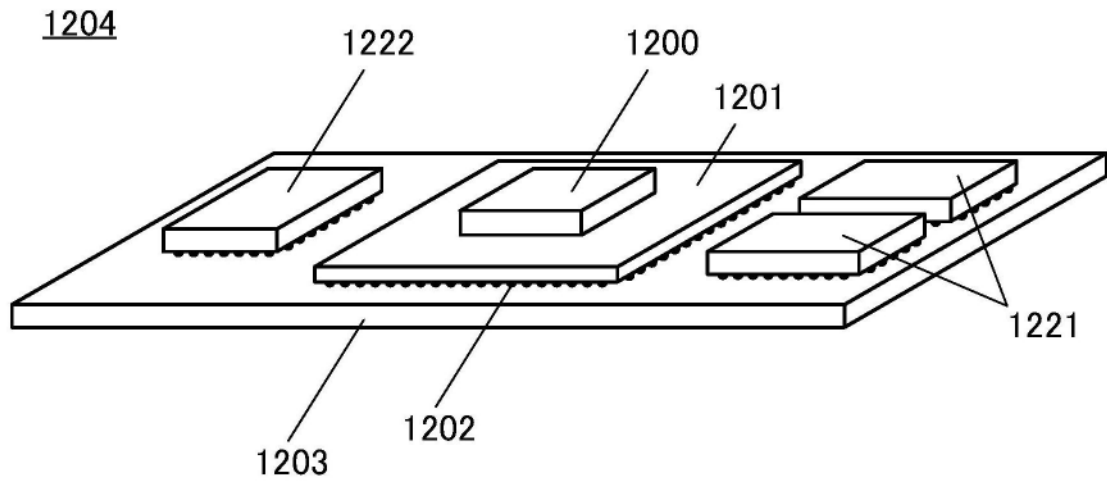


图32B

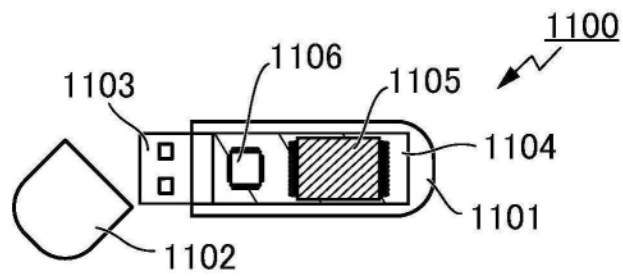


图33A

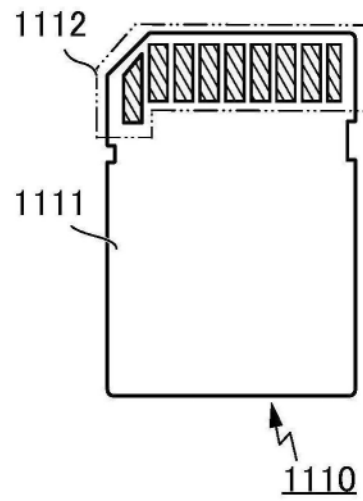


图33B

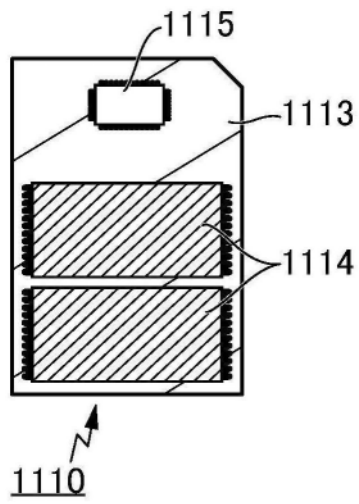


图33C

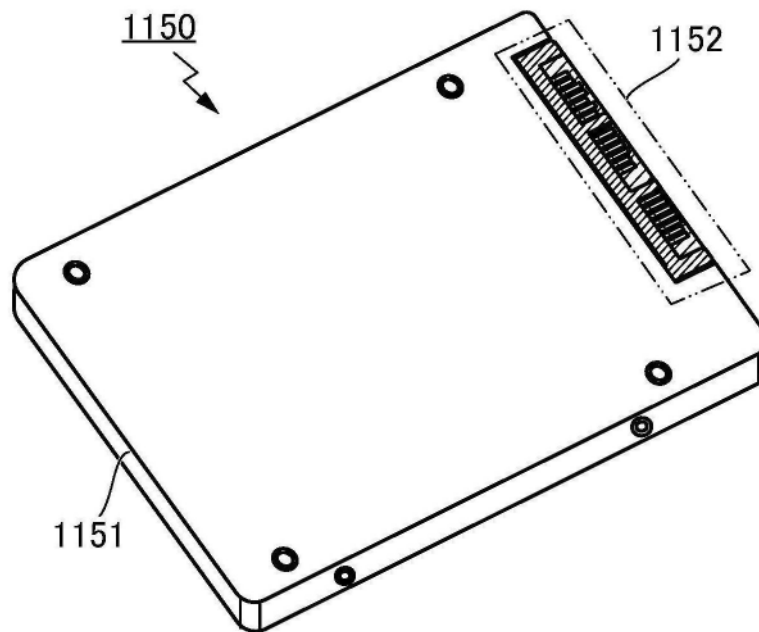


图33D

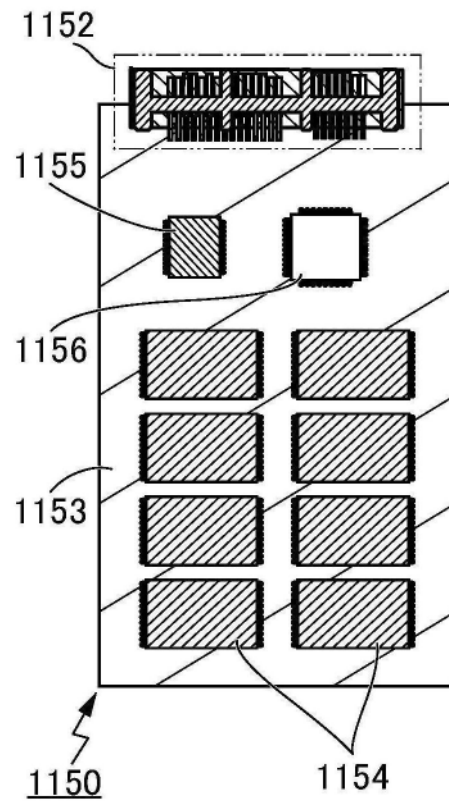


图33E

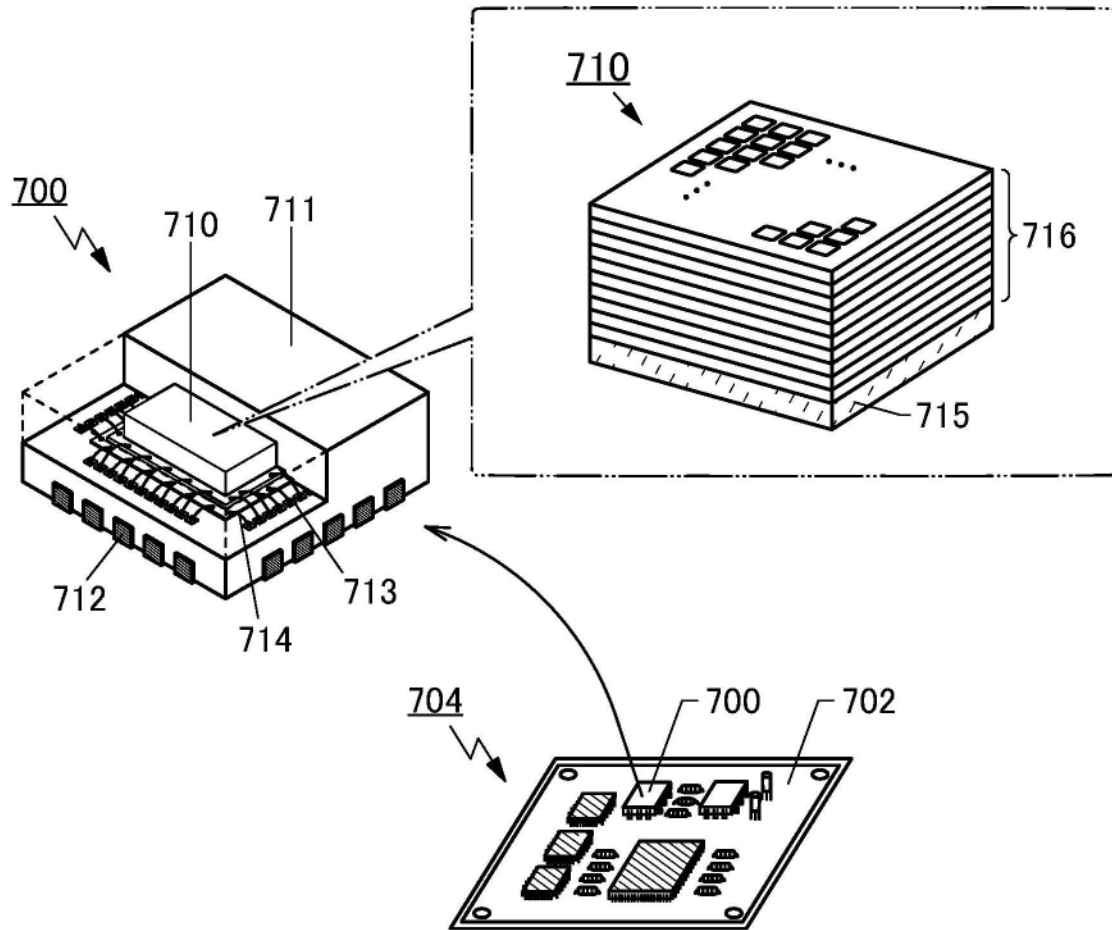


图34A

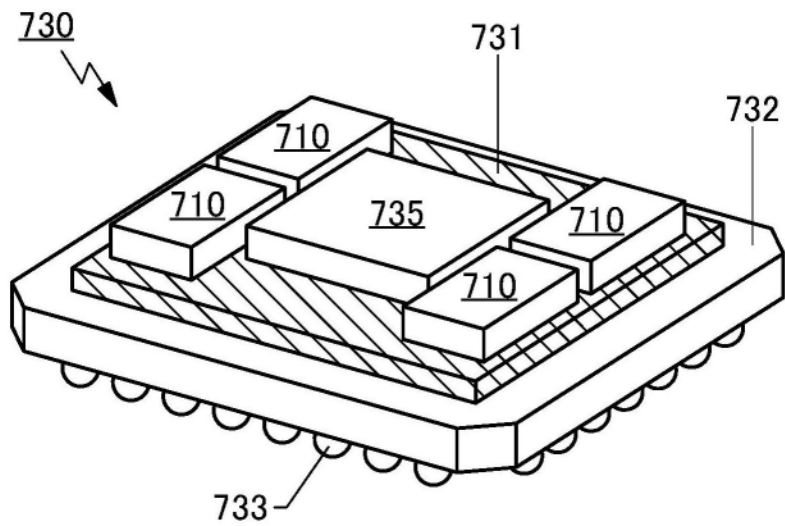


图34B

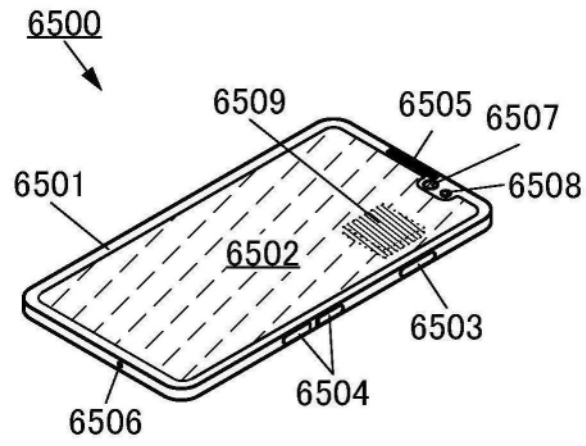


图35A

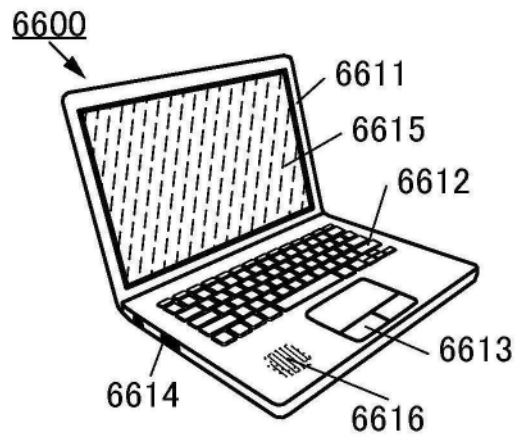


图35B

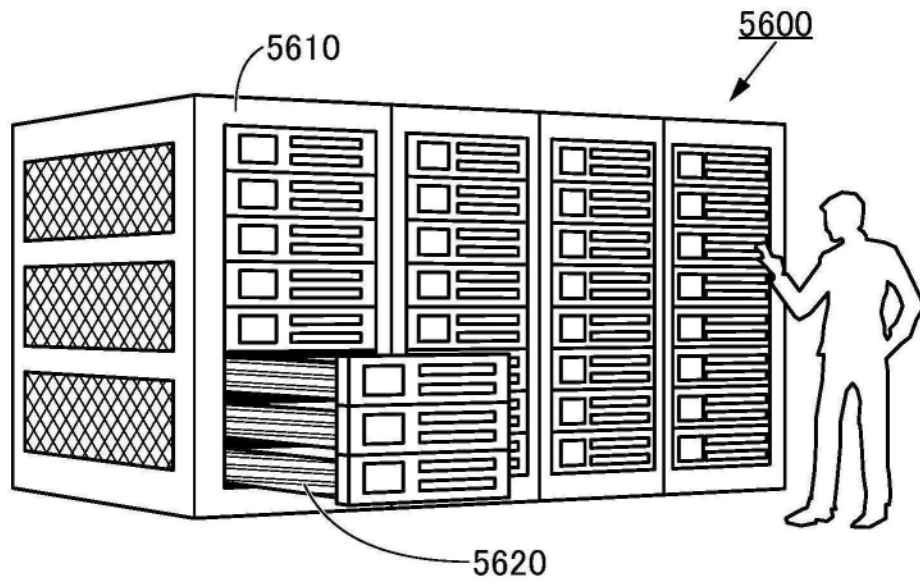


图35C

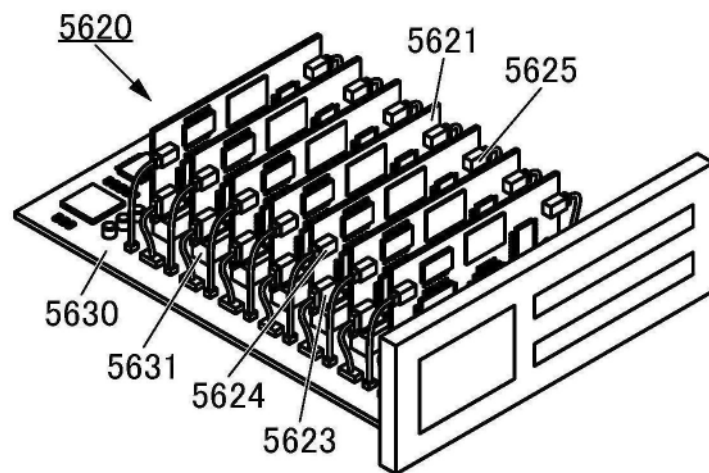


图35D

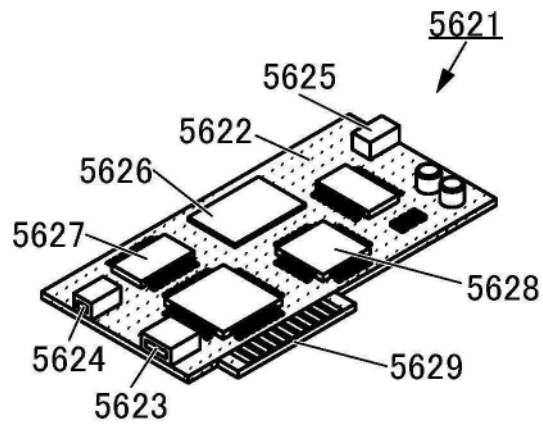


图35E

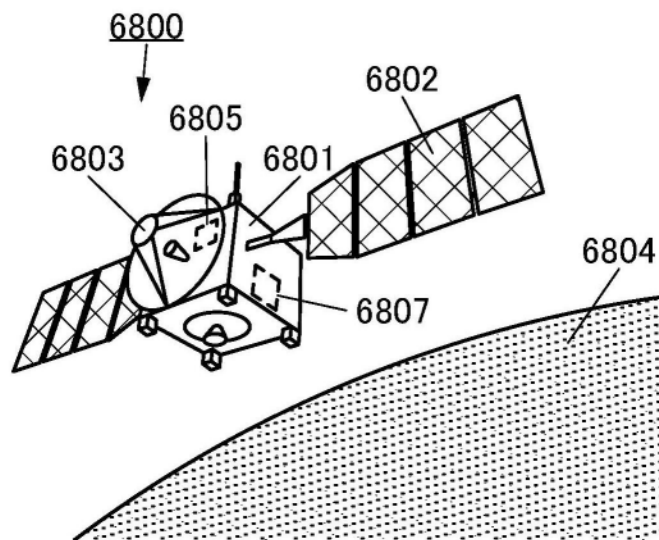


图36

7000

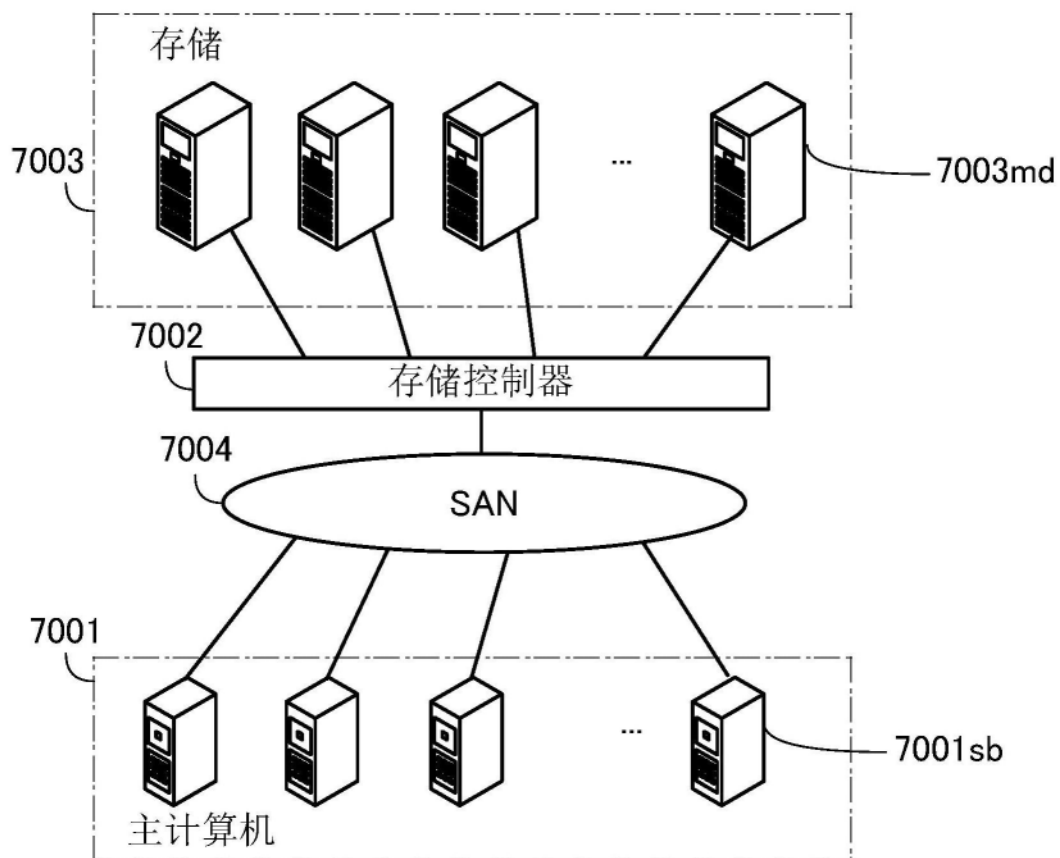


图37

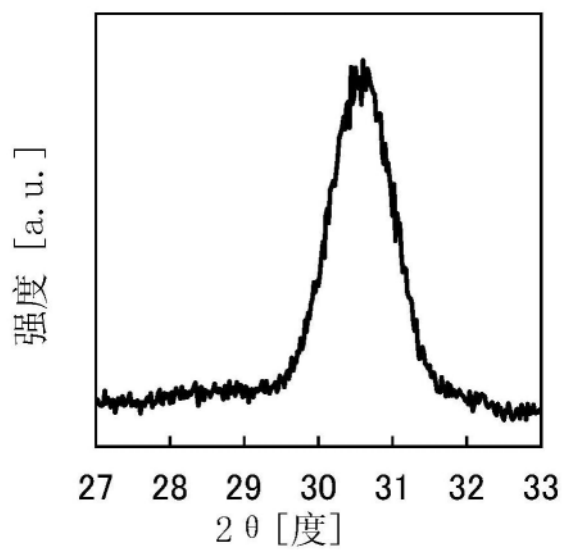


图38

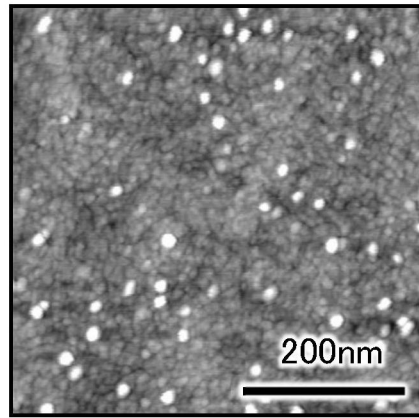


图39A

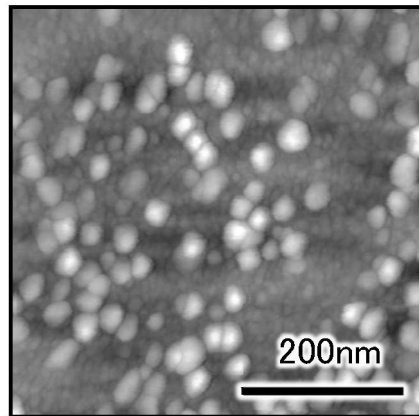


图39B

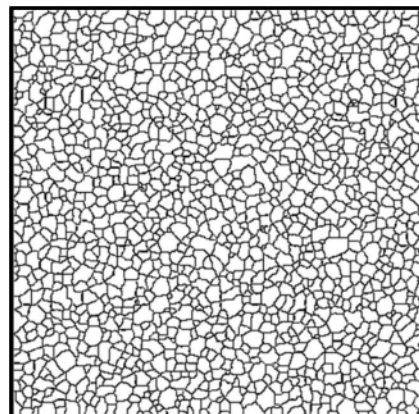


图39C

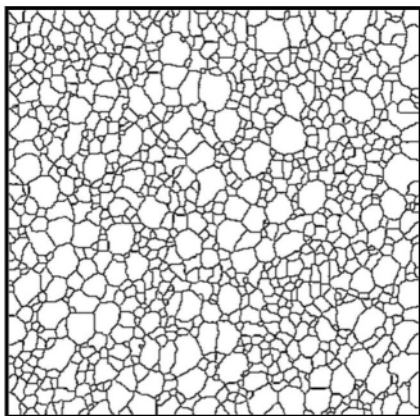


图39D

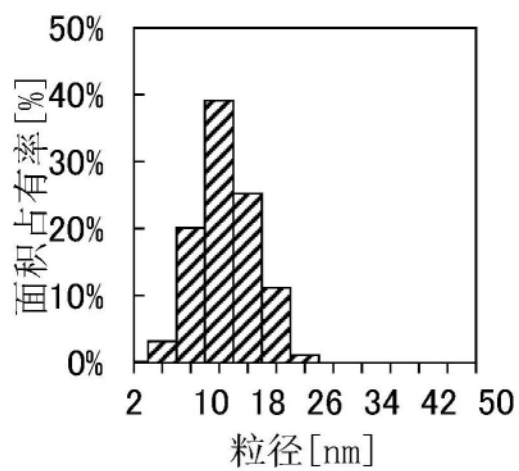


图39E

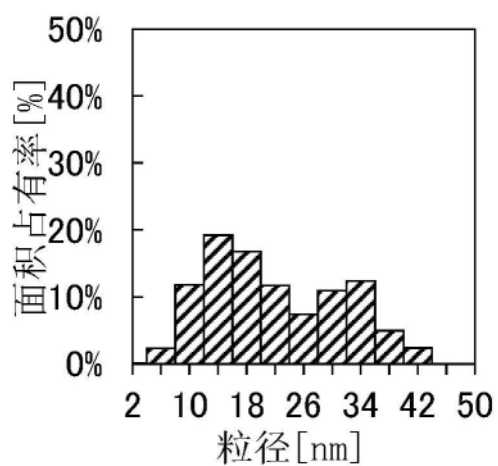


图39F

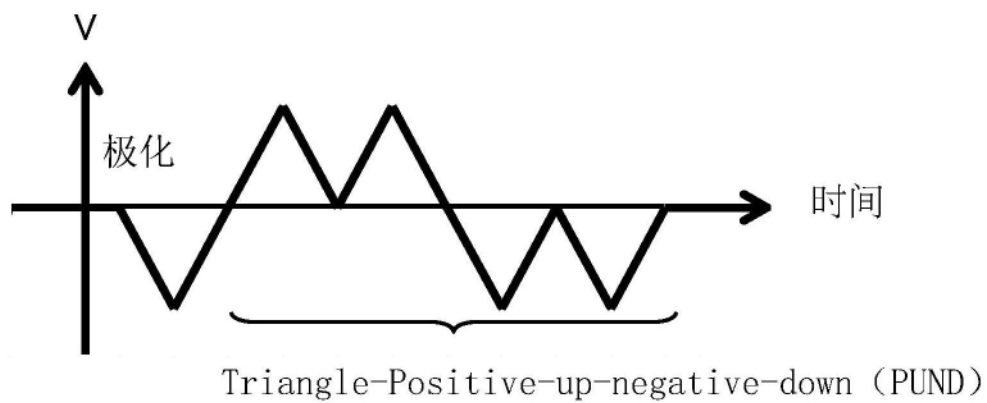


图40A

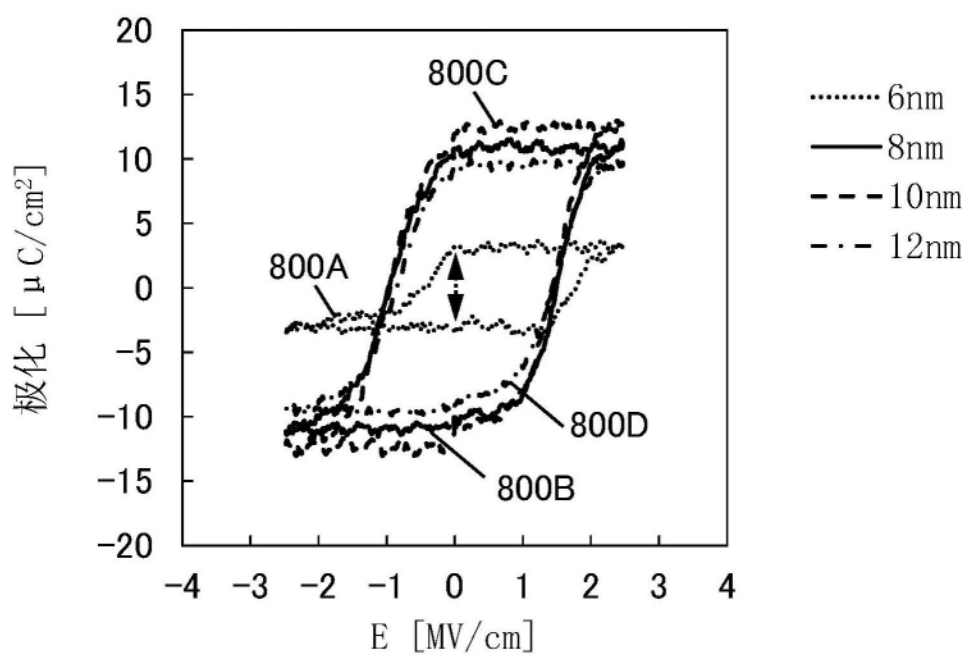


图40B

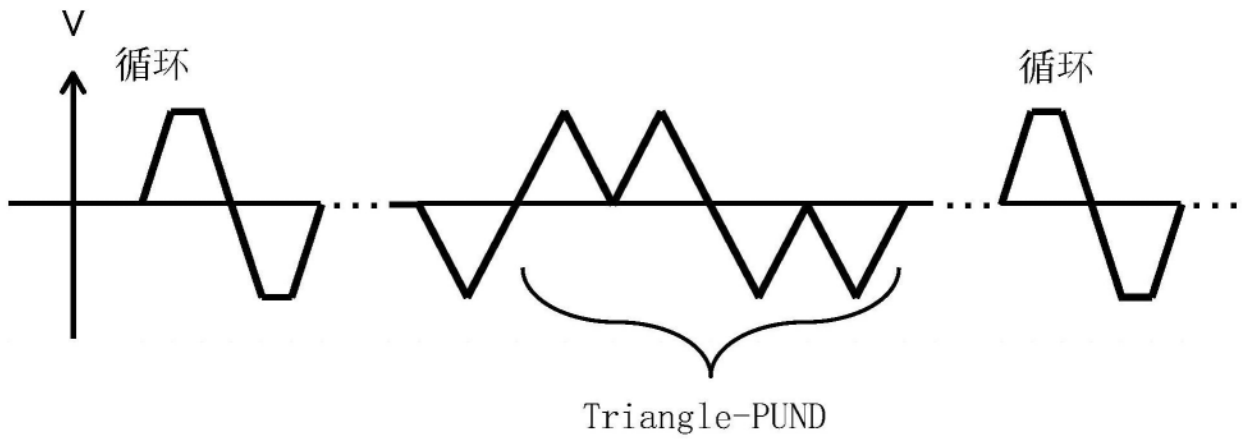


图41A

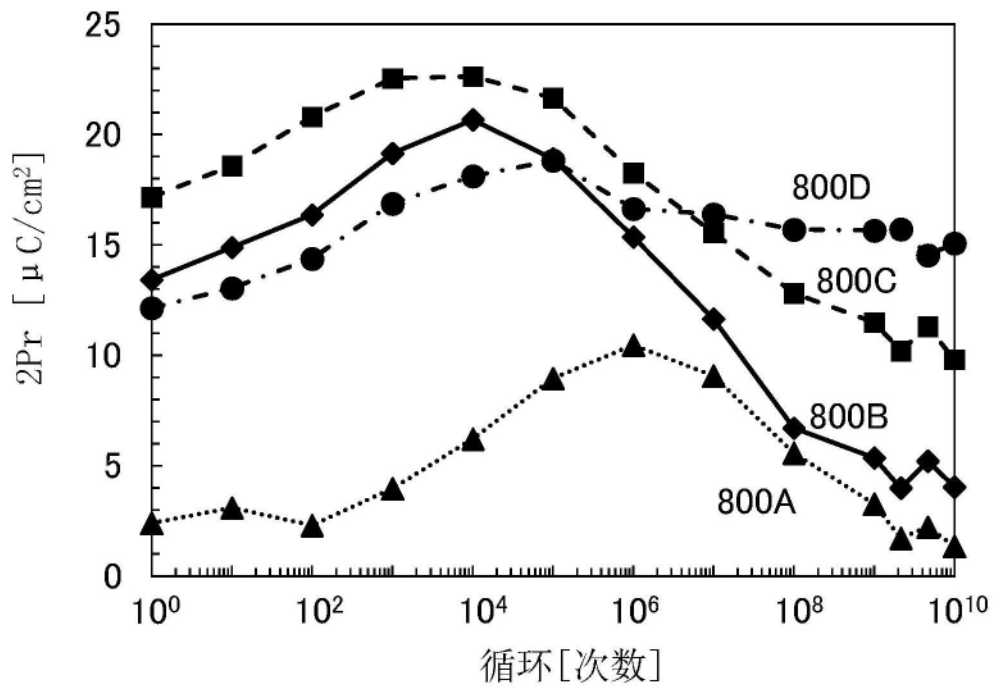


图41B

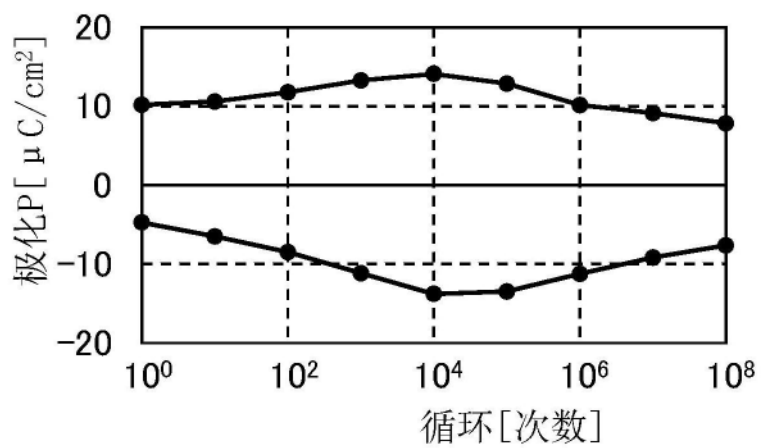


图42A

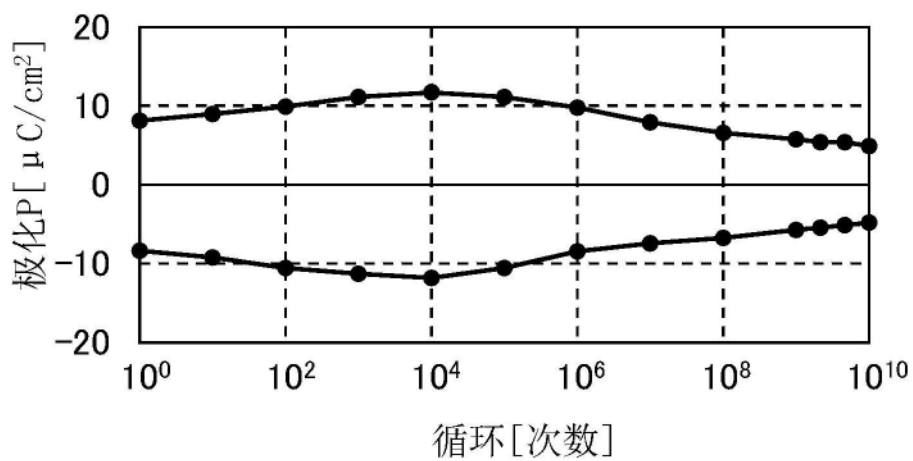


图42B

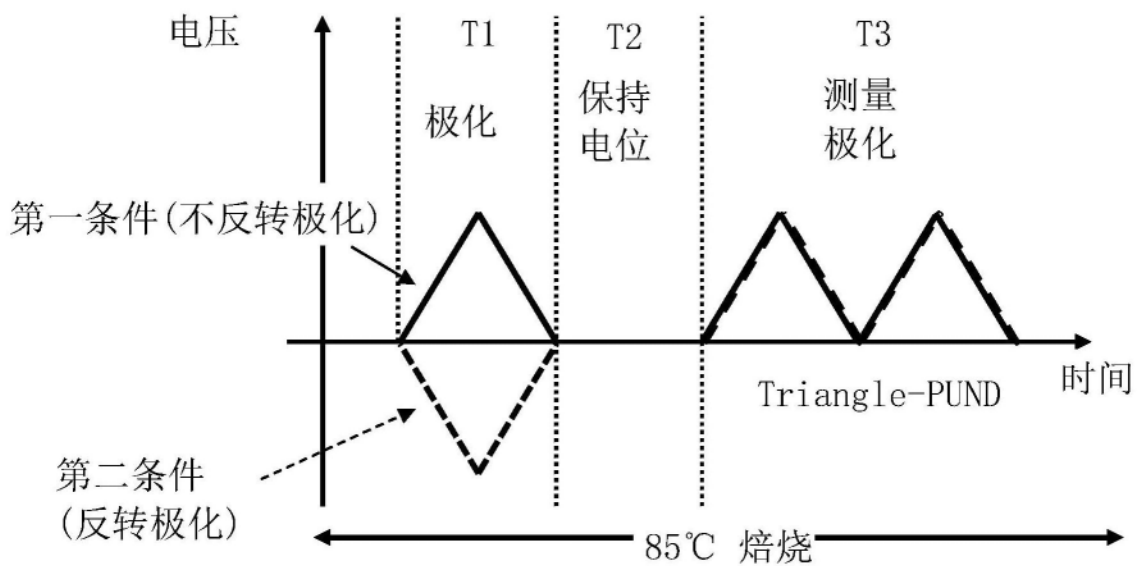


图43A

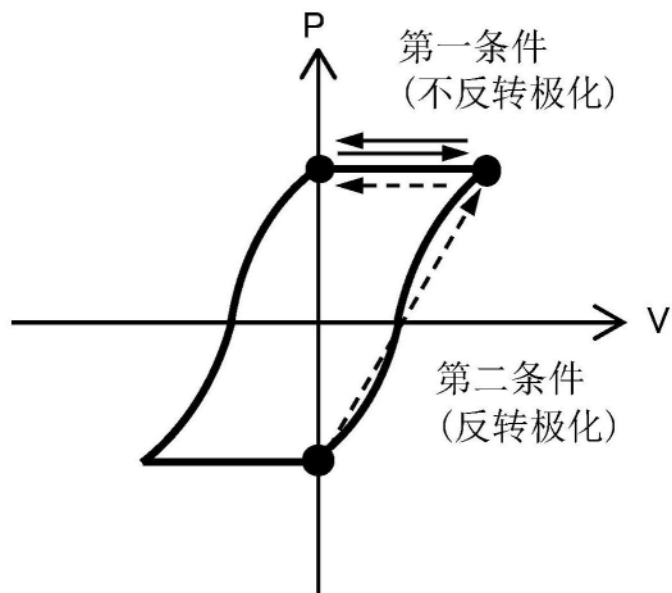


图43B

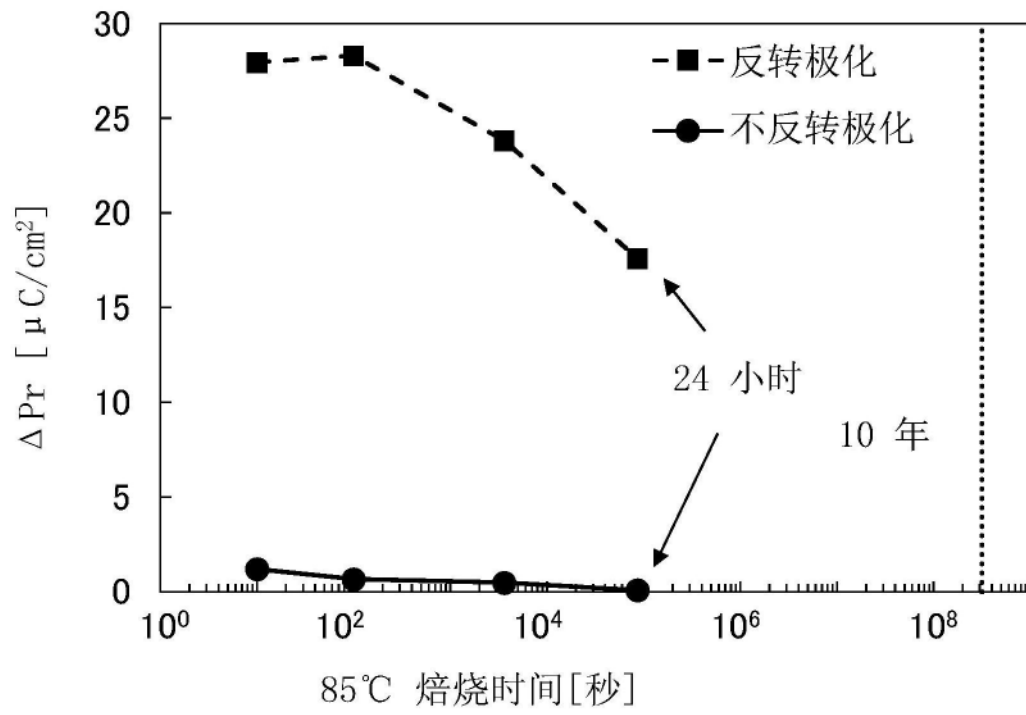


图44

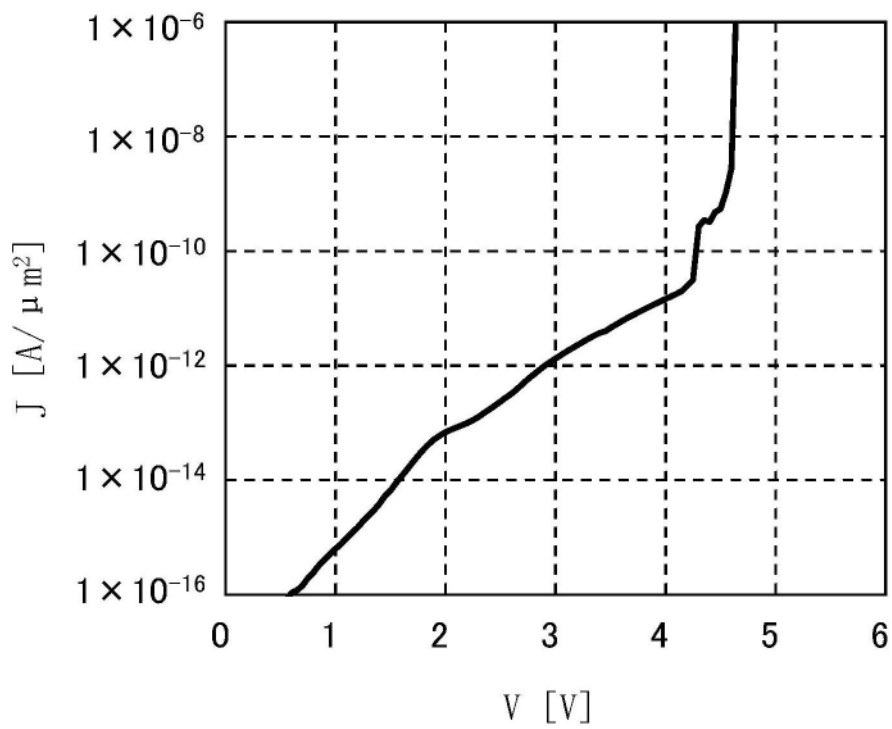


图45

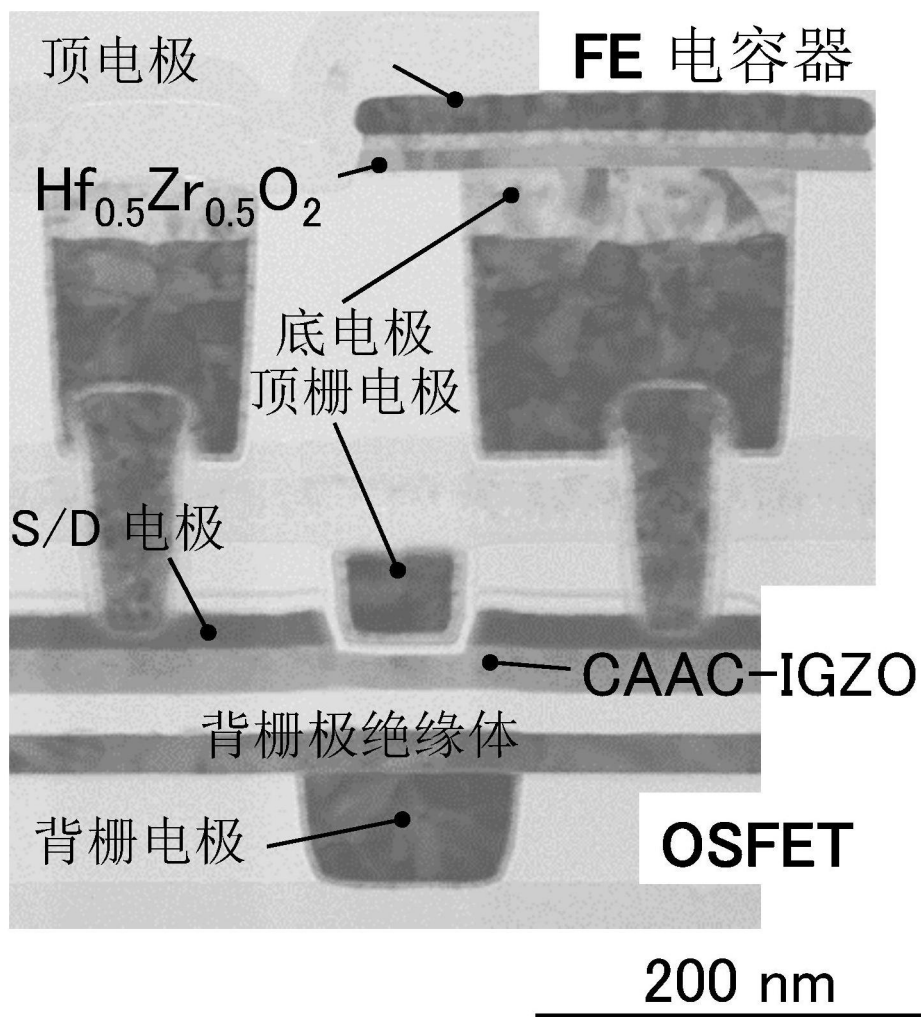


图46

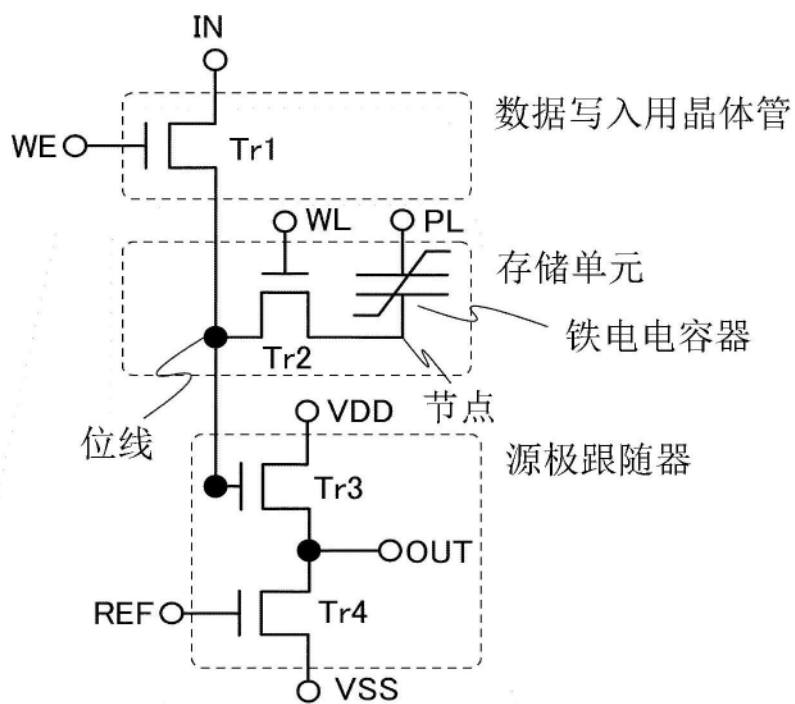


图47A

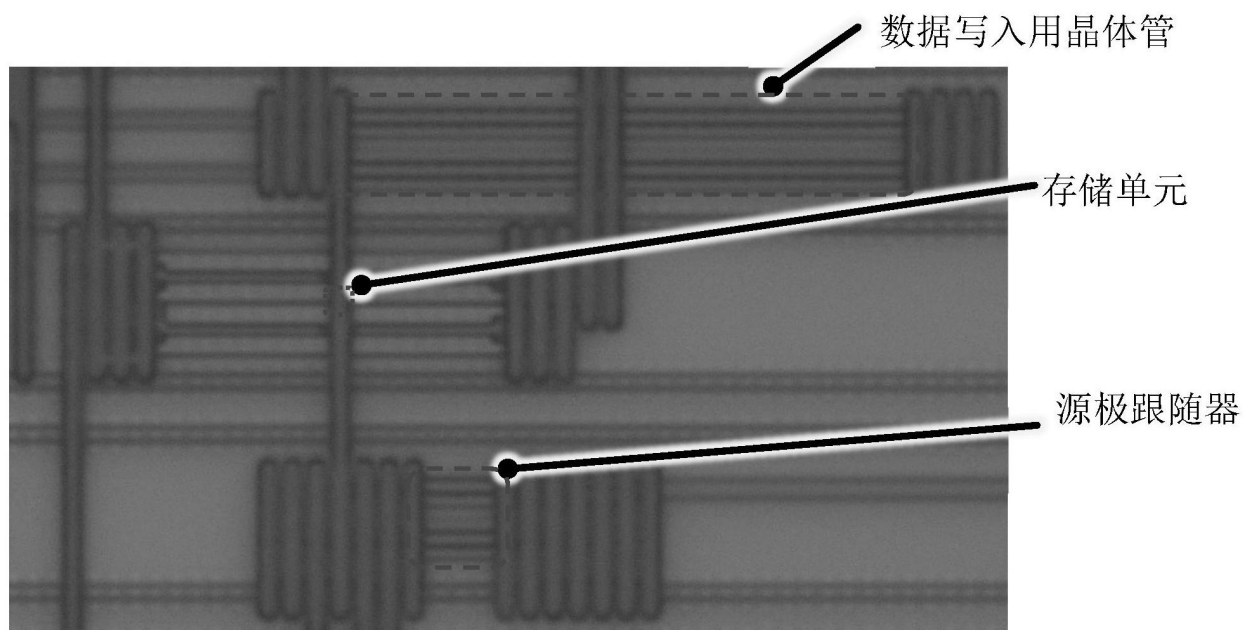


图47B

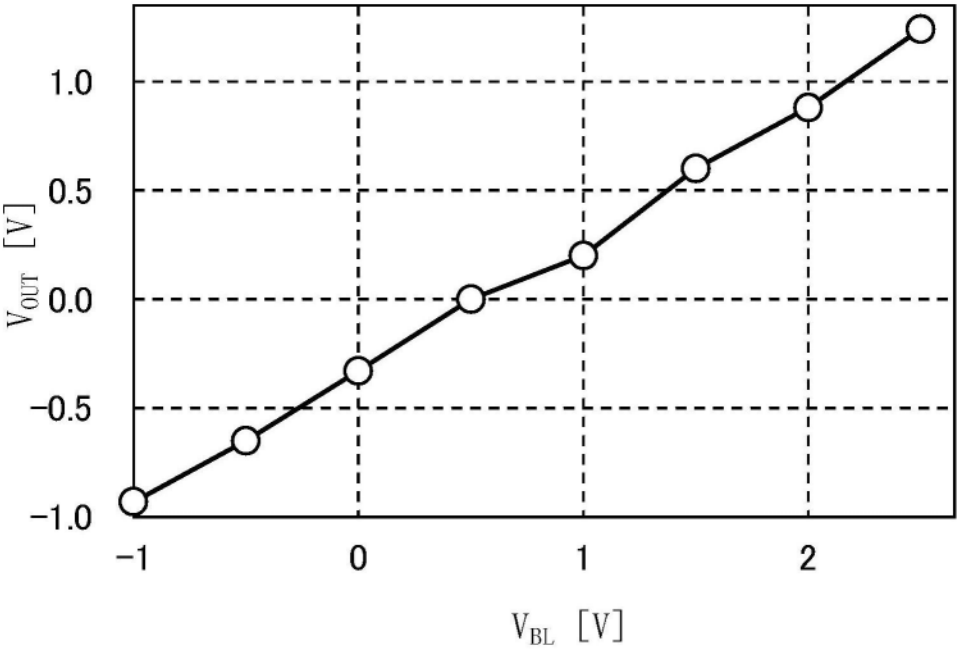


图48

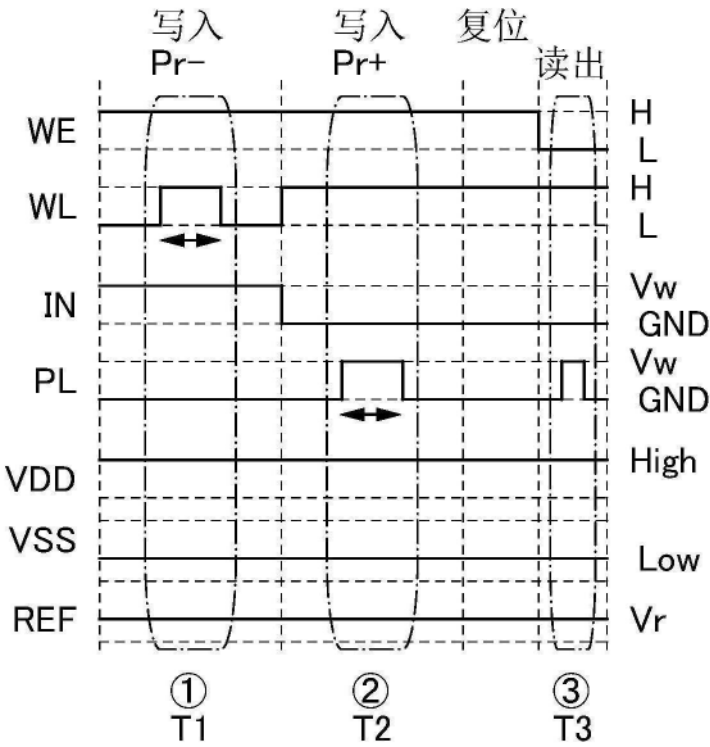


图49A

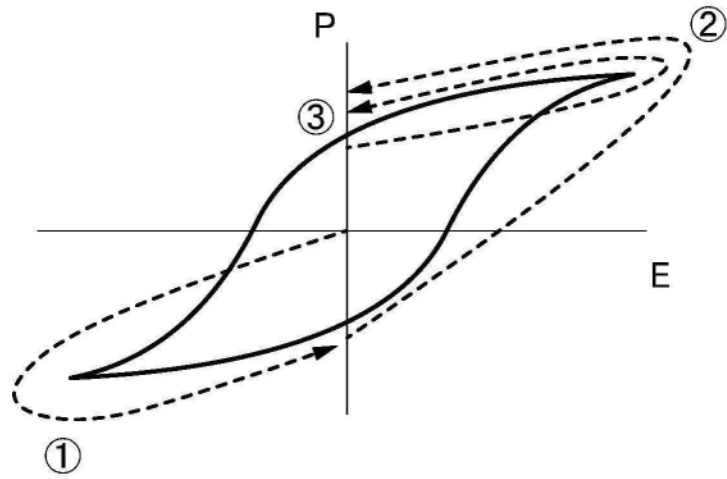


图49B

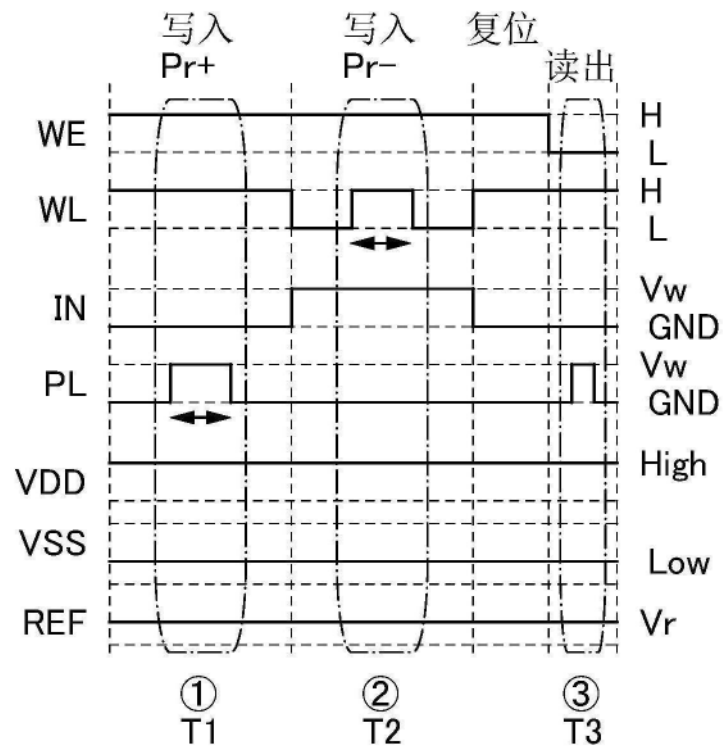


图50A

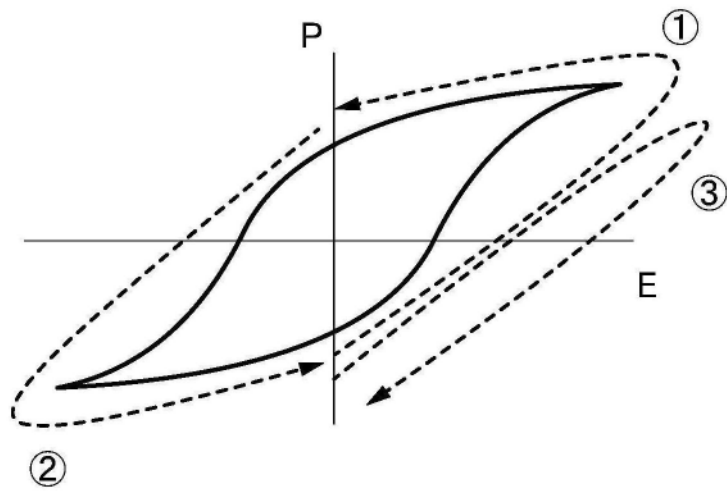


图50B

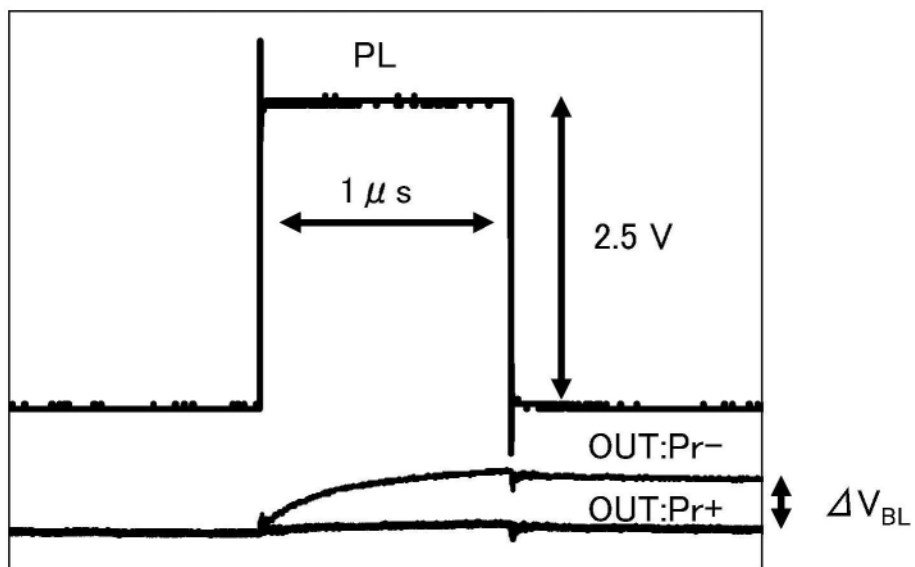


图51

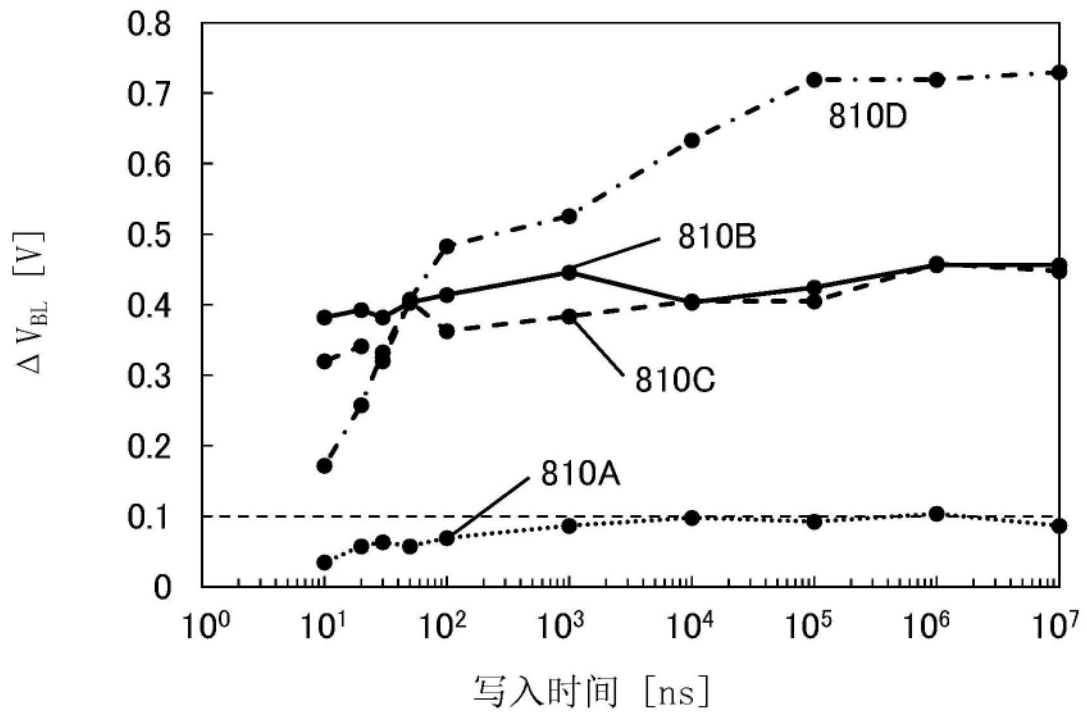


图52

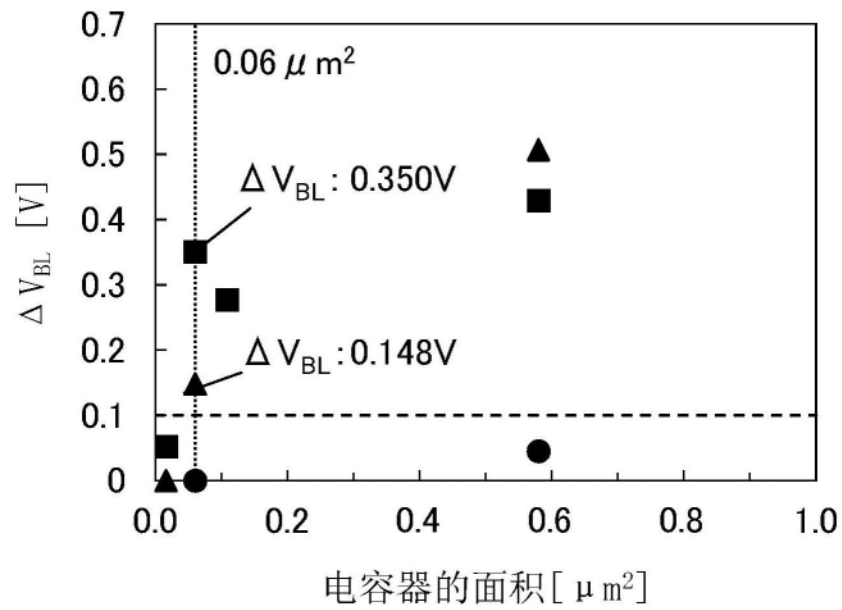


图53

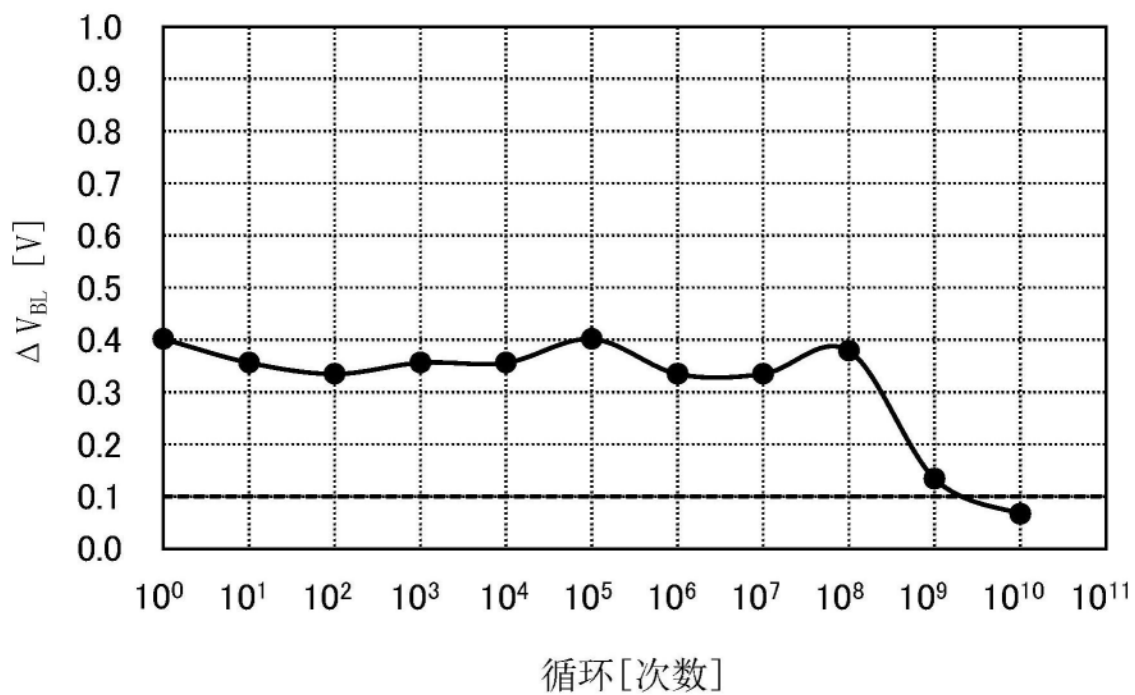


图54A

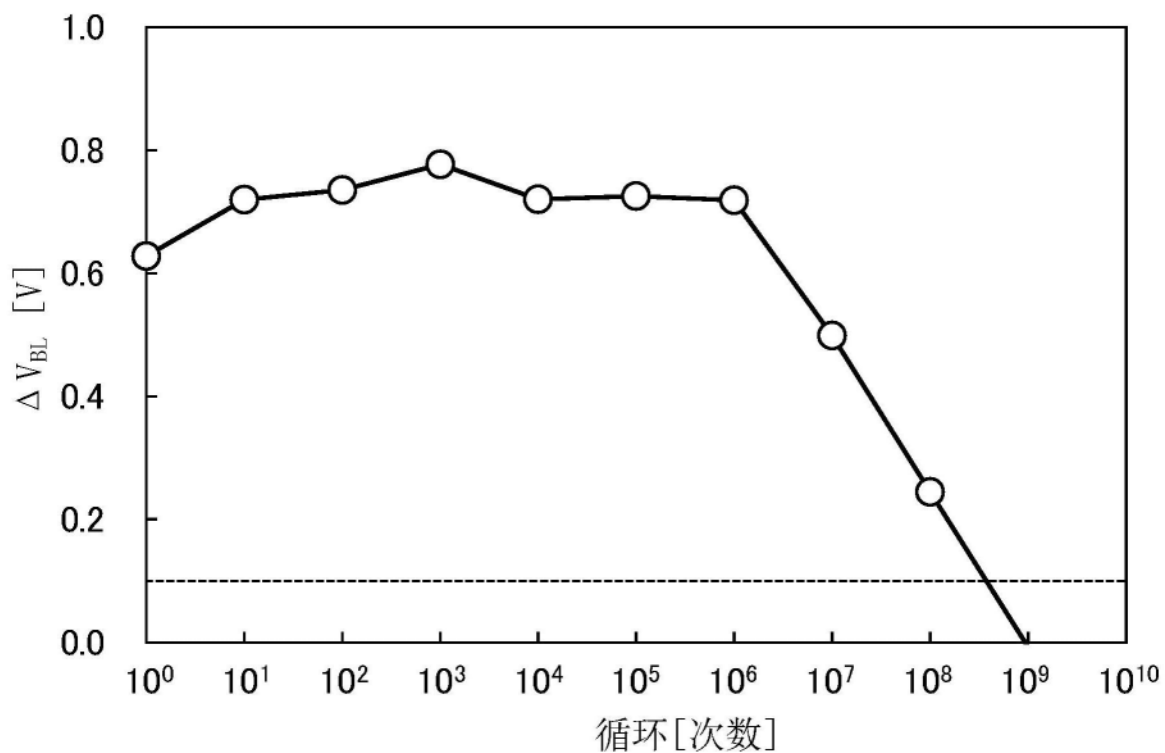


图54B

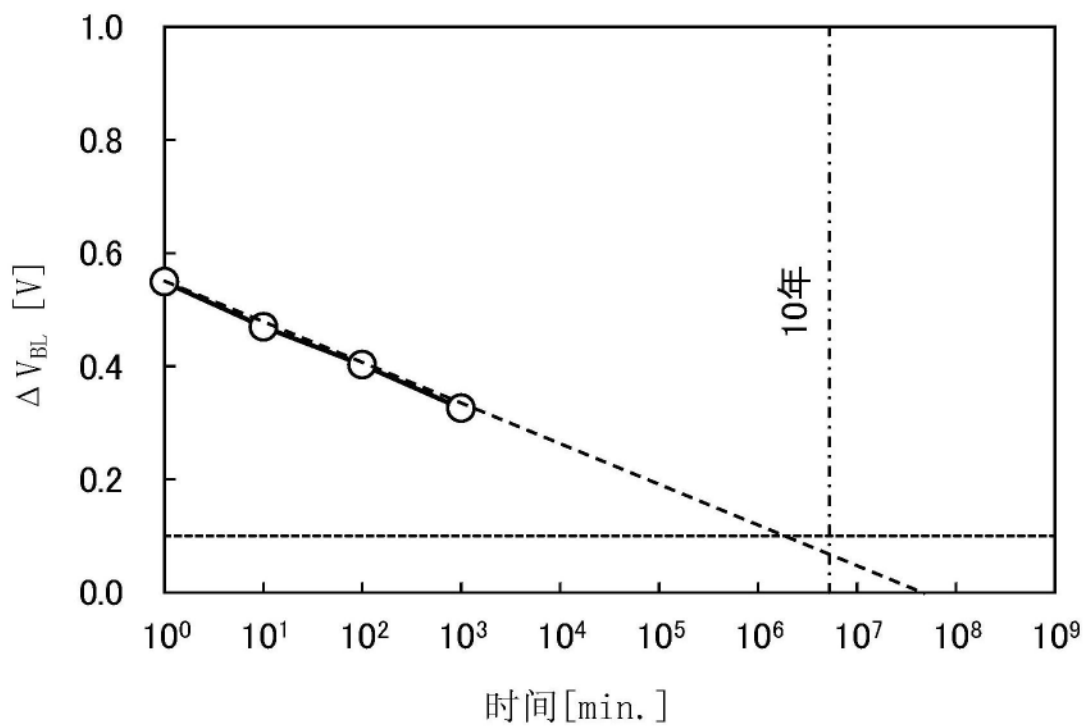


图55A

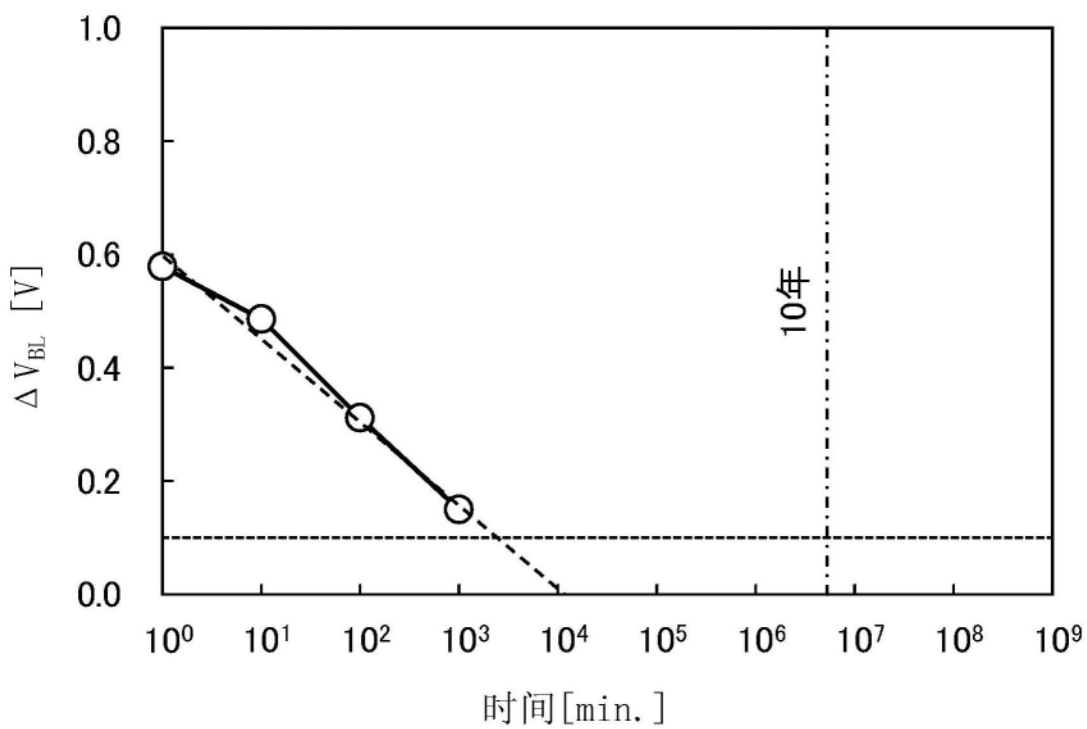


图55B

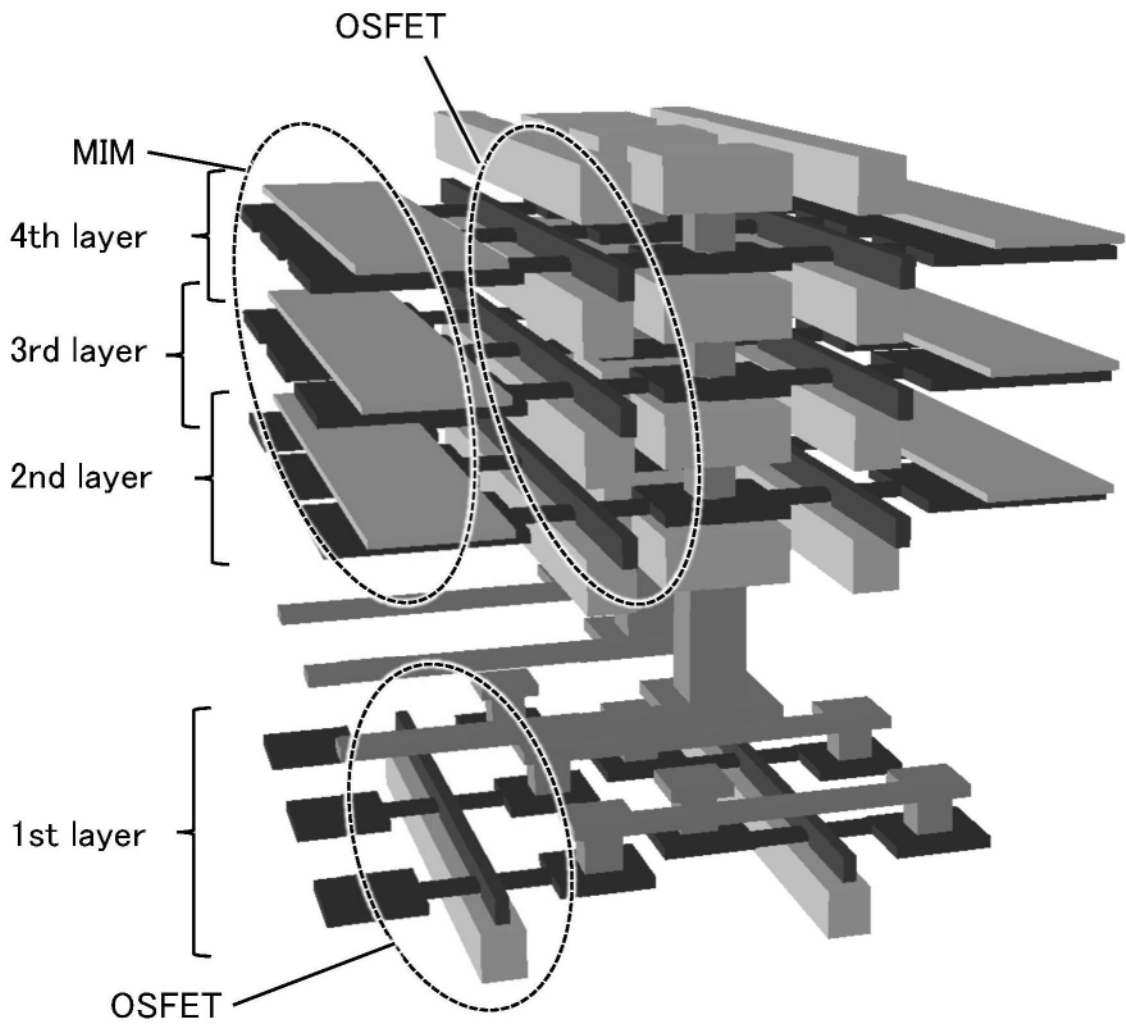


图56A

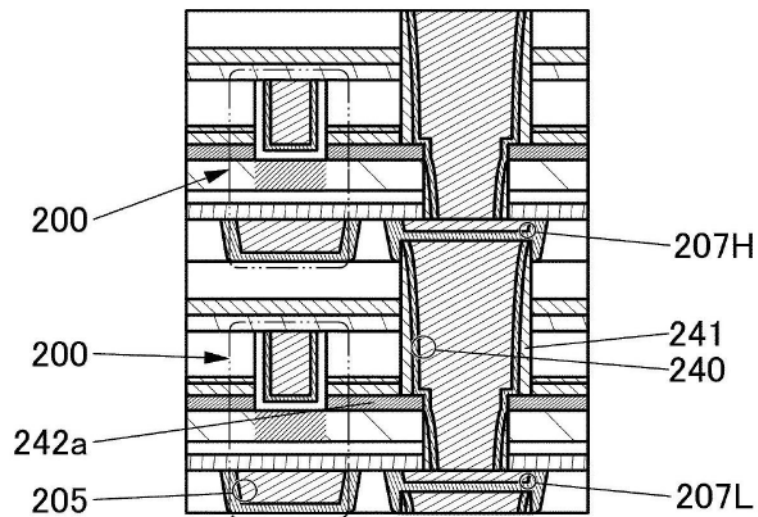


图56B

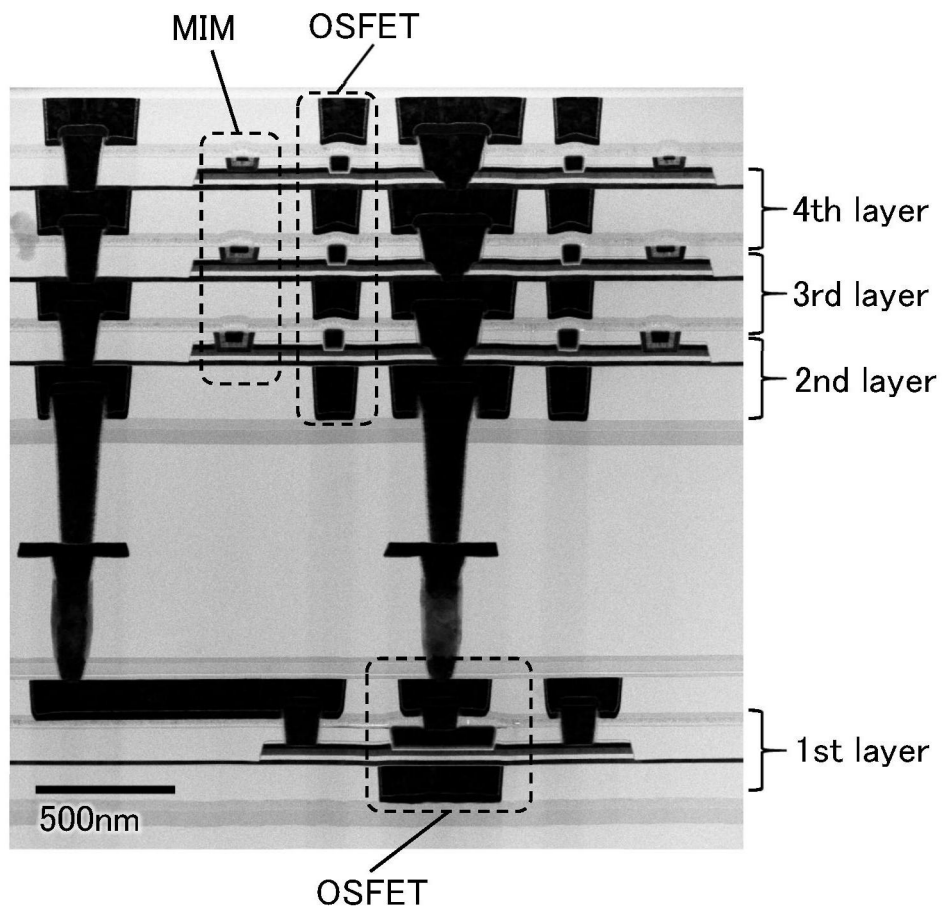


图57

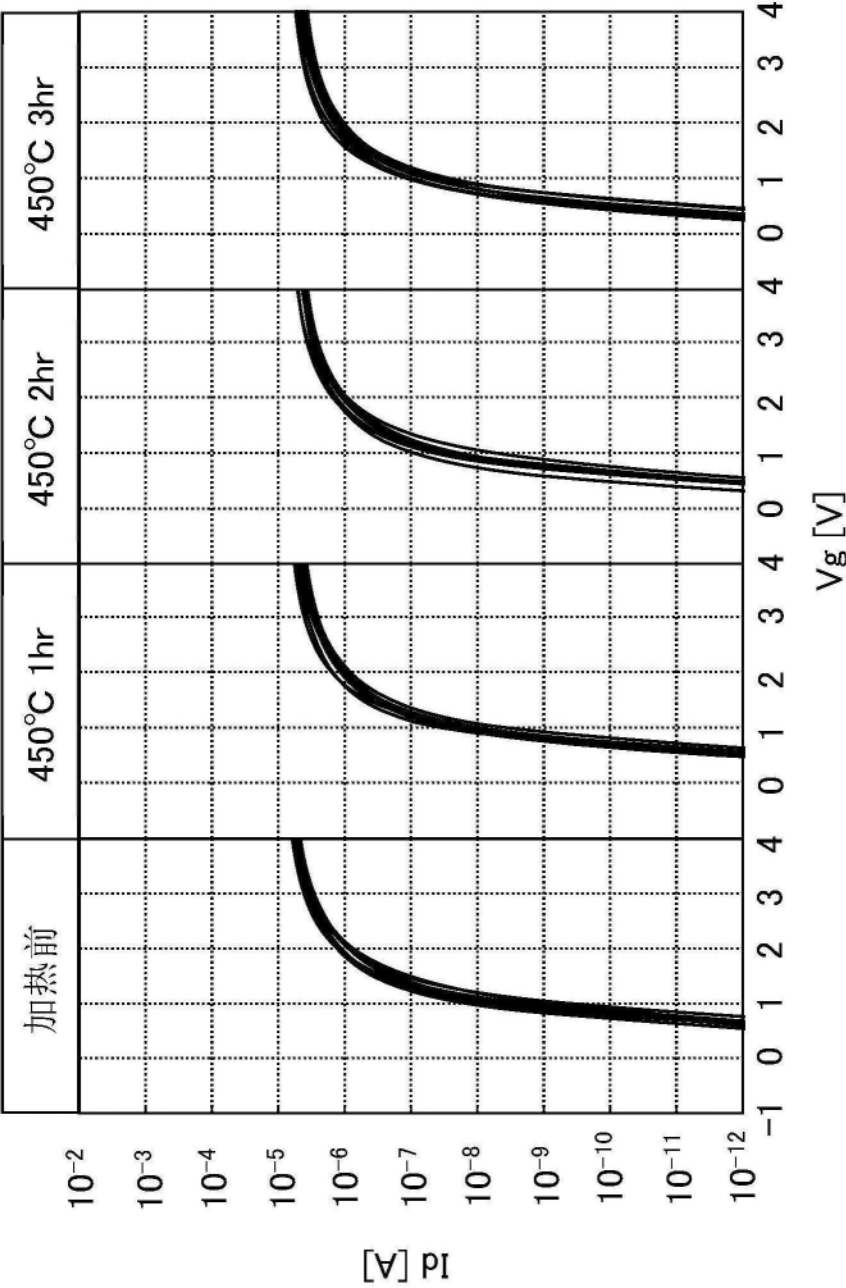


图58

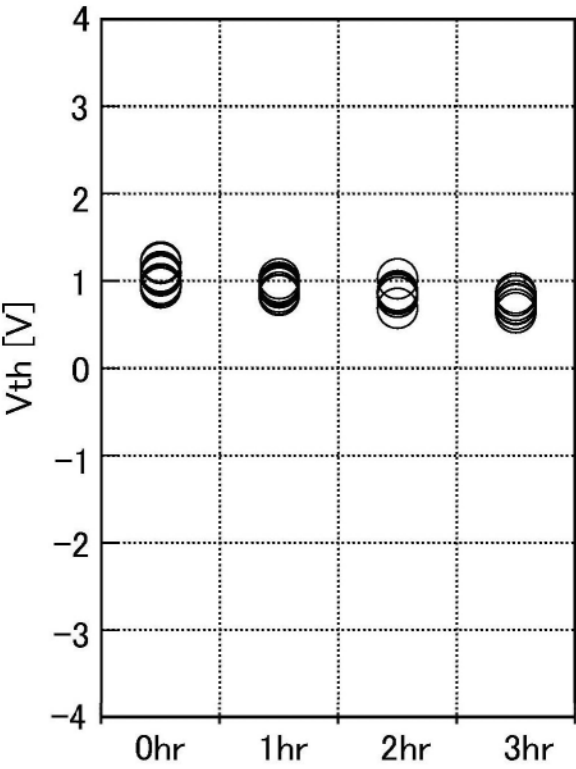


图59

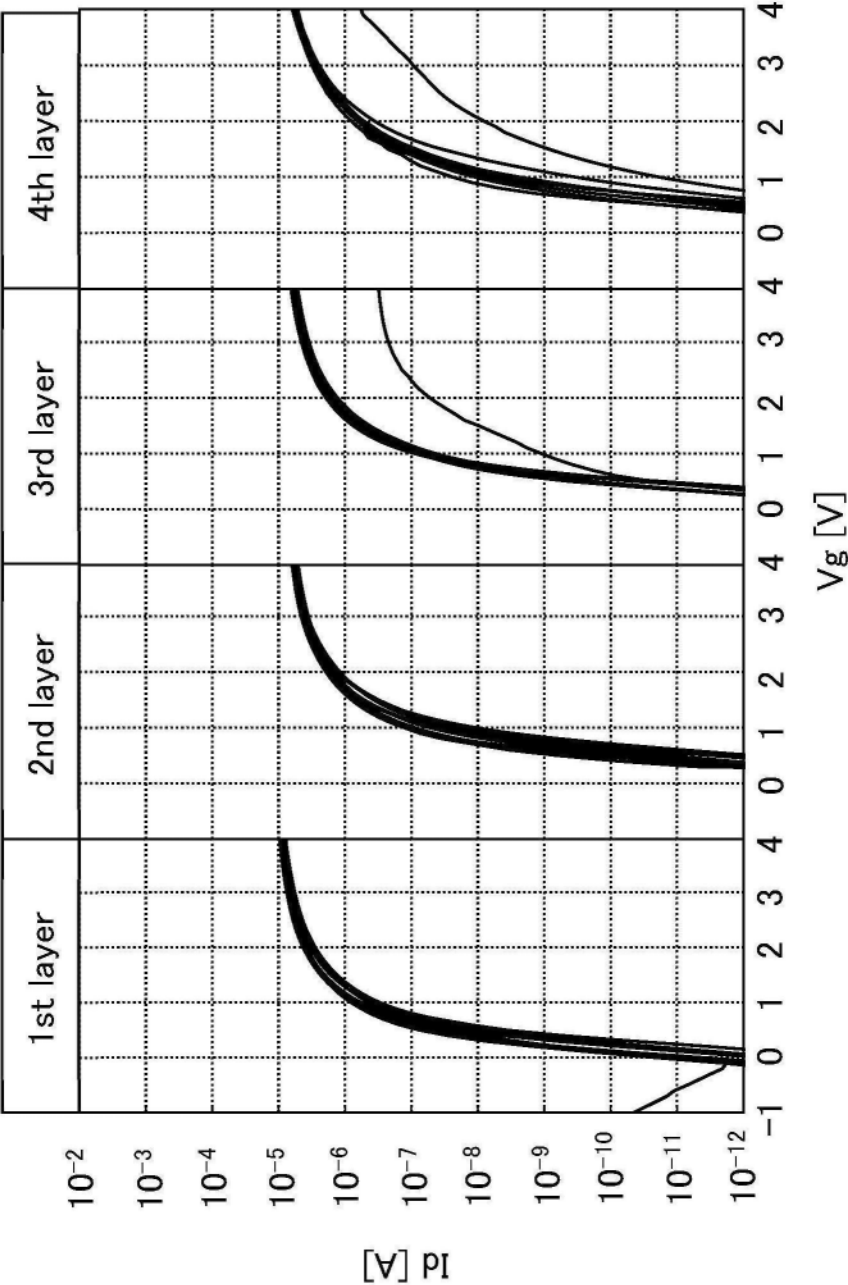


图60

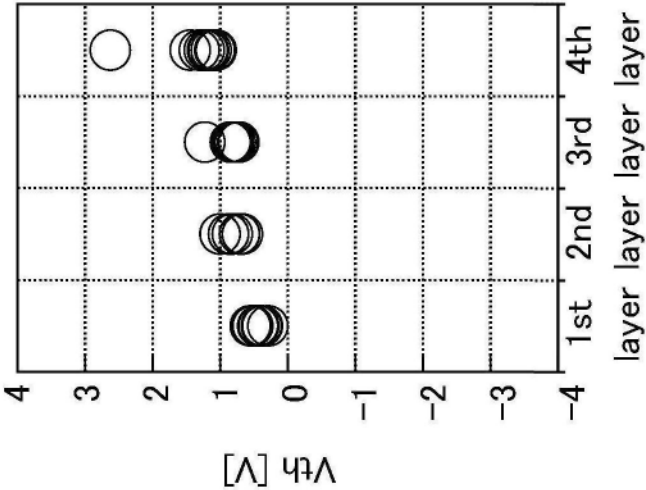


图61A

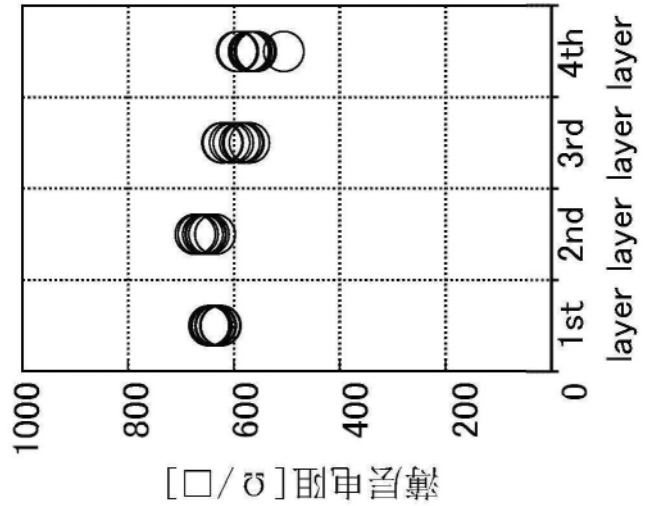


图61B

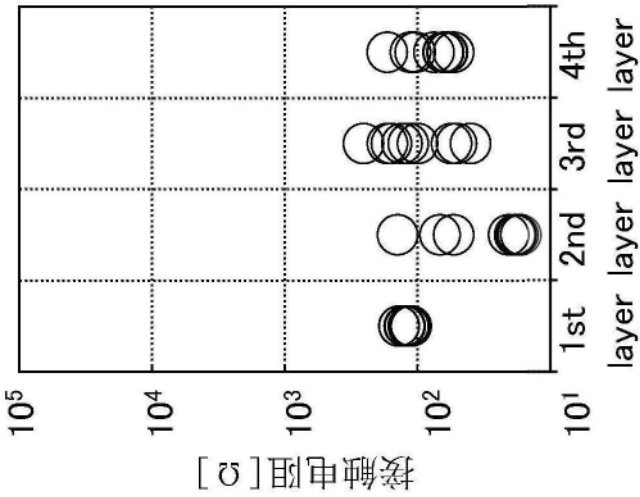


图61C

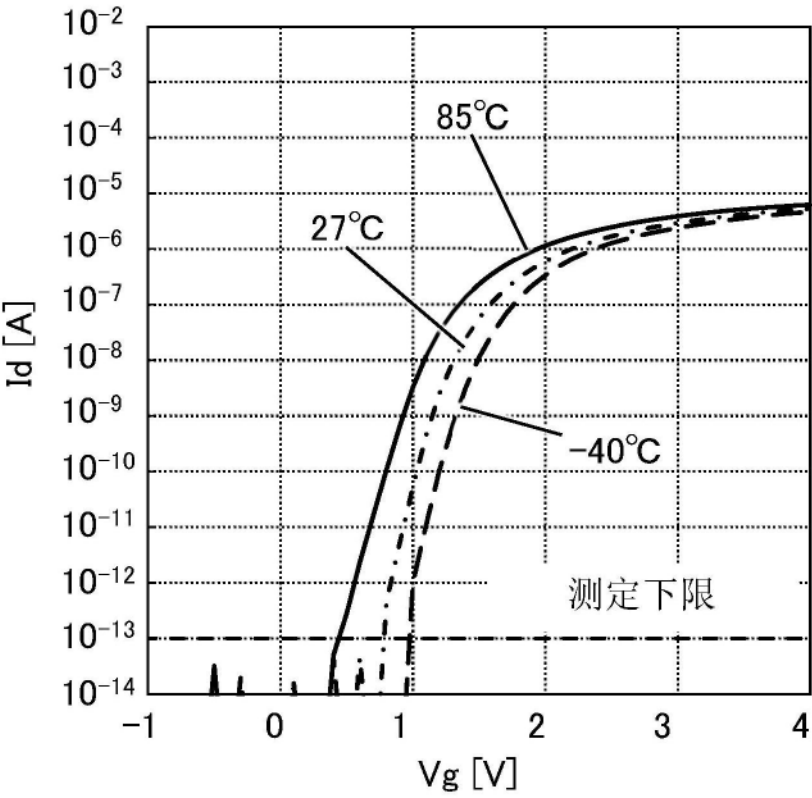


图62

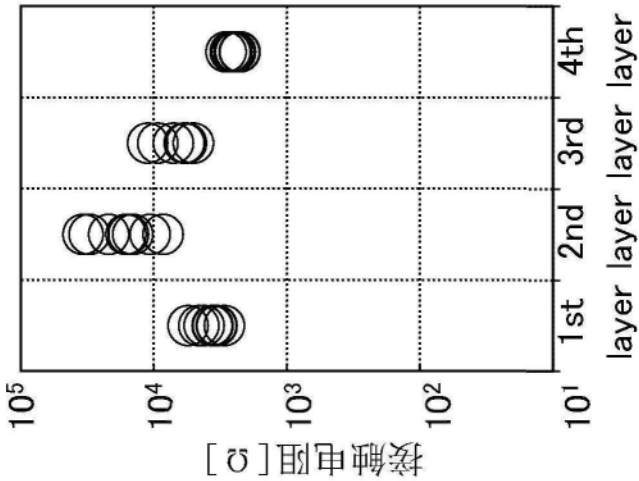


图63A

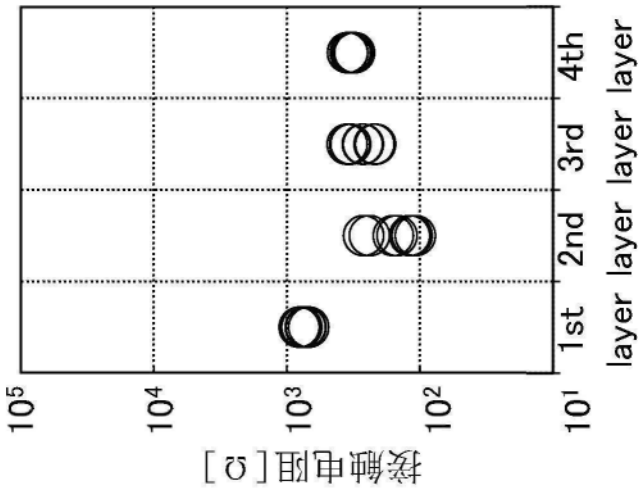


图63B

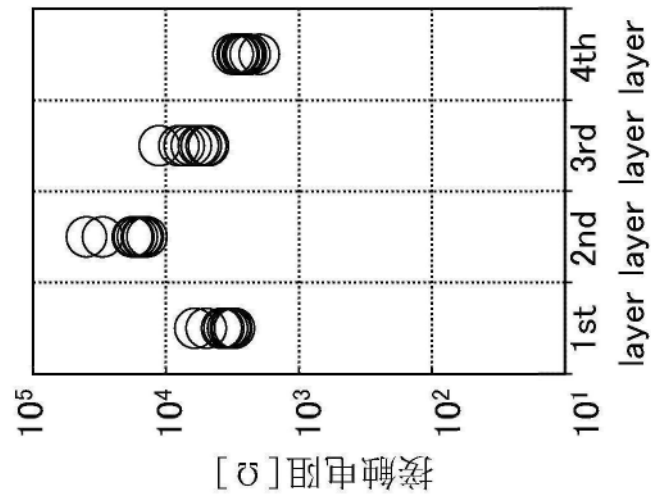


图63C

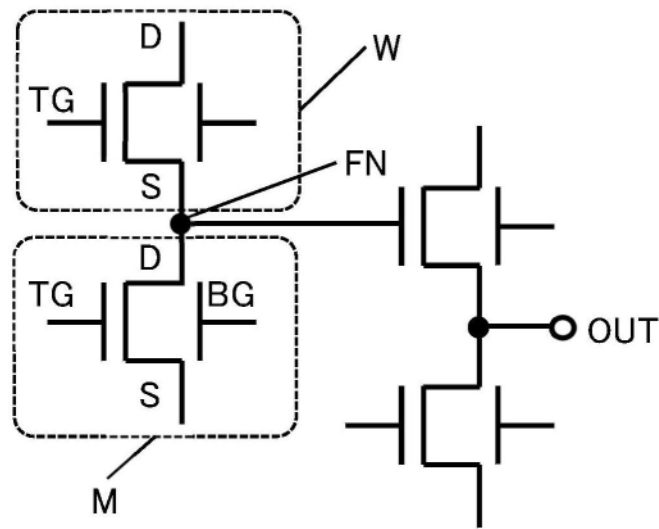


图64A

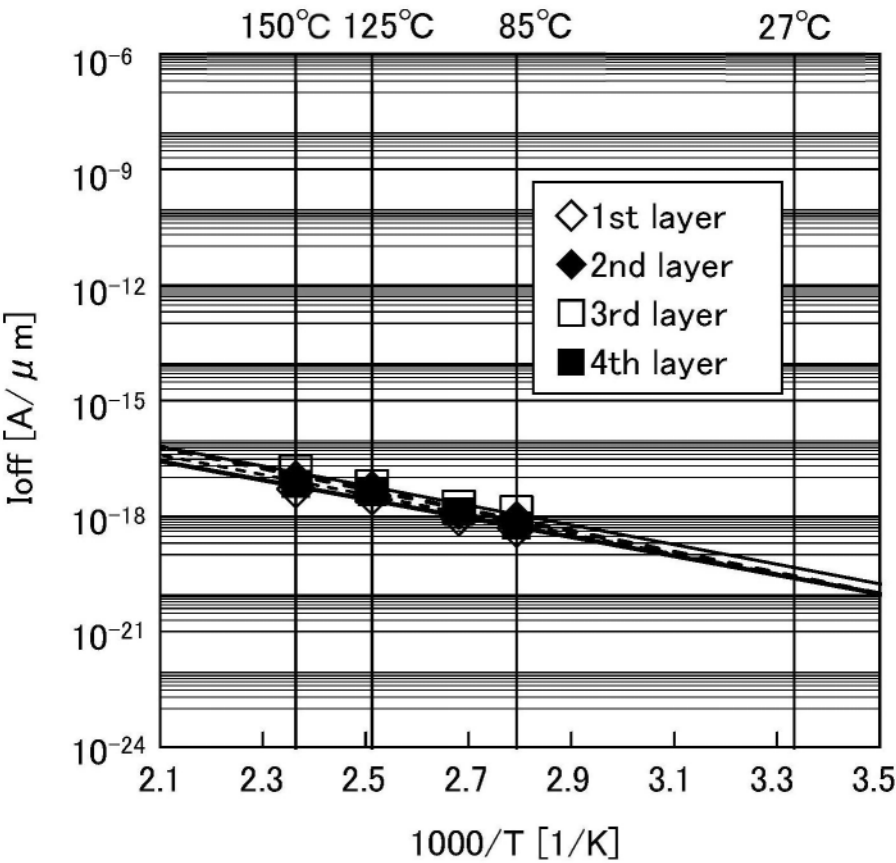


图64B

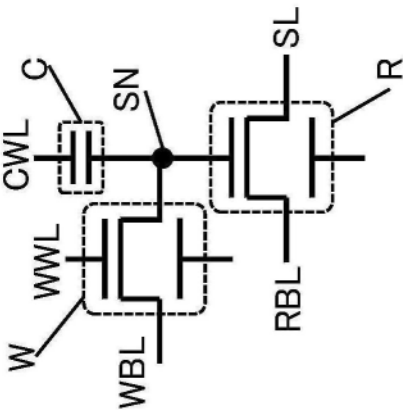


图65A

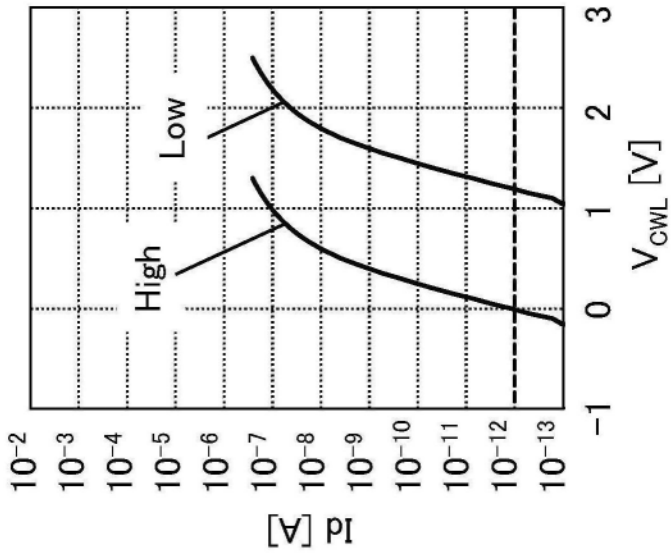


图65B

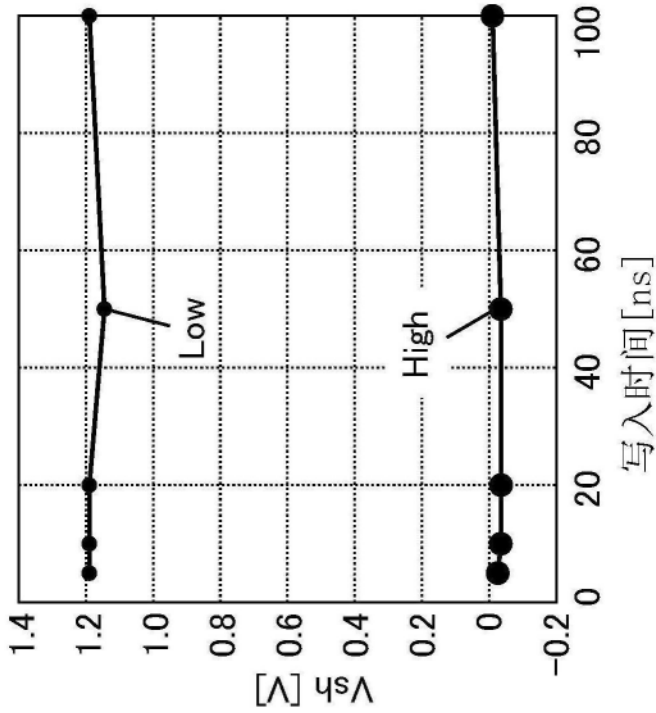


图65C

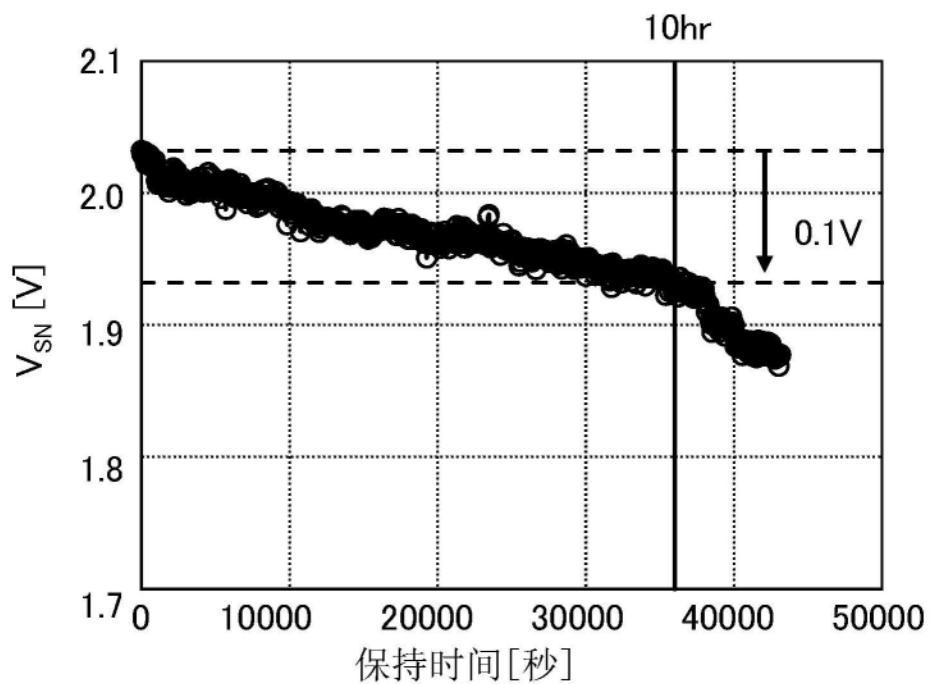


图66A

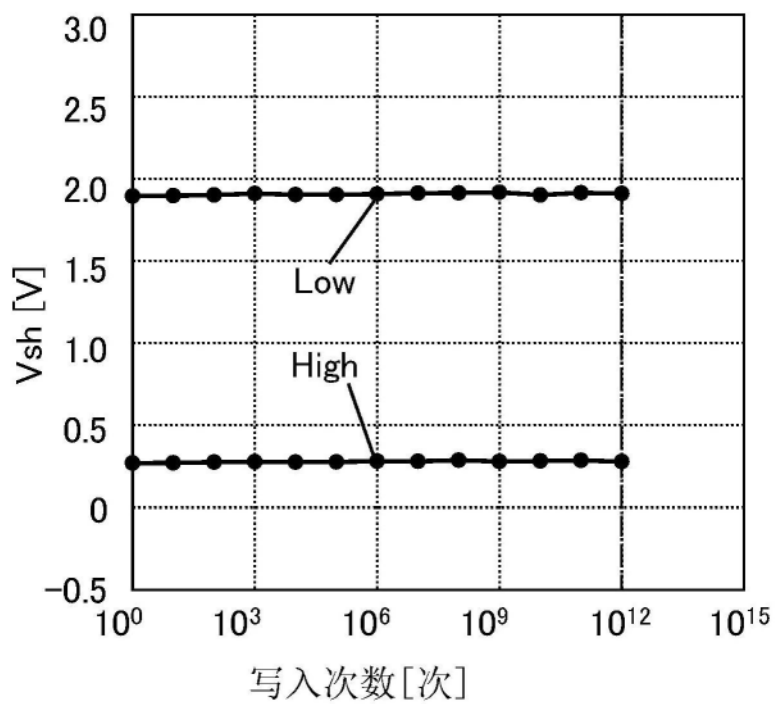


图66B

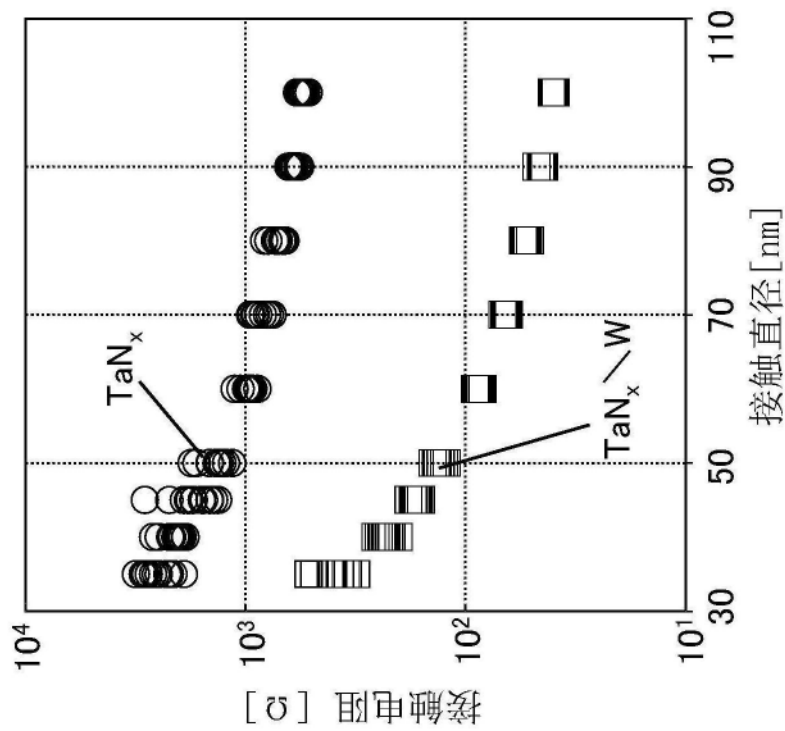


图67A

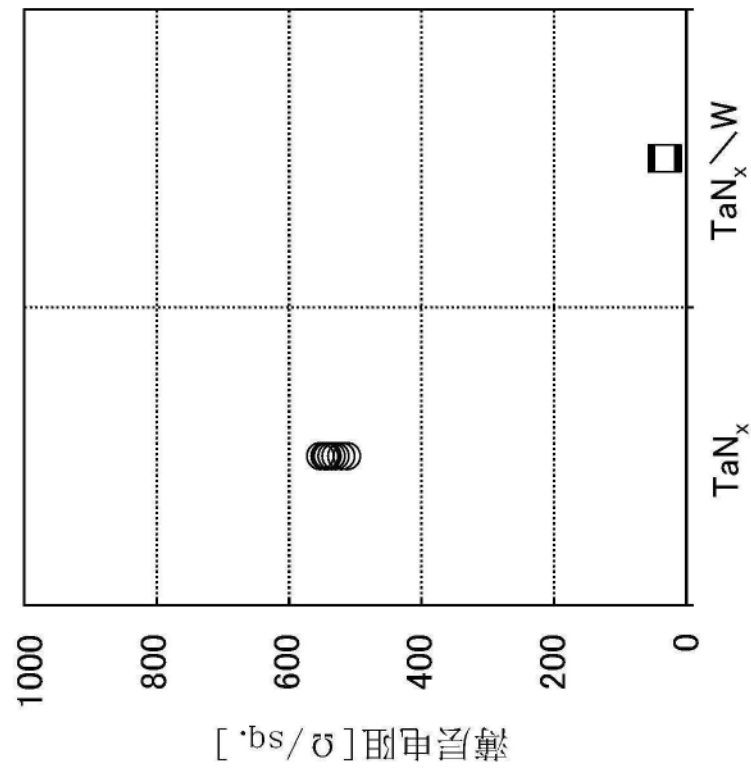


图67B

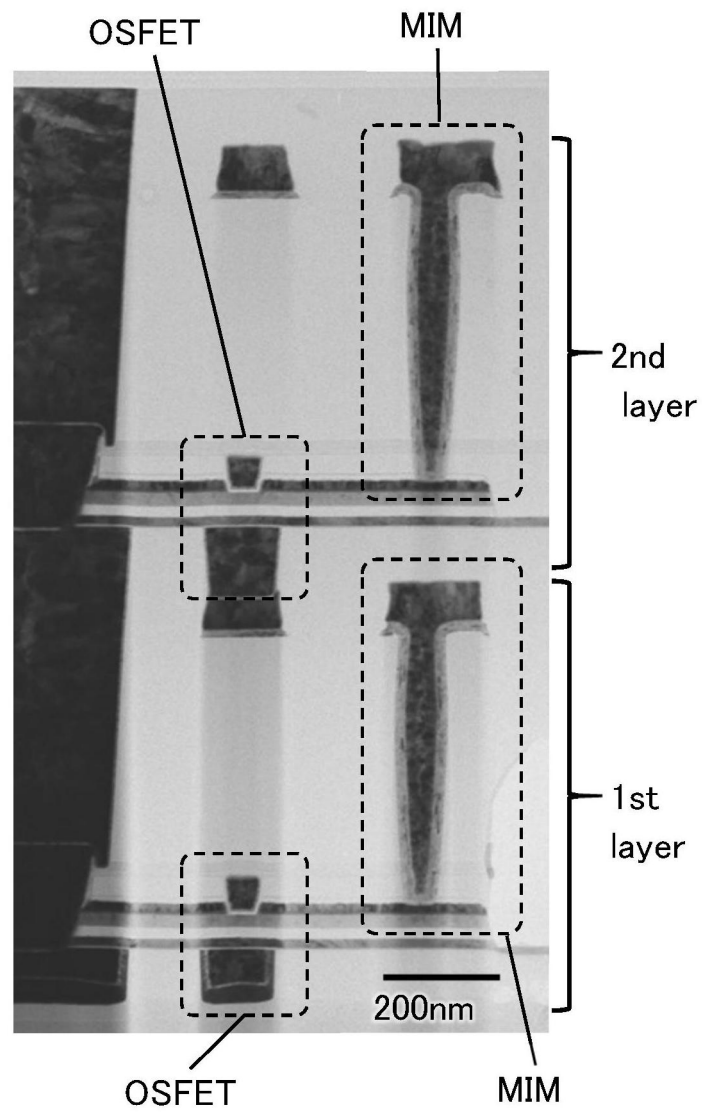


图68

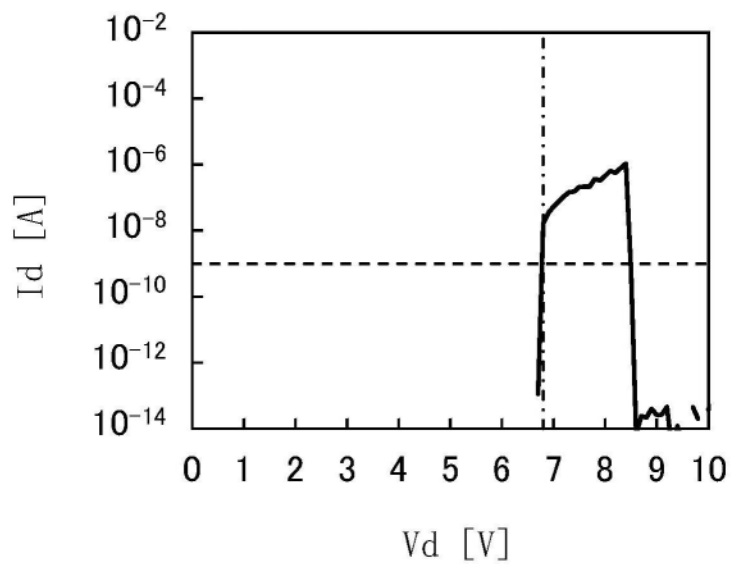


图69A

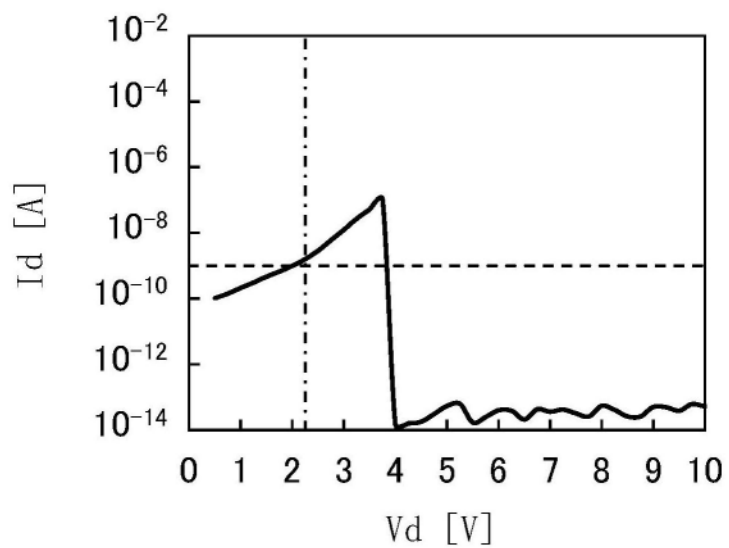


图69B

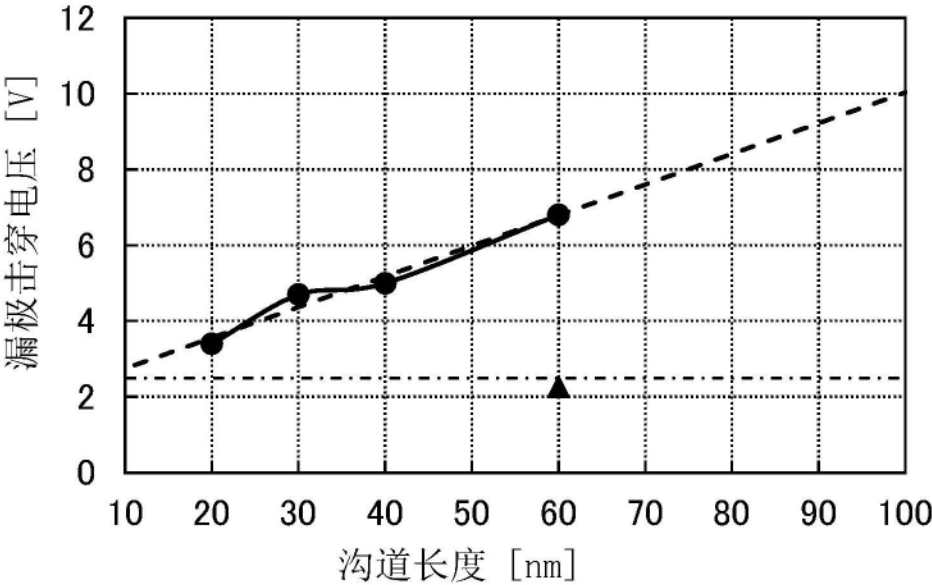


图70

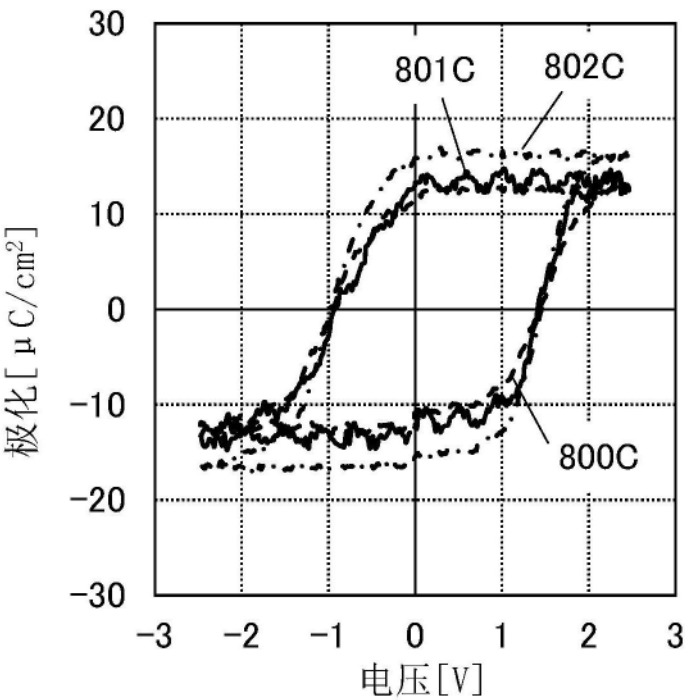


图71

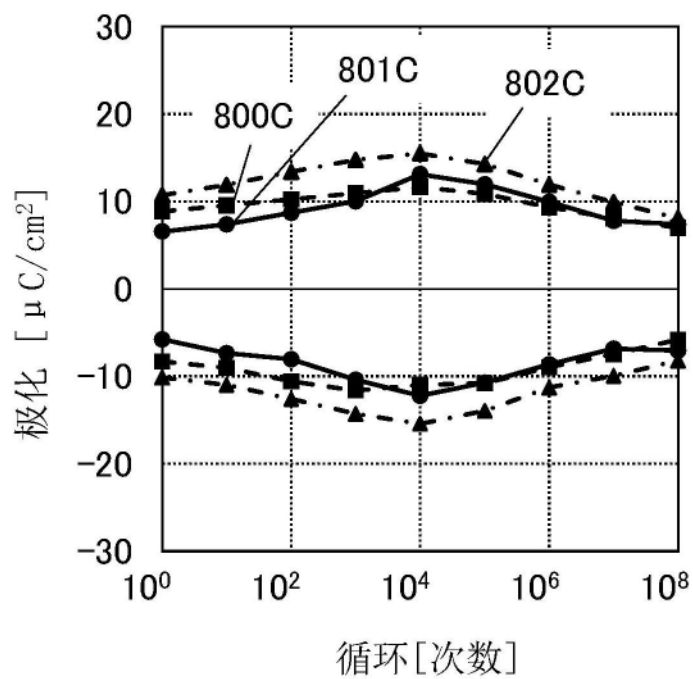


图72

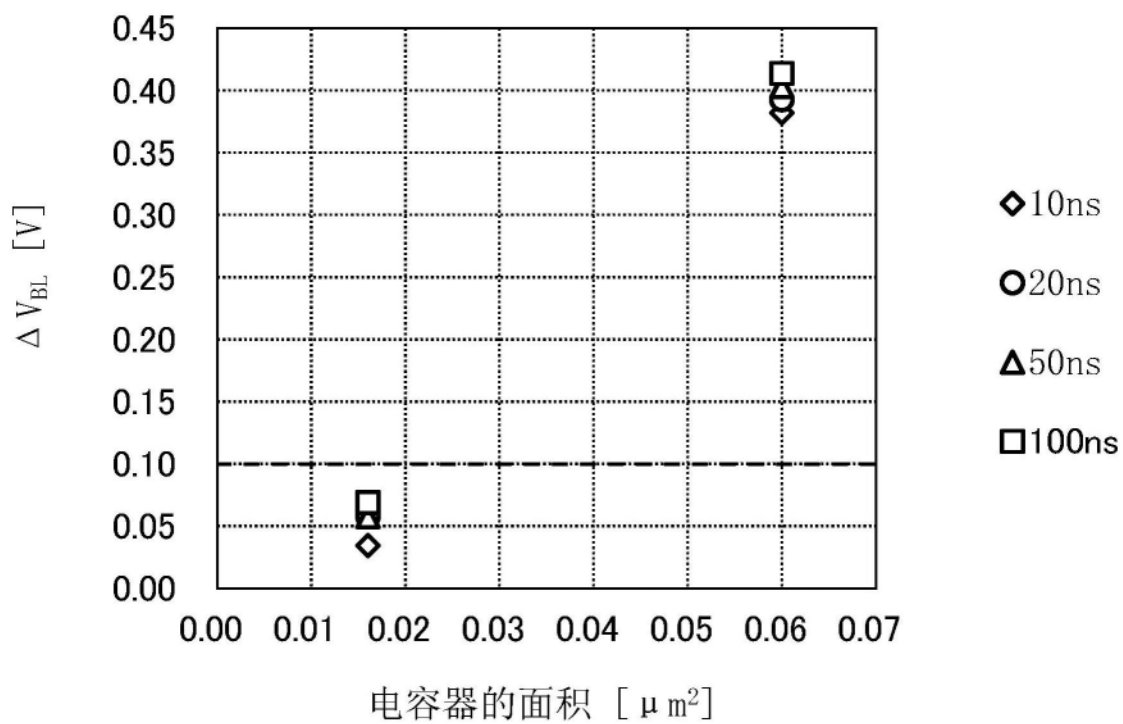


图73

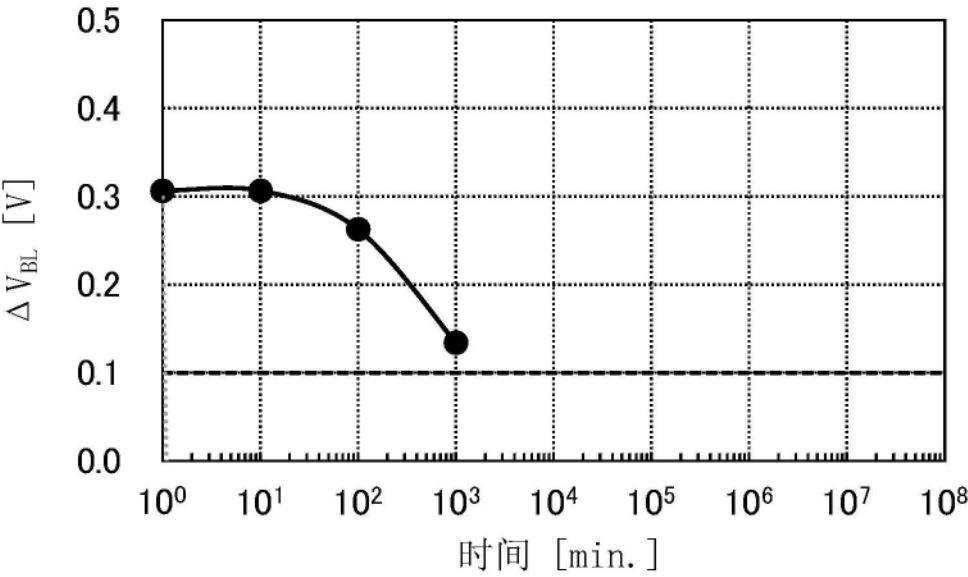


图74