



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년05월20일

(11) 등록번호 10-2400509

(24) 등록일자 2022년05월17일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1255 (2013.01)
- (21) 출원번호 10-2021-7038173(분할)
- (22) 출원일자(국제) 2013년09월02일
심사청구일자 2021년11월23일
- (85) 번역문제출일자 2021년11월23일
- (65) 공개번호 10-2021-0148371
- (43) 공개일자 2021년12월07일
- (62) 원출원 특허 10-2021-7013406
원출원일자(국제) 2013년09월02일
심사청구일자 2021년05월03일
- (86) 국제출원번호 PCT/JP2013/074167
- (87) 국제공개번호 WO 2014/042102
국제공개일자 2014년03월20일
- (30) 우선권주장
JP-P-2012-202125 2012년09월13일 일본(JP)
JP-P-2013-053988 2013년03월15일 일본(JP)
- (56) 선행기술조사문헌
KR1020110118384 A
KR1020120021602 A

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
미야케 히로유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 4 항

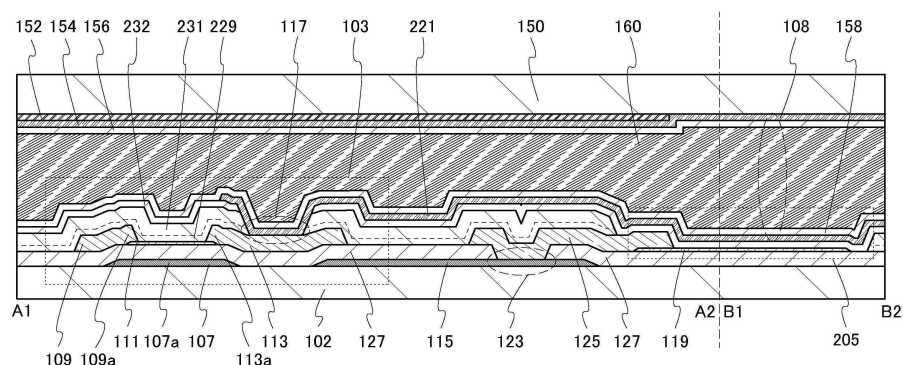
심사관 : 이양근

(54) 발명의 명칭 표시 장치

(57) 요약

개구율을 개선하면서 전하 용량을 증가시킨 용량 소자를 포함하는 반도체 장치가 제공된다. 또한, 전력을 덜 소모하는 반도체 장치가 제공된다. 투광성 반도체 막을 포함하는 트랜지스터, 유전체막이 한 쌍의 전극 사이에 제공되는 용량 소자, 투광성 반도체 막 위에 제공되는 절연막, 및 상기 절연막 위에 제공되는 제1 투광성 도전막이 (뒷면에 계속)

대표도



포함된다. 용량 소자는, 한쪽 전극의 역할을 하는 제1 투광성 도전막, 유전체로서 기능하는 절연막, 및 절연막을 그 사이에 개재해서 제1 투광성 도전막과 대향하고 다른 쪽 전극으로서 기능하는 제2 투광성 도전막을 포함한다. 제2 투광성 도전막은 트랜지스터의 투광성 반도체 막과 동일한 표면 위에 형성되고 도펀트를 함유한 금속 산화막이다.

(52) CPC특허분류

H01L 29/78606 (2013.01)

H01L 2924/13069 (2013.01)

(72) 발명자

시시도 히데아키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부

시키가이샤 한도오파이 에네루기 켄큐쇼 내

고야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부

시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치로서,
 채널 형성 영역을 제1 금속 산화물 막에 갖는 트랜지스터와,
 상기 트랜지스터의 소스 또는 드레인 중 한쪽과 전기적으로 접속되는 화소 전극과,
 상기 제1 금속 산화물 막과 동일층에 배치된 제2 금속 산화물 막을 갖고,
 상기 제1 금속 산화물 막 위, 및 상기 제2 금속 산화물 막 위에 제1 절연막이 배치되고,
 상기 제1 절연막 위에 상기 화소 전극이 배치되고,
 상기 제2 금속 산화물 막은, 상기 제1 금속 산화물 막의 채널 형성 영역보다 도전성이 높은 영역을 갖고,
 상기 화소 전극은, 상기 제1 절연막을 개재시켜 상기 제2 금속 산화물 막과 중첩하는 제1 영역 및 제2 영역을 갖고,
 상기 제1 영역과 상기 제2 금속 산화물 막의 간격은, 상기 제2 영역과 상기 제2 금속 산화물 막의 간격보다 작고,
 상기 제1 영역과 상기 제2 금속 산화물 막이 용량 소자의 한 쌍의 전극으로서의 기능을 갖는, 표시 장치.

청구항 2

표시 장치로서,
 채널 형성 영역을 제1 금속 산화물 막에 갖는 트랜지스터와,
 상기 트랜지스터의 소스 또는 드레인 중 한쪽과 전기적으로 접속되는 화소 전극과,
 상기 제1 금속 산화물 막과 동일층에 배치된 제2 금속 산화물 막을 갖고,
 상기 제1 금속 산화물 막 위, 및 상기 제2 금속 산화물 막 위에 제1 절연막이 배치되고,
 상기 제1 절연막 위에 상기 화소 전극이 배치되고,
 상기 제1 금속 산화물 막 및 상기 제2 금속 산화물 막은 In, Ga 및 Zn을 포함하고,
 상기 제2 금속 산화물 막은, 상기 제1 금속 산화물 막의 채널 형성 영역보다 도전성이 높은 영역을 갖고,
 상기 화소 전극은, 상기 제1 절연막을 개재시켜 상기 제2 금속 산화물 막과 중첩하는 제1 영역 및 제2 영역을 갖고,
 상기 제1 영역과 상기 제2 금속 산화물 막의 간격은, 상기 제2 영역과 상기 제2 금속 산화물 막의 간격보다 작고,
 상기 제1 영역과 상기 제2 금속 산화물 막이 용량 소자의 한 쌍의 전극으로서의 기능을 갖는, 표시 장치.

청구항 3

표시 장치로서,
 채널 형성 영역을 제1 금속 산화물 막에 갖는 트랜지스터와,
 상기 트랜지스터의 소스 또는 드레인 중 한쪽과 전기적으로 접속되는 화소 전극과,
 상기 제1 금속 산화물 막과 동일층에 배치된 제2 금속 산화물 막을 갖고,
 상기 제1 금속 산화물 막 위, 및 상기 제2 금속 산화물 막 위에 제1 절연막이 배치되고,

상기 제1 절연막 위에 상기 화소 전극이 배치되고,

상기 제2 금속 산화물 막은, 상기 제1 금속 산화물 막의 채널 형성 영역보다 도전성이 높은 영역을 갖고,

상기 제1 절연막은, 개구부를 갖고,

상기 화소 전극은, 상기 개구부에 있어서, 상기 제2 금속 산화물 막 위에 배치되어 있는 제2 절연막을 개재시켜 상기 제2 금속 산화물 막과 중첩하는 영역을 갖고,

상기 개구부에 있어서, 상기 화소 전극과 상기 제2 금속 산화물 막이 용량 소자의 한 쌍의 전극으로서의 기능을 갖는, 표시 장치.

청구항 4

표시 장치로서,

채널 형성 영역을 제1 금속 산화물 막에 갖는 트랜지스터와,

상기 트랜지스터의 소스 또는 드레인 중 한쪽과 전기적으로 접속되는 화소 전극과,

상기 제1 금속 산화물 막과 동일층에 배치된 제2 금속 산화물 막을 갖고,

상기 제1 금속 산화물 막 위, 및 상기 제2 금속 산화물 막 위에 제1 절연막이 배치되고,

상기 제1 절연막 위에 상기 화소 전극이 배치되고,

상기 제1 금속 산화물 막 및 상기 제2 금속 산화물 막은 In, Ga 및 Zn을 포함하고,

상기 제2 금속 산화물 막은, 상기 제1 금속 산화물 막의 채널 형성 영역보다 도전성이 높은 영역을 갖고,

상기 제1 절연막은, 개구부를 갖고,

상기 화소 전극은, 상기 개구부에 있어서, 상기 제2 금속 산화물 막 위에 배치되어 있는 제2 절연막을 개재시켜 상기 제2 금속 산화물 막과 중첩하는 영역을 갖고,

상기 개구부에 있어서, 상기 화소 전극과 상기 제2 금속 산화물 막이 용량 소자의 한 쌍의 전극으로서의 기능을 갖는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 명세서 등에 개시된 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 최근, 액정 디스플레이(LCD) 등의 플랫폼 패널 디스플레이가 널리 보급되고 있다. 플랫폼 패널 디스플레이 등의 표시 장치에 있어서 행 방향 및 열 방향으로 제공된 각 화소 내에는, 스위칭 소자인 트랜지스터와, 해당 트랜지스터와 전기적으로 접속된 액정 소자와, 해당 액정 소자와 병렬로 접속된 용량 소자가 제공되어 있다.

[0003] 해당 트랜지스터의 반도체 막의 반도체 재료로서는, 비정질 실리콘 또는 폴리실리콘(다결정 실리콘) 등의 실리콘 반도체가 범용되고 있다.

[0004] 반도체 특성을 갖는 금속 산화물(이하, 산화물 반도체)은, 트랜지스터의 반도체 막에 사용될 수 있다. 예를 들어, 산화아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여, 트랜지스터를 제조하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2를 참조).

[0005] 또한, 개구율을 높이기 위해서, 트랜지스터의 산화물 반도체 막과 동일한 표면 위에 제공된 산화물 반도체 막과, 트랜지스터에 접속된 화소 전극이 소정의 간격을 두고 이격되어서 제공되는 용량 소자를 포함하는 표시 장치가 개시되어 있다(특허문헌 3을 참조).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 특허 공개 제2007-123861호
(특허문헌 0002) 일본 특허 공개 제2007-096055호
(특허문헌 0003) 미국 특허 제8102476호

발명의 내용

해결하려는 과제

- [0007] 용량 소자에 있어서, 한 쌍의 전극 사이에 유전체막이 제공되어 있고, 한 쌍의 전극 중 적어도 한쪽의 전극은, 트랜지스터의 게이트 전극, 소스 전극, 드레인 전극 등으로서의 기능을 부분적으로 하는 차광막을 사용하여 형성되는 경우가 많다.
- [0008] 용량 소자의 용량 값을 크게 할수록, 전계를 가한 상황에서, 액정 소자의 액정 분자의 배향을 일정하게 유지할 수 있는 기간을 길게 할 수 있다. 정지 화상을 표시하는 표시 장치에 있어서, 해당 기간을 길게 할 수 있으면, 화상 데이터를 재기입하는 횟수를 저감할 수 있어서, 소비 전력의 저감하게 된다.
- [0009] 그러나, 용량 소자의 한쪽의 전극이 반도체 막을 사용하여 형성되는 경우, 해당 반도체 막에 인가되는 전위에 따라서는, 용량 소자에 충전되는 용량 값이 소정의 값보다 낮아질 수 있어서, 액정 소자의 액정 분자의 배향을 일정하게 유지하는 기간이 짧아진다. 그 결과, 화상 데이터의 재기입 횟수가 증가하여, 소비 전력이 증가하게 된다.
- [0010] 또한, 용량 소자의 전하 용량을 크게 하기 위한 방법 중 하나는, 용량 소자의 점유 면적을 크게 하는 것이고, 구체적으로는 용량 소자의 2개의 전극이 서로 중첩하고 있는 부분의 면적을 크게 하는 것이다. 그러나, 2개의 전극이 서로 중첩하고 있는 부분의 면적을 크게 하기 위해서 차광 도전막의 면적을 크게 하면, 화소의 개구율이 저감하여, 화상의 표시 품질이 저하된다.
- [0011] 따라서, 상기 과제를 감안하여, 본 발명의 한 실시 형태의 목적은, 개구율을 개선하면서, 전하 용량이 증가하는 용량 소자를 포함하는 반도체 장치를 제공하는 것이다. 또한, 본 발명의 한 실시 형태의 목적은, 소비 전력을 저감하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0012] 본 발명의 한 실시 형태는, 투광성 반도체 막을 포함하는 트랜지스터와, 한 쌍의 전극 사이에 유전체막이 제공된 용량 소자와, 투광성 반도체 막 위에 제공된 절연막과, 절연막 위에 제공된 제1 투광성 도전막을 포함한다. 용량 소자는, 한쪽의 전극으로서 기능하는 제1 투광성 도전막과, 유전체로서 기능하는 상기 절연막과, 상기 절연막을 개재해서 제1 투광성 도전막과 대향하며 다른 쪽의 전극으로서 기능하는 제2 투광성 도전막을 포함한다. 해당 제2 투광성 도전막은, 트랜지스터의 투광성 반도체 막과 동일한 표면 위에 형성되며, 도펀트를 포함하는 금속 산화물 막이다.
- [0013] 또한, 트랜지스터에 포함되는 투광성 반도체 막은, 산화물 반도체를 사용해서 형성할 수 있다. 이는, 산화물 반도체가, 에너지 갭이 3.0 eV 이상으로 크고, 가시광에 대한 투과율이 크기 때문이다. 본 명세서에 있어서, 트랜지스터에 포함되는 투광성 반도체 막과 같이 반도체 특성을 나타내는 금속 산화물을, 산화물 반도체라고 한다는 점에 유의해야 한다. 또한, 용량 소자에 포함되는 제2 투광성 도전막은, 도체 특성을 나타내므로, 금속 산화물이라고 한다.
- [0014] 용량 소자의 다른 쪽 전극으로서 기능하는 제2 투광성 도전막으로서, 트랜지스터의 반도체 막을 형성하는 공정에서 형성한 반도체 막을 사용하고, 해당 반도체 막에 도펀트를 첨가하여 반도체 막의 도전율을 증가시킴으로써, 반도체 막은 도체의 전기적 특성을 갖는 금속 산화물 막일 수 있다. 예를 들어, 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 1종 이상의 도펀트를, 이온 주입법 또는 이온 도핑법 등으로 반도체 막에 첨가할 수 있다. 또는, 해당 반도체 막을 상기 원소(들)을 포함하는 플라즈마에 노출시킴으로써 상기 도펀트(들)를 첨가할 수 있다. 이 경우, 용량 소자의 다른 쪽 전극으로서 기능하는 제2 투광성 도전막의 도전율은, 10 S/cm 이상 1000 S/cm 이하, 바람직하게는 100 S/cm 이상 1000 S/cm 이하이다.

- [0015] 용량 소자에 있어서, 유전체막으로서는, 트랜지스터에 포함되는 투광성 반도체 막 위에 제공된 절연막을 사용하므로; 유전체막은 해당 절연막과 동일한 적층 구조를 가질 수 있다. 예를 들어, 트랜지스터에 포함되는 반도체 막 위에 제공된 절연막이 산화 절연막 및 질화 절연막의 적층 구조를 갖는 경우, 용량 소자의 유전체막은, 산화 절연막 및 질화 절연막의 적층 구조를 가질 수 있다.
- [0016] 용량 소자에 있어서, 트랜지스터에 포함되는 반도체 막 위에 제공된 절연막이, 산화 절연막 및 질화 절연막인 경우, 해당 산화 절연막을 형성한 후에 용량 소자가 형성되는 영역만 해당 산화 절연막을 제거함으로써, 용량 소자의 유전체막은, 질화 절연막의 단층 구조를 가질 수 있다. 즉, 해당 질화 절연막은, 용량 소자의 다른 쪽 전극으로서 기능하는 제2 투광성 도전막에 접한다. 제2 투광성 도전막은, 트랜지스터에 포함되는 투광성 반도체 막의 형성과 동시에 형성되는 반도체 막을 사용해서 형성되고, 해당 반도체 막이 질화 절연막과 접함으로써, 해당 질화 절연막과 해당 반도체 막 간의 계면에 결합 준위(계면 준위)가 형성된다. 또는 대안적으로, 질화 절연막을 플라즈마 CVD법 또는 스퍼터링법으로 성막하면, 해당 반도체 막이 플라즈마에 노출되고, 산소 결손이 생성된다. 또한, 해당 질화 절연막에 포함되는 질소 및/또는 수소가 해당 반도체 막으로 이동한다. 결합 준위 또는 산소 결손에 질화 절연막에 포함되는 수소가 유입되는 것으로 인해, 캐리어로서 기능하는 전자가 생성된다. 따라서, 해당 반도체 막은, 도전율이 증가한 n형 반도체 막이 되고; 따라서, 도전성을 갖는 막이 얻어진다. 즉, 도체의 특성을 갖는 금속 산화물 막을 형성할 수 있다. 또한, 유전체막의 두께를 얇게 할 수 있으므로; 용량 소자의 전하 용량을 증가시킬 수 있다.
- [0017] 상술한 바와 같이, 용량 소자에 있어서, 질화 절연막이 상기 반도체 막에 접하면, 이온 주입법 또는 이온 도핑법 등으로, 도전율을 증가시키는 도펀트를 상기 반도체 막에 첨가하는 공정을 생략할 수 있으므로; 반도체 장치의 수율을 향상시켜, 제조 비용을 저감할 수 있다.
- [0018] 트랜지스터에 포함되는 반도체 막은 산화물 반도체 막이고, 해당 반도체 막 위의 절연막이 산화 절연막 및 질화 절연막의 적층 구조를 갖는 경우, 해당 산화 절연막은 질소를 투과시키기 어려운, 즉 해당 산화 절연막이 질소에 대한 배리어성을 갖는 것이 바람직하다.
- [0019] 상기 구조로 인해, 트랜지스터에 포함되는 반도체 막으로서의 산화물 반도체 막에 질소 및 수소의 한쪽 또는 양쪽이 확산하는 것을 억제할 수 있어, 트랜지스터의 전기 특성 변동을 억제할 수 있다.
- [0020] 제1 투광성 도전막이 트랜지스터에 접속하는 경우, 제1 투광성 도전막은 화소 전극으로서 기능한다.
- [0021] 제1 투광성 도전막이 화소 전극으로서 기능하는 경우, 용량선(capacitor line)은, 주사선과 동일 표면 위에서, 주사선과 평행 방향으로 연장한다. 용량 소자의 다른 쪽 전극(제2 투광성 도전막)은, 트랜지스터의 소스 전극 및 드레인 전극의 형성과 동시에 형성된 도전막을 통해 용량선과 전기적으로 접속되어 있다.
- [0022] 용량선은, 주사선과 동일 표면 위에서, 주사선과 평행 방향으로 반드시 연장하는 것은 아니다. 용량선은, 신호선과 동일 표면 위에서, 트랜지스터의 소스 전극 또는 드레인 전극을 포함하는 신호선과 평행 방향으로 연장할 수 있고, 용량 소자의 다른 쪽 전극(제2 투광성 도전막)과 전기적으로 접속될 수 있다.
- [0023] 용량선은, 용량 소자에 포함되는 제2 투광성 도전막을 사용해서 형성될 수 있다.
- [0024] 용량선은, 인접하는 복수의 화소에 포함되는 용량 소자 각각과 접속될 수 있다. 이 경우, 인접하는 화소의 사이에 용량선이 제공될 수 있다.
- [0025] 제2 투광성 도전막은 트랜지스터와 접속될 수 있다. 이 경우, 제2 투광성 도전막이 화소 전극으로서 기능하고, 제1 투광성 도전막이 공통 전극 및 용량선으로서 기능한다.
- [0026] 상기 구성으로 인해, 용량 소자는 투광성을 갖고 있고, 따라서 트랜지스터가 형성되지 않은 부분 이외의 화소 영역에 크게(대면적을 커버할 정도로) 형성될 수 있다. 이러한 이유로, 반도체 장치는, 개구율을 개선하면서, 전하 용량이 증가할 수 있다. 따라서, 반도체 장치는 우수한 표시 품질을 가질 수 있다.
- [0027] 투광성 용량 소자는, 트랜지스터의 제조 공정을 이용하여 제조할 수 있다. 용량 소자의 한쪽의 전극은, 화소 전극 또는 공통 전극으로서 기능하는 투광성 도전막을 형성하는 공정을 이용하여 형성할 수 있다. 용량 소자의 다른 쪽 전극은, 트랜지스터에 포함되는 반도체 막을 형성하는 공정을 이용하여 형성할 수 있다. 따라서, 트랜지스터에 포함되는 반도체 막과, 용량 소자의 다른 쪽 전극은, 동일한 금속 원소를 포함한다. 용량 소자의 유전체막은, 트랜지스터에 포함되는 반도체 막 위에 제공된 절연막을 형성하는 공정을 이용하여 형성할 수 있다.
- [0028] 본 발명의 한 실시 형태의 반도체 장치를 형성하기 위한 방법은 본 발명의 한 실시 형태이다.

발명의 효과

[0029] 본 발명의 한 실시 형태에 따르면, 개구율을 개선하면서, 전하 용량을 증가시킨 용량 소자를 갖는 반도체 장치를 제공할 수 있다. 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0030] 도 1a는 본 발명의 한 실시 형태인 반도체 장치를 도시하고 도 1b는 화소를 도시하는 회로도이다.

도 2는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 3은 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 4는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 5는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 6a 및 6b는 본 발명의 한 실시 형태인 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 7a 및 7b는 본 발명의 한 실시 형태인 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 8a 및 8b는 본 발명의 한 실시 형태인 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 9는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 10은 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 11은 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 12는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 13은 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 14는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 15는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 16a 및 16b는 본 발명의 한 실시 형태인 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 17a 및 17b는 본 발명의 한 실시 형태인 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 18a 및 18b는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 상면도이다.

도 19는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 20은 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 21a 내지 21c는 본 발명의 한 실시 형태인 반도체 장치를 각각 도시하는 상면도이다.

도 22a 및 22b는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도이다.

도 23a 내지 23c는 본 발명의 한 실시 형태인 반도체 장치를 도시하는 단면도 및 상면도이다.

도 24a 내지 24c는 본 발명의 한 실시 형태인 반도체 장치를 각각 포함하는 전자 기기를 도시한다.

도 25a 내지 25c는 본 발명의 한 실시 형태인 반도체 장치를 포함하는 전자 기기를 도시한다.

도 26a 내지 26d는 시료의 구조를 설명한다.

도 27은 시트 저항을 도시하는 그래프이다.

도 28a 및 28b는 SIMS 측정의 결과를 도시하는 그래프이다.

도 29a 내지 29c는 ESR 측정의 결과를 도시하는 그래프이다.

도 30은 ESR 측정의 결과를 도시하는 그래프이다.

도 31은 시트 저항을 도시하는 그래프이다.

도 32는 시트 저항을 도시하는 그래프이다.

도 33a 내지 33d는 InGaZnO₄ 결정의 벌크 모델을 도시한다.

도 34a 및 34b는 VoH의 형성 에너지 및 열역학적 전이 레벨을 도시한다.

도 35a는 시료를 형성하기 위한 방법을 도시하고 도 35b는 시료의 시트 저항을 도시한다.

도 36a 내지 36d는 시료의 형성 공정 및 시료의 구조를 도시한다.

도 37a 내지 37c는 각각 시료의 투과율을 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하에서는, 본 발명의 실시 형태 및 실시예에 대해서 첨부 도면을 참조해서 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 여기에 개시된 형태 및 상세를 다양한 방식으로 변경할 수 있다는 것은, 본 분야의 숙련자라면 용이하게 알 수 있다. 또한, 본 발명은 이하 설명의 실시 형태 및 실시예에 한정되는 것으로 해석되는 것은 아니다.
- [0032] 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 유사한 기능을 갖는 부분에는 상이한 도면에서 공통 참조 번호를 표시하고, 그 설명은 반복하지 않는다는 점에 유의해야 한다. 또한, 동일한 해칭 패턴은 유사한 기능을 갖는 부분에 적용하고, 그 부분에는 특별히 참조 번호를 표시하지 않는 경우가 있다.
- [0033] 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께, 또는 영역은, 명료화를 위해서 과장되어 있는 경우가 있다는 점에 유의해야 한다. 따라서, 본 발명의 실시 형태 및 실시예는 도면에서 그러한 스케일에 한정되지 않는다.
- [0034] 본 명세서에 있어서, "제1" 및 "제2" 등의 서수사는 편의상 사용하는 것이며, 공정순 또는 층의 적층순을 나타내는 것이 아니라는 점에 유의해야 한다. 또한, 본 명세서에 있어서의 서수사는 발명을 특징하는 고유의 명칭을 나타내는 것이 아니다.
- [0035] 본 발명에 있어서의 "소스" 및 "드레인"의 기능은, 예를 들어, 회로 동작에 있어서 전류의 방향이 변화하는 경우에 서로 교체되는 경우가 있다. 따라서, 본 명세서에 있어서, "소스" 및 "드레인"의 용어는, 서로 대체될 수 있다.
- [0036] 전압은 2점 간의 전위차를 말하고, 전위는 정전기장에서 주어진 한 점에 있어서의 단위 전하의 정전 에너지(전위 에너지)를 말한다는 점에 유의해야 한다. 일반적으로, 어떤 한 점에 있어서의 전위와 기준 전위(예를 들어, 접지 전위)와의 전위차를, 간단히 전위 또는 전압이라고 칭하고, 전위와 전압이 동의어로서 사용되는 적이 많다는 점에 유의해야 한다. 따라서, 본 명세서에서는, 특별히 지정하지 않는 한, 전위를 전압이라고 바꿔 말할 수 있으며, 전압을 전위라고 바꿔 말할 수 있다.
- [0037] 본 명세서에 있어서, 포토리소그래피 처리를 행한 후에 에칭 처리를 행하는 경우에는, 포토리소그래피 처리에서 형성한 마스크는 에칭 처리 후에는 제거된다.
- [0038] (실시 형태 1)
- [0039] 본 실시 형태에서는, 본 발명의 한 실시 형태인 반도체 장치에 대해서, 도면을 참조하여 설명한다. 본 실시 형태에서는, 액정 표시 장치를 예로 해서 본 발명의 한 실시 형태인 반도체 장치를 설명한다는 점에 유의해야 한다.
- [0040] <반도체 장치의 구성>
- [0041] 도 1a는, 반도체 장치의 일례를 나타낸다. 도 1a에 나타내는 반도체 장치는, 화소부(100)와, 주사선 구동 회로(104)와, 신호선 구동 회로(106)와, 평행 또는 대략 평행하게 배열되고, 주사선 구동 회로(104)에 의해 전위가 제어되는 m개의 주사선(107)과, 평행 또는 대략 평행하게 배열되고, 신호선 구동 회로(106)에 의해 전위가 제어되는 n개의 신호선(109)을 포함한다. 또한, 화소부(100)는 매트릭스 형상으로 배열된 복수의 화소(201)를 포함한다. 또한, 평행 또는 대략 평행하게 배열된 용량선(115)은 주사선(107)을 따라 제공된다. 용량선(115)은, 신호선(109)을 따라 평행 또는 대략 평행하게 배열될 수 있다는 점에 유의해야 한다.
- [0042] 각 주사선(107)은, 화소부(100)에 있어서 m행 n열로 배열된 화소(201) 중 그 대응하는 행의 n개의 화소(201)와

전기적으로 접속된다. 각 신호선(109)은, m행 n열로 배열된 화소(201) 중 그 대응하는 열의 m개의 화소(201)에 전기적으로 접속된다. m 및 n은 각각 1 이상의 정수이라는 점에 유의해야 한다. 각 용량선(115)은, m행 n열로 배열된 화소(201) 중 그 대응하는 행의 n개의 화소(201)에 전기적으로 접속된다. 용량선(115)이, 신호선(109)을 따라, 평행 또는 대략 평행하게 배열되어 있는 경우에, 각 용량선(115)은, m행 n열로 배열된 화소(201) 중 그 대응하는 열의 m개의 화소(201)에 전기적으로 접속된다는 점에 유의해야 한다.

[0043] 도 1b는, 도 1a에 나타내는 반도체 장치에 포함된 화소(201)의 회로도 일례이다. 도 1b에 나타내는 화소(201)는, 주사선(107) 및 신호선(109)과 전기적으로 접속된 트랜지스터(103)와, 한쪽의 전극이 트랜지스터(103)의 드레인 전극과 전기적으로 접속되고, 다른 쪽의 전극이 일정한 전위를 공급하는 용량선(115)과 전기적으로 접속된 용량 소자(205)와, 액정 소자(108)를 포함한다. 액정 소자(108)의 화소 전극은 트랜지스터(103)의 드레인 전극 및 용량 소자(205)의 한쪽의 전극에 전기적으로 접속되고, 화소 전극과 대향하는 전극(대향 전극)은 대향 전위를 공급하는 배선에 전기적으로 접속된다.

[0044] 액정 소자(108)는, 트랜지스터(103) 및 화소 전극이 제공되는 기판과, 대향 전극이 제공되는 기판과의 사이에 샌드위치되는 액정의 광학적 변조 작용에 의해, 광의 투과를 제어하는 소자이다. 액정의 광학적 변조 작용은, 액정에 가해진 전계(세로 방향의 전계 또는 경사 방향의 전계를 포함)에 의해 제어된다. 화소 전극이 제공되는 기판 위에 대향 전극(공통 전극이라고도 함)이 제공되는 경우, 액정에 가해진 전계는 가로 방향의 전계가 된다는 점에 유의해야 한다.

[0045] 계속해서, 액정 표시 장치의 화소(201)의 구체적인 예가 설명된다. 도 2는 화소(201)의 상면도이다. 도 2에 있어서는, 대향 전극 및 액정 소자를 생략한다는 점에 유의해야 한다.

[0046] 도 2에 있어서, 주사선(107)은, 신호선(109)에 직교 또는 대략 직교하는 방향(도면에서 수평 방향)으로 연장하도록 제공되어 있다. 신호선(109)은, 주사선(107)에 직교 또는 대략 직교하는 방향(도면에서 수직 방향)으로 연장하도록 제공되어 있다. 용량선(115)은, 주사선(107)과 평행 방향으로 연장하도록 제공되어 있다. 주사선(107) 및 용량선(115)은, 주사선 구동 회로(104)(도 1a를 참조)와 전기적으로 접속되어 있고, 신호선(109)은, 신호선 구동 회로(106)(도 1a를 참조)에 전기적으로 접속되어 있다.

[0047] 트랜지스터(103)는, 주사선(107) 및 신호선(109)이 교차하는 영역에 제공되어 있다. 트랜지스터(103)는, 적어도, 채널 형성 영역을 포함하는 반도체 막(111)과, 게이트 전극과, 게이트 절연막(도 2에 도시하지 않음)과, 소스 전극과, 드레인 전극을 포함한다. 주사선(107)에 있어서, 반도체 막(111)과 중첩하는 영역은, 트랜지스터(103)의 게이트 전극으로서 기능한다. 신호선(109)에 있어서, 반도체 막(111)과 중첩하는 영역은, 트랜지스터(103)의 소스 전극으로서 기능한다. 도전막(113)에 있어서, 반도체 막(111)과 중첩하는 영역은, 트랜지스터(103)의 드레인 전극으로서 기능한다. 이로 인해, 게이트 전극, 소스 전극 및 드레인 전극은 각각, 주사선(107), 신호선(109) 및 도전막(113)으로서 칭해질 수 있다. 또한, 도 2에 있어서, 주사선(107)의 단부는, 위에서 봤을 때 반도체 막의 단부의 외측에 위치한다. 이로 인해, 주사선(107)은 백라이트 등의 광원으로부터의 광을 차단하는 차광막으로서 기능한다. 그 결과, 트랜지스터에 포함되는 반도체 막(111)은 광으로 조사되지 않아서, 트랜지스터의 전기 특성 변동을 억제할 수 있다.

[0048] 또한, 적절한 조건에서 처리된 산화물 반도체는 트랜지스터의 오프 전류를 상당히 저감할 수 있으므로; 그러한 산화물 반도체는 본 발명의 한 실시 형태에서는 반도체 막(111)에 사용된다. 이에 의해, 반도체 장치의 소비 전력을 저감할 수 있다.

[0049] 도전막(113)은, 개구(117)를 통해서, 투광성 도전막을 사용해서 형성된 화소 전극(221)과 전기적으로 접속되어 있다. 도 2에 있어서, 화소 전극(221)의 해치 패턴은 도시되지 않는다.

[0050] 용량 소자(205)는, 화소(201) 내의 영역에 제공되고 용량선(115) 및 신호선(109)으로 둘러싸이는 영역에 위치한다. 용량 소자(205)는, 개구(123) 내에 및 위에 제공된 도전막(125)을 통해서 용량선(115)과 전기적으로 접속되어 있다. 용량 소자(205)는, 투광성 도전막(119)과, 투광성 화소 전극(221)과, 유전체막으로서 트랜지스터(103) 위에 형성되는 투광성 절연막(도 2에 도시하지 않음)을 포함한다. 즉, 용량 소자(205)는 광을 투과시킨다.

[0051] 용량 소자(205)의 투광성 때문에, 화소(201) 내에 용량 소자(205)가 크게(대면적을 커버할 정도로) 형성될 수 있다. 따라서, 개구율을 개선하면서, 대표적으로는 55% 이상, 바람직하게는 60% 이상으로 전하 용량을 증가시킨 반도체 장치를 얻을 수 있다. 예를 들어, 액정 표시 장치 등의 해상도가 높은 반도체 장치에 있어서, 화소의 면적은 작고, 따라서 용량 소자의 면적도 작다. 이로 인해, 용량 소자의 전하 용량이 작다. 그러나, 본 실

시 형태의 용량 소자(205)는 투광성을 갖기 때문에, 해당 용량 소자가 화소에 제공되면, 화소에서는 충분한 전하 용량이 얻어질 수 있고, 개구율이 개선될 수 있다. 대표적으로, 용량 소자(205)는 화소 밀도가 200 ppi 이상, 또는 더 나아가 300 ppi 이상인 고해상도의 반도체 장치에 적절하게 사용될 수 있다. 또한, 본 발명의 한 실시 형태에 따르면, 고해상도의 표시 장치에 있어서도, 개구율을 개선할 수 있는데, 이는 백라이트 등의 광원으로부터의 광을 효율적으로 이용할 수 있어서, 표시 장치의 소비 전력을 저감할 수 있다.

[0052] 여기서, 산화물 반도체를 포함하는 트랜지스터의 특징에 대해서 설명한다. 산화물 반도체를 포함하는 트랜지스터는, n 채널형 트랜지스터이다. 또한, 산화물 반도체 내의 산소 결손에 기인해서 캐리어가 생성될 수 있는데, 이는 트랜지스터의 전기 특성 및 신뢰성을 저하시킬 수 있다. 예를 들어, 일부 경우에는, 트랜지스터의 역치 전압이 마이너스 방향으로 변동되며, 게이트 전압이 0V일 때 드레인 전류가 흐른다. 게이트 전압이 0V일 때 드레인 전류가 흐르는 트랜지스터는 노멀리-온 트랜지스터라고 하고, 이러한 특성을 갖는 트랜지스터는 디플리션형 트랜지스터라고 한다. 게이트 전압이 0V일 때 드레인 전류가 거의 흐르지 않는 트랜지스터의 특성은 노멀리-오프 특성이라고 하고, 이러한 특성을 갖는 트랜지스터는 인헨스먼트형 트랜지스터라고 한다.

[0053] 상기의 관점에서, 반도체 막(111)에 산화물 반도체가 사용될 때, 반도체 막(111)인 산화물 반도체 막 내의 결함, 대표적으로 산소 결손은 가능한 한 많이 저감되는 것이 바람직하다. 예를 들어, 자장이 막 표면에 대하여 평행하게 인가되는 전자 스핀 공명법에 의한 1.93의 g-팩터에서의 산화물 반도체 막의 스핀 밀도(산화물 반도체 막에서의 결함 밀도)는, 측정 장비의 검출 하한 이하까지 저감되는 것이 바람직하다. 산화물 반도체 막 내의 산소 결손으로 대표되는 결함이, 가능한 한 많이 저감되면, 트랜지스터(103)는 노멀리-온 되는 것을 억제할 수 있어, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있게 한다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.

[0054] 트랜지스터의 역치 전압의 마이너스 방향으로의 변동은, 산소 결손뿐만 아니라, 산화물 반도체에 포함되는 수소(물 등의 수소 화합물을 포함)에 의해서도 야기되는 경우가 있다. 산화물 반도체에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물이 되고, 또한, 산소가 탈리한 격자(또는 산소가 탈리한 부분)에 결손(산소 결손이라고도 함)이 형성된다. 또한, 수소의 일부와 산소와의 반응은, 캐리어인 전자를 생성하게 한다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리-온 특성을 갖기 쉽다.

[0055] 상기 관점에서, 반도체 막(111)에 산화물 반도체를 사용할 때, 반도체 막(111)인 산화물 반도체 막 내의 수소가 가능한 한 많이 저감되는 것이 바람직하다. 구체적으로는, 반도체 막(111)에 있어서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 측정되는 수소의 농도는, 5×10^{18} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이하로 설정된다.

[0056] 반도체 막(111)에 있어서, 2차 이온 질량 분석법(SIMS)에 의해 측정되는 알칼리 금속 또는 알칼리 토금속의 농도는, 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 설정된다. 이는, 알칼리 금속 및 알칼리 토금속이 산화물 반도체와 결합될 때 캐리어를 생성할 수 있어, 트랜지스터(103)의 오프 전류를 증가시키는 경우가 있기 때문이다.

[0057] 또한, 반도체 막(111)인 산화물 반도체 막에 질소가 포함되어 있으면, 캐리어인 전자가 발생하고, 캐리어 밀도가 증가하여, 산화물 반도체 막은 n형화하기 쉽다. 따라서, 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리-온 특성을 갖기 쉽다. 이러한 이유로, 해당 산화물 반도체 막에 있어서의 질소는 가능한 한 많이 저감되는 것이 바람직하므로; 질소의 농도는, 예를 들어 5×10^{18} atoms/cm³ 이하로 설정되는 것이 바람직하다.

[0058] 불순물(수소, 질소, 알칼리 금속 및 알칼리 토금속 등)을 가능한 한 많이 저감시켜, 고순도화시킨 그러한 산화물 반도체 막을 반도체 막(111)으로 사용하면, 트랜지스터(103)는 인헨스먼트형 트랜지스터가 되고, 노멀리-온 특성을 갖는 것을 억제할 수 있어, 트랜지스터(103)의 오프 전류를 상당히 저감할 수 있다. 따라서, 양호한 전기 특성을 갖는 반도체 장치를 제조할 수 있다. 또한, 높은 신뢰성의 반도체 장치를 제조할 수 있다.

[0059] 고순도화된 산화물 반도체 막을 포함하는 트랜지스터의 오프 전류가 낮은 것은, 다양한 실험에 의해 증명할 수 있다. 예를 들어, 소자는 채널 폭이 1×10^6 μm이고 채널 길이(L)가 10 μm이여도, 소스 전극과 드레인 전극 간의 전압(드레인 전압)이 1V에서 10V까지의 범위에서, 오프 전류는, 반도체 파라미터 애널리저의 측정 한계

이하, 즉 1×10^{-13} A 이하일 수 있다. 이 경우, 트랜지스터의 채널 폭에서 오프 전류를 제산한 수치에 상당하는 오프 전류는, $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하를 해당 트랜지스터에 의해 제어하는 회로를 사용하여, 오프 전류를 측정했다. 해당 측정에 있어서, 고순도화된 산화물 반도체 막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당의 전하량의 변화로부터 해당 트랜지스터의 오프 전류를 측정한다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 간의 전압이 3V인 경우에, 마이크로미터 당의 몇십 옥토파에아($\text{yA}/\mu\text{m}$)의 더 낮은 오프 전류가 얻어질 수 있다. 따라서, 고순도화된 산화물 반도체 막을 포함하는 트랜지스터는, 오프 전류가 현저하게 낮다.

[0060] 계속해서, 도 3은 도 2의 일점 쇄선 A1-A2 및 B1-B2를 따라 취해진 단면도이다.

[0061] 액정 표시 장치의 화소(201)의 단면 구조는 이하와 같다. 액정 표시 장치는, 기판(102) 위에 형성되는 소자부와, 기판(150) 위에 형성되는 소자부와, 해당 2개의 소자부 사이에 배치된 액정층을 포함한다.

[0062] 처음에, 기판(102) 위에 제공되는 소자부의 구조에 대해서 설명한다. 기판(102) 위에는, 트랜지스터(103)의 게이트 전극(107a)을 포함하는 주사선(107)과, 주사선(107)과 동일 표면 위에 제공되어 있는 용량선(115)이 제공되어 있다. 주사선(107) 및 용량선(115) 위에는, 게이트 절연막(127)이 제공되어 있다. 게이트 절연막(127)의 주사선(107)과 중첩하는 부분 위에는, 반도체 막(111)이 제공되어 있고, 게이트 절연막(127) 위에는, 투광성 도전막(119)이 제공되어 있다. 반도체 막(111) 및 게이트 절연막(127) 위에는, 트랜지스터(103)의 소스 전극(109a)을 포함하는 신호선(109)과, 트랜지스터(103)의 드레인 전극(113a)을 포함하는 도전막(113)이 제공되어 있다. 게이트 절연막(127)에는, 용량선(115)에 도달하는 개구(123)가 제공되어 있고, 개구(123) 내에 및 위에, 그리고 게이트 절연막(127) 및 투광성 도전막(119) 위에는, 도전막(125)이 제공되어 있다. 게이트 절연막(127), 신호선(109), 반도체 막(111), 도전막(113) 및 도전막(125) 위에는, 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(229), 절연막(231) 및 절연막(232)이 제공되어 있다. 또한, 절연막(232)은, 적어도 용량 소자(205)가 되는 영역에서 투광성 도전막(119)에 접하여 제공되어 있다. 절연막(229), 절연막(231) 및 절연막(232)에는 도전막(113)에 도달하는 개구(117)가 제공되어 있고, 개구(117) 내에 및 절연막(232) 위에는, 화소 전극(221)이 제공되어 있다. 화소 전극(221) 및 절연막(232) 위에는, 배향막으로서 기능하는 절연막(158)이 제공되어 있다. 기판(102)과, 주사선(107), 용량선(115) 및 게이트 절연막(127) 각각과의 사이에는, 하지 절연막이 제공될 수 있다는 점에 유의해야 한다.

[0063] 본 실시 형태에 나타내는 용량 소자(205)에 있어서, 한 쌍의 전극 중 한쪽의 전극이 화소 전극(221)이며, 한 쌍의 전극 중 다른 쪽의 전극은 반도체 막(111)과 동일한 공정으로 형성된 반도체 막을 사용하여 얻어지고 도체 전기 특성을 갖는 금속 산화물 막인 투광성 도전막(119)이며, 한 쌍의 전극 사이에 제공된 유전체막은 절연막(232)이고, 이에 의해 유전체막의 두께를 얇게 할 수 있다. 따라서, 용량 소자(205)의 전하 용량을 증가시킬 수 있다.

[0064] 절연막(232)은, 질화 절연막인 것이 바람직하다.

[0065] 도 2에 있어서, 절연막(229)(도시하지 않음) 및 절연막(231)(도시하지 않음)이 제공되어 있지 않은 영역(2점 파선으로 표시)의 단부는, 투광성 도전막(119)의 외측에 있지만; 도 4에 도시한 바와 같이, 절연막(279)(도시하지 않음) 및 절연막(281)(도시하지 않음)이 제공되어 있지 않은 영역(2점 파선으로 표시)의 단부는, 투광성 도전막(119) 위에 제공될 수 있다는 점에 유의해야 한다.

[0066] 도 5는, 도 4의 일점 쇄선 A1-A2 및 B1-B2를 따라 절취된 단면도를 도시한다.

[0067] 도 5에 있어서, 게이트 절연막(127), 신호선(109), 반도체 막(111), 도전막(113), 도전막(125) 및 투광성 도전막(119) 위에는, 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(279), 절연막(281) 및 절연막(282)이 제공되어 있다. 투광성 도전막(119) 위에는, 절연막(279) 및 절연막(281)의 단부가 위치한다. 투광성 도전막(119) 위에는, 절연막(282)이 제공되어 있다. 용량 소자(255)는, 투광성 도전막(119), 절연막(282) 및 화소 전극(271)을 포함한다. 절연막(279), 절연막(281) 및 절연막(282)은 각각, 절연막(229), 절연막(231) 및 절연막(232)과 마찬가지로의 재료를 사용해서 형성될 수 있다는 점에 유의해야 한다. 또한, 화소 전극(271)은, 화소 전극(221)과 마찬가지로의 재료를 사용해서 형성될 수 있다. 도 5에 도시한 바와 같이, 절연막(279) 및 절연막(281)의 단부가 투광성 도전막(119) 위에 위치하기 때문에, 절연막(279) 및 절연막(281)의 에칭에 있어서 게이트 절연막(127)이 과도하게 에칭되는 것을 방지할 수 있다.

- [0068] 이하에, 상기 구조의 구성 요소에 대해서 상세를 기재한다.
- [0069] 기판(102)의 재질 등에 특별한 제한은 없지만, 기판은 적어도, 반도체 장치의 제조 공정에서 행해지는 열처리에 견딜 수 있을 정도로 충분히 높은 내열성을 갖고 있을 필요가 있다. 기판의 예로서는, 유리 기판, 세라믹 기판 및 플라스틱 기판이 있고, 유리 기판으로서, 바륨 붕규산 유리 기판, 알루미늄 붕규산 유리 기판 또는 알루미늄 규산 유리 기판 등의 무알칼리 유리 기판을 사용할 수 있다. 또한, 스테인리스 합금 기판 등의 투광성을 갖고 있지 않은 기판을 사용할 수도 있는데, 그 경우에는, 기판 표면에 절연막을 제공하는 것이 바람직하다. 기판(102)으로서, 다음 중 소정의 것이 대안적으로 사용될 수 있다: 석영 기판, 사파이어 기판, 단결정 반도체 기판, 다결정 반도체 기판, 화합물 반도체 기판 및 SOI(Silicon On Insulator) 기판.
- [0070] 대전류가 흐르는 주사선(107) 및 용량선(115)은, 금속막을 사용하여 형성하는 것이 바람직하고; 대표적으로는, 이들은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 탄탈륨(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd) 또는 스칸듐(Sc) 등 임의의 금속 재료, 또는 이들을 주성분으로 함유하는 합금 재료를 사용하여, 단층 구조 또는 적층 구조를 갖도록 형성된다.
- [0071] 주사선(107) 및 용량선(115)의 일례로서는, 실리콘을 포함하는 알루미늄을 사용한 단층 구조, 알루미늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 티타늄을 적층하는 2층 구조, 질화 티타늄 위에 텅스텐을 적층하는 2층 구조, 질화 탄탈륨 위에 텅스텐을 적층하는 2층 구조, Cu-Mg-Al 합금 위에 구리를 적층하는 2층 구조, 및 질화 티타늄, 구리 및 텅스텐이 이 순서대로 적층된 3층 구조가 있다.
- [0072] 주사선(107) 및 용량선(115)의 재료로서는, 화소 전극(221)에 사용할 수 있는 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0073] 또한, 주사선(107) 및 용량선(115)의 재료로서는, 질소를 포함하는 금속 산화물, 구체적으로는, 질소를 포함하는 In-Ga-Zn계 산화물, 질소를 포함하는 In-Sn계 산화물, 질소를 포함하는 In-Ga계 산화물, 질소를 포함하는 In-Zn계 산화물, 질소를 포함하는 Sn계 산화물, 질소를 포함하는 In계 산화물, 또는 금속 질화막(InN, SnN 등)을 사용할 수 있다. 이들 재료 각각은, 5 eV(전자 볼트) 이상의 일함수를 갖는다. 그러한 산화물 반도체를 트랜지스터(103)의 반도체 막(111)에 사용하는 경우, 질소를 포함하는 금속 산화물을 주사선(107)(트랜지스터(103)의 게이트 전극)에 사용함으로써 트랜지스터(103)의 역치 전압을 플러스 방향으로 변동시킬 수 있고, 즉 트랜지스터는 노멀리-오프될 수 있다. 예를 들어, 질소를 포함하는 In-Ga-Zn계 산화물을 사용하는 경우에는, 적어도 반도체 막(111)보다 더 높은 질소 농도를 갖는 In-Ga-Zn계 산화물, 구체적으로는 질소 농도가 7 원자% 이상의 In-Ga-Zn계 산화물을 사용할 수 있다.
- [0074] 주사선(107) 및 용량선(115)은, 저저항 재료인 알루미늄이나 구리를 사용하여 형성되는 것이 바람직하다. 알루미늄이나 구리를 사용함으로써, 신호 지연을 저감하여, 더 높은 표시 품질을 달성할 수 있다. 알루미늄은 내열성이 낮고, 따라서 열폭, 위스커 또는 마이그레이션에 의한 불량 발생이 쉽다는 점에 유의해야 한다. 알루미늄의 마이그레이션을 방지하기 위해서, 몰리브덴, 티타늄 또는 텅스텐 등의, 알루미늄보다도 융점이 높은 금속 재료의 층을 알루미늄 층 위에 적층하는 것이 바람직하다. 구리를 사용하는 경우에도, 마이그레이션에 의한 불량, 및 구리 원소의 확산을 방지하기 위해서, 몰리브덴, 티타늄 또는 텅스텐 등의, 구리보다도 융점이 높은 금속 재료의 층을 구리 층 위에 적층하는 것이 바람직하다.
- [0075] 게이트 절연막(127)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 및 Ga-Zn계 금속 산화물 등의 임의의 절연 재료를 사용한, 단층 구조 또는 적층 구조를 갖도록 형성된다. 게이트 절연막(127)과, 반도체 막(111)인 산화물 반도체 막과의 계면 특성을 향상시키기 위해서, 게이트 절연막(127)에 있어서 적어도 반도체 막(111)과 접하는 영역은 산화 절연막을 사용하여 형성하는 것이 바람직하다.
- [0076] 또한, 게이트 절연막(127) 하부에, 산소, 수소, 물 등에 대한 배리어성을 갖는 절연막을 제공함으로써, 반도체 막(111)인 산화물 반도체 막으로부터의 산소의 외부로의 확산과, 외부로부터 해당 산화물 반도체 막으로의 수소, 물 등의 침입을 방지할 수 있다. 산소, 수소, 물 등에 대한 배리어성을 갖는 절연막의 예로서는, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 산화질화 하프늄막, 및 질화 실리콘막이 있다.
- [0077] 게이트 절연막(127)은, 하프늄 실리케이트(HfSiO_x), 질소를 갖는 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소를 갖는 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 또는 산화 이트륨 등의 high-k 재료를 사용하여 형성될 수 있는데,

이 경우에는 트랜지스터(103)의 게이트 누설을 저감할 수 있다.

- [0078] 게이트 절연막(127)은, 이하의 적층 구조를 갖는 것이 바람직하다. 제1 질화 실리콘막으로서, 결함이 적은 질화 실리콘막을 제공하고, 제1 질화 실리콘막 위에 제2 질화 실리콘막으로서, 수소 및 암모니아 탈리량이 적은 질화 실리콘막을 제공하고, 제2 질화 실리콘막 위에 상기 게이트 절연막(127)에 사용된 나열한 산화 절연막 중 어느 하나를 제공하는 것이 바람직하다.
- [0079] 제2 질화 실리콘막으로서, 승온 탈리 가스분석법에 의해, 수소 분자의 탈리량이 5×10^{21} 분자/cm³ 미만, 바람직하게는 3×10^{21} 분자/cm³ 이하, 더욱 바람직하게는 1×10^{21} 분자/cm³ 이하이고, 암모니아 분자의 탈리량이 1×10^{22} 분자/cm³ 미만, 바람직하게는 5×10^{21} 분자/cm³ 이하, 더욱 바람직하게는 1×10^{21} 분자/cm³ 이하인 질화 절연막을 사용하는 것이 바람직하다. 상기 제1 질화 실리콘막 및 제2 질화 실리콘막을, 게이트 절연막(127)의 일부로서 사용함으로써, 게이트 절연막(127)으로서, 결함이 적고, 수소 및 암모니아의 탈리량이 적은 게이트 절연막을 형성할 수 있다. 따라서, 게이트 절연막(127)에 포함된 수소 및 질소의, 반도체 막(111)에의 침투량을 저감할 수 있다.
- [0080] 산화물 반도체를 포함하는 트랜지스터에 있어서, 산화물 반도체 막과 게이트 절연막 간의 계면에서 또는 게이트 절연막 내에 포획 준위(계면 준위라고도 함)가 존재하는 경우에, 트랜지스터의 역치 전압의 변동, 대표적으로는 역치 전압의 마이너스 방향으로의 변동, 및 트랜지스터가 온 상태로 될 때에 드레인 전류가 1자리 변화하는데 필요한 게이트 전압을 나타내는 서브 스레숄드 스윙(S_{SS})의 증가의 원인이 된다. 그 결과, 트랜지스터마다 전기 특성이 변동된다고 하는 문제가 있다. 이로 인해, 게이트 절연막으로서, 결함이 적은 질화 실리콘막을 사용하고 반도체 막(111)과 접하여 산화 절연막을 제공하는 것은, 역치 전압의 마이너스 방향으로의 변동을 저감하고, S_{SS}의 증가를 억제할 수 있게 한다.
- [0081] 게이트 절연막(127)의 두께는, 5 nm 이상 400 nm 이하, 보다 바람직하게는 10 nm 이상 300 nm 이하, 보다 바람직하게는 50 nm 이상 250 nm 이하이다.
- [0082] 반도체 막(111)은, 비정질, 단결정 또는 다결정일 수 있는 산화물 반도체 막이다. 반도체 막(111)의 두께는, 1 nm 이상 100 nm 이하, 바람직하게는 1 nm 이상 50 nm 이하, 더욱 바람직하게는 1 nm 이상 30 nm 이하, 더욱 바람직하게는 3 nm 이상 20 nm 이하이다.
- [0083] 반도체 막(111)에 사용될 수 있는 산화물 반도체는, 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 이와 같이 에너지 갭이 넓은 산화물 반도체를 사용하는 것은, 트랜지스터(103)의 오프 전류를 저감할 수 있게 한다.
- [0084] 반도체 막(111)에 사용된 산화물 반도체는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는, 산화물 반도체는, In과 Zn의 양쪽을 포함하는 것이 바람직하다. 해당 산화물 반도체를 포함하는 트랜지스터의 전기 특성의 변동을 저감하기 위해서, 산화물 반도체는, In과 Zn 중 어느 하나 또는 양쪽 이외에, 하나 이상의 스테빌라이저를 포함하는 것이 바람직하다.
- [0085] 스테빌라이저의 예로서는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al) 및 지르코늄(Zr)이 있다. 스테빌라이저의 다른 예로서는, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu) 등이 있다.
- [0086] 반도체 막(111)에 사용할 수 있는 산화물 반도체로서는, 예를 들어, 다음이 사용될 수 있다: 산화인듐, 산화주석, 산화아연, 2 종류의 금속을 포함하는 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물 또는 In-Ga계 산화물; 3종류의 금속을 포함하는 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물 또는 In-Lu-Zn계 산화물; 또는 4종류의 금속을 포함하는 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물 또는 In-Hf-Al-Zn계 산화물.
- [0087] 여기서, "In-Ga-Zn계 산화물"은, In, Ga 및 Zn을 주성분으로서 갖는 산화물을 의미하며, In, Ga 및 Zn의 비율에

대한 특별한 제한은 없다. 또한, In-Ga-Zn계 산화물은 In, Ga 및 Zn 이외의 금속 원소를 포함할 수 있다.

[0088] 또한, 산화물 반도체로서는, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 재료를 사용할 수 있다. M은, Ga, Fe, Mn 및 Co로부터 선택된 하나 이상의 금속 원소, 또는 스테빌라이저로서의 상기 원소를 나타낸다는 점에 유의해야 한다.

[0089] 예를 들어, $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$, 또는 $\text{In:Ga:Zn}=3:1:2(=1/2:1/6:1/3)$ 의 원자수비의 In-Ga-Zn계 금속 산화물을 사용할 수 있다. 대안적으로는, $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$, 또는 $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 의 원자수비의 In-Sn-Zn계 금속 산화물을 사용할 수 있다. 금속 산화물의 원자수비에 있어서의 각 원자의 비율은, 오차로서 $\pm 20\%$ 의 범위 내에서 변동한다는 점에 유의해야 한다.

[0090] 상기 주어진 재료에 대한 제한 없이, 반도체 특성 및 전기 특성(전계 효과 이동도, 역치 전압 등)에 따라서 적절한 원자수비의 재료를 사용할 수 있다는 점에 유의해야 한다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절히 설정하는 것이 바람직하다. 예를 들어, In-Sn-Zn계 산화물을 사용하는 경우에는 비교적 용이하게 높은 전계 효과 이동도가 얻어질 수 있다. 또한, In-Ga-Zn계 산화물을 사용하는 경우에도, 벌크내 결함 밀도를 낮춤으로써, 전계 효과 이동도를 높일 수 있다.

[0091] 투광성 도전막(119)은, 반도체 막(111)과 마찬가지로의 재료를 주성분으로 포함하고, 금속 산화물이 질소 및/또는 수소를 포함하게 하여 도전성을 높임으로써 얻어지는, 도체의 특성을 갖는 금속 산화물로 형성된다.

[0092] 반도체 막(111) 및 투광성 도전막(119) 모두는, 게이트 절연막 위에 형성되고, 동일한 금속 원소를 포함하는 금속 산화물 막으로 형성되지만, 불순물 농도가 상이하다. 구체적으로, 투광성 도전막(119)은, 반도체 막(111)보다 불순물 농도가 높다. 예를 들어, 반도체 막(111)에 포함되는 수소의 농도는, $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하이다. 투광성 도전막(119)에 포함되는 수소의 농도는, $8 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 보다 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상이다. 투광성 도전막(119)에 포함되는 수소의 농도는, 반도체 막(111)에서보다, 2배 이상, 바람직하게는 10배 이상이다.

[0093] 투광성 도전막(119)은, 반도체 막(111)보다 저항률이 낮다. 투광성 도전막(119)의 저항률은, 반도체 막(111)의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 이하인 것이 바람직하다. 투광성 도전막(119)의 저항률은, 대표적으로, $1 \times 10^{-3} \Omega\text{cm}$ 이상 $1 \times 10^4 \Omega\text{cm}$ 미만, 바람직하게는, $1 \times 10^{-3} \Omega\text{cm}$ 이상 $1 \times 10^{-1} \Omega\text{cm}$ 미만이다.

[0094] 트랜지스터(103)의 소스 전극(109a)을 포함하는 신호선(109), 트랜지스터(103)의 드레인 전극을 포함하는 도전막(113), 및 용량 소자(205)의 투광성 도전막(119)과 용량선(115)을 전기적으로 접속하는 도전막(125)은, 주사선(107) 및 용량선(115)에 사용할 수 있는 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0095] 트랜지스터(103)의 보호 절연막 및 용량 소자(205)의 유전체막으로서 기능하는 절연막(229, 231 및 232)은, 게이트 절연막(127)에 사용할 수 있는 재료를 사용하여 각각 형성된 절연막이다. 특히, 절연막(229 및 231)은 산화 절연막으로 하고, 절연막(232)은 질화 절연막으로 하는 것이 바람직하다. 또한, 절연막(232)으로서 질화 절연막을 사용하는 것은, 외부로부터 수소 및 물 등의 불순물이 트랜지스터(103)(특히, 반도체 막(111))에 침입하는 것을 억제할 수 있게 한다. 절연막(229)이 반드시 제공되는 것은 아니라는 점에 유의해야 한다.

[0096] 또한, 절연막(229) 및 절연막(231)의 한쪽 또는 양쪽으로서, 화학양론적 조성에서보다 산소 함량이 높은 산화 절연막이 사용되는 것이 바람직하다. 이런 경우, 산소는 해당 산화물 반도체 막으로부터 탈리되는 것이 방지될 수 있고, 산소 과잉 산화 절연막에 포함된 산소는 산화물 반도체 막에 침투하여 산소 결손을 저감할 수 있다. 예를 들어, 다음의 특징을 갖는 산화 절연막이 사용되면, 산화물 반도체 막 내의 산소 결손을 저감할 수 있다. 산화 절연막의 특징은, 산화 절연막으로부터 탈리된 산소 분자의 수가, 승온 탈리 가스 분석법(이하, TDS 분석법이라고 함)으로 측정할 때 $1.0 \times 10^{18}/\text{cm}^3$ 이상이라는 것이다. 절연막(229) 및 절연막(231)의 한쪽 또는 양쪽으로서, 화학양론적 조성보다도 산소 함량이 더 높은 영역(산소 과잉 영역)을 부분적으로 포함하는 산화 절연막이 사용될 수 있다는 점에 유의해야 한다. 그러한 산소 과잉 영역이, 적어도 반도체 막(111)과 중첩하는

영역에 존재하면, 산소는 해당 산화물 반도체 막으로부터 탈리되는 것이 방지되고, 산소 과잉 산화 절연막에 포함된 산소는 산화물 반도체 막에 침투하여, 산소 결손을 저감시킬 수 있다.

- [0097] 절연막(231)이 화학양론적 조성에서보다 산소 함량이 더 높은 산화 절연막인 경우, 절연막(229)은, 산소를 투과시킬 수 있는 산화 절연막인 것이 바람직하다. 외부로부터 절연막(229)에 침투한 산소는, 반도체 막(111) 내로 방출되도록 절연막(229)을 완전히 통과하지 못해서, 그 일부가 절연막(229)에 남아 있게 된다. 또한, 처음부터 절연막(229)에 포함되어 있어, 절연막(229)으로부터 외부로 방출되는 산소가 있다. 따라서, 절연막(229)은 산소의 확산 계수가 큰 것이 바람직하다.
- [0098] 절연막(229)은 반도체 막(111)인 산화물 반도체 막과 접하여 있기 때문에, 절연막(229)은, 산소를 투과시킬 수 있고, 반도체 막(111)과의 계면 준위의 밀도가 낮은 산화 절연막인 것이 바람직하다. 예를 들어, 절연막(229)은, 절연막(231)보다도 결함 밀도가 낮은 산화 절연막인 것이 바람직하다. 구체적으로는, 전자 스핀 공명 분광법에 의해 측정된 g-팩터가 2.001(E'-center)에서의 산화 절연막의 스핀 밀도가 3.0×10^{17} spins/cm³ 이하, 바람직하게는 5.0×10^{16} spins/cm³ 이하이다. 전자 스핀 공명 분광법에 의해 측정된 g-팩터가 2.001에서의 스핀 밀도는, 절연막(229)에서의 dangling 본드의 수에 대응한다.
- [0099] 절연막(229)의 두께는, 5 nm 이상 150 nm 이하, 바람직하게는 5 nm 이상 50 nm 이하, 바람직하게는 10 nm 이상 30 nm 이하일 수 있다. 절연막(231)의 두께는, 30 nm 이상 500 nm 이하, 바람직하게는 150 nm 이상 400 nm 이하일 수 있다.
- [0100] 절연막(232)으로서 질화 절연막을 사용하는 경우, 절연막(229) 및 절연막(231)의 한쪽 또는 양쪽으로서, 질소에 대한 배리어성을 갖는 절연막이 사용되는 것이 바람직하다. 예를 들어, 조밀한 산화 절연막은, 질소에 대한 배리어성을 가질 수 있다. 구체적으로는, 온도가 25℃일 때 분당 10 nm 이하의 속도로 0.5 중량%의 불산에 의해 에칭될 수 있는 산화 절연막을 사용하는 것이 바람직하다.
- [0101] 절연막(229) 및 절연막(231)의 한쪽 또는 양쪽으로서, 산화질화 실리콘막 또는 질화산화 실리콘막 등, 질소를 포함하는 산화 절연막을 사용하는 경우, SIMS에 의해 측정된 질소 농도는, SIMS에 의한 측정 하한 이상 3×10^{20} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 이상 1×10^{20} atoms/cm³ 이하인 것이 바람직하다. 이런 경우, 트랜지스터(103)에 포함된 반도체 막(111)에 침투하는 질소량은 저감될 수 있고, 질소를 포함하는 산화 절연막 자체 내의 결함의 수는 저감될 수 있다.
- [0102] 절연막(232)으로서, 수소 함량이 적은 질화 절연막을 제공될 수 있다. 해당 질화 절연막은, 예를 들어 다음과 같다: TDS 분석법에 의해 측정될 때 질화 절연막으로부터 방출된 수소 분자의 수는, 5.0×10^{21} /cm³ 미만이고, 바람직하게는 3.0×10^{21} /cm³ 미만이고, 더욱 바람직하게는 1.0×10^{21} /cm³ 미만이다.
- [0103] 절연막(232)은, 외부로부터 수소 및 물 등의 불순물의 침입을 억제하기에 충분히 큰 두께를 갖는다. 예를 들어, 그 두께는 50 nm 이상 200 nm 이하, 바람직하게는 50 nm 이상 150 nm 이하, 더욱 바람직하게는 50 nm 이상 100 nm 이하일 수 있다.
- [0104] 또한, 절연막(231)과 절연막(232)과의 사이, 또는 절연막(232) 위에는, 유기 실란 가스를 사용한 CVD법에 의해 형성된 산화 실리콘막이 제공될 수 있다. 해당 산화 실리콘막은, 단차 피복성이 우수하고, 따라서 트랜지스터(103)의 보호 절연막으로서 유용할 수 있다. 해당 산화 실리콘막은, 300 nm 이상 600 nm 이하의 두께로 형성될 수 있다. 유기 실란 가스로서는, 임의의 이하의 실리콘 함유 화합물을 사용할 수 있다: 테트라에틸 오쏘실리케이트(TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$); 테트라메틸실란(TMS)(화학식: $\text{Si}(\text{CH}_3)_4$); 테트라메틸시클로테트라실록산(TMCTS); 옥타메틸시클로테트라실록산(OMCTS); 헥사메틸디실라잔(HMDS); 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$); 트리시디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등.
- [0105] 절연막(231)과 절연막(232)과의 사이, 또는 절연막(232) 위에 상기 산화 실리콘막을 제공하면, 트랜지스터 및 용량 소자가 제공될 소자부의 표면의 평탄성을 높일 수 있다. 절연막(231)과 절연막(232)과의 사이에 상기 산화 실리콘막을 제공하고 절연막(232)으로서 상기 질화 절연막을 사용하면, 외부로부터 수소 및 물 등의 불순물이 반도체 막(111) 및 투광성 도전막(119)에 침입하는 것을 더 억제할 수 있다.
- [0106] 또한, 절연막(232) 위에 산화 실리콘막을 제공하면, 절연막(232) 및 산화 실리콘막은, 용량 소자(205)의 유전체막으로서 기능한다. 절연막(232)은, 질화 절연막으로 형성되고, 질화 절연막은, 산화 실리콘막 등의 산화 절연

막에 비하여, 비유전율이 더 높고, 내부 응력이 더 큰 경향이 있다. 그로 인해, 용량 소자(205)의 유전체막으로서 산화 실리콘막을 사용하지 않고 절연막(232)만을 사용하는 경우, 절연막(232)의 막 두께가 작으면, 용량 소자(205)의 용량 값이 너무 커져 버려, 화상 신호의 화소에의 기입 속도를 저소비 전력으로 높이는 것이 어렵다. 그 반대로, 절연막(232)의 막 두께가 크면, 내부 응력이 너무 커져 버려, 트랜지스터의 역치 전압이 변동하는 등, 전기 특성의 악화가 발생할 수 있다. 또한, 절연막(232)의 내부 응력이 너무 커지면, 절연막(232)이 기관(102)으로부터 박리되는 경향이 있어, 수율이 저하된다. 그러나, 절연막(232)보다도 비유전율이 낮은 산화 실리콘막을, 절연막(232)과 함께, 화소의 용량 소자의 유전체막으로서 사용함으로써, 절연막(232)의 막 두께를 크게 하지 않고, 유전체막의 유전율을 원하는 값으로 조정할 수 있다.

- [0107] 화소 전극(221)은, 투광성 도전막을 사용해서 형성된다. 투광성 도전막은, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여 형성된다.
- [0108] 이어서, 기관(150) 위에 제공되는 소자부의 구조에 대해서 설명한다. 상기 소자부는, 기관(150)에 접하는 차광막(152)과, 차광막(152)에 접하고, 화소 전극(221)과 대향하도록 제공되는 전극(대향 전극(154)), 및 대향 전극(154)에 접하고, 배향막으로서 기능하는 절연막(156)을 포함한다.
- [0109] 차광막(152)은, 트랜지스터(103)가 백라이트 등의 광원 또는 외부로부터의 광으로 조사되는 것을 억제한다. 차광막(152)은, 금속 또는 안료를 포함하는 유기 수지 등의 재료를 사용해서 형성될 수 있고, 화소(201)의 트랜지스터(103) 위에 뿐만 아니라, 주사선 구동 회로(104) 위에 및 신호선 구동 회로(106) 위에 등(도 1을 참조), 화소부(100) 외부의 영역에 제공될 수 있다.
- [0110] 서로 인접하는 차광막(152)의 사이에는, 소정의 파장의 광을 투과시키는 착색 막을 제공할 수 있다는 점에 유의해야 한다. 또한, 차광막(152) 및 착색 막과, 대향 전극(154)과의 사이에는, 오버코트 막을 제공할 수 있다.
- [0111] 대향 전극(154)은, 화소 전극(221)에 사용된 것과 같은 소정의 투광성 도전성 재료를 적절히 사용해서 형성된다.
- [0112] 액정 소자(108)는, 화소 전극(221), 대향 전극(154) 및 액정층(160)을 포함한다. 기관(102) 위의 소자부에 제공되고 배향막으로서 기능하는 절연막(158)과, 기관(150) 위의 소자부에 제공되고 배향막으로서 기능하는 절연막(156)과의 사이에는, 액정층(160)이 배치되어 있다. 또한, 화소 전극(221)은 대향 전극(154)과 중첩되는데, 그 사이에는 액정층(160)이 개재되어 있다.
- [0113] 배향막으로서 기능하는 절연막(156 및 158)은, 폴리아미드 등의 범용 재료를 사용해서 형성될 수 있다.
- [0114] 반도체 막(111) 위에 제공되는 절연막(229)으로서는, 산소를 투과시키고 반도체 막(111)과 산화 절연막과의 계면에서의 계면 준위 밀도가 낮은 산화 절연막을 사용하고, 절연막(231)으로서는, 산소 과잉 영역을 포함하는 산화 절연막 또는 화학양론적 조성에서보다 산소 함량이 더 높은 산화 절연막을 사용하면, 반도체 막(111)인 산화물 반도체 막에 산소를 용이하게 공급할 수 있어, 해당 산화물 반도체 막으로부터의 산소의 탈리를 방지할 수 있고, 절연막(231)에 포함되는 산소가 산화물 반도체 막에 침투될 수 있어, 산화물 반도체 막 내의 산소 결손을 저감할 수 있게 한다. 그 결과, 트랜지스터(103)가 인헨스먼트형 트랜지스터가 되고, 노멀리-온 특성을 갖는 것이 억제되어, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있고, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0115] 절연막(231) 위에 제공되는 절연막(232)으로서 질화 절연막을 사용하는 것은, 외부로부터 수소 및 물 등의 불순물이, 반도체 막(111) 및 투광성 도전막(119)에 침입하는 것을 억제할 수 있게 한다. 또한, 절연막(232)으로서는, 수소 함량이 적은 질화 절연막을 사용하는 것은, 트랜지스터의 전기 특성의 변동을 최소화할 수 있게 한다.
- [0116] 또한, 화소(201) 내에 용량 소자(205)를 크게(대면적으로) 형성할 수 있다. 따라서, 반도체 장치는, 개구율을 개선하면서, 전하 용량을 증가시킬 수 있다. 그 결과, 반도체 장치는 우수한 표시 품질을 가질 수 있다.
- [0117] 또한, 용량 소자(205)의 2개의 전극이 도전성을 갖기 때문에, 용량 소자(205)가 작은 평면 면적을 가져도, 충분한 전하 용량을 얻을 수 있다. 산화물 반도체 막은 광의 80% 내지 90%을 투과하므로; 투광성 도전막(119)의 면적을 축소하고, 화소(201)에 있어서 투광성 도전막(119)이 형성되지 않은 영역을 제공하면, 백라이트 등의 광원으로부터 방출되는 광에 대한 투과율을 높일 수 있다는 점에 유의해야 한다. 즉, 백라이트 등의 광원의 밝기를

약화시키는 것이 가능하여, 반도체 장치의 소비 전력을 저감할 수 있다.

- [0118] <반도체 장치의 제조 방법>
- [0119] 이어서, 상기 반도체 장치 내의 기관(102) 위에 제공된 소자부의 형성 방법에 대해서, 도 6a 및 6b, 도 7a 및 7b, 및 도 8a 및 8b를 사용해서 설명한다.
- [0120] 먼저, 기관(102) 위에는 주사선(107) 및 용량선(115)을 형성한다. 게이트 절연막(127) 내에 가공될 절연막(126)은, 주사선(107) 및 용량선(115)을 덮도록 형성된다. 반도체 막(111)은, 절연막(126) 중 주사선(107)과 중첩하는 부분 위에 형성된다. 반도체 막(118)은, 나중에 화소 전극(221)이 형성될 영역과 중첩하도록 형성된다(도 6a를 참조).
- [0121] 주사선(107) 및 용량선(115)은, 상기 열거한 임의의 재료를 사용해서 도전막이 형성되고, 해당 도전막 위에 마스크가 형성되며, 해당 마스크를 사용해서 가공이 수행되는 방식으로 형성될 수 있다. 해당 도전막은, 증착법, CVD법, 스퍼터링법 및 스핀 코팅법 등의 각종 성막 방법 중 임의의 방법으로 형성될 수 있다. 해당 도전막의 두께는 특별히 한정되지 않고 형성 시간, 원하는 저항률 등을 고려해서 정해질 수 있다는 점에 유의해야 한다. 해당 마스크로서는, 제1 포토리소그래피 공정에 의해 형성된 레지스트 마스크가 사용될 수 있다. 해당 도전막은, 건식 에칭 및 습식 에칭의 한쪽 또는 양쪽에 의해 가공될 수 있다.
- [0122] 절연막(126)은, 게이트 절연막(127)에 사용될 수 있는 재료를 사용하여, CVD법 및 스퍼터링법 등의 각종 성막 방법 중 임의의 방법에 의해, 형성될 수 있다.
- [0123] 게이트 절연막(127)에 산화 칼륨을 사용하는 경우에는, 유기 금속 화학 기상 성막(MOCVD: Metal Organic Chemical Vapor Deposition)법을 사용해서 절연막(126)을 형성할 수 있다.
- [0124] 반도체 막(111) 및 반도체 막(118)은, 상기 주어진 임의의 산화물 반도체를 사용해서 산화물 반도체 막을 형성하고, 해당 산화물 반도체 막 위에 마스크를 형성하고, 해당 마스크를 사용해서 가공이 수행되는 방식으로 형성될 수 있다. 이로 인해, 반도체 막(111) 및 반도체 막(118)은 동일한 금속 원소를 사용해서 형성된다. 산화물 반도체 막은, 스퍼터링법, 도포법, 펄스 레이저 성막법, 레이저 어블레이션법 등을 사용해서 형성될 수 있다. 또는, 인쇄법을 채택하면, 서로 분리된 반도체 막(111 및 118)은, 절연막(126) 위에 직접 형성될 수 있다. 스퍼터링법으로 해당 산화물 반도체 막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치로서는, RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다. 스퍼터링 가스로서는, 희가스(대표적으로는 아르곤), 산소 가스, 또는 희가스와 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우, 산소의 비율은 희가스보다 더 높은 것이 바람직하다. 또한, 타겟은, 형성될 산화물 반도체 막의 조성에 따라 적절히 선택될 수 있다. 해당 마스크로서는, 제2 포토리소그래피 공정에 의해 형성된 레지스트 마스크를 사용할 수 있다. 해당 산화물 반도체 막은, 건식 에칭 및 습식 에칭의 한쪽 또는 양쪽에 의해 가공될 수 있다. 원하는 형상을 형성하기 위해 에칭이 행해질 수 있도록, 재료에 따라 에칭 조건(에칭 가스, 에칭액, 에칭 시간, 온도 등)이 적절히 설정된다.
- [0125] 반도체 막(111 및 118)을 형성한 후에 열 처리를 행하여, 산화물 반도체 막을 탈수 또는 탈수소화하는 것이 바람직하다. 해당 열 처리의 온도는, 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 200℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하이다. 해당 열 처리는 반도체 막(111 및 118)으로 가공되지 않은 산화물 반도체 막 위에 행해질 수 있다는 점에 유의해야 한다.
- [0126] 해당 열 처리에 사용된 열 처리 장치는 전기로에 한정되지 않고; 열 처리 장치로서는, 가열된 가스 등의 매체에 의해 주어진 열전도 또는 열복사를 이용하여 피처리물을 가열하는 장치가 사용될 수 있다. 예를 들어, 가스 급속 열 어닐링(GRTA: Gas Rapid Thermal Anneal) 장치 또는 램프 급속 열 어닐링(LRTA: Lamp Rapid Thermal Anneal) 장치 등의 급속 열 어닐링(RTA: Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 방출된 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용해서 열 처리를 행하는 장치이다.
- [0127] 해당 열 처리는, 질소, 산소, 초 건조 공기(물의 함량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 더 바람직하게는 10 ppb 이하인 공기), 또는 희가스(예를 들면, 아르곤 또는 헬륨)의 분위기하에서 행해질 수 있다. 질소, 산소, 초 건조 공기, 또는 희가스의 상기 분위기는, 수소, 물 등을 포함하지 않는 것이 바람직하다. 또는, 불활성 가스 분위기에서 먼저 가열된 다음, 산소 분위기에서 가열될 수 있다. 처리 시간은 3분 내지 24

시간이다.

- [0128] 기판(102)과, 주사선(107), 용량선(115) 및 게이트 절연막(127)과의 사이에 하지 절연막을 제공하는 경우, 해당 하지 절연막은, 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화질화 알루미늄 등에서 임의의 것을 사용해서 형성될 수 있다. 하지 절연막에, 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등을 사용하는 것은, 기판(102)으로부터 알칼리 금속, 물 및 수소로 대표되는 불순물이 반도체 막(111)에 확산하는 것을 억제할 수 있게 한다. 하지 절연막은, 스퍼터링법 또는 CVD법을 사용해서 형성할 수 있다.
- [0129] 용량선(115)에 도달하는 개구(123)를 절연막(126) 내에 형성해서 게이트 절연막(127)을 형성한 후, 트랜지스터(103)의 소스 전극을 포함하는 신호선(109), 트랜지스터(103)의 드레인 전극을 포함하는 도전막(113), 및 반도체 막(118)과 용량선(115)을 전기적으로 접속하는 도전막(125)을 형성한다(도 6b를 참조).
- [0130] 개구(123)는, 제3 포토리소그래피 공정에 의해 마스크를 형성하고 해당 마스크를 사용해서 가공이 행해지는 방식으로, 절연막(126) 중 용량선(115)과 중첩하는 영역의 일부가 노출되게 형성될 수 있다. 해당 마스크의 형성 및 해당 가공은, 주사선(107) 및 용량선(115)과 유사한 방식으로 행해질 수 있다.
- [0131] 신호선(109), 도전막(113) 및 도전막(125)은, 신호선(109), 도전막(113) 및 도전막(125)에 사용할 수 있는 재료를 사용해서 도전막을 형성하고, 해당 도전막 위에, 제4 포토리소그래피 공정을 통해서 마스크를 형성하고, 해당 마스크를 사용해서 가공을 행하는 방식으로 형성될 수 있다. 해당 마스크의 형성 및 해당 가공은, 주사선(107) 및 용량선(115)과 유사한 방식으로 행할 수 있다.
- [0132] 이어서, 반도체 막(111), 반도체 막(118), 신호선(109), 도전막(113), 도전막(125) 및 게이트 절연막(127) 위에 절연막(128)을 형성하고, 절연막(128) 위에 절연막(130)을 형성한다(도 7a를 참조). 절연막(128) 및 절연막(130)은 연속해서 형성하는 것이 바람직하는데, 이 경우, 각각의 계면에 불순물이 혼입되는 것을 억제할 수 있다.
- [0133] 절연막(128)은, 절연막(229)에 사용 가능한 재료를 사용하여, CVD법 및 스퍼터링법 등의 각종 성막 방법 중 임의의 방법으로 형성할 수 있다. 절연막(130)은, 절연막(231)에 사용 가능한 재료를 사용해서 형성할 수 있다.
- [0134] 절연막(229)으로서, 반도체 막(111)과 산화 절연막과의 계면에서의 계면 준위 밀도가 낮은 산화 절연막을 사용하는 경우, 절연막(128)은 이하의 형성 조건하에서 형성할 수 있다. 여기에서, 해당 산화 절연막으로서는, 산화 실리콘막 또는 산화질화 실리콘막을 형성한다. 해당 형성 조건에 대해서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을, 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하의 온도로 유지하고, 처리실에 원료 가스로서 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 도입해서, 처리실 내의 압력을 20 Pa 이상 250 Pa 이하, 바람직하게는 40 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공된 전극에 고주파 전력을 공급하는 조건이다.
- [0135] 실리콘을 포함하는 퇴적성 가스의 대표예로서는, 실란, 디실란, 트리실란 및 불화 실란이 있다. 산화성 가스의 예로서는, 산소, 오존, 일산화이질소 및 이산화질소가 있다.
- [0136] 실리콘을 포함하는 퇴적성 가스량에 대한 산화성 가스량의 비율을 100 이상으로 설정함으로써, 절연막(128)(절연막(229)) 내의 수소 함량을 저감할 수 있고, 절연막(128)(절연막(229)) 내의 땀글링 본드를 저감할 수 있다. 절연막(130)(절연막(231))으로부터 탈리된 산소는, 절연막(128)(절연막(229)) 내의 땀글링 본드에 의해 포획될 경우가 있으므로; 절연막(128)(절연막(229)) 내의 땀글링 본드가 저감되는 경우에는, 절연막(130)(절연막(231)) 내의 산소가 효율적으로 반도체 막(111)에 혼입되어, 반도체 막(111)인 산화물 반도체 막 내의 산소 결손을 저감할 수 있게 한다. 그 결과, 해당 산화물 반도체 막에 혼입되는 수소량을 저감할 수 있고, 산화물 반도체 막 내의 산소 결손을 저감할 수 있다.
- [0137] 절연막(231)으로서, 상기의 산소 과잉 영역을 포함하는 산화 절연막 또는 화학양론적 조성에서보다 산소 함량이 더 높은 산화 절연막을 사용할 경우, 절연막(130)은 이하의 형성 조건하에서 형성될 수 있다. 여기에서, 해당 산화 절연막으로서, 산화 실리콘막 또는 산화질화 실리콘막을 형성한다. 해당 형성 조건에 있어서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을, 180℃ 이상 260℃ 이하, 바람직하게는 180℃ 이상 230℃ 이하의 온도로 유지하고, 처리실에 원료 가스를 도입해서, 처리실 내의 압력을 100 Pa 이상 250 Pa 이하, 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공된 전극에는 0.17 W/cm^2 이상 0.5 W/cm^2 이하, 바람직하게는 0.25 W/cm^2 이상 0.35 W/cm^2 이하의 고주파 전력을 공급하는 것이다.

- [0138] 절연막(130)의 원료 가스로서는, 절연막(128)에 사용할 수 있는 원료 가스를 사용할 수 있다.
- [0139] 절연막(130)의 형성 조건에 있어서는, 상기 파워 밀도의 고주파 전력을 상기 압력의 처리실에 공급함으로써, 플라즈마 내의 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하며, 원료 가스의 산화가 진행되므로; 절연막(130) 내의 산소 함량은 화학양론적 조성에서보다도 많다. 한편, 상기 온도 범위 내의 기판 온도에서 형성된 막에서는, 실리콘과 산소의 결합력이 약하고, 따라서, 후속 공정에서의 열 처리에 의해 막 내의 산소의 일부가 탈리한다. 따라서, 화학양론적 조성에서보다 산소 함량이 더 많고, 가열에 의해 산소의 일부가 탈리하는 산화 절연막을 형성할 수 있다. 반도체 막(111) 위에는 절연막(128)이 제공되어 있다. 따라서, 절연막(130)의 형성 공정에 있어서, 절연막(128)은 반도체 막(111)의 보호막으로서의 역할을 한다. 따라서, 파워 밀도가 높은 고주파 전력을 사용해서 절연막(130)을 형성해도, 반도체 막(111)에의 손상은 크지 않다.
- [0140] 절연막(130)의 막 두께를 두껍게 함으로써, 가열에 의해 많은 양의 산소가 탈리되고; 따라서 절연막(130)은 절연막(128)보다 두껍게 형성되는 것이 바람직하다. 절연막(128)이 제공되기 때문에, 절연막(130)을 두껍게 형성하는 경우에서도 양호한 피복성을 달성할 수 있다.
- [0141] 적어도 절연막(130)을 형성한 후에 열 처리를 행하여, 절연막(128) 또는 절연막(130)에 포함된 과잉 산소를 반도체 막(111)에 혼입시켜, 산화물 반도체 막 내의 산소 결손을 저감하는 것이 바람직하다. 해당 열 처리는, 반도체 막(111) 및 투광성 도전막(119)의 탈수 또는 탈수소화를 위한 열 처리의 상세에 따라 적절히 행할 수 있다는 점에 유의해야 한다.
- [0142] 이어서, 적어도 투광성 도전막(119)과 중첩하는 절연막(130)의 영역 위에 마스크를 형성하고, 해당 마스크를 사용해서 가공을 행하여, 개구부를 갖는 절연막(228 및 230)을 형성한다. 투광성 도전막(119)이 노출되는 개구부를 갖는 마스크로서, 제5 포토리소그래피 공정을 통해 형성한 레지스트 마스크를 사용할 수 있고, 해당 가공은 건식 에칭 및 습식 에칭의 한쪽 또는 양쪽에 의해 행할 수 있다. 건식 에칭을 사용해서 개구부를 형성하는 경우, 산화물 반도체 막은 플라즈마에 노출되고 손상되어, 산화물 반도체 막에, 결합, 대표적으로는 산소 결손이 형성된다. 따라서, 저항이 낮은 투광성 도전막(119)이 형성된다. 이어서, 절연막(228), 절연막(230), 도전막(125) 및 투광성 도전막(119) 위에 절연막(233)을 형성한다(도 7b를 참조).
- [0143] 절연막(233)은, 절연막(232)에 사용 가능한 재료를 사용해서 형성할 수 있다. 절연막(233)은 스퍼터링법, CVD법 등을 사용해서 형성할 수 있다.
- [0144] 절연막(233)으로서 수소 함량이 적은 질화 절연막을 제공하는 경우, 절연막(233)은 이하의 형성 조건하에서 형성할 수 있다. 여기에서, 해당 질화 절연막으로서, 질화 실리콘막을 형성한다. 해당 형성 조건에 있어서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을, 80℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하의 온도로 유지하고, 처리실에 원료 가스를 도입해서, 처리실 내의 압력을 100 Pa 이상 250 Pa 이하, 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공된 전극에 고주파 전력을 공급하는 것이다.
- [0145] 절연막(233)의 원료 가스로서는, 실리콘을 포함하는 퇴적성 가스, 질소 가스 및 암모니아 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 가스의 대표예로서는, 실란, 디실란, 트리실란 및 불화 실란이 있다. 또한, 암모니아에 대한 질소의 유량은, 5 이상 50 이하, 바람직하게는 10 이상 50 이하인 것이 바람직하다. 원료 가스로서 암모니아를 사용하는 것은, 실리콘을 포함하는 퇴적성 가스 및 질소의 분해를 용이하게 한다. 이는, 암모니아가 플라즈마 에너지 또는 열에너지에 의해 해리되고, 해리에 의해 생성된 에너지가, 실리콘을 포함하는 퇴적성 가스 분자의 결합 및 질소 분자의 결합의 분해에 기여하기 때문이다. 상기 조건하에서, 수소 함량이 적고, 외부로부터 수소 및 물 등의 불순물의 침입을 억제하는 것이 가능한 질화 실리콘막을 형성할 수 있다.
- [0146] 질화 절연막을 사용하여 절연막(233)을 플라즈마 CVD법 또는 스퍼터링법으로 형성하면, 반도체 막(118)은 플라즈마에 노출되고, 반도체 막(118)에 산소 결손이 생성된다. 또한, 반도체 막(118)이, 질화 절연막을 사용하여 형성된 절연막(233)과 접하면, 절연막(233)으로부터, 질소 또는/및 수소가 반도체 막(118)으로 이동한다. 절연막(233)에 포함된 수소가 산소 결손 내에 혼입하는 것에 의해, 캐리어인 전자가 생성된다. 따라서, 반도체 막(118)의 도전성이 높아져서, 도체의 도전성 특성을 갖는 금속 산화막으로 구성되는 투광성 도전막(119)이 얻어진다.
- [0147] 또한, 예를 들어, 절연막(233)을 형성한 후, 동시에 절연막(233)이 투광성 도전막(119)에 접하는 상태에서 열 처리를 행할 수 있다. 그 결과, 투광성 도전막(119)의 도전성을 더 높일 수 있다.
- [0148] 절연막(233)으로부터의 질소 및/또는 수소 이동 거리에 따라서는, 반도체 막(118) 중 도전막(125)과 중첩하는

영역의 일부가 산화물 반도체로서 남아있는 경우도 있다는 점에 유의해야 한다.

- [0149] 절연막(130)과 절연막(233)과의 사이에는, 유기 실란 가스를 사용하는 CVD법에 의해 산화 실리콘막을 형성할 수 있다.
- [0150] 절연막(130)과 절연막(233)과의 사이에, 유기 실란 가스를 사용하는 CVD법에 의해 산화 실리콘막을 형성하는 경우, 절연막(130)으로서, 화학양론적 조성에서보다 산소 함량이 많고, 가열에 의해 산소의 일부가 탈리되는 산화 절연막을 형성한 다음, 350℃에서 열 처리를 행하여, 절연막(130)에 포함되는 과잉 산소가 반도체 막(111)에 혼입되게 한다. 350℃의 기판 온도에서 상기 주어진 임의의 유기 실란 가스를 사용하여 CVD법으로 산화 실리콘막을 형성한 후, 350℃의 기판 온도에서 수소 함량이 적은 질화 절연막을, 절연막(233)으로서 형성한다.
- [0151] 이어서, 절연막(228, 230 및 233) 중 도전막(113)과 중첩하는 영역 위에, 제6 포토리소그래피 공정을 통해 마스크를 형성한 후, 절연막(228, 230 및 233)을 에칭하여, 도전막(113)에 도달하는 개구(117)를 갖는 절연막(229, 231 및 232)을 형성한다(도 8a를 참조). 개구(117)는, 개구(123)와 유사한 방식으로 형성할 수 있다.
- [0152] 마지막으로, 화소 전극(221)을 형성함으로써, 기판(102) 위에 제공되는 소자부를 형성할 수 있다(도 8b를 참조). 화소 전극(221)은, 상기 열거한 임의의 재료를 사용하고, 개구(117)를 통해서 도전막(113)에 접하여 도전막을 형성하고, 해당 도전막 위에, 제7 포토리소그래피 공정을 통해 마스크를 형성하며, 해당 마스크를 사용해서 가공을 행하는 방식으로 형성한다. 해당 마스크의 형성 및 해당 가공은, 주사선(107) 및 용량선(115)과 유사한 방식으로 행할 수 있다.
- [0153] <변형예 1>
- [0154] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 용량 소자의 구조를 적절히 변경할 수 있다. 본 구조의 구체예에 대해서는, 도 9를 참조해서 설명한다. 여기에서, 도 2 및 도 3을 참조해서 설명한 용량 소자(205)와는 다른 용량 소자(245)에 대해서만 설명한다.
- [0155] 게이트 절연막(227)은, 질화 절연막을 사용하여 형성된 절연막(225)과, 산화 절연막을 사용하여 형성된 절연막(226)과의 적층 구조를 갖고, 적어도 투광성 도전막(119)이 제공되는 영역에는 절연막(225)만을 제공한다. 이러한 구조로 인해, 절연막(225)인 질화 절연막은 투광성 도전막(119)의 하면과 접하므로; 절연막(225) 위에 반도체 막(111)과 동시에 형성되는 반도체 막은, 도체의 도전성 특성을 갖는 금속 산화물 막으로 형성되는 투광성 도전막(119)일 수 있다(도 9를 참조). 이 경우, 용량 소자(245)의 유전체막은 절연막(229, 231 및 232)이다. 절연막(225 및 226)으로서, 게이트 절연막(127)으로서 사용할 수 있는 절연막을 적절히 사용할 수 있고, 절연막(225)은 절연막(232)과 유사한 절연막을 사용하여 형성할 수 있다. 도 9에 나타내는 구조는, 절연막(129 및 131)의 에칭에 의한 투광성 도전막(119)의 막 두께 감소를 방지할 수 있어, 도 3에 도시하는 반도체 장치에 비해, 수율이 증가한다.
- [0156] 도 9에 나타내는 구성에 있어서, 투광성 도전막(119)의 상면이 절연막(132)과 접할 수 있다는 점에 유의해야 한다. 즉, 도 9에 나타내는 절연막(129 및 131) 중 투광성 도전막(119)과 접하는 부분이 제거될 수 있다. 이 경우, 용량 소자(245)의 유전체막은 절연막(132)이다. 투광성 도전막(119)의 상면 및 하면이 질화 절연막과 접하면, 투광성 도전막(119)은 그의 상면 및 하면 중 한 면만이 질화 절연막과 접하는 경우에서보다도 더 높은 도전성을 가질 수 있다.
- [0157] <변형예 2>
- [0158] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 용량 소자의 전극으로서의 역할을 하는 투광성 도전막과 용량선과의 접촉은 적절히 변경될 수 있다. 예를 들어, 개구율을 향상시키기 위해서, 도전막을 사이에 개재하지 않고, 투광성 도전막이 용량선과 직접 접하는 구조가 채택될 수 있다. 본 구조의 구체예에 대해서는, 도 10을 참조해서 설명한다. 여기에서, 도 2 및 도 3을 참조해서 설명한 용량 소자(205)와는 다른 용량 소자(145)에 대해서만 설명한다. 도 10은 반도체 장치의 단면도이다.
- [0159] 화소에 있어서, 용량 소자(145)의 다른 쪽 전극으로서 기능하는 투광성 도전막(119)은, 개구(143)를 통해 용량선(115)과 직접 접하고 있다. 도 3에 도시하는 용량 소자(205)에서와는 달리, 도전막(125)을 사이에 개재하지 않고, 투광성 도전막(119)이 용량선(115)과 직접 접하고, 차광막인 도전막(125)이 형성되지 않아, 화소(141)의 더 높은 개구율을 달성할 수 있다.
- [0160] <변형예 3>

- [0161] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 용량 소자에 포함되는 투광성 도전막 및 용량선의 구성은 적절히 변경될 수 있다. 본 구조의 구체예에 대해서는, 도 11을 참조해서 설명한다. 여기에서, 도 2 및 도 3에서 설명한 투광성 도전막(119) 및 용량선(115)과는 다른, 투광성 도전막(178) 및 용량선(176)에 대해서만 설명한다는 점에 유의해야 한다.
- [0162] 도 11은, 용량선(176)이 신호선(109)과 평행 방향으로 연장해서 제공되어 있는 화소(172)의 상면도이다. 신호선(109) 및 용량선(176)은, 신호선 구동 회로(106)(도 1a를 참조)에 전기적으로 접속되어 있다. 도 11에 도시하는 화소(172)에서와 같이, 신호선(109)과 평행한 변에 비해서 주사선(107)과 평행한 변이 더 긴 형상이 채택될 수 있고, 용량선(176)은 신호선(109)과 평행 방향으로 연장될 수 있다.
- [0163] 용량 소자(174)는, 신호선(109)과 평행 방향으로 연장되는 용량선(176)과 접속되어 있다. 용량 소자(174)는, 투광성 도전막(178)과, 투광성 화소 전극(221)과, 유전체막으로서, 트랜지스터(103) 위에 제공되는 투광성 절연막(도 11에 도시하지 않음)을 포함한다. 즉, 용량 소자(174)는 투광성을 갖는다.
- [0164] 용량선(176)은, 신호선(109) 및 도전막(113)과 동시에 형성할 수 있다. 용량선(176)이 투광성 도전막(178)과 접해서 제공되면, 투광성 도전막(178)과 용량선(176)이 서로 접하는 면적이 증가할 수 있다. 또한, 화소(172)는, 신호선(109)과 평행한 변이 주사선(107)과 평행한 변보다 짧은 형상을 가지므로; 화소 전극(121)이 용량선(176)과 중첩되는 면적이 작을 수 있어, 개구율을 더 높일 수 있다.
- [0165] 도 3에 있어서, 용량선(115)과 주사선(107)이 동시에 형성되기 때문에, 용량선(115)과 투광성 도전막(119) 간의 접속을 위해, 게이트 절연막(127)에 개구부를 제공하기 위해서 포토리소그래피 공정을 행할 필요가 있었다. 그러나, 도 11에 도시한 바와 같이, 신호선(109)과 용량선(176)을 동시에 형성함으로써, 투광성 도전막(119)과 용량선(176)은 서로 직접 접속될 수 있다. 그 결과, 포토리소그래피 공정의 수를 삭감하는 것이 가능하다. 즉, 6회의 포토리소그래피 공정에 의해, 트랜지스터, 트랜지스터에 접속된 화소 전극, 및 용량 소자를 제조하는 것이 가능하다.
- [0166] <변형예 4>
- [0167] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 용량 소자에 포함된 전극 및 용량선은 투광성 도전막을 사용하여 형성할 수 있다. 그 구체예를 도 12를 사용해서 설명한다. 여기에서, 도 2를 참조해서 설명한 투광성 도전막(119) 및 용량선(115)과는 다른 투광성 도전막(198)에 대해서만 설명한다. 도 12는, 화소(196)의 상면도이며, 화소(196)에 있어서, 용량 소자(197)의 한쪽 전극 및 용량선으로서의 역할을 하는 투광성 도전막(198)이 제공되어 있다. 투광성 도전막(198)은, 신호선(109)과 평행 방향으로 연장되는 영역을 갖고, 해당 영역은 용량선으로서 기능한다. 투광성 도전막(198)에 있어서, 화소 전극(221)과 중첩하는 영역은 용량 소자(197)의 전극으로서 기능한다. 투광성 도전막(198)은, 도 2에 도시하는 투광성 도전막(119)과 유사한 방식으로 형성할 수 있다는 점에 유의해야 한다.
- [0168] 한 행의 화소(196)에 대해 연속 막이 투광성 도전막(198)으로서 제공되는 경우, 투광성 도전막(198)은 주사선(107)과 중첩한다. 이런 이유로, 투광성 도전막(198)은, 주사선(107)의 전위 변화의 영향에 의해, 용량선 및 용량 소자(197)의 한쪽 전극으로서 기능하지 않는 경우가 있다. 따라서, 도 12에 도시한 바와 같이, 투광성 도전막(198)은 화소(196) 간에 서로 이격되는 것이 바람직하고, 상기 이격된 투광성 도전막(198)은 신호선(109) 및 도전막(113)의 형성 공정을 이용해서 형성할 수 있는 도전막(199)을 통해 서로 전기적으로 접속된다. 상기 구조로 인해, 투광성 도전막(198) 중 도전막(199)과 접속되지 않은 영역이 화소 전극(221)과 겹침으로써, 해당 영역에서의 투광성 도전막(198)의 저항을 저감할 수 있으므로, 투광성 도전막(198)은 용량선 및 용량 소자(197)의 한쪽 전극으로서 기능한다.
- [0169] 도시하지 않았지만, 투광성 도전막(198) 중 주사선(107)과 중첩하는 영역이 주사선(107)의 전위 변화에 의해 영향을 받지 않을 경우, 주사선(107)과 중첩하도록 화소(196)에 대해 투광성 도전막(198)으로서 1개의 투광성 도전막이 제공될 수 있다. 즉, 투광성 도전막은, 이격되지 않고 한 행의 모든 화소(196)에 연속해서 제공될 수 있다.
- [0170] 도 12에서는, 투광성 도전막(198) 중 용량선으로서 기능하는 영역이 신호선(109)과 평행 방향으로 연장되지만; 용량선으로서 기능하는 영역은 주사선(107)과 평행 방향으로 연장될 수 있다. 투광성 도전막(198) 중 용량선으로서 기능하는 영역이 주사선(107)과 평행 방향으로 연장되는 경우, 트랜지스터(103) 및 용량 소자(197)에 있어서, 반도체 막(111) 및 투광성 도전막(198)과, 신호선(109) 및 도전막(113)과의 사이에 절연막을 제공함으로써, 반도체 막(111) 및 투광성 도전막(198)은, 신호선(109) 및 도전막(113)으로부터 전기적으로 분리되는 것이 필요

하다.

- [0171] 상기 설명에 따르면, 화소(196)에서와 같이, 화소에 제공된 용량 소자의 전극 및 용량선에 대해 투광성 도전막이 제공되면, 화소는 더 높은 개구율을 가질 수 있다.
- [0172] <변형예 5>
- [0173] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 용량선의 구성은 적절히 변경될 수 있다. 본 구성에 대해서, 도 13을 참조해서 설명한다. 도 13에 있어서는, 도 2를 참조해서 설명한 용량선(115)과는 달리, 용량선은 인접하는 2개의 화소의 사이에 위치한다.
- [0174] 도 13은, 신호선(409)이 연장되는 방향으로 인접 화소 사이에 용량선이 제공되어 있는 구성을 나타낸다. 인접하는 화소 사이에서 주사선(437)의 연장 방향으로 용량선이 제공되어 있는 구성이 채택될 수 있다는 점에 유의해야 한다.
- [0175] 도 13은, 신호선(409)의 연장 방향으로 서로 인접하는 화소(401_1) 및 화소(401_2)의 상면도이다.
- [0176] 주사선(407_1) 및 주사선(407_2)은, 신호선(409)에 대략 직교하는 방향으로 서로 서로 평행하게 연장되도록 제공되어 있다. 주사선(407_1)과 주사선(407_2)의 사이에, 주사선(407_1) 및 주사선(407_2)과 평행하도록 용량선(415)이 제공되어 있다. 용량선(415)은, 화소(401_1)에 제공된 용량 소자(405_1) 및 화소(401_2)에 제공된 용량 소자(405_2)에 접속된다. 화소(401_1)의 상면 형상 및 구성 요소의 위치와, 화소(401_2)의 상면 형상 및 구성 요소의 위치는, 용량선(415)에 대하여 대칭이다.
- [0177] 화소(401_1)에는, 트랜지스터(403_1), 해당 트랜지스터(403_1)에 접속된 화소 전극(421_1), 및 용량 소자(405_1)가 제공된다.
- [0178] 트랜지스터(403_1)는, 주사선(407_1) 및 신호선(409)이 서로 교차하는 영역에 제공되어 있다. 트랜지스터(403_1)는, 적어도, 채널 형성 영역을 갖는 반도체 막(411_1)과, 게이트 전극과, 게이트 절연막(도 13에 도시하지 않음)과, 소스 전극과, 드레인 전극을 포함한다. 주사선(407_1) 중 반도체 막(411_1)과 중첩하는 영역은, 트랜지스터(403_1)의 게이트 전극으로서 기능한다. 신호선(409) 중 반도체 막(411_1)과 중첩하는 영역은, 트랜지스터(403_1)의 소스 전극으로서 기능한다. 도전막(413_1) 중 반도체 막(411_1)과 중첩하는 영역은, 트랜지스터(403_1)의 드레인 전극으로서 기능한다. 도전막(413_2) 및 화소 전극(421_1)은, 개구(417_1)를 통해 서로 접속된다.
- [0179] 용량 소자(405_1)는, 개구(423) 내에 및 위에 제공된 도전막(425)을 통해 용량선(415)에 전기적으로 접속되어 있다. 용량 소자(405_1)는, 투광성 도전막(419_1)과, 투광성 화소 전극(421_1)과, 유전체막으로서, 트랜지스터(403_1) 위에 제공되는 투광성 절연막(도 13에 도시하지 않음)을 포함한다. 즉, 용량 소자(405_1)는 투광성을 갖는다.
- [0180] 화소(401_2)에는, 트랜지스터(403_2), 해당 트랜지스터(403_2)에 접속된 화소 전극(421_2), 및 용량 소자(405_2)가 제공된다.
- [0181] 트랜지스터(403_2)는, 주사선(407_2) 및 신호선(409)이 서로 교차하는 영역에 제공되어 있다. 트랜지스터(403_2)는, 적어도, 채널 형성 영역을 갖는 반도체 막(411_2)과, 게이트 전극과, 게이트 절연막(도 13에 도시하지 않음)과, 소스 전극과, 드레인 전극을 포함한다. 주사선(407_2) 중 반도체 막(411_2)과 중첩하는 영역은, 트랜지스터(403_2)의 게이트 전극으로서 기능한다. 신호선(409) 중 반도체 막(411_2)과 중첩하는 영역은, 트랜지스터(403_2)의 소스 전극으로서 기능한다. 도전막(413_2) 중 반도체 막(411_2)과 중첩하는 영역은, 트랜지스터(403_2)의 드레인 전극으로서 기능한다. 도전막(413_2) 및 화소 전극(421_2)은, 개구(417_2)를 통해 서로 접속된다.
- [0182] 용량 소자(405_2)는, 용량 소자(405_1)와 마찬가지로, 개구(423) 내에 및 위에 제공된 도전막(425)을 통해서 용량선(415)에 전기적으로 접속되어 있다. 용량 소자(405_2)는, 투광성 도전막(419_2)과, 투광성 화소 전극(421_2)과, 유전체막으로서, 트랜지스터(403_2)에 포함되는 투광성 절연막(도 13에 도시하지 않음)을 포함한다. 즉, 용량 소자(405_2)는 투광성을 갖는다.
- [0183] 트랜지스터(403_1 및 403_2), 및 용량 소자(405_1 및 405_2)의 단면 구조는 도 3에 도시하는 트랜지스터(103) 및 용량 소자(205)의 것과 유사하므로, 여기에서는 그 설명을 생략한다.
- [0184] 상부로부터 본 구성에 있어서, 인접하는 2개 화소의 사이에 용량선을 제공하여, 화소에 포함된 용량 소자와 해

당 용량선을 접속함으로써, 용량선의 수를 삭감하는 것이 가능하다. 그 결과, 각 화소에 용량선을 제공하는 구조에 비해, 화소의 개구율이 더 높을 수 있다.

[0185] <변형예 6>

[0186] 본 발명의 한 실시 형태인 반도체 장치에 있어서, 화소 내에 제공된 트랜지스터의 형상은, 도 2, 도 4, 도 11, 도 12 및 도 13에 나타낸 트랜지스터의 형상에 한정되지 않고, 적절히 변경될 수 있다. 예를 들어, 트랜지스터는, 신호선(109)에 포함되는 소스 전극이, 드레인 전극을 포함하는 도전막을 둘러싸는 U자형(또는 C자형, 꺾쇠 괄호형, 또는 말굽형) 형상을 가질 수 있다. 이러한 형상으로 인해, 트랜지스터의 면적이 작아도, 충분한 채널 폭을 확보하는 것이 가능하고, 트랜지스터의 도통시에 흐르는 드레인 전류(온 전류라고도 함)의 양을 증가시키는 것이 가능하게 된다.

[0187] <변형예 7>

[0188] 상기에서, 산화물 반도체 막이, 게이트 절연막과 소스 전극을 포함하는 신호선(109)과, 드레인 전극을 포함하는 도전막(113)과의 사이에 제공되는 트랜지스터를 사용했지만, 그 트랜지스터 대신에, 반도체 막이, 소스 전극을 포함하는 신호선 및 드레인 전극을 포함하는 도전막과, 절연막(229)과의 사이에 위치하는 트랜지스터를 사용할 수 있다.

[0189] <변형예 8>

[0190] 상기에 채널 에치형의 트랜지스터를 나타냈지만, 채널 에치형의 트랜지스터 대신에, 채널 보호형의 트랜지스터를 사용할 수 있다. 채널 보호막을 제공하면, 반도체 막(111)의 표면은, 신호선 및 도전막의 형성 공정에서 사용하는 에천트 또는 에칭 가스에 노출되지 않아서, 반도체 막(111)과 채널 보호막과의 사이의 불순물을 저감할 수 있다. 따라서, 트랜지스터의 소스 전극과 드레인 전극과의 사이에 흐르는 누설 전류를 저감하는 것이 가능하다.

[0191] <변형예 9>

[0192] 상기에 1개의 게이트 전극을 갖는 트랜지스터를 나타냈지만, 반도체 막(111)을 사이에 개재한 채로 서로 대향하는 2개의 게이트 전극을 포함하는 트랜지스터를 대안적으로 사용할 수 있다.

[0193] 트랜지스터는, 본 실시 형태에서 설명한 트랜지스터(103)의 절연막(232) 위에 도전막이 제공되는 트랜지스터이다. 도전막은, 적어도 반도체 막(111)의 채널 형성 영역과 중첩된다. 도전막을 반도체 막(111)의 채널 형성 영역과 중첩되는 위치에 제공하여, 도전막의 전위가, 신호선(109)에 입력되는 비디오 신호의 최저 전위와 동일하게 되는 것이 바람직하다. 그 경우, 도전막과 대향하는 반도체 막(111)의 표면에 있어서, 소스 전극과 드레인 전극과의 사이에 흐르는 전류를 제어하는 것이 가능하고, 트랜지스터의 전기 특성의 변동을 저감할 수 있다. 또한, 도전막을 제공함으로써, 주위의 전계 변화가 반도체 막(111)에 끼치는 영향을 경감하게 하므로; 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0194] 절연막(232) 위에 제공된 도전막은, 주사선(107), 신호선(109), 화소 전극(121) 등과 마찬가지로의 재료 및 제조 방법을 적절히 사용해서 형성할 수 있다.

[0195] 상술한 바와 같이, 트랜지스터에 포함되는 반도체 막과 동일한 형성 공정에서 형성된 반도체 막과 접하도록 질화 절연막을 제공함으로써 얻어진, 도체의 전기 특성을 갖는 금속 산화물을, 용량 소자의 투광성 전극으로서 사용한다. 그 결과, 개구율이, 대표적으로는 50% 이상, 바람직하게는 55% 이상, 보다 바람직하게는 60% 이상으로 증가하고, 전하 용량을 증가시킨 용량 소자를 포함하는 반도체 장치를 제조할 수 있다. 따라서, 반도체 장치는 우수한 표시 품질을 가질 수 있다.

[0196] 또한, 트랜지스터에 포함되는 반도체 막인 산화물 반도체 막에 있어서 산소 결손 및 수소 등의 불순물이 저감되어, 본 발명의 한 실시 형태인 반도체 장치가 양호한 전기 특성을 가지며 전력을 적게 소비하게 된다.

[0197] 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태 및 실시예에 나타내는 임의의 구성 등과 적절히 조합될 수 있다는 점에 유의해야 한다.

[0198] <변형예 10>

[0199] 상기 트랜지스터의 제조 방법에 있어서, 투광성 도전막(119)의 형성 방법으로서, 도 6b의 공정의 후에, 반도체 막(111)을 덮고 있고, 반도체 막(118)이 노출되는 개구를 포함하는 마스크를 형성한다. 이어서, 반도체 막

(118)을, 회가스, 수소와 회가스의 혼합 가스, 회가스와 암모니아의 혼합 가스, 암모니아 가스, 질소 가스 등의 분위기에서 생성된 플라즈마에 노출시킴으로써, 도 7b에 도시한 바와 같은, 반도체 막(118) 위에 질화 절연막을 형성하는 공정을 거치지 않고, 투광성 도전막(119)을 형성할 수 있다.

[0200] 또는, 상기 트랜지스터의 제조 방법에 있어서, 투광성 도전막(119)의 형성 방법으로서, 도 7a의 공정 후에, 반도체 막(111)을 덮고 있고, 반도체 막(118)이 노출되는 개구를 포함하는 마스크를 형성한다. 이어서, 절연막(130)을 통해, 반도체 막(118)을, 회가스, 수소와 회가스의 혼합 가스, 회가스와 암모니아의 혼합 가스, 암모니아 가스, 질소 가스 등의 분위기에서 생성된 플라즈마에 노출시킴으로써, 도 7b에 도시한 바와 같이, 반도체 막(118) 위에 질화 절연막을 형성하는 공정을 거치지 않고, 투광성 도전막(119)을 형성할 수 있다.

[0201] 반도체 막(118)이 플라즈마에 노출되면, 반도체 막(118)으로서 형성된 산화물 반도체 막은 손상을 받고, 해당 산화물 반도체 막에는, 결함, 대표적으로는 산소 결손이 생성된다. 그 결과, 저항률이 저하된 투광성 도전막(119)이 형성된다.

[0202] (실시 형태 2)

[0203] 본 실시 형태에 있어서, 상기 실시 형태에서와는 다른 구성을 갖는 본 발명의 한 실시 형태의 반도체 장치가, 도면을 참조해서 설명한다. 본 실시 형태에 있어서, 액정 표시 장치를 예로 해서 본 발명의 한 실시 형태인 반도체 장치를 설명한다. 본 실시 형태에서 설명한 반도체 장치에 있어서, 용량 소자에 포함되는 투광성 도전막은, 상기 실시 형태에서의 용량 소자에서의 것과는 상이하다. 상기 실시 형태는, 상기 실시 형태에서의 반도체 장치의 것과 유사한, 본 실시 형태에서의 반도체 장치에서의 구성 요소를 참조할 수 있다.

[0204] <반도체 장치의 구성>

[0205] 본 실시 형태에서 설명하는 액정 표시 장치의 화소부에 제공되는 화소(301)의 구체적인 구성예에 대해서 설명한다. 도 14는 화소(301)의 상면도이다. 도 14에 도시하는 화소(301)는, 용량 소자(305)를 포함하고, 용량 소자(305)는, 화소(301) 중 용량선(115) 및 신호선(109)으로 둘러싸이는 영역에 제공되어 있다. 용량 소자(305)는, 개구(123) 내에 및 위에 제공된 도전막(125)을 통해서 용량선(115)에 전기적으로 접속되어 있다. 용량 소자(305)는, 투광성 도전막(319)과, 투광성 화소 전극(221)과, 유전체막으로서, 트랜지스터(103) 위에 제공되는 절연막(도 14에 도시하지 않음)을 포함한다. 즉, 용량 소자(305)는 광을 투과시킨다.

[0206] 용량 소자의 전극으로서, 투광성 도전막(319)을 사용한다. 즉, 용량 소자(305)는 화소(301) 내에 크게(대면적을 커버할 정도로) 형성할 수 있다. 따라서, 개구율이, 대표적으로는 50% 이상, 바람직하게는 55% 이상, 더욱 바람직하게는 60% 이상으로 증가될 수 있고, 전하 용량을 증가시킨 용량 소자를 포함하는 반도체 장치를 얻을 수 있다.

[0207] 계속해서, 도 15는 도 14의 일점 채선 A1-A2 및 B1-B2를 따라 절취한 단면도를 도시한다.

[0208] 액정 장치의 화소(301)의 단면 구조는 이하와 같다. 기판(102) 위에는 트랜지스터(103)의 게이트 전극을 포함하는 주사선(107)이 제공되어 있다. 주사선(107) 위에는 게이트 절연막(127)이 제공되어 있다. 게이트 절연막(127) 중 주사선(107)과 중첩하는 영역 위에는 반도체 막(111)이 제공되어 있고, 게이트 절연막(127) 위에는 투광성 도전막(319)이 제공되어 있다. 반도체 막(111) 및 게이트 절연막(127) 위에는 트랜지스터(103)의 소스 전극을 포함하는 신호선(109)과, 트랜지스터(103)의 드레인 전극을 포함하는 도전막(113)이 제공되어 있다. 게이트 절연막(127) 위에는 투광성 도전막(319)과 용량선(115)을 접속하는 도전막(125)이 제공되어 있다. 게이트 절연막(127), 신호선(109), 반도체 막(111), 도전막(113), 도전막(125) 및 투광성 도전막(319) 위에는, 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(129), 절연막(131) 및 절연막(132)이 제공되어 있다. 절연막(129), 절연막(131) 및 절연막(132)에는 도전막(113)에 도달하는 개구(117)가 제공되어 있고, 개구(117) 내에 및 절연막(132) 위에는 화소 전극(221)이 제공되어 있다. 기판(102)과, 주사선(107) 및 게이트 절연막(127)과의 사이에는 하지 절연막이 제공될 수 있다.

[0209] 본 구성에서의 용량 소자(305)에 있어서, 한 쌍의 전극 중 한쪽의 전극은 화소 전극(121)이고, 한 쌍의 전극 중 다른 쪽 전극은 투광성 도전막(319)이며, 한 쌍의 전극 사이에 제공된 유전체막은 절연막(129, 131 및 132)이다.

[0210] 투광성 도전막(319)은, 반도체 막(111)과 동시에 형성된 반도체 막에, 도전율을 증가시키는 원소(도펀트)가 첨가함으로써 얻어진, 도체의 특성을 갖는 금속 산화물 막이다. 즉, 투광성 도전막(319)은, 반도체 막(111)에 포함되는 산화물 반도체의 금속 원소를 포함하고, 도펀트를 포함한다. 도펀트는, 붕소, 질소, 불소, 알루미늄,

인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 1종 이상이 있다. 투광성 도전막(319)에 포함되는 도펀트 농도는, 1×10^{19} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인 것이 바람직하다. 따라서, 투광성 도전막(319)의 도전율은, 10 S/cm 이상 1000 S/cm 이하, 바람직하게는 100 S/cm 이상 1000 S/cm 이하로 할 수 있어, 투광성 도전막(319)은 용량 소자(305)의 전극으로서 충분히 기능할 수 있다.

- [0211] <반도체 장치의 제조 방법>
- [0212] 계속해서, 본 실시 형태에 있어서의 반도체 장치의 제조 방법에 대해서, 도 16a 및 도 16b와 도 17a 및 도 17b를 사용해서 설명한다.
- [0213] 먼저, 기판(102) 위에는 주사선(107) 및 용량선(115)을 형성한다. 기판(102), 주사선(107) 및 용량선 위에는, 게이트 절연막(127)으로 가공될 절연막(126)을 형성한다. 해당 절연막(126) 위에는 반도체 막(111) 및 반도체 막(118)을 형성한다(도 16a를 참조). 상기의 공정은, 실시 형태 1을 참조하여 행할 수 있다.
- [0214] 그 후, 반도체 막(118)을 도펀트로 도핑하여 투광성 도전막(319)을 형성하고, 용량선(115)에 도달하는 개구(123)를 절연막(126)에 형성해서 게이트 절연막(127)을 형성한 후, 트랜지스터(103)의 소스 전극을 포함하는 신호선(109), 트랜지스터(103)의 드레인 전극을 포함하는 도전막(113), 및 투광성 도전막(319)과 용량선(115)을 전기적으로 접속하는 도전막(125)을 형성한다(도 16b를 참조).
- [0215] 반도체 막(118)을 도펀트로 도핑하는 방법은 다음과 같다: 마스크는 반도체 막(118) 이외의 영역에 제공되고, 반도체 막(118)은, 수소, 붕소, 질소, 불소, 알루미늄, 인, 비소, 인듐, 주석, 안티몬 및 희가스 원소로부터 선택된 1종 이상의 도펀트로 이온 주입법 또는 이온 도핑법 등에 의해 도핑된다. 또는, 이온 주입법 또는 이온 도핑법을 채택하는 대신, 해당 도펀트를 포함하는 플라즈마에 반도체 막(118)을 노출시켜, 반도체 막(118)을 해당 도펀트로 도핑할 수 있다. 반도체 막(118)을 도펀트로 도핑한 후, 열 처리를 행할 수 있다는 점에 유의해야 한다. 해당 열 처리는, 반도체 막(111) 및 투광성 도전막(319)의 탈수 또는 탈수소화를 위해 열 처리의 상세에 따라 적절히 행할 수 있다.
- [0216] 도펀트를 첨가하는 공정은, 신호선(109), 도전막(113) 및 도전막(125)을 형성한 후에 행할 수 있다는 점에 유의해야 한다. 이때, 투광성 도전막(319) 중 신호선(109), 도전막(113) 및 도전막(125)에 접하는 영역에는 도펀트가 첨가되지 않는다.
- [0217] 이어서, 게이트 절연막(127), 신호선(109), 반도체 막(111), 도전막(113), 도전막(125) 및 투광성 도전막(319) 위에는 절연막(128)을 형성한다. 절연막(128) 위에는 절연막(130)을 형성하고, 절연막(130) 위에는 절연막(133)을 형성한다(도 17a를 참조). 상기 공정은, 실시 형태 1을 참조하여 행할 수 있다.
- [0218] 이어서, 절연막(128), 절연막(130) 및 절연막(133) 위에는, 도전막(113)에 도달하는 개구(117)를 형성하여, 절연막(129), 절연막(131) 및 절연막(132)을 형성한다(도 17b를 참조). 개구(117)를 통해 도전막(113)에 접하는 화소 전극(221)을 형성한다(도 15를 참조). 상기 공정도, 실시 형태 1을 참조하여 행할 수 있다.
- [0219] 이상의 공정을 통해, 본 실시 형태에 있어서의 반도체 장치를 제조할 수 있다.
- [0220] 이상에서와 같이, 트랜지스터에 포함되는 반도체 막과 동일한 형성 공정에서 형성된 반도체 막에 도펀트를 첨가함으로써 얻어진, 도체의 전기 특성을 갖는 금속 산화물을, 용량 소자의 투광성 전극으로서 사용한다. 그 결과, 개구율을 개선하면서, 전하 용량을 증가시킨 용량 소자를 포함하는 반도체 장치를 제조할 수 있다. 따라서, 반도체 장치는 우수한 표시 품질을 가질 수 있다.
- [0221] 또한, 용량 소자(305)의 한 쌍 전극이 모두 도전성을 갖기 때문에, 용량 소자(305)가 작은 평면 면적을 갖더라도 충분한 전하 용량을 얻을 수 있다. 산화물 반도체 막은 광의 80% 내지 90%를 투과하고; 따라서, 투광성 도전막(319)의 면적을 축소하고, 화소(301)에 있어서 투광성 도전막(319)이 형성되지 않는 영역을 제공하면, 백라이트 등의 광원으로부터 방출된 광에 대한 투과율을 높일 수 있다는 점에 유의해야 한다. 즉, 백라이트 등의 광원의 밝기를 약화시켜, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0222] 또한, 트랜지스터에 포함되는 반도체 막인 산화물 반도체 막에 있어서 산소 결손 및 수소 등의 불순물이 저감된다. 그 결과, 트랜지스터가 노멀리-온 특성을 이 갖는 것을 억제할 수 있어, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있고, 반도체 장치의 소비 전력을 저감하는 것이 가능하다.
- [0223] 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태 및 실시예에 설명된 임의의 구성 및 그 변형예와 적절히 조합될 수 있다는 점에 유의해야 한다.

- [0224] (실시 형태 3)
- [0225] 본 실시 형태에서는, 실시 형태 1 및 실시 형태 2와는 다른, 투광성 도전막의 형성 방법에 대해서, 도 6a 및 도 6b를 참조해서 설명한다.
- [0226] 본 실시 형태에서는, 반도체 막을, 가시광, 자외광, X선 등의 전자파로 조사하는 방식으로, 반도체 막의 도전성을 높임으로써, 도전성을 갖는 금속 산화물이 얻어진다. 투광성 도전막의 형성 방법에 대해서, 도 6a 및 도 6b를 참조해서 설명한다.
- [0227] 도 6a에 도시한 바와 같이, 실시 형태 1에서와 마찬가지로, 기판(102) 위에는 게이트 전극을 포함하는 주사선(107) 및 용량선(115)을 형성한다. 이어서, 기판(102), 게이트 전극을 포함하는 주사선(107), 및 용량선(115) 위에는 절연막(126)을 형성한다. 이어서, 절연막(126) 위에는 반도체 막(111) 및 반도체 막(118)을 형성한다.
- [0228] 이어서, 반도체 막(118)을, 기판(102)측으로부터, 가시광, 자외광, X선 등의 전자파로 조사한다. 해당 공정에 있어서, 반도체 막(111)은 게이트 전극을 포함하는 주사선(107)에 의해 차광되어 있기 때문에, 상기 전자파로 조사되지 않아서, 그 도전성은 상승하지 않는다.
- [0229] 반도체 막(118)에 전자파를 조사하면, 반도체 막(118) 내에 결함이 발생한다. 해당 결함은 캐리어 경로로서의 역할을 하여, 반도체 막(118)의 도전성이 상승하고, 반도체 막(118)은 도체의 전기 특성을 갖는 금속 산화물이 된다. 해당 금속 산화물을 용량 소자의 전극으로서의 역할을 하는 투광성 도전막으로서 사용할 수 있다.
- [0230] 본 실시 형태에 있어서는, 실시 형태 1에서와는 달리, 절연막(128)의 일부 및 절연막(130)의 일부를 에칭하는 공정을 필요로 하지 않는다는 점에 유의해야 한다. 또한, 실시 형태 2에서와는 달리, 반도체 막(118)에 도펀트를 첨가하기 위해서 마스크를 형성하는 공정을 필요로 하지 않는다. 따라서, 포토마스크의 수를 삭감하는 것이 가능하고, 제조 공정의 간략화 및 비용 절감이 달성가능하다.
- [0231] (실시 형태 4)
- [0232] 본 실시 형태에서는, 횡전계를 사용해서 액정 분자를 배향시키는 프린지 필드 스위칭(FFS: Fringe Field Switching) 모드의 액정 표시 장치를 예로 해서, 본 발명의 한 실시 형태인 반도체 장치를 설명한다. 상기 실시 형태는, 본 실시 형태에서 설명하는 반도체 장치에 있어서의 구성을 참조할 수 있다는 점에 유의해야 한다.
- [0233] <반도체 장치의 구성>
- [0234] 도 18a 및 18b는, 본 실시 형태에서 설명하는 화소(501)의 상면도이다. 도 18a는, 공통 전극(521)이 제공되지 않은 화소(501)의 상면도이며, 도 18b는, 도 18a에 공통 전극(521)을 제공한 화소(501)의 상면도이다.
- [0235] 도 18a 및 18b에 나타난 화소(501)는, 트랜지스터(103)와, 해당 트랜지스터(103)에 접속된 용량 소자(505)를 포함한다. 용량 소자(505)는, 투광성 도전막(519)과, 투광성 도전막을 사용하여 형성된 공통 전극(521)과, 트랜지스터(103) 위에 형성된 투광성 절연막(도 18a 및 18b에 도시하지 않음)을 포함한다. 즉, 용량 소자(505)는 투광성을 갖는다. 또한, 투광성 도전막(519)은, 트랜지스터(103)의 도전막(113)에 접속되고, 화소 전극으로서 기능한다. 공통 전극(521)은 개구(슬릿)를 갖는다. 공통 전극과 화소 전극과의 사이에 전계를 인가함으로써, 투광성 도전막(519), 투광성 절연막, 및 공통 전극(521)이 서로 중첩하는 영역이 용량 소자로서 기능하고, 액정은 기판과 평행한 방향으로 배향되도록 제어될 수 있다. 따라서, FFS 모드의 액정 표시 장치는, 넓은 시야각 및 고화질을 달성한다.
- [0236] 도 19는, 도 18b의 일점 쇄선 A1-A2를 따른 기판(102)의 단면도이다.
- [0237] 본 실시 형태에 있어서의 화소(501)의 단면 구조는 이하와 같다. 기판(102) 위에는 트랜지스터(103)의 게이트 전극을 포함하는 주사선(107)이 제공되어 있다. 주사선(107) 위에 게이트 절연막(127)이 제공되어 있다. 게이트 절연막(127) 중 주사선(107)과 중첩하는 영역 위에는 반도체 막(111)이 제공되어 있고, 게이트 절연막(127) 위에는 투광성 도전막(519)이 제공되어 있다. 반도체 막(111) 및 게이트 절연막(127) 위에는 트랜지스터(103)의 소스 전극을 포함하는 신호선(109)과, 트랜지스터(103)의 드레인 전극을 포함하는 도전막(113)이 제공되어 있다. 드레인 전극을 포함하는 도전막(113)은, 투광성 도전막(519)에 접속되어 있고, 투광성 도전막(519)은 화소 전극으로서 기능한다. 게이트 절연막(127), 신호선(109), 반도체 막(111) 및 도전막(113) 위에는, 트랜지스터(103)의 보호 절연막으로서 기능하는 절연막(229), 절연막(231) 및 절연막(232)이 제공되어 있다. 투광성 도전막(519) 위에는 절연막(232)이 제공되어 있고, 절연막(232) 위에 공통 전극(521)이 제공되어 있다. 공통 전극(521)은, 화소부에 있어서 화소 간의 분리 없이, 연속해서 제공된다. 기판(102)과, 주사선(107) 및 게이트

절연막(127)과의 사이에는 하지 절연막이 제공될 수 있다는 점에 유의해야 한다.

- [0238] 투광성 도전막(519)은, 실시 형태 1 내지 실시 형태 3에서 설명한 투광성 도전막과 마찬가지로의 방식으로 형성할 수 있다. 공통 전극(521)은, 실시 형태 1에서 설명한 화소 전극(221)과 마찬가지로의 재료를 사용해서 형성할 수 있다.
- [0239] 본 실시 형태에 있어서의 용량 소자(505)에서와 같이, 투광성 도전막(519)을 트랜지스터의 도전막(113)에 접속 시킴으로써, 개구부를 형성하지 않더라도 도전막(113)과 투광성 도전막(519)을 직접 접속시키는 것이 가능하고, 트랜지스터(103) 및 용량 소자(505)의 평탄성을 향상시키는 것이 가능하다. 또한, 용량선을 제공하지 않고, 투광성을 갖는 공통 전극(521)을 용량선으로서 기능하게 함으로써, 화소(501)의 개구율을 더 높이는 것이 가능하다.
- [0240] (실시 형태 5)
- [0241] 본 실시 형태에서는, 상기 실시 형태에서 설명한 반도체 장치에 포함되어 있는 트랜지스터 및 용량 소자에 있어서, 반도체 막인 산화물 반도체 막에 적용 가능한 한 실시 형태에 대해서 설명한다.
- [0242] 상기 산화물 반도체 막은, 비정질 산화물 반도체, 단결정 산화물 반도체, 다결정 산화물 반도체, 및 결정 부분을 갖는 산화물 반도체(C-Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS) 중 임의의 것으로 형성되는 것이 바람직하다.
- [0243] CAAC-OS막은, 복수의 결정부를 갖는 산화물 반도체 막 중 하나이며, 대부분의 결정부 각각은, 1변이 100 nm 미만인 입방체 내부에 잘 맞는다. 따라서, CAAC-OS막에 포함되는 결정부는, 1변이 10 nm 미만, 5 nm 미만 또는 3 nm 미만인 입방체 내부에 잘 맞는 경우가 있다. CAAC-OS막의 결합 준위 밀도는, 미결정 산화물 반도체 막보다도 낮다. 이하, CAAC-OS막에 대해서 상세한 설명을 행한다.
- [0244] CAAC-OS막의 투과형 전자 현미경(TEM: Transmission Electron Microscope) 이미지에 있어서, 결정부 간의 경계, 즉 결정립계는 명확히 관측되지 않는다. 따라서, CAAC-OS막에 있어서, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다.
- [0245] 시료면과 대략 평행한 방향에서 관측된 CAAC-OS막의 TEM 이미지(단면 TEM 이미지)에 따르면, 결정부에 있어서, 금속 원자는 층상으로 배열된다. 각 금속 원자층은, CAAC-OS막을 형성하는 표면(이하, CAAC-OS막을 형성하는 표면을 피형성면이라고도 함) 또는 CAAC-OS막의 상면에 의해 반사된 모폴로지(morphology)를 가지며, CAAC-OS막의 형성면 또는 상면과 평행하게 배열된다.
- [0246] 한편, 시료면과 대략 수직인 방향으로부터 관측된 CAAC-OS막의 TEM 이미지(평면 TEM 이미지)에 따르면, 결정부에 있어서, 금속 원자는 삼각 형상 또는 육각형 형상으로 배열된다. 그러나, 다른 결정부간에, 금속 원자의 배열에 규칙성은 없다.
- [0247] 단면 TEM 이미지 및 평면 TEM 이미지의 결과로부터, CAAC-OS막의 결정부에는 배향성이 발견된다.
- [0248] CAAC-OS막은, X선 회절(XRD: X-Ray Diffraction)장치를 사용해서 구조 해석이 행해진다. 예를 들어, InGaZnO₄ 결정을 갖는 CAAC-OS막이 면외(out-of-plane)법에 의해 해석되면, 회절각(2θ)이 31° 근방일 때 피크가 자주 나타난다. 이러한 피크는, InGaZnO₄ 결정의 (009)면으로부터 얻어지는데, 이는 CAAC-OS막의 결정이 c-축 배향성을 갖고, c-축이 CAAC-OS막의 형성면 또는 상면에 대략 수직인 방향으로 배열되는 것을 나타낸다.
- [0249] 한편, CAAC-OS막이, c-축에 대략 수직인 방향으로부터 X선이 시료에 입사하는 면내(in-plane)법에 의해 해석되면, 2θ 가 56° 근방일 때 피크가 자주 나타난다. 이러한 피크는, InGaZnO₄ 결정의 (110)면으로부터 얻어진다. 여기에서, 2θ 를 56° 근방에 고정해 둔 채, 시료면의 법선 벡터를 축(ϕ 축)으로 해서 시료를 회전시키는 상태에서 분석(ϕ 스캔)을 행한다. 시료가 InGaZnO₄의 단결정 산화물 반도체 막인 경우에는, 6개의 피크가 나타난다. 이 6개의 피크는 (110)면과 등가인 결정면으로부터 얻어진다. 이에 반해, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정해서 ϕ 스캔을 행한 경우에도, 피크는 명료하게 관측되지 않는다.
- [0250] 이상의 결과에 따르면, c-축 배향성을 갖는 CAAC-OS막에서는, 결정부 간에 a축 및 b축의 방향은 다르지만, c-축은 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배열된다. 따라서, 단면 TEM 이미지에서 관측된 층상으로 배열된 각 금속 원자층은, 결정의 a-b면에 평행한 면에 대응한다.
- [0251] 결정부는, CAAC-OS막의 성막과 동시에 형성되거나 열 처리 등의 결정화 처리를 통해 형성된다는 점에 유의해야

한다. 상술한 바와 같이, 결정의 c-축은, 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배열된다. 따라서, 예를 들어, CAAC-OS막의 형상이 에칭 등에 의해 변화되는 경우, c-축이 CAAC-OS막의 형성면의 법선 벡터 또는 상면의 법선 벡터와 반드시 평행하지는 않는다.

- [0252] 또한, CAAC-OS막 내의 결정화도가 반드시 균일하지는 않다. 예를 들어, CAAC-OS막에 이르게 하는 결정 성장이 막의 상면 근방으로부터 발생하는 경우에, 상면 근방에서의 결정화도가, 형성면 근방에서의 결정화도보다 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하면, 불순물이 첨가된 영역에서의 결정화도가 변하고, CAAC-OS막 내에서의 결정화도는 영역에 따라 변한다.
- [0253] InGaZnO₄ 결정을 갖는 CAAC-OS막이 면외(out-of-plane)법에 의해 해석되면, 2 θ 가 31° 근방의 피크 이외에, 2 θ 의 피크는 36° 근방에도 관측될 수 있다. 2 θ 가 36° 근방의 피크는, CAAC-OS막 중의 일부에, c-축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막에 있어서, 2 θ 가 31° 근방에 피크를 나타내고, 2 θ 가 36° 근방에서는 피크를 나타내지 않는 것이 바람직하다.
- [0254] CAAC-OS의 형성 방법으로서, 3가지가 있다.
- [0255] 제1 방법은, 100℃ 내지 450℃ 범위의 온도에서 산화물 반도체 막을 성막함으로써, 산화물 반도체 막에 있어서, c-축이, 산화물 반도체 막이 형성되는 표면의 법선 벡터 또는 산화물 반도체 막의 표면의 법선 벡터에 평행한 방향으로 배열되는 결정부를 형성하는 방법이다.
- [0256] 제2 방법은, 산화물 반도체 막을 얇은 두께로 성막한 후, 이를 200℃ 내지 700℃ 범위의 온도에서 가열함으로써, 산화물 반도체 막에 있어서, c-축이, 산화물 반도체 막이 형성되는 표면의 법선 벡터 또는 산화물 반도체 막의 표면의 법선 벡터에 평행한 방향으로 배열되는 결정부를 형성하는 방법이다.
- [0257] 제3 방법은, 제1 산화물 반도체 막을 얇은 두께로 성막한 후, 이를 200℃ 내지 700℃ 범위의 온도에서 가열하고, 제2 산화물 반도체 막을 형성함으로써, 제2 산화물 반도체 막에 있어서, c-축이, 제2 산화물 반도체 막이 형성되는 표면의 법선 벡터 또는 제2 산화물 반도체 막의 표면의 법선 벡터에 평행한 방향으로 배열되는 결정부를 형성하는 방법이다.
- [0258] 산화물 반도체 막으로서 CAAC-OS 막을 사용한 트랜지스터에 있어서는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 산화물 반도체 막으로서 CAAC-OS막을 사용한 트랜지스터는 양호한 신뢰성을 갖는다.
- [0259] 또한, CAAC-OS 막은, 다결정 산화물 반도체 스퍼터링용 타겟을 사용하는 스퍼터링법에 의해 형성하는 것이 바람직하다. 해당 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면을 따라 타겟으로부터 이격될 수 있고; 즉, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자는 스퍼터링용 타겟으로부터 박리될 수 있다. 이 경우, 해당 평판 형상 또는 펠릿 형상의 스퍼터링 입자가, 결정 상태를 유지한 채 CAAC-OS 막이 성막될 면에 도달함으로써, CAAC-OS 막을 성막할 수 있다.
- [0260] CAAC-OS 막을 성막하기 위해서, 이하의 조건을 이용하는 것이 바람직하다.
- [0261] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(예를 들면, 수소, 물, 이산화탄소 또는 질소)의 농도를 저감할 수 있다. 또한, 성막 가스 내의 불순물 농도를 저감할 수 있다. 구체적으로는, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용한다.
- [0262] 성막 중에 CAAC-OS막이 형성되는 면의 가열 온도(예를 들어, 기판 가열 온도)를 높임으로써, 스퍼터링 입자가 CAAC-OS막이 형성되는 면에 도달 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 성막 중에 CAAC-OS막이 형성되는 면의 온도는 100℃ 이상 740℃ 이하, 바람직하게는 150℃ 이상 500℃ 이하이다. 성막 중에 CAAC-OS막이 형성되는 면의 온도를 높임으로써, 평판 형상 또는 펠릿 형상의 스퍼터링 입자가 CAAC-OS막이 형성되는 면에 도달하면, 해당 면 위에서 마이그레이션이 일어나서, 스퍼터링 입자의 평평한 면이 해당 면에 부착된다.
- [0263] 또한, 성막 시에 플라즈마 손상을 경감하기 위해서 성막 가스 내의 산소 비율을 높이고 전력을 최적화하는 것이 바람직하다. 성막 가스 내의 산소 비율은, 30 체적% 이상, 바람직하게는 100 체적%이다.
- [0264] 스퍼터링용 타겟의 일례로서, In-Ga-Zn계 산화물 타겟에 대해서 이하에 나타낸다.

- [0265] InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 소정의 몰비로 혼합하고, 가압하며, 1000°C 이상 1500°C 이하의 온도로 열처리를 함으로써 다결정 In-Ga-Zn-O 화합물 타겟을 만든다. 이러한 가압 처리는, 생각하면서 행할 수 있거나, 가열하면서 행할 수 있다. X, Y 및 Z는 각각 임의의 양수이다. 여기서, InO_x 분말의 GaO_y 분말 및 ZnO_z 분말에 대한 소정의 몰비는, 예를 들어, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 분말의 종류, 및 그 분말을 혼합하는 몰비는, 원하는 스퍼터링용 타겟에 따라 적절히 결정될 수 있다.
- [0266] 또한, 산화물 반도체 막은, 복수의 산화물 반도체 막이 적층된 구조를 가질 수 있다. 예를 들어, 산화물 반도체 막은, 다른 원자수비의 금속 산화물을 사용하여 형성되는 제1 산화물 반도체 막과 제2 산화물 반도체 막의 적층 구조를 가질 수 있다. 예를 들어, 제1 산화물 반도체 막은 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 및 4종류의 금속을 포함하는 산화물 중 하나를 사용하여 형성될 수 있고, 제2 산화물 반도체 막은 제1 산화물 반도체 막에 사용된 것과는 다른 하나를 사용하여 형성될 수 있다.
- [0267] 대안적으로, 산화물 반도체 막은 2층 구조를 가질 수 있으며, 여기에서 제1 산화물 반도체 막과 제2 산화물 반도체 막의 구성 원소는 동일한 반면, 제1 산화물 반도체 막과 제2 산화물 반도체 막의 원자수비는 상이하다. 예를 들어, 제1 산화물 반도체 막은 원자수비가 3:1:2인 In, Ga 및 Zn을 포함할 수 있고, 제2 산화물 반도체 막은 원자수비가 1:1:1인 In, Ga 및 Zn을 포함할 수 있다. 또는, 제1 산화물 반도체 막은 원자수비가 2:1:3인 In, Ga 및 Zn을 포함할 수 있고, 제2 산화물 반도체 막은 원자수비가 1:3:2인 In, Ga 및 Zn을 포함할 수 있다. 산화물 반도체 막의 원자수비에 있어서의 각 원자의 비율은, 오차로서 $\pm 20\%$ 의 범위 내에서 변동한다는 점에 유의해야 한다.
- [0268] 이 경우, 제1 산화물 반도체 막과 제2 산화물 반도체 막 중, 게이트 전극에 가까운 측의 한 산화물 반도체 막(채널층의 산화물 반도체 막)에 있어서, In의 Ga에 대한 원자수비는 $\text{In} \geq \text{Ga}$ 인 것이 바람직하다. 게이트 전극으로부터 먼 측의 다른 산화물 반도체 막(백 채널층의 산화물 반도체 막)에 있어서, In의 Ga에 대한 원자수비는 $\text{In} < \text{Ga}$ 인 것이 바람직하다. 이들 산화물 반도체 막의 적층 구조에 의해, 전계 효과 이동도가 높은 트랜지스터를 형성할 수 있다. 한편, 게이트 전극에 가까운 측의 산화물 반도체 막(채널층의 산화물 반도체 막)에 있어서 In의 Ga에 대한 원자수비는 식 $\text{In} < \text{Ga}$ 를 충족하고, 백 채널층의 산화물 반도체 막에 있어서 In의 Ga에 대한 원자수비는 식 $\text{In} \geq \text{Ga}$ 를 충족시킴으로써, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 역치 전압에서의 변동을 저감할 수 있다.
- [0269] 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 제1 산화물 반도체 막은, 기판 온도가 실온이고, 스퍼터링 가스가 아르곤, 또는 아르곤과 산소의 혼합 가스인 조건하에서, 원자수비가 1:3:2인 산화물 타겟을 사용한 스퍼터링법에 의해 형성할 수 있다. 원자수비가 3:1:2인 In, Ga 및 Zn을 포함하는 제2 산화물 반도체 막은, 원자수비가 3:1:2인 산화물 타겟을 사용한 스퍼터링법에 의해, 제1 산화물 반도체 막과 유사한 방식으로 형성할 수 있다.
- [0270] 또는, 산화물 반도체 막은, 제1 산화물 반도체 막, 제2 산화물 반도체 막 및 제3 산화물 반도체 막의 3층 구조를 가질 수 있는데, 여기서 그 구성 원소는 동일하고, 제1 산화물 반도체 막, 제2 산화물 반도체 막 및 제3 산화물 반도체 막의 구성 원소의 원자수비는 상이하다. 산화물 반도체 막이 3층 구조를 갖는 경우에 대해서, 도 20을 참조해서 설명한다.
- [0271] 도 20에 나타내는 트랜지스터에 있어서, 제1 산화물 반도체 막(199a), 제2 산화물 반도체 막(199b) 및 제3 산화물 반도체 막(199c)은 게이트 절연막(127)측으로부터 이 순서대로 적층되어 있다. 제1 산화물 반도체 막(199a) 및 제3 산화물 반도체 막(199c)의 재료로서는, $\text{InM}_1x\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y > 1$, $z > 0$, $\text{M}_1 = \text{Ga}$, Hf 등)로 표기된 재료를 사용한다. 제1 산화물 반도체 막(199a) 및 제3 산화물 반도체 막(199c)의 재료가 Ga를 포함하는 경우, Ga의 함유 비율이 큰 재료, 구체적으로는 $\text{InM}_1x\text{Zn}_y\text{O}_z$ 로 표기할 수 있고 X가 10보다 큰 재료는 부적합한데, 그 이유는 성막 시에 분말이 발생할 수 있기 때문이라는 점에 유의해야 한다.
- [0272] 제2 산화물 반도체 막(199b)의 재료로서는, $\text{InM}_2x\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y \geq x$, $z > 0$, $\text{M}_2 = \text{Ga}$, Sn 등)로 표기할 수 있는 재료를 사용한다.
- [0273] 제1 및 제3 산화물 반도체 막(199a 및 199c)의 전도대에 비하여 제2 산화물 반도체 막(199b)의 전도대가 진공 준위로부터 더 깊어지는 웰형 구조가 형성되도록, 제1 내지 제3 산화물 반도체 막(199a 내지 199c)의 재료를 적절히 선택한다.
- [0274] 산화물 반도체 막에 있어서 제14족 원소인 실리콘 및 탄소가 도너의 공급원이 되어, 산화물 반도체 막에 포함된 실리콘 또는 탄소가 산화물 반도체 막을 n형화한다는 점에 유의해야 한다. 따라서, 산화물 반도체 막에 포함된

는 실리콘의 농도 및 산화물 반도체 막에 포함되는 탄소의 농도는 각각, $3 \times 10^{18}/\text{cm}^3$ 이하, 바람직하게는 $3 \times 10^{17}/\text{cm}^3$ 이하이다. 특히, 제2 산화물 반도체 막(199b)에 대량의 제14족 원소가 혼입되지 않도록, 제1 및 제3 산화물 반도체 막(199a 및 199c)이, 캐리어 경로가 되는 제2 산화물 반도체 막(199b)을 끼우거나 둘러싸는 구성을 채택하는 것이 바람직하다. 즉, 제1 및 제3 산화물 반도체 막(199a 및 199c)은, 실리콘 및 탄소 등의 제14족 원소가 제2 산화물 반도체 막(199b)에 혼입되는 것을 방지하는 배리어막으로도 칭해질 수 있다.

[0275] 예를 들어, 제1 산화물 반도체 막(199a)에 있어서 In의 Ga 및 Zn에 대한 원자수비는 1:3:2일 수 있고, 제2 산화물 반도체 막(199b)에 있어서 In의 Ga 및 Zn에 대한 원자수비는 3:1:2일 수 있고, 제3 산화물 반도체 막(199c)에 있어서 In의 Ga 및 Zn에 대한 원자수비는 1:1:1일 수 있다. 제3 산화물 반도체 막(199c)은, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 산화물 타겟을 사용한 스퍼터링법에 의해 형성할 수 있다는 점에 유의해야 한다.

[0276] 또는, 제1 산화물 반도체 막(199a)이, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하고, 제2 산화물 반도체 막(199b)이, 원자수비가 1:1:1 또는 1:3:2인 In, Ga 및 Zn을 포함하고, 제3 산화물 반도체 막(199c)이, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 3층 구조가 채택될 수 있다.

[0277] 제1 내지 제3 산화물 반도체 막(199a 내지 199c)의 구성 원소는 동일하기 때문에, 제2 산화물 반도체 막(199b)은, 제1 산화물 반도체 막(199a)과의 계면에 있어서의 결합 준위(트랩 준위)가 적다. 구체적으로는, 해당 결합 준위 밀도(트랩 준위 밀도)는, 게이트 절연막(127)과 제1 산화물 반도체 막(199a)과의 계면에 있어서보다 낮다. 이로 인해, 상기의 방식으로 산화물 반도체 막이 적층되어 있으면, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 역치 전압에서의 변동을 저감할 수 있다.

[0278] 또한, 제1 및 제3 산화물 반도체 막의 전도대에 비하여 제2 산화물 반도체 막(199b)의 전도대가 진공 준위로부터 더 깊어지는 웰형 구조를 형성하도록, 제1 내지 제3 산화물 반도체 막(199a 및 199c)의 재료를 적절히 선택하면, 트랜지스터의 전계 효과 이동도를 높일 수 있고, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 역치 전압에서의 변동을 저감할 수 있다.

[0279] 또한, 제1 내지 제3 산화물 반도체 막(199a 내지 199c)은, 결정성이 다른 산화물 반도체를 사용하여 형성할 수 있다. 즉, 제1 내지 제3 산화물 반도체 막은, 단결정 산화물 반도체, 다결정 산화물 반도체, 미결정 산화물 반도체 막, 비정질 산화물 반도체 및 CAAC-OS 막 중 임의의 것을 적절히 사용하여 형성할 수 있다. 제1 내지 제3 산화물 반도체 막(199a 내지 199c) 중 어느 하나로서 비정질 산화물 반도체를 사용하면, 산화물 반도체 막의 내부 응력 또는 외부 응력을 완화하고, 트랜지스터의 특성의 변동이 저감되고, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 역치 전압의 변동을 저감할 수 있다.

[0280] 적어도, 채널 형성 영역이 될 수 있는 제2 산화물 반도체 막(199b)은, CAAC-OS 막인 것이 바람직하다. 백 채널층의 산화물 반도체 막, 본 실시 형태에서는, 제3 산화물 반도체 막(199c)은, 비정질 산화물 반도체 막 또는 CAAC-OS 막인 것이 바람직하다. 이러한 구조로 인해, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 역치 전압의 변동을 저감할 수 있다.

[0281] 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태 및 실시예에 나타내는 임의의 구성과 적절히 조합될 수 있다는 점에 유의해야 한다.

[0282] (실시 형태 6)

[0283] 상기 실시 형태에서 일례를 설명한 트랜지스터 및 용량 소자를 사용해서 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제조할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부가 형성되는 기판 위에 형성함으로써, 시스템 온 패널을 형성할 수 있다. 본 실시 형태에서는, 상기 실시 형태에서 일례를 나타낸 트랜지스터를 사용한 표시 장치의 예에 대해서, 도 21a 내지 도 21c, 도 22a 및 도 22b, 및 도 23a 내지 도 23c를 사용해서 설명한다. 도 22a 및 도 22b는, 도 21b의 일점 채선 M-N을 따라 절취한 단면 구성을 도시하는 단면도이다. 도 22a 및 도 22b는 각각, 화소부의 구조의 일부만 도시한다는 점에 유의해야 한다.

[0284] 도 21a에 있어서, 제1 기판(901) 위에 제공된 화소부(902)를 둘러싸도록 시일재(905)가 제공되고, 화소부(902)는 시일재(905) 및 제2 기판(906)에 의해 밀봉되어 있다. 도 21a에 있어서는, 제1 기판(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체를 사용하여 신호선 구동 회로(903) 및 주사선 구동 회로(904)를 각각 형성해서 실장한다. 또한, 신호선 구동 회로(903), 주사선 구동 회로(904) 및 화소부(902)에는, 각종 신호 및 전위가, 연성 인쇄 회로(FPC: Flexible

Printed Circuit)(918a 및 918b)로부터 공급된다.

- [0285] 도 21b 및 도 21c에 있어서, 제1 기관(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)를 둘러싸도록, 시일재(905)가 제공되어 있다. 화소부(902)와 주사선 구동 회로(904) 위에는 제2기관(906)이 제공되어 있다. 따라서, 화소부(902)와 주사선 구동 회로(904)는, 제1 기관(901), 시일재(905) 및 제2 기관(906)에 의해, 표시 소자와 함께 밀봉되어 있다. 도 21b 및 도 21c에 있어서는, 제1 기관(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 별도 준비된 기관 위에 단결정 반도체 또는 다결정 반도체를 사용하여 형성된 신호선 구동 회로(903)가 실장되어 있다. 도 21b 및 도 21c에 있어서는, 신호선 구동 회로(903), 주사선 구동 회로(904) 및 화소부(902)에는, 각종 신호 및 전위가, FPC(918)로부터 공급된다.
- [0286] 도 21b 및 도 21c는 각각, 신호선 구동 회로(903)를 별도 형성하여, 제1 기관(901)에 실장하고 있는 예를 나타내고 있지만, 이러한 구성이 반드시 채택되는 것은 아니다. 주사선 구동 회로를 별도 형성해서 실장할 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성해서 실장할 수 있다.
- [0287] 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, 칩 온 글래스(COG: Chip On Glass) 방법, 와이어 본딩 방법, 또는 테이프 자동 본딩(TAB: Tape Automated Bonding) 방법 등을 사용할 수 있다는 점에 유의해야 한다. 도 21a는, COG 방법에 의해 신호선 구동 회로(903) 및 주사선 구동 회로(904)를 실장한 예를 도시한다. 도 21b는, COG 방법에 의해 신호선 구동 회로(903)를 실장한 예를 도시한다. 도 21c는, TAB 방법에 의해 신호선 구동 회로(903)를 실장한 예를 도시한다.
- [0288] 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 해당 패널 위에 컨트롤러를 포함하는 IC 등을 실장한 모듈을 포함한다.
- [0289] 본 명세서에 있어서의 표시 장치는, 화상 표시 장치 또는 표시 장치를 가리킨다는 점에 유의해야 한다. 표시 장치는 광원(조명 장치 포함)으로서 기능할 수 있다. 또한, 표시 장치는, 다음의 모든 모듈을 범주 내에 포함한다: FPC 또는 TCP 등의 커넥터가 부착된 모듈; TCP를 구비하고 이 TCP의 끝 부분에 프린트 배선판이 제공되어 있는 모듈; 및 COG 방법에 의해 표시 소자 위에 집적 회로(IC)가 직접 실장된 모듈.
- [0290] 제1 기관 위에 제공된 화소부 및 주사선 구동 회로는, 복수의 트랜지스터를 포함하며; 상기 실시 형태에서 나타낸 임의의 트랜지스터를 그 내부에 사용할 수 있다.
- [0291] 표시 장치에 제공되는 표시 소자로서는, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는, 무기 전계 발광(EL) 소자 및 유기 EL 소자를 그 범주에 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 사용할 수 있다. 도 22a 및 도 22b 각각은, 표시 소자로서 액정 소자를 포함하는 액정 표시 장치의 예를 나타낸다.
- [0292] 도 22a에 나타내는 액정 표시 장치는, 종전계 모드의 액정 표시 장치이다. 액정 표시 장치는, 접속 단자 전극(915) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915) 및 단자 전극(916)은, 이방성 도전체(919)를 통해, FPC(918)에 포함된 단자에 전기적으로 접속되어 있다.
- [0293] 접속 단자 전극(915)은, 제1 전극(930)과 동일한 도전막을 사용하여 형성된다. 단자 전극(916)은, 트랜지스터(910 및 911)의 소스 및 드레인 전극과 동일한 도전막을 사용하여 형성되어 있다.
- [0294] 또한, 제1 기관(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904) 각각은, 복수의 트랜지스터를 포함하며, 화소부(902)에 포함되는 트랜지스터(910)와, 주사선 구동 회로(904)에 포함되는 트랜지스터(911)를 예시하고 있다. 트랜지스터(910) 및 트랜지스터(911) 위에는, 실시 형태 1에 나타내는 절연막(229) 및 절연막(231)에 상당하는 절연막(924)과, 절연막(232)에 상당하는 절연막(934)이 제공되어 있다. 절연막(923)은 하지막으로서 기능하는 절연막이라는 점에 유의해야 한다.
- [0295] 본 실시 형태에서는, 트랜지스터(910)로서, 상기 실시 형태에서 나타낸 트랜지스터를 사용할 수 있다. 투광성 도전막(927), 절연막(924) 및 제1 전극(930)을 사용하여, 용량 소자(926)를 형성한다. 투광성 도전막(927)은, 전극(928)을 통해 용량선(929)에 접속된다. 전극(928)은, 트랜지스터(910 및 911)의 소스 및 드레인 전극과 동일한 재료 및 공정을 이용하여 형성된다. 용량선(929)은, 트랜지스터(910 및 911)의 게이트 전극과 동일한 재료 및 공정을 이용하여 형성된다. 여기에서는, 용량 소자(926)로서 실시 형태 1에 나타낸 용량 소자를 도시했지만, 다른 실시 형태에 나타낸 임의의 용량 소자를 적절히 사용할 수 있다.
- [0296] 화소부(902)에 포함된 트랜지스터(910)는, 표시 소자에 전기적으로 접속되어, 표시 패널을 형성한다. 표시를

행할 수 있는 한, 표시 소자에 대한 특별한 제한은 없고, 임의의 각종 표시 소자를 사용할 수 있다.

- [0297] 표시 소자인 액정 소자(913)는, 제1 전극(930), 제2 전극(931) 및 액정층(908)을 포함한다. 배향막으로서 각각 기능하는 절연막(932) 및 절연막(933)은, 액정층(908)이 그 사이에 끼워지도록 제공되어 있다. 제2 전극(931)은 제2 기관(906)측에 제공되고, 제1 전극(930)은 제2 전극(931)과 중첩되는데, 그 사이에는 액정층(908)이 개재되어 있다.
- [0298] 표시 소자에 전압을 인가하기 위한 제1 전극 및 제2 전극(각각 화소 전극, 공통 전극, 대향 전극 등이라고도 함)은, 광이 추출되는 방향, 전극이 제공되는 장소, 및 전극의 패턴 구조에 따라, 투광성 또는 반사성을 가질 수 있다.
- [0299] 제1 전극(930) 및 제2 전극(931)은, 실시 형태 1에 나타내는 화소 전극(221) 및 대향 전극(154)과 유사한 재료를 적절히 사용하여 형성할 수 있다.
- [0300] 스페이서(935)는, 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 제1 전극(930)과 제2 전극(931)과의 사이의 간격(셀 갭)을 제어하기 위해서 제공되어 있다. 또는, 구형의 스페이서를 사용할 수 있다.
- [0301] 표시 소자로서, 액정 소자를 사용하는 경우, 열가소성 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅 상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0302] 또는, 배향막이 필요하지 않는 블루상을 나타내는 액정을 사용할 수 있다. 블루상은 액정상의 하나이며, 이는 콜레스테릭 액정의 온도를 승온해 가면서, 콜레스테릭상이 등방상으로 변하기 직전에 발생된다. 블루상은 좁은 온도 범위에서만 발현되므로; 온도 범위를 확대하기 위해서 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 배향막은, 수소, 물 등을 포함하는 유기 수지를 사용하여 형성되어 있는데, 이는, 본 발명의 한 실시 형태인 반도체 장치의 트랜지스터의 전기 특성을 저하시킬 수 있다는 점에 유의해야 한다. 상기 관점에 있어서, 블루상을 나타내는 액정을 액정층(160)에 사용함으로써, 유기 수지를 사용하지 않고, 본 발명의 한 실시 형태인 반도체 장치를 제조할 수 있게 하여, 반도체 장치는 신뢰성이 높을 수 있다.
- [0303] 제1 기관(901) 및 제2 기관(906)은, 시일재(925)에 의해 제자리에 고정되어 있다. 시일재(925)로서는, 열경화 수지 또는 광경화 수지 등의 유기 수지를 사용할 수 있다. 시일재(925)는, 절연막(924)과 겹치고 있다. 시일재(925)는 도 21a 내지 도 21c에 나타내는 시일재(905)에 상당한다.
- [0304] 액정 표시 장치에 있어서, 블랙 매트릭스(차광막), 편광 부재, 위상차 부재 또는 반사 방지 부재 등의 광학 부재(광학 기관) 등이 적절히 제공된다. 예를 들어, 편광 기관 및 위상차 기관을 사용하여 원편광을 얻을 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용할 수 있다.
- [0305] 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는, 비선형 소자를 사용해서 형성하는 것이 바람직하다.
- [0306] 이어서, 횡전계 모드의 액정 표시 장치에 대해서, 도 22b를 참조해서 설명한다. 도 22b는, 횡전계 모드의 액정 표시 장치의 일례인, FFS 모드의 액정 표시 장치이다. 실시 형태 4에 나타내는 횡전계 모드의 액정 표시 장치와는 다른 구조에 대해서 설명한다.
- [0307] 도 22b에 나타내는 액정 표시 장치에 있어서, 접속 단자 전극(915)은, 제1 전극(940)과 동일한 재료 및 공정을 이용해서 형성되고, 단자 전극(916)은, 트랜지스터(910 및 911)의 소스 및 드레인 전극과 동일한 재료 및 공정을 이용해서 형성된다.
- [0308] 액정 소자(943)는, 절연막(924) 위에 형성되는 제1 전극(940), 제2 전극(941) 및 액정층(908)을 포함한다. 액정 소자(943)는, 실시 형태 1의 용량 소자(205)와 유사한 구조를 가질 수 있다는 점에 유의해야 한다. 제1 전극(940)은, 도 22a에 나타내는 제1 전극(930)의 재료를 적절히 사용해서 형성할 수 있다. 제1 전극(940)의 평면 형상은, 빗살 모양, 계단 형상, 사다리 형상 등이다. 제2 전극(941)은 공통 전극으로서 기능하고, 실시 형태 1 내지 3 중 임의의 실시 형태에서 설명한 투광성 도전막과 유사한 방식으로 형성할 수 있다. 제1 전극(940)과 제2 전극(941)의 사이에는 절연막(924)이 제공되어 있다.
- [0309] 제2 전극(941)은, 전극(945)을 통해 공통 배선(946)에 접속된다. 전극(945)은, 트랜지스터(910 및 911)의 소스 및 드레인 전극과 유사한 도전막을 사용해서 형성된다는 점에 유의해야 한다. 공통 배선(946)은, 트랜지스터

(910 및 911)의 게이트 전극과 동일한 재료 및 공정을 이용해서 형성된다. 여기에서는, 액정 소자(943)로서 실시 형태 1에 설명한 용량 소자를 사용해서 설명했지만, 다른 실시 형태에 설명한 용량 소자를 적절히 사용할 수 있다.

- [0310] 도 23a 내지 도 23c는, 도 22a에 나타난 액정 표시 장치의 예를 나타내는데, 여기에서, 기판(906) 위에 제공된 제2 전극(931)에 전기적으로 접속하기 위한 공통 접속부(패드부)는, 기판(901) 위에 형성된다.
- [0311] 공통 접속부는, 기판(901)과 기판(906)을 접촉하기 위한 시일재와 중첩되는 위치에 제공되고, 시일재에 포함되는 도전성 입자를 통해 제2 전극(931)에 전기적으로 접속된다. 또는, 시일재와 중첩되지 않는 위치(화소부 제외)에 공통 접속부를 제공하고, 공통 접속부에 중첩되도록 도전성 입자를 포함하는 페이스트를 시일재와는 별도로 제공해서, 공통 접속부가 제2 전극(931)과 전기적으로 접속되게 한다.
- [0312] 도 23a는, 도 23b에 도시하는 상면도의 I-J를 따라 절취한 공통 접속부의 단면도이다.
- [0313] 공통 전위선(975)은, 게이트 절연막(922) 위에 제공되고, 도 23a 내지 도 23c에 나타내는 트랜지스터(910)의 소스 및 드레인 전극(971 및 973)과 동일한 재료 및 공정을 이용해서 형성된다.
- [0314] 또한, 공통 전위선(975)은, 절연막(924 및 934)으로 덮이고, 복수의 개구는 공통 전위선(975)과 중첩되는 위치에서 절연막(924 및 934) 내에 형성된다. 이들 개구는, 트랜지스터(910)의 소스 전극(971) 및 드레인 전극(973) 중 한쪽과, 제1 전극(930)을 접속하는 콘택트 홀과 동일한 공정을 통해 형성된다.
- [0315] 또한, 공통 전위선(975)은 개구를 통해 공통 전극(977)에 접속된다. 공통 전극(977)은, 절연막(934) 위에 제공되고, 접속 단자 전극(915), 및 화소부 내의 제1 전극(930)과 동일한 재료 및 공정을 이용해서 형성된다.
- [0316] 이와 같이, 공통 접속부는 화소부(902) 내의 스위칭 소자와 동일한 공정으로 형성될 수 있다.
- [0317] 공통 전극(977)은, 시일재에 포함되는 도전성 입자와 접촉하며, 기판(906)의 제2 전극(931)에 전기적으로 접속된다.
- [0318] 또는, 도 23c에 도시한 바와 같이, 공통 전위선(985)은, 트랜지스터(910)의 게이트 전극과 동일한 재료 및 공정을 이용해서 형성될 수 있다.
- [0319] 도 23c에 나타내는 공통 접속부에 있어서, 공통 전위선(985)은, 게이트 절연막(922), 절연막(924) 및 절연막(934)의 하부에 제공되고, 복수의 개구가 공통 전위선(985)과 중첩되는 위치에서 게이트 절연막(922), 절연막(924) 및 절연막(934) 내에 형성된다. 이들 개구는, 트랜지스터(910)의 소스 전극(971) 및 드레인 전극(973) 중 한쪽과 제1 전극(930)을 접속하는 콘택트 홀과 동일한 공정을 통해, 절연막(924)을 에칭하고, 또한 게이트 절연막(922)을 선택적으로 에칭함으로써 형성된다.
- [0320] 또한, 공통 전위선(985)은 개구를 통해 공통 전극(987)에 접속된다. 공통 전극(987)은, 절연막(924) 위에 제공되고, 접속 단자 전극(915)과, 화소부 내의 제1 전극(930)과 동일한 재료 및 공정을 이용해서 형성된다.
- [0321] 상술한 바와 같이, 상기 실시 형태에서 설명한 트랜지스터 및 용량 소자를 사용함으로써, 개구율을 개선하면서 전하 용량을 증가시킨 용량 소자를 포함하는 반도체 장치를 제조할 수 있게 된다. 그 결과, 반도체 장치는 우수한 표시 품질을 가질 수 있다.
- [0322] 또한, 트랜지스터에 포함되는 반도체 막인 산화물 반도체 막 내의 산소 결손, 수소 등의 불순물이 저감되어, 본 발명의 한 실시 형태의 반도체 장치는, 양호한 전기 특성을 갖고, 전력을 적게 소비하게 된다.
- [0323] 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태 및 실시예에 나타내는 임의의 구성과 적절히 조합될 수 있다는 점에 유의해야 한다.
- [0324] (실시 형태 7)
- [0325] 본 발명의 한 실시 형태의 반도체 장치는, 다양한 전자 기기(게임 기기 포함)에 사용될 수 있다. 전자 기기의 예로서는, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라 및 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 게임 기기(예를 들면, 뼈짚꼬기, 슬롯 머신), 및 게임 콘솔을 들 수 있다. 도 24a 내지 도 24c는 전자 기기의 일례를 나타낸다.
- [0326] 도 24a는, 표시부를 갖는 테이블(9000)을 나타내고 있다. 테이블(9000)에 있어서, 표시부(9003)가 하우징(9001)에 내장되어 있고, 영상을 표시부(9003)에 표시하는 것이 가능하다. 하우징(9001)은 4개의 다리부(900

2)에 의해 지지되어 있다는 점에 유의해야 한다. 또한, 전력 공급을 위한 전원 코드(9005)가 하우징(9001)에 제공된다.

- [0327] 상기 실시 형태에 나타내는 임의의 반도체 장치는, 표시부(9003)에 사용하는 것이 가능하다. 따라서, 표시부(9003)는 우수한 표시 품질을 가질 수 있다.
- [0328] 표시부(9003)는, 터치 패널로서 기능한다. 사용자가 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 접촉하면, 사용자는 화면 조작 및 데이터 입력을 실행할 수 있다. 또한, 테이블이 가전 제품과 통신하거나 가전 제품을 제어하도록 만들어지면, 테이블(9000)은 화면 조작에 의해 가전 제품을 제어하는 제어 장치로서 기능할 수 있다. 예를 들어, 이미지 센서 기능을 갖는 반도체 장치를 사용하면, 표시부(9003)는 터치 패널로서 기능할 수 있다.
- [0329] 또한, 표시부(9003)의 화면은, 하우징(9001)에 제공된 힌지에 의해 바닥에 대하여 수직으로 배치될 수 있으므로; 테이블(9000)은 텔레비전 장치로서 이용할 수도 있다. 좁은 방에 큰 화면의 텔레비전 장치를 설치하면, 자유로운 공간은 좁아지지만; 테이블에 표시부가 내장되어 있으면, 방의 공간을 효율적으로 이용할 수 있다.
- [0330] 도 24b는, 텔레비전 장치(9100)를 나타내고 있다. 텔레비전 장치(9100)에 있어서, 하우징(9101)에 표시부(9103)가 내장되어 있어, 표시부(9103)에 영상을 표시하는 것이 가능하다. 여기에서는, 스탠드(9105)에 의해 하우징(9101)이 지지된다는 점에 유의해야 한다.
- [0331] 텔레비전 장치(9100)는, 하우징(9101)의 조작 스위치나, 별체의 리모콘 제어기(9110)에 의해 조작될 수 있다. 리모콘 제어기(9110)의 조작 키(9109)에 의해 채널 및 음량이 제어될 수 있어, 표시부(9103)에 표시되는 영상을 제어할 수 있게 된다. 또한, 리모콘 제어기(9110)에는, 해당 리모콘 제어기(9110)로부터 출력되는 데이터를 표시하는 표시부(9107)를 제공할 수 있다.
- [0332] 도 24b에 나타내는 텔레비전 장치(9100)에는, 수신기, 모뎀 등이 제공된다. 수신기를 사용하면, 텔레비전 장치(9100)는 일반의 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 장치(9100)가 모뎀을 통해 유선 또는 무선 통신 네트워크에 접속되면, 일방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자간)의 데이터 통신을 행할 수 있다.
- [0333] 상기 실시 형태에 나타내는 임의의 반도체 장치는, 표시부(9103 및 9107)에 사용하는 것이 가능하다. 그로 인해, 텔레비전 장치는 우수한 표시 품질을 가질 수 있다.
- [0334] 도 24c는, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205) 및 포인팅 디바이스(9206)를 포함하는 컴퓨터(9200)를 나타낸다.
- [0335] 상기 실시 형태에 나타내는 임의의 반도체 장치는, 표시부(9203)에 사용하는 것이 가능하다. 그로 인해, 컴퓨터(9200)는 우수한 표시 품질을 가질 수 있다.
- [0336] 도 25a 및 도 25b는, 절첩 가능한 태블릿형 단말기이다. 도 25a는, 개방한 상태의 태블릿형 단말기를 나타낸다. 태블릿형 단말기는, 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 버튼(9034), 전원 버튼(9035), 전력 절약 모드 전환 버튼(9036), 고정구(9033) 및 조작 버튼(9038)을 포함한다.
- [0337] 상기 실시 형태에 나타내는 임의의 반도체 장치는, 표시부(9631a) 및 표시부(9631b)에 사용하는 것이 가능하여, 태블릿 단말기는 우수한 표시 품질을 가질 수 있다.
- [0338] 표시부(9631a)의 일부에는 터치 패널 영역(9632a)이 제공될 수 있는데, 그 영역에는, 표시된 조작 키(9638)를 터치함으로써 데이터가 입력될 수 있다. 표시부(9631a)의 절반은 표시 기능만을 갖고 있고, 다른 절반은 터치 패널의 기능을 갖는다는 점에 유의해야 한다. 그러나, 표시부(9631a)의 구성은 이에 한정되지 않고, 표시부(9631a)의 모든 영역이 터치 패널의 기능을 가질 수 있다. 예를 들어, 키보드가 표시부(9631a)의 전체에 표시되어 터치 패널로서 사용될 수 있고, 표시부(9631b)는 표시 화면으로서 사용될 수 있다.
- [0339] 터치 패널 영역(9632b)은, 표시부(9631a)에서와 마찬가지로, 표시부(9631b)의 일부에 제공될 수 있다. 터치 패널에 표시된 키보드 표시 전환 버튼(9639)이 손가락, 스타일러스 등으로 터치되면, 표시부(9631b)에는 키보드가 표시될 수 있다.
- [0340] 터치 패널 영역(9632a)과 터치 패널 영역(9632b)은, 동시에 터치 입력에 의해 제어될 수 있다.

- [0341] 표시 모드 전환 버튼(9034)은, 가로 모드와 세로 모드 간의 전환, 컬러 표시와 흑백 표시 간의 전환 등을 허용한다. 전력 절약 모드 전환 스위치(9036)는, 태블릿형 단말기에 내장하고 있는 광 센서로 검출되는 사용시의 외광 광량에 따라서 표시의 휘도를 최적화하는 것을 가능하게 한다. 태블릿형 단말기에는, 광 센서 이외에, 자이로스코프 또는 가속도 센서 등, 기울기를 검출하는 센서 등의 다른 검출 장치를 내장할 수 있다.
- [0342] 도 25a에서는 표시부(9631a)의 표시 면적이 표시부(9631b)의 표시 면적과 동일하지만, 본 발명의 한 실시 형태는 이것에 특별히 한정되지 않는다. 표시부(9631a)의 표시 면적이 표시부(9631b)의 표시 면적과 다를 수 있고, 또한 표시부(9631a)의 표시 품질도 표시부(9631b)의 표시 품질과 다를 수 있다. 예를 들어, 표시부(9631a 및 9631b) 중 한쪽이 다른 쪽보다도 고화질 화상을 표시할 수 있다.
- [0343] 도 25b는, 폐쇄한 상태의 태블릿형 단말기를 나타낸다. 태블릿형 단말기는, 하우징(9630), 태양 전지(9633), 및 충방전 제어 회로(9634)를 포함한다. 도 25b는 충방전 제어 회로(9634)가 배터리(9635) 및 DC-DC 컨버터(9636)를 포함하는 예를 나타내고 있다.
- [0344] 태블릿형 단말기는 접철이 가능하기 때문에, 태블릿형 단말기의 미사용시에 하우징(9630)을 폐쇄할 수 있다. 따라서, 표시부(9631a 및 9631b)가 보호될 수 있는데, 이는 태블릿형 단말기가 우수한 내구성 및 장기 사용시에 도 향상된 신뢰성을 갖게 한다.
- [0345] 또한, 도 25a 및 도 25b에 나타낸 태블릿형 단말기는, 여러 가지 데이터(예를 들면, 정지 화상, 동화상 및 텍스트 화상)를 표시하는 기능, 캘린더, 일자, 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 데이터를 터치 입력에 의해 조작 또는 편집하는 터치 입력 기능, 여러 가지 소프트웨어(프로그램)에 의한 처리를 제어하는 기능 등을 가질 수 있다.
- [0346] 태블릿형 단말기의 표면에 장착된 태양 전지(9633)는, 전력을 터치 패널, 표시부, 영상 신호 처리부 등에 공급할 수 있다. 태양 전지(9633)는, 하우징(9630)의 한면 또는 양면에 제공될 수 있고, 따라서 배터리(9635)가 효율적으로 충전될 수 있다는 점에 유의해야 한다. 배터리(9635)로서 리튬 이온 전지의 사용은, 소형화 등의 이점이 있다.
- [0347] 도 25b에 나타내는 충방전 제어 회로의 구성 및 동작에 대해서는, 도 25c의 블록도를 참조해서 설명한다. 도 25c는, 태양 전지(9633), 배터리(9635), DC-DC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3, 및 표시부(9631)를 나타내고 있다. 배터리(9635), DC-DC 컨버터(9636), 컨버터(9637), 및 스위치 SW1 내지 SW3는, 도 25b에 나타내는 충방전 제어 회로(9634)에 대응한다.
- [0348] 먼저, 외광을 이용해 태양 전지(9633)에 의해 발전이 되는 경우의 동작 예에 대해서 설명한다. 태양 전지에 의해 발전된 전력의 전압은, 전력이 배터리(9635)를 충전하기 위한 전압을 갖도록, DC-DC 컨버터(9636)에 의해 승압 또는 강압이 이루어진다. 표시부(9631)가 태양 전지(9633)로부터의 전력으로 동작되면, 스위치 SW1은 온으로 되고, 전력의 전압은 표시부(9631)를 동작시키기에 필요한 전압으로 컨버터(9637)에 의해 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 행하지 않을 때에는, SW1을 오프로 하고, SW2를 온으로 해서 배터리(9635)가 충전될 수 있게 한다.
- [0349] 태양 전지(9633)를 발전 수단의 일례로서 나타냈지만, 발전 수단에 대한 특별한 제한은 없고, 압전 소자 또는 열전 변환 소자(펠티에 소자) 등의 소정의 다른 수단으로 배터리(9635)가 충전될 수 있다. 예를 들어, 배터리(9635)는, 무선(비접촉)으로 전력을 송수신해서 충전할 수 있는 무 접점 전력 전송 모듈, 또는 조합하여 사용되는 소정의 다른 충전 수단으로 충전될 수 있다.
- [0350] 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태 및 실시예에 나타내는 소정의 구성과 적절히 조합될 수 있다.
- [0351] [실시예 1]
- [0352] 본 실시예에서는, 산화물 반도체 막 및 다층막의 저항에 대해서, 도 26a 내지 도 26d 및 도 27을 참조해서 설명한다.
- [0353] 먼저, 시료의 구성에 대해서 도 26a 내지 도 26d를 참조해서 설명한다.
- [0354] 도 26a는, 시료 1, 시료 2, 시료 3 및 시료 4의 상면도이다. 도 26b 내지 도 26d는, 도 26a의 일점 쇄선 A1-A2를 따라 취한 단면도이다. 시료 1 내지 시료 4의 상면도는 동일하고, 단면의 적층 구조는 상이하기 때문에 단면도가 상이하다는 점에 유의해야 한다. 시료 1, 시료 2, 시료 3과 시료 4의 단면도는, 도 26b, 도 26c 및

도 26d에 각각 나타낸다.

- [0355] 시료 1에 있어서는, 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 산화물 반도체 막(1905)이 형성된다. 산화물 반도체 막(1905)의 양단은, 전극으로서 각각 기능하는 도전막(1907) 및 도전막(1909)으로 덮이고, 산화물 반도체 막(1905) 및 도전막(1907 및 1909)은 절연막(1910) 및 절연막(1911)으로 덮인다. 절연막(1910 및 1911)에는, 개구부(1913) 및 개구부(1915)가 제공되어 있고, 도전막(1907) 및 도전막(1909)은 각각, 개구부(1913) 및 개구부(1915)를 통해 노출된다는 점에 유의해야 한다.
- [0356] 시료 2에 있어서는, 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 산화물 반도체 막(1905)이 형성된다. 산화물 반도체 막(1905)의 양단은, 각각 전극으로서 기능하는 도전막(1907) 및 도전막(1909)으로 덮이고, 산화물 반도체 막(1905) 및 도전막(1907 및 1909)은 절연막(1911)으로 덮인다. 절연막(1911)에는, 개구부(1917) 및 개구부(1919)가 제공되어 있고, 도전막(1907) 및 도전막(1909)은 각각, 개구부(1917) 및 개구부(1919)를 통해 노출된다는 점에 유의해야 한다.
- [0357] 시료 3 및 4 각각에 있어서는, 유리 기판(1901) 위에 절연막(1903)이 형성되고, 절연막(1903) 위에 절연막(1904)이 형성되고, 절연막(1904) 위에 다층막(1906)이 형성된다. 다층막(1906)의 양단은, 각각 전극으로서 기능하는 도전막(1907 및 1909)으로 덮이고, 다층막(1906) 및 도전막(1907 및 1909)은 절연막(1911)으로 덮인다. 절연막(1911)에는, 개구부(1917 및 1919)가 제공되어 있고, 도전막(1907) 및 도전막(1909)은 각각, 개구부(1917) 및 개구부(1919)를 통해 노출된다는 점에 유의해야 한다.
- [0358] 상술한 바와 같이, 시료 1 내지 시료 4에서는, 산화물 반도체 막(1905) 또는 다층막(1906)의 상면과 접하는 절연막의 구조가 상이하다. 시료 1에서는, 산화물 반도체 막(1905)과 절연막(1910)이 서로 접하고 있고; 시료 2에서는, 산화물 반도체 막(1905)과 절연막(1911)이 서로 접하고 있고; 시료 3 및 4에서는, 다층막(1906)과 절연막(1911)이 서로 접하여 있다.
- [0359] 이어서, 시료의 제조 방법에 대해서 설명한다.
- [0360] 먼저, 시료 1의 제조 방법에 대해서 설명한다.
- [0361] 유리 기판(1901) 위에 절연막(1903)으로서, 플라즈마 CVD법에 의해 두께 400 nm의 질화 실리콘막을 성막했다.
- [0362] 이어서, 절연막(1903) 위에 절연막(1904)으로서, 플라즈마 CVD법에 의해 두께 50 nm의 산화질화 실리콘막을 성막했다.
- [0363] 이어서, 절연막(1904) 위에 산화물 반도체 막(1905)으로서, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하는 스퍼터링법에 의해 두께 35 nm의 In-Ga-Zn 산화물 막(이하, IGZO막이라고도 함)을 성막했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 IGZO막에 에칭 처리를 행하여, 산화물 반도체 막(1905)을 형성했다.
- [0364] 이어서, 절연막(1903) 및 산화물 반도체 막(1905) 위에는, 스퍼터링법에 의해 두께 50 nm의 텅스텐막, 두께 400 nm의 알루미늄막 및 두께 100 nm의 티타늄막을 순서대로 적층한 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 에칭 처리를 행하는 방식으로, 도전막(1907 및 1909)을 형성했다.
- [0365] 이어서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에는, 절연막(1910)으로서, 플라즈마 CVD법에 의해 두께 450 nm의 산화질화 실리콘막을 성막한 후, 질소 및 산소의 혼합 분위기에서 1시간 동안 350℃로 열 처리를 행했다.
- [0366] 이어서, 절연막(1910) 위에는 절연막(1911)으로서, 플라즈마 CVD법에 의해 두께 50 nm의 질화 실리콘막을 성막했다.
- [0367] 이어서, 절연막(1911) 위에 포토리소그래피 공정을 통해 마스크를 형성한 후, 절연막(1911)에 에칭 처리를 행하여, 절연막(1910 및 1911)에 개구부(1913 및 1915)를 형성했다.
- [0368] 이상의 공정에 의해, 시료 1을 형성했다.
- [0369] 이어서, 시료 2의 제조 방법에 대해서 설명한다.
- [0370] 이어서, 시료 1의 절연막(1903), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에 절연막(1910)으로서, 플라즈마 CVD법에 의해 두께 450 nm의 산화질화 실리콘막을 성막한 후, 질소 및 산소의 혼합 분위기에서

1시간 동안 350℃로 열 처리를 행했다. 그 후, 절연막(1910)을 제거했다.

- [0371] 이어서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에 절연막(1911)으로서, 플라즈마 CVD법에 의해 두께 50 nm의 질화 실리콘막을 성막했다.
- [0372] 이어서, 절연막(1911) 위에 포토리소그래피 공정을 통해 마스크를 형성한 후, 절연막(1911)에 에칭 처리를 행하여, 절연막(1911)에 개구부(1917 및 1919)를 형성했다.
- [0373] 이상의 공정에 의해, 시료 2를 제조했다.
- [0374] 이어서, 시료 3의 제조 방법에 대해서 설명한다.
- [0375] 시료 3에서는, 시료 2의 산화물 반도체 막(1905) 대신에 다층막(1906)을 사용했다. 스퍼터링법에 의해, 연속해서, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 10 nm의 IGZO막을 성막하고, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 10 nm의 IGZO막을 성막한 다음, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 10 nm의 IGZO막을 성막하는 방식으로, 절연막(1904) 위에 다층막(1906)을 형성했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 적층된 IGZO막에 에칭 처리를 행하여, 다층막(1906)을 형성했다.
- [0376] 이상의 공정에 의해, 시료 3을 형성했다.
- [0377] 이어서, 시료 4의 제조 방법에 대해서 설명한다.
- [0378] 시료 4에서는, 시료 2의 산화물 반도체 막(1905) 대신에 다층막(1906)을 사용했다. 시료 4에서 다층막(1906)에 포함되는 IGZO막의 두께는 시료 3에서와는 상이하다. 스퍼터링법에 의해, 연속해서, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 20 nm의 IGZO막을 성막하고, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 15 nm의 IGZO막을 성막한 다음, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 이용하여 두께 10 nm의 IGZO막을 성막하는 방식으로, 절연막(1904) 위에 다층막(1906)을 형성했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 적층된 IGZO막에 에칭 처리를 행하여, 분리된 다층막(1906)을 형성했다.
- [0379] 이상의 공정에 의해, 시료 4를 형성했다.
- [0380] 이어서, 시료 1 및 2 각각에 제공된 산화물 반도체 막(1905)의 시트 저항 및 시료 3 및 4 각각에 제공된 다층막(1906)의 시트 저항을 측정했다. 시료 1에 있어서는, 개구부(1913 및 1915)에 프로브를 접촉시켜, 산화물 반도체 막(1905)의 시트 저항을 측정했다. 시료 2 내지 시료 4 각각에 있어서는, 개구부(1917 및 1919)에 프로브를 접촉시켜, 산화물 반도체 막(1905) 또는 다층막(1906)의 시트 저항을 측정했다. 시료 1 및 2 각각의 산화물 반도체 막(1905), 및 시료 3 및 4 각각의 다층막(1906)에 있어서, 도전막(1907 및 1909)이 서로 대향하는 폭은 1 mm이었고, 그 사이의 거리는 10 μ m이었다는 점에 유의해야 한다. 또한, 시료 1 내지 4 각각에 있어서, 도전막(1907)의 전위는 접지 전위이었고, 도전막(1909)에는 1V를 인가했다.
- [0381] 도 27은 시료 1 내지 4의 시트 저항을 나타낸다.
- [0382] 시료 1의 시트 저항은, 약 1×10^{11} Ω /sq이었다. 시료 2의 시트 저항은, 약 2620 Ω /sq이었다. 시료의 3 시트 저항은, 약 4410 Ω /sq이었다. 시료 4의 시트 저항은, 약 2930 Ω /sq이었다.
- [0383] 이와 같이, 산화물 반도체 막(1905)에 접하는 절연막과 다층막(1906)에 접하는 절연막이 다르기 때문에, 산화물 반도체 막(1905) 및 다층막(1906)은 상이한 값의 시트 저항을 갖는다.
- [0384] 상술한 시료 1 내지 시료 4의 시트 저항을 저항물로 환산했을 경우, 시료 1, 시료 2, 시료 3, 및 시료 4의 저항률은, 각각 3.9×10^5 Ω cm, 9.3×10^{-3} Ω cm, 1.3×10^{-2} Ω cm, 및 1.3×10^{-2} Ω cm이었다는 점에 유의해야 한다.
- [0385] 시료 1에서는, 산화물 반도체 막(1905)의 상면에 접해서 절연막(1910)으로서 사용된 산화질화 실리콘막이 형성되어 있고, 절연막(1911)으로서 사용된 질화 실리콘막으로부터 이격되어서 형성되어 있다. 한편, 절연막(1911)으로서 사용하는 질화 실리콘막은, 시료 2에서는, 산화물 반도체 막(1905)의 상면에 접해서 형성되고, 시료 3 및 4의 각각에서는, 다층막(1906)의 상면에 접해서 형성되어 있다. 이와 같이, 산화물 반도체 막(1905) 또는 다층막(1906)이, 절연막(1911)으로서 사용된 질화 실리콘막에 접해서 제공되면, 산화물 반도체 막(1905) 또는 다층막(1906)에 결합, 대표적으로는 산소 결손이 생성되고, 해당 질화 실리콘막에 포함되는 수소가, 산화물 반도체 막(1905) 또는 다층막(1906)으로 이동 또는 확산된다. 따라서, 산화물 반도체 막(1905) 또는 다층막

(1906)의 도전성이 향상된다.

- [0386] 예를 들어, 트랜지스터의 채널 형성 영역에 산화물 반도체 막을 사용하는 경우, 시료 1에 도시한 바와 같이, 산화물 반도체 막에 접해서 산화질화 실리콘막을 제공하는 구성을 채택하는 것이 바람직하다. 또한, 용량 소자의 전극에 사용하는 투광성 도전막으로서, 시료 2 내지 시료 4에 도시한 바와 같이, 산화물 반도체 막 또는 다층막에 접해서 질화 실리콘막을 제공하는 구성을 채택하는 것이 바람직하다. 이러한 구성으로 인해, 트랜지스터의 채널 형성 영역에 사용하는 산화물 반도체 막 또는 다층막과, 용량 소자의 전극에 사용하는 산화물 반도체 막 또는 다층막을 동일한 공정을 통해 형성하더라도, 산화물 반도체 막의 저항률 및 다층막의 저항률은 서로 다르게 될 수 있다.
- [0387] 이어서, 고온 고습 환경에서 보존한 시료 2 및 시료 3의 시트 저항값, 및 다양한 온도에서 시료 2 및 시료 3의 시트 저항값에 대해서 측정했다. 여기에서 사용한 시료의 조건에 대해서, 이하에 설명한다. 여기에서는, 조건이 부분적으로 시료 2 및 3과 다르다는 점에 유의해야 한다. 따라서, 시료 2 및 3과 구조가 동일하고, 다른 형성 조건에서 형성된 시료를 시료 2a 및 시료 3a라고 한다.
- [0388] 먼저, 시료 2a의 형성 방법에 대해서 설명한다.
- [0389] 유리 기판(1901) 위에 절연막(1903) 및 절연막(1904)을 성막했다.
- [0390] 이어서, 절연막(1904) 위에 산화물 반도체 막(1905)으로서, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 두께 35 nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 IGZO막에 에칭 처리를 행한 후, 350℃ 또는 450℃로 열 처리를 행하여, 산화물 반도체 막(1905)을 형성했다.
- [0391] 절연막(1903) 및 산화물 반도체 막(1905) 위에는, 스퍼터링법에 의해 두께 50 nm의 티타늄막 및 두께 400 nm의 구리막을 순서대로 적층한 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 에칭 처리를 행하는 방식으로, 도전막(1907) 및 도전막(1909)을 형성했다.
- [0392] 이어서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에는, 절연막(1910)으로서, 플라즈마 CVD법에 의해 두께 450 nm의 산화질화 실리콘막을 성막한 후, 350℃로 질소 및 산소의 혼합 분위기에서 1시간 동안 열 처리를 행했다.
- [0393] 이어서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에는, 절연막(1911)으로서, 플라즈마 CVD법에 의해 두께 50 nm의 질화 실리콘막을 성막했다. 질화 실리콘막의 성막 온도를 220℃ 또는 350℃로 했다는 점에 유의해야 한다.
- [0394] 이어서, 절연막(1911) 위에는, 포토리소그래피 공정을 통해 마스크를 형성한 다음, 절연막(1911)에 에칭 처리를 행하여, 절연막(1910 및 1911)에 개구부(1913 및 1915)를 형성했다.
- [0395] 이상의 공정에 의해, 시료 2a를 형성했다.
- [0396] 이어서, 시료 3a의 형성 방법에 대해서 설명한다.
- [0397] 시료 3a에서는, 시료 2a의 산화물 반도체 막(1905) 대신에 다층막(1906)을 사용했다. 스퍼터링법에 의해, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여 두께 10 nm의 IGZO막을 성막하고, 계속해서 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여 두께 10 nm의 IGZO막을 성막하는 방식으로, 다층막(1906)을 절연막(1904) 위에 형성했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 IGZO막에 에칭 처리를 행한 후, 350℃ 또는 450℃로 열 처리를 행하여, 다층막(1906)을 형성했다.
- [0398] 이상의 공정에 의해, 시료 3a를 형성했다.
- [0399] 이어서, 시료 2a에 제공된 산화물 반도체 막(1905)의 시트 저항 및 시료 3a에 제공된 다층막(1906)의 시트 저항을 측정했다. 시료 2a 및 3a 각각에 있어서는, 개구부(1917 및 1919)에 프로브를 접촉시켜, 산화물 반도체 막(1905) 또는 다층막(1906)의 시트 저항을 측정했다. 시료 2a의 산화물 반도체 막(1905) 및 시료 3a의 다층막(1906)에 있어서, 상면도에서, 도전막(1907) 및 도전막(1909)이 서로 대향하는 폭 W를 1.5 mm, 그들 간의 거리 D를 10 μm으로 했다는 점에 유의해야 한다. 또한, 시료 2a 및 3a 각각에 있어서, 도전막(1907)의 전위를 접지 전위로 하였고, 도전막(1909)에 1V를 인가했다. 습도 95%의 분위기에서, 60시간 및 130시간 동안 60℃로 시료 2a 및 시료 3a를 보관한 후, 시료 2a 및 시료 3a의 시트 저항값을 측정했다.

- [0400] 도 31은 시료 2a 및 시료 3a의 시트 저항값을 나타낸다. 도 31에 있어서, 각 시료에 있어서 절연막(1911)으로서 형성한 질화 실리콘막의 성막 온도가 220℃(실선) 또는 350℃(쇄선)이라는 점에 유의해야 한다. 또한, 흑색 원 및 삼각형은, 산화물 반도체 막(1905) 또는 다층막(1906)을 형성한 후, 350℃로 각각 열 처리를 행한 시료를 나타내고, 백색 원 및 삼각형은, 산화물 반도체 막(1905) 또는 다층막(1906)을 형성한 후, 450℃로 각각 열 처리를 행한 시료를 나타낸다. 원은, 산화물 반도체 막(1905)을 각각 갖는 시료, 즉, 시료 2a를 나타낸다. 삼각형은, 다층막(1906)을 각각 갖는 시료, 즉 시료 3a를 나타낸다. 또한, 350℃ 열 처리한 다층막(1906), 즉 시료 3a에 대응하는 측정 결과는, 도 29의 그래프에서는 도시되지 않는다.
- [0401] 도 31은, 시료 2a 및 시료 3a가, 시트 저항값이 낮았고, 0.2 Ω/s.q.인, 용량 소자의 전극에 대한 바람직한 시트 저항값을 만족하였고, 시료 2a 및 시료 3a의 시트 저항값에서의 시간에 따른 변동량이 적었다는 것을 나타낸다. 상술한 바와 같이, 질화 실리콘막에 접하는 산화물 반도체 막 또는 다층막의 시트 저항값에서의 변동량은 고온 고습 환경하에서 적고; 따라서, 용량 소자의 전극에 사용하는 투광성 도전막으로서 산화물 반도체 막 또는 다층막을 사용할 수 있다.
- [0402] 이어서, 기판 온도가 25℃, 60℃ 또는 150℃일 때 시료 2a 및 시료 3a의 시트 저항값을 측정하였고, 그 측정 결과를 도 32에 나타낸다. 여기에서, 각각의 시료 2a 및 시료 3a로서는, 220℃에서 절연막(1911)으로서 형성한 질화 실리콘막을 포함하고 산화물 반도체 막(1905) 또는 다층막(1906)을 형성한 후 350℃로 열 처리를 행한 시료를 사용했다는 점에 유의해야 한다. 흑색 원은, 시료 2a에 관한 측정 결과를 나타내고, 흑색 삼각형은, 시료 3a에 관한 측정 결과를 나타낸다.
- [0403] 도 32는, 측정 온도를 높여도, 산화물 반도체 막(1905) 또는 다층막(1906)의 시트 저항값이 변동하지 않았는 것을 나타낸다. 즉, 질화 실리콘막에 접하는 산화물 반도체 막 또는 다층막은, 축퇴형 반도체이다. 질화 실리콘막에 접하는 산화물 반도체 막 또는 다층막의 시트 저항값의 변동은, 온도가 변하더라도, 적었고; 따라서, 산화물 반도체 막 또는 다층막은 용량 소자의 전극에 사용하는 투광성 도전막으로서 사용될 수 있다.
- [0404] 본 실시예에 나타내는 구성은, 다른 실시 형태 및 실시예에 나타내는 소정의 구성과 적절히 조합해서 사용될 수 있다는 점에 유의해야 한다.
- [0405] [실시예 2]
- [0406] 본 실시예에서는, 산화물 반도체 막의 저항에 대해서, 도 35a 및 도 35b 및 도 36a 내지 도 36d를 참조해서 설명한다. 본 실시예에서는, 트랜지스터 및 용량 소자를 형성하는 공정 각각에 있어서의, 산화물 반도체 막의 저항에 대해서 측정했다.
- [0407] 트랜지스터 및 용량 소자를 포함하는 시료의 형성 공정 및 시료의 구조에 대해서, 도 35a 및 도 36a 내지 도 36d를 참조해서 설명한다. 도 36a 내지 도 36d는, 각 시료에 포함되는 용량 소자의 단면 구조를 나타낸다는 점에 유의해야 한다.
- [0408] 트랜지스터가 형성될 유리 기판(1901) 위의 영역에 게이트 전극을 형성했다. 여기에서, 게이트 전극으로서, 두께 100 nm의 텅스텐막을 형성했다.
- [0409] 이어서, 유리 기판(1901) 및 게이트 전극 위에, 절연막(1903)으로서, 플라즈마 CVD법에 의해 두께 400 nm의 질화 실리콘막을 성막했다.
- [0410] 이어서, 절연막(1903) 위에, 절연막(1904)으로서, 플라즈마 CVD법에 의해 두께 50 nm의 산화질화 실리콘막을 성막했다.
- [0411] 이어서, 절연막(1904) 위에, 금속 산화물 타겟(In:Ga:Zn=1:1:1)을 사용하여 스퍼터링법에 의해 두께 35 nm의 IGZO막을 성막했다. 그 후, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 에칭 처리를 행하여, 산화물 반도체 막(1905)을 형성했다(도 35a에 나타내는 단계 S1).
- [0412] 이어서, 절연막(1903) 및 산화물 반도체 막(1905) 위에는, 스퍼터링법에 의해 두께 50 nm의 텅스텐막, 두께 400 nm의 알루미늄막 및 두께 100 nm의 티타늄막을 순서대로 적층한 다음, 포토리소그래피 공정을 통해 형성한 마스크를 사용해서 에칭 처리를 행하는 방식으로, 도전막(1907 및 1909)을 형성했다(도 35a의 단계 S3).
- [0413] 이상의 공정에 의해, 시료 5를 형성했다. 시료 5에 포함되는 용량 소자의 단면도를 도 36a에 나타낸다. 시료 5에 있어서, 트랜지스터가 형성되는 영역에 제공되는 산화물 반도체 막을 C5라고 하고, 용량 소자가 형성될 영역되는 제공되는 산화물 반도체 막을 E5라고 한다는 점에 유의해야 한다.

- [0414] 산화물 반도체 막(1905)을 형성한 후, 질소 분위기 하에서 450℃로, 1시간 동안 열처리를 행한 다음, 질소와 산소의 혼합 가스 분위기(질소 비율이 80%이고, 산소 비율이 20%)에서 450℃로, 1시간 동안 열처리를 연속해서 행했다(도 35a의 단계 S2). 그 다음, 도전막(1907) 및 도전막(1909)을 형성했다(도 35a의 단계 S3).
- [0415] 이상의 공정에 의해, 시료 6을 형성했다. 시료 6에 포함되는 용량 소자의 단면도를 도 36a에 나타낸다. 시료 6에 있어서, 트랜지스터가 형성되는 영역에 제공되는 산화물 반도체 막을 C6라고 하고, 용량 소자가 형성되는 영역에 제공되는 산화물 반도체 막을 E6라고 한다는 점에 유의해야 한다.
- [0416] 시료 6과 유사한 공정 후에, 차후에 절연막(1910)이 될 절연막으로서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에, 플라즈마 CVD법에 의해 두께 450 nm의 산화질화 실리콘막을 성막했다(도 35a의 단계 S4).
- [0417] 이어서, 절연막 위에, 포토리소그래피 공정을 통해 마스크를 형성하고, 에칭 처리를 행하여, 개구부(1913 및 1915)를 갖는 절연막(1910)을 형성했다(도 35a의 단계 S8).
- [0418] 이상의 공정에 의해, 시료 7을 형성했다. 시료 7에 포함되는 용량 소자의 단면도를 도 36b에 나타낸다. 시료 7에 있어서, 트랜지스터가 형성되는 영역에 제공되는 산화물 반도체 막을 C7이라고 하고, 용량 소자가 형성되는 영역에 제공되는 산화물 반도체 막을 E7이라고 한다는 점에 유의해야 한다.
- [0419] 시료 6과 유사한 공정 후에, 차후에 절연막(1910)이 될 절연막으로서, 절연막(1904), 산화물 반도체 막(1905), 도전막(1907) 및 도전막(1909) 위에, 플라즈마 CVD법에 의해 두께 450 nm의 산화질화 실리콘막을 성막했다(도 35a의 단계 S4).
- [0420] 이어서, 350℃로, 질소 및 산소의 혼합 분위기에서, 1시간 동안 열 처리를 행했다(도 35a의 단계 S5).
- [0421] 이어서, 절연막(1910) 위에, 차후에 절연막(1911)이 될 절연막을 형성했다. 해당 절연막으로서, 플라즈마 CVD법에 의해 두께 50 nm의 질화 실리콘막을 성막했다(도 35a의 단계 S7).
- [0422] 이어서, 절연막 위에, 포토리소그래피 공정을 통해 마스크를 형성하고, 에칭 처리를 행하여, 개구부(1913 및 1915)를 갖는 절연막(1910) 및 절연막(1911)을 형성했다(도 35a의 단계 S8).
- [0423] 이상의 공정에 의해, 시료 8을 형성했다. 시료 8에 포함되는 용량 소자의 단면도를 도 36c에 나타낸다. 시료 8에 있어서, 트랜지스터가 형성되는 영역에 제공되는 산화물 반도체 막을 C8이라고 하고, 용량 소자가 형성되는 영역에 제공되는 산화물 반도체 막을 E8이라고 한다는 점에 유의해야 한다.
- [0424] 도 35a의 시료 8의 단계 S5에서의 열 처리 후에, 용량 소자 위에 절연막(1910)을 에칭했다(도 35a의 단계 S6). 해당 공정에 있어서, 용량 소자에 형성된 산화물 반도체 막은, 플라즈마에 노출되고, 산화물 반도체 막에, 결함, 대표적으로는 산소 결손이 형성되었다.
- [0425] 이어서, 차후에 절연막(1911)이 될 절연막을 형성했다(도 35a의 단계 S7).
- [0426] 이어서, 절연막 위에, 포토리소그래피 공정을 통해 마스크를 형성한 다음, 에칭 처리를 행하여, 트랜지스터가 형성된 영역에 개구부(1913 및 1915)를 갖는 절연막(1910 및 1911)을 형성하고, 용량 소자가 형성된 영역에 개구부(1917 및 1919)를 갖는 절연막(1911)을 형성했다(도 35a의 단계 S8).
- [0427] 이상의 공정에 의해, 시료 9를 형성했다. 시료 9에 포함되는 용량 소자의 단면도를 도 36d에 나타낸다. 시료 9에 있어서, 트랜지스터가 형성되는 영역에 제공되는 산화물 반도체 막을 C9이라고 하고, 용량 소자가 형성되는 영역에 제공되는 산화물 반도체 막을 E9이라고 한다는 점에 유의해야 한다.
- [0428] 유리 기판 위에, 스퍼터링법에 의해, 산화인듐-산화주석 화합물(ITO-SiO₂)의 두께 100 nm의 도전막을 형성했다. 해당 도전막을 형성하기 위해 사용된 타겟의 조성은, In₂O₃:SnO₂:SiO₂=85:10:5[중량%]로 했다. 이후, 질소 분위기에서, 250℃로, 1시간 동안 열 처리를 행했다.
- [0429] 이어서, 산화인듐-산화주석 화합물(ITO-SiO₂)의 도전막 위에, 시료 5 내지 시료 9의 공정과 유사한 방식으로, 도전막(1907) 및 도전막(1909)을 형성했다.
- [0430] 이상의 공정에 의해, 시료 10을 형성했다.
- [0431] 시료 5 내지 시료 10에 있어서, 상면도에 있어서, 도전막(1907) 및 도전막(1909)이 서로 대향하는 폭 W를 1 mm

로 하고, 그들 간의 거리 D를 10 μm 으로 했다는 점에 유의해야 한다.

- [0432] 이어서, 다음의 막의 시트 저항을 측정했다: 트랜지스터가 형성된 영역에 제공된, 시료 5 내지 시료 9의 산화물 반도체 막 C5 내지 C9; 용량 소자가 형성된 영역에 제공된, 시료 5 내지 시료 9의 산화물 반도체 막 E5 내지 E9; 및 시료 10에 포함되는 산화인듐-산화주석 화합물(ITO-SiO₂)의 도전막.
- [0433] 측정 결과를 도 35b에 나타낸다. 도 35b는, 시료 7의 산화물 반도체 막 C7 및 E7의 시트 저항이, 시료 5 및 6의 산화물 반도체 C5, E5, C6 및 E6보다 낮은 것을 나타낸다. 이러한 사실은, 산화물 반도체 막 위에 형성된 막을 에칭할 때에 플라즈마에 노출됨으로써, 산화물 반도체 막이 손상되어, 산화물 반도체 막의 시트 저항이 낮아지는 것을 나타낸다.
- [0434] 또한, 도 35b는, 시료 8의 산화물 반도체 막 C8 및 E8의 시트 저항이, 시료 5 내지 시료 7의 산화물 반도체 C5, E5, C6, E6, C7 및 E7보다 높다는 것을 나타낸다. 이것은, 산화물 반도체 막 C8 및 E8 위에 형성된 절연막은 산화 실리콘막으로 형성되어 있고, 가열에 의해 방출되는 산소를 포함하기 때문이다. 따라서, 산화물 반도체 막 위에, 도 35a의 단계 S4에 나타내는 산화 절연막을 형성하는 단계와, 도 35a의 단계 S5에 나타내는 열 처리의 단계에 의해, 산화물 반도체 막의 저항이 높아진다는 것을 알게 된다. 이러한 산화물 반도체 막을 트랜지스터의 채널 영역으로서 사용하면, 트랜지스터는 노멀리-오프 트랜지스터일 수 있다.
- [0435] 또한, 시료 9에 있어서, 산화물 반도체 막 E9은, 산화물 반도체 막 C9보다 시트 저항이 낮다. 또한, 시료 9의 산화물 반도체 막 E9은, 시료 7의 산화물 반도체 막 C7 및 E7과 유사한 시트 저항을 갖는다.
- [0436] 시료 7의 산화물 반도체 막 C7 및 E7, 및 시료 9의 산화물 반도체 막 E9의 시트 저항은, 산화인듐-산화주석 화합물(ITO-SiO₂)의 도전막보다, 1 자리만큼만 높다. 따라서, 시료 7의 산화물 반도체 막 C7 및 E7, 및 시료 9의 산화물 반도체 막 E9은 각각, 산화인듐-산화주석 화합물(ITO-SiO₂)의 도전막과 유사한 방식으로, 전극으로서 사용될 수 있다.
- [0437] 즉, 시료 9와 같이, 트랜지스터가 형성되는 영역에서는, 산화 절연막으로 형성된 절연막을 산화물 반도체 막 위에 제공해서 열 처리함으로써, 산화물 반도체 막의 저항이 상승하고, 산화물 반도체 막은 채널 영역으로서 사용될 수 있다. 또한, 용량 소자가 형성되는 영역에서는, 산화물 반도체 막의 표면을 플라즈마에 노출시키고, 질화 절연막으로 형성된 절연막을 산화물 반도체 막 위에 제공함으로써, 산화물 반도체 막의 저항이 저감되고, 산화물 반도체 막을 전극으로서 사용할 수 있다.
- [0438] [실시예 3]
- [0439] 본 실시예에서는, 산화물 반도체 막과, 산화물 반도체 막 위에 형성된 절연막 내의 불순물의 분석에 대해서, 도 28a 및 도 28b를 참조해서 설명한다.
- [0440] 본 실시예에서는, 불순물 분석용 샘플로서, 2 종류의 샘플(이하, 시료 11 및 시료 12)을 제조했다.
- [0441] 먼저, 시료 11의 형성 방법을 이하에 나타낸다.
- [0442] 시료 11에서는, 유리 기판 위에 IGZO막을 성막하고, 그 위에 질화 실리콘막을 성막했다. 그 후, 질소 분위기하에서 450℃로, 1시간 동안 열처리를 행한 다음, 계속해서 질소와 산소의 혼합 가스 분위기(질소 비율은 80%, 산소 비율은 20%)하에서 450℃로 1시간 동안 열처리를 행했다.
- [0443] IGZO막에서는, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 스퍼터링법에 의해 두께 100 nm의 IGZO막을, 다음의 조건하에서, 성막했다: Ar 가스 유량은 100 sccm이었고, O₂ 가스 유량은 100 sccm이었으며(O₂ 가스의 비율은 50%); 압력은 0.6 Pa이었고; 성막 전력은 5000 W이었으며; 기판 온도는 170℃이었다.
- [0444] 또한, 질화 실리콘막에서는, 스퍼터링법에 의해 두께 100 nm의 질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 50 sccm이었고, N₂ 가스 유량은 5000 sccm이었으며, NH₃ 가스 유량은 100 sccm이었고; 압력은 100 Pa이었으며; 성막 전력은 1000 W이었고; 기판 온도는 220℃이었다.
- [0445] 이어서, 시료 12의 형성 방법을 이하에 나타낸다.
- [0446] 유리 기판 위에 IGZO막을 성막하고, 그 위에 산화질화 실리콘막 및 질화 실리콘막을 적층했다. 그 후, 질소 분위기하에서 450℃로 1시간 동안 열처리를 행한 다음, 계속해서 질소와 산소의 혼합 가스 분위기(질소 비율은

80%, 산소 비율은 20%)하에서 450℃로 1시간 동안 열처리를 행했다.

- [0447] IGZO막 및 질화 실리콘막의 성막 조건은, 시료 11과 유사하다는 점에 유의해야 한다. 또한, 산화질화 실리콘막에서는, 플라즈마 CVD법에 의해 두께 50 nm의 산화질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 30 sccm이었고, N₂O 가스 유량은 4000 sccm이었으며; 압력은 40 Pa이었고; 성막 전력은 150 W이었으며; 기판 온도는 220℃이었다. 그 후, 플라즈마 CVD법에 의해 두께 400 nm의 산화질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 160 sccm이었고, N₂O 가스 유량은 4000 sccm이었으며; 압력은 200 Pa이었고; 성막 전력은 1500 W이었으며; 기판 온도는 220℃이었다.
- [0448] 도 28a 및 도 28b는, 시료 11 및 12의 불순물 분석의 결과를 나타낸다.
- [0449] 불순물 분석은, 2차 이온 질량 분석법(SIMS)에 의해, 도 28a 및 도 28b 각각에서 화살표로 표시된 방향에서 행했다는 점에 유의해야 한다. 즉, 유리 기판측으로부터 측정이 행해졌다.
- [0450] 도 28a는, 시료 11의 측정에 의해 얻어진 수소(H)의 농도 프로파일이다. 도 28b는, 시료 12의 측정에 의해 얻어진 수소(H)의 농도 프로파일이다.
- [0451] 도 28a는, IGZO막 내의 수소(H)의 농도가, 1.0×10^{20} atoms/cm³이고, 질화 실리콘막 내의 수소(H)의 농도가, 1.0×10^{23} atoms/cm³인 것을 나타낸다. 도 28b는, IGZO막 내의 수소(H)의 농도가, 5.0×10^{19} atoms/cm³이고, 산화 질화 실리콘막 내의 수소(H)의 농도가, 3.0×10^{21} atoms/cm³인 것을 나타낸다.
- [0452] SIMS 분석에 의해, 그 측정 원리상, 시료 표면 근방이나, 다른 재질을 사용하여 형성된 적층 막 간의 계면 근방의 데이터를 정확하게 얻는 것이 어렵다는 것이 알려져 있다. 따라서, 막 내의 수소(H)의 농도의 두께 방향으로의 분포를, SIMS에 의해 분석할 경우, 막이 제공되는 영역에서, 극단적인 변동이 없고, 거의 일정한 레벨의 강도가 얻어지는 영역에서의 평균값을, 수소(H)의 농도로서 채용한다.
- [0453] 이와 같이, IGZO막에 접하는 절연막의 구성을 바꿈으로써, 수소(H)의 농도에 있어서 IGZO막 간의 차가 확인되었다.
- [0454] 예를 들어, 트랜지스터의 채널 형성 영역에 상술한 임의의 IGZO막을 형성하는 경우, 시료 12에 도시한 바와 같이 IGZO막에 접해서 산화질화 실리콘막을 제공하는 구성을 채택하는 것이 바람직하다. 용량 소자의 전극에 사용하는 투광성 도전막으로서, 시료 11에 도시한 바와 같이 IGZO막에 접해서 질화 실리콘막을 제공하는 구성을 채택하는 것이 바람직하다. 이와 같은 구성으로 인해, 트랜지스터의 채널 형성 영역에 사용하는 IGZO막과, 용량 소자의 전극에 사용하는 IGZO막을 동일한 공정을 통해 형성하더라도, IGZO막의 수소 농도를 서로 다르게 할 수 있다.
- [0455] [실시예 4]
- [0456] 본 실시예에서는, 산화물 반도체 막 및 다층막 내의 결합량에 대해서, 도 29a 내지 도 29c 및 도 30을 참조해서 설명한다.
- [0457] 먼저, 시료의 구성에 대해서 설명한다.
- [0458] 시료 13은, 석영 기판 위에 형성된 두께 35 nm의 산화물 반도체 막과, 산화물 반도체 막 위에 형성된 두께 100 nm의 질화 절연막을 포함한다.
- [0459] 시료 14 및 시료 15 각각은, 석영 기판 위에 형성된 두께 30 nm의 다층막과, 다층막 위에 형성된 두께 100 nm의 질화 절연막을 포함한다. 시료 14의 다층막에있어서, 두께 10 nm의 제1 IGZO막, 두께 10 nm의 제2 IGZO막 및 두께 10 nm의 제3 IGZO막이 이 순서대로 적층되어 있다는 점에 유의해야 한다. 시료 15의 다층막에 있어서는, 두께 20 nm의 제1 IGZO막, 두께 15 nm의 제2 IGZO막 및 두께 10 nm의 제3 IGZO막이 이 순서대로 적층되어 있다. 시료 14 및 시료 15는, 산화물 반도체 막 대신 다층막을 포함한다는 점에서, 시료 13과는 상이하다.
- [0460] 시료 16은, 석영 기판 위에 형성된 두께 100 nm의 산화물 반도체 막과, 산화물 반도체 막 위에 형성된 두께 250 nm의 산화 절연막과, 산화 절연막 위에 형성된 두께 100 nm의 질화 절연막을 포함한다. 시료 16은, 산화물 반도체 막이 질화 절연막과 접하고 있지 않지만, 산화 절연막과 접하고 있다는 점에서, 시료 13 내지 시료 15와는 상이하다.

- [0461] 이어서, 시료의 형성 방법에 대해서 설명한다.
- [0462] 먼저, 시료 13의 형성 방법에 대해서 설명한다.
- [0463] 석영 기판 위에, 산화물 반도체 막으로서 두께 35 nm의 IGZO막을 성막했다. IGZO막에서는, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 스퍼터링법에 의해 두께 35 nm의 IGZO막을, 다음의 조건하에서, 성막했다: Ar 가스 유량은 100 sccm이었고, O₂ 가스 유량은 100 sccm이었으며(O₂ 가스의 비율은 50%); 압력은 0.6 Pa이었고; 성막 전력은 5000 W이며; 기판 온도는 170℃이었다.
- [0464] 이어서, 제1 열 처리로서, 질소 분위기에서 450℃로 1시간 동안 열 처리를 행한 다음, 계속해서 질소와 산소의 혼합 가스 분위기(질소 비율은 80%, 산소 비율은 20%)에서 450℃로 1시간 동안 열 처리를 행했다.
- [0465] 이어서, 산화물 반도체 막 위에, 질화 절연막으로서 두께 100 nm의 질화 실리콘막을 성막했다. 질화 실리콘막에서는, 플라즈마 CVD법에 의해 두께 100 nm의 질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 50 sccm이었고, N₂ 가스 유량은 5000 sccm이었으며, NH₃ 가스 유량은 100 sccm이었고; 압력은 100 Pa이었으며; 성막 전력은 1000 W이었고; 기판 온도는 350℃이었다.
- [0466] 이어서, 제2 열 처리로서, 질소 분위기에서 250℃로 1시간 동안 열 처리를 행했다.
- [0467] 이상의 공정에 의해, 시료 13을 형성했다.
- [0468] 이어서, 시료 14의 형성 방법에 대해서 설명한다.
- [0469] 시료 14에서는, 시료 14의 산화물 반도체 막 대신에 다층막을 형성했다. 다층막으로서, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 스퍼터링법에 의해 두께 10 nm의 제1 IGZO막을, 다음의 조건하에서, 성막했다: Ar 가스 유량은 180 sccm이었고, O₂ 가스 유량은 20 sccm이었으며(O₂ 가스의 비율은 10%); 압력은 0.6 Pa이었고; 성막 전력은 5000 W이며; 기판 온도는 25℃이었다. 그 다음, 원자수비가 1:1:1인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 스퍼터링법에 의해 두께 10 nm의 제2 IGZO막을, 다음의 조건하에서, 성막했다: Ar 가스 유량은 100 sccm이었고, O₂ 가스 유량은 100 sccm이었으며(O₂ 가스의 비율은 50%); 압력은 0.6 Pa이었고; 성막 전력은 5000 W이며; 기판 온도는 170℃이었다. 그 다음, 원자수비가 1:3:2인 In, Ga 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 스퍼터링법에 의해 두께 10 nm의 제3 IGZO막을, 다음의 조건하에서, 성막했다: Ar 가스 유량은 180 sccm이었고, O₂ 가스 유량은 20 sccm이었으며(O₂ 가스의 비율은 10%); 압력은 0.6 Pa이었고; 성막 전력은 5000 W이며; 기판 온도는 25℃이었다.
- [0470] 기타의 단계는, 시료 13과 유사하다. 이상의 공정에 의해, 시료 14를 형성했다.
- [0471] 이어서, 시료 15의 형성 방법에 대해서 설명한다.
- [0472] 시료 15에서는, 시료 13의 산화물 반도체 막 대신에 다층막을 형성했다. 다층막으로서, 석영 기판 위에, 시료 14의 제1 IGZO막과 동일한 조건하에서, 두께 20 nm의 제1 IGZO막을 성막했다. 그 다음, 스퍼터링법에 의해, 시료 14의 제2 IGZO막과 동일한 조건하에서, 두께 15 nm의 제2 IGZO막을 성막했다. 그 다음, 시료 14의 제3 IGZO막과 동일한 조건하에서, 두께 10 nm의 제3 IGZO막을 성막했다.
- [0473] 기타의 단계는, 시료 13과 유사하다. 이상의 공정에 의해, 시료 15를 형성했다.
- [0474] 이어서, 시료 16의 형성 방법에 대해서 설명한다.
- [0475] 시료 16에서는, 시료 13과 동일한 조건하에서, 석영 기판 위에 두께 100 nm의 산화물 반도체 막을 형성했다.
- [0476] 이어서, 시료 13과 유사한 조건하에서, 제1 열 처리를 행했다.
- [0477] 이어서, 산화물 반도체 막 위에, 산화 절연막으로서, 두께 50 nm의 제1 산화질화 실리콘막 및 두께 200 nm의 제2 산화질화 실리콘막을 형성했다. 여기에서는, 플라즈마 CVD법에 의해 두께 50 nm의 제1 산화질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 30 sccm이었고, N₂O 가스 유량은 4000 sccm이었으며; 압력은 40 Pa이었고; 성막 전력은 150 W이었으며; 기판 온도는 220℃이었다. 그 후, 플라즈마 CVD법에 의해 두께 200 nm의 제2 산화질화 실리콘막을, 다음의 조건하에서, 성막했다: SiH₄ 가스 유량은 160 sccm이었고, N₂O 가스 유량은 4000 sccm이었으며; 압력은 200 Pa이었고; 성막 전력은 1500 W이었으며; 기판 온도는 220℃이었다. 제2 산화질화 실리콘막은, 화학양론적 조성에서의 산소보다도 높은 비율로 산소를 포함하는 막이라는 점에 유의해야

한다.

- [0478] 이어서, 시료 13과 동일 조건하에서, 산화 절연막 위에 두께 100 nm의 질화 실리콘막을 형성했다.
- [0479] 이어서, 시료 13과 유사한 조건하에서, 제2 열 처리를 행했다.
- [0480] 이상의 공정에 의해, 시료 16을 형성했다.
- [0481] 이어서, 시료 13 내지 시료 16에 대해서 ESR 측정을 행했다. 소정의 온도에서 행해진 ESR 측정에 있어서, 마이크로파가 흡수되는 자장의 값(H_0)이, 식 $g=h\nu/\beta H_0$ 에 사용되어, g -팩터의 파라미터가 얻어질 수 있다. 마이크로파의 주파수를 ν 로 표시하고, 플랑크 상수 및 보어 마그네톤을, 둘 다 상수인 h 및 β 로 각각 표시한다는 점에 유의해야 한다.
- [0482] 여기에서는, 다음의 조건에서 ESR 측정을 행했다. 측정 온도를 실온(25℃)으로 하고, 8.92 GHz의 고주파 전력(마이크로파 파워)을 20 mW로 하며, 자장의 방향은 각 시료의 표면에 평행으로 했다.
- [0483] 도 29a는 시료 13의 산화물 반도체 막의 ESR 측정에 의해 얻어진 1차 미분 곡선을 나타내고; 도 29b 및 도 29c는 시료 14 및 15의 다층막의 ESR 측정에 의해 얻어진 1차 미분 곡선을 나타낸다. 도 29a는, 시료 13의 측정 결과를 나타내고, 도 29b는, 시료 14의 측정 결과를 나타내며, 도 29c는, 시료 15의 측정 결과를 나타낸다.
- [0484] 도 30은, 시료 16의 산화물 반도체 막의 ESR 측정에 의해 얻어진 1차 미분 곡선을 나타낸다.
- [0485] 도 29a 내지 도 29c에 있어서, 시료 13은, 산화물 반도체 막에 있어서 1.93의 g -팩터를 갖는 결합에 기인하는 신호 대칭성을 갖는다. 시료 14 및 15 각각은, 다층막에 있어서 1.95의 g -팩터를 갖는 결합에 기인하는 신호 대칭성을 갖는다. 시료 13에 있어서, 1.93의 g -팩터에 대응하는 스핀 밀도는, 2.5×10^{19} spins/cm³이었고, 시료 14에 있어서, 1.93 및 1.95의 g -팩터에 대응하는 스핀 밀도 총합은, 1.6×10^{19} spins/cm³이었으며, 시료 15에 있어서, 1.93 및 1.95의 g -팩터에 대응하는 스핀 밀도 총합은, 2.3×10^{19} spins/cm³이었다. 즉, 산화물 반도체 막 및 다층막이, 결합을 포함한다는 것을 알게 되었다. 산화물 반도체 막 및 다층막 내의 결합의 일례로서는 산소 결손이 있다는 점에 유의해야 한다.
- [0486] 도 30에 있어서, 시료 16의 산화물 반도체 막의 두께가, 시료 13보다 두꺼움에도 불구하고, 결합에 기인하는 신호 대칭성이 검출되지 않고, 즉, 결합의 수는 검출 하한 이하(여기에서는, 검출 하한은 3.7×10^{16} spins/cm³)이었다. 따라서, 산화물 반도체 막 내의 결합의 수는 검출 가능하지 않다는 것을 알 수 있다.
- [0487] 질화 절연막, 여기에서는 플라즈마 CVD에 의해 형성된 질화 실리콘막이, 산화물 반도체 막 또는 다층막에 접하면, 결합, 대표적으로는 산소 결손이 산화물 반도체 막 또는 다층막 내에 생성되는 것을 알 수 있다. 한편, 산화 절연막, 여기에서는, 산화질화 실리콘막을 산화물 반도체 막에 제공하면, 산화질화 실리콘막에 포함되는 과잉 산소, 즉 화학양론적 조성에서의 산소보다도 더 높은 비율로 포함된 산소가 산화물 반도체 막에 확산되고, 따라서 산화물 반도체 막 내의 결합의 수가 증가하지 않는다.
- [0488] 상술한 바와 같이, 시료 13 내지 시료 15에 도시한 바와 같이, 질화 절연막에 접하는 산화물 반도체 막 또는 다층막은, 결합, 대표적으로는 산소 결손이 많고, 도전성이 높으므로, 용량 소자의 전극으로서 사용할 수 있다. 한편, 시료 16에 도시한 바와 같이, 산화 절연막에 접하는 산화물 반도체 막 또는 다층막은, 산소 결손이 적고, 도전성이 낮으므로, 트랜지스터의 채널 형성 영역으로서 사용할 수 있다.
- [0489] 여기서, 질화 절연막과 접하는 산화물 반도체 막 및 다층막의 저항률에서의 감소 원인에 대해서, 이하에 설명한다.
- [0490] <수소(H)의 존재 모드 간의 에너지와 안정성>
- [0491] 먼저, 산화물 반도체 막에 존재하는 H의 모드에서의 에너지와 안정성에 대해서, 계산된 결과로 설명한다. 여기에서는, 산화물 반도체 막으로서 InGaZnO₄를 사용했다.
- [0492] 계산에 사용한 구조는, InGaZnO₄의 육방정 단위 격자의 수를 a축 및 b축 방향으로 2배씩으로 한 84-원자 벌크 모델을 기초로 한다.
- [0493] 벌크 모델로서는, 3개의 In 원자 및 1개의 Zn 원자에 결합한 1개의 O 원자를 H 원자로 치환한 모델을 준비했다(도 33a 참조). 도 33b는, 도 33a에서의 InO층의 a-b면을 c-축 방향으로부터 본 도면을 나타낸다. 3개의 In

원자 및 1개의 Zn 원자에 결합한 1개의 O 원자를 제거한 영역을, 산소 결손 Vo으로서 나타내는데, 도 33a 및 도 33b에 있어서 파선으로 나타낸다. 또한, 산소 결손 Vo 내의 H 원자를 VoH로 표기한다.

[0494] 벌크 모델에 있어서, 3개의 In 원자 및 1개의 Zn 원자에 결합한 1개의 O 원자를 제거함으로써, 산소 결손 Vo를 형성한다. 해당 산소 결손 Vo의 근방에서, a-b면에 대하여 1개의 Ga 원자 및 2개의 Zn 원자가 결합한 1개의 O 원자에 H 원자가 결합한 모델을 준비했다(도 33c 참조). 도 33d는, 도 33c에 있어서의 InO층의 a-b면을 c-축 방향으로부터 본 도면을 나타낸다. 도 33c 및 도 33d에 있어서, 산소 결손 Vo를 파선으로 나타낸다. 산소 결손 Vo가 형성되고, 산소 결손 Vo의 근방에서, a-b면에 대하여 1개의 Ga 원자 및 2개의 Zn 원자가 결합한 1개의 O 원자에 H 원자가 결합되는 모델을 Vo+H로 표기한다.

[0495] 상기 2개의 모델에 대하여, 격자 상수를 고정해서 최적화 계산을 행하여, 전체 에너지를 산출했다. 전체 에너지의 값이 작을수록, 그 구조는 보다 안정적으로 된다는 점에 유의해야 한다.

[0496] 계산에 있어서, 제1 원리 계산 소프트웨어 VASP(The Vienna Ab initio Simulation Package)를 사용했다. 계산 조건을 표 1에 나타낸다.

표 1

[0497]	소프트웨어	VASP
	유사 포텐셜	PAW
	범함수	CGA/PBE
	컷-오프 에너지	500 eV
	k-포인트	4×4×1

[0498] 전자 상태의 유사 포텐셜로서는, 프로젝터 증강 웨이브(PAW: Projector Augmented Wave)법에 의해 생성된 포텐셜을 사용했고, 범함수로서는, GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)를 사용했다.

[0499] 또한, 계산에 의해 산출된 2개의 모델의 전체 에너지를 표 2에 나타낸다.

표 2

[0500]	모델	전체 에너지
	VoH	-456.084 eV
	Vo+H	-455.304 eV

[0501] 표 2에 따르면, VoH의 전체 에너지는 Vo+H보다 0.78 eV만큼 작다. 따라서, VoH는 Vo+H보다 더 안정적이다. 따라서, 산소 결손(Vo)에 H 원자가 가까워지면, H 원자는 O 원자와 결합하는 것보다도, 산소 결손(Vo) 내에 쉽게 도입될 수 있다.

[0502] <VoH의 열역학적 상태>

[0503] 이어서, 산소 결손(Vo) 내에 포획된 H 원자에 의해 생성되는 VoH의 형성 에너지와 하전 상태에 대해서, 계산된 결과로 설명한다. VoH의 형성 에너지는 하전 상태에 따라 상이하게 되고, 페르미 에너지에도 의존한다. 따라서, VoH의 안정한 하전 상태는, 페르미 에너지에 따라 상이하게 된다. 여기에서, (VoH)⁺는 1개의 전자가 VoH에 의해 방출된 상태를 나타내고, (VoH)⁻는 1개의 전자가 VoH에 의해 포획된 상태를 나타내고, (VoH)⁰는 전자가 이동하지 않은 상태를 나타낸다. (VoH)⁺, (VoH)⁻, 및 (VoH)⁰의 형성 에너지를 계산했다.

[0504] 계산에 있어서, 제1 원리 계산 소프트웨어 VASP를 사용했다. 계산 조건을 표 3에 나타낸다.

표 3

[0505]	소프트웨어	VASP
	유사 포텐셜	PAW
	범함수	HSE06
	컷-오프 에너지	800 eV
	k-포인트 샘플링의 수	2×2×1(opt.)

	4×4×1(single)
스핀 분극	셋업
차폐 파라미터	0.2
교환 항 혼합비	0.25
원자 수	84

- [0506] 전자 상태의 유사 포텐셜로서는, 프로젝터 증강 웨이브(PAW)법에 의해 생성된 포텐셜을 사용했고, 범함수로서는, Heyd-Scuseria-Ernzerhof(HSE) DFT 하이브리드 팩터(HSE06)를 사용했다.
- [0507] 산소 결합의 형성 에너지는 다음과 같이 산출된다: 산소 결합 농도의 회박 극한을 가정하였고, 전자 및 정공의 전도대 및 가전자대에의 과잉 확대를 보정했다. 또한, 결합 구조로 인한 가전자대의 어긋남은, 완전 결정의 가전자대 상단부를 에너지 원점으로 한 상태에서, 평균 정전 포텐셜을 사용해서 보정했다.
- [0508] 도 34a는, $(\text{VoH})^+$, $(\text{VoH})^-$, 및 $(\text{VoH})^0$ 의 형성 에너지를 나타낸다. 황축은 페르미 레벨을 나타내며, 종축은 형성 에너지를 나타낸다. 실선은 $(\text{VoH})^+$ 의 형성 에너지를 나타내고, 일점 쇄선은 $(\text{VoH})^0$ 의 형성 에너지를 나타내고, 파선은 $(\text{VoH})^-$ 의 형성 에너지를 나타낸다. 또한, VoH의 전하가, +로부터 0을 거쳐서 -로 변하는 천이 레벨은 ε (+/-)로 나타낸다.
- [0509] 도 34b는 VoH의 열역학적 천이 레벨을 나타낸다. 계산 결과로부터, InGaZnO_4 의 에너지 갭은 2.739 eV이었다. 또한, 가전자대의 에너지를 0 eV로 하면, 천이 레벨(ε (+/-))은 2.62 eV이며, 이는 전도대의 바로 아래에 존재한다. 이는, 산소 결손 Vo 내에 H 원자가 포획됨으로써, InGaZnO_4 이 n형임을 나타낸다.
- [0510] 산화물 반도체 막이 플라즈마에 노출되면, 산화물 반도체 막은 손상을 받고, 결합, 대표적으로는 산소 결손이 산화물 반도체 막 내에 생성된다. 또한, 산화물 반도체 막에 질화 절연막이 접하면, 질화 절연막에 포함되는 수소는 산화물 반도체 막으로 이동한다. 그 결과, 산화물 반도체 막 내의 산소 결손에 수소가 유입됨으로써 산화물 반도체 막 내에 VoH가 형성되어, 산화물 반도체 막이 n형이 되고, 그 저항률이 저하된다. 상술한 바와 같이, 질화 절연막에 접하는 산화물 반도체 막을 용량 소자의 전극으로서 사용할 수 있다.
- [0511] [실시에 5]
- [0512] 본 실시예에서는, 질화 절연막에 접하는 산화물 반도체 막의 광 투과율에 대해서, 도 37a 내지 도 37c를 참조해서 설명한다.
- [0513] 시료의 구조에 대해서, 설명한다.
- [0514] 시료 17은, 유리 기판 위에 두께 35 nm의 산화물 반도체 막이 형성되고, 산화물 반도체 막 위에 두께 100 nm의 질화 실리콘막이 형성되는 방식으로 형성했다.
- [0515] 시료 18은, 유리 기판 위에 두께 35 nm의 산화물 반도체 막이 형성되고, 산화물 반도체 막 위에 두께 100 nm의 질화 실리콘막이 형성되고, 질화 실리콘막 위에 두께 100 nm의 산화인듐-산화주석 화합물(ITO-SiO₂)막이 형성되는 방식으로 형성했다.
- [0516] 시료 17 및 시료 18 각각에 있어서, 산화물 반도체 막으로서, 금속 원소의 원자수비가 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물(IGZO(111)로 나타냄)을 타겟으로 한 스퍼터링법에 의해, In-Ga-Zn 산화물 막을 형성했다는 점에 유의해야 한다.
- [0517] 시료 17 및 시료 18 각각에 있어서, 질화 실리콘막은, 실란, 암모니아 및 질소를 사용한 플라즈마 CVD법에 의해 형성했다.
- [0518] 시료 18에 있어서, 산화인듐-산화주석 화합물(ITO-SiO₂)막은 스퍼터링법에 의해 형성했다.
- [0519] 시료 19는, 유리 기판 위에 두께 100 nm의 산화인듐-산화주석 화합물(ITO-SiO₂)막이 형성되는 방식으로 형성했다. 산화인듐-산화주석 화합물(ITO-SiO₂)막은 스퍼터링법에 의해 형성했다.
- [0520] 이어서, 시료 17 내지 시료 19 각각에 있어서, 가시광의 투과율을 측정했다. 측정된 투과율을 도 37a 내지 도 37c에 나타낸다. 도 37a는 시료 17의 측정 결과를 나타내고, 도 37b는 시료 18의 측정 결과를 나타내며, 도

37c는 시료 19의 측정 결과를 나타낸다.

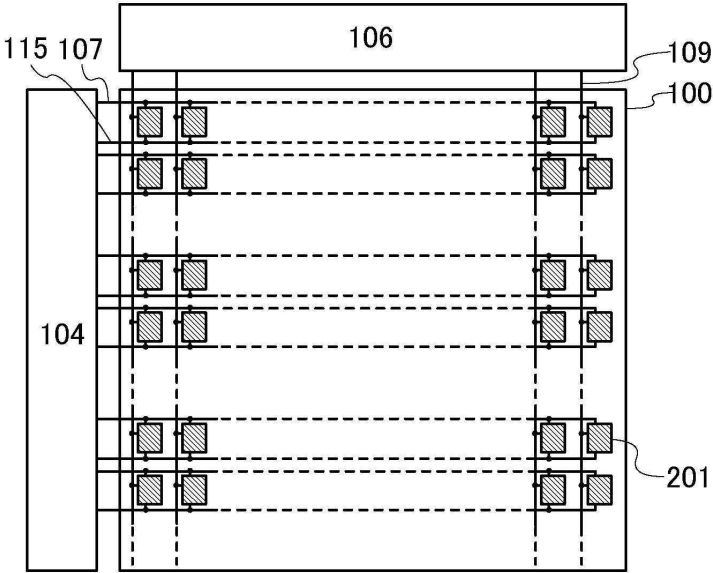
- [0521] 도 37a는, 시료 17이, 파장이 340 nm 이상 800 nm 이하에 있어서의 투과율이 60% 이상이고, 파장이 380 nm 이상 800 nm 이하에 있어서의 투과율이 70% 이상이며, 파장이 430 nm 이상 800 nm 이하에 있어서의 투과율이 80% 이상임을 나타낸다.
- [0522] 도 37b는, 시료 18이, 파장이 380 nm 이상 800 nm 이하에 있어서의 투과율이 60% 이상이고, 파장이 430 nm 이상 800 nm 이하에 있어서의 투과율이 70% 이상임을 나타낸다.
- [0523] 도 37a에 도시한 바와 같이, 질화 실리콘막과 접하는 산화물 반도체 막은, 도 37c에 나타내는 ITO-SiO₂막과 동등하거나 그 이상의 투과율을 가진다. 또한, 도 37b에 도시한 바와 같이, 산화물 반도체 막, 질화 실리콘막 및 ITO-SiO₂막이 적층된 구조 또한, 도 37c에 나타내는 ITO-SiO₂막과 동등한 투과율을 가진다. 상기 사실은, 산화물 반도체 막, 질화 실리콘막 및 ITO-SiO₂막이 적층된 용량 소자가 투광성을 갖는 것을 시사한다. 질화 실리콘막 대신에 투광성 질화 절연막이 형성되고, ITO-SiO₂막 대신에 투광성 도전막이 형성되더라도, 투광성 용량 소자를 제조할 수 있다는 점에 유의해야 한다.
- [0524] 본 출원은, 2012년 9월 13일 일본 특허청에 출원된 일본 특허 출원 일련 번호 2012-202125호 및 2013년 3월 15일 일본 특허청에 출원된 일본 특허 출원 일련 번호 2013-053988호에 기초하며, 그 전체 내용은 본원에 참고로 인용된다.

부호의 설명

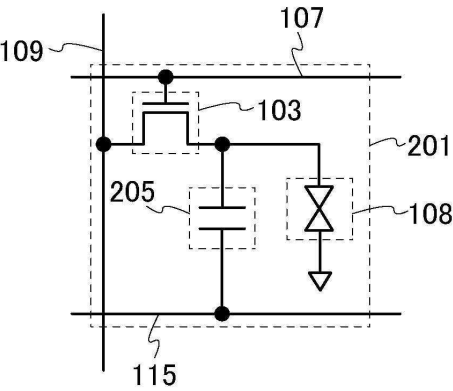
- [0525] 100: 화소부; 102: 기관; 103: 트랜지스터; 104: 주사선 구동 회로; 106: 신호선 구동 회로; 107: 주사선; 107a: 게이트 전극; 108: 액정 소자; 109: 신호선; 109a: 소스 전극; 111: 반도체 막; 113: 도전막; 113a: 드레인 전극; 115: 용량선; 117: 개구; 118: 반도체 막; 119: 도전막; 121: 화소 전극; 123: 개구; 125: 도전막; 126: 절연막; 127: 게이트 절연막; 128: 절연막; 129: 절연막; 130: 절연막; 131: 절연막; 132: 절연막; 133: 절연막; 141: 화소; 143: 개구; 145: 용량 소자; 150: 기관; 152: 차광막; 153: 차광막; 154: 공통 전극; 156: 절연막; 158: 절연막; 160: 액정층; 172: 화소; 174: 용량 소자; 176: 용량선; 178: 도전막; 196: 화소; 197: 용량 소자; 198: 도전막; 199: 도전막; 199a: 산화물 반도체 막; 199b: 산화물 반도체 막; 199c: 산화물 반도체 막; 201: 화소; 205: 용량 소자; 221: 화소 전극; 225: 절연막; 226: 절연막; 227: 게이트 절연막; 228: 절연막; 229: 절연막; 230: 절연막; 231: 절연막; 232: 절연막; 233: 절연막; 245: 용량 소자; 255: 용량 소자; 271: 화소 전극; 279: 절연막; 281: 절연막; 282: 절연막; 301: 화소; 305: 용량 소자; 319: 도전막; 401_1: 화소; 401_2: 화소; 403_1: 트랜지스터; 403_2: 트랜지스터; 405_1: 용량 소자; 405_2: 용량 소자; 407_1: 주사선; 407_2: 주사선; 409: 신호선; 411_1: 반도체 막; 411_2: 반도체 막; 413_1: 도전막; 413_2: 도전막; 415: 용량선; 417_1: 개구; 417_2: 개구; 419_1: 도전막; 419_2: 도전막; 421_1: 화소 전극; 421_2: 화소 전극; 423: 개구; 425: 도전막; 437: 주사선; 501: 화소; 505: 용량 소자; 519: 도전막; 521: 공통 전극; 901: 기관; 902: 화소부; 903: 신호선 구동 회로; 904: 주사선 구동 회로; 905: 시일재; 906: 기관; 908: 액정층; 910: 트랜지스터; 911: 트랜지스터; 913: 액정 소자; 915: 접속 단자 전극; 916: 단자 전극; 918: FPC; 918b: FPC; 919: 이방성 도전재; 922: 게이트 절연막; 923: 절연막; 924: 절연막; 925: 시일재; 926: 용량 소자; 927: 도전막; 928: 전극; 929: 용량선; 930: 전극; 931: 전극; 932: 절연막; 933: 절연막; 934: 절연막; 935: 스페이서; 940: 전극; 941: 전극; 943: 액정 소자; 945: 전극; 946: 공통 배선; 971: 소스 전극; 973: 드레인 전극; 975: 공통 전위선; 977: 공통 전극; 985: 공통 전위선; 987: 공통 전극; 901: 유리 기관; 1903: 절연막; 1904: 절연막; 1905: 산화물 반도체 막; 1906: 다층막; 1907: 도전막; 1909: 도전막; 1910: 절연막; 1911: 절연막; 1913: 개구부; 1915: 개구부; 1917: 개구부; 1919: 개구부; 1922: 절연막; 9000: 테이블; 9001: 하우스; 9002: 다리부; 9003: 표시부; 9004: 표시 버튼; 9005: 전원 코드; 9033: 고정구; 9034: 스위치; 9035: 전원 스위치; 9036: 스위치; 9038: 조작 스위치; 9100: 텔레비전 장치; 9101: 하우스; 9103: 표시부; 9105: 스탠드; 9107: 표시부; 9109: 조작 키; 9110: 리모콘 제어기; 9200: 컴퓨터; 9201: 본체; 9202: 하우스; 9203: 표시부; 9204: 키보드; 9205: 외부 접속 포트; 9206: 포인팅 장치; 9630: 하우스; 9631: 표시부; 9631a: 표시부; 9631b: 표시부; 9632a: 영역; 9632b: 영역; 9633: 태양 전지; 9634: 충방전 제어 회로; 9635: 배터리; 9636: DC-DC 컨버터; 9637: 컨버터; 9638: 조작 키; 9639: 버튼

도면

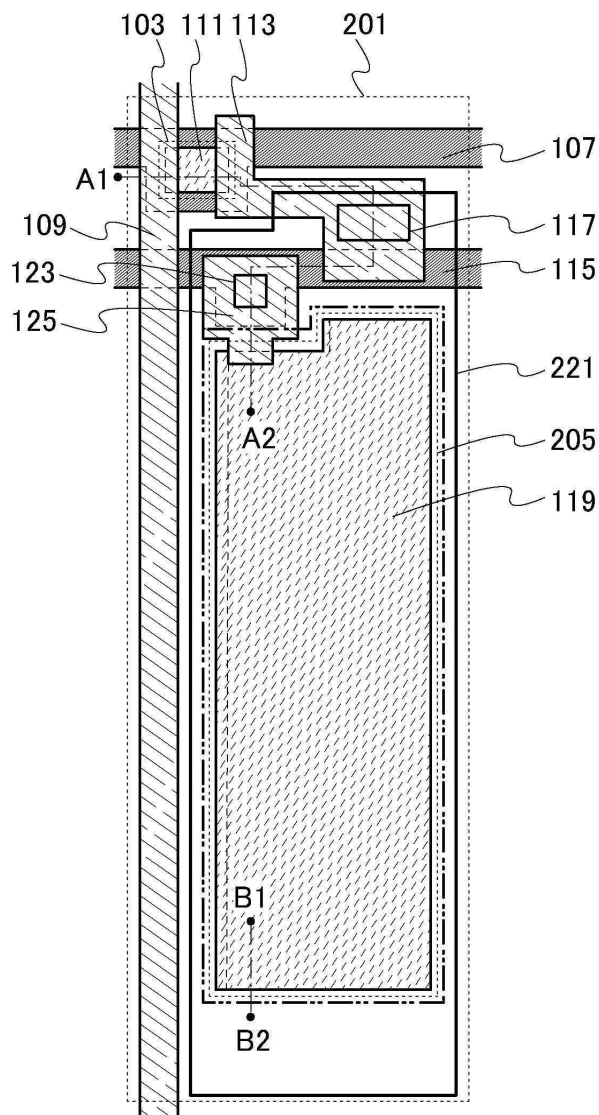
도면1a



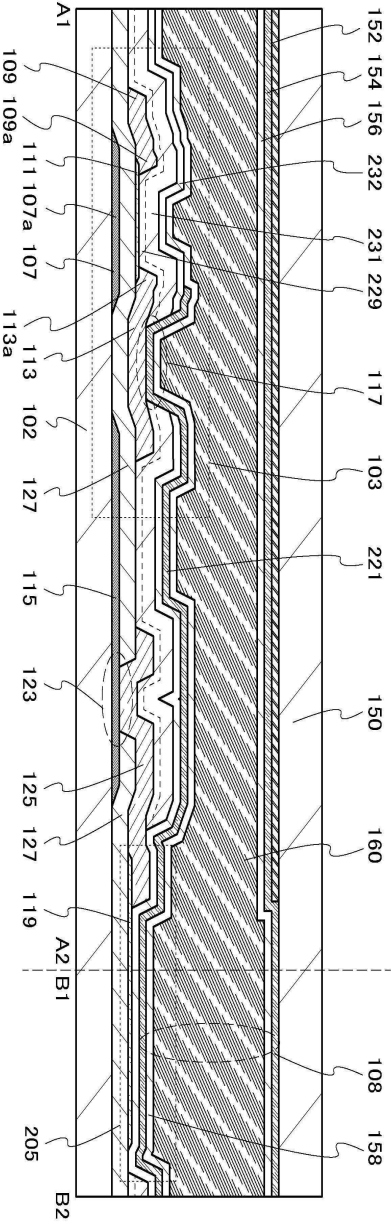
도면1b



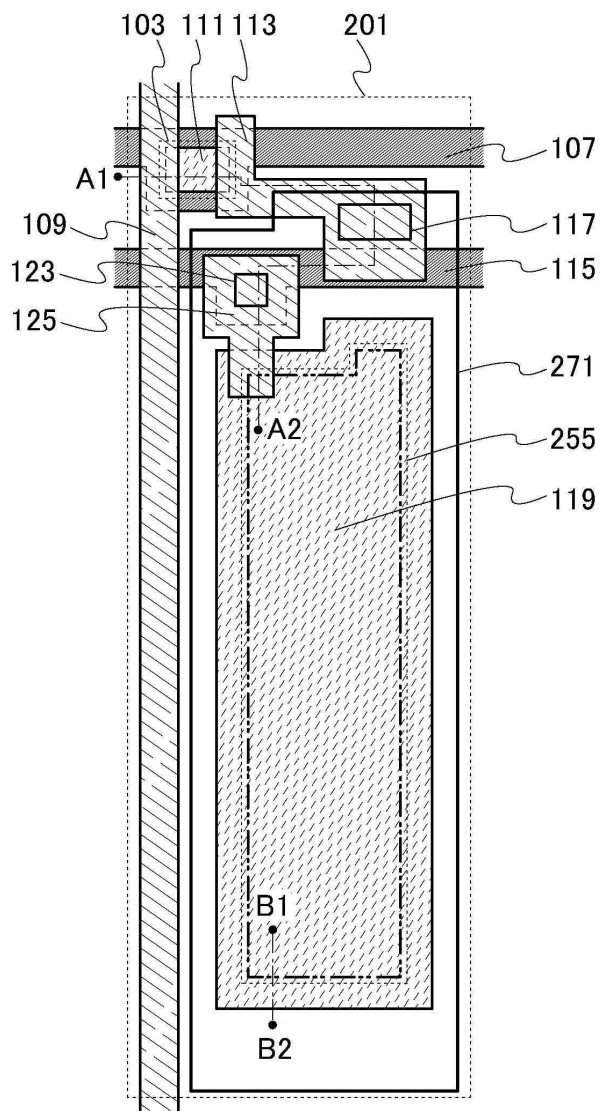
도면2



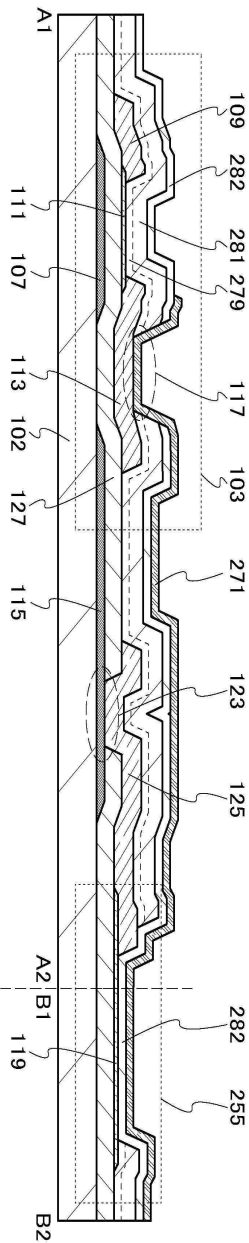
도면3



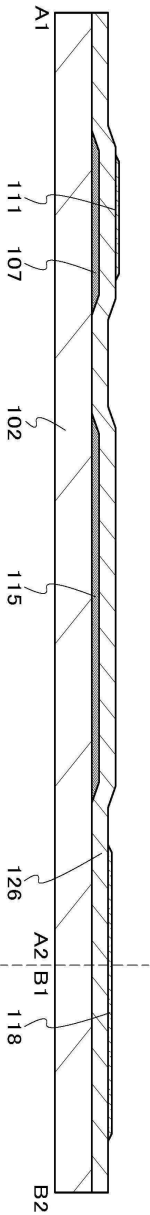
도면4



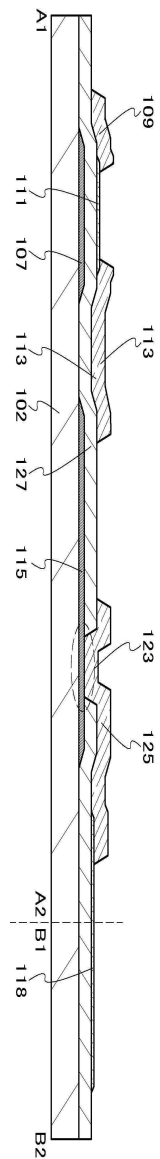
도면5



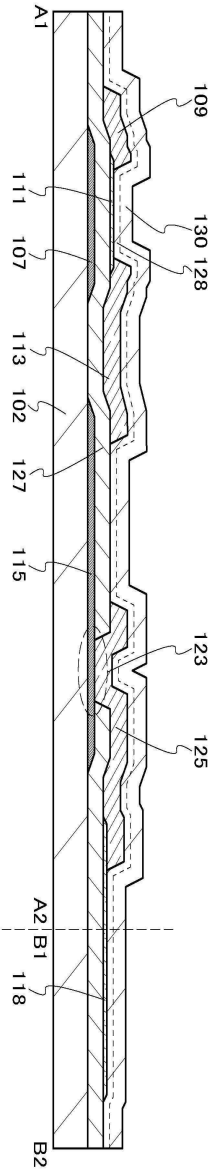
도면6a



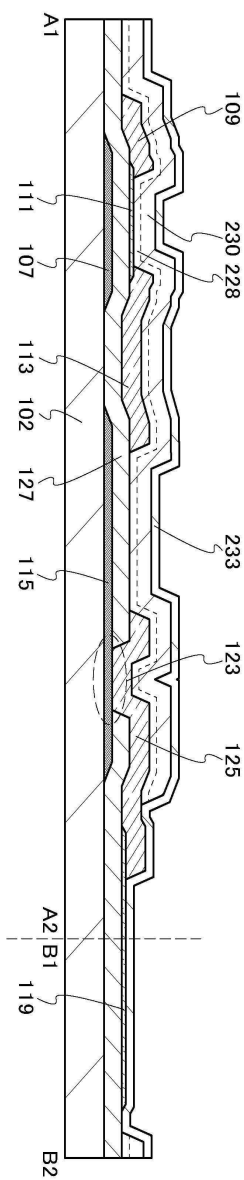
도면6b



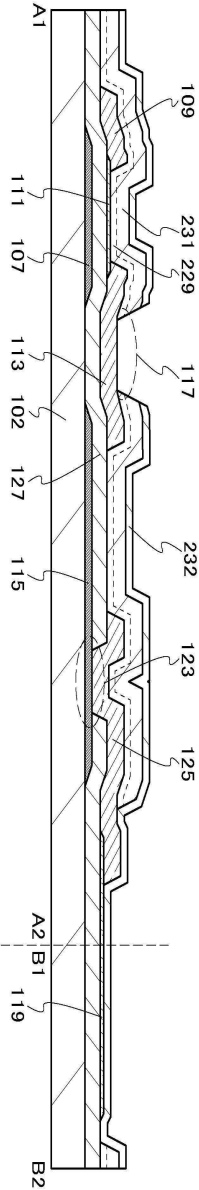
도면7a



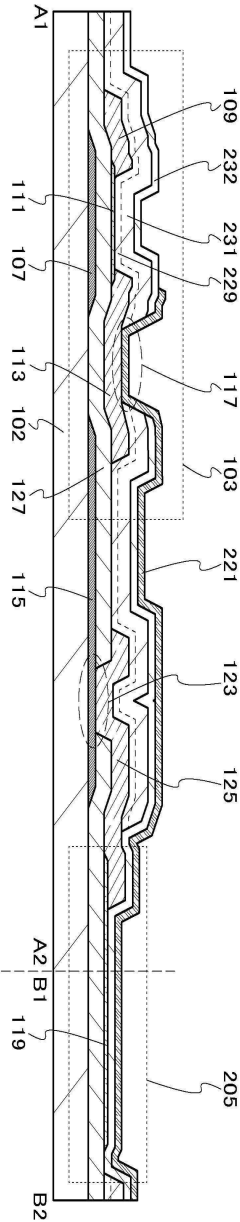
도면7b



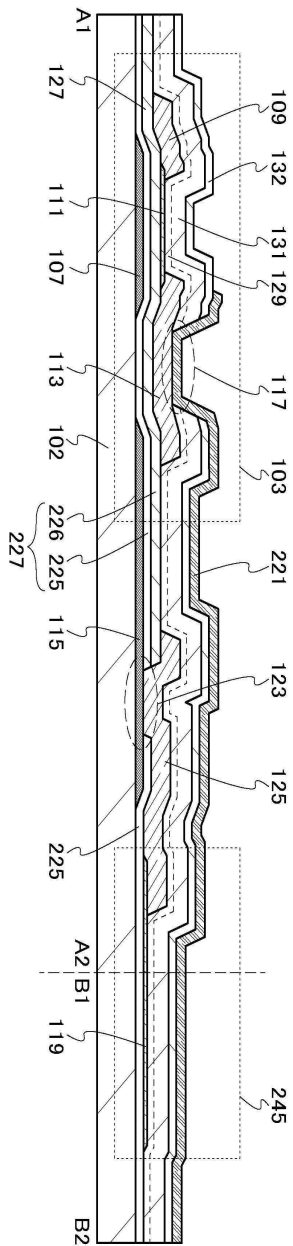
도면8a



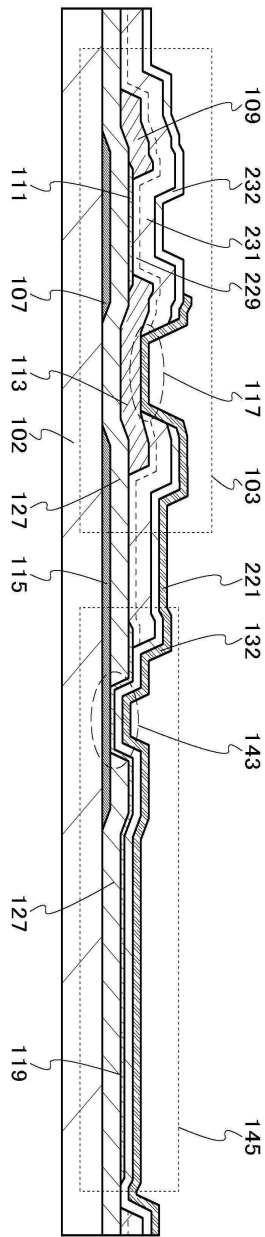
도면8b



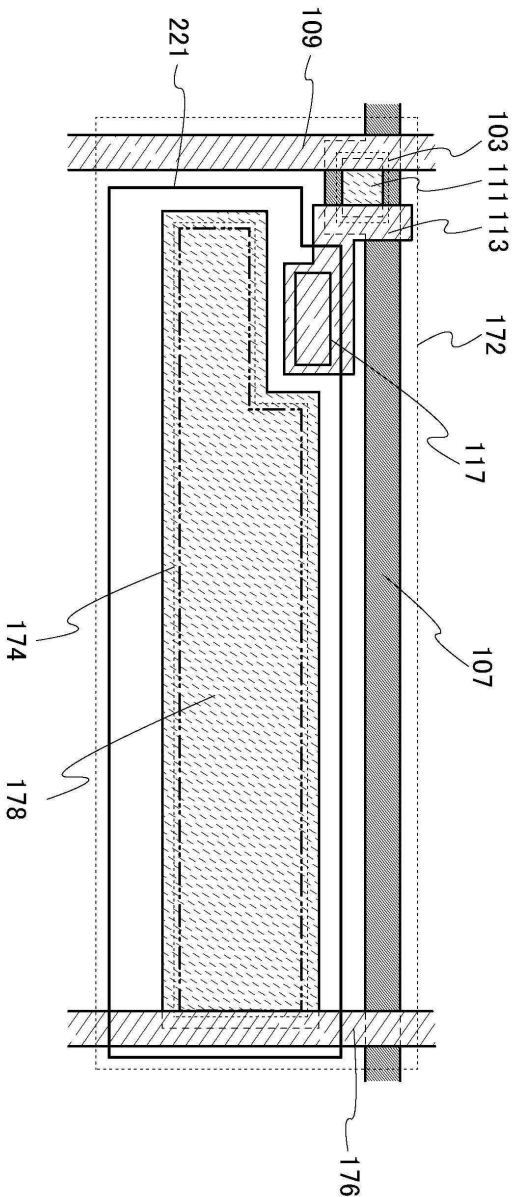
도면9



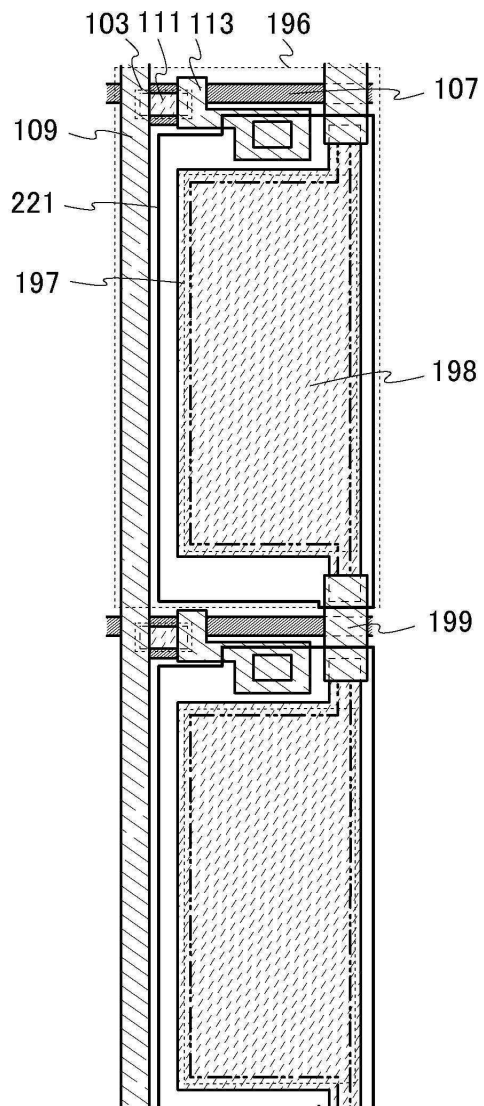
도면10



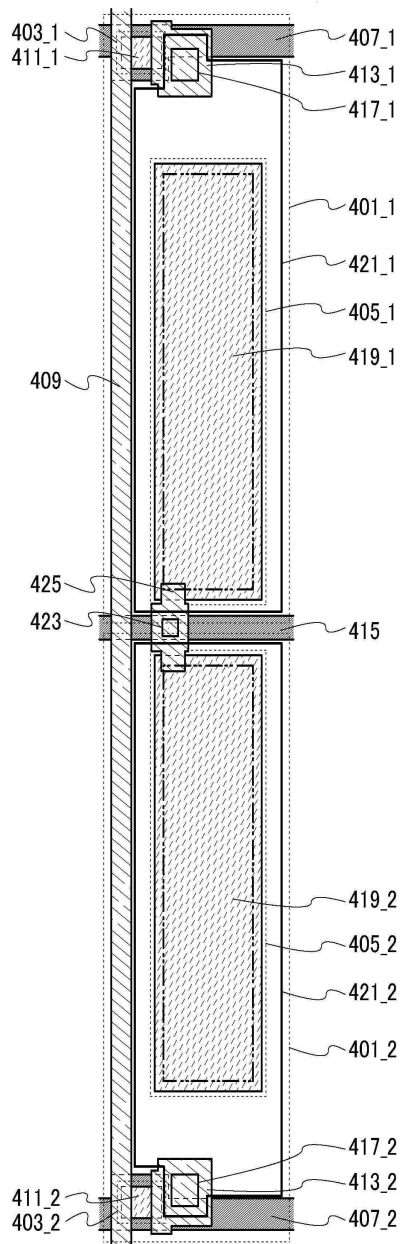
도면11



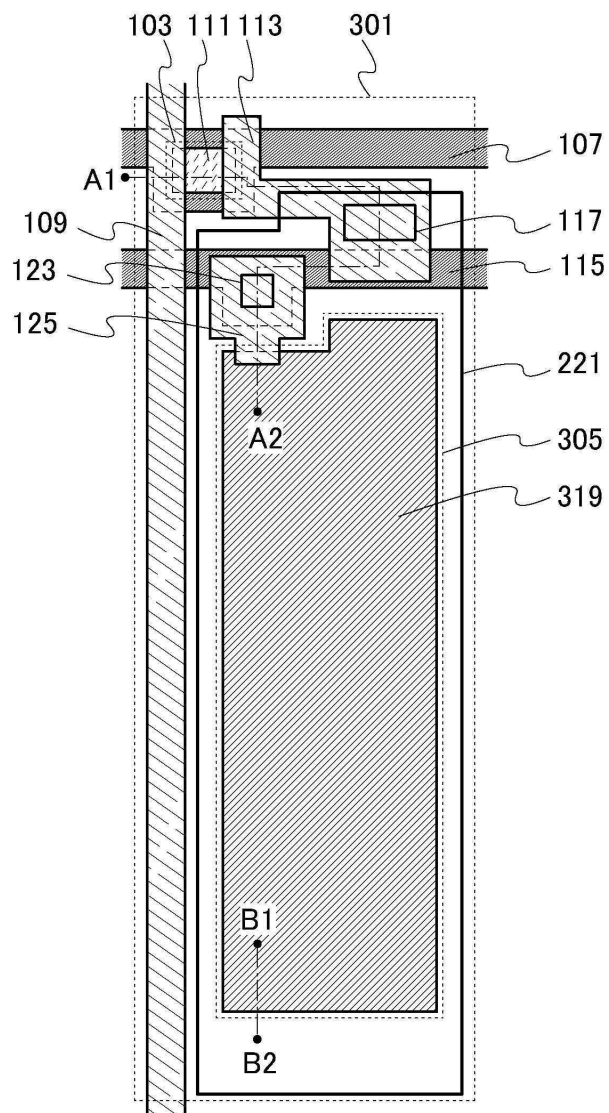
도면12



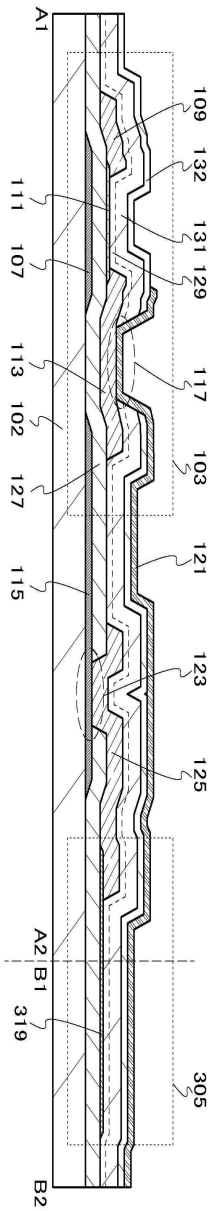
도면13



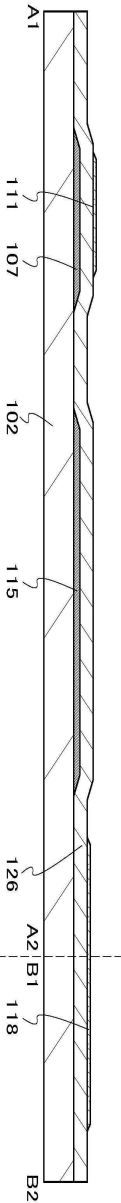
도면14



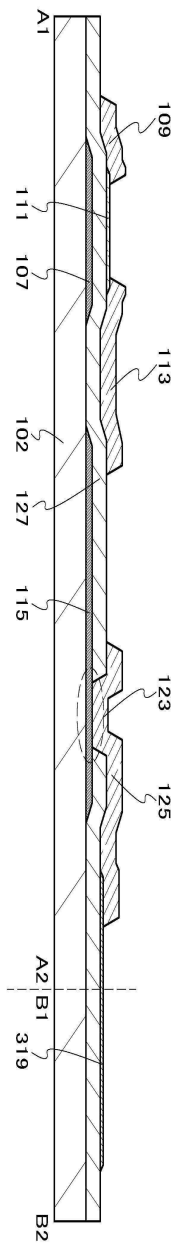
도면15



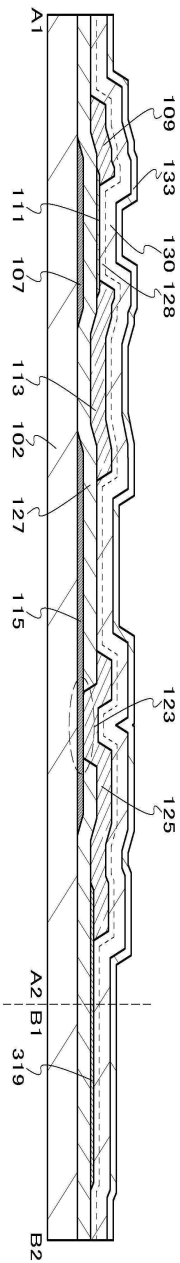
도면16a



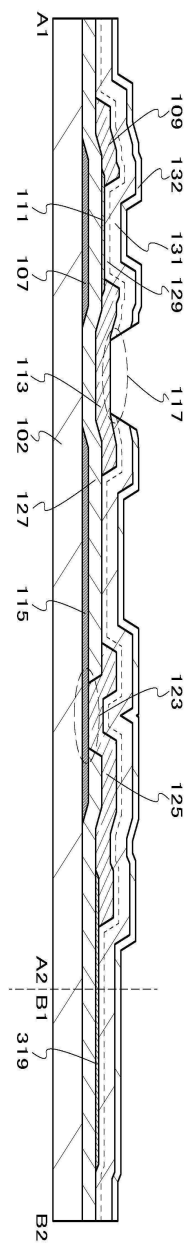
도면16b



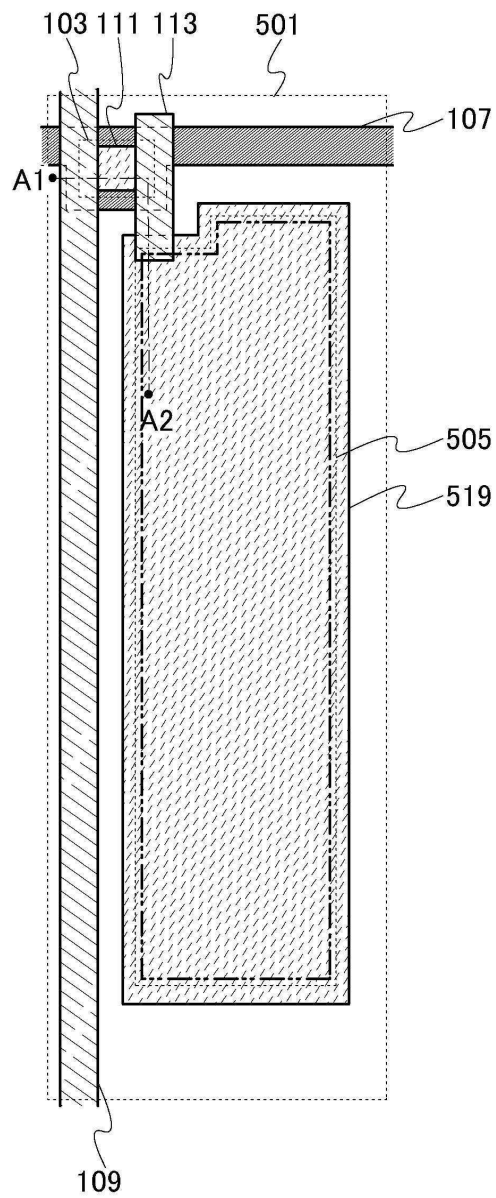
도면17a



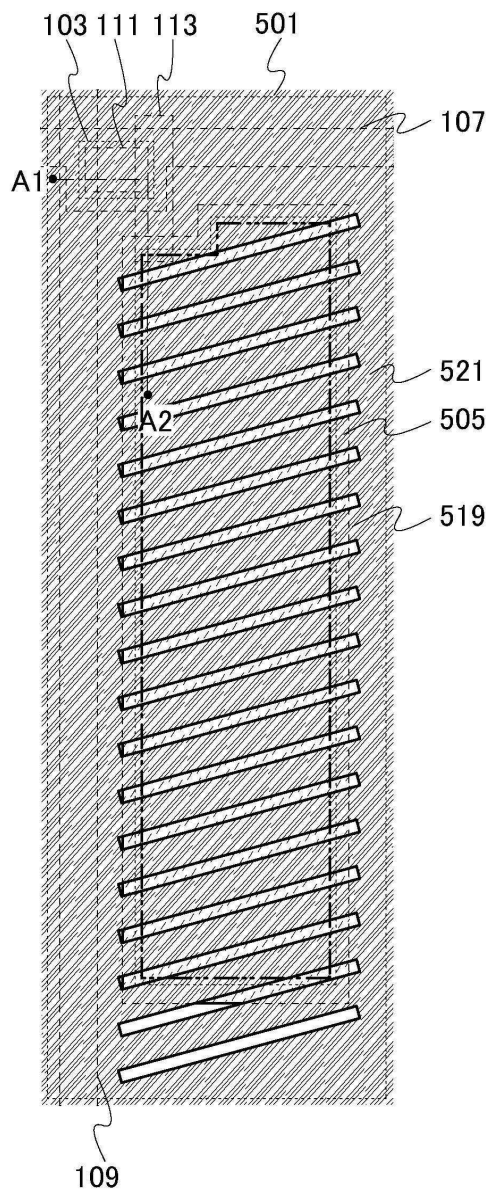
도면17b



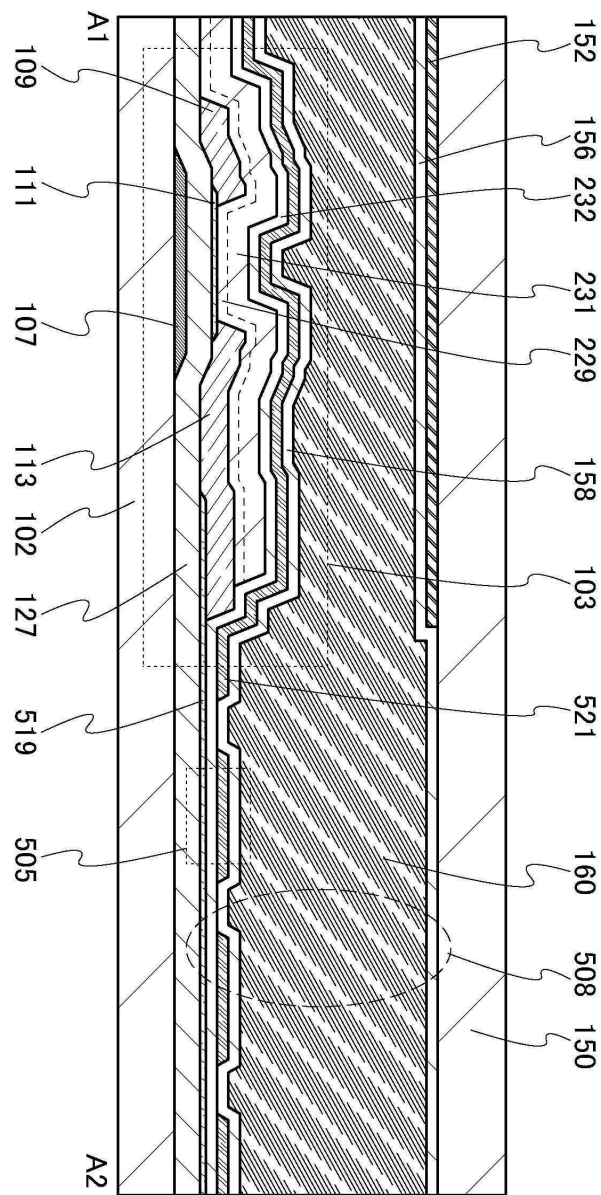
도면18a



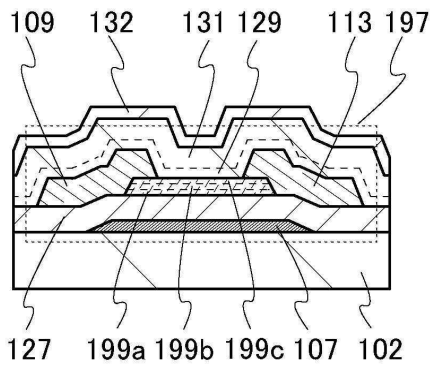
도면18b



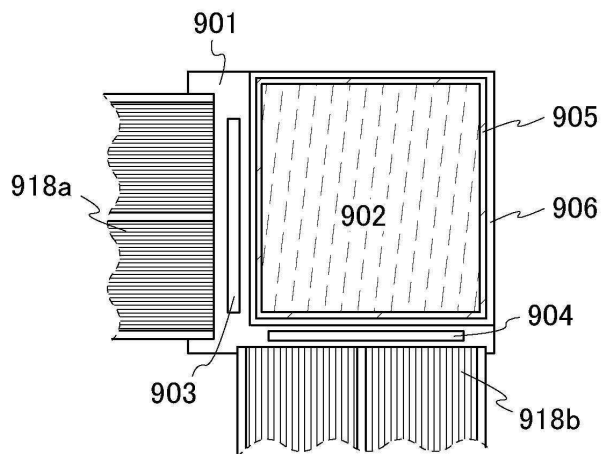
도면19



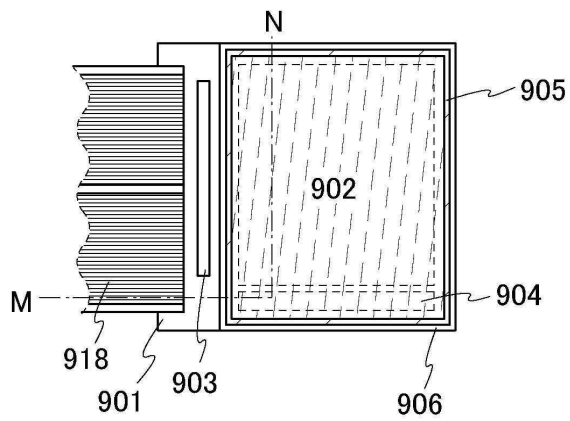
도면20



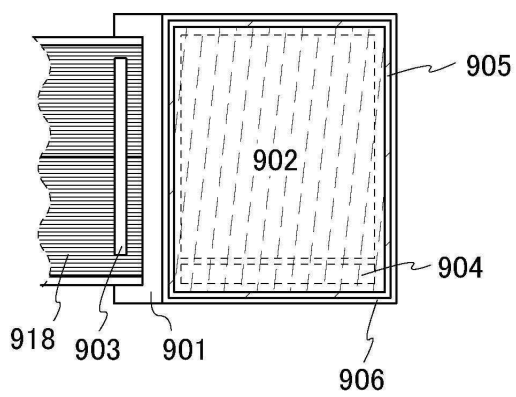
도면21a



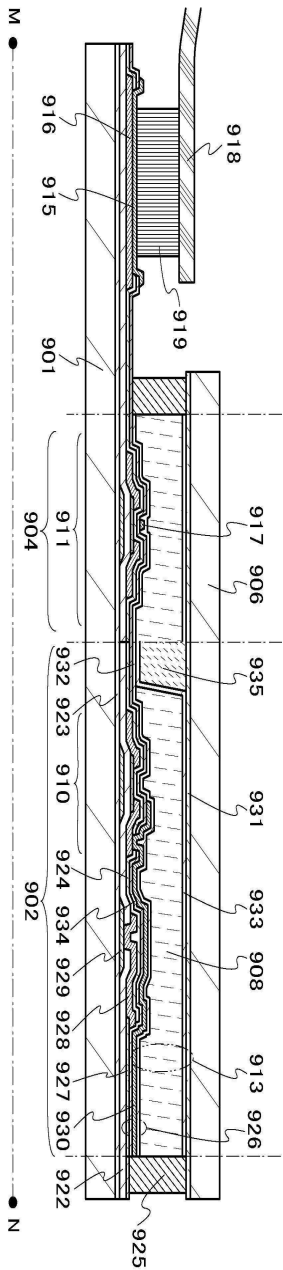
도면21b



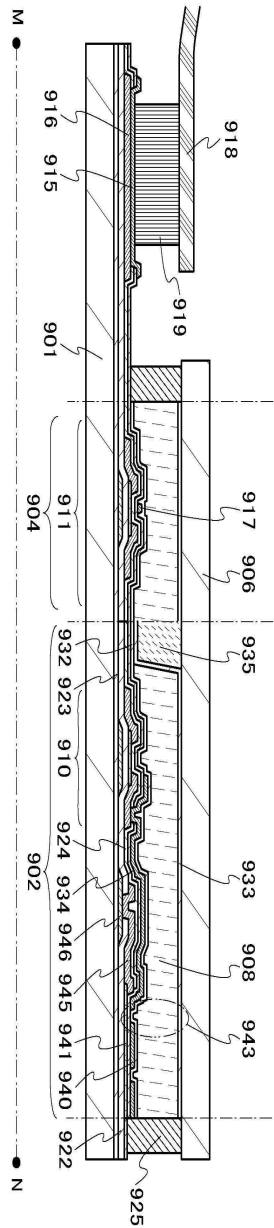
도면21c



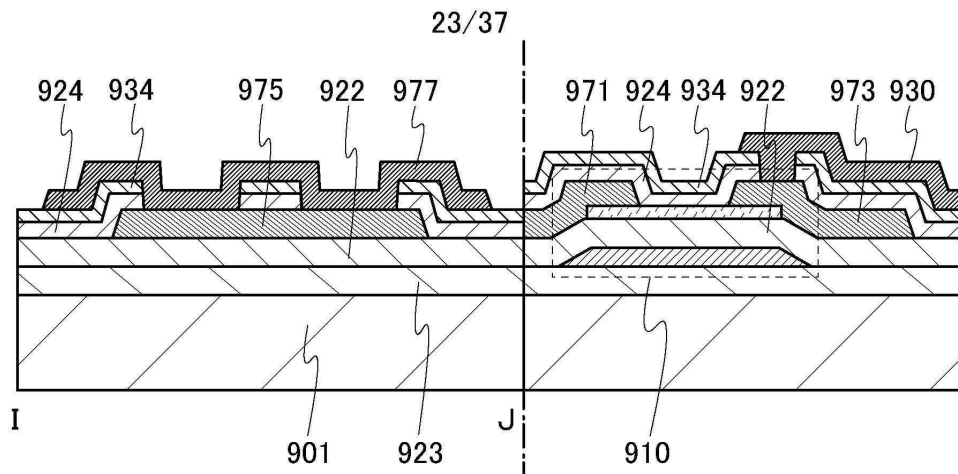
도면22a



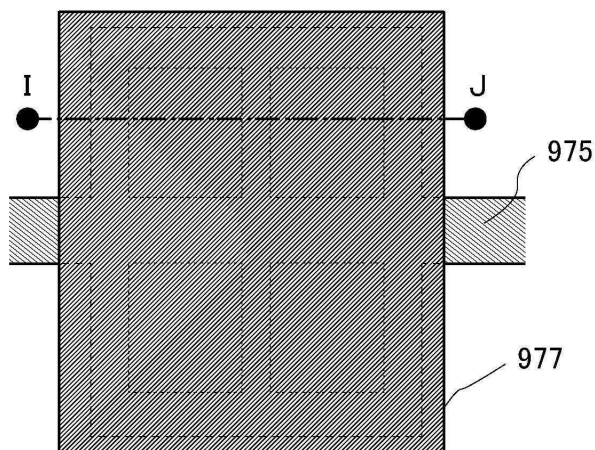
도면22b



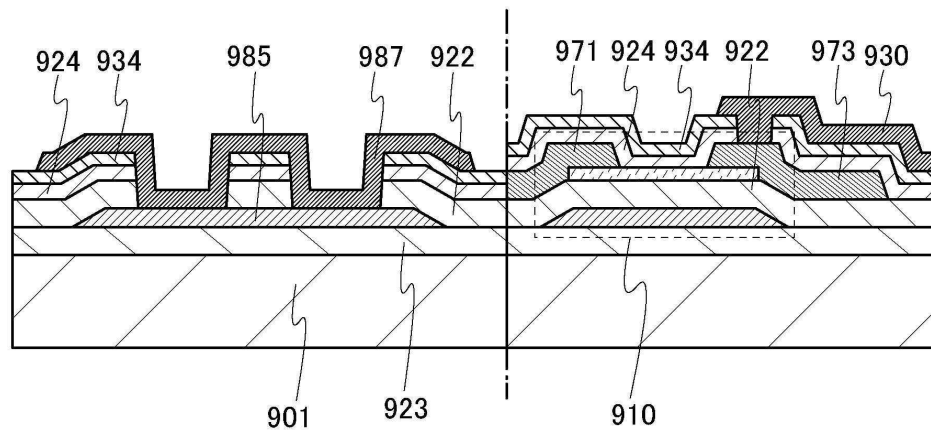
도면23a



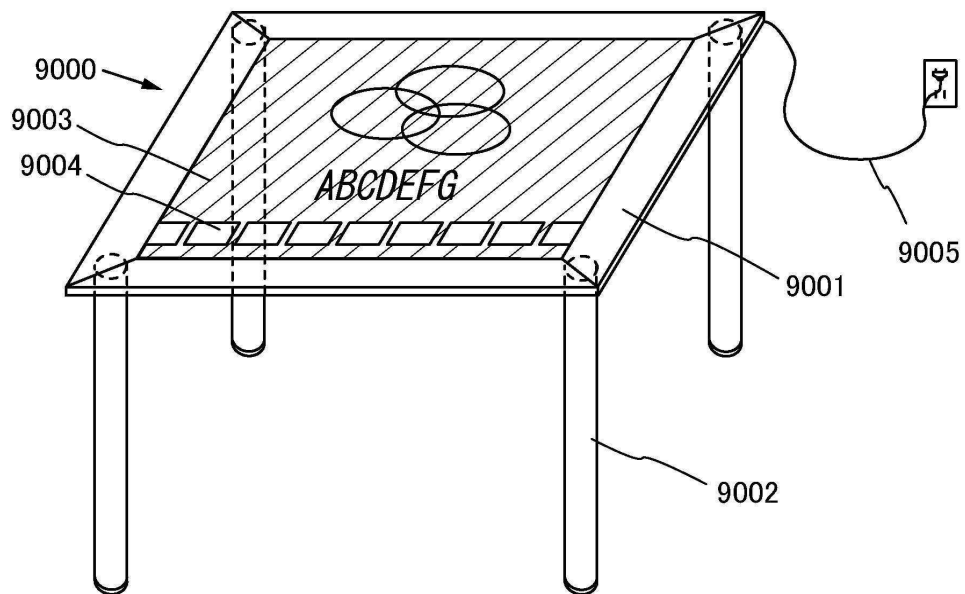
도면23b



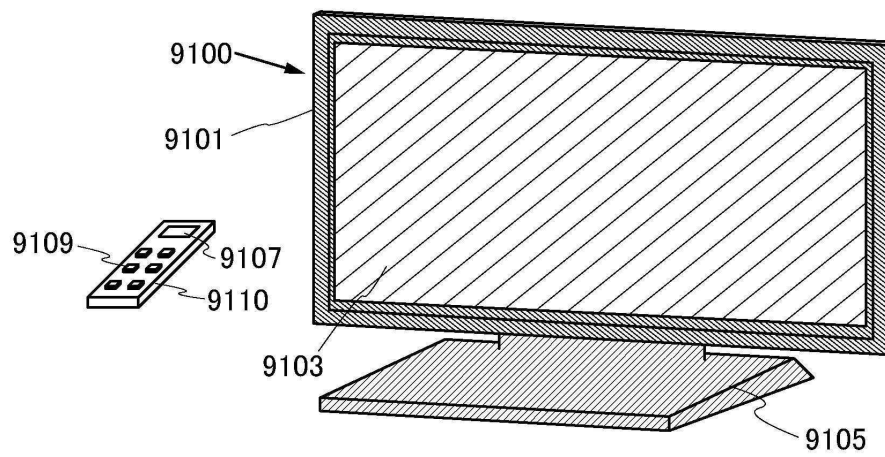
도면23c



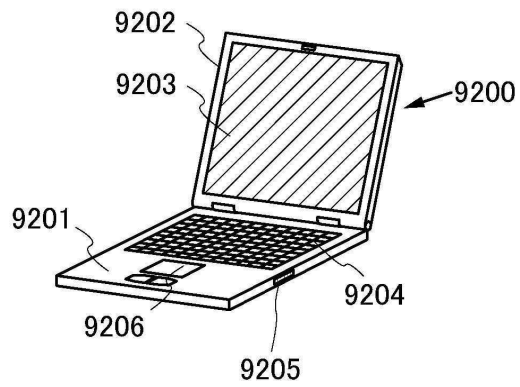
도면24a



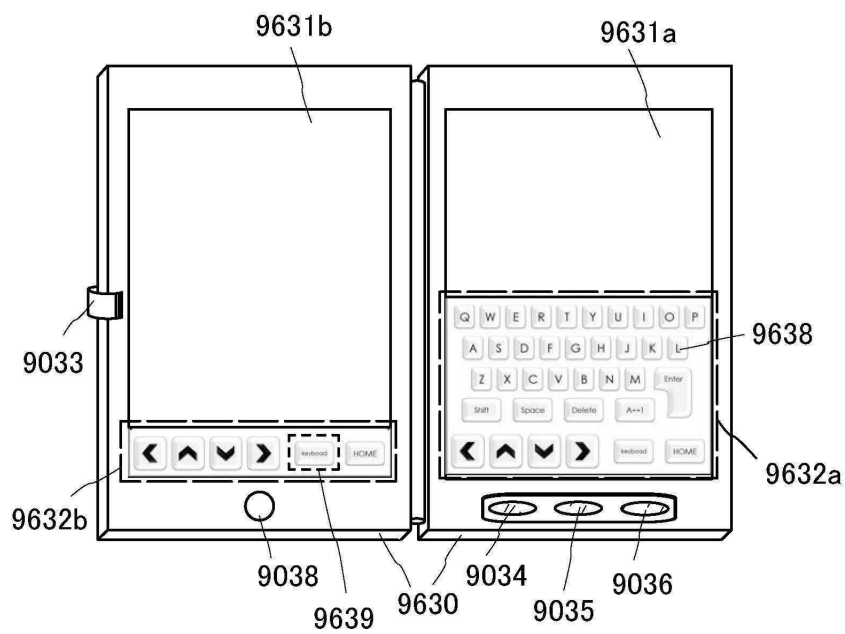
도면24b



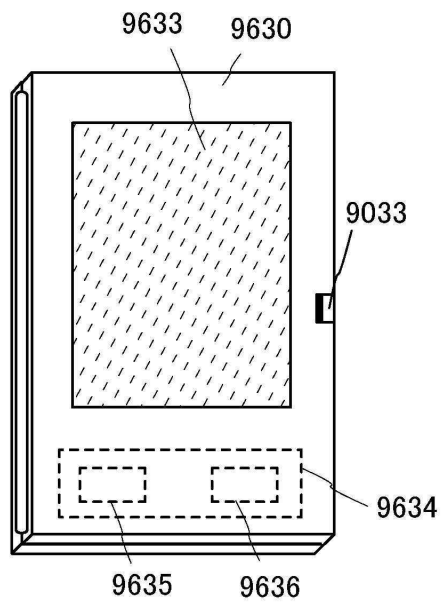
도면24c



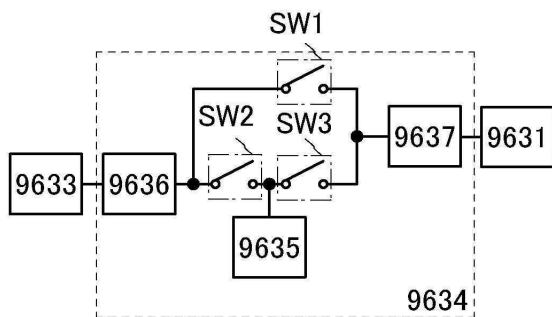
도면25a



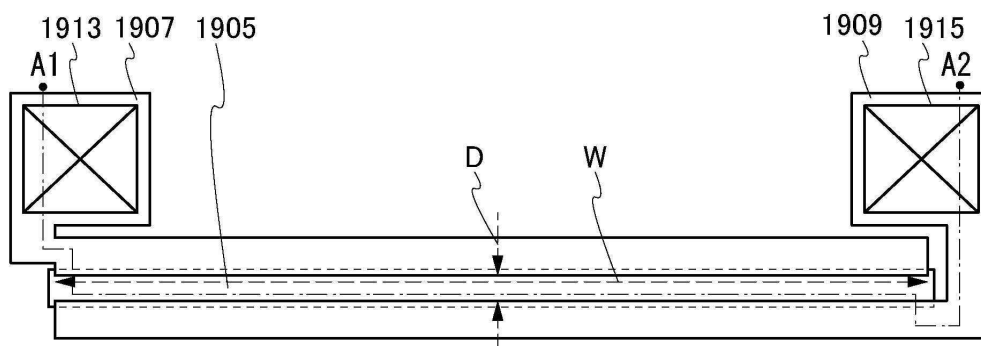
도면25b



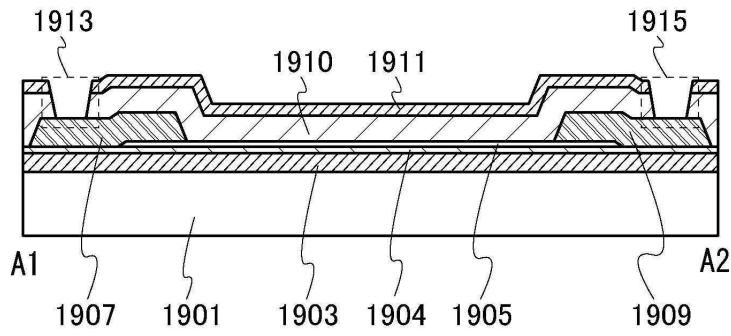
도면25c



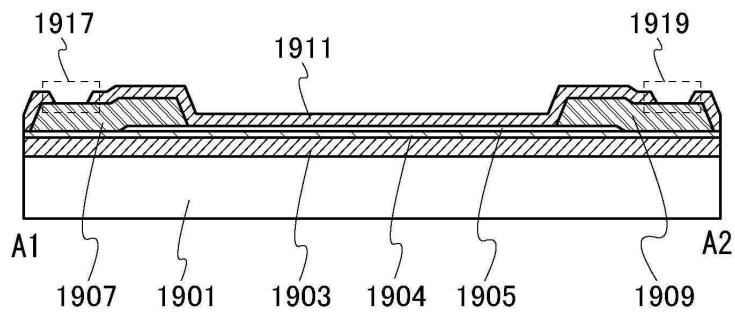
도면26a



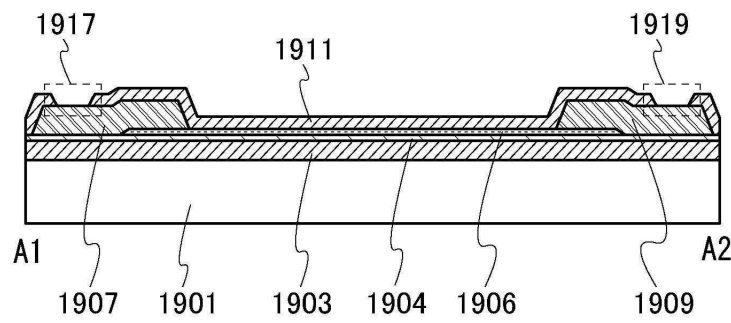
도면26b



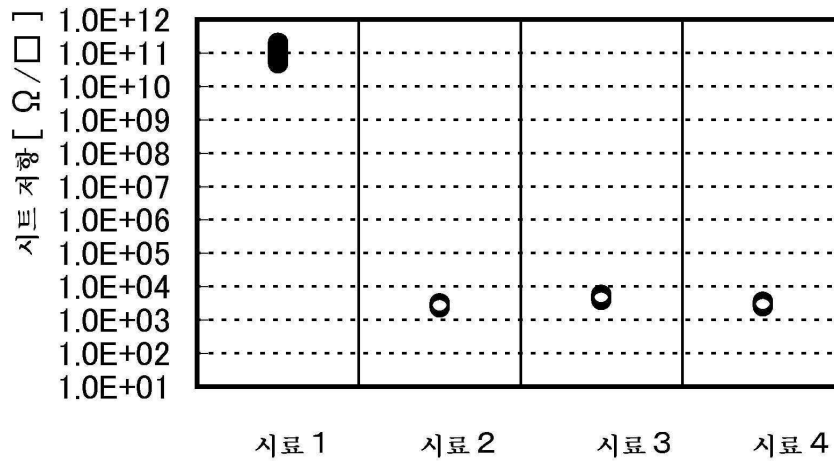
도면26c



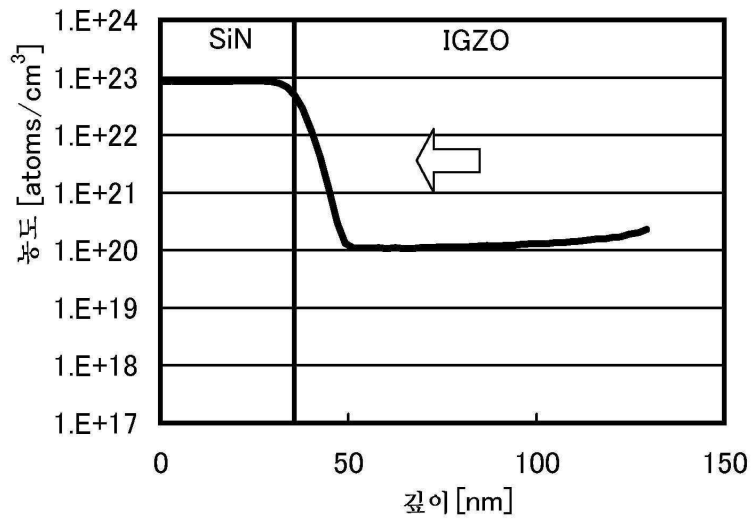
도면26d



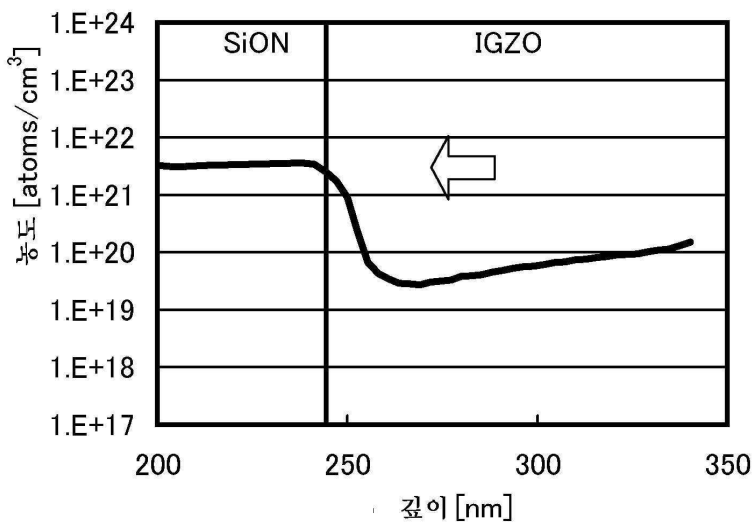
도면27



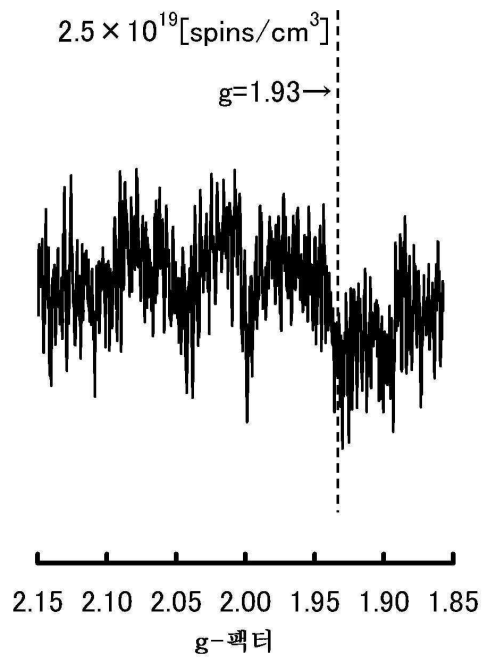
도면28a



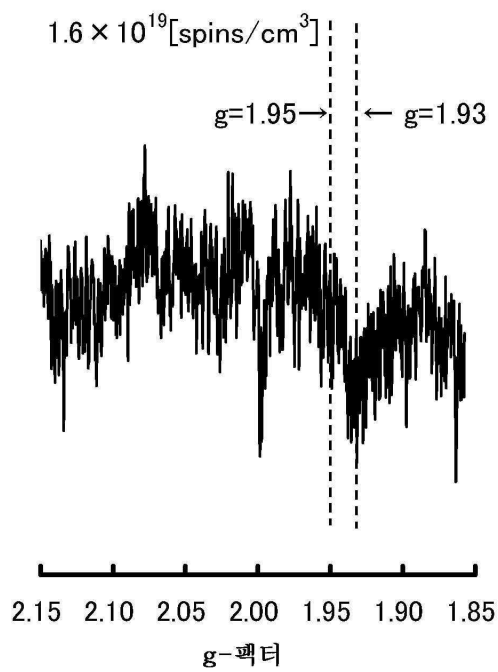
도면28b



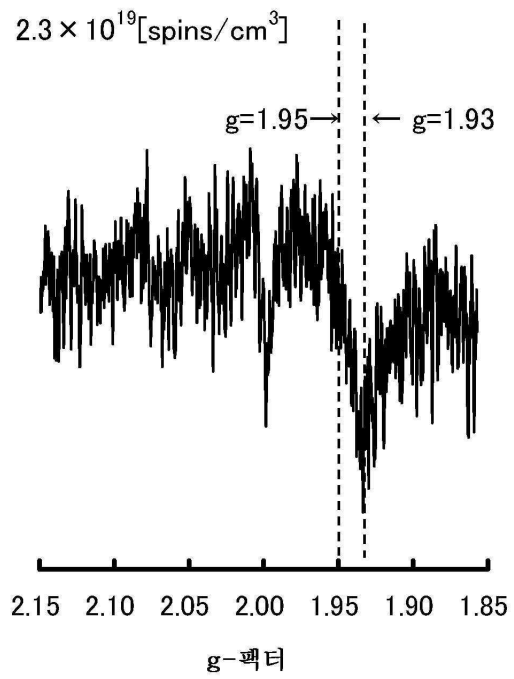
도면29a



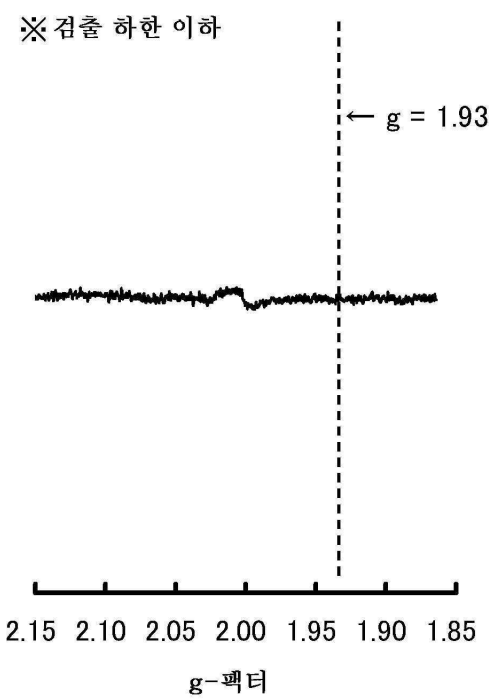
도면29b



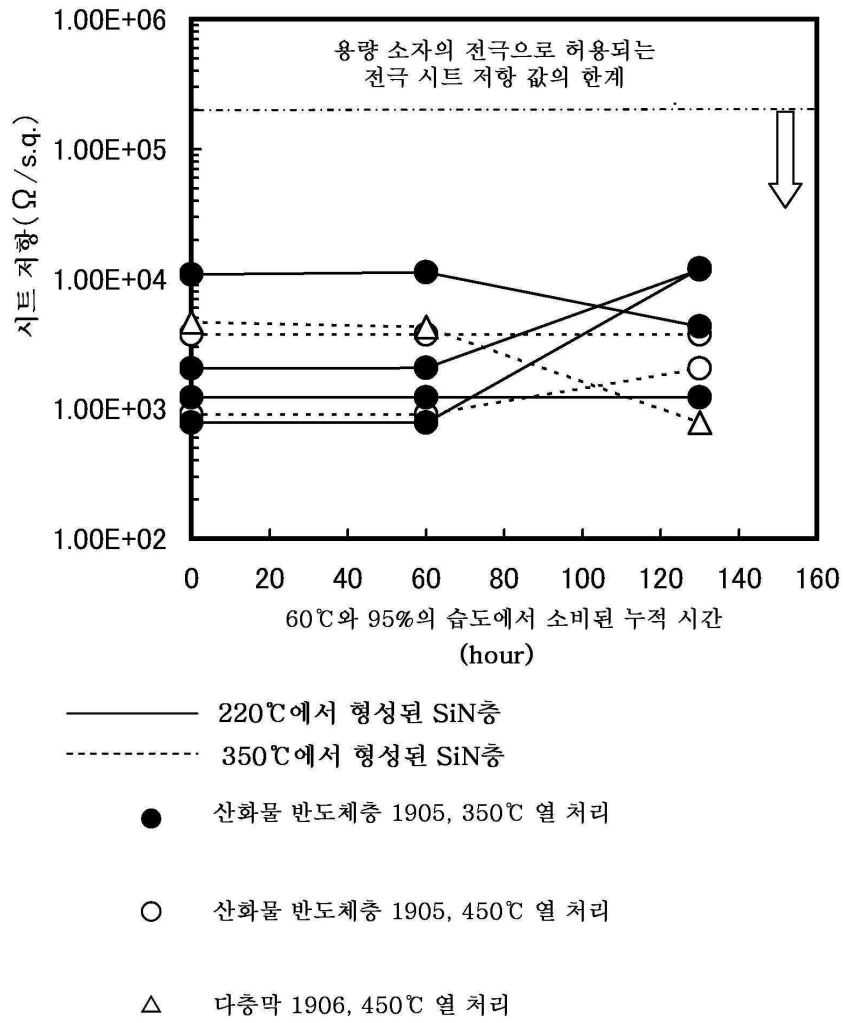
도면29c



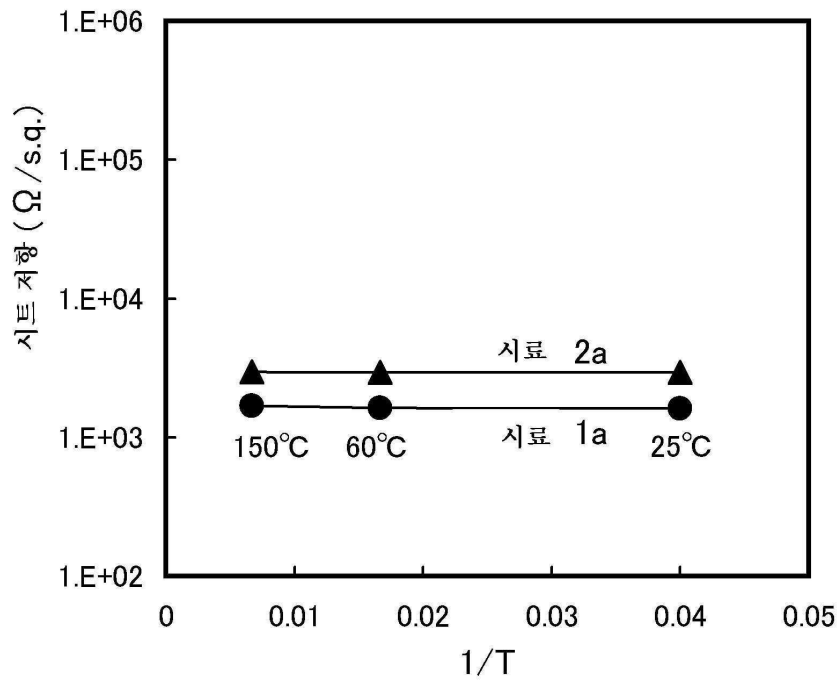
도면30



도면31

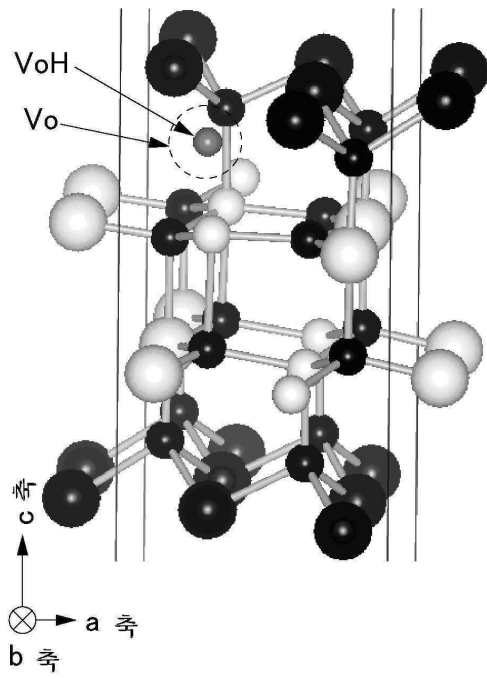


도면32

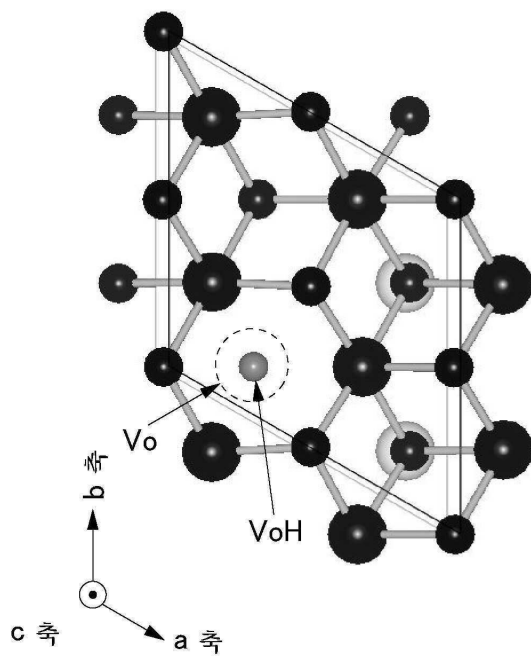


- 220℃에서 형성된 SiN층
- 산화물 반도체층 1905, 350℃ 열 처리
- ▲ 다층막 1906, 350℃ 열 처리

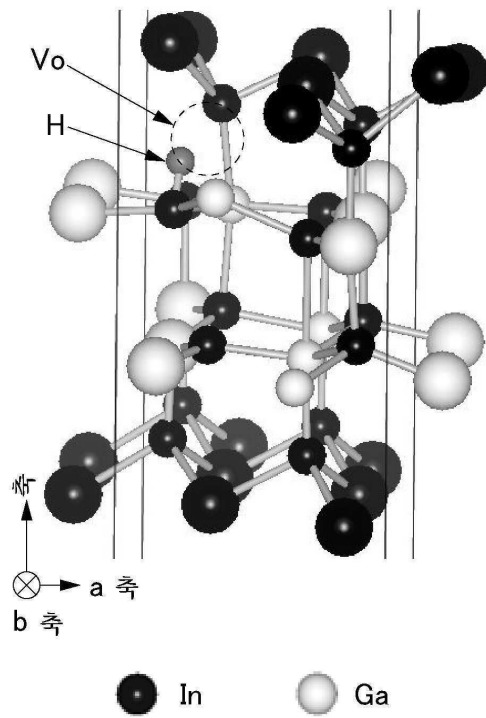
도면33a



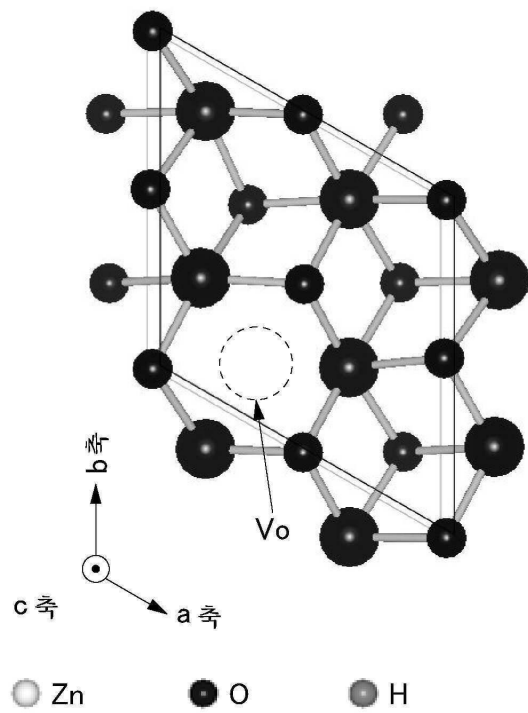
도면33b



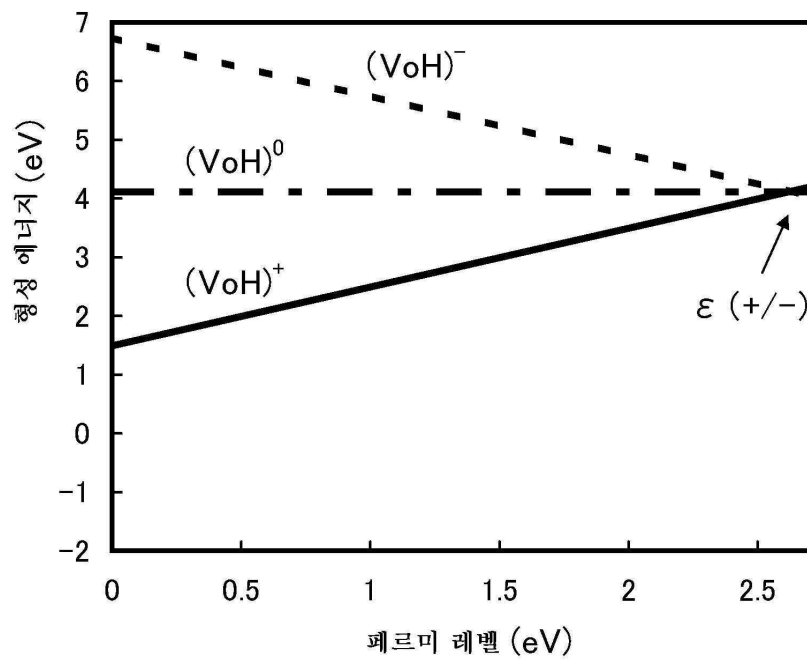
도면33c



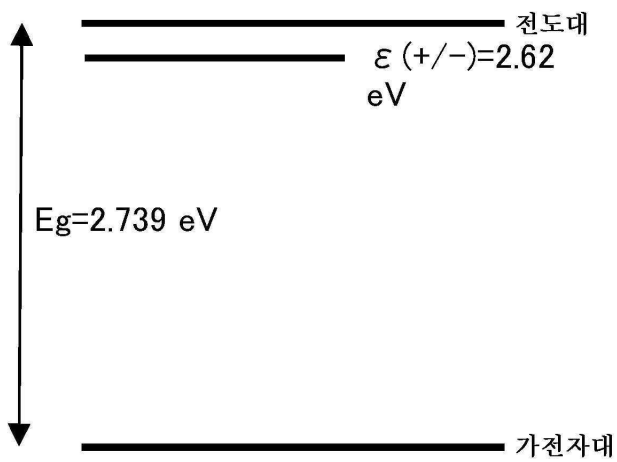
도면33d



도면34a



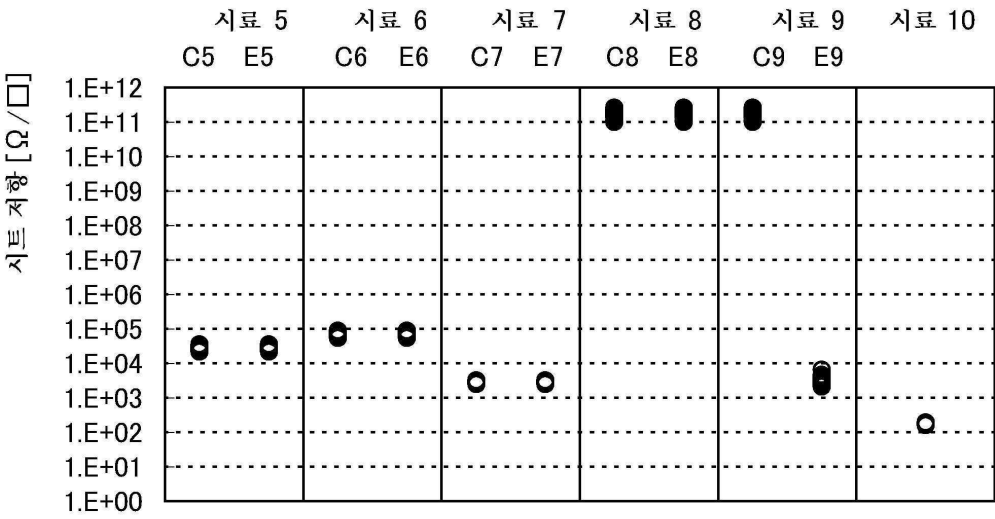
도면34b



도면35a

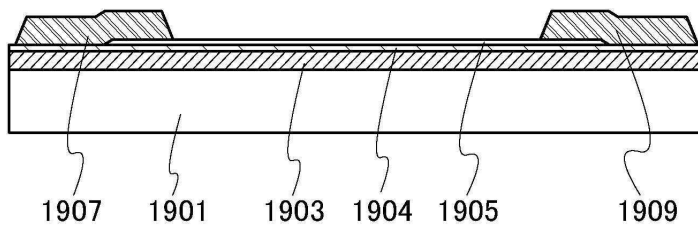
	시료 5	시료 6	시료 7	시료 8	시료 9
(공정)					
S8			예		
			↑	↑	↑
S7			예		
			↑	↑	↑
S6			예		
			↑	↑	↑
S5			예 (350°C1hr@N2+O2)		
			↑	↑	↑
S4			예		
			↑	↑	↑
S3	예				
	↑	↑	↑	↑	↑
S2	아니오	예 (450°C1hr @N2 → 450°C1hr @N2+O2)			
S1	예				

도면35



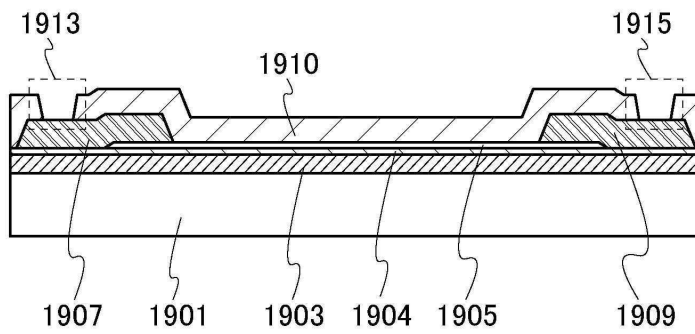
도면36a

시료 5, 시료 6



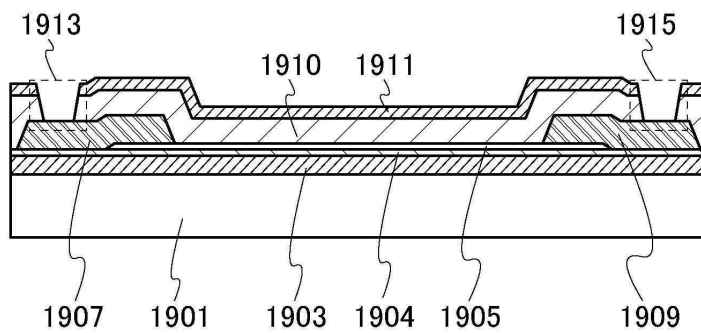
도면36b

시료 7



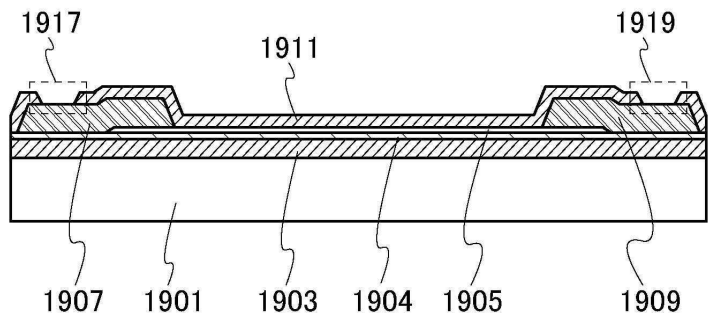
도면36c

시료 8

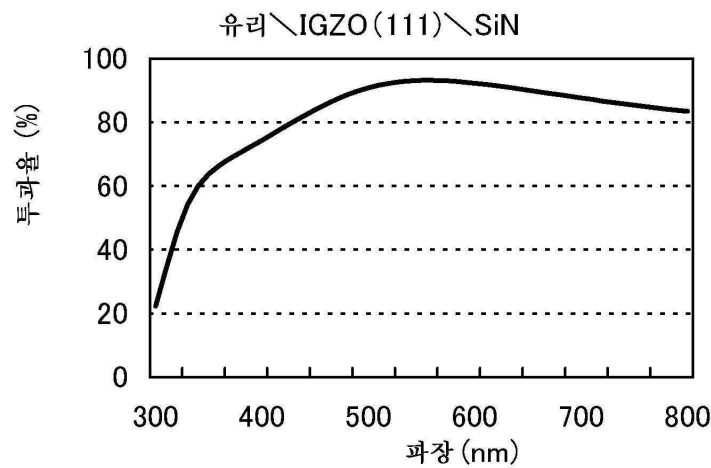


도면36d

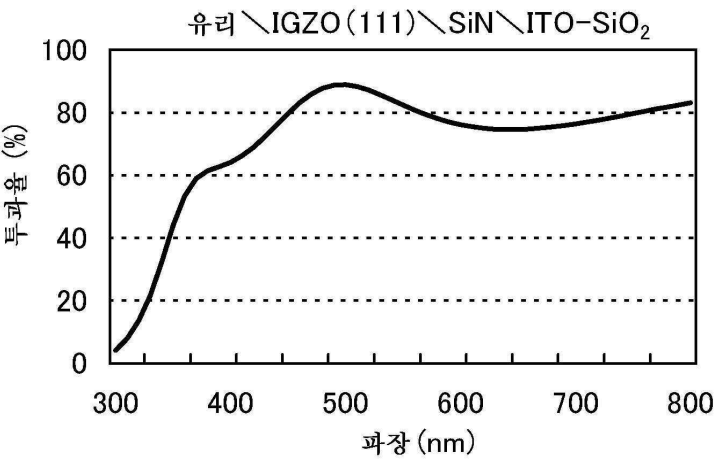
시료 9



도면37a



도면37b



도면37c

