(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7581209号
(P7581209)

(45)発行日　令和6年11月12日(2024.11.12)

(24)登録日　令和6年11月1日(2024.11.1)

(51)国際特許分類

Ｈ０１Ｌ　27/088 (2006.01)	Ｈ０１Ｌ	27/088	３３１Ｅ
Ｇ０６Ｆ　9/38 (2018.01)	Ｇ０６Ｆ	9/38	３７０Ｃ
Ｇ０６Ｆ　12/00 (2006.01)	Ｇ０６Ｆ	12/00	５６０Ｆ
Ｇ０６Ｆ　15/78 (2006.01)	Ｇ０６Ｆ	15/78	５５０
Ｇ１１Ｃ　5/02 (2006.01)	Ｇ１１Ｃ	5/02	１００

請求項の数　3　（全64頁）　最終頁に続く

(21)出願番号　特願2021-538510(P2021-538510)
(86)(22)出願日　令和2年7月27日(2020.7.27)
(86)国際出願番号　PCT/IB2020/057051
(87)国際公開番号　WO2021/024083
(87)国際公開日　令和3年2月11日(2021.2.11)
審査請求日　令和5年7月25日(2023.7.25)
(31)優先権主張番号　特願2019-146209(P2019-146209)
(32)優先日　令和1年8月8日(2019.8.8)
(33)優先権主張国・地域又は機関
日本国(JP)
(31)優先権主張番号　特願2019-157623(P2019-157623)
(32)優先日　令和1年8月30日(2019.8.30)
(33)優先権主張国・地域又は機関
日本国(JP)
(31)優先権主張番号　特願2019-216244(P2019-216244)
最終頁に続く

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　上妻 宗広
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
(72)発明者　石津 貴彦
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
(72)発明者　青木 健
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
(72)発明者　藤田 雅史
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】　半導体装置

(57)【特許請求の範囲】

【請求項１】

ＣＰＵと、

アクセラレータと、を有し、

前記アクセラレータは、第１メモリ回路と、駆動回路と、演算回路と、を有し、

前記第１メモリ回路は、第１トランジスタを有し、

前記第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、

前記駆動回路は、書き込み回路と、読み出し回路と、を有し、

前記書き込み回路は、切替信号、書き込み制御信号、およびデータ信号に応じて、前記第１メモリ回路に書き込むデータを２値または３値の電圧値に切り替えて出力する機能を有し、

前記読み出し回路は、第１参照電圧および第２参照電圧に応じて、前記第１メモリ回路に保持された電圧レベルに応じた２値または３値のデータを切り替えて読み出す機能を有し、

前記駆動回路および前記演算回路は、第２トランジスタを有し、

前記第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、

前記第１トランジスタと、前記第２トランジスタと、は積層して設けられる、半導体装置。

【請求項２】

請求項１において、

前記ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、

前記バックアップ回路は、前記ＣＰＵが非動作時において、前記フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置。

【請求項３】

請求項１または請求項２において、

前記演算回路は、積和演算を行う回路である、半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本明細書は、半導体装置等について説明する。

【０００２】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

【背景技術】

【０００３】

ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、ＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）等のアクセラレータとＣＰＵとを密結合させた、所謂ＳｏＣ（Ｓｙｓｔｅｍ ｏｎ Ｃｈｉｐ）化がある。ＳｏＣ化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

【０００４】

ＡＩ（Ａｒｔｉｆｉｃｉａｌ Ｉｎｔｅｌｌｉｇｅｎｃｅ）技術では、計算量とパラメータ数が膨大になるため、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Ｂｉｎａｒｙ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ（ＢＮＮ）、およびＴｅｒｎａｒｙ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ（ＴＮＮ）があり、回路規模縮小、および低消費電力化に対して特に有効となる（例えば特許文献１を参照）。例えば、ＢＮＮでは、もともと３２ビット、もしくは１６ビット精度で表現されたデータを、「＋１」または「－１」の２値に圧縮することで、計算量とパラメータ数を大幅に削減できる。例えば、ＴＮＮでは、もともと３２ビット、もしくは１６ビット精度で表現されたデータを、「＋１」、「０」または「－１」の３値に圧縮することで、計算量とパラメータ数を大幅に削減できる。ＢＮＮおよびＴＮＮは、回路規模縮小や低消費電力化に有効なため、組み込みチップのように限られたハードウエア資源において低消費電力が求められるアプリケーションと相性が良いと考えられている。

【先行技術文献】

【特許文献】

【０００５】

【文献】国際公開第２０１９／０７８９２４号

【発明の概要】

【発明が解決しようとする課題】

【０００６】

ＴＮＮの演算には３値のデータを用いる。３値のデータをＳＲＡＭ（Ｓｔａｔｉｃ ＲＡＭ）に記憶する場合、メモリセル内のトランジスタ数が増えてしまう。そのため、半導体装置の小型化が難しくなるといった虞がある。また、半導体装置が有するアクセラレータでは、メモリが記憶するデータを２値または３値のデータで切り替える場合がある。こ

の場合、データに応じたメモリセルを用意する構成では、メモリセル内のトランジスタ数が増えてしまう。そのため、半導体装置の小型化が難しくなるといった虞がある。また半導体装置の消費電力は、ＣＰＵにおけるデータ転送回数が支配的である。そのため、半導体装置の低消費電力または発熱を抑制するためには、データ転送回数の増加を抑制することが重要となる。

【０００７】

本発明の一態様は、半導体装置を小型化することを課題の一とする。または、本発明の一態様は、半導体装置を低消費電力化することを課題の一とする。または、本発明の一態様は、半導体装置の発熱を抑制することを課題の一とする。または、本発明の一態様は、ＣＰＵとメモリとして機能する半導体装置との間のデータ転送回数を削減することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

【０００８】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【０００９】

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、演算回路と、を有し、第１メモリ回路は、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、演算回路は、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

【００１０】

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、演算回路と、を有し、第１メモリ回路は、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、駆動回路は、書き込み回路と、読み出し回路と、を有し、書き込み回路は、切替信号、書き込み制御信号、およびデータ信号に応じて、第１メモリ回路に書き込むデータを２値または３値の電圧値に切り替えて出力する機能を有し、読み出し回路は、第１参照電圧および第２参照電圧に応じて、第１メモリ回路に保持された電圧レベルに応じた２値または３値のデータを切り替えて読み出す機能を有し、駆動回路および演算回路は、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

【００１１】

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、演算回路と、を有し、第１メモリ回路は、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、演算回路は、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、バックアップ回路は、第３トランジスタを有し、第３トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

【００１２】

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、演算回路と、を有し、第１メモリ回路は、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、駆動回路は、書き込み回路と、読み出し回路と、を有し、書き込み回路は、切替信号、書き

込み制御信号、およびデータ信号に応じて、第１メモリ回路に書き込むデータを２値または３値の電圧値に切り替えて出力する機能を有し、読み出し回路は、第１参照電圧および第２参照電圧に応じて、第１メモリ回路に保持された電圧レベルに応じた２値または３値のデータを切り替えて読み出す機能を有し、演算回路は、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、バックアップ回路は、第３トランジスタを有し、第３トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

【００１３】

本発明の一態様において、バックアップ回路は、ＣＰＵが非動作時において、フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置が好ましい。

【００１４】

本発明の一態様において、演算回路は、積和演算を行う回路である、半導体装置が好ましい。

【００１５】

本発明の一態様において、金属酸化物は、Ｉｎと、Ｇａと、Ｚｎと、を含む、半導体装置が好ましい。

【００１６】

本発明の一態様において、第１トランジスタは、読出ビット線に電気的に接続され、読出ビット線は、第２トランジスタが設けられた基板表面に概略垂直に設けられた配線を介して演算回路に電気的に接続される、半導体装置が好ましい。

【００１７】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

【発明の効果】

【００１８】

本発明の一態様は、半導体装置を小型化することができる。または、本発明の一態様は、半導体装置を低消費電力化することができる。または、本発明の一態様は、半導体装置の発熱を抑制することができる。または、本発明の一態様は、ＣＰＵとメモリとして機能する半導体装置との間のデータ転送回数を削減することができる。または、新規な構成の半導体装置を提供することができる。

【００１９】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【００２０】

図１Ａおよび図１Ｂは、半導体装置の構成例を説明する図である。
図２Ａおよび図２Ｂは、半導体装置の構成例を説明する図である。
図３Ａおよび図３Ｂは、半導体装置の構成例を説明する図である。
図４は、半導体装置の構成例を説明する図である。
図５Ａおよび図５Ｂは、半導体装置の構成例を説明する図である。
図６Ａおよび図６Ｂは、半導体装置の構成例を説明する図である。
図７Ａおよび図７Ｂは、半導体装置の構成例を説明する図である。
図８Ａおよび図８Ｂは、半導体装置の構成例を説明する図である。
図９は、半導体装置の構成例を説明する図である。
図１０Ａ、図１０Ｂおよび図１０Ｃは、半導体装置の処理性能と消費電力との関係を説明

する図である。
図１１Ａおよび図１１Ｂは、半導体装置の構成例を説明する図である。
図１２Ａおよび図１２Ｂは、半導体装置の構成例を説明する図である。
図１３は、半導体装置の構成例を説明する図である。
図１４Ａおよび図１４Ｂは、半導体装置の構成例を説明する図である。
図１５Ａおよび図１５Ｂは、半導体装置の構成例を説明する図である。
図１６は、半導体装置の構成例を説明する図である。
図１７は、半導体装置の構成例を説明する図である。
図１８Ａおよび図１８Ｂは、半導体装置の構成例を説明する図である。
図１９Ａおよび図１９Ｂは、半導体装置の構成例を説明する図である。
図２０Ａおよび図２０Ｂは、半導体装置の構成例を説明する図である。
図２１は、半導体装置の構成例を説明する図である。
図２２Ａおよび図２２Ｂは、半導体装置の構成例を説明する図である。
図２３は、半導体装置の構成例を説明する図である。
図２４は、半導体装置の構成例を説明する図である。
図２５Ａおよび図２５Ｂは、半導体装置の構成例を説明する図である。
図２６Ａおよび図２６Ｂは、半導体装置の構成例を説明する図である。
図２７Ａおよび図２７Ｂは、半導体装置の構成例を説明する図である。
図２８Ａおよび図２８Ｂは、半導体装置の構成例を説明する図である。
図２９は、半導体装置の構成例を説明する図である。
図３０は、ＣＰＵの構成例を説明する図である。
図３１Ａおよび図３１Ｂは、ＣＰＵの構成例を説明する図である。
図３２は、ＣＰＵの構成例を説明する図である。
図３３は、集積回路の構成例を説明する図である。
図３４Ａおよび図３４Ｂは、集積回路の構成例を説明する図である。
図３５Ａおよび図３５Ｂは、集積回路の適用例を説明する図である。
図３６Ａおよび図３６Ｂは、集積回路の適用例を説明する図である。
図３７Ａ、図３７Ｂおよび図３７Ｃは、集積回路の適用例を説明する図である。
図３８は、集積回路の適用例を説明する図である。
図３９Ａは、半導体装置の外観写真である。図３９Ｂは、半導体装置の断面ＴＥＭ写真である。
図４０は、半導体装置のシステム構成を説明するブロック図である。
図４１Ａは、メモリセルの回路図である。図４１Ｂは、メモリセルの動作例を示すタイミングチャートである。図４１Ｃは、演算器の構成を示すブロック図である。
図４２Ａおよび図４２Ｂは、半導体装置の構成を説明するブロック図である。
図４３Ａおよび図４３Ｂは、半導体装置の動作期間中に生じる消費電力の推移を説明する概念図である。
図４４Ａおよび図４４Ｂは、情報保持回路の回路図である。
図４５Ａは、シミュレーション実行後の動作波形を示す図である。図４５Ｂは、シミュレーションで想定したニューラルネットワークモデルを示す図である。
【発明を実施するための形態】
【００２１】
以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００２２】
なお本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の

一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【００２３】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【００２４】

本明細書において、例えば、電源電位ＶＤＤを、電位ＶＤＤ、ＶＤＤ等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【００２５】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、”＿２”、”［ｎ］”、”［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。例えば、２番目の配線ＧＬを配線ＧＬ［２］と記載する。

【００２６】

（実施の形態１）

本発明の一態様である半導体装置の構成、および動作等について説明する。

【００２７】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

【００２８】

図１Ａおよび図１Ｂは、本発明の一態様である半導体装置１００を説明するための図である。半導体装置１００は、ＣＰＵ１０、アクセラレータ２０およびバス３０を有する。アクセラレータ２０は、演算処理部２１およびメモリ部２２を有する。演算処理部２１は、演算回路２３を有する。メモリ部２２は、メモリ回路２４を有する。メモリ部２２は、デバイスメモリ、共有メモリという場合がある。メモリ回路２４は、チャネル形成領域を有する半導体層２９を有するトランジスタ２５を有する。演算回路２３とメモリ回路２４とは、配線３１を介して電気的に接続される。

【００２９】

ＣＰＵ１０は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。ＣＰＵ１０は、１つまたは複数のＣＰＵコアを有する。ＣＰＵコアはそれぞれ、電源電圧の供給が停止してもデータを保持できるデータ保持回路を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電気的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。データ保持回路として、例えば、酸化物半導体（ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）をチャネル形成領域に有するトランジスタ（ＯＳトランジスタ）を有するメモリが好適である。なお酸化物半導体は、金属酸化物ともいう。ＯＳトランジスタを有するデータ保持回路を備えたＣＰＵコアの構成については、実施の形態５で説明する。

【００３０】

アクセラレータ２０は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する機能を有する。アクセラレータ２０は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。

【００３１】
メモリ部２２は、アクセラレータ２０が処理するデータを記憶する機能を有する。具体的には、ニューラルネットワークの積和演算の並列処理に用いる重みデータ等、演算処理部２１に入力するあるいは出力されるデータを記憶することができる。
【００３２】
メモリ回路２４は、演算処理部２１が有する演算回路２３と配線３１を介して電気的に接続され、２値または３値のデジタル値を保持する機能を有する。メモリ回路２４において、トランジスタ２５が有する半導体層２９は、酸化物半導体である。つまり、トランジスタ２５は、ＯＳトランジスタである。メモリ回路２４は、ＯＳトランジスタを有するメモリ（以下、ＯＳメモリともいう。）が好適である。
【００３３】
金属酸化物のバンドギャップは２．５ｅＶ以上あるため、ＯＳトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が３．５Ｖ、室温（２５℃）下において、チャネル幅１μｍ当たりのオフ電流を１×１０$^{-20}$Ａ未満、１×１０$^{-22}$Ａ未満、あるいは１×１０$^{-24}$Ａ未満とすることができる。すなわち、ドレイン電流のオン／オフ電流比を２０桁以上１５０桁以下とすることができる。そのため、ＯＳメモリは、ＯＳトランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、ＯＳメモリは不揮発性メモリ回路として機能できるため、アクセラレータのパワーゲーティングが可能となる。
【００３４】
高密度で集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化や動作周波数の低下などが起こることがある。ＯＳトランジスタは、Ｓｉトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、ＯＳトランジスタは、温度が高くなっても、ドレイン電流がゲート－ソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、ＯＳトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。
【００３５】
ＯＳトランジスタに適用される金属酸化物は、Ｚｎ酸化物、Ｚｎ－Ｓｎ酸化物、Ｇａ－Ｓｎ酸化物、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、Ｉｎ－Ｍ－Ｚｎ酸化物（Ｍは、Ｔｉ、Ｇａ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、Ｎｄ、ＳｎまたはＨｆ）などがある。特にＭとしてＧａを用いる金属酸化物をＯＳトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。
【００３６】
ＯＳトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、ＣＡＡＣ－ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳなどの結晶部を有する金属酸化物であることが好ましい。ＣＡＡＣ－ＯＳとは、ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ ｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。ＣＡＣ－ＯＳとは、Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。ｎｃ－ＯＳとは、ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。
【００３７】
ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の

向きが変化している箇所を指す。

【００３８】

ＣＡＣ－ＯＳは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、ＣＡＣ－ＯＳをＯＳトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

【００３９】

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、ＯＳトランジスタは、一般的なＳｉトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でＯＳトランジスタを駆動することができる。

【００４０】

ＯＳトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、ｐｎ接合を有する反転型トランジスタ（代表的には、Ｓｉトランジスタ）と比較して短チャネル効果の一つであるＤＩＢＬ（Ｄｒａｉｎ－Ｉｎｄｕｃｅｄ Ｂａｒｒｉｅｒ Ｌｏｗｅｒｉｎｇ）の影響が小さい。つまり、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に対する高い耐性を有する。

【００４１】

ＯＳトランジスタは、短チャネル効果に対する耐性が高いために、ＯＳトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、ＯＳトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するのに伴いドレイン電界が強まるが、上掲したように、ＯＳトランジスタはＳｉトランジスタよりもアバランシェ崩壊が起きにくい。

【００４２】

また、ＯＳトランジスタは、短チャネル効果に対する耐性が高いために、Ｓｉトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が５０ｎｍ以下の微細なトランジスタにおいても、１０ｎｍ程度の厚いゲート絶縁膜を設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

【００４３】

以上より、アクセラレータ２０は、ＯＳメモリであるメモリ回路２４を有することで電源電圧の供給が停止してもデータを保持できる。そのため、アクセラレータ２０のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

【００４４】

ＯＳトランジスタで構成されるメモリ回路２４は、Ｓｉ ＣＭＯＳで構成することができる演算回路２３と積層して設けることができる。そのため、回路面積の増加を招くことなく、配置することができる。メモリ回路２４と演算回路２３とは、演算回路２３が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線３１を介して電気的に接続される。なお「概略垂直」とは、８５度以上９５度以下の角度で配置されている状態をいう。

【００４５】

メモリ回路２４は、ＮＯＳＲＡＭの回路構成とすることができる。「ＮＯＳＲＡＭ（登録商標）」とは、「Ｎｏｎｖｏｌａｔｉｌｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ ＲＡＭ」の略称である。ＮＯＳＲＡＭは、メモリセルが２トランジスタ型（２Ｔ）、又は３トランジスタ型（３Ｔ）ゲインセルであり、アクセストランジスタがＯＳトランジスタであるメモリのことをいう。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さ

い特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特にＮＯＳＲＡＭは保持しているデータを破壊することなく読み出しすること（非破壊読み出し）が可能なため、データ読み出し動作のみを大量に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

【００４６】

演算処理部２１は、デジタル値を用いた演算処理を行う機能を有する。デジタル値はノイズの影響を受けにくい。そのためアクセラレータ２０は、高い精度の演算結果が要求される演算処理を行うのに適している。なお演算処理部２１は、Ｓｉ　ＣＭＯＳ、すなわちシリコンをチャネル形成領域に有するトランジスタ（Ｓｉトランジスタ）で構成されること好ましい。当該構成とすることでＯＳトランジスタと積層して設けることができる。

【００４７】

演算回路２３は、メモリ部２２のメモリ回路２４のそれぞれに保持されたデジタル値のデータを用いて、整数演算、単精度浮動小数点演算、倍精度浮動小数点演算などの処理のいずれか一を行う機能を有する。演算回路２３は、積和演算といった同じ処理を繰り返し実行する機能を有する。

【００４８】

なお演算回路２３は、メモリ回路２４の読出ビット線毎、つまり一列（Ｃｏｌｕｍｎ）毎に１つの演算回路２３を設ける構成とする（Ｃｏｌｕｍｎ－Ｐａｒａｌｌｅｌ　Ｃａｌｃｕｌａｔｉｏｎ）。当該構成とすることで、メモリ回路２４の１行分（最大で全ビット線）のデータを並列で演算処理することができる。ＣＰＵ１０を用いた積和演算に比べて、ＣＰＵとメモリ間のデータバスサイズ（３２ビット、など）に制限されないことから、Ｃｏｌｕｍｎ－Ｐａｒａｌｌｅｌ　Ｃａｌｃｕｌａｔｉｏｎでは、演算の並列度を大幅に上げることができるため、ＡＩ技術であるディープニューラルネットワークの学習（深層学習）、浮動小数点演算を行う科学技術計算などの膨大な演算処理に係る演算効率の向上を図ることができる。加えてメモリ回路２４から出力されるデータの演算を完了させて読み出すことができるため、メモリアクセス（ＣＰＵとメモリ間のデータ転送やＣＰＵでの演算）で生じる電力を削減することができ、発熱および消費電力の増加を抑制することができる。さらに、演算回路２３とメモリ回路２４の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

【００４９】

バス３０は、ＣＰＵ１０とアクセラレータ２０とを電気的に接続する。つまりＣＰＵ１０とアクセラレータ２０とは、バス３０を介してデータ伝送を行うことができる。

【００５０】

本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を小型化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を低消費電力化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置において、発熱を抑制することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置において、ＣＰＵとメモリとして機能する半導体装置との間のデータ転送回数を削減することができる。換言すれば計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置は非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

【００５１】

図２Ａは、本発明の半導体装置１００が有するメモリ部２２に適用可能な回路構成例について説明する図である。図２Ａでは、Ｍ行Ｎ列（Ｍ、Ｎは２以上の自然数）行列方向に並べて配置された書込用ワード線ＷＷＬ＿１乃至ＷＷＬ＿Ｍ、読出用ワード線ＲＷＬ＿１乃至ＲＷＬ＿Ｍ、書込用ビット線ＷＢＬ＿１乃ＷＢＬ＿Ｎ、および読出用ビット線ＲＢＬ

＿１乃至ＲＢＬ＿Ｎを図示している。また各ワード線およびビット線に接続されたメモリ回路２４を図示している。

【００５２】

図２Ｂは、メモリ回路２４に適用可能な回路構成例について説明する図である。メモリ回路２４は、トランジスタ２５、トランジスタ２６、トランジスタ２７、容量素子２８（キャパシタともいう）を有する。

【００５３】

トランジスタ２５のソースまたはドレインの一方は、書込用ビット線ＷＢＬに接続される。トランジスタ２５のゲートは、書込用ワード線ＷＷＬに接続される。トランジスタ２５のソースまたはドレインの他方は、容量素子２８の一方の電極およびトランジスタ２６のゲートに接続される。トランジスタ２６のソースまたはドレインの一方および容量素子２８の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ２６のソースまたはドレインの他方は、トランジスタ２７のソースまたはドレインの一方に接続される。トランジスタ２７のゲートは、読出用ワード線ＲＷＬに接続される。トランジスタ２７のソースまたはドレインの他方は、読出用ビット線ＲＢＬに接続される。読出用ビット線ＲＢＬは、上述したように、演算回路２３が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線３１等を介して、演算回路２３に接続される。

【００５４】

図２Ｂに示すメモリ回路２４の回路構成は、３トランジスタ型（３Ｔ）ゲインセルのＮＯＳＲＡＭに相当する。トランジスタ２５乃至トランジスタ２７は、ＯＳトランジスタである。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。

【００５５】

図３Ａは、本発明の半導体装置１００が有する演算処理部２１に適用可能な回路構成例について説明する図である。演算処理部２１は、Ｎ個の演算回路２３＿１乃至演算回路２３＿Ｎを有する。Ｎ個の演算回路２３＿１乃至演算回路２３＿Ｎはそれぞれ、Ｎ本の読出用ビット線ＲＢＬ＿１乃至読出用ビット線ＲＢＬ＿Ｎのいずれか一の信号が入力され、出力信号Ｑ＿１乃至Ｑ＿Ｎを出力する。読出用ビット線ＲＢＬ＿１乃至読出用ビット線ＲＢＬ＿Ｎの信号は、センスアンプ等で増幅して読み出す構成としてもよい。出力信号Ｑ＿１乃至Ｑ＿Ｎは、メモリ回路２４に保持したデータを用いて積和演算を行うことで得られるデータに相当する。

【００５６】

図３Ｂは、演算回路２３＿１乃至演算回路２３＿Ｎに適用可能な演算回路２３の回路構成例を説明する図である。図４は、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）のアーキテクチャに基づく演算処理を実行するための回路である。演算回路２３は、読出用ビット線ＲＢＬの信号が与えられる読出回路４１と、ビット積和演算器４２と、アキュムレータ４３、ラッチ回路４４、および出力信号Ｑを出力する符号化回路４５を有する。

【００５７】

図３Ｂで図示した演算回路２３の構成について、より詳細を示す構成例を図４に図示する。図４では、８ビットの信号（Ｗ［０］乃至Ｗ［７］、Ａ［０］乃至Ａ［７］）の積和演算を行い、１ビットの出力信号Ｑ、１１ビットの出力信号（ａｃｃｏｕｔ［１０：０］）を出力する構成を一例として図示している。図３Ｂでは、メモリアクセスは１クロックで１行を選択するため、Ｍ個（＝１ビット×Ｍ行）の積とその和をＭクロックで実行する。図４の演算回路では、同じＭ個の積とその和を８並列×１ビット×Ｍ／８行で実行できるため、Ｍ／８クロックを要する。したがって、図４の構成は並列に積和演算を実行することで演算時間を短縮できるため、演算効率を向上できる。

【００５８】

図４において、ビット積和演算器４２は、８ビットの信号（Ｗ［０］乃至Ｗ［７］、Ａ［０］乃至Ａ［７］）が入力される積算器および当該積算器で得られた値が入力される加算器を有する。図４に示すように、８並列で演算される１ビットの信号の積をＷＡ０乃至ＷＡ７、さらにその和をＷＡ１０、ＷＡ３２、ＷＡ５４、ＷＡ７６、さらにその和をＷＡ３２１０、ＷＡ７６５４として図示している。

【００５９】

図４において、加算器として機能するアキュムレータ４３は、ビット積和演算器４２の信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。なおアキュムレータ４３は、制御信号ＴｘＤ＿ＥＮに応じて加算器に入力する信号が切り替えられる。制御信号ＴｘＤ＿ＥＮが０（ＴｘＤ＿ＥＮ＝０）でビット積和演算器４２の信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。制御信号ＴｘＤ＿ＥＮが１（ＴｘＤ＿ＥＮ＝１）でロジック回路４７の信号（１１ｂｉｔ　ｓｅｌｅｃｔｏｒ）とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。

【００６０】

図４において、ＡＮＤ回路で構成されるロジック回路４７は、信号Ａ［０］乃至Ａ［７］と信号Ｗ［０］乃至Ｗ［７］の積和演算が完了した後、バッチノーマライゼーションのためのデータを足し合わせる。具体的には切替信号（ｔｈ　ｓｅｌｅｃｔ［１０：０］）で切り替えながら、信号Ｗ［７］を足し合わせる。なお、バッチノーマライゼーションのためのデータは、例えば信号Ｗ［７］以外の信号Ｗ［０］乃至Ｗ［６］からも同時に読み出して選択する構成としてもよい。バッチノーマライゼーションは、ニューラルネットワークにおける各層の出力データの分布が一定に収まるように調整するための動作である。例えば、ニューラルネットワークにおける演算によく利用される画像データは、学習に用いるデータの分布がばらつきやすいため、予測データ（入力データ）の分布と異なることがある。バッチノーマライゼーションは、ニューラルネットワークの中間層への入力データの分布を平均０、分散１のガウス分布に正規化することで、ニューラルネットワークにおける学習の精度を高めることができる。Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）では活性化によって各層の出力結果が２値化されるため、しきい値に対してデータ分布の偏りを抑制することで、適切に活性化、つまり情報を分別できるようになる。

【００６１】

ラッチ回路４４は、アキュムレータ４３の出力信号（ａｃｃｏｕｔ［１０：０］）を保持する。バッチノーマライゼーションによって次のニューラルネットワークにおける層（ＮＮ層）に渡す２値データはラッチ回路４４が保持する積和演算結果の最上位ビットとなる。出力信号（ａｃｃｏｕｔ［１０：０］）において、最上位のビットの信号（ａｃｃｏｕｔ１０）は、２の補数で演算されたラッチデータの符号を表し、そのプラスデータを１、マイナスデータを０として次のＮＮ層に渡すため、符号化回路として機能するインバータ回路４６で反転され、出力信号Ｑとして出力される。Ｑは中間層の出力であるため、アクセラレータ２０内のバッファメモリ（入力バッファとも言う）に一時的に保持された後、次層の演算に使用される。

【００６２】

図５Ａには、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）のアーキテクチャに基づく、階層型のニューラルネットワークを図示する。図５Ａでは、ニューロン５０、入力層１層（Ｉ１）、中間層３層（Ｍ１乃至Ｍ３）、出力層１層（Ｏ１）の全結合型のニューラルネットワークを図示している。入力層Ｉ１におけるニューロン数を７８６、中間層Ｍ１乃至Ｍ３におけるニューロン数を２５６、出力層Ｏ１におけるニューロン数を１０とすると、各層（層５１、層５２、層５３および層５４）の結合数は（７８４×２５６）＋（２５６×２５６）＋（２５６×２５６）＋（２５６×１０）で計３３４３３６個となる。つまり、ニューラルネットワーク計算に必要な重みパラメータが合計３３０Ｋビット程度であるため、小規模システムでも十分実装可能なメモリ容量とすることができる。

【００６３】

次に、図５Ａに図示するニューラルネットワークの演算ができる、半導体装置１００の

詳細なブロック図について図５Ｂに示す。

【００６４】

図５Ｂでは、図１Ａおよび図１Ｂで説明した、演算処理部２１、演算回路２３、メモリ部２２、メモリ回路２４、および配線３１の他、図１Ａおよび図１Ｂで図示する各構成を駆動するための周辺回路の構成例について図示している。

【００６５】

図５Ｂでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８、入力バッファ７１および演算制御回路７２を図示している。

【００６６】

図６Ａは、図５Ｂに図示する各構成について、メモリ部２２を制御するブロックを抜き出した図である。図６Ａでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８を抜き出して図示している。

【００６７】

コントローラ６１は、外部からの入力信号を処理して、ロウデコーダ６２およびカラムデコーダ６４の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号や読み出しイネーブル信号などのメモリ部２２を制御するための制御信号である。またコントローラ６１は、ＣＰＵ１０との間でバスを介してメモリ部２２に書き込まれるデータあるいはメモリ部２２から読み出されるデータの入出力が行われる。

【００６８】

ロウデコーダ６２は、ワード線ドライバ６３を駆動するための信号を生成する。ワード線ドライバ６３は、書込用ワード線ＷＷＬおよび読出用ワード線ＲＷＬに与える信号を生成する。カラムデコーダ６４は、センスアンプ６７および書き込みドライバ６５を駆動するための信号を生成する。センスアンプ６７は、読出用ビット線ＲＢＬの電位を増幅する。書き込みドライバは、読出用ビット線ＲＢＬおよび書込用ビット線ＷＢＬを制御するための信号を生成する。プリチャージ回路６６は、読出用ビット線ＲＢＬなどをプリチャージする機能を有する。メモリ部２２のメモリ回路２４から読み出される信号は、演算回路２３に入力される他、セレクタ６８を介して出力することができる。セレクタ６８は、バス幅に応じた分のデータを順次読出し、コントローラ６１を介して必要なデータをＣＰＵ１０等に出力することができる。

【００６９】

図６Ｂは、図５Ｂに図示する各構成について、演算処理部２１を制御するブロックを抜き出した図である。

【００７０】

コントローラ６１は、外部からの入力信号を処理して、演算制御回路７２の制御信号を生成する。またコントローラ６１は、演算処理部２１が有する演算回路２３を制御するための各種信号を生成する。またコントローラ６１は、入力バッファ７１を介して、演算結果に関するデータを入出力する。入力バッファ７１を利用することで、ＣＰＵのデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みパラメータをＣＰＵ１０との間で転送する回数を削減できるため、低消費電力化を図ることができる。

【００７１】

本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を小型化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を低消費電力化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置において、発熱を抑制することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置において、ＣＰＵとメモリとして機能する半導体装置との間のデータ転送回数を削減することができる。換言すれば計算量とパラメータ数が

膨大なＡＩ技術などのアクセラレータとして機能する半導体装置は非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

【００７２】

（実施の形態２）

本発明の一態様である半導体装置の構成、および動作等について説明する。なお本実施の形態において、上記実施の形態と同じ符号が付される構成についての繰り返しの説明を省略する場合がある。

【００７３】

図７Ａおよび図７Ｂは、本発明の一態様である半導体装置１００Ａを説明するための図である。図７Ａおよび図７Ｂにおける半導体装置１００Ａでは、一例として、ＣＰＵ１０、アクセラレータ２０およびバス３０を図示している。ＣＰＵ１０は、ＣＰＵコア１１およびバックアップ回路１２を有する。アクセラレータ２０は、演算処理部２１およびメモリ部２２を有する。演算処理部２１は、駆動回路１５および演算回路２３を有する。駆動回路１５は、メモリ部２２を駆動するための回路である。メモリ部２２は、メモリ回路２４を有する。メモリ部２２は、デバイスメモリ、共有メモリという場合がある。メモリ回路２４は、チャネル形成領域を有する半導体層２９を有するトランジスタ２５を有する。駆動回路１５とメモリ回路２４とは、配線３１を介して電気的に接続される。

【００７４】

メモリ回路２４は、演算処理部２１が有する演算回路２３と配線３１および駆動回路１５を介して電気的に接続される。メモリ回路２４は、２値または３値のデータをアナログの電圧値として保持する機能を有する。当該構成とすることで、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）、およびＴｅｒｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＴＮＮ）といったアーキテクチャに基づく演算処理を演算処理部２１で効率的に行うことができる。

【００７５】

駆動回路１５は、メモリ部２２にデータを書き込むための書き込み回路およびメモリ部２２からデータを読み出すための読み出し回路を有する。書き込み回路は、２値または３値のデータ信号の書き込みを切り替える切替信号、書き込み制御信号、およびデータ信号等の各種信号に応じて、メモリ部２２にあるメモリ回路２４に書き込むデータを２値または３値の電圧値に切り替えて出力する機能を有する。書き込み回路は、複数の信号が入力されるロジック回路で構成される。読み出し回路は、複数の参照電圧を用いて、メモリ部２２にあるメモリ回路２４に保持された電圧値を２値または３値のデータ信号に切り替えて読み出す機能を有する。読み出し回路は、センスアンプの機能を有する。

【００７６】

ＯＳトランジスタで構成されるメモリ回路２４と駆動回路１５とは、駆動回路１５および演算回路２３が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線３１を介して電気的に接続される。なお「概略垂直」とは、８５度以上９５度以下の角度で配置されている状態をいう。なおメモリ回路２４に接続されるビット線が書き込みビット線と読み出しビット線の場合、別々の配線を介して接続されることが好ましい。例えば書き込みビット線は、駆動回路１５および演算回路２３が設けられる基板表面に概略垂直に設けられた配線（第１配線）を介して書き込み回路に接続される。また例えば読み出しビット線は、駆動回路１５および演算回路２３が設けられる基板表面に概略垂直に設けられた配線（第２配線）を介して読み出し回路に接続される。

【００７７】

次いで図８Ａでは、図７Ａおよび図７Ｂで説明した半導体装置１００Ａの構成に加え、バス３０に接続されたＯＳメモリ３００の他、ＤＲＡＭなどで構成されるメインメモリ４００を図示している。また図８Ａでは、ＯＳメモリ３００とＣＰＵ１０との間のデータをデータD_{CPU}として図示している。また図８Ａでは、ＯＳメモリ３００とアクセラレータ２０との間のデータをデータD_{ACC}として図示している。

【００７８】
上述したように本発明の一態様の構成では、アクセラレータ２０において、２値または３値のアナログの電圧値をデータとして保持しつづけることができるとともに、演算回路で演算して得られる演算結果をＣＰＵ１０に出力する構成とすることができる。そのため、演算処理のためのＯＳメモリ３００からのデータD_{Acc}を削減することができる。またＣＰＵ１０の演算処理量を削減することができるため、ＯＳメモリ３００とＣＰＵ１０との間のデータD_{CPU}も削減することができる。つまり本発明の一態様の構成では、バス３０を介したアクセス数の低減、転送するデータ量の削減を図ることができる。
【００７９】
なおＣＰＵ１０におけるバックアップ回路１２およびアクセラレータ２０におけるメモリ部２２は、Ｓｉ　ＣＭＯＳで構成することができるＣＰＵコア１１および演算処理部２１と積層して設けることができる。そのため、回路面積の増加を招くことなく、配置することができる。
【００８０】
またＯＳメモリ３００に適用可能な記憶回路としては、ＤＯＳＲＡＭあるいはＮＯＳＲＡＭが好ましい。ＤＯＳＲＡＭ（登録商標）とは、「Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ（ＲＡＭ）」の略称であり、１Ｔ（トランジスタ）１Ｃ（容量）型のメモリセルを有するＲＡＭを指す。ＤＯＳＲＡＭは、ＮＯＳＲＡＭと同様に、ＯＳトランジスタのオフ電流が低いことを利用したメモリである。
【００８１】
ＤＯＳＲＡＭは、ＯＳトランジスタを用いて形成されたＤＲＡＭであり、ＤＯＳＲＡＭは、外部から送られてくる情報を一時的に格納するメモリである。ＤＯＳＲＡＭは、ＯＳトランジスタを含むメモリセルと、Ｓｉトランジスタ（チャネル形成領域にシリコンを有するトランジスタ）を含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、ＤＯＳＲＡＭは、全体の回路面積を小さくすることができる。また、ＤＯＳＲＡＭは、メモリセルアレイを細かく分けて、効率的に配置することができる。
【００８２】
なおＯＳメモリ３００において図８Ｂに図示するようにＯＳメモリ３００は、ＯＳトランジスタを有する層を積層して形成し、ＤＯＳＲＡＭを高集積化したＯＳメモリ３００Ｎとすることで、単位面積あたりの記憶容量を大きくすることができる。この場合、半導体装置１００Ａと別に設けるメインメモリ４００を省略することも可能である。
【００８３】
ＯＳメモリ３００Ｎを含め、半導体装置１００Ａが有するＣＰＵ１０およびアクセラレータ２０が有する回路の一部をＯＳトランジスタで構成することで、各回路を一体化した１つの集積回路とすることができる。図９には、ＣＰＵ１０、アクセラレータ２０およびＯＳメモリ３００Ｎを密結合させたＳｏＣとして機能する半導体装置１００Ａの模式図について図示する。
【００８４】
図９に図示するように、ＣＰＵ１０において、ＣＰＵコア１１の上層にあるＯＳトランジスタを有する層にバックアップ回路１２を設ける構成とすることができる。また図９に図示するように、アクセラレータ２０において、演算処理部２１の上層にあるＯＳトランジスタを有する層にメモリ部２２を設けることができる。また図９に図示するように、メモリ部２２と同様に積層されたＯＳメモリ３００Ｎを配置することができる。その他、Ｓｉトランジスタを有するコントロール回路５００、ＯＳトランジスタを有するロジック回路６００等を設ける構成とすることができる。なおロジック回路６００は、ＯＳトランジスタで代替可能な、切り替えスイッチなどの簡易なロジック回路等が好ましい。
【００８５】
図９に図示するように、ＣＰＵ１０、アクセラレータ２０およびメモリ３００Ｎ等の各

回路を密結合させたＳｏＣの場合、発熱の問題があるが、ＯＳトランジスタは熱による電気特性の変動量がＳｉトランジスタと比べて小さいため、好適である。また、図９に図示するように三次元方向において回路を集積化することによって、シリコン貫通電極（Ｔｈｒｏｕｇｈ Ｓｉｌｉｃｏｎ Ｖｉａ：ＴＳＶ）などを用いた積層構造などと比較して寄生容量を小さくすることができる。各配線の充放電に要する消費電力を削減することができる。そのため、演算処理効率の向上を図ることができる。

【００８６】

図１０Ａは、処理性能（ＯＰＳ：Ｏｐｅｒａｔｉｏｎｓ Ｐｅｒ Ｓｅｃｏｎｄ）と、消費電力（Ｗ）との関係を説明する図である。なお、図１０Ａにおいて、縦軸が処理能力を、横軸が消費電力を、それぞれ表している。また、図１０Ａ中には、演算効率の指標として、０．１ＴＯＰＳ／Ｗ（Ｔｅｒａ Ｏｐｅｒａｔｉｏｎｓ Ｐｅｒ Ｓｅｃｏｎｄ／Ｗ）、１ＴＯＰＳ／Ｗ、１０ＴＯＰＳ／Ｗ、及び１００ＴＯＰＳ／Ｗを、破線にてそれぞれ明示してある。

【００８７】

また、図１０Ａにおいて、領域７１０が従来の汎用ＡＩアクセラレータ（ノイマン型）が含まれる領域を、領域７１２が本発明の一態様の半導体装置が含まれる領域を、それぞれ示している。なお、領域７１０には、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、ＦＰＧＡ（Ｆｉｅｌｄ－Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）などが含まれる。

【００８８】

図１０Ａに示すように、本発明の一態様の半導体装置を適用することで、従来の汎用ＡＩアクセラレータ（ノイマン型）よりも、２桁程度の消費電力を低減することができ、且つ処理性能を大幅（例えば１０００倍以上）に向上させることができる。なお、本発明の一態様の半導体装置を適用することで、１００ＴＯＰＳ／Ｗ以上の演算効率が期待できる。

【００８９】

ここで、従来構成と、本発明の一態様の半導体装置を適用する構成との具体例について、図１０Ｂ、及び図１０Ｃを用いて説明する。図１０Ｂが、画像認識における従来構成の半導体装置の消費電力のイメージ図を表し、図１０Ｃが、画像認識における本発明の一態様の構成を用いる半導体装置の消費電力のイメージ図を表している。

【００９０】

なお、図１０Ｂ、及び図１０Ｃにおいて、縦軸が電力を、横軸が時間を、それぞれ表している。また、図１０Ｂにおいて、電力７１４がリーク電力を、電力７１６がＣＰＵ電力を、電力７１８がメモリ電力を、それぞれ示している。また、図１０Ｃにおいて、電力７１４がリーク電力を、電力７２０がＣＰＵ電力を、電力７２２がアクセラレータ電力を、それぞれ示している。なお、電力７２２には、演算回路、及びメモリ回路に用いられる電力も含まれる。

【００９１】

また、図１０Ｂ、及び図１０Ｃにおいて、矢印ａ、矢印ｂ、及び矢印ｃは、それぞれ画像認識における信号を表している。なお、矢印ａ、矢印ｂ、及び矢印ｃの信号が入力された際に、半導体装置にて、画像認識などの演算処理が開始されると仮定する。

【００９２】

図１０Ｂに示すように、従来構成の半導体装置の場合、時間に対して一定のリーク電力（電力７１４）が生じている。一方で、図１０Ｃに示すように、本発明の一態様の半導体装置を適用する構成の場合、ＣＰＵ電力（電力７２０）、及びアクセラレータ電力（電力７２２）を使用している間はリーク電力（電力７１４）が生じているが、ＣＰＵ電力（電力７２０）、及びアクセラレータ電力（電力７２２）を使用していない期間は、リーク電力（電力７１４）が発生しないノーマリーオフ駆動（図１０Ｃ中に示す期間ｔ１）とすることができる。これにより、消費電力を大幅に低減することが可能となる。すなわち、極低消費電力な半導体装置を提供することができる。

【００９３】
図１１Ａは、本発明の半導体装置１００Ａが有するメモリ部２２に適用可能な回路構成例について説明する図である。図１１Ａでは、Ｍ行Ｎ列（Ｍ、Ｎは２以上の自然数）行列方向に並べて配置された書き込み用ワード線ＷＷＬ＿１乃至ＷＷＬ＿Ｍ、読み出し用ワード線ＲＷＬ＿１乃至ＲＷＬ＿Ｍ、書き込み用ビット線ＷＢＬ＿１乃ＷＢＬ＿Ｎ、および読み出し用ビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎを図示している。また各ワード線およびビット線に接続されたメモリ回路２４を図示している。
【００９４】
図１１Ｂは、メモリ回路２４に適用可能な回路構成例について説明する図である。メモリ回路２４は、トランジスタ２５、トランジスタ２６、トランジスタ２７、容量素子２８（キャパシタともいう）を有する。
【００９５】
トランジスタ２５のソースまたはドレインの一方は、書き込み用ビット線ＷＢＬに接続される。トランジスタ２５のゲートは、書き込み用ワード線ＷＷＬに接続される。トランジスタ２５のソースまたはドレインの他方は、容量素子２８の一方の電極およびトランジスタ２６のゲートに接続される。トランジスタ２６のソースまたはドレインの一方および容量素子２８の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ２６のソースまたはドレインの他方は、トランジスタ２７のソースまたはドレインの一方に接続される。トランジスタ２７のゲートは、読み出し用ワード線ＲＷＬに接続される。トランジスタ２７のソースまたはドレインの他方は、読み出し用ビット線ＲＢＬに接続される。書き込み用ビット線ＷＢＬおよび読み出し用ビット線ＲＢＬは、上述したように、演算回路２３が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線等を介して、駆動回路１５に接続される。駆動回路１５は、２値または３値のアナログの電圧値であるデータ信号S_{OUT}を出力する。また駆動回路１５は、メモリ回路２４から読み出されるデータに応じた読み出し用ビット線ＲＢＬの電圧が与えられ、当該電圧に応じたデータ信号ＤＯ０、ＤＯ１を出力する。
【００９６】
図１１Ｂに示すメモリ回路２４の回路構成は、３トランジスタ型（３Ｔ）ゲインセルのＮＯＳＲＡＭに相当する。トランジスタ２５乃至トランジスタ２７は、ＯＳトランジスタである。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。なお各トランジスタは、バックゲートを有する構成としてもよい。バックゲートを有することで、トランジスタ特性の向上を図ることができる。
【００９７】
図１２Ａは、本発明の半導体装置１００Ａが有する演算処理部２１に適用可能な回路構成例について説明する図である。演算処理部２１は、駆動回路１５および演算回路２３を有する。駆動回路１５は、Ｎ個の駆動回路１５＿１乃至駆動回路１５＿Ｎを有する。演算回路２３は、Ｎ個の演算回路２３＿１乃至演算回路２３＿Ｎを有する。Ｎ個の駆動回路１５＿１乃至駆動回路１５＿Ｎはそれぞれ、Ｎ本の読み出し用ビット線ＲＢＬ＿１乃至読み出し用ビット線ＲＢＬ＿Ｎのいずれか一の信号が入力され、データ信号ＤＯ０＿１乃至ＤＯ０＿Ｎおよび／またはデータ信号ＤＯ１＿１乃至ＤＯ１＿Ｎを出力する。データ信号ＤＯ０＿１乃至ＤＯ０＿Ｎおよび／またはデータ信号ＤＯ１＿１乃至ＤＯ１＿Ｎは、演算回路２３＿１乃至演算回路２３＿Ｎに入力され、出力信号Ｙ＿１乃至Ｙ＿Ｎを得る。出力信号Ｙ＿１乃至Ｙ＿Ｎは、メモリ回路２４に保持したデータを用いて積和演算を行うことで得られるデータに相当する。
【００９８】
図１２Ｂは、演算回路２３＿１乃至演算回路２３＿Ｎに適用可能な演算回路２３の回路構成例を説明する図である。図１３は、Ｂｉｎａｒｙ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ（ＢＮＮ）またはＴｅｒｎａｒｙ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ（ＴＮＮ）のアーキテクチャ

に基づく演算処理を実行するための回路である。演算回路２３は、データ信号ＤＯ０および／またはデータ信号ＤＯ１が入力される読出回路４１と、ビット積和演算器４２と、アキュムレータ４３、ラッチ回路４４、および出力信号Ｙを出力する符号化回路４５を有する。

【００９９】

図１２Ｂで図示した演算回路２３の構成について、より詳細を示す構成例を図１３に図示する。図１３では、８ビットの信号（Ｗ［０］乃至Ｗ［７］、Ａ［０］乃至Ａ［７］）の積和演算を行い、出力信号Ｙ、１１ビットの出力信号（ａｃｃｏｕｔ［１０：０］）を出力する構成を一例として図示している。図１２Ｂでは、メモリアクセスは１クロックで１行を選択するため、Ｍ個（＝１ビット×Ｍ行）の積とその和をＭクロックで実行する。図１３の演算回路では、同じＭ個の積とその和を８並列×１ビット×Ｍ／８行で実行できるため、Ｍ／８クロックを要する。したがって、図１３の構成は並列に積和演算を実行することで演算時間を短縮できるため、演算効率を向上できる。

【０１００】

図１３において、ビット積和演算器４２は、８ビットの信号（Ｗ［０］乃至Ｗ［７］、Ａ［０］乃至Ａ［７］）が入力される積算器および当該積算器で得られた値が入力される加算器を有する。図１３に示すように、８並列で演算される１ビットの信号の積をＷＡ０乃至ＷＡ７、さらにその和をＷＡ１０、ＷＡ３２、ＷＡ５４、ＷＡ７６、さらにその和をＷＡ３２１０、ＷＡ７６５４として図示している。

【０１０１】

図１３において、加算器として機能するアキュムレータ４３は、ビット積和演算器４２の信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。なおアキュムレータ４３は、制御信号ＴｘＤ＿ＥＮに応じて加算器に入力する信号が切り替えられる。制御信号ＴｘＤ＿ＥＮが０（ＴｘＤ＿ＥＮ＝０）でビット積和演算器４２の信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。制御信号ＴｘＤ＿ＥＮが１（ＴｘＤ＿ＥＮ＝１）でロジック回路４７の信号（１１ｂｉｔ　ｓｅｌｅｃｔｏｒ）とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。

【０１０２】

図１３において、ＡＮＤ回路で構成されるロジック回路４７は、信号Ａ［０］乃至Ａ［７］と信号Ｗ［０］乃至Ｗ［７］の積和演算が完了した後、バッチノーマライゼーションのためのデータ、具体的には切替信号（ｔｈ　ｓｅｌｅｃｔ［１０：０］）で切り替えながら、信号Ｗ［７］を足し合わせる。なお、バッチノーマライゼーションのためのデータは、例えば信号Ｗ［７］以外の信号Ｗ［０］乃至Ｗ［６］からも同時に読み出して選択する構成としてもよい。バッチノーマライゼーションは、ニューラルネットワークにおける各層の出力データの分布が一定に収まるように調整するための動作である。例えば、ニューラルネットワークにおける演算によく利用される画像データは、学習に用いるデータの分布がばらつきやすいため、予測データ（入力データ）の分布と異なることがある。バッチノーマライゼーションは、ニューラルネットワークの中間層への入力データの分布を平均０、分散１のガウス分布に正規化することで、ニューラルネットワークにおける学習の精度を高めることができる。Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）では活性化によって各層の出力結果が２値化されるため、しきい値に対してデータ分布の偏りを抑制することで、適切に活性化、つまり情報を分別できるようになる。

【０１０３】

ラッチ回路４４は、アキュムレータ４３の出力信号（ａｃｃｏｕｔ［１０：０］）を保持する。バッチノーマライゼーションによって次のニューラルネットワークにおける層（ＮＮ層）に渡す２値データはラッチ回路４４が保持する積和演算結果の最上位ビットとなる。出力信号（ａｃｃｏｕｔ［１０：０］）において、最上位のビットの信号（ａｃｃｏｕｔ１０）は、２の補数で演算されたラッチデータの符号を表し、そのプラスデータを１、マイナスデータを０として次のＮＮ層に渡すため、符号化回路として機能するインバータ回路４６で反転され、出力信号Ｙとして出力される。Ｙは中間層の出力であるため、ア

クセラレータ２０内のバッファメモリ（入力バッファとも言う）に一時的に保持された後、次層の演算に使用される。

【０１０４】

図１４Ａには、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）またはＴｅｒｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＴＮＮ）のアーキテクチャに基づく、階層型のニューラルネットワークを図示する。図１４Ａでは、ニューロン５０、入力層１層（Ｉ１）、中間層３層（Ｍ１乃至Ｍ３）、出力層１層（Ｏ１）の全結合型のニューラルネットワークを図示している。入力層Ｉ１におけるニューロン数を７８６、中間層Ｍ１乃至Ｍ３におけるニューロン数を２５６、出力層Ｏ１におけるニューロン数を１０とすると、例えばＢｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）では、各層（層５１、層５２、層５３および層５４）の結合数は（７８４×２５６）＋（２５６×２５６）＋（２５６×２５６）＋（２５６×１０）で計３３４３３６個となる。つまり、ニューラルネットワーク計算に必要な重みパラメータが合計３３０Ｋビット程度であるため、小規模システムでも十分実装可能なメモリ容量とすることができる。

【０１０５】

次に、図１４Ａに図示するニューラルネットワークの演算ができる、半導体装置１００Ａの詳細なブロック図について図１４Ｂに示す。

【０１０６】

図１４Ｂでは、図７Ａおよび図７Ｂで説明した、演算処理部２１、演算回路２３、メモリ部２２、メモリ回路２４、および配線３１の他、図７Ａおよび図７Ｂで図示する各構成を駆動するための周辺回路の構成例について図示している。

【０１０７】

図１４Ｂでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８、入力バッファ７１および演算制御回路７２を図示している。

【０１０８】

図１５Ａは、図１４Ｂに図示する各構成について、メモリ部２２を制御するブロックを抜き出した図である。図１５Ａでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８を抜き出して図示している。図７Ａおよび図７Ｂで図示する駆動回路１５は、書き込みドライバ６５、プリチャージ回路６６、およびセンスアンプ６７のブロックに相当する。なお駆動回路１５には、ワード線ドライバ６３およびカラムデコーダ６４を含めてもよい。

【０１０９】

コントローラ６１は、外部からの入力信号を処理して、ロウデコーダ６２およびカラムデコーダ６４の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号や読み出しイネーブル信号などのメモリ部２２を制御するための制御信号である。またコントローラ６１は、ＣＰＵ１０との間でバスを介してメモリ部２２に書き込まれるデータあるいはメモリ部２２から読み出されるデータの入出力が行われる。

【０１１０】

ロウデコーダ６２は、ワード線ドライバ６３を駆動するための信号を生成する。ワード線ドライバ６３は、書き込み用ワード線ＷＷＬおよび読み出し用ワード線ＲＷＬに与える信号を生成する。カラムデコーダ６４は、センスアンプ６７および書き込みドライバ６５を駆動するための信号を生成する。プリチャージ回路６６は、読み出し用ビット線ＲＢＬなどをプリチャージする機能を有する。メモリ部２２のメモリ回路２４から読み出される信号は、演算回路２３に入力される他、セレクタ６８を介して出力することができる。セレクタ６８は、バス幅に応じた分のデータを順次読み出しし、コントローラ６１を介して必要なデータをＣＰＵ１０等に出力することができる。

【０１１１】

図１５Ｂは、図１４Ｂに図示する各構成について、演算処理部２１を制御するブロック

を抜き出した図である。

【０１１２】

コントローラ６１は、外部からの入力信号を処理して、演算制御回路７２の制御信号を生成する。またコントローラ６１は、演算処理部２１が有する演算回路２３を制御するための各種信号を生成する。またコントローラ６１は、入力バッファ７１を介して、演算結果に関するデータを入出力する。このバッファメモリを利用することで、ＣＰＵのデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みパラメータをＣＰＵ１０との間で転送する回数を削減できるため、低消費電力化を図ることができる。

【０１１３】

図１６では、２値または３値のアナログの電圧値に変換されたデータ信号をメモリ回路に書き込むための、書き込みドライバ６５の構成例について説明する。書き込みドライバ６５は、インバータ回路６０１、ＮＡＮＤ回路６０２、ＮＡＮＤ回路６０３、インバータ回路６０４、トランジスタ６０５、トランジスタ６０６、およびインバータ回路６０７を有する。書き込みドライバ６５を構成するトランジスタは、Ｓｉトランジスタである。トランジスタ６０５およびトランジスタ６０６は、図１６に図示するようにｐチャネル型トランジスタが好ましい。

【０１１４】

トランジスタ６０５およびトランジスタ６０６のソースまたはドレインの一方には、図１６に図示するように、電位ＶＤＤ（＞ＧＮＤ）または電位ＶＤＤ／２（＞ＧＮＤ）が与えられる。またインバータ回路６０１には、入力データであるデータ信号ＤＩ１が与えられる。ＮＡＮＤ回路６０２には、インバータ回路６０１の出力信号の他、データ信号ＤＩ０、データの書き込みを制御するための書き込み制御信号ＷＥおよび２値または３値のデータ信号の書き込みを切り替えるための切替信号Ｂ／Ｔが入力される。ＮＡＮＤ回路６０３には、データ信号ＤＩ０および書き込み制御信号ＷＥが入力される。インバータ回路６０７は、２値または３値のデータに応じた電圧値に相当するデータ信号S_{OUT}を出力する。

【０１１５】

図１６に図示する各信号の真理値表は、表１のようになる。

【０１１６】

【表１】

WE	B/T	DI1	DI0	S_{OUT}
1	0	1	1	X
		0	1	VDD
		0	0	GND
	1	1	1	VDD
		0	1	VDD/2
		0	0	GND

【０１１７】

つまり２値のデータをメモリ回路に書き込む場合、データ信号S_{OUT}はデータ信号ＤＩ０に応じて、電圧ＶＤＤまたは電圧ＧＮＤに切り替えられる。３値のデータをメモリ回路に書き込む場合、データ信号S_{OUT}はデータ信号ＤＩ０およびＤＩ１に応じて、電圧ＶＤＤ、電圧ＶＤＤ／２または電圧ＧＮＤの３値に切り替えられる。切り替えられた電圧は、書き込みビット線ＷＢＬを介して、メモリ回路に書き込むことができる。

【０１１８】
図１７では、２値または３値のアナログの電圧値に応じたデータ信号を演算回路２３に出力するセンスアンプ６７を含む構成例について説明する。図１７では、入力信号に相当する読み出しビット線ＲＢＬの電位から出力データであるデータ信号ＤＯ０、ＤＯ１を生成する、比較回路６１１および比較回路６１２が、センスアンプ６７として機能する。比較回路６１１には、読み出しビット線ＲＢＬの電位の電位および参照電圧Ｖｒｅｆ１が与えられる。比較回路６１２には、読み出しビット線ＲＢＬの電位の電位および参照電圧Ｖｒｅｆ２が与えられる。参照電圧Ｖｒｅｆ２は、参照電圧Ｖｒｅｆ１より大きく、ＶＤＤより小さい。参照電圧Ｖｒｅｆ１は、ＧＮＤより大きく、ＶＤＤ／２より小さい。

【０１１９】
二値のデータの場合、バッファ回路６１３を介して出力される２値の出力データであるデータ信号ＤＯ０およびデータ信号ＢＯが得られる。データ信号ＤＯ０は、データ信号ＢＯと同じ論理値である。データ信号ＤＯ０と、データ信号ＢＯと、の各信号の真理値表は、表２のようになる。

【０１２０】
【表２】

DO0	BO
0	0
1	1

【０１２１】
３値の出力データの場合、演算回路２３を介して出力されるデータ信号Ｙが得られる。データ信号ＤＯ０、データ信号ＤＯ１と、データ信号Ｙと、の各信号の真理値表は、表３のようになる。

【０１２２】
【表３】

DO1	DO0	W	A	Y=A*X
1	1	0	-1	0
0	1	+1	-1	-1
0	0	-1	-1	+1
1	1	0	+1	0
0	1	+1	+1	+1
0	0	-1	+1	-1

【０１２３】
データ信号Ｙは、重みデータＡとデータ信号ＤＯ０、ＤＯ１（Ｘ）とが、積和演算され

ることで積和信号Ｙ（＝Ａ＊Ｘ）を生成する。

【０１２４】

以上説明したように、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、小型化された半導体装置を提供することができる。または、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、発熱が抑制された半導体装置を提供することができる。または、本発明の一態様は、ＣＰＵにおけるデータ転送回数が削減された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。換言すれば、本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

【０１２５】

（実施の形態３）

本発明の一態様である半導体装置の構成、および動作等について説明する。なお本実施の形態において、上記実施の形態と同じ符号が付される構成についての繰り返しの説明を省略する場合がある。

【０１２６】

図１８Ａおよび図１８Ｂは、本発明の一態様である半導体装置１００Ｂを説明するための図である。半導体装置１００Ｂは、ＣＰＵ１０、アクセラレータ２０およびバス３０を有する。アクセラレータ２０は、演算処理部２１およびメモリ部２２を有する。演算処理部２１は、演算回路２３を有する。メモリ部２２は、メモリ回路２４を有する。メモリ部２２は、デバイスメモリ、共有メモリという場合がある。メモリ回路２４は、チャネル形成領域を有する半導体層２９を有するトランジスタ２５を有する。演算回路２３とメモリ回路２４とは、配線３１を介して電気的に接続される。

【０１２７】

メモリ部２２は、アクセラレータ２０が処理するデータを記憶および生成する機能を有する。具体的には、ニューラルネットワークの積和演算の並列処理に用いる重みデータ（第１データ信号ともいう）を記憶する機能を有する。またメモリ部２２は、入力データ（第２データ信号ともいう）との乗算の結果に応じた出力データ（第３データ信号）を生成する機能を有する。メモリ部は、生成された出力データを演算処理部２１に入力する機能を有する。

【０１２８】

メモリ回路２４は、演算処理部２１が有する演算回路２３と配線３１を介して電気的に接続され、２値で表される重みデータ、つまり１ビットのデジタル信号を保持する機能を有する。またメモリ回路は、重みデータと、入力データと、の乗算結果に相当する排他的論理和によって得られる信号を生成する機能を有する。なおメモリ回路２４において、トランジスタ２５が有する半導体層２９は、酸化物半導体である。つまり、トランジスタ２５は、ＯＳトランジスタである。メモリ回路２４は、ＯＳトランジスタを有するメモリ（以下、ＯＳメモリともいう。）が好適である。

【０１２９】

図１９Ａは、本発明の半導体装置１００Ｂが有するメモリ部２２に適用可能な回路構成例について説明する図である。図１９Ａでは、Ｍ行Ｎ列（Ｍ、Ｎは２以上の自然数）行列方向に並べて配置された書込用ワード線ＷＷＬ＿１乃至ＷＷＬ＿Ｍ、読出用ワード線ＲＷＬ＿１１乃至ＲＷＬ＿ＭＮ、読出用反転ワード線ＲＷＬＢ＿１１乃至ＲＷＬＢ＿ＭＮ、書込用ビット線ＷＢＬ＿１乃ＷＢＬ＿Ｎ、書込用反転ビット線ＷＢＬＢ＿１乃ＷＢＬＢ＿Ｎ、および読出用ビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎを図示している。また各ワード線およびビット線に接続された複数のメモリ回路２４を図示している。

【０１３０】

図１９Ｂは、メモリ回路２４に適用可能な回路構成例について説明する図である。メモ

リ回路２４は、トランジスタ３１Ａ、３１Ｂ、トランジスタ３２Ａ、３２Ｂ、トランジスタ３３Ａ、３３Ｂ、容量素子３４Ａ、３４Ｂ（キャパシタともいう）の各素子を有する。各素子は、図１９Ｂに図示するように、書込用ワード線ＷＷＬ、読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢ、書込用ビット線ＷＢＬ、書込用反転ビット線ＷＢＬＢ、および読出用ビット線ＲＢＬの各配線に接続される。

【０１３１】

容量素子３４Ａ、３４Ｂの一方の電極、およびトランジスタ３２Ａ、３２Ｂのソースまたはドレインの一方は、固定電位たとえばグラウンド電位を与える配線に接続される。読出用ビット線ＲＢＬは、上述したように、演算回路２３が設けられる基板表面に対して概略垂直な方向に延在して設けられる配線３１等を介して、演算回路２３に接続される。

【０１３２】

図１９Ｂに示すメモリ回路２４の回路構成は、トランジスタ３１Ａ、トランジスタ３２Ａ、およびトランジスタ３３Ａ並びにトランジスタ３１Ｂ、トランジスタ３２Ｂ、およびトランジスタ３３Ｂで、３トランジスタ型（３Ｔ）ゲインセルのＮＯＳＲＡＭを構成する。トランジスタ３１Ａ、３１Ｂ、トランジスタ３２Ａ、３２Ｂ、トランジスタ３３Ａ、３３Ｂは、ＯＳトランジスタである。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。図１９Ｂで言えば、トランジスタ３１Ａ、３１Ｂをオフにすることで、ノードＳＮ１、ＳＮ２に与えられた電荷を保持することができる。なお各トランジスタは、バックゲート電極を有する構成としてもよい。

【０１３３】

図１９Ｂのメモリ回路２４の真理値表は、表４のようになる。表３においてＨレベルおよびＬレベルの電圧は、論理「１」、「０」で表している。「ＲＷＬ」、「ＲＷＬＢ」は、入力データとして与えられる読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢの電圧に応じた論理に相当する。「ＳＮ１」、「ＳＮ２」は、重みデータとして書込用ビット線ＷＢＬ、書込用反転ビット線ＷＢＬＢからノードＳＮ１、ＳＮ２に与えられる電圧に応じた論理に相当する。「ＲＢＬ」は、出力データとして生成される読出用ビット線ＲＢＬの電圧に応じた論理に相当する。

【０１３４】

【表４】

RWL	RWLB	SN1	SN2	RBL
1	0	1	0	1
1	0	0	1	0
0	1	1	0	0
0	1	0	1	1

【０１３５】

図１９Ｂの回路構成において、表４で示す真理値表のデータを得ることができる。そのため、例えば、表５に示す読出用ワード線ＲＷＬ（入力データＡ）と、ノードＳＮ２（重みデータＷ）と、の排他的論理和に基づく出力信号（出力データＹ＝Ｗ×Ａ）を得ることができる。なお表５に図示するように、論理「１」、「０」は、Ｂｉｎａｒｙ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ（ＢＮＮ）に用いる「＋１」または「－１」の２値で表されるデータである。

【０１３６】

【表５】

RWL (A)	SN1 (W)	RBL (Y=W×A)
−1 (0)	−1 (0)	+1 (1)
−1 (0)	＋1 (1)	−1 (0)
＋1 (1)	−1 (0)	−1 (0)
＋1 (1)	＋1 (1)	+1 (1)

【０１３７】
読出用ビット線ＲＢＬにデータを読み出す場合の動作について、図２０Ａを用いて説明する。まずスタンバイ期間Ｔ０１で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢをＨレベル、読出用ビット線ＲＢＬを中間電位とする。次いで、プリチャージ期間Ｔ０２で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢをＨレベルとし、読出用ビット線ＲＢＬをＨレベルとして電気的に浮遊状態（フローティング）とする。次いで、読み出し期間Ｔ０３で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢを入力データに応じた論理「１」、「０」とすることで、読出用ビット線ＲＢＬの論理が「１」または「０」に変化することで出力データを生成することができる。
【０１３８】
重みデータの保持、および入力データとの排他的論理和に基づく信号を生成可能なメモリ部２２は、図２０Ｂに図示するような構成とすることができる。つまり複数のメモリ回路２４において、重みデータであるW_{11}乃至W_{MN}を記憶部３５に保持させ、読出用ワード線ＲＷＬ＿１１乃至ＲＷＬ＿ＭＮ、読出用反転ワード線ＲＷＬＢ＿１１乃至ＲＷＬＢ＿ＭＮを介して入力データを排他的論理和部３６（ＥｘＯＲ）に与えることで、重みデータと入力データとの排他的論理和に基づく出力データを読出用ビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎに入力することができる。
【０１３９】
なお図１９Ｂのメモリ回路２４は、図２１の回路構成に変形することができる。図２１のメモリ回路２４Ａは、ノードＳＮ１、ＳＮ２の接続先であるトランジスタ３２Ａ、３２Ｂのゲートの接続を変更した構成に相当する。図２１の回路構成において、表６で示す真理値表のデータを得ることができる。
【０１４０】
【表６】

RWL	RWLB	SN1	SN2	RBL
1	0	1	0	0
1	0	0	1	1
0	1	1	0	1
0	1	0	1	0

【０１４１】
同様に図２２Ａのメモリ回路２４Ｂは、ノードＳＮ１の接続先であるトランジスタを同

じ極性のトランジスタから、ｐチャネル型とｎチャネル型を組み合わせたトランジスタ３２＿Ｐ、３２＿Ｎに変更した構成に相当する。トランジスタ３２＿Ｐ、３２＿Ｎは、Ｓｉトランジスタ等を用いることができる。当該構成とすることで、図１９ＢにおけるノードＳＮ２に接続されるトランジスタおよび配線を省略することができる。図２２Ａの回路構成において、表７で示す真理値表のデータを得ることができる。

【０１４２】

【表７】

RWL	RWLB	SN1	RBL
1	0	1	0
1	0	0	1
0	1	1	1
0	1	0	0

【０１４３】

同様に図２２Ｂのメモリ回路２４Ｃは、図１９ＢのノードＳＮ１、ＳＮ２の接続先である同じ極性のトランジスタから、異なる極性のトランジスタ３２＿Ｐ、３２＿Ｎに変更し、さらにトランジスタ３７、３８、および容量素子３９を追加した構成に相当する。当該構成とすることで、ノードＳＮ２に接続されるトランジスタおよび配線を省略することができる。図２２Ｂの回路構成の真理値表は、表７と同様である。

【０１４４】

図２３は、本発明の半導体装置１００Ｂにおける、複数のメモリ回路２４を有するメモリ部２２と、演算回路２３と、を説明する模式図である。上述したようにメモリ部２２におけるメモリ回路２４はそれぞれ、記憶部３５と乗算部４０とを備える。重みデータW_1乃至W_k（ｋは２以上の自然数）は記憶部３５に保持され、読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢを介して入力される入力データA_1乃至A_kと乗算に応じた１ビットのデジタル信号である出力信号（$Y_k = A_k \times W_k$）が演算回路２３に与えられる。メモリ部２２の各トランジスタは、ＯＳトランジスタとすることで、演算回路２３と積層して設けることができるため好ましい。

【０１４５】

また図２３に示す演算回路２３は、アキュムレータ４９と符号化回路４５を備える。演算回路２３は、乗算された出力信号を足し合わせることで、積和演算された信号Ｑを生成することができる。

【０１４６】

図２３で図示した演算回路２３の構成について、より詳細を示す構成例を図２４に図示する。図２４では、８ビットの信号（ＷＡ［０］乃至ＷＡ［７］）の加算を行い、１ビットの出力信号Ｑ、１１ビットの出力信号（ａｃｃｏｕｔ［１０：０］）を出力する構成を一例として図示している。図２４の構成例では、積和演算と、バッチノーマライゼーションのための和の演算と、を切り替えて行う構成を図示している。図２４では、メモリアクセスは１クロックで１行を選択するため、Ｍ個（＝１ビット×Ｍ行）の積とその和をＭクロックで実行する。図２４の演算回路では、同じＭ個の積とその和を８並列×１ビット×Ｍ／８行で実行できるため、Ｍ／８クロックを要する。したがって、図２４の構成は並列に積和演算を実行することで演算時間を短縮できるため、演算効率を向上できる。

【０１４７】

図２４において、ビット加算器４２Ａは、８ビットの信号（ＷＡ［０］乃至ＷＡ［７］）が入力される加算器を有する。図２４に示すように、１ビットの信号の和をＷＡ１０、ＷＡ３２、ＷＡ５４、ＷＡ７６、さらにその和をＷＡ３２１０、ＷＡ７６５４として図示している。

【０１４８】

図２４において、加算器として機能するアキュムレータ４９は、ビット加算器４２Ａの信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。なお図２４において、アキュムレータ４９に入力される信号は、制御信号ＴｘＤ＿ＥＮに応じて切り替えられるセレクタ４８を備える。制御信号ＴｘＤ＿ＥＮが０（ＴｘＤ＿ＥＮ＝０）でビット加算器４２Ａの信号とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。制御信号ＴｘＤ＿ＥＮが１（ＴｘＤ＿ＥＮ＝１）でロジック回路４７の信号（１１ｂｉｔ　ｓｅｌｅｃｔｏｒ）とラッチ回路４４の出力信号との和をラッチ回路４４に出力する。セレクタ４８によって、積和演算と、バッチノーマライゼーションのための和の演算と、を切り替えて行うことができる。

【０１４９】

図２４において、ＡＮＤ回路で構成されるロジック回路４７は、信号ＷＡ０乃至ＷＡ７の積和演算が完了した後、バッチノーマライゼーションのためのデータ、具体的には切替信号（ｔｈ　ｓｅｌｅｃｔ［１０：０］）で切り替えながら信号ＲＢＬ＿ｔｈ［１０：０］を足し合わせる。なお、信号ＲＢＬ＿ｔｈ［１０：０］は、メモリ回路２４に保持される重みデータに相当する。バッチノーマライゼーションは、ニューラルネットワークにおける各層の出力データの分布が一定に収まるように調整するための動作である。例えば、ニューラルネットワークにおける演算によく利用される画像データは、学習に用いるデータの分布がばらつきやすいため、予測データ（入力データ）の分布と異なることがある。バッチノーマライゼーションは、ニューラルネットワークの中間層への入力データの分布を平均０、分散１のガウス分布に正規化することで、ニューラルネットワークにおける学習の精度を高めることができる。Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）では活性化によって各層の出力結果が２値化されるため、しきい値に対してデータ分布の偏りを抑制することで、適切に活性化、つまり情報を分別できるようになる。

【０１５０】

ラッチ回路４４は、アキュムレータ４９の出力信号（ａｃｃｏｕｔ［１０：０］）を保持する。ラッチ回路４４は、信号ＣＬＲｎでリセットされる。バッチノーマライゼーションによって次のニューラルネットワークにおける層（ＮＮ層）に渡す２値データはラッチ回路４４が保持する積和演算結果の最上位ビットとなる。出力信号（ａｃｃｏｕｔ［１０：０］）において、最上位のビットの信号（ａｃｃｏｕｔ１０）は、２の補数で演算されたラッチデータの符号を表し、そのプラスデータを１、マイナスデータを０として次のＮＮ層に渡すため、符号化回路として機能するインバータ回路４６で反転され、出力信号Ｑとして出力される。Ｑは中間層の出力であるため、アクセラレータ２０内のバッファメモリ（入力バッファとも言う）に一時的に保持された後、次層の演算に使用される。

【０１５１】

図２５Ａには、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）のアーキテクチャに基づく、階層型のニューラルネットワークを図示する。図２５Ａでは、ニューロン５０、入力層１層（Ｉ１）、中間層３層（Ｍ１乃至Ｍ３）、出力層１層（Ｏ１）の全結合型のニューラルネットワークを図示している。入力層Ｉ１におけるニューロン数を７８６、中間層Ｍ１乃至Ｍ３におけるニューロン数を２５６、出力層Ｏ１におけるニューロン数を１０とすると、各層（層５１、層５２、層５３および層５４）の結合数は（７８４×２５６）＋（２５６×２５６）＋（２５６×２５６）＋（２５６×１０）で計３３４３３６個となる。つまり、ニューラルネットワーク計算に必要な重みパラメータが合計３３０Ｋビット程度であるため、小規模システムでも十分実装可能なメモリ容量とすることができる。

【０１５２】

次に、図２５Ａに図示するニューラルネットワークの演算ができる、半導体装置１００

Ｂの詳細なブロック図について図２５Ｂに示す。

【０１５３】

図２５Ｂでは、図１８Ａおよび図１８Ｂで説明した、演算処理部２１、演算回路２３、メモリ部２２、メモリ回路２４、および配線３１の他、図１８Ａおよび図１８Ｂで図示する各構成を駆動するための周辺回路の構成例について図示している。

【０１５４】

図２５Ｂでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８、入力バッファ７１および演算制御回路７２を図示している。

【０１５５】

図２６Ａは、図２５Ｂに図示する各構成について、メモリ部２２を制御するブロックを抜き出した図である。図２６Ａでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、センスアンプ６７、セレクタ６８を抜き出して図示している。

【０１５６】

コントローラ６１は、外部からの入力信号を処理して、ロウデコーダ６２およびカラムデコーダ６４の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号や読み出しイネーブル信号などのメモリ部２２を制御するための制御信号である。またコントローラ６１は、ＣＰＵ１０との間でバスを介してメモリ部２２に書き込まれるデータあるいはメモリ部２２から読み出されるデータの入出力が行われる。

【０１５７】

ロウデコーダ６２は、ワード線ドライバ６３を駆動するための信号を生成する。ワード線ドライバ６３は、書込用ワード線ＷＷＬおよび読出用ワード線ＲＷＬに与える信号を生成する。カラムデコーダ６４は、センスアンプ６７および書き込みドライバ６５を駆動するための信号を生成する。センスアンプ６７は、読出用ビット線ＲＢＬの電位を増幅する。書き込みドライバは、読出用ビット線ＲＢＬおよび書込用ビット線ＷＢＬを制御するための信号を生成する。プリチャージ回路６６は、読出用ビット線ＲＢＬなどをプリチャージする機能を有する。メモリ部２２のメモリ回路２４から読み出される信号は、演算回路２３に入力される他、セレクタ６８を介して出力することができる。セレクタ６８は、バス幅に応じた分のデータを順次読出し、コントローラ６１を介して必要なデータをＣＰＵ１０等に出力することができる。

【０１５８】

図２６Ｂは、図２５Ｂに図示する各構成について、演算処理部２１を制御するブロックを抜き出した図である。

【０１５９】

コントローラ６１は、外部からの入力信号を処理して、演算制御回路７２の制御信号を生成する。またコントローラ６１は、演算処理部２１が有する演算回路２３を制御するための各種信号を生成する。またコントローラ６１は、入力バッファ７１を介して、演算結果に関するデータを入出力する。このバッファメモリを利用することで、ＣＰＵのデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みパラメータをＣＰＵ１０との間で転送する回数を削減できるため、低消費電力化を図ることができる。

【０１６０】

また上述したメモリ回路２４は、トランジスタ等の構成を追加した回路構成に変形することができる。例えばメモリ回路２４に適用可能な図２７Ａのメモリ回路２４Ｄは、図１９Ｂで図示した構成に加えて、トランジスタ８１および容量素子８２を追加した構成に相当する。また図２７Ａでは、ノードＳＯを図示している。なお図２７Ａに図示する回路構成は、図２１に対応する変形例として、図２７Ｂのメモリ回路２４Ｅの構成とすることもできる。

【０１６１】

トランジスタ８１は、ＯＳトランジスタであることが好ましい。トランジスタ８１をＯ

Ｓトランジスタとすることで、リーク電流が極めて小さい特性を用いて容量素子８２、すなわちノードＳＯに出力データに応じた電荷を保持させることができる。ノードＳＯに保持された出力データは、トランジスタ８１のゲートに接続された制御信号ＳＷに応じて、読出しビット線ＲＢＬに出力させることができる。

【０１６２】

図２８Ａは、図２７Ａの構成のメモリ回路２４Ｄをメモリ部２２に適用した際の動作を説明するための模式図である。図２８Ａに示すメモリ回路２４Ｄでは、図２０Ｂで説明した記憶部３５および排他的論理和部３６に加えて、図２７Ａで示したノードＳＯ、およびスイッチとして機能するトランジスタを制御する制御信号ＳＷを図示している。１行目のメモリ回路２４Ｄには、読出用ワード線ＲＷＬ＿１１乃至ＲＷＬ＿１Ｎのいずれか一、読出用反転ワード線ＲＷＬＢ＿１１乃至ＲＷＬＢ＿１Ｎのいずれか一が接続されている。Ｍ行目のメモリ回路２４Ｄには、読出用ワード線ＲＷＬ＿Ｍ１乃至ＲＷＬ＿ＭＮのいずれか一、読出用反転ワード線ＲＷＬＢ＿Ｍ１乃至ＲＷＬＢ＿ＭＮのいずれか一が接続されている。また図２８Ａでは、読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎをプリチャージするためのプリチャージ電圧が与えられる配線に接続されたスイッチを制御する制御信号ＰＲＥ、読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿ＮのノードＰＡ、読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎと演算回路２３Ａとの間のスイッチを制御する制御信号ＯＵＴを図示している。

【０１６３】

各行のノードＳＯに保持される電荷を制御信号ＳＷで一斉に読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎにチャージシェアリングさせることで、読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎは各行のメモリ回路２４Ｄの出力データの和に応じた電位とすることができる。つまり読出しビット線ＲＢＬ＿１乃至ＲＢＬ＿Ｎは、メモリ回路２４Ｄにおける乗算に応じた電荷の加算に応じたアナログ電圧とすることができる。そのため演算回路２３Ａでは、図２３で説明した加算器の代わりにアナログデジタル変換回路を用いることができる。

【０１６４】

読出用ビット線ＲＢＬにデータを読み出す場合の動作について、図２８Ｂを用いて説明する。なお各スイッチは、Ｈレベルでオン、Ｌレベルでオフであるとして説明する。

【０１６５】

まずスタンバイ期間Ｔ１１で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢをＨレベル、制御信号ＳＷおよび制御信号ＰＲＥをＬレベル、ノードＳＯおよびノードＰＡを中間電位とする。次いで、プリチャージ期間Ｔ１２で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢをＨレベルとし、制御信号ＳＷおよび制御信号ＰＲＥをＨレベル、ノードＳＯおよびノードＰＡをＨレベルとして電気的に浮遊状態（フローティング）とする。次いで、乗算を行う期間Ｔ１３で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢを入力データに応じた論理「１」、「０」とすることで、ノードＳＯの論理が「１」または「０」に変化する。期間Ｔ１３では、制御信号ＳＷをＬレベル、制御信号ＰＲＥおよびノードＰＡをＨレベルとする。次いで、加算を行う期間Ｔ１４で読出用ワード線ＲＷＬ、読出用反転ワード線ＲＷＬＢをＨレベル、制御信号ＰＲＥをＬレベルとして、制御信号ＳＷをＨレベルとする。ノードＳＯとノードＰＡがチャージシェアリングされ、ノードＰＡの電位は、乗算して得られた複数のメモリ回路におけるノードＳＯの電荷が加算されていられるアナログ電位とすることができる。当該アナログ電位は、制御信号ＯＵＴによって、演算回路２３Ａに読み出すことができる。

【０１６６】

本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を小型化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置を低消費電力化することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置において、発熱を抑制することができる。または、本発明の一態様は、計算量とパラメータ数が膨大なＡＩ技術などのアク

セラレータとして機能する半導体装置において、ＣＰＵとメモリとして機能する半導体装置との間のデータ転送回数を削減することができる。換言すれば計算量とパラメータ数が膨大なＡＩ技術などのアクセラレータとして機能する半導体装置は非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

【０１６７】

（実施の形態４）

本実施の形態では、上記実施の形態で説明したＣＰＵ１０で実行するプログラムの演算の一部をアクセラレータ２０で実行する場合の、動作の一例を説明する。

【０１６８】

図２９は、ＣＰＵで実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。

【０１６９】

ＣＰＵにて、ホストプログラムが実行される（ステップＳ１）。

【０１７０】

ＣＰＵは、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、メモリ部に確保するとの命令を確認した場合（ステップＳ２）、該データ用領域を、メモリ部に確保する（ステップＳ３）。

【０１７１】

次に、ＣＰＵは、メインメモリから上記メモリ部へ入力データを送信する（ステップＳ４）。上記メモリ部は該入力データを受信し、該入力データを、ステップＳ２で確保された領域に格納する（ステップＳ５）。

【０１７２】

ＣＰＵは、カーネルプログラムを起動するとの命令を確認した場合（ステップＳ６）、アクセラレータは、カーネルプログラムの実行を開始する（ステップＳ７）。

【０１７３】

アクセラレータがカーネルプログラムの実行を開始した直後、ＣＰＵを、演算を行う状態からＰＧ状態へと切り替えてもよい（ステップＳ８）。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、ＣＰＵは、ＰＧ状態から演算を行う状態へ切り替えられる（ステップＳ９）。ステップＳ８からステップＳ９までの期間、ＣＰＵをＰＧ状態にすることで、半導体装置全体として消費電力および発熱を抑制することができる。

【０１７４】

アクセラレータがカーネルプログラムの実行を終了すると、出力データが上記メモリ部に格納される（ステップＳ１０）。

【０１７５】

カーネルプログラムの実行が終了した後、ＣＰＵは、メモリ部に格納された出力データをメインメモリへ送信するとの命令を確認した場合（ステップＳ１１）、上記の出力データが上記メインメモリへ送信され、上記メインメモリに格納される（ステップＳ１２）。

【０１７６】

ＣＰＵは、メモリ部上に確保されたデータ用領域を解放するとの指示を確認した場合（ステップＳ１３）、上記メモリ部上に確保された領域が解放される（ステップＳ１４）。

【０１７７】

以上のステップＳ１からステップＳ１４までの動作を繰り返すことにより、ＣＰＵおよびアクセラレータの消費電力および発熱を抑制しつつ、ＣＰＵで実行するプログラムの演算の一部をアクセラレータで実行することができる。

【０１７８】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【０１７９】

（実施の形態５）

本実施の形態では、パワーゲーティングが可能なＣＰＵコアを有するＣＰＵの一例につ

いて説明する。
【０１８０】
図３０に、ＣＰＵ１０の構成例を示す。ＣＰＵ１０は、ＣＰＵコア（ＣＰＵ Ｃｏｒｅ）２００、Ｌ１（レベル１）キャッシュメモリ装置（Ｌ１ Ｃａｃｈｅ）２０２、Ｌ２キャッシュメモリ装置（Ｌ２ Ｃａｃｈｅ）２０３、バスインターフェース部（Ｂｕｓ Ｉ／Ｆ）２０５、パワースイッチ２１０～２１２、レベルシフタ（ＬＳ）２１４を有する。ＣＰＵコア２００はフリップフロップ２２０を有する。
【０１８１】
バスインターフェース部２０５によって、ＣＰＵコア２００、Ｌ１キャッシュメモリ装置２０２、Ｌ２キャッシュメモリ装置２０３が相互に接続される。
【０１８２】
外部から入力される割り込み信号（Ｉｎｔｅｒｒｕｐｔｓ）、ＣＰＵ１０が発行する信号ＳＬＥＥＰ１等の信号に応じて、ＰＭＵ１９３はクロック信号ＧＣＬＫ１、各種のＰＧ（パワーゲーティング）制御信号（ＰＧ ｃｏｎｔｒｏｌ ｓｉｇｎａｌｓ）の生成を行う。クロック信号ＧＣＬＫ１、ＰＧ制御信号はＣＰＵ１０に入力される。ＰＧ制御信号は、パワースイッチ２１０～２１２、フリップフロップ２２０を制御する。
【０１８３】
パワースイッチ２１０、２１１は、仮想電源線Ｖ＿ＶＤＤ（以下、Ｖ＿ＶＤＤ線と呼ぶ）への電圧ＶＤＤＤ、ＶＤＤ１の供給をそれぞれ制御する。パワースイッチ２１２は、レベルシフタ（ＬＳ）２１４への電圧ＶＤＤＨの供給を制御する。ＣＰＵ１０およびＰＭＵ１９３には、パワースイッチを介さずに電圧ＶＳＳＳが入力される。ＰＭＵ１９３には、パワースイッチを介さずに電圧ＶＤＤＤが入力される。
【０１８４】
電圧ＶＤＤＤ、ＶＤＤ１はＣＭＯＳ回路用の駆動電圧である。電圧ＶＤＤ１は電圧ＶＤＤＤよりも低く、スリープ状態での駆動電圧である。電圧ＶＤＤＨはＯＳトランジスタ用の駆動電圧であり、電圧ＶＤＤＤよりも高い。
【０１８５】
Ｌ１キャッシュメモリ装置２０２、Ｌ２キャッシュメモリ装置２０３、バスインターフェース部２０５それぞれは、少なくとも１つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、１または複数のパワースイッチが設けられている。これらのパワースイッチは、ＰＧ制御信号によって制御される。
【０１８６】
フリップフロップ２２０は、レジスタに用いられる。フリップフロップ２２０には、バックアップ回路が設けられている。以下、フリップフロップ２２０について説明する。
【０１８７】
図３１にフリップフロップ２２０（Ｆｌｉｐ－ｆｌｏｐ）の回路構成例を示す。フリップフロップ２２０はスキャンフリップフロップ（Ｓｃａｎ Ｆｌｉｐ－ｆｌｏｐ）２２１、バックアップ回路（Ｂａｃｋｕｐ Ｃｉｒｃｕｉｔ）２２２を有する。
【０１８８】
スキャンフリップフロップ２２１は、ノードＤ１、Ｑ１、ＳＤ、ＳＥ、ＲＴ、ＣＫ、クロックバッファ回路２２１Ａを有する。
【０１８９】
ノードＤ１はデータ（ｄａｔａ）入力ノードであり、ノードＱ１はデータ出力ノードであり、ノードＳＤはスキャンテスト用データの入力ノードである。ノードＳＥは信号ＳＣＥの入力ノードである。ノードＣＫはクロック信号ＧＣＬＫ１の入力ノードである。クロック信号ＧＣＬＫ１はクロックバッファ回路２２１Ａに入力される。スキャンフリップフロップ２２１のアナログスイッチは、クロックバッファ回路２２１ＡのノードＣＫ１、ＣＫＢ１に接続される。ノードＲＴはリセット信号（ｒｅｓｅｔ ｓｉｇｎａｌ）の入力ノードである。
【０１９０】

信号ＳＣＥは、スキャンイネーブル信号であり、ＰＭＵ１９３で生成される。ＰＭＵ１９３は信号ＢＫ、ＲＣ（図示せず）を生成する。レベルシフタ２１４は信号ＢＫ、ＲＣをレベルシフトし、信号ＢＫＨ、ＲＣＨを生成する。信号ＢＫ、ＲＣはバックアップ信号、リカバリ信号である。

【０１９１】

スキャンフリップフロップ２２１の回路構成は、図３１に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

【０１９２】

バックアップ回路２２２は、ノードＳＤ＿ＩＮ、ＳＮ１１、トランジスタＭ１１～Ｍ１３、容量素子Ｃ１１を有する。

【０１９３】

ノードＳＤ＿ＩＮは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ２２１のノードＱ１に接続される。ノードＳＮ１１は、バックアップ回路２２２の保持ノードである。容量素子Ｃ１１はノードＳＮ１１の電圧を保持するための保持容量である。

【０１９４】

トランジスタＭ１１はノードＱ１とノードＳＮ１１間の導通状態を制御する。トランジスタＭ１２はノードＳＮ１１とノードＳＤ間の導通状態を制御する。トランジスタＭ１３はノードＳＤ＿ＩＮとノードＳＤ間の導通状態を制御する。トランジスタＭ１１、Ｍ１３のオンオフは信号ＢＫＨで制御され、トランジスタＭ１２のオンオフは信号ＲＣＨで制御される。

【０１９５】

トランジスタＭ１１～Ｍ１３は、上述したメモリ回路２４が有するトランジスタ２５乃至２７と同様に、ＯＳトランジスタである。トランジスタＭ１１～Ｍ１３はバックゲートを有する構成を図示している。トランジスタＭ１１～Ｍ１３のバックゲートは、電圧ＶＢＧ１を供給する電源線に接続されている。

【０１９６】

少なくともトランジスタＭ１１、Ｍ１２がＯＳトランジスタであることが好ましい。オフ電流が極めて小さいというＯＳトランジスタの特長によって、ノードＳＮ１１の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路２２２は不揮発性の特性をもつ。容量素子Ｃ１１の充放電によってデータを書き換えるため、バックアップ回路２２２は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

【０１９７】

バックアップ回路２２２の全てのトランジスタはＯＳトランジスタであることが非常に好ましい。図３１Ｂに示すように、シリコンＣＭＯＳ回路で構成されるスキャンフリップフロップ２２１上にバックアップ回路２２２を積層することができる。

【０１９８】

バックアップ回路２２２は、スキャンフリップフロップ２２１と比較して素子数が非常に少ないので、バックアップ回路２２２を積層するためにスキャンフリップフロップ２２１の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路２２２は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ２２１が形成されている領域内にバックアップ回路２２２を設けることができるので、バックアップ回路２２２を組み込んでも、フリップフロップ２２０の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路２２２をフリップフロップ２２０に設けることで、ＣＰＵコア２００のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、ＣＰＵコア２００を高効率にパワーゲーティングすることが可能である。

【０１９９】

バックアップ回路２２２を設けることによって、トランジスタＭ１１による寄生容量が

ノードＱ１に付加されることになるが、ノードＱ１に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ２２１の動作に影響はない。つまり、バックアップ回路２２２を設けても、フリップフロップ２２０の性能は実質的に低下しない。

【０２００】

ＣＰＵコア２００の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。ＰＭＵ１９３は、割り込み信号、信号ＳＬＥＥＰ１等に基づき、ＣＰＵコア２００の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の生成を停止する。

【０２０１】

例えば、通常動作状態から休止状態に移行する場合は、ＰＭＵ１９３は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、ＰＭＵ１９３は、電圧ＶＤＤ１をＣＰＵコア２００に入力するため、パワースイッチ２１０をオフにし、パワースイッチ２１１をオンにする。電圧ＶＤＤ１は、スキャンフリップフロップ２２１のデータを消失させない電圧である。周波数スケーリングを行う場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の周波数を低下させる。

【０２０２】

ＣＰＵコア２００を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ２２１のデータをバックアップ回路２２２にバックアップする動作が行われる。ＣＰＵコア２００をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路２２２のデータをスキャンフリップフロップ２２１に書き戻すリカバリ動作が行われる。

【０２０３】

図３２に、ＣＰＵコア２００のパワーゲーティングシーケンスの一例を示す。なお、図３２において、ｔ１～ｔ７は時刻を表している。信号ＰＳＥ０～ＰＳＥ２は、パワースイッチ２１０～２１２の制御信号であり、ＰＭＵ１９３で生成される。信号ＰＳＥ０が“Ｈ”／“Ｌ”のとき、パワースイッチ２１０はオン／オフである。信号ＰＳＥ１、ＰＳＥ２についても同様である。

【０２０４】

時刻ｔ１以前は、通常動作状態（Ｎｏｒｍａｌ　Ｏｐｅｒａｔｉｏｎ）である。パワースイッチ２１０はオンであり、ＣＰＵコア２００には電圧ＶＤＤＤが入力される。スキャンフリップフロップ２２１は通常動作を行う。このとき、レベルシフタ２１４は動作させる必要がないため、パワースイッチ２１２はオフであり、信号ＳＣＥ、ＢＫ、ＲＣは“Ｌ”である。ノードＳＥが“Ｌ”であるため、スキャンフリップフロップ２２１はノードＤ１のデータを記憶する。なお、図３２の例では、時刻ｔ１において、バックアップ回路２２２のノードＳＮ１１は“Ｌ”である。

【０２０５】

バックアップ（Ｂａｃｋｕｐ）時の動作を説明する。時刻ｔ１で、ＰＭＵ１９３はクロック信号ＧＣＬＫ１を停止し、信号ＰＳＥ２、ＢＫを“Ｈ”にする。レベルシフタ２１４はアクティブになり、“Ｈ”の信号ＢＫＨをバックアップ回路２２２に出力する。

【０２０６】

バックアップ回路２２２のトランジスタＭ１１がオンになり、スキャンフリップフロップ２２１のノードＱ１のデータがバックアップ回路２２２のノードＳＮ１１に書き込まれる。スキャンフリップフロップ２２１のノードＱ１が“Ｌ”であれば、ノードＳＮ１１は“Ｌ”のままであり、ノードＱ１が“Ｈ”であれば、ノードＳＮ１１は“Ｈ”になる。

【０２０７】

ＰＭＵ１９３は、時刻ｔ２で信号ＰＳＥ２、ＢＫを“Ｌ”にし、時刻ｔ３で信号ＰＳＥ０を“Ｌにする。時刻ｔ３で、ＣＰＵコア２００の状態はパワーゲーティング状態に移行する。なお、信号ＢＫを立ち下げるタイミングで信号ＰＳＥ０を立ち下げてもよい。

【０２０８】
パワーゲーティング（Ｐｏｗｅｒ－ｇａｔｉｎｇ）時の動作を説明する。信号ＰＳＥ０が“Ｌになることで、Ｖ＿ＶＤＤ線の電圧が低下するため、ノードＱ１のデータは失われる。ノードＳＮ１１は、時刻ｔ３でのノードＱ１のデータを保持し続ける。
【０２０９】
リカバリ（Ｒｅｃｏｖｅｒｙ）時の動作を説明する。時刻ｔ４で、ＰＭＵ１９３が信号ＰＳＥ０を“Ｈ”にすることで、パワーゲーティング状態からリカバリ状態に移行する。Ｖ＿ＶＤＤ線の充電が開始され、Ｖ＿ＶＤＤ線の電圧がＶＤＤＤになった状態（時刻ｔ５）で、ＰＭＵ１９３は信号ＰＳＥ２、ＲＣ、ＳＣＥを“Ｈ”にする。
【０２１０】
トランジスタＭ１２はオンになり、容量素子Ｃ１１の電荷がノードＳＮ１１とノードＳＤとに分配される。ノードＳＮ１１が“Ｈ”であれば、ノードＳＤの電圧は上昇する。ノードＳＥは“Ｈ”であるので、スキャンフリップフロップ２２１の入力側ラッチ回路にノードＳＤのデータが書き込まれる。時刻ｔ６でノードＣＫにクロック信号ＧＣＬＫ１が入力されると、入力側ラッチ回路のデータがノードＱ１に書き込まれる。つまり、ノードＳＮ１１のデータがノードＱ１に書き込まれたことになる。
【０２１１】
時刻ｔ７で、ＰＭＵ１９３は信号ＰＳＥ２、ＳＣＥ、ＲＣを“Ｌ”にし、リカバリ動作が終了する。
【０２１２】
ＯＳトランジスタを用いたバックアップ回路２２２は、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。フリップフロップ２２０を搭載しても、ＣＰＵコア２００の性能低下、動的電力の増加をほとんど発生させないようにできる。
【０２１３】
なお、ＣＰＵコア２００は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための１または複数のパワースイッチが設けられる。また、ＣＰＵコア２００は、１または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ２２０、パワースイッチ２１０～２１２の制御を行うためのパワーゲーティング制御回路を設けてもよい。
【０２１４】
なお、フリップフロップ２２０の適用はＣＰＵ１０に限定されない。演算装置において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ２２０を適用できる。
【０２１５】
本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。
【０２１６】
（実施の形態６）
本実施の形態では、上記実施の形態で説明した半導体装置１００の構成を含む集積回路の構成について図３３および図３４を参照しながら説明する。
【０２１７】
図３３は、半導体装置１００の構成を含む集積回路の構成例を説明するためのブロック図の一例である。
【０２１８】
図３３に図示する集積回路３９０は、ＣＰＵ１０、アクセラレータ２０、オンチップメモリ１３１、ＤＭＡＣ（Ｄｉｒｅｃｔ Ｍｅｍｏｒｙ Ａｃｃｅｓｓ Ｃｏｎｔｒｏｌｌｅｒ）１４１、電源回路１６０、パワーマネジメントユニット（ＰＭＵ）１４２、セキュリティー回路１４７、メモリコントローラ１４３、ＤＤＲ ＳＤＲＡＭ（Ｄｏｕｂｌｅ Ｄａｔａ Ｒａｔｅ Ｓｙｎｃｈｒｏｎｏｕｓ Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ

Ｍｅｍｏｒｙ）コントローラ１４４、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ Ｓｅｒｉａｌ Ｂｕｓ）インターフェース回路１４５、ディスプレイインターフェース回路１４６、ブリッジ回路１５０、割り込み制御回路１５１、インターフェース回路１５２、バッテリー制御回路１５３、およびＡＤＣ（Ａｎａｌｏｇ－ｔｏ－ｄｉｇｉｔａｌ ｃｏｎｖｅｒｔｅｒ）／ＤＡＣ（Ｄｉｇｉｔａｌ－ｔｏ－ａｎａｌｏｇ ｃｏｎｖｅｒｔｅｒ）インターフェース回路１５４を有する。

【０２１９】

ＣＰＵ１０は、一例として、ＣＰＵコア１１１、命令キャッシュ１１２、データキャッシュ１１３、およびバスインターフェース回路１１４を有する。アクセラレータ２０は、メモリ回路１２１、演算回路１２２、および制御回路１２３を有する。

【０２２０】

ＣＰＵコア１１１は、複数のＣＰＵコアを有する。命令キャッシュ１１２は、ＣＰＵコア１１１で実行する命令を一時的に記憶する回路構成とすればよい。データキャッシュ１１３は、ＣＰＵコア１１１で処理するデータまたは処理によって得られたデータを一時的に記憶する回路構成とすればよい。バスインターフェース回路１１４は、ＣＰＵ１０と、半導体装置内の他の回路とを接続するためのバスとデータやアドレス等の信号を送受信することができる回路構成であればよい。

【０２２１】

メモリ回路１２１は、実施の形態１で説明したメモリ回路２４に相当する。メモリ回路１２１は、アクセラレータ２０で処理するデータを記憶する回路構成とすればよい。演算回路１２２は、実施の形態１で説明した演算回路２３に相当する。演算回路１２２は、メモリ回路１２１に保持したデータの演算処理を行う回路構成とすればよい。制御回路１２３は、図５Ｂで図示したように、アクセラレータ２０内の各回路を制御するための回路構成とすればよい。

【０２２２】

高速バス１４０Ａは、ＣＰＵ１０、アクセラレータ２０、オンチップメモリ１３１、ＤＭＡＣ１４１、パワーマネジメントユニット１４２、セキュリティー回路１４７、メモリコントローラ１４３、ＤＤＲ ＳＤＲＡＭコントローラ１４４、ＵＳＢインターフェース回路１４５、およびディスプレイインターフェース回路１４６の間の各種信号を高速で送受信するためのバスである。一例としては、ＡＭＢＡ（Ａｄｖａｎｃｅｄ Ｍｉｃｒｏｃｏｎｔｏｒｏｌｌｅｒ Ｂｕｓ Ａｒｔｃｉｔｅｃｔｕｒｅ）－ＡＨＢ（Ａｄｖａｎｃｅｄ Ｈｉｇｈ－ｐｅｒｆｅｒｍａｎｃｅ Ｂｕｓ）をバスとして用いることができる。

【０２２３】

オンチップメモリ１３１は、集積回路３９０が有する回路、例えばＣＰＵ１０またはアクセラレータ２０に入出力するデータまたはプログラムを記憶するための回路構成を有する。

【０２２４】

ＤＭＡＣ１４１は、ダイレクトメモリアクセスコントローラである。ＤＭＡＣ１４１を有することで、ＣＰＵ１０以外の周辺機器は、ＣＰＵ１０を介さずにオンチップメモリ１３１にアクセスすることができる。

【０２２５】

パワーマネジメントユニット１４２は、集積回路３９０が有するＣＰＵコア等の回路のパワーゲーティングを制御するための回路構成を有する。

【０２２６】

セキュリティー回路１４７は、集積回路３９０と外部の回路との間で暗号化して信号を送受信するなど、信号の秘匿性を高めるための回路構成を有する。

【０２２７】

メモリコントローラ１４３は、集積回路３９０の外部にあるプログラムメモリからＣＰＵ１０またはアクセラレータ２０で実行するためのプログラムを書き込みまたは読み出しを行うための回路構成を有する。

【０２２８】
ＤＤＲ ＳＤＲＡＭコントローラ１４４は、集積回路３９０の外部にあるＤＲＡＭ等のメインメモリとの間でデータを書き込みまたは読み出しを行うための回路構成を有する。
【０２２９】
ＵＳＢインターフェース回路１４５は、集積回路３９０の外部にある回路とＵＳＢ端子を介してデータの送受信を行うための回路構成を有する。
【０２３０】
ディスプレイインターフェース回路１４６は、集積回路３９０の外部にあるディスプレイデバイスとデータの送受信を行うための回路構成を有する。
【０２３１】
電源回路１６０は、集積回路３９０内で用いる電圧を生成するための回路である。例えば、ＯＳトランジスタのバックゲートに与える、電気的特性を安定化するための負電圧を生成する回路である。
【０２３２】
低速バス１４０Ｂは、割り込み制御回路１５１、インターフェース回路１５２、バッテリー制御回路１５３、およびＡＤＣ／ＤＡＣインターフェース回路１５４の間の各種信号を低速で送受信するためのバスである。一例としては、ＡＭＢＡ－ＡＰＢ（Ａｄｖａｎｃｅｄ Ｐｅｒｉｐｈｅｒａｌ Ｂｕｓ）をバスとして用いることができる。高速バス１４０Ａと低速バス１４０Ｂとの間の各種信号の送受信は、ブリッジ回路１５０を介して行う。
【０２３３】
割り込み制御回路１５１は、周辺機器から受け取る要求に対して、割り込み処理を行うための回路構成を有する。
【０２３４】
インターフェース回路１５２は、ＵＡＲＴ（Ｕｎｉｖｅｒｓａｌ Ａｓｙｎｃｈｒｏｎｏｕｓ Ｒｅｃｅｉｖｅｒ／Ｔｒａｎｓｍｉｔｔｅｒ）や、Ｉ２Ｃ（Ｉｎｔｅｒ－Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）、ＳＰＩ（Ｓｅｒｉａｌ Ｐｅｒｉｐｈｅｒａｌ Ｉｎｔｅｒｆａｃｅ）などのインターフェースを機能させるための回路構成を有する。
【０２３５】
バッテリー制御回路１５３は、集積回路３９０の外部にあるバッテリーの充放電に関するデータを送受信するための回路構成を有する。
【０２３６】
ＡＤＣ／ＤＡＣインターフェース回路１５４は、集積回路３９０の外部にあるＭＥＭＳ（Ｍｉｃｒｏ Ｅｌｅｃｔｒｏ Ｍｅｃｈａｎｉｃａｌ Ｓｙｓｔｅｍｓ）デバイス等のアナログ信号を出力するデバイスとの間でデータを送受信するための回路構成を有する。
【０２３７】
図３４Ａ、図３４Ｂは、ＳｏＣ化した際の回路ブロックの配置の一例を示す図である。図３４Ａに図示する集積回路３９０のように図３３のブロック図で図示した各構成は、チップ上で領域を区切って配置することができる。
【０２３８】
なお図３３で説明したオンチップメモリ１３１は、ＯＳトランジスタで構成される記憶回路、例えばＮＯＳＲＡＭ等で構成することができる。つまりオンチップメモリ１３１とメモリ回路１２１とは、同じ回路構成を有する。そのため、ＳｏＣ化した際、図３４Ｂに図示する集積回路３９０Ｅのようにオンチップメモリ１３１とメモリ回路１２１とを一体化して同じ領域内に配置することも可能である。
【０２３９】
以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。又は、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。又は、本発明の一態様により、発熱の抑制が可能な半導体装置および電子機器を提供することができる。
【０２４０】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【０２４１】

（実施の形態７）

本実施の形態では、上記実施の形態で説明した集積回路３９０を適用することが可能な電子機器、移動体、演算システムについて、図３５乃至図３８を参照しながら説明する。

【０２４２】

図３５Ａは、移動体の一例として自動車の外観図を図示している。図３５Ｂは、自動車内でのデータのやり取りを簡略化した図である。自動車５９０は、複数のカメラ５９１等を有する。また、自動車５９０は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ（図示せず）などを備える。

【０２４３】

自動車５９０において、カメラ５９１等に上記集積回路３９０を用いることができる。自動車５９０は、カメラ５９１が複数の撮像方向５９２で得られた複数の画像を上記実施の形態で説明した集積回路３９０で処理し、バス５９３等を介してホストコントローラ５９４等により複数の画像をまとめて解析することで、ガードレールや歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

【０２４４】

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【０２４５】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

【０２４６】

図３６Ａは、携帯型電子機器の一例を示す外観図である。図３６Ｂは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器５９５は、プリント配線基板５９６、スピーカー５９７、カメラ５９８、マイクロフォン５９９等を有する。

【０２４７】

携帯型電子機器５９５において、プリント配線基板５９６に上記集積回路３９０を設けることができる。携帯型電子機器５９５は、スピーカー５９７、カメラ５９８、マイクロフォン５９９等で得られる複数のデータを上記実施の形態で説明した集積回路３９０を用いて処理・解析することで、ユーザの利便性を向上させることができる。また、音声案内、画像検索などを行うシステムに用いることができる。

【０２４８】

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【０２４９】

図３７Ａに示す携帯型ゲーム機１１００は、筐体１１０１、筐体１１０２、筐体１１０３、表示部１１０４、接続部１１０５、操作キー１１０７等を有する。筐体１１０１、筐体１１０２および筐体１１０３は、取り外すことが可能である。筐体１１０１に設けられている接続部１１０５を筐体１１０８に取り付けることで、表示部１１０４に出力される

映像を、別の映像機器に出力することができる。他方、筐体１１０２および筐体１１０３を筐体１１０９に取り付けることで、筐体１１０２および筐体１１０３を一体化し、操作部として機能させる。筐体１１０２および筐体１１０３の基板に設けられているチップなどに先の実施の形態に示す集積回路３９０を組み込むことができる。

【０２５０】

図３７ＢはＵＳＢ接続タイプのスティック型の電子機器１１２０である。電子機器１１２０は、筐体１１２１、キャップ１１２２、ＵＳＢコネクタ１１２３および基板１１２４を有する。基板１１２４は、筐体１１２１に収納されている。例えば、基板１１２４には、メモリチップ１１２５、コントローラチップ１１２６が取り付けられている。基板１１２４のコントローラチップ１１２６などに先の実施の形態に示す集積回路３９０を組み込むことができる。

【０２５１】

図３７Ｃは人型のロボット１１３０である。ロボット１１３０は、センサ２１０１乃至２１０６、および制御回路２１１０を有する。例えば、制御回路２１１０には、先の実施の形態に示す集積回路３９０を組み込むことができる。

【０２５２】

上記実施の形態で説明した集積回路３９０は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図３８に、システム３０００の構成例を示す。

【０２５３】

システム３０００は、電子機器３００１と、サーバー３００２によって構成される。電子機器３００１とサーバー３００２間の通信は、インターネット回線３００３を介して行うことができる。

【０２５４】

サーバー３００２には、複数のラック３００４を有する。複数のラックには、複数の基板３００５が設けられ、当該基板３００５上に上記実施の形態で説明した集積回路３９０を搭載することができる。これにより、サーバー３００２にニューラルネットワークが構成される。そして、サーバー３００２は、電子機器３００１からインターネット回線３００３を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー３００２による演算の結果は必要に応じて、インターネット回線３００３を介して電子機器３００１に送信することができる。これにより、電子機器３００１における演算の負担を低減することができる。

【０２５５】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【０２５６】

（本明細書等の記載に関する付記）

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

【０２５７】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【０２５８】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

【０２５９】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【０２６０】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【０２６１】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【０２６２】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【０２６３】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

【０２６４】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第１電極、または第１端子）、「ソースまたはドレインの他方」（または第２電極、または第２端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【０２６５】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【０２６６】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【０２６７】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【０２６８】

本明細書等において、ＡとＢとが接続されている、とは、ＡとＢとが電気的に接続されているものをいう。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にＡとＢとの電気信号の伝達が可能である接続をいう。なおＡとＢとが電気的に接続されている場合には、ＡとＢとが直接接続されている場合を含む。ここで、ＡとＢとが直接接続されているとは、上記対象物を介すること

なく、ＡとＢとの間で配線（または電極）等を介してＡとＢとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

【０２６９】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【０２７０】

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

【０２７１】

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【０２７２】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【実施例】

【０２７３】

本発明の一態様に係る半導体装置の一例として、チャネルが形成される半導体層にＩｎ－Ｇａ－Ｚｎ酸化物を用いたトランジスタ（「ＩＧＺＯ－ＦＥＴ」ともいう。）とＳｉトランジスタ（「Ｓｉ－ＦＥＴ」ともいう。）を用いたＢｉｎａｒｙ　ＡＩ　Ｐｒｏｃｅｓｓｏｒを作製した。本実施例では、作製したＢｉｎａｒｙ　ＡＩ　Ｐｒｏｃｅｓｓｏｒの構成、および動作のシミュレーション結果について説明する。作製したＢｉｎａｒｙ　ＡＩ　Ｐｒｏｃｅｓｓｏｒは、後述するＮｏｆｆコンピューティング可能な半導体装置である。

【０２７４】

近年、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）およびＡＩなどの技術が注目されている。ＩｏＴ分野で使用される機器（ＩｏＴ機器）では、消費電力の低減が求められる一方で、ＡＩ処理時は演算性能の高さが求められる。

【０２７５】

消費電力の低減を目的として、待機状態の回路への電源供給を遮断するパワーゲーティング（ＰＧ）技術が知られている。また、ＩｏＴ機器などの低消費電力化を実現する技術として、ＰＧ技術にメモリを組み合わせたＮｏｒｍａｌｌｙ－ｏｆｆ（Ｎｏｆｆ）コンピューティングが提案されている。

【０２７６】

Ｎｏｆｆコンピューティングでは、システム全体としては動作しているが、一時的に動作不要となる回路に対して当該回路のデータをメモリに退避させた後に、当該回路への電源供給を遮断する動作が行われる。Ｎｏｆｆコンピューティングに用いるメモリとして、ＲｅＲＡＭ（抵抗変化型メモリ）、ＭＲＡＭ（磁気メモリ）、ＰＣＭ（相変化メモリ）などの不揮発性メモリが検討されている。

【０２７７】

ＯＳメモリは、ＲｅＲＡＭ、ＭＲＡＭ、およびＰＣＭよりもデータ書き込み時のエネルギー消費が少ないため、Ｎｏｆｆコンピューティングに用いるメモリとして好適である。なお、ＯＳトランジスタは、ＲｅＲＡＭ、ＭＲＡＭ、およびＰＣＭなどに用いることも可能である。

【０２７８】

作製したＢｉｎａｒｙ ＡＩ Ｐｒｏｃｅｓｓｏｒ Ｃｈｉｐ（以下、「ＢＡＰ９００」ともいう。）は、１３０ｎｍ Ｓｉ ＣＭＯＳプロセスで形成された演算器（ＰＥ：Ｐｒｏｃｅｓｓｉｎｇ Ｅｌｅｍｅｎｔ）とＰＥ上に６０ｎｍ ＩＧＺＯプロセスで形成されたＯＳメモリを含む。

【０２７９】

また、ＢＡＰ９００は、ＩＧＺＯ－ＦＥＴを用いたＯＳメモリをＡＩ Ａｃｃｅｌｅｒａｔｏｒの重みパラメータを格納するメモリ（Ｗ－ＭＥＭ）として使用し、当該メモリの読み出し線を演算器と直結した構成を有する。

【０２８０】

図３９Ａに作製したＢＡＰ９００の外観写真を示す。図３９Ｂに、ＢＡＰ９００の一部を拡大した断面ＴＥＭ写真を示す。ＢＡＰ９００は、層Ｍ１乃至層Ｍ８を有する。なお、層Ｍ１乃至層Ｍ８は、配線または電極などの導電体を含む層である。図３９Ｂより、Ｓｉ－ＦＥＴの上方に、ＩＧＺＯ－ＦＥＴおよびＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）構造の容量（ＭＩＭ－Ｃａｐａｃｉｔｏｒ）が設けられていることがわかる。表８にＢＡＰ９００の主な仕様を示す。

【０２８１】

【表８】

Technology		130 nm Si CMOS, 60 nm IGZO-FET (BEOL)
Supply voltage		1.2 V , 3.3 V
CPU		ARM Cortex-M0
AI Accelerator Subsystem	Weight memory	32 KB
	# of PE	128
Scratchpad memory		16 KB

【０２８２】

ＢＡＰ９００は、回路部９０１乃至回路部９０５を有する。回路部９０１は、３２ｂｉｔのＡＲＭ Ｃｏｒｔｅｘ－Ｍ０ ＣＰＵと、その周辺回路（Ｐｅｒｉｐｈｅｒａｌｓ）と、を含む。回路部９０２は、ＡＩ Ａｃｃｅｌｅｒａｔｏｒ Ｃｏｎｔｒｏｌ Ｌｏｇｉｃを含む。回路部９０３は、ＰＥアレイ上に設けられた、ＩＧＺＯプロセスで形成された３２ＫＢのＷ－ＭＥＭを含む（ＩＧＺＯ－ｂａｓｅｄ Ｗ－ＭＥＭ（３２ＫＢ）ｏｎ ＰＥ Ａｒｒａｙ）。回路部９０４は、１６ＫＢのＳｃｒａｔｃｈｐａｄ ｍｅｍｏｒｙを含む。回路部９０５は、Ｐｏｗｅｒ Ｓｗｉｔｃｈｅｓを含む。

【０２８３】

図４０は、ＢＡＰ９００の詳細なシステム構成を説明するブロック図である。ＢＡＰ９００は、Ｃｏｒｔｅｘ－Ｍ０サブシステム（Ｃｏｒｔｅｘ－Ｍ０ Ｓｕｂｓｙｓｔｅｍ）、ＡＩ Ａｃｃｅｌｅｒａｔｏｒサブシステム（ＡＩ Ａｃｃｅｌｅｒａｔｏｒ Ｓｕｂｓｙｓｔｅｍ）、およびＣｏｒｔｅｘ－Ｍ０サブシステムよりも動作周波数が低い周辺回路（Ｌｏｗ－ＢＷ（Ｂａｎｄ Ｗｉｄｔｈ） Ｐｅｒｉｐｈｅｒａｌｓ）を含む。

【０２８４】

Ｃｏｒｔｅｘ－Ｍ０サブシステムは、３２ｂｉｔのＡＲＭ Ｃｏｒｔｅｘ－Ｍ０ ＣＰＵ、電源管理ユニット（ＰＭＵ：Ｐｏｗｅｒ Ｍａｎａｇｅｍｅｎｔ Ｕｎｉｔ）、２つのＧＰＩＯ（Ｇｅｎｅｒａｌ ｐｕｒｐｏｓｅ ｉｎｐｕｔ／ｏｕｔｐｕｔ）、ＳＹＳＣＴＬ、記憶容量１６ＫＢｙｔｅの組み込みＩＧＺＯスクラッチメモリ、ＵＡＲＴｓ（Ｕｎｉｖｅｒｓａｌ Ａｓｙｎｃｈｒｏｎｏｕｓ Ｒｅｃｅｉｖｅｒ／Ｔｒａｎｓｍｉｔｔｅｒ）、および外部メモリインターフェイス（Ｅｘｔ－ＭＥＭ ＩＦ）を含む。それぞれは、３２ビットのＡＨＢバスライン（３２ｂ ＡＨＢ）を介して接続される。

【０２８５】
ＡＩ　Ａｃｃｅｌｅｒａｔｏｒサブシステムは、ＡＩ　Ａｃｃｅｌｅｒａｔｏｒ制御回路（ＡＩ　Ａｃｃｅｌｅｒａｔｏｒ　Ｃｏｎｔｒｏｌ　Ｌｏｇｉｃ）、ＰＥアレイ（ＰＥ　Ａｒｒａｙ）、およびＰＥアレイ上に設けられた記憶容量３２ＫｂｙｔｅのＷ－ＭＥＭを含む。ＰＥアレイは、１２８個のＰＥを含む。
【０２８６】
Ｌｏｗ－ＢＷ　Ｐｅｒｉｐｈｅｒａｌｓは、パワースイッチ（Ｐｏｗｅｒ　Ｓｗｉｔｃｈｅｓ）、ＳＰＩ（Ｓｅｒｉａｌ　Ｐｅｒｉｐｈｅｒａｌ　Ｉｎｔｅｒｆａｃｅ）、タイマー（Ｔｉｍｅｒｓ）、Ｗａｔｃｈ　ｄｏｇ、およびＵＡＲＴｓを含む。パワースイッチ、ＳＰＩ、タイマー、Ｗａｔｃｈ　ｄｏｇ、およびＵＡＲＴｓは、３２ビットのＡＰＢバスライン（３２ｂ　ＡＰＢ）を介して接続される。パワースイッチは、Ｃｏｒｔｅｘ－Ｍ０サブシステムへの電力供給を制御する機能を有する。
【０２８７】
また、ＢＡＰ９００は、ＯＳＣノード、ＧＰＩＯノード、ＶＤＤｓノード、Ｓｅｎｓｏｒノード、ＲＴＣノード、ＵＳＢノード、およびＥｘｔ－ＭＥＭノードを有する。これらのノードを介して信号の入出力などが行われる。例えば、ＯＳＣノードを介して外部からクロック信号（Ｃｌｏｃｋ）が入力される。なお、図４０に記す「Ｍ」はＭａｓｔｅｒを示し、「Ｓ」はＳｌａｖｅを示している。
【０２８８】
電源ドメインは、ＶＤＤｓノードを介して外部から常時供給される電源ＶＤＤｓと、ＰＧ可能な電源ＰＧＶＤＤｓの２つがある。ＰＭＵは、動作モードに応じて電力供給を制御する機能を有する。待機モードで動作する場合、ＰＭＵはＰＧ可能な回路に対してＰＧを行うことで消費電力を削減する。ＡＩ処理（積和演算処理）を行う際にＡＩ　Ａｃｃｅｌｅｒａｔｏｒサブシステムを用いることで、ＣＰＵによる演算よりも高速かつ高効率にＡＩ処理を行うことができる。
【０２８９】
ＢＡＰ９００はＰＧが可能なため、ＡＩ処理を行わない期間は、システム全体として消費電力を低減できる。一方で、Ｓｅｎｓｏｒノードからの信号入力が発生すると、元のシステム状態を瞬間に復元し、すぐにＡＩ処理を実行できる。
【０２９０】
図４１Ａに、Ｗ－ＭＥＭに含まれるメモリセル９１０の回路図を示す。メモリセル９１０は、３つのＩＧＺＯ－ＦＥＴと１つの容量を含むメモリセルである。当該容量はＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）構造の容量である。メモリセル９１０の電源電圧は３．３Ｖである。メモリセル９１０はノードＳＮに電荷を保持するメモリのため、電源遮断時にもデータが消失しない。
【０２９１】
１つのメモリセル９１０で、１ビットの重み情報Ｗを保持する。重み情報Ｗは、配線ＷＢＬを介してノードＳＮに書き込まれる。ノードＳＮに書き込まれた重み情報Ｗは、配線ＲＢＬを介して読み出される。８つのメモリセルを用いることで、重み情報Ｗ［０］から重み情報Ｗ［７］で構成される８ビットの重み情報Ｗ（「Ｗ［７：０］」ともいう。）を保持することができる。
【０２９２】
図４１Ｂは、図４１Ａに示したメモリセルの動作例を示すタイミングチャートである。図４１Ｂは、書き込みモード（Ｗｒｉｔｅ）、待機モード（Ｓｌｅｅｐ）、および読み出しモード（Ｒｅａｄ）における、配線ＷＢＬ、配線ＷＷＬ、配線ＲＢＬ、および配線ＲＷＬの電位変化を示している。配線ＷＢＬには１．７Ｖまたは０Ｖが供給される。配線ＷＷＬには３．３Ｖまたは０Ｖが供給される。配線ＲＢＬには１．０Ｖまたは０Ｖが供給される。配線ＲＷＬには１．２Ｖまたは０Ｖが供給される。また、図４１Ｂでは、ノードＳＮにｄａｔａ０を供給する場合の電位変化と、ｄａｔａ１を供給する場合の電位変化を示している。

【０２９３】
図４１Ｃは、ＰＥ９２０の構成を示すブロック図である。ＰＥ９２０は、電源電圧１．２ＶのＳｉロジックセルで作製した。ＰＥ９２０は、センスアンプ９２１（ＳＡ）、乗算回路９２２（Ｍｕｌｔｉｐｌｉｅｒ）と加算回路９２３（Ａｄｄｅｒ　ｔｒｅｅ）を含むｂｉｎａｒｙ積和演算器９２４（ＭＡＣ）、アキュムレータ９２５（Ａｃｃｕｍｕｌａｔｏｒ）を含む。アキュムレータ９２５は、バッチ正規化用の１ビット（１ｂ）しきい値加算器と１１ビットのレジスタ（１１ｂｉｔ　ｒｅｇｉｓｔｅｒ）を含む。
【０２９４】
１つのＰＥ９２０には８本の配線ＲＢＬが並列に接続され、８ビットの重み情報Ｗ［７：０］が入力される。入力された重み情報Ｗ［７：０］は、センスアンプ（ＳＡ）で増幅された後に積和演算処理に使用されるか、積和演算処理に使用されず直接読み出される。どちらが行われるかは、Ｐｒｏｃｅｓｓｉｎｇ／Ｒｅａｄ　ｓｅｌｅｃｔｏｒ信号で決定される。積和演算処理に使用される場合は、重みＷ［７：０］は乗算回路で信号Ａ［７：０］と乗算され、積信号Ｍ［７：０］に変換される。直接読み出す場合、信号ｒｅａｄｏｕｔ［７：０］として出力される。
【０２９５】
積信号Ｍ［７：０］はＡｄｄｅｒ　ｔｒｅｅ回路で加算され、積和信号ＭＡに変換される。ＭＡＣ／ＢＮ　ｓｅｌｅｃｔｏｒ信号によって、積和信号ＭＡおよびしきい値信号ＴＨのどちらをアキュムレータに入力するかが決定される。アキュムレータは、１１ビットの信号ｍａｃｏｕｔ［１０：０］を出力する機能と、インバータ回路を介してサインビット（Ｓｉｇｎ　ｂｉｔ）信号を出力する機能と、を有する。
【０２９６】
図４２Ａは、回路部９０３（ＩＧＺＯ－ｂａｓｅｄ　Ｗ－ＭＥＭ（３２ＫＢ）　ｏｎ　ＰＥ　Ａｒｒａｙ）の構成を示すブロック図である。回路部９０３は、１つのＧｌｏｂａｌ　Ｌｏｇｉｃ回路と４つのＳｕｂａｒｒａｙ回路（Ｓｕｂａｒｒａｙ０乃至Ｓｕｂａｒｒａｙ３）を含む。
【０２９７】
図４２Ｂは、１つのＳｕｂａｒｒａｙ回路の構成を示すブロック図である。１つのＳｕｂａｒｒａｙ回路は、回路部９３１乃至回路部９３８を含む。回路部９３１乃至回路部９３４は、それぞれが１２８×１２８個のメモリセル９１０を含む記憶容量１６ｋビットのメモリセルアレイ（１６ｋｂ　ａｒｒａｙ（１２８×１２８））として機能する。１つのメモリセルアレイは、１２８本の配線ＲＢＬ（読み出しビット線）を含む。また、１本の配線ＲＢＬには１２８個のメモリセルが接続されている。
【０２９８】
回路部９３５および回路部９３６は、それぞれが、１６個のＰＥ９２０および列ドライバを有する（＃１６　ｏｆ　ＰＥ　ａｎｄ　Ｓｈａｒｅｄ　Ｃｏｌｕｍｎ　ｄｒｉｖｅｒ）。回路部９３５が有する列ドライバは、回路部９３１および回路部９３３を駆動する。回路部９３６が有する列ドライバは、回路部９３２および回路部９３４を駆動する。回路部９３７は、回路部９３１および回路部９３２を駆動する行ドライバ（Ｕｐｐｅｒ　Ｒｏｗ　ｄｒｉｖｅｒ）を含む。回路部９３８は、回路部９３３および回路部９３４を駆動する行ドライバ（Ｌｏｗｅｒ　Ｒｏｗ　ｄｒｉｖｅｒ）を含む。
【０２９９】
よって、回路部９０３全体では、ＰＥアレイに１０２４本の配線ＲＢＬが並列に接続される。１０２４本の配線ＲＢＬから読み出された情報は並列演算される。また、行ドライバをメモリセルアレイと重ねて設けることで、情報の読み出しエネルギーとチップ面積を削減できる。
【０３００】
図４３Ａに、作製したＢＡＰ９００の動作期間中に生じる消費電力の推移とＰＧ期間の概念図を示す（Ｔｈｉｓ　ｗｏｒｋ）。比較例として、図４３Ｂに従来動作（ＰＧを行なわない）の動作期間中に生じる消費電力推移の概念図を示す（Ｃｏｎｖｅｎｔｉｏｎａｌ

）。図４３Ａ、図４３Ｂともに、縦軸は消費電力（Ｐｏｗｅｒ）を示し、横軸は経過時間（Ｔｉｍｅ）を示している。

【０３０１】

従来動作では、電源供給が停止すると重み情報やニューラルネットワーク構造などの情報が消えるため、再起起動時にこれらの情報をＲＯＭなどから読み出して、ＲＡＭに書き込む必要があった（ＲＯＭ／ＲＡＭ ａｃｃｅｓｓ）。よって、演算処理時間の短縮が難しかった。また、演算処理時間に比例して、メモリアクセス時の消費電力およびＣＰＵの消費電力のみでなく、静的消費電力（Ｓｔａｔｉｃ）も増加する。

【０３０２】

今回作製したＢＡＰ９００は、センサノードからＢＡＰ９００の起動信号Ｒｘ（ｓｅｎｓｏｒｒａｗ ｄａｔａ）が入力されると起動し、ＣＰＵからＡＩ Ａｃｃｅｌｅｒａｔｏｒサブシステムへ生データが転送される。生データはＡＩ Ａｃｃｅｌｅｒａｔｏｒサブシステムで演算処理され、演算結果が信号Ｔｘ（ｍｅａｎｉｎｇｆｕｌ ｄａｔａ）として出力される。その後、ＰＧが行われる。ＡＩ Ａｃｃｅｌｅｒａｔｏｒサブシステムでは並列処理が行われるため、従来例よりも演算処理時間が短く（ｈｉｇｈ ｏｐｓ）、消費電力も小さい。よって効率の良い演算処理が実現できる（ｈｉｇｈ ｅｆｆｉｃｉｅｎｃｙ）。

【０３０３】

また、今回作製したＢＡＰ９００では、ＰＧ開始直前に、重み情報などの復帰時に必要な情報が保持される。このような情報の保持にはＯＳメモリを用いることが好ましい。図４４Ａおよび図４４Ｂに、ＢＡＰ９００に用いた情報保持回路の一例を示す。

【０３０４】

図４４Ａに示す情報保持回路９４１は、Ｓｉプロセス（Ｓｉ－ＦＥＴ）で作製したスキャンＤフリップフロップ９４１ａ（Ｓｃａｎ ＤＦＦ）に、ＩＧＺＯ－ＦＥＴ含むＯＳメモリ９４１ｂを組み合わせた構成を有する。

【０３０５】

スキャンＤフリップフロップ９４１ａは、端子ＣＫ、端子Ｄ、端子ＳＥ、および端子Ｑと電気的に接続される。また、スキャンＤフリップフロップ９４１ａは、ＩＧＺＯ－ＦＥＴを介して端子Ｑと電気的に接続される。ＯＳメモリ９４１ｂは端子ＢＫ、端子ＲＥ、および端子Ｑと電気的に接続される。

【０３０６】

図４４Ｂに示す情報保持回路９４２は、Ｓｉ－ＦＥＴ、ＩＧＺＯ－ＦＥＴ、および容量で構成された、１Ｔｒ１Ｃ型のスクラッチメモリセル（ＩＧＺＯ－ｂａｓｅｄ Ｓｃｒａｔｃｈｐａｄ ｍｅｍｏｒｙ ｃｅｌｌ）である。情報保持回路９４２は、配線ＷＷＬ、配線ＲＷＬ、配線ＷＢＬ、配線ＲＢＬ、および配線ＳＬと電気的に接続される。

【０３０７】

情報保持回路９４１および情報保持回路９４２ともに、復帰時に必要な情報をノードＳＮに保持することができる。

【０３０８】

回路シミュレーションソフトウェアを用いて、ＢＡＰ９００の動作を検証した。回路シミュレーションソフトウェアとして、ＳＩＬＶＡＣＯ社ＳｍａｒｔＳｐｉｃｅを使用した。

【０３０９】

シミュレーションでは、以下の動作を検証した。はじめに、Ｗ－ＭＥＭに学習済の重みデータを格納し（Ｗｒｉｔｅ ｔｒａｉｎｅｄ Ｗ－ＭＥＭ）、次に、電源供給を停止した（ＰＧ）。続いて、電源供給を再開し、ＳＰＩを介して解像度が２８×２８の２値イメージデータを入力して（Ｉｎｐｕｔ ２８ × ２８ ｂｉｎａｒｙ ｉｍａｇｅ ｄａｔａ ｆｒｏｍ ＳＰＩ）、推論動作を行なった（ＡＩ ｏｐｅｒａｔｉｏｎ）。その後、推論結果をＳＰＩに出力し（Ｏｕｔｐｕｔｉｎｆｅｒｅｎｃｅ ｒｅｓｕｌｔ ｔｏ ＳＰＩ）、再び電源供給を停止した。

【０３１０】

図４５Ａに、シミュレーション実行後の動作波形の一例を示す。図４５Ｂに、当該シミュレーションで想定した全結合型のニューラルネットワークモデルを示す。シミュレーションで想定したニューラルネットワークモデルでは、７８４個のニューロンを有する入力層と、１０個のニューロンを有する出力層の間に、１２８個のニューロンを有する隠れ層を３層設定した。なお、図４５Ａおよび図４５Ｂでは、入力層と１つめの隠れ層の全結合をＦＣ１、１つめの隠れ層と２つめの隠れ層の全結合をＦＣ２、２つめの隠れ層と３つめの隠れ層の全結合をＦＣ３、３つめの隠れ層と出力層の全結合をＦＣ４と示している。シミュレーションによって、前述した動作が問題なく行われることが確認できた。

【０３１１】

シミュレーションから見積もられた演算効率、消費エネルギーなどを表９に示す。

【０３１２】

【表９】

Memory Read energy : W-MEM cell	1.4pJ/bit
Computation energy : 1PE	2.46pJ
Energy efficiency (w/ AI Accelerator control Logic)	0.54TOPS/W
Performance	0.82GOPS
W-MEM retention time	> 1 hour @85°C

【０３１３】

シミュレーションによって、ＡＩ　Ａｃｃｅｌｅｒａｔｏｒサブシステムを使用したＢＡＰ９００の演算性能が０．８２ＧＯＰＳであることがわかった。本実施例では記載しないが、別途シミュレーションを行ったＡＩ　Ａｃｃｅｌｅｒａｔｏｒサブシステムを使用しない場合のＢＡＰ９００の演算性能と比較したところ、約２１５倍の演算性能が得られていた。また、演算効率は０．５４ＴＯＰＳ／Ｗであることがわかった。

【０３１４】

ＩＧＺＯ－ＦＥＴは、極低消費電力、高速復帰が要求されるイベントドリブンシステムと相性がよく、ＩｏＴ機器や末端機器でのＡＩアプリケーションに好適に用いることができる。

【符号の説明】

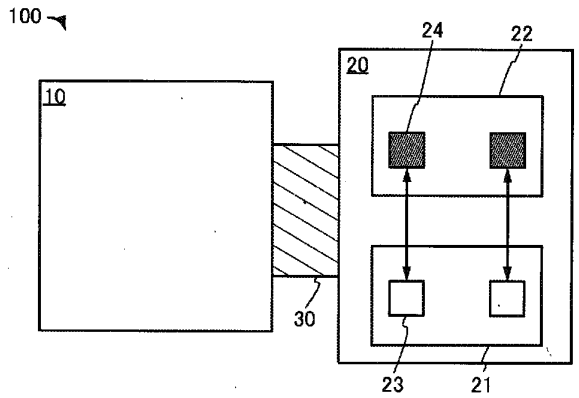
【０３１５】

１０：ＣＰＵ、２０：アクセラレータ、２１：演算処理部、２２：メモリ部、２３：演算回路、２４：メモリ回路、２９：半導体層、３０：バス、３１：配線、１００：半導体装置

【図面】

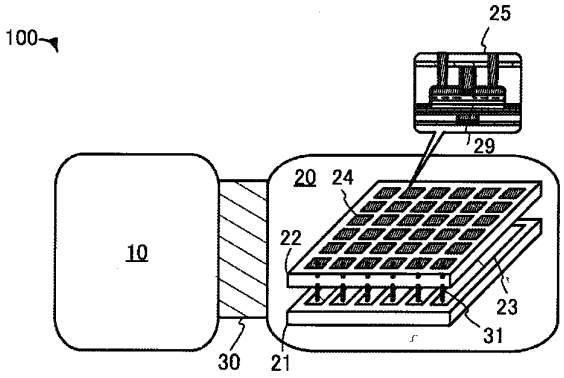
【図１Ａ】

図1A



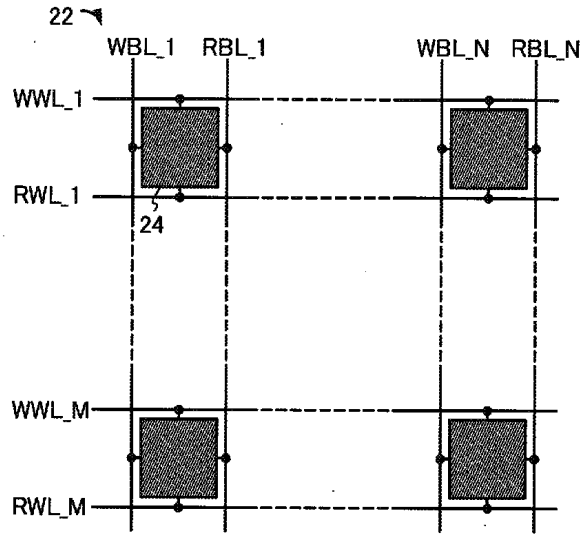
【図１Ｂ】

図1B



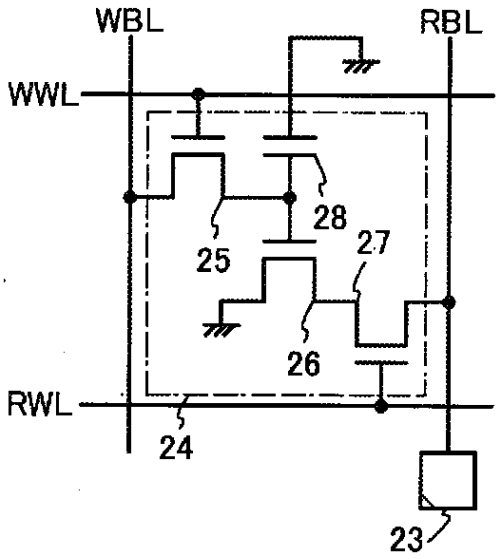
【図２Ａ】

図2A



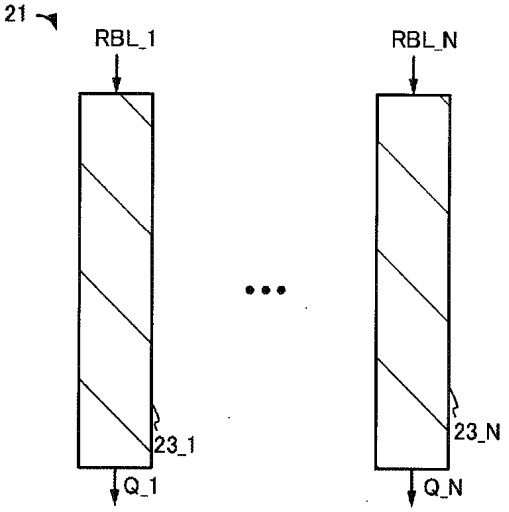
【図２Ｂ】

図2B



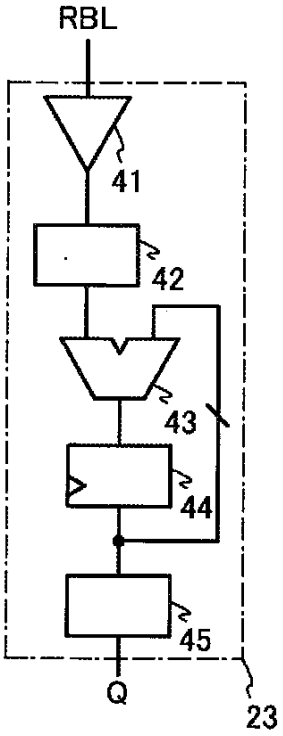
【図３Ａ】

図3A



【図３Ｂ】

図3B



【図４】

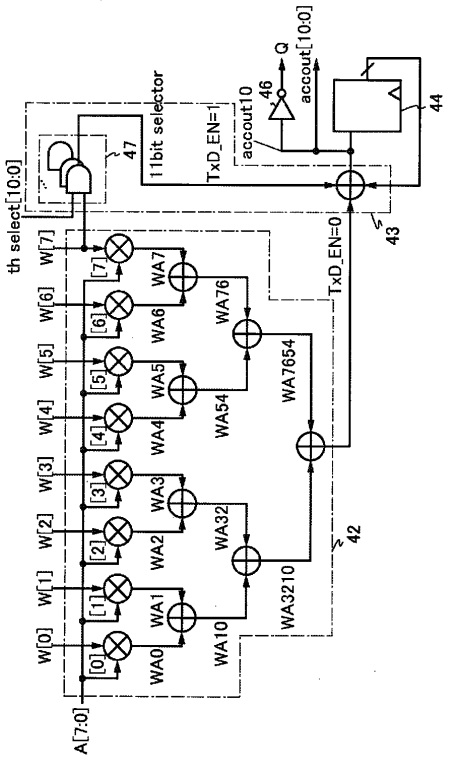
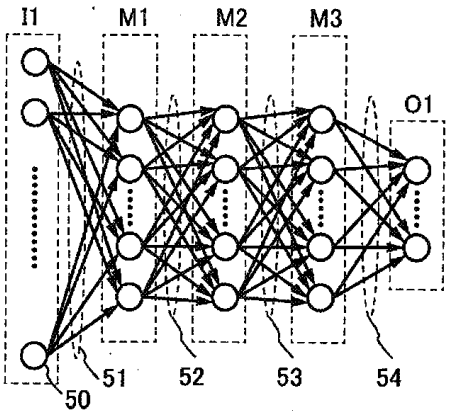


図4

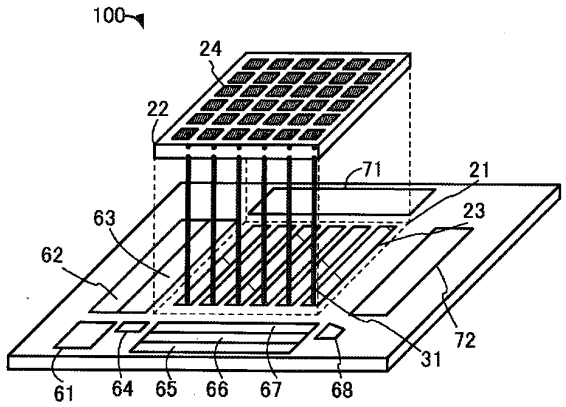
【図５Ａ】

図5A



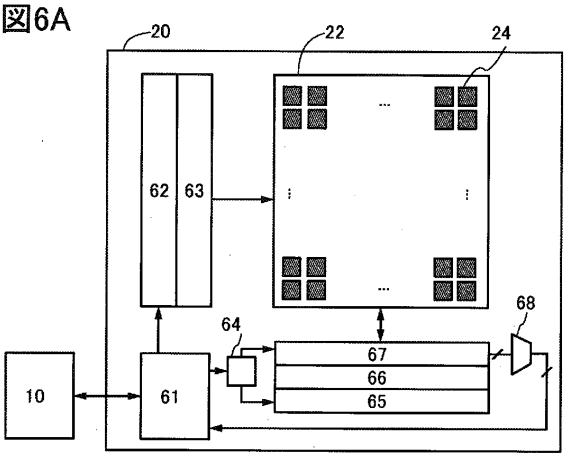
【図５Ｂ】

図5B



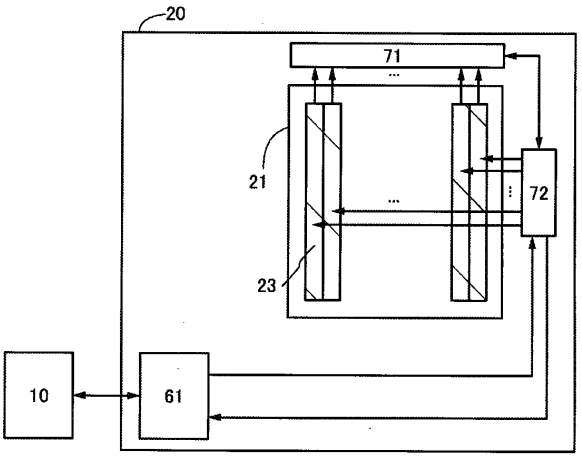
【図６Ａ】

図6A



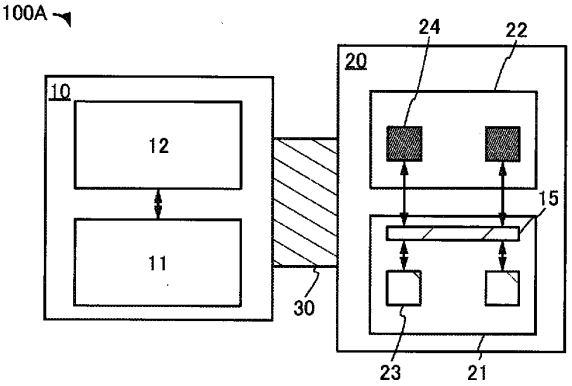
【図６Ｂ】

図6B



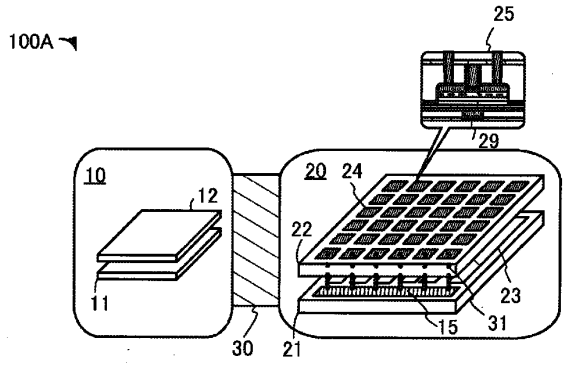
【図７Ａ】

図7A



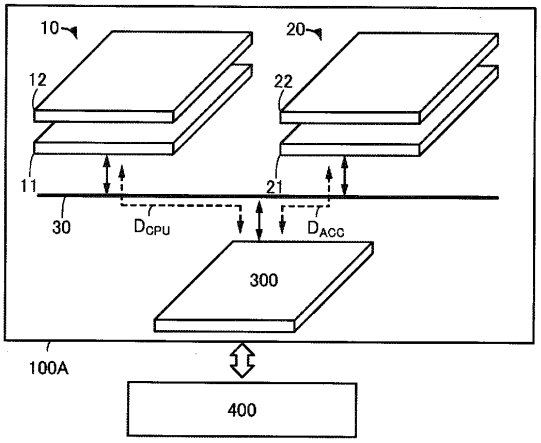
【図７Ｂ】

図7B



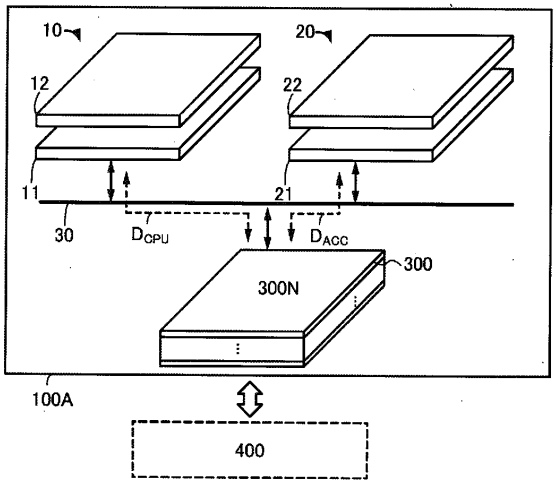
【図８Ａ】

図8A



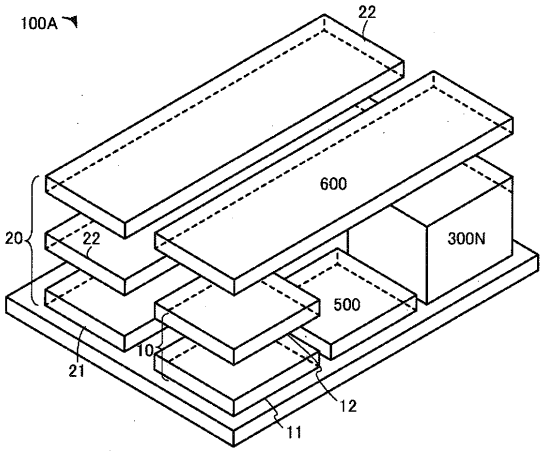
【図８Ｂ】

図8B



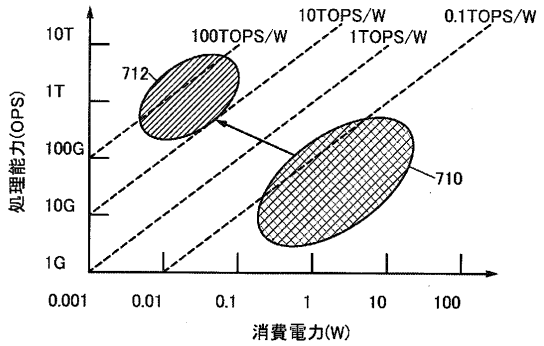
【図９】

図9



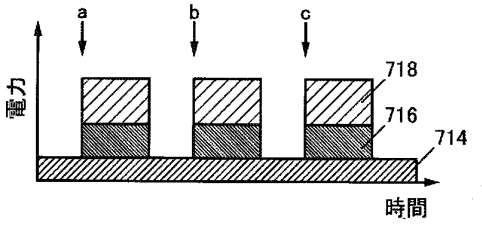
【図１０Ａ】

図10A



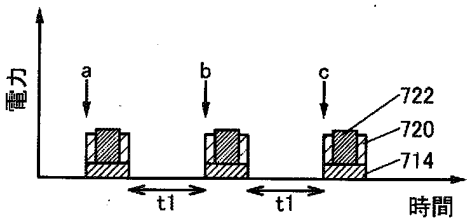
【図１０Ｂ】

図10B



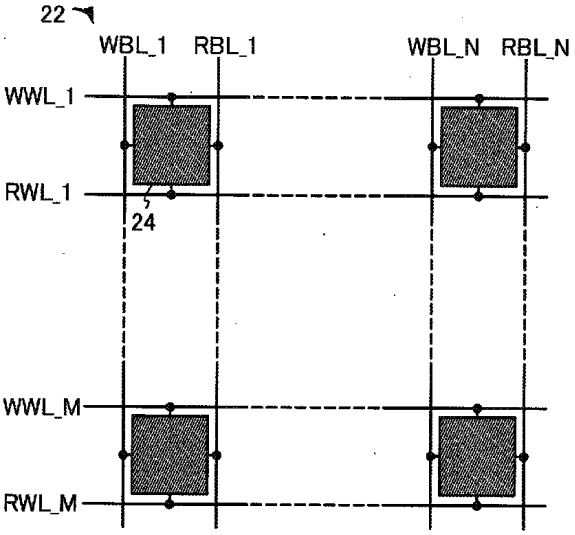
【図１０Ｃ】

図10C



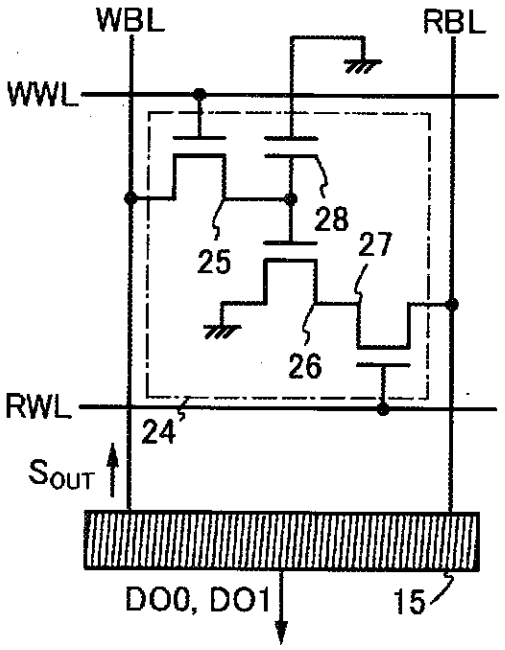
【図１１Ａ】

図11A



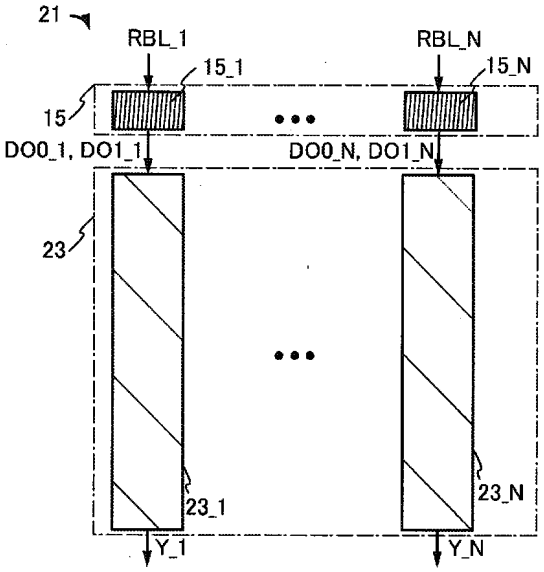
【図１１Ｂ】

図11B



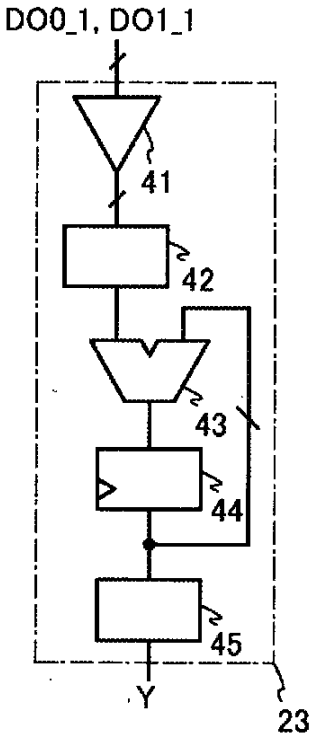
【図１２Ａ】

図12A



【図１２Ｂ】

図12B



【図１３】

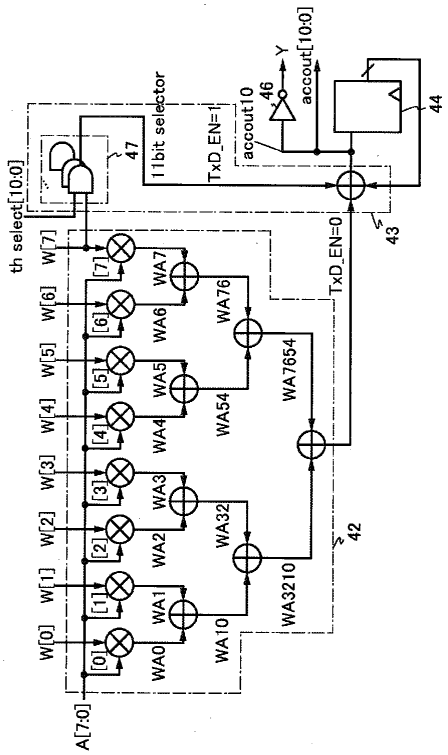
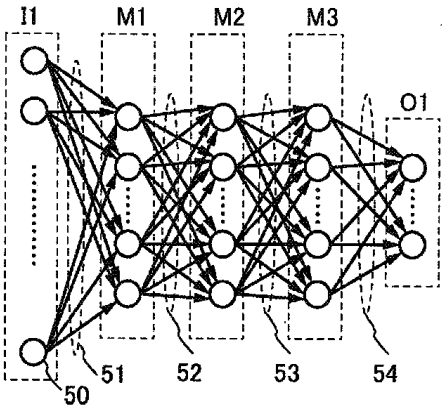


図13

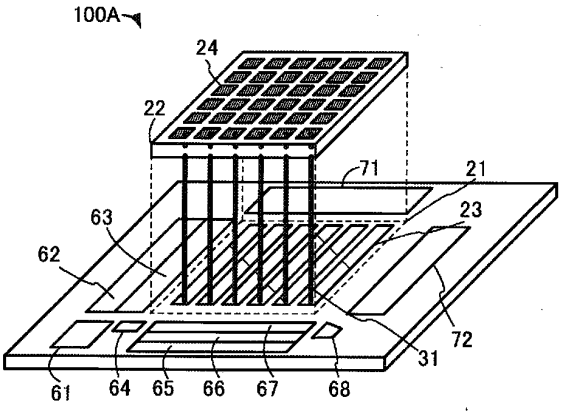
【図１４Ａ】

図14A



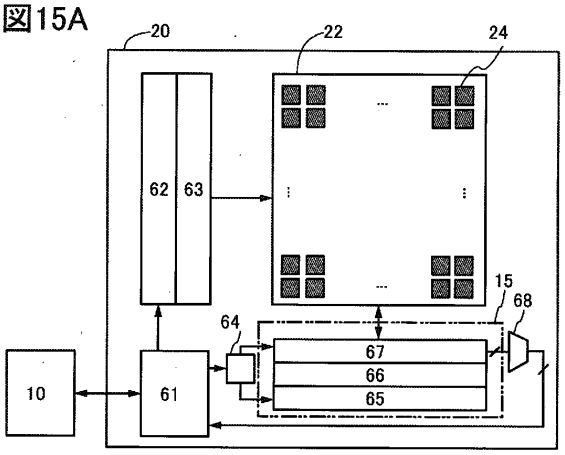
【図１４Ｂ】

図14B



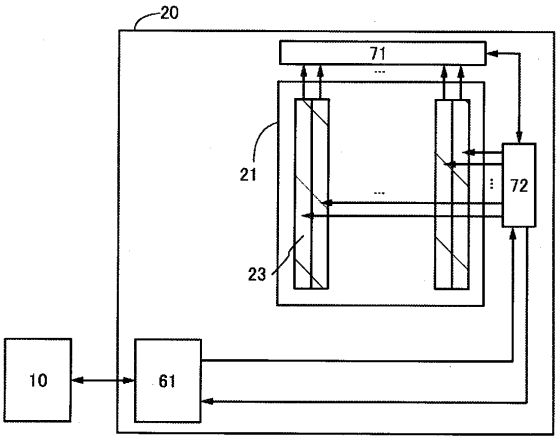
【図１５Ａ】

図15A



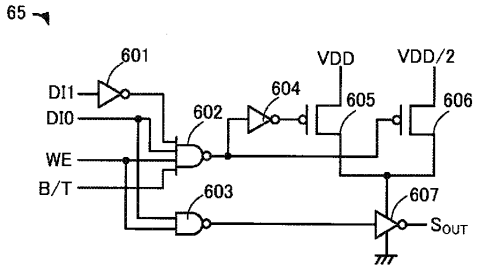
【図１５Ｂ】

図15B



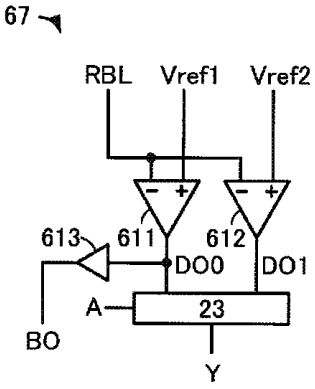
【図１６】

図16



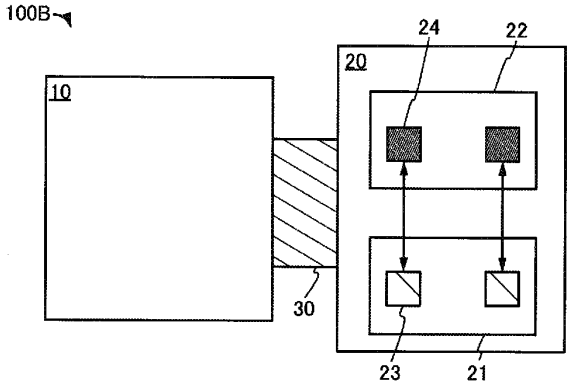
【図１７】

図17



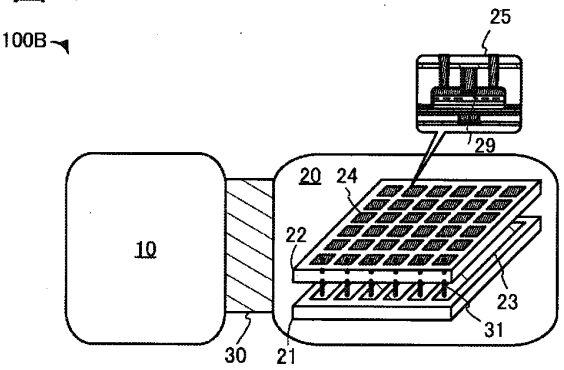
【図１８Ａ】

図18A



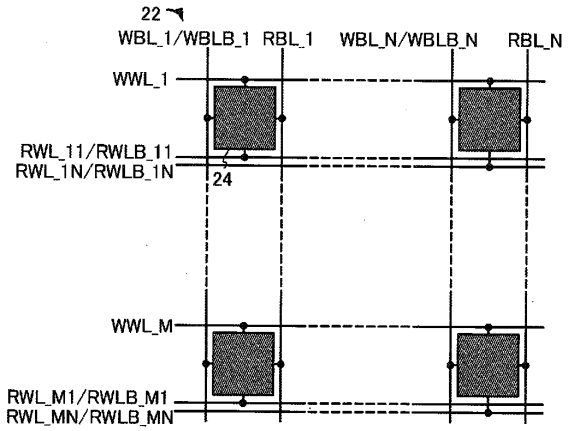
【図１８Ｂ】

図18B



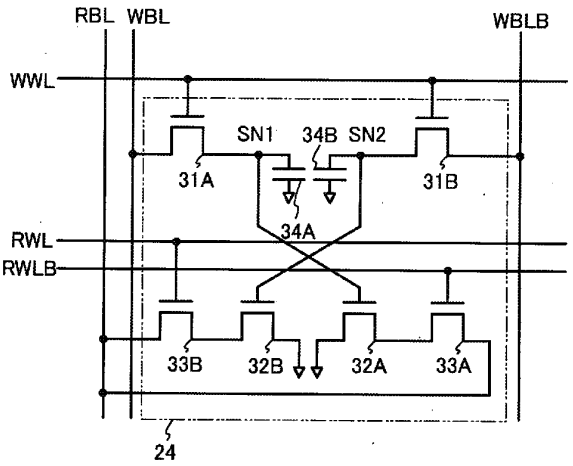
【図１９Ａ】

図19A



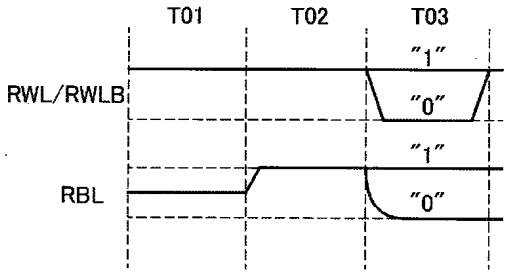
【図１９Ｂ】

図19B



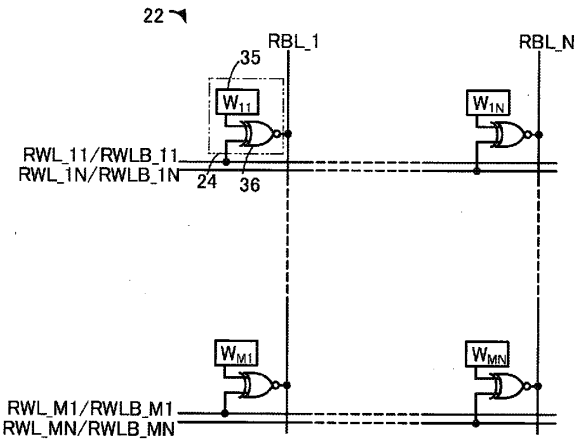
【図２０Ａ】

図20A



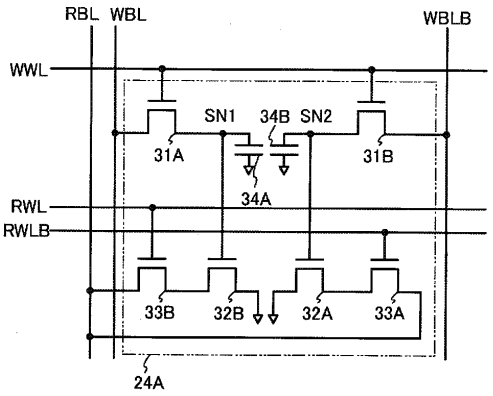
【図２０Ｂ】

図20B



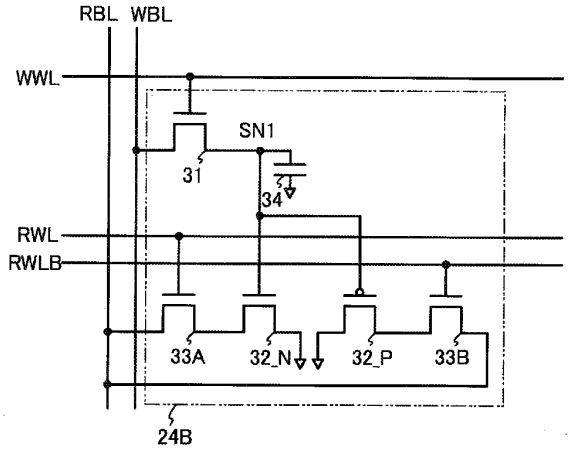
【図２１】

図21



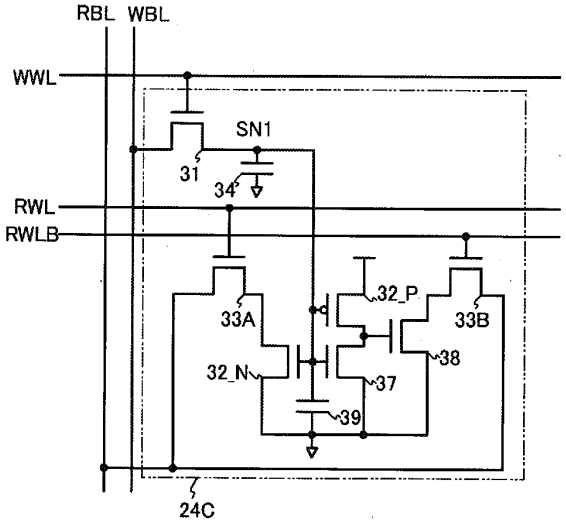
【図２２Ａ】

図22A



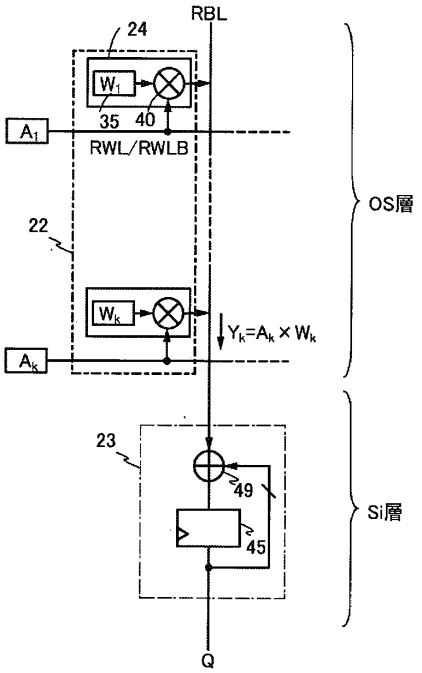
【図２２Ｂ】

図22B



【図２３】

図23



【図２４】

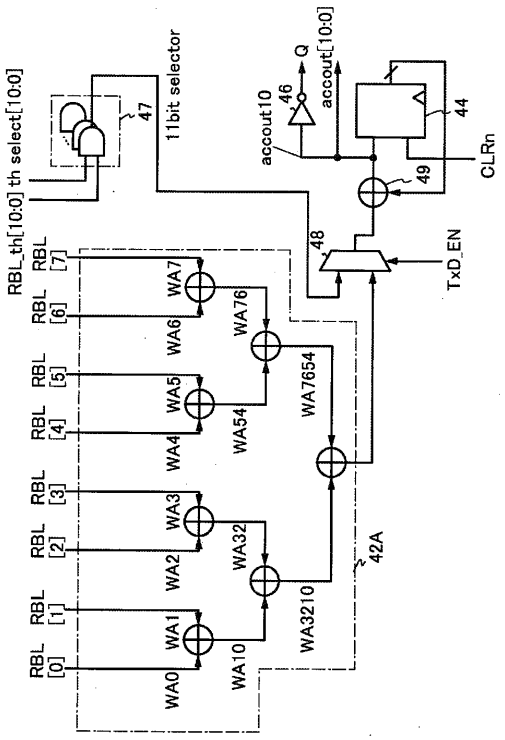
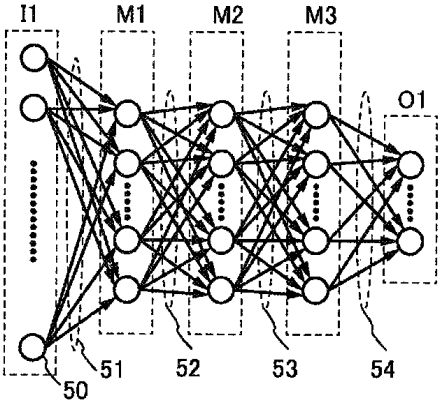


図24

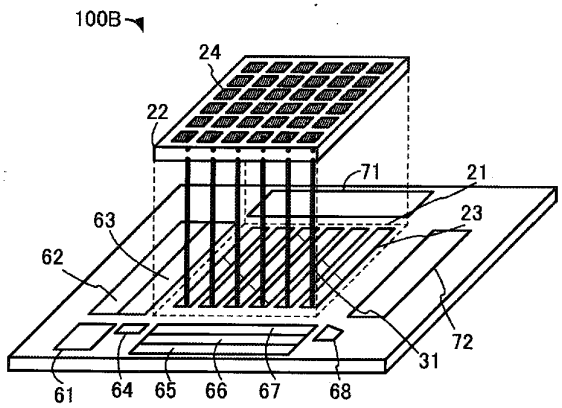
【図２５Ａ】

図25A



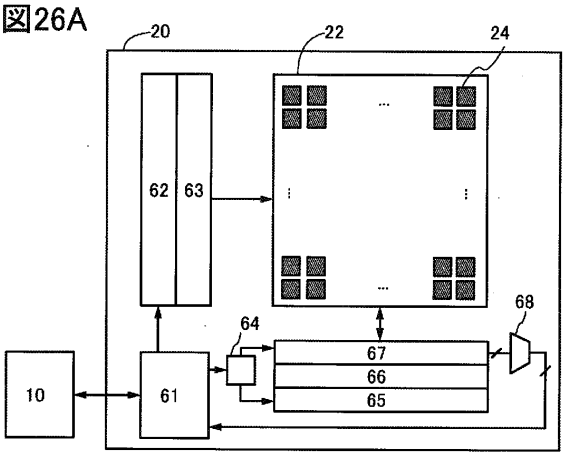
【図２５Ｂ】

図25B



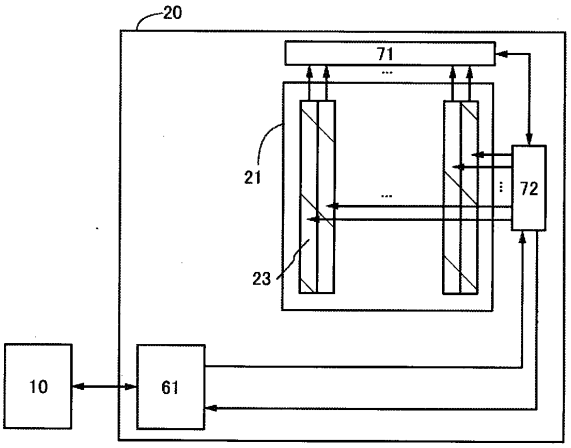
【図２６Ａ】

図26A



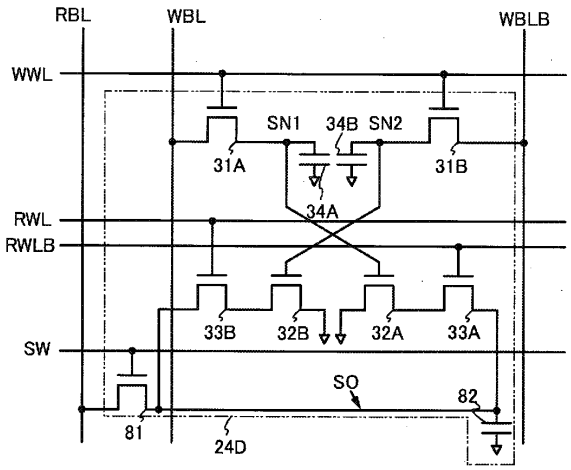
【図２６Ｂ】

図26B



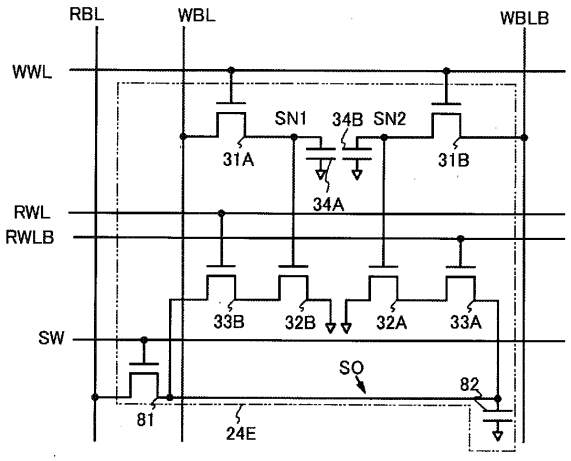
【図２７Ａ】

図27A



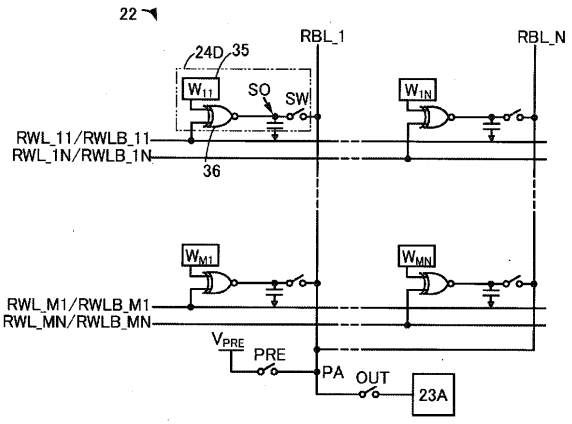
【図２７Ｂ】

図27B



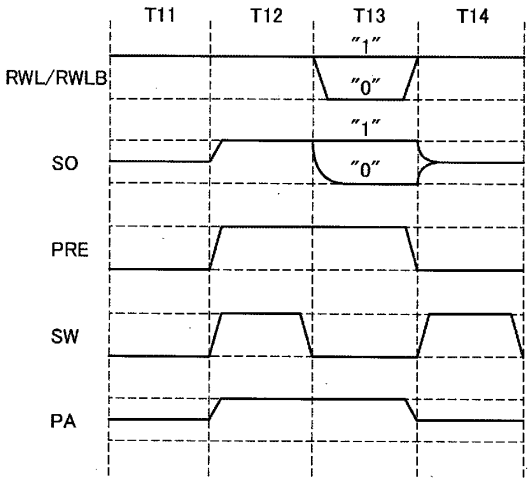
【図２８Ａ】

図28A



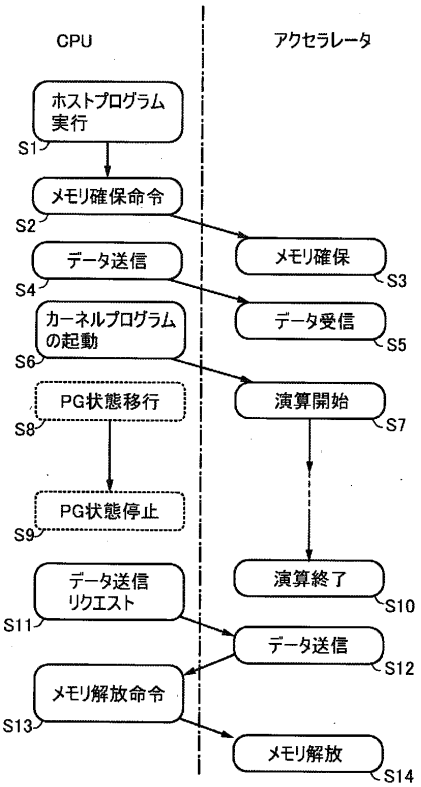
【図２８Ｂ】

図28B



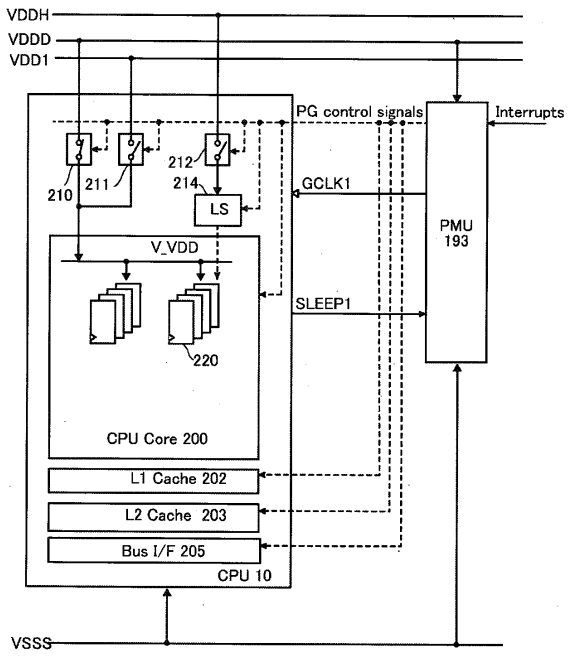
【図２９】

図29



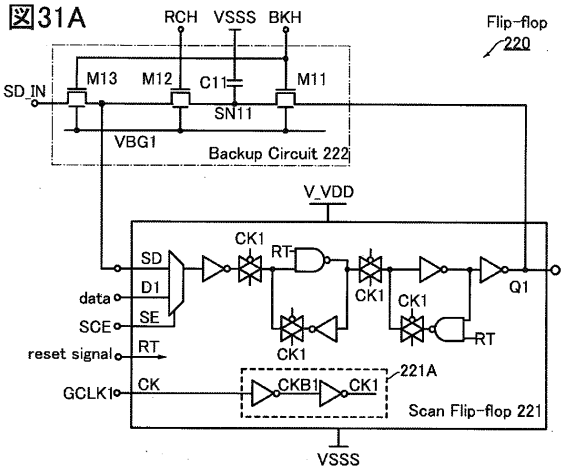
【図３０】

図30



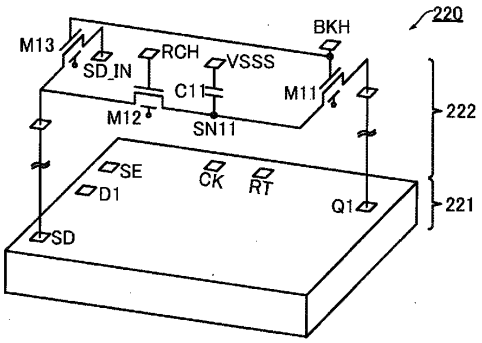
【図３１Ａ】

図31A



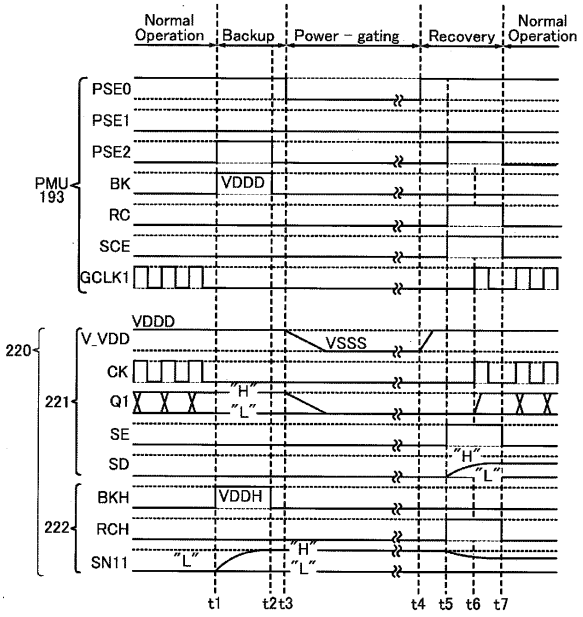
【図３１Ｂ】

図31B



【図３２】

図32



【図３３】

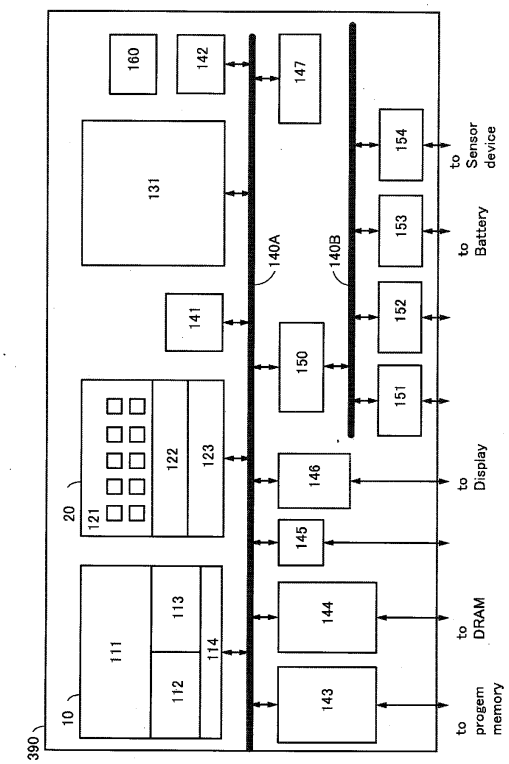
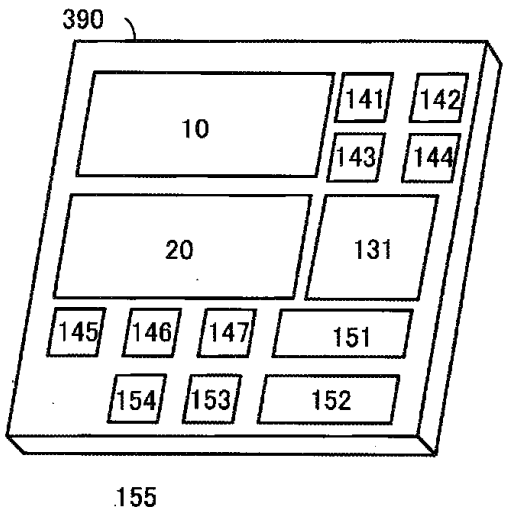


図33

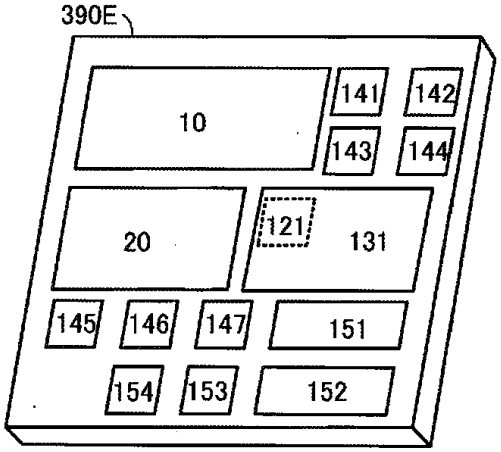
【図３４Ａ】

図34A



【図３４Ｂ】

図34B



【図３５Ａ】

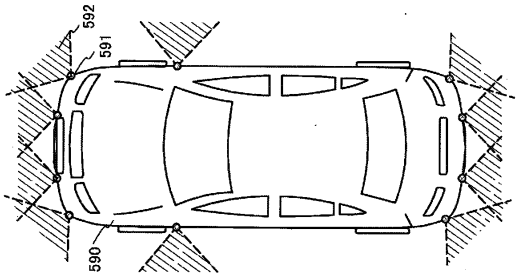


図35A

【図３５Ｂ】

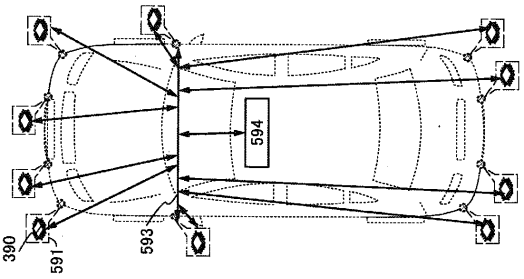


図35B

【図３６Ａ】

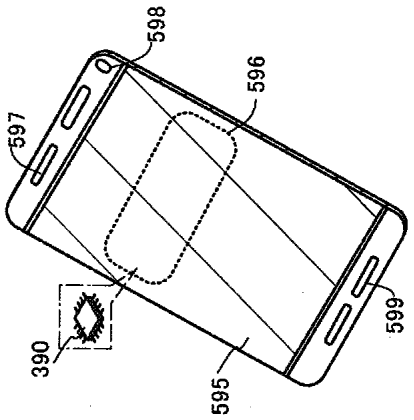
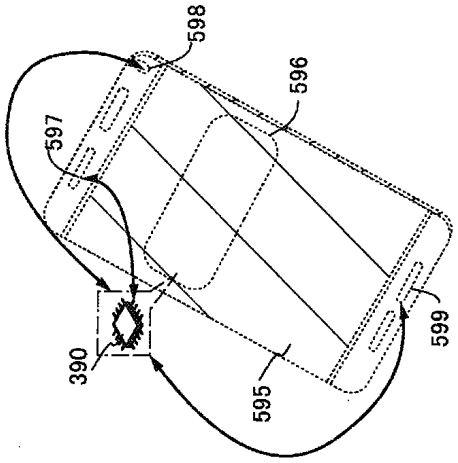


図36A

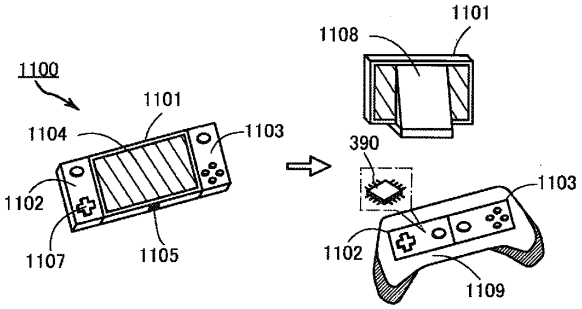
【図３６Ｂ】

図36B



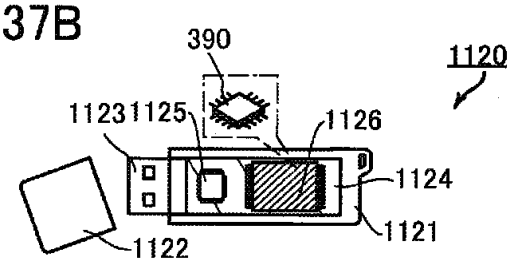
【図３７Ａ】

図37A



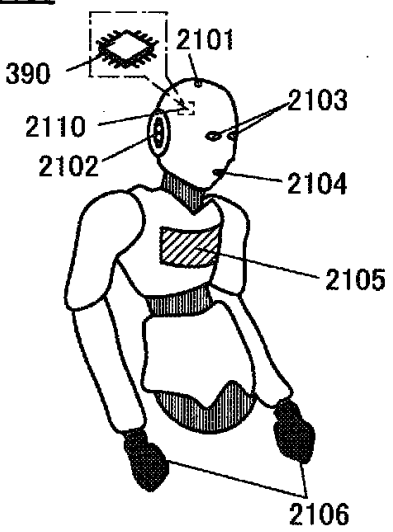
【図３７Ｂ】

図37B



【図３７Ｃ】

図37C 1130



【図３８】

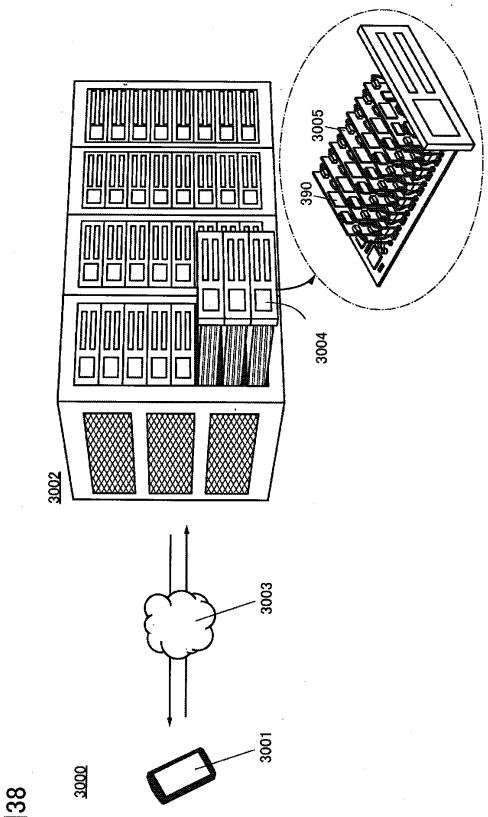
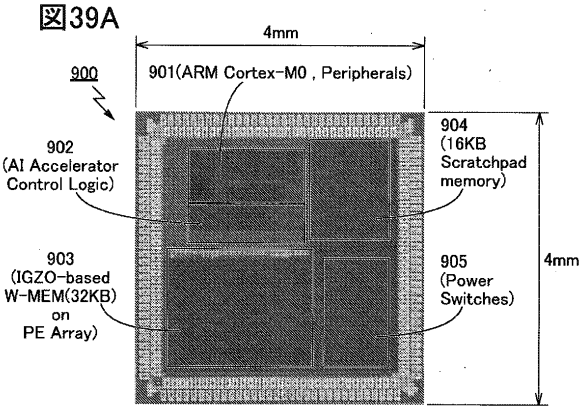
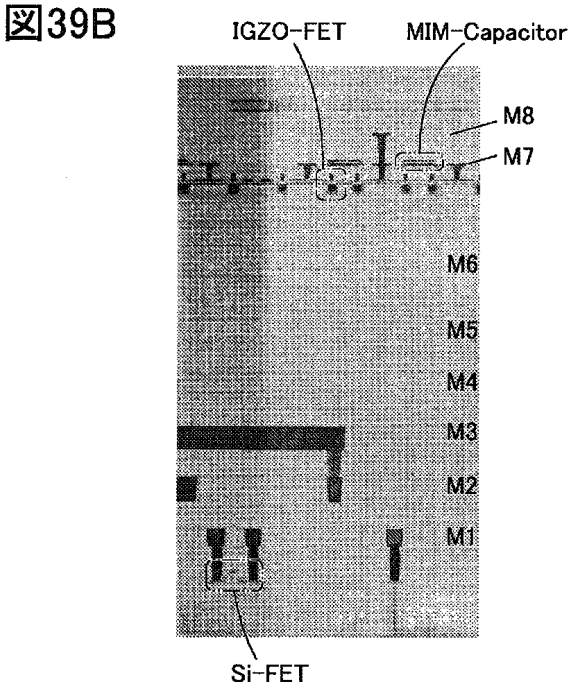


図38

【図３９Ａ】



【図３９Ｂ】



【図４０】

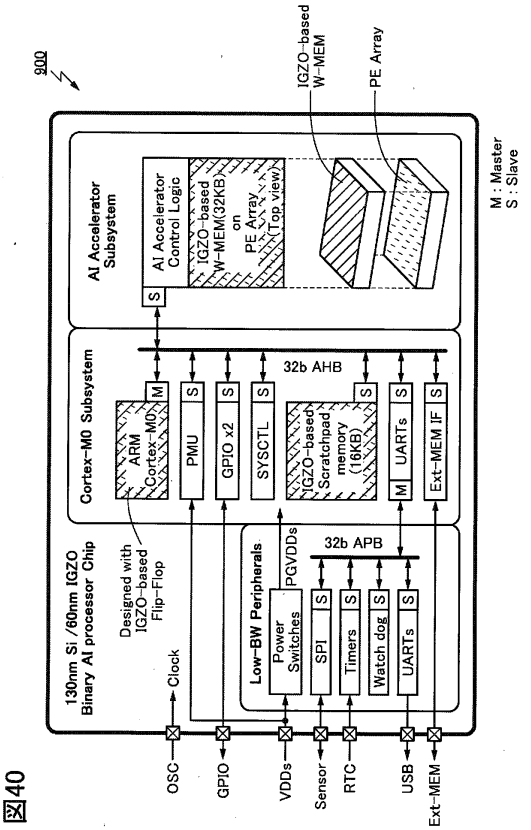
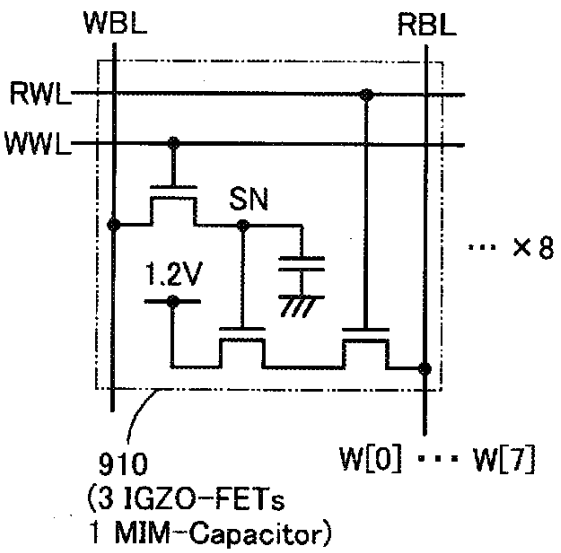


図40

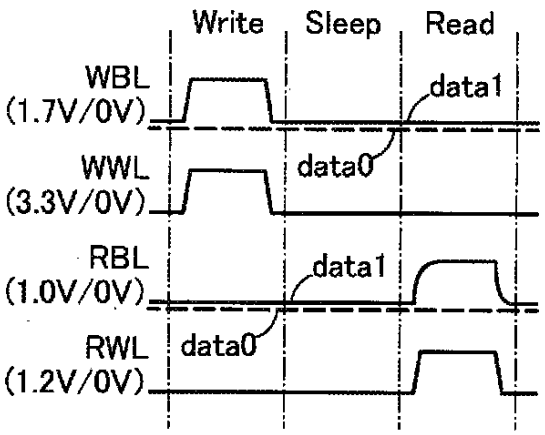
【図４１Ａ】

図41A



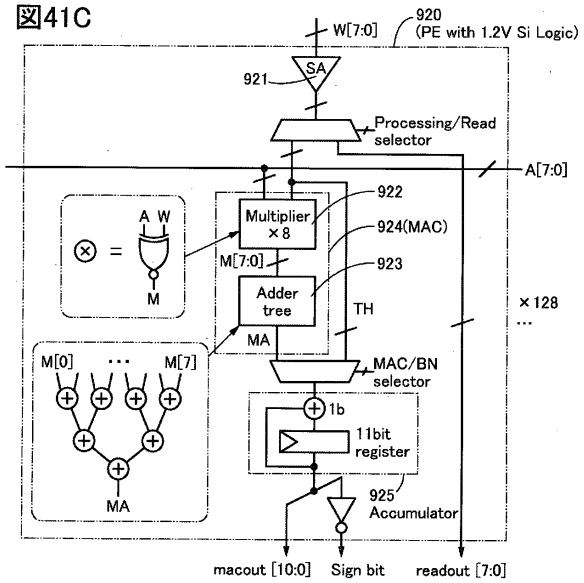
【図４１Ｂ】

図41B



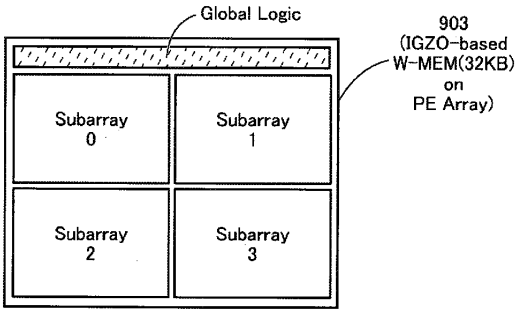
【図４１Ｃ】

図41C



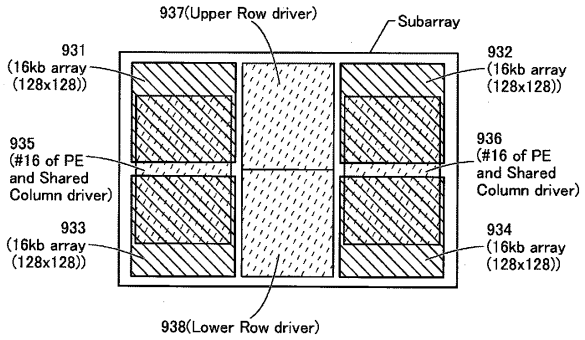
【図４２Ａ】

図42A



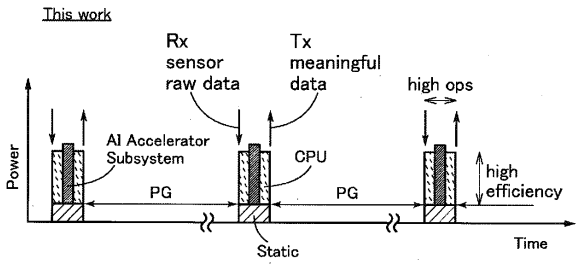
【図４２Ｂ】

図42B



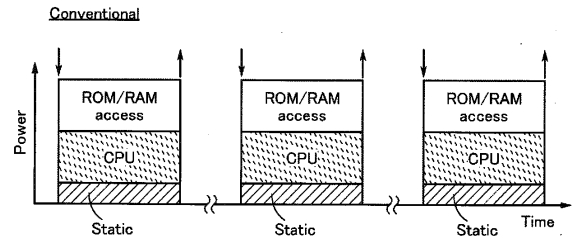
【図４３Ａ】

図43A



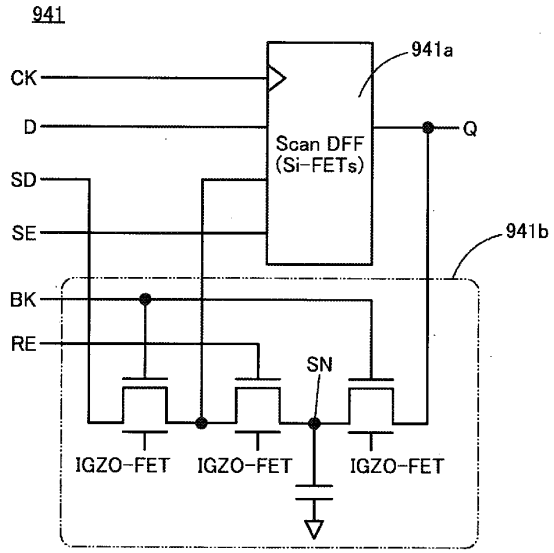
【図４３Ｂ】

図43B



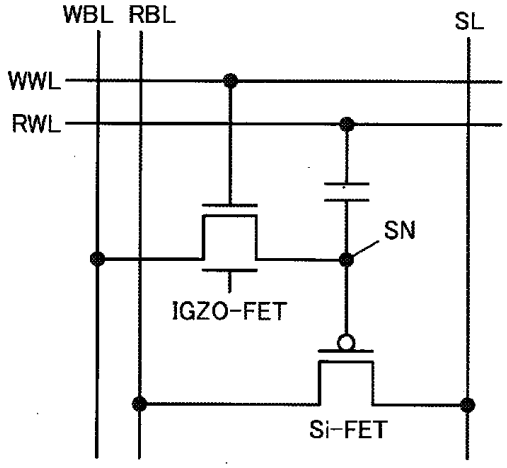
【図４４Ａ】

図44A



【図４４Ｂ】

図44B



【図４５Ａ】

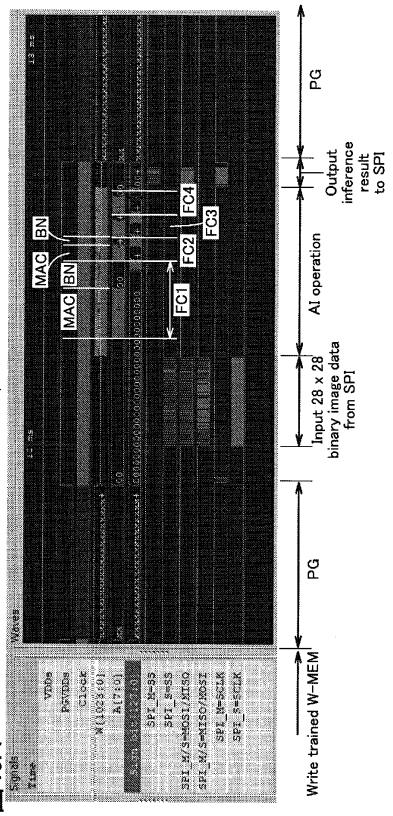


図45A

【図４５Ｂ】

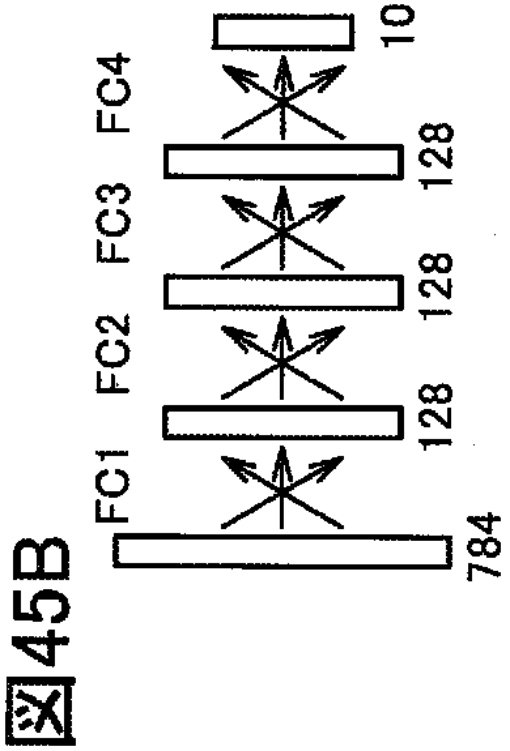


図45B

フロントページの続き

(51)国際特許分類
Ｇ１１Ｃ　7/22 (2006.01)
Ｇ１１Ｃ　11/404 (2006.01)
Ｇ１１Ｃ　11/405 (2006.01)
Ｇ１１Ｃ　11/409 (2006.01)
Ｇ１１Ｃ　14/00 (2006.01)
Ｈ０１Ｌ　21/822 (2006.01)
Ｈ０１Ｌ　27/04 (2006.01)
Ｈ０１Ｌ　21/8234 (2006.01)
Ｈ０１Ｌ　29/786 (2006.01)
Ｈ１０Ｂ　12/00 (2023.01)
Ｈ１０Ｂ　41/70 (2023.01)

ＦＩ
Ｇ１１Ｃ　7/22
Ｇ１１Ｃ　11/404
Ｇ１１Ｃ　11/405
Ｇ１１Ｃ　11/409
Ｇ１１Ｃ　14/00
Ｈ０１Ｌ　27/04　Ｄ
Ｈ０１Ｌ　27/04　Ｕ
Ｈ０１Ｌ　27/088　Ｅ
Ｈ０１Ｌ　27/088　Ｈ
Ｈ０１Ｌ　29/78　６１３Ｂ
Ｈ０１Ｌ　29/78　６１８Ｂ
Ｈ１０Ｂ　12/00　８０１
Ｈ１０Ｂ　41/70

(32)優先日　令和1年11月29日(2019.11.29)
(33)優先権主張国・地域又は機関
日本国(JP)
(31)優先権主張番号　特願2020-38446(P2020-38446)
(32)優先日　令和2年3月6日(2020.3.6)
(33)優先権主張国・地域又は機関
日本国(JP)
(31)優先権主張番号　特願2020-87645(P2020-87645)
(32)優先日　令和2年5月19日(2020.5.19)
(33)優先権主張国・地域又は機関
日本国(JP)
(72)発明者　古谷 一馬
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
(72)発明者　佐々木 宏輔
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
審査官　市川 武宜
(56)参考文献
特開２０１９－３６２８０（ＪＰ，Ａ）
特開２０１９－４６１９９（ＪＰ，Ａ）
特開２０１９－４７００６（ＪＰ，Ａ）
国際公開第２０１９／０３８６６４（ＷＯ，Ａ１）
(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／８２２
Ｈ０１Ｌ　２１／８２３４
Ｈ０１Ｌ　２７／０４
Ｈ０１Ｌ　２７／０８８
Ｈ０１Ｌ　２９／７８６
Ｈ１０Ｂ　１２／００
Ｈ１０Ｂ　４１／７０
Ｇ０６Ｆ　９／３８
Ｇ０６Ｆ　１２／００
Ｇ０６Ｆ　１５／７８
Ｇ１１Ｃ　５／０２
Ｇ１１Ｃ　７／２２
Ｇ１１Ｃ　１１／４０４
Ｇ１１Ｃ　１１／４０５
Ｇ１１Ｃ　１１／４０９
Ｇ１１Ｃ　１４／００