

(12) 发明专利

(10) 授权公告号 CN 101005285 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 200610168330. 7

(56) 对比文件

(22) 申请日 2006. 12. 18

US 6285308 B1, 2001. 09. 04,

US 2003/0043066 A1, 2003. 03. 06,

(30) 优先权数据

60/759, 869 2006. 01. 18 US

60/773, 029 2006. 02. 14 US

11/384, 855 2006. 03. 20 US

CN 1388647 A, 2003. 01. 01,

US 4751497 A, 1988. 06. 14,

审查员 孟祥岳

(73) 专利权人 马维尔国际贸易有限公司

地址 巴巴多斯圣迈克尔

(72) 发明人 塞哈特·苏塔迪嘉

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 王怡

(51) Int. Cl.

H03M 1/34 (2006. 01)

H03M 1/36 (2006. 01)

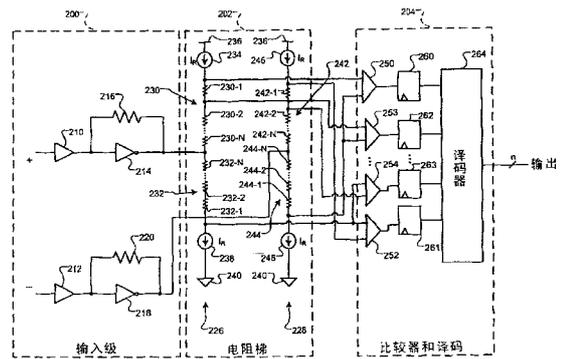
权利要求书 2 页 说明书 13 页 附图 12 页

(54) 发明名称

改进型快闪式模数变换器

(57) 摘要

本发明公开了一种差分模数变换器(ADC)。该差分模数变换器包括第一和第二电阻梯分支、第一和第二放大器以及多个比较器。每个电阻梯分支包括两个电阻,这两个电阻具有与中间节点通信的第一端和与电流源通信的第二端。第一放大器将基于输入信号的第一相位的电压施加到第一电阻梯分支的中间节点。第二放大器将基于输入信号的第二相位的电压施加到第二电阻梯分支的中间节点。多个比较器中的每一个具有第一和第二输入,其中第一输入与第一电阻梯分支的两个电阻之一通信,并且第二输入与第二电阻梯分支的两个电阻之一通信。



1. 一种差分模数变换器,包括:

第一电阻梯分支,包括两个电阻,所述两个电阻具有与中间节点通信的第一端和与电流源通信的第二端;

第二电阻梯分支,包括两个电阻,所述两个电阻具有与中间节点通信的第一端和与电流源通信的第二端;

第一放大器,将基于输入信号的第一相位的电压施加到所述第一电阻梯分支的中间节点;

第二放大器,将基于所述输入信号的第二相位的电压施加到所述第二电阻梯分支的中间节点;

多个比较器,每个具有第一和第二输入,其中所述第一输入与所述第一电阻梯分支的两个电阻之一通信,并且所述第二输入与所述第二电阻梯分支的两个电阻之一通信,其中所述多个比较器的所述第一输入经历基于所述第一输入离所述第一电阻梯分支的中间节点的电距离的传播延迟,并且所述多个比较器的所述第二输入经历基于所述第二输入离所述第二电阻梯分支的中间节点的电距离的传播延迟;以及

延迟元件,所述延迟元件与所述比较器的第一和第二输入通信,并且产生从所述第一电阻梯分支的中间节点到所述比较器的第一输入和从所述第二电阻梯分支的中间节点到所述比较器的第二输入的基本相同的总延迟。

2. 根据权利要求 1 所述的模数变换器,其中,所述多个比较器中的每一个被校准。

3. 根据权利要求 2 所述的模数变换器,其中,所述第一和第二电阻梯分支的电流源在所述比较器的校准期间被关断。

4. 根据权利要求 3 所述的模数变换器,其中,所述第一和第二放大器输出基于输入信号的电压,所述输入信号在所述比较器的校准期间基本上等于零。

5. 根据权利要求 2 所述的模数变换器,其中,所述多个比较器中的每一个包括基于相应数字值来调节的可调节电流源。

6. 根据权利要求 5 所述的模数变换器,其中,所述相应数字值在所述比较器的校准期间被确定。

7. 根据权利要求 6 所述的模数变换器,还包括控制模块,所述控制模块在所述比较器的校准期间基于所述多个比较器的输出来改变所述相应数字值。

8. 根据权利要求 1 所述的模数变换器,其中,所述第一和第二放大器包括跨阻放大器。

9. 根据权利要求 1 所述的模数变换器,其中,所述第一和第二放大器包括嵌套跨阻放大器。

10. 根据权利要求 1 所述的模数变换器,其中,所述第一和第二电阻梯分支的电阻中的每一个包括 N 个独立电阻,其中 N 是大于 1 的整数。

11. 根据权利要求 10 所述的模数变换器,其中,所述独立电阻具有基本上相等的电阻值。

12. 根据权利要求 1 所述的模数变换器,其中,所述第一电阻梯分支的电阻包括 N 个串联连接的独立电阻。

13. 根据权利要求 1 所述的模数变换器,其中,所述第一电阻梯分支的电阻包括多个串联连接的初级电阻和与所述初级电阻中的每一个并联连接的多组次级电阻。

14. 根据权利要求 1 所述的模数变换器,其中,所述第一电阻梯分支的电阻包括多个串联连接的初级电阻,与所述初级电阻中的每一个并联连接的多组次级电阻,以及与所述次级电阻中的每一个并联连接的多组第三级电阻。

15. 根据权利要求 1 所述的模数变换器,其中,所述第一电阻梯分支的电阻包括 N 个独立电阻。

16. 根据权利要求 15 所述的模数变换器,其中,所述比较器的第一输入与所述第一电阻梯分支的 N 个独立电阻中的两个之间的连接通信,并且所述第二输入与所述第二电阻梯分支的独立电阻中的两个之间的连接通信。

17. 根据权利要求 1 所述的模数变换器,其中,所述延迟元件包括电阻迹线。

18. 根据权利要求 1 所述的模数变换器,其中,所述延迟元件包括晶体管。

19. 根据权利要求 1 所述的模数变换器,还包括多个锁存装置,其每个基于选通信号锁存所述多个比较器中相应一个比较器的输出。

20. 根据权利要求 19 所述的模数变换器,其中,所述多个延迟元件延迟所述选通信号,并且对每个所述选通信号的延迟是基于所述多个比较器中的所述相应一个比较器的所述第一和第二输入中的至少一个的传播延迟的。

21. 根据权利要求 20 所述的模数变换器,还包括译码模块,所述译码模块在所述多个锁存装置中的最后一个接收到所述选通信号之后基本同时读取所述多个锁存装置的输出。

22. 根据权利要求 1 所述的模数变换器,其中,所述模数变换器被实现在具有第一金属层的集成电路上,并且其中所述第一和第二电阻梯分支被实现在所述第一金属层中。

23. 根据权利要求 22 所述的模数变换器,其中,所述第一电阻梯分支的两个电阻在所述第一电阻梯分支的中间节点处连接并被布置为彼此的镜像,并且其中所述第二电阻梯分支的两个电阻在所述第二电阻梯分支的中间节点处连接并被布置为彼此的镜像。

24. 根据权利要求 23 所述的模数变换器,其中,所述第一和第二电阻梯分支的电阻中的每一个被按照折叠形状布置以使面积最小化。

改进型快闪式模数变换器

技术领域

[0001] 本发明涉及模数变换器,更具体地说涉及快闪式 (flash) 模数变换器。

背景技术

[0002] 现在参照图 1,给出了用于模数变换器 (ADC) 的差分电阻梯 (ladder) 的功能电路图。差分电阻梯包括分别接收输入信号的正相位和负相位的正分支 (leg) 100 和负分支 101。正分支 100 包括第一电压源 102,该第一电压源 102 输出等于输入信号的正相位 (V_+) 的 AC 电压 (以地电位 104 为基准)。该电压被施加到包括电阻 106-1、106-2... 106-N 的第一电阻 106 的第一端子。第一电阻 106 的另一端子与包括电阻 108-1、108-2... 108-N 的第二电阻 108 的第一端子通信。第二电阻 108 的另一端子与第二电压源 110 通信。第二电压源 110 输出与 V_+ 减去 DC 电压 (V_{DC}) 相等的电压 (以地电位 104 为基准)。

[0003] 负分支 101 包括第三电压源 112,该第三电压源 112 输出与对包括电阻 114-1、114-2... 114-N 的第三电阻 114 的第一端子的输入信号的负相位 (V_-) 相等的 AC 电压。第三电阻 114 的另一端子与包括电阻 116-1、116-2... 116-N 的第四电阻 116 的第一端子通信。第四电阻 116 的另一端子与第四电压源 118 通信。第四电压源 118 输出与 V_- 减去 DC 电压 (V_{DC}) 相等的电压 (以地为基准)。第一和第二电阻 106 和 108 通常是由许多 (经常为 2 的乘方) 更小的电阻组成的。同样,第三和第四电阻 114 和 116 经常是由许多更小的电阻组成的。对于线性 ADC,定义每个电阻 106、108、114 和 116 的更小电阻的数目通常是相等的。

[0004] 现在参照图 2,给出了根据现有技术的替代差分电阻梯配置的功能电路图。差分电阻梯包括分别接收输入信号的正相位和负相位的正分支 136 和负分支 138。正分支 136 包括第一电压源 140,该第一电压源 140 输出等于输入信号的正相位 (V_+) 的电压 (以地为基准)。该电压被施加到包括电阻 142-1、142-2... 和 142-N 的第一电阻 142 的第一端子。第一电阻 142 的另一端子与包括电阻 144-1、144-2... 144-N 的第二电阻 144 的第一端子和第二电压源 146 通信。第二电压源 146 输出与 V_+ 减去一半 DC 电压 (V_{DC}) 相等的电压 (以地为基准)。第二电阻 144 的另一端子与第三电压源 148 通信,所述第三电压源 148 输出等于 V_+ 减去 V_{DC} 的电压 (以地为基准)。

[0005] 负分支 138 包括第四电压源 150,该第四电压源 150 输出等于输入信号的负相位 (V_-) 的电压 (以地为基准)。第四电压源 150 与包括电阻 152-1、152-2... 152-N 的第三电阻 152 的第一端子通信。第三电阻 152 的另一端子与包括电阻 154-1、154-2... 154-N 的第四电阻 154 的第一端子和第五电压源 156 通信。第五电压源 156 输出等于 V_- 减去 $V_{DC}/2$ 的电压 (以地为基准)。第四电阻 154 的另一端子与第六电压源 158 通信,所述第六电压源 158 输出等于 V_- 减去 V_{DC} 的电压 (以地为基准)。

[0006] 电阻 142、144、152 和 154 中的每一个经常是由多个更小电阻 (对线性 ADC 通常是相同数目) 组成的。图 2 的配置与图 1 的配置相似,外加第二和第五电压源 146 和 156。第二电压源 146 被连接到中心节点,该节点在第一和第二电阻 142 和 144 之间。如果没有第二电压源 146,则与驱动电压源 140 和 148 距离相等的中心节点将最后接收到输入信号。

第二电压源 146 的加入从该节点去除了延迟。最大延迟现在位于第一电阻 142 的中点和第二电阻 144 的中点。与驱动电压源 140 和 146 的距离是中心节点的一半的这些中点仅经历中心节点先前所具有的 RC 延迟的四分之一。对负分支 138 进行相同的修改,将第五电压源 156 添加到否则将经历最大延迟的节点。

发明内容

[0007] 一种差分模数变换器 (ADC) 包括第一和第二电阻梯分支、第一和第二放大器和多个比较器。第一电阻梯分支包括两个电阻,这两个电阻具有与中间节点通信的第一端和与电流源通信的第二端。第二电阻梯包括两个电阻,这两个电阻具有与中间节点通信的第一端和与电流源通信的第二端。第一放大器将基于输入信号的第一相位的电压施加到第一电阻梯分支的中间节点。第二放大器将基于输入信号的第二相位的电压施加到第二电阻梯分支的中间节点。多个比较器中的每一个具有第一和第二输入,其中第一输入与第一电阻梯分支的两个电阻之一通信,并且第二输入与第二电阻梯分支的两个电阻之一通信。

[0008] 在其他特征中,多个比较器中的每一个被校准。第一和第二电阻梯分支的电流源在校准期间被关断。第一和第二放大器输出基于输入信号的电压,输入信号在校准期间基本上等于零。多个比较器中的每一个包括基于相应数字值来调节的可调节电流源。相应数字值在校准期间被确定。

[0009] 在其他特征中,模数变换器还包括控制模块,该控制模块在校准期间基于多个比较器的输出来改变相应数字值。第一和第二放大器包括跨阻放大器。第一和第二放大器包括嵌套跨阻放大器。第一和第二电阻梯分支的电阻中的每一个包括 N 个独立电阻,其中 N 是大于 1 的整数。独立电阻具有基本上相等的电阻值。

[0010] 在其他特征中,第一电阻梯分支的电阻包括串联连接的 N 个独立电阻。第一电阻梯分支的电阻包括多个串联连接的初级电阻和与初级电阻中的每一个并联连接的多组次级电阻。第一电阻梯分支的电阻包括多个串联连接的初级电阻,与初级电阻中的每一个并联连接的多组次级电阻,以及与次级电阻中的每一个并联连接的多组第三级电阻。

[0011] 在其他特征中,第一电阻梯分支的电阻包括 N 个独立电阻。比较器的第一输入与第一电阻梯分支的 N 个独立电阻中的两个之间的连接通信,并且第二输入与第二电阻梯分支的独立电阻中的两个之间的连接通信。多个比较器的第一和第二输入经历传播延迟,传播延迟基于第一和第二输入离中间节点中的对应节点的电距离。

[0012] 在其他特征中,模数变换器还包括延迟元件,延迟元件与比较器的第一和第二输入通信,并且产生从中间节点中的对应节点到比较器的第一和第二输入的基本相同的总延迟。延迟元件包括电阻迹线和 / 或晶体管。模数变换器还包括多个锁存装置,其每个对应于多个比较器之一。多个锁存装置在延迟的时刻锁存来自多个比较器中的对应比较器的输出,延迟的时刻基于多个比较器中的对应比较器的第一和第二输入中的至少一个输入处的传播延迟。

[0013] 在其他特征中,模数变换器还包括译码模块,译码模块在多个锁存装置中的最后一个被致动之后基本同时读取多个锁存装置的输出。其中,模数变换器被实现在具有第一金属层的集成电路上,并且其中第一和第二电阻梯分支被实现在第一金属层中。第一电阻梯分支的两个电阻在中间节点处连接并被布置为彼此的镜像,并且其中第二电阻梯分支的

两个电阻在中间节点处连接并被布置为彼此的镜像。第一和第二电阻梯分支的电阻中的每一个被按照折叠形状布置以使面积最小化。

[0014] 一种用于从模拟变换为数字的方法,包括:提供包括两个电阻的第一电阻梯分支,这两个电阻具有与中间节点通信的第一端和与电流源通信的第二端;提供包括两个电阻的第二电阻梯,这两个电阻具有与中间节点通信的第一端和与电流源通信的第二端;将基于输入信号的第一相位的电压施加到第一电阻梯分支的中间节点;将基于输入信号的第二相位的电压施加到第二电阻梯分支的中间节点;以及提供多个比较器,其每个具有第一和第二输入,其中第一输入与第一电阻梯分支的两个电阻之一通信,并且第二输入与第二电阻梯分支的两个电阻之一通信。

[0015] 在其他特征中,该方法还包括校准多个比较器。该方法还包括在校准期间关断第一和第二电阻梯分支的电流源。该方法还包括在校准期间把输入信号设置为基本上等于零。该方法还包括基于相应数字值为多个比较器中的每一个调节电流源。该方法还包括在校准期间确定相应数字值。

[0016] 在其他特征中,该方法还包括基于多个比较器的输出来改变相应数字值。该方法还包括创建对每个比较器基本上相同的从中间节点的对应节点到比较器的第一和第二输入的延迟。该方法还包括在延迟的时刻锁存来自多个比较器中的对应比较器的输出,延迟的时刻基于多个比较器中的对应比较器的第一和第二输入中的至少一个输入处的传播延迟。该方法还包括在最后的锁存事件之后基本上同时地读取被锁存的输出。

[0017] 一种差分模数变换器,包括:第一梯装置,用于提供两个电阻,这两个电阻具有与中间节点通信的第一端和与用于提供电流的电流源装置通信的第二端;第二梯装置,用于提供两个电阻,这两个电阻具有与中间节点通信的第一端和与用于提供电流的电流源装置通信的第二端;第一放大装置,用于将基于输入信号的第一相位的电压施加到第一梯装置的中间节点;第二放大装置,用于将基于输入信号的第二相位的电压施加到第二梯装置的中间节点;以及多个比较装置,用于比较第一和第二输入处的电压,其中第一输入与第一梯装置的两个电阻之一通信,并且第二输入与第二梯装置的两个电阻之一通信。

[0018] 在其他特征中,多个比较装置中的每一个被校准。第一和第二梯装置的电流装置在校准期间被关断。第一和第二放大装置输出基于输入信号的电压,输入信号在校准期间基本上等于零。多个比较装置中的每一个包括基于相应数字值来调节的可调节电流装置。相应数字值在校准期间被确定。

[0019] 在其他特征中,模数变换器还包括控制装置,用于在校准期间基于多个比较装置的输出来改变相应数字值。第一和第二放大装置包括跨阻放大装置。第一和第二放大装置包括嵌套跨阻放大装置。第一和第二梯装置的电阻中的每一个包括 N 个独立电阻,其中 N 是大于 1 的整数。独立电阻具有基本上相等的电阻值。

[0020] 在其他特征中,第一梯装置的电阻包括串联连接的 N 个独立电阻。第一梯装置的电阻包括多个串联连接的初级电阻和与初级电阻中的每一个并联连接的多组次级电阻。第一梯装置的电阻包括多个串联连接的初级电阻,与初级电阻中的每一个并联连接的多组次级电阻,以及与次级电阻中的每一个并联连接的多组第三级电阻。

[0021] 在其他特征中,第一梯装置的电阻包括 N 个独立电阻。比较装置的第一输入与第一梯装置的 N 个独立电阻中的两个之间的连接通信,并且第二输入与第二梯装置的独立电

阻中的两个之间的连接通信。多个比较装置的第一和第二输入经历传播延迟,传播延迟基于第一和第二输入离中间节点中的对应节点的电距离。

[0022] 在其他特征中,模数变换器还包括延迟装置,用于产生从中间节点中的对应节点到比较装置的第一和第二输入的基本相同的总延迟。延迟装置包括电阻迹线。延迟装置包括晶体管。模数变换器还包括锁存装置,用于锁存多个比较装置的输出。锁存装置在延迟的时刻锁存来自多个比较器中的对应比较器的输出,延迟的时刻基于多个比较装置中的对应比较装置的第一和第二输入中的至少一个输入处的传播延迟。

[0023] 在其他特征中,模数变换器还包括译码装置,用于在多个锁存装置中的最后一个被开启之后基本同时地读取多个锁存装置的输出。模数变换器被实现在具有第一金属层的集成电路上,并且其中第一和第二梯装置被实现在第一金属层中。第一梯装置的两个电阻在中间节点处连接并被布置为彼此的镜像,并且其中第二梯装置的两个电阻在中间节点处连接并被布置为彼此的镜像。第一和第二梯装置的电阻中的每一个被按照折叠形状布置以使面积最小化。

[0024] 本发明的其他应用领域从下文所提供的详细描述将变得清楚。应该明白,详细描述和特定示例在指示本发明优选实施例的同时仅是为了说明目的,而非限制本发明的范围。

附图说明

[0025] 本发明从具体实施方式和附图将得到更加充分的理解,其中:

[0026] 图 1 是根据模数变换器 (ADC) 的现有技术的差分电阻梯的功能电路图;

[0027] 图 2 是根据现有技术的替代差分电阻梯配置的功能电路图;

[0028] 图 3 是差分 ADC 的功能电路图;

[0029] 图 4A 是比较器的第一(前置放大)级的示例性实现方式的功能电路图;

[0030] 图 4B 是比较器的第一(前置放大)级的示例性实现方式的更详细的功能电路图;

[0031] 图 4C 是示例性校准实现方式的功能框图;

[0032] 图 5 是图 3 的 ADC 的示例性高级物理布局;

[0033] 图 6 是传播延迟失真的图形表示;

[0034] 图 7 是渐进比较器延迟元件的图示;

[0035] 图 8 是用于使由传播延迟引起的失真最小化的替代方案;

[0036] 图 9 是分段电阻梯实现方式的功能电路图;

[0037] 图 10 是三级分段梯网络的一个组件的功能电路图;

[0038] 图 11 是电阻梯的示例性布局;

[0039] 图 12A 是硬盘驱动器的功能框图;

[0040] 图 12B 是数字通用光盘 (DVD) 的功能框图;

[0041] 图 12C 是高清晰度电视的功能框图;

[0042] 图 12D 是车辆控制系统的功能框图;

[0043] 图 12E 是蜂窝式电话的功能框图;

[0044] 图 12F 是机顶盒的功能框图;以及

[0045] 图 12G 是媒体播放器的功能框图。

具体实施方式

[0046] 优选实施例的下列描述仅是示例性质的，并且并非打算限制本发明、其应用或使用。为了清楚，附图中将使用相同的标号来标识相似的元件。如在这里所使用的，术语模块指的是专用集成电路 (ASIC)、电子电路、执行一个或多个软件或固件程序的处理器（共享、专用或群组）和存储器、组合逻辑电路，和 / 或提供所述功能的其他合适组件。如在这里所使用的，短语“A、B 和 C 中的至少一个”应被解释为表示使用非互斥逻辑或的逻辑（A 或 B 或 C）。应该明白一种方法中的步骤可按照不同顺序执行而不改变本发明的原理。

[0047] 现在参照图 3 和 5，给出了差分模数变换器 (ADC) 的功能电路图。ADC 包括三级：输入级 200、电阻梯和偏置级 202，以及比较器和译码级 204。此外，ADC 可在译码级 204 期间或之后包括另外的数字逻辑，例如用于减少乱真输出 (spurious output) 代码的半格雷 (Half-Gray) 编码器。ADC 还可在输入级 200 之前或作为其一部分包括另外的调节电路和 / 或采样和保持电路。

[0048] 输入级 200 接收具有正相位和负相位的差分信号。正相位被传递到第一放大器 210 的输入，并且负相位被传递到第二放大器 212 的输入。第一放大器 210 的输出与第三放大器 214 的输入和第一反馈电阻 216 的第一端子通信。第一反馈电阻 216 的另一端子与第三放大器 214 的输出通信，从而产生跨阻放大器 (transimpedance amplifier)（也就是将输入电流变换为输出电压的放大器）。第一和第三放大器 210 和 214 与第一反馈电阻 216 可由任何合适的放大器配置来替换，包括嵌套 (nested) 跨阻放大器。这个和其他合适的嵌套跨阻放大器在例如 2003 年 6 月 11 日提交的美国专利申请 No. 10/459, 731 中被更加充分地描述，上述申请通过引用被全文结合在这里。

[0049] 第二放大器 212 的输出与第四放大器 218 的输入和第二反馈电阻 220 的第一端子通信。第二反馈电阻 220 的另一端子与第四放大器 218 的输出通信。第二和第四放大器 212 和 218 与第二反馈电阻 220 也可由任何合适的放大器配置来替换，包括嵌套跨阻放大器。

[0050] 电阻梯级 202 包括正分支 226 和负分支 228。第三放大器 214 的输出与正分支 226 的输入节点通信。第四放大器 218 的输出与负分支 228 的输入节点通信。正分支 226 的输入节点与第一梯电阻 230 和第二梯电阻 232 的第一端子通信，第一梯电阻 230 包括电阻 230-1、230-2... 230-N，第二梯电阻 232 包括电阻 232-1、232-2... 232-N。第一梯电阻 230 的另一端子与第一电流源 234 通信，该第一电流源 234 从电源电位 236 取电流。第二梯电阻 232 的另一端子与第二电流源 238 通信，该第二电流源 238 使电流下落到地电位 240。

[0051] 负分支 228 的输入节点与第三梯电阻 242 和第四梯电阻 244 的第一端子通信，第三梯电阻 242 包括电阻 242-1、242-2... 242-N，第四梯电阻 244 包括电阻 244-1、244-2... 244-N。第三梯电阻 242 的另一端子与第三电流源 246 通信，该第三电流源 246 从电源电位 236 取电流。第四梯电阻 244 的另一端子与第四电流源 248 通信，该第四电流源 248 使电流下落到地电位 240。

[0052] 四个电流源 234、238、246 和 248 中的每一个提供 I_r 的偏置电流，这在每个梯电阻 230、232、242 和 244 的两端产生了与梯电阻 (R) 乘 I_r 的值相等的恒定电压。第三放大器 214 的输出改变正分支 226 的输入节点处的电压。因为流经第一和第二梯电阻 230 和 232 的电流被保持恒定，所以梯电阻 230 和 232 的另一端子处的电压将保持不同于输入节点处

的恒定电压。

[0053] 因此,正分支 226 的输入节点处的电压摆动受电流源 234 和 238 的电压限制的限制。例如,假定电源电位 236 是稳压 1.5V(其可来源于 1.8V 电源)并且每个梯电阻 (R) 的值是 $50\ \Omega$,那么适当的电流 I_R 将是 5mA。这在每个梯电阻两端产生 0.25V 电压。如果电流源 234 和 238 需要至少 0.25V 电压降,那么输入节点的电压可达到不超出电源电位 2360.5V 并且不超出地电位 2400.5V。这是从 0.5V 到 1.0V 的电压摆动,或者峰到峰 (peak-to-peak) 0.5V。

[0054] 当对负分支 228 加以相似分析时,负分支 228 的输入节点也可达到 $0.5V_{ppk}$ 摆动。当负分支 228 和正分支 226 被以相反方向驱动时,1.0V 的差分 V_{ppk} 摆动是可能的。当电流源 234、238、246 和 248 在它们的最小电压 0.25V 附近工作时,它们的电流可能不同于理想情况。为了吸收电流的变化,第三和第四放大器 214 和 218 可被设计为超跨导或 g_m 放大器。

[0055] 比较器和译码级 204 包括比较器 250、252、253 和 254。第一梯电阻 230-1 的一个端子与比较器 250 的第一输入通信。第四梯电阻 244-1 的一个端子与比较器 250 的第二输入通信。第二梯电阻 232-1 的一个端子与比较器 252 的第一输入通信。第三梯电阻 242-1 的一个端子与比较器 252 的第二输入通信。电阻 230-1 与 230-2 之间的端子与比较器 253 的第一输入通信。第四梯电阻 244-1 的一个端子与比较器 253 的第二输入通信。第二梯电阻 232-1 的一个端子与比较器 254 的第一输入通信。电阻 242-1 和 242-2 之间的端子与比较器 254 的第二输入通信。

[0056] 包括每个梯电阻 230、232、246 和 248 的电阻的数目 N 对于线性 ADC 通常是相等的。比较器 253、254 中的“...”仅仅示为示例性目的,其代表实际 ADC 可以包含的任何数目的比较器。梯电阻 230、232、242 和 244 的比较器的通信将参考图 5 更详细地说明。

[0057] 比较器 250 的输出与锁存 (latching) 装置 260 的输入通信。比较器 252 的输出与锁存装置 262 的输入通信。比较器 253 的输出与锁存装置 262 的输入通信。比较器 254 的输出与锁存装置 263 的输入通信。锁存装置 260-263 的输出与译码器模块 264 的输入通信。译码器模块 264 包含将其输入处的信号变换为 n 位输出信号的逻辑(通常为组合逻辑)。译码器模块 264 的输入处的信号通常是温度计码 (thermometer code),即比某位更重要的所有位为零,同时剩下的位为 1(或反之亦然)。

[0058] 作为本 ADC 实现方式的性能特性的数值示例,假定每个比较器具有输入电容 (0.4pF 的 C_{in})。每个梯电阻 (230、232、242 和 244) 看见 (see) 以上输入电容的一半 (0.2pF),但是因为比较器的负载是分布式的,所以每个梯电阻所见的实际电容仅略高于 0.1pF 。可根据 RC 时间常数来估计从输入节点到梯电阻之一的末端的最坏情况的延迟。在电阻为 $50\ \Omega$ 时,延迟大约是 $50\ \Omega \times 0.1\text{pF} = 5\text{ps}$ 。如果必要带宽例如是 100MHz(这适用于千兆以太网或 2.5Gb 以太网),那么 100MHz 信号的周期是 10ns,从而产生 $5\text{ps}/10\text{ns}$,或者说 0.5×10^{-3} 信号周期。这约是 10 位的信号分辨率,大于 2.5Gb 以太网所需的 7 或 8 位。

[0059] 当对比较器的偏移进行校准时,电流源 234、238、246 和 248 可被关闭。这保证了只要没有输入信号所有的比较器就将看见零输入电压差。然后为了校准,输入信号可被去除,或者第二和第四放大器 214 和 218 可以好像输入信号为零似的工作。此外,每个比较器可在工作共模输入电压的最佳点 (sweet spot) 处(中间电压)被校准。这是有利的,因为按照温度计码产生转换的比较器在中间电压附近工作。

[0060] 现在参照图 4A, 图示了放大器的第一 (前置放大) 级的示例性实现方式的功能电路图。该电路包括第一、第二、第三、第四、第五、第六和第七晶体管 272-1、272-2、274-1、274-2、276-1、276-2 和 278。在该实现方式中, 第一、第二、第三、第四、第五、第六和第七晶体管 272、274、276 和 278 是具有栅极、源极和漏极的金属氧化物半导体场效应晶体管 (MOSFET), 但是也可以使用其他晶体管类型。

[0061] 第一、第二、第三和第四晶体管 272 和 274 的源极 (或者说第二端子) 与地电位 280 通信。第一和第二晶体管 272 的栅极端子 (或者说控制端子) 与电流反射镜 (current mirror) 通信, 该电流反射镜为第一和第二晶体管 272 设置偏置电流。电流反射镜包括第七晶体管 278、第一电阻 282 和电流源 284。电流源 284 与电源电位 286 通信并且向第一电阻 282 的第一端子输出电流。第一电阻 282 的另一端子与第七晶体管 278 的漏极 (或者说第一端子) 通信。第一电阻 282 的抽头 (tap) 与第七晶体管 278 的栅极通信。在一些实现方式中, 第一电阻 282 的抽头是中心抽头。第七晶体管 278 的源极与地电位 280 通信。

[0062] 第七晶体管 278 的栅极与第一和第二晶体管 272 的栅极通信。第三和第四晶体管 274 的栅极分别受第一和第二数模变换器 (DAC) 288-1 和 288-2 控制。第一和第三晶体管 272-1 和 274-1 的漏极互相通信并且与第五晶体管 276-1 的漏极和第二电阻 290 的第一端子通信。第二和第四晶体管 272-2 和 274-2 的漏极互相通信并且与第六晶体管 276-2 的漏极和第二电阻 290 的另一端子通信。

[0063] 在该电路配置中, 通过第一和第三晶体管 272-1 和 274-1 的电流加起来产生了第五晶体管 276-1 的偏置电流。同样地, 通过第二和第四晶体管 272-2 和 274-2 的电流加起来产生了第六晶体管 276-2 的偏置电流。第一和第二 DAC 288-1 和 288-2 各自接收数字输入, 该数字输入在被变换为模拟时将建立经过第三和第四晶体管 274 的正确补偿电流。各 DAC 288-1 的数字输入的值被校准, 使得电流从比较器去除任何偏移电压。在校准期间, 第五和第六晶体管 276 的栅极 (比较器的输入) 可被保持在基准电压, 例如 0.75V。

[0064] 第五晶体管 276-1 的源极与第三电阻 292-1 的第一端子通信。第三电阻 292-1 的另一端子与电源电位 286 通信。第六晶体管 276-2 的源极与第四电阻 292-2 的第一端子通信。第四电阻 292-2 的另一端子与电源电位 286 通信。

[0065] 现在参照图 4B, 图示了比较器的第一 (前置放大) 级的示例性实现方式的更详细的功能电路图。该实现方式与图 4A 的实现方式相似, 同时更详细地示出了 DAC 288 的一种可能实现方式。在本实现方式中, 图 4A 的 DAC 1288-1 由第一选择输入 294 和第一模拟多路复用器 296 组成。图 4A 的 DAC 2288-2 由第二选择输入 298 和第二模拟多路复用器 300 组成。

[0066] 多路复用器 296 和 300 接收来自第一电阻 282 的模拟电压。示出了三个代表性连接, 但是可以采用更多或更少连接。多路复用器 296 和 300 被示出为使用到第一电阻 282 的相同连接, 虽然不同的连接数目和连接点是可能的。第一选择输入 294 指示第一多路复用器 296 选择其模拟输入电压之一。可被多路复用器 296 放大的该电压被传递到第三晶体管 274-1 的栅极。第二选择输入 298 指示第二多路复用器 300 选择其模拟输入电压之一, 该电压被传递到第四晶体管 274-2 的栅极。

[0067] 被第一多路复用器 296 选择的电压可能来自与第七晶体管 278 的栅极通信的同一抽头。在这种情况下, 第三晶体管 274-1 的栅极处电压将与第一晶体管 272-1 的栅极处电压

相同。如果第一和第三晶体管 272-1 和 274-1 是匹配的,则它们的合并电流将是两倍。如果使第三晶体管 274-1 的大小为第一晶体管 272-1 的四分之一,则合并电流将是第一晶体管 272-1 单独时的 125%。该安排较之相同大小的晶体管将允许合并电流的更精细的调节。

[0068] 现在参照图 4C,图示了根据本发明的原理的示例性校准实现方式的功能框图。控制模块 340 把一组数字值存储在存储模块 342 中。存储模块与第一和第二组数模变换器(DAC)344 和 346 通信。DAC 344 和 346 接收来自存储模块 342 的数字值,并且将这些值变换为模拟信号。这些模拟信号可能是电压和 / 或电流。根据本发明的原理的模数变换器(ADC)348 包括一组 N 个差分比较器 350,包括比较器 350-1、350-2... 和 350-N。每个差分比较器 350 具有正输入节点和负输入节点,所述正输入节点被第一组 DAC 344 中的一个 DAC 偏置,所述负输入节点被第二组 DAC 346 中的一个 DAC 偏置。

[0069] 例如,在图 4C 中,第一比较器 350-1 的正输入被 DAC 1-1341-1 的模拟输出偏置,而负输入被 DAC 1-2346-1 偏置。第二比较器 350-2 具有被 DAC 2-1344-2 偏置的正输入和被 DAC 2-2 346-2 偏置的负输入。第 N 比较器 350-N 具有被 DAC N-1344-N 偏置的正输入和被 DAC N-2346-N 偏置的负输入。控制模块 340 与 ADC 348 通信。当希望校准时,控制模块 340 可指示 ADC 348 进入某一状态,例如维持零输入电压和 / 或设置经过电阻梯分支的零电流。例如,可在 ADC 刚启动时、周期性时间间隔处、当诸如温度这样的操作参数改变时或其他适当的时候执行校准。控制模块 340 接收 ADC 348 的数字输出,并且调节存储模块 342 的参数直到 ADC 348 的输出达到期望值为止。

[0070] 在其他实现方式中,可以使用更多或更少数目的 DAC(与 ADC 348 中的比较器的数目相比)。例如,单个 DAC 可以控制所有比较器的正输入侧的偏置电流,而单个 DAC 可以控制所有比较器的负输入侧的偏置电流。在另一种实现方式中,可以使用 DAC 向 ADC 348 的输入提供已知的输入电压。控制模块 340 可将 ADC 348 的输出与该已知电压相比较。控制模块 340 可随后调节存储模块 342 的值直到 ADC 348 的输出达到期望值。

[0071] 现在参照图 5,图示了图 3 的 ADC 的示例性高级物理布局。正和负电阻梯分支 226 和 228 被布置在校准 RAM(随机访问存储器)358 与比较器串之间。正分支 226 的电流源 238 和 234 互相靠近,并且还靠近负分支 228 的电流源 248 和 246。梯电阻 230、232、242 和 244 在这里被示出为更小的组成电阻,例如电阻 360-1、360-2、360-3 和 360-4。

[0072] 与第一反馈电阻 216 的另一端子通信的第二放大器 214 的输出被示出为驱动正分支 226 的中间节点(也就是第一和第二梯电阻 230 和 232 之间的节点)。相似地,与第二反馈电阻 220 的另一端子通信的第四放大器 218 的输出被示出为驱动负分支 228 的中间节点。正和负分支 226 和 228 的中间节点位于物理布局的底部,而电流源 238、234、248 和 246 位于顶部。

[0073] 比较器在电阻梯分支 226 和 228 的右侧被排列成一行。前两个比较器 370-1 和 370-2 是伪(dummy)比较器。接下来的两个比较器 250 和 252 在图 3 中被图示,并且被示出为连接到正和负分支 226 和 228 的相同节点。接下来的两个比较器 370-3 和 370-4 与梯电阻 230、232、242 和 244 通信。在比较器串的底部是最后四个比较器 370-127、370-128、370-129 和 370-130。比较器 370-129 和 370-130 是伪比较器。

[0074] 比较器 250 和 252 分别对应于温度计码中的位 0 和 127。比较器 370-3 和 370-4 分别对应于位 1 和 126;并且比较器 370-127 和 370-128 分别对应于位 63 和 64。这里所图

示的比较器的数目是 7 位 ADC($N = 7$) 的示例性实现方式中所需的数目。有 2^N+4 (132) 个比较器,其中这些比较器中的四个是伪比较器。电阻梯的分支 226 和 228 中的每一个包括 2^{N-1} (64) 个电阻。因此,梯电阻 230、232、242 和 244 中的每一个包括 32 个单独的电阻。

[0075] 来自第二放大器 214 的信号在其进入电阻梯的正分支 226 的点(电阻 360-1 和 360-2 之间的节点)处经历最少延迟。同样的,来自第四放大器 218 的信号在其进入电阻梯的负分支 228 的点(电阻 360-3 和 360-4 之间的中心节点)处经历最少延迟。随着信号从放大器 214 和 218 传播到每个电阻梯分支 226 和 228 的相应末端,在电流源 234、238、246 和 248 附近经历最大延迟。到达位于电阻梯的末端处的比较器的信号是经历最大延迟的,使得由 ADC 测量到的电压极值相对于由更靠近放大器 214 和 218 的比较器测量到的中间电压被延迟。

[0076] 该失真在图 6 中被图形化地示出。图示了理想正弦波 400 的一个周期。还示出了因 ADC 的固有传播延迟而失真的正弦波的一个周期。注意在中间电压处,有很少延迟直到没有延迟,而在正和负的电压极值处都有更多延迟。两种方法可减轻乃至消除失真。

[0077] 现在参照图 7,给出了渐进式比较器延迟元件的图示。最接近输入放大器 410 的比较器输入(这里在 408 处表示)通常接收输入信号而没有延迟。同时,诸如比较器 412 这样离放大器 410 更远的比较器输入经历大得多的延迟。为了补偿该不一致,延迟可以被人工加入到通向更近的比较器输入的输入的路径,使得所有的比较器输入经历相同的延迟。最接近放大器 410 的比较器输入将需要最大的添加延迟(被图形表示为长信号迹线(signal trace)414)。比较器输入离放大器 410 越远则添加的延迟越少,直到最远的比较器输入 412 没有添加延迟(由短信号迹线 416 表示)为止。

[0078] 使用晶体管可更可行地实现比较器输入延迟。注意因为感兴趣的比较器是过渡区(靠近信号的中部)中的那些比较器,所以如果同样的晶体管元件被用于延迟元件则延迟将总是正确的,尽管比较器的共模输入电压通常不同。可调节延迟元件的尺寸应被设计为允许所需的最大延迟的值。

[0079] 现在参照图 8,图示了用于使由 ADC 中的传播延迟引起的失真最小化的替代方法。选通放大器 430 与锁存装置(首先在图 3 中示出)通信,锁存装置中的三个被图示在这里:第一锁存装置 432-1、第二锁存装置 432-2 和第三锁存装置 432-3。锁存装置 432 从相应的比较器接收它们的输入。

[0080] 锁存装置被用选通脉冲激活,这时锁存装置保持其输入处的值(从相应比较器接收的 0 或 1)。因为离驱动放大器最远的比较器经历最大的延迟,所以相应的锁存装置可在对应的晚些时候(如相应比较器经历的延迟所确定的)被启动。在所有锁存装置已被选通之后,它们的内容可被同时读取以确定数字输出串。该串可由译码器模块(例如图 3 的译码器模块 264)从温度计码转换为二进制码。因为锁存装置在它们的内容已被锁存之后被全部同步读取,所以它们在不同时间被选通的事实不转化为输出。

[0081] 为了在不同时间使锁存装置选通,选通放大器 430 经由一连串的延迟元件 434 把选通信号传递到锁存装置 432。延迟元件 434 被图形表示为电阻迹线,虽然可以使用诸如晶体管这样的其他延迟元件。第三锁存装置 432-3 最接近选通放大器 430,并且将因此最早锁存其相应比较器的输出。第二锁存装置 432-2 离选通放大器 430 更远,并且因此略晚锁存其相应比较器的输出。第一锁存装置 432-1 离选通放大器 430 最远并因此最后锁存其相应

输入。若要重复,到达最远锁存装置 432-1 的选通信号的更大延迟允许了输入电压信号到达最远比较器的时间,这与第一锁存装置 432-1 相关联。

[0082] 现在参照图 9,图示了分段电阻梯实现方式的功能电路图。在先前的附图(例如图 5)中,电阻梯被图示为电阻的串联连接。对于具有 128 个电阻(这可产生差分配置的 8 位分辨率或单端配置的 7 位分辨率)的 $100\ \Omega$ 电阻梯,每个电阻将大约是 $0.78\ \Omega$ ($100\ \Omega / 128$)。在许多工艺中,这么小的电阻可能难于精确制作,乃至根本难于制造。解决方案是使用分段梯网络。

[0083] 主分段 450 包括许多主(main)分段电阻 452,而次级分段 454 包括许多次级电阻 456。一组 M 个次级电阻 456 互相串联连接,然后与单个初级(primary)电阻 452 并联连接。对于电阻梯,该并联组合被重复所需的必要次数。作为一个示例,如果主分段中有 8 个初级电阻,则要制作具有总共 128 级的电阻梯,每组次级电阻应包含 16 个电阻 ($M = 128/8$)。

[0084] 如果电阻梯要具有 $100\ \Omega$ 的电阻,则具有 16 个次级电阻的初级电阻的每个并联组合应是 $12.5\ \Omega$ ($100\ \Omega / 8$)。如果初级电阻具有 $15\ \Omega$ 的电阻,则 $75\ \Omega$ 与 $15\ \Omega$ 并联将产生需要的 $12.5\ \Omega$ 。这样,每个次级电阻可以是 $4.69\ \Omega$ ($75\ \Omega / 16$)。

[0085] 现在参照图 10,图示了三级分段梯网络。如果图 9 的两级分段网络所需的电阻(例如示例的 $4.69\ \Omega$ 电阻)仍然小到无法实现,则可以添加第三段。主、次级和第三级电阻的单独示例性并联组合在图 10 中被图示。八个这些并联组合将实现具有总共 128 级的电阻梯。主分段的 $15\ \Omega$ 电阻 452 仍然存在。一组第三级电阻 460 被置为与单个次级电阻 462 并联,并且一组这些并联组合被置为互相串联并与初级电阻 452 并联。

[0086] 如果每个第三级电阻是 $15\ \Omega$,则一组四个串联将是 60 。 60 与 $27.3\ \Omega$ 并联产生 $18.75\ \Omega$ 。四个这些 $18.75\ \Omega$ 的并联组合串联产生 $75\ \Omega$ 。 $75\ \Omega$ 与 $15\ \Omega$ 并联产生 $12.5\ \Omega$,其当被重复八次时给出合适的总电阻 100 的梯电阻。这种方式的电阻分段可以继续,直到所需的最小电阻能够在当前工艺技术下被形成为止。

[0087] 因为电阻的尺寸仍然相对较小,所以可使用金属导线(metal wiring)制作每个主分段。取决于次级分段的大小,它们仍可使用聚乙烯电阻来制作。主电阻分段应被相同材料的其他金属环绕以保证相等的金属厚度。这在 65nm 工艺中更重要,因为如果金属密度不一致则 CMP(化学机械平面化)可能容易导致金属厚度沿着主分段变化。可以通过将金属电阻置于校准 RAM 与比较器矩阵之间来将其包围,如图 5 所示。CMP 凹陷(dishing)问题每次随着升高的金属级而积累,从而使金属 1 成为理想的电阻材料(由于其一致性)。通过使用金属电阻,很有可能将无需次级电阻,除了要分解最后两到三位之外(仅被二或四除尽)。注意被一除尽意味着没有次级电阻。

[0088] 现在参照图 11,给出了电阻梯的示例性布局。充当电阻的第一金属 1 迹线 480 被按照折叠形状布置,以使所需的面积最小化。按照与第一金属 1 迹线 480 对称相同的折叠配置的第二金属 1 迹线 481 与第一金属 1 迹线 480 相邻。第一金属 1 迹线 480 的一端被连接到第二金属 1 迹线 481 的相邻一端。该连接点包含用于连接到输入放大器的方形触点(contactsquare)482。方形触点位于由第一和第二金属 1 迹线 480 和 481 形成的金属一结构的中间。金属 1 迹线 480 和 481 包括两个一半的电阻梯(例如图 3 的梯电阻 230 和 232)。金属 2 迹线 484 在另外的方形触点 486 处接触金属 1 迹线 480 和 481。

[0089] 现在参照图 12A-12G,示出了装置的各种示例性实现方式。现在参照图 12A,该装

置可被实现在硬盘驱动器 500 中。该装置可实现和 / 或被实现在信号处理和 / 或控制电路和 / 或电源 503 两者或两者之一中的模数变换器中, 该电路通常在图 12A 中标识为 502。在一些实现方式中, HDD 500 中的信号处理和 / 或控制电路 502 和 / 或其他电路 (未示出) 可处理数据、执行编码和 / 或加密、执行计算, 和 / 或对输出到和 / 接收自磁存储介质 506 的数据进行格式化。

[0090] HDD 500 可经由一个或多个有线或无线通信链路 508 与诸如计算机这样的主机装置 (未示出)、诸如个人数字助理、蜂窝式电话, 媒体或 MP3 播放器等这样的移动计算装置, 和 / 或其他装置进行通信。HDD 500 可被连接到诸如随机存取存储器 (RAM) 这样的存储器 509、诸如闪速存储器这样的低等待时间非易失性存储器、只读存储器 (ROM) 和 / 或其他合适的电子数据存储器的。

[0091] 现在参照图 12B, 本发明可被实现在数字通用光盘 (DVD) 驱动器 510 中。该装置可实现和 / 或被实现在信号处理和 / 或控制电路两者或两者之一中的模数变换器中, 该电路通常在图 12B 中标识为 512。DVD 510 中的信号处理和 / 或控制电路 512 和 / 或其他电路 (未示出) 可处理数据、执行编码和 / 或加密、执行计算, 和 / 或对读取自光学存储介质 516 的数据和 / 或写入到光学存储介质 516 的数据进行格式化。在一些实现方式中, DVD510 中的信号处理和 / 或控制电路 512 和 / 或其他电路 (未示出) 还可执行诸如编码和 / 或解码这样的其他功能和 / 或与 DVD 驱动器相关联的任何其他信号处理功能。

[0092] DVD 驱动器 510 可经由一个或多个有线或无线通信链路 517 与诸如计算机、电视或其他装置这样的输出装置 (未示出) 进行通信。DVD 驱动器 510 可与以非易失性方式存储数据的海量数据存储器的 518 进行通信。海量数据存储器的 518 可包括硬盘驱动器 (HDD)。HDD 可具有图 12A 所示的配置。HDD 可以是包括所具有的直径小于大约 1.8 英寸的一个或多个盘片的微型 HDD。DVD 510 可被连接到诸如 RAM、ROM 这样的存储器 519、诸如闪速存储器这样的低等待时间非易失性存储器和 / 或其他合适的电子数据存储器的。

[0093] 现在参照图 12C, 本发明可被实现在高清晰度电视 (HDTV) 520 中。该装置可实现和 / 或被实现在于信号处理和 / 或控制电路 (该电路通常在图 12E 中标识为 522) 两者或两者之一、WLAN 接口、HDTV 520 的海量数据存储器和 / 或电源 523 中的模数变换器中。HDTV 520 接收有线或无线格式的 HDTV 输入信号并且为显示器 526 生成 HDTV 输出信号。在一些实现方式中, HDTV 520 的信号处理和 / 或控制电路 522 和 / 或其他电路 (未示出) 可处理数据、执行编码和 / 或加密、执行计算、格式化数据和 / 或执行可能需要的任何其他类型的 HDTV 处理。

[0094] HDTV 520 可与诸如光学和 / 或磁存储装置这样的以非易失性方式存储数据的海量数据存储器的 527 进行通信。至少一个 HDD 可具有图 12A 所示的配置并且 / 或者至少一个 DVD 可具有图 12B 所示的配置。HDD 可以是包括所具有的直径小于大约 1.8 英寸的一个或多个盘片的微型 HDD。HDTV520 可被连接到诸如 RAM、ROM 这样的存储器 528、诸如闪速存储器这样的低等待时间非易失性存储器和 / 或其他合适的电子数据存储器的。HDTV520 还可支持经由 WLAN 网络接口 529 与 WLAN 进行连接。

[0095] 现在参照图 12D, 该装置可实现和 / 或被实现在于车辆 530 的控制系统、WLAN 接口、车辆控制系统的海量数据存储器和 / 或电源 533 中的模数变换器中。在一些实现方式中, 该装置实现了从诸如温度传感器、压力传感器、旋转传感器、气流传感器和 / 或其他任何合

适的传感器这样的—个或多个传感器接收输入并且 / 或者生成诸如引擎操作参数、传动操作参数和 / 或其他控制信号这样的—个或多个输出控制信号的动力系控制系统 532。

[0096] 该装置还可被实现在车辆 530 的其他控制系统 540 中。控制系统 540 可同样从输入传感器 542 接收信号并且 / 或者将控制信号输出到一个或多个输出装置 544。在一些实现方式中,控制系统 540 可以是防抱死系统 (ABS)、导航系统、远程信息系统、车辆远程信息系统、车道偏离系统、自适应巡航控制系统、诸如立体声系统、DVD、光盘这样的车辆娱乐系统等的一部分。仍可预期其他实现方式。

[0097] 动力系控制系统 532 可与以非易失性方式存储数据的海量数据存储器 546 进行通信。海量数据存储器 546 可包括诸如硬盘驱动器 HDD 和 / 或 DVD 这样的光学和 / 或磁存储装置。至少一个 HDD 可具有图 12A 所示的配置并且 / 或者至少一个 DVD 可具有图 12B 所示的配置。HDD 可以是包括所具有的直径小于大约 1.8 英寸的一个或多个盘片的微型 HDD。动力系控制系统 532 可被连接到诸如 RAM、ROM 这样的存储器 547、诸如闪速存储器这样的低等待时间非易失性存储器和 / 或其他合适的电子数据存储器。动力系控制系统 532 还可支持经由 WLAN 网络接口 548 与 WLAN 进行连接。控制系统 540 还可包括海量数据存储器、存储器和 / 或 WLAN 接口 (都未示出)。

[0098] 现在参照图 12E,本发明可被实现在可包括蜂窝式天线 551 的蜂窝式电话 550 中。该装置可实现和 / 或被实现于信号处理和 / 或控制电路 (该电路通常在图 12E 中标识为 522) 两者或两者之一、WLAN 接口、蜂窝式电话 550 的海量数据存储器 and / 或电源 553 中的模数变换器中。在一些实现方式中,蜂窝式电话 550 包括麦克风 556、诸如扬声器和 / 或音频输出孔这样的音频输出 558、显示器 560 和 / 或诸如小键盘、点击装置、语音致动 (actuation) 和 / 或其他输入装置这样的输入装置 562。蜂窝式电话 550 中的信号处理和 / 或控制电路 552 和 / 或其他电路 (未示出) 可以处理数据、执行编码和 / 或加密、执行计算、格式化数据和 / 或执行其他蜂窝式电话功能。

[0099] 蜂窝式电话 550 可与诸如光学和 / 或磁存储装置这样的以非易失性方式存储数据的海量数据存储器 564 进行通信。所述光学和 / 或磁存储装置例如是硬盘驱动器 HDD 和 / 或 DVD。至少一个 HDD 可具有图 12A 所示的配置并且 / 或者至少一个 DVD 可具有图 12B 所示的配置。HDD 可以是包括所具有的直径小于大约 1.8 英寸的一个或多个盘片的微型 HDD。蜂窝式电话 550 可被连接到诸如 RAM、ROM 这样的存储器 566、诸如闪速存储器这样的低等待时间非易失性存储器和 / 或其他合适的电子数据存储器。蜂窝式电话 550 还可支持经由 WLAN 网络接口 568 与 WLAN 进行连接。

[0100] 现在参照图 12F,该装置可被实现在机顶盒 580 中。该装置可实现和 / 或被实现于信号处理和 / 或控制电路 (该电路通常在图 12F 中标识为 584) 两者或两者之一、WLAN 接口、机顶盒 580 的海量数据存储器 and / 或电源 583 中的模数变换器中。机顶盒 580 从诸如宽带源这样的源接收信号并且输出适于诸如电视机和 / 或监视器和 / 或其他视频和 / 或音频输出装置这样的显示器 588 的标准和 / 或高清晰音频 / 视频信号。机顶盒 580 的信号处理和 / 或控制电路 584 和 / 或其他电路 (未示出) 可处理数据、执行编码和 / 或加密、执行计算、格式化数据和 / 或执行任何其他其他的机顶盒功能。

[0101] 机顶盒 580 可与以非易失性方式存储数据的海量数据存储器 590 进行通信。海量数据存储器 590 可包括诸如硬盘驱动器 HDD 和 / 或 DVD 这样的光学和 / 或磁存储装置。至

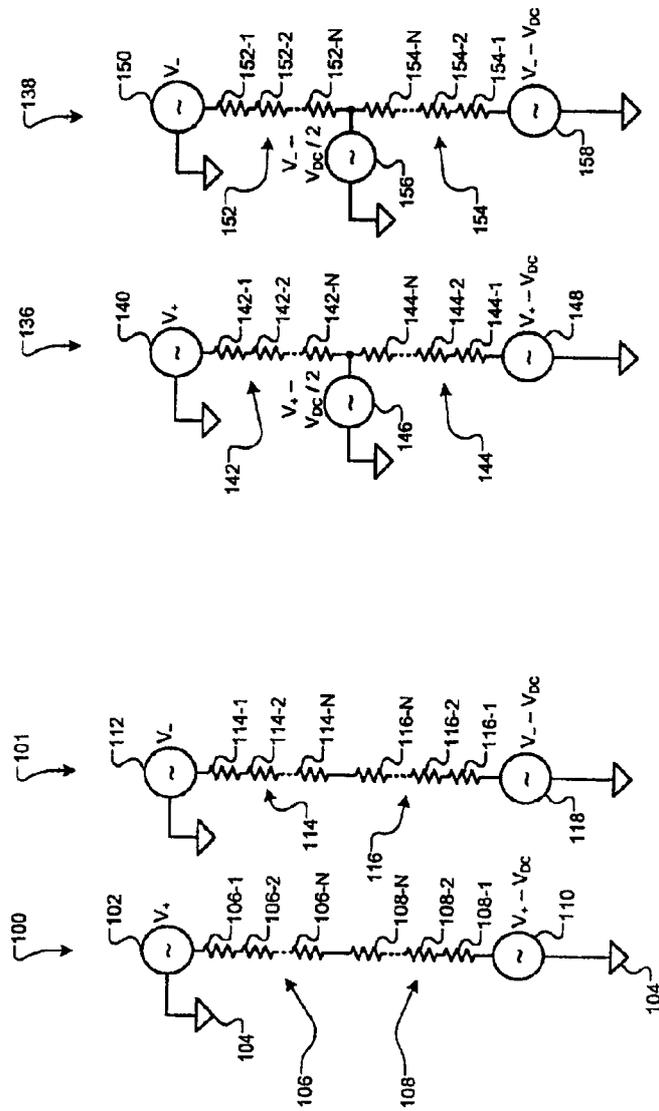


图2

图1

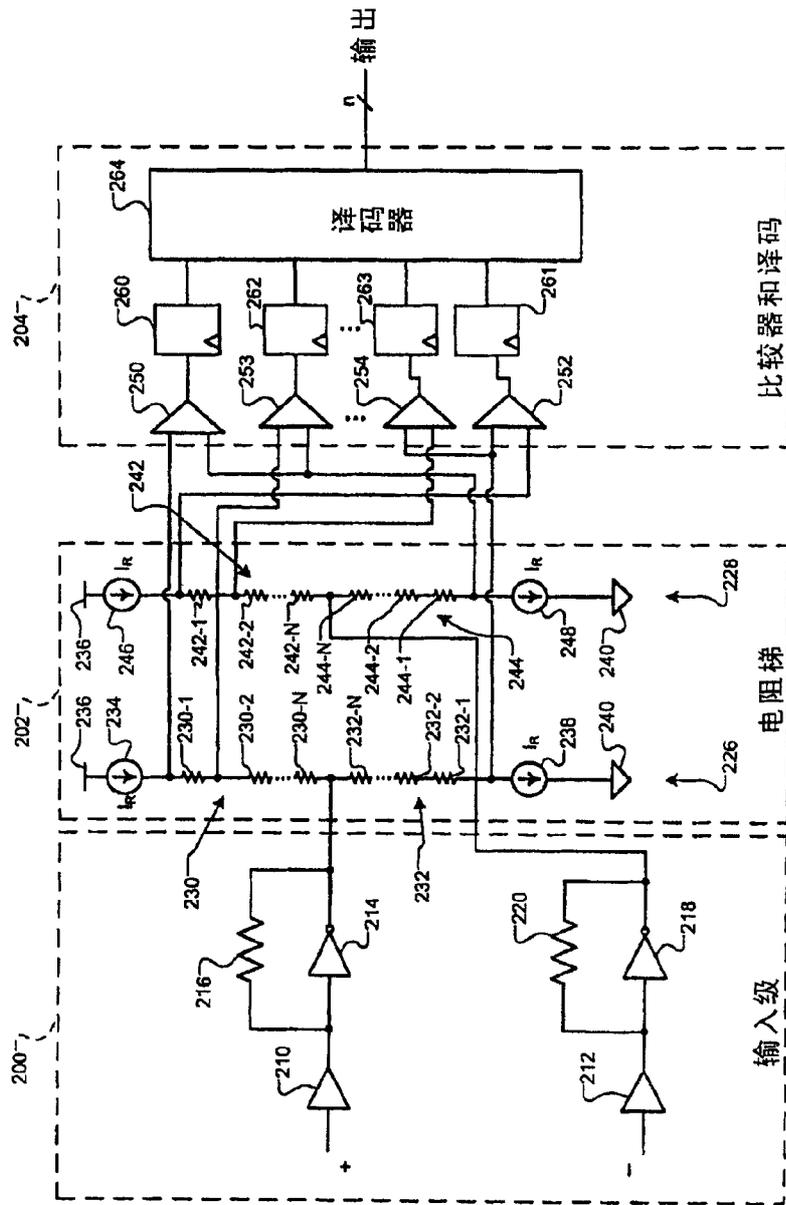


图3

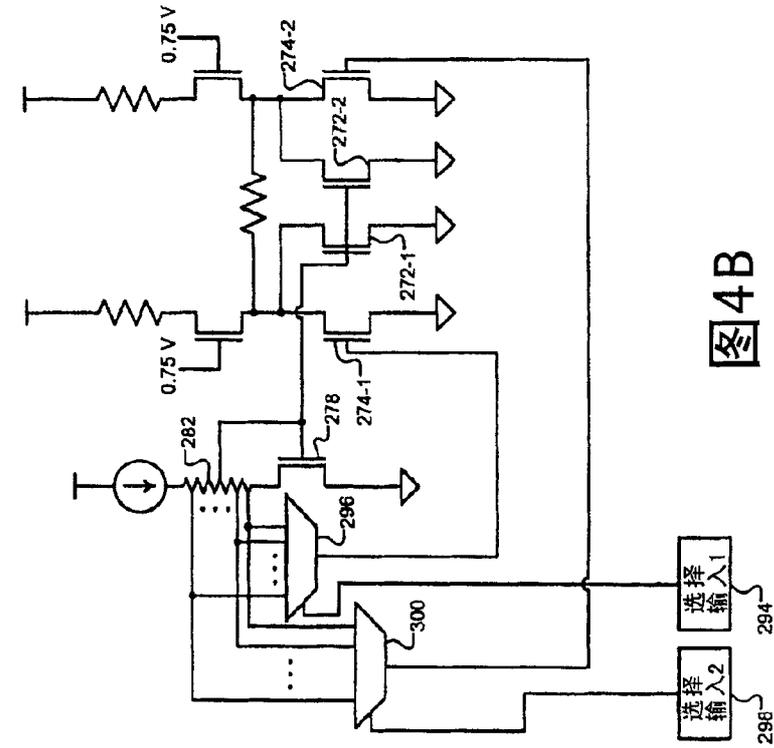


图4B

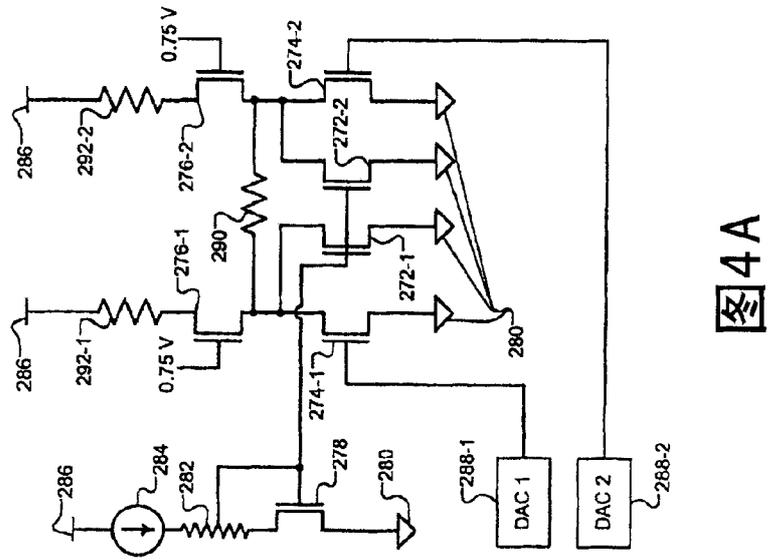


图4A

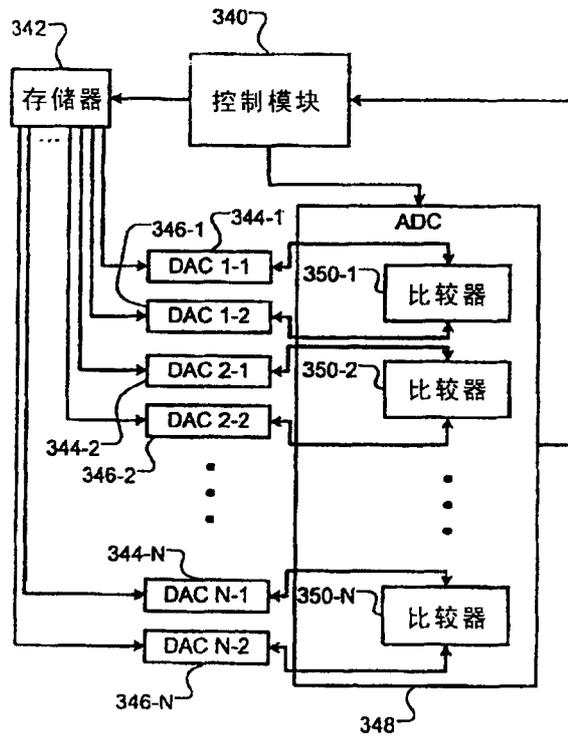


图4C

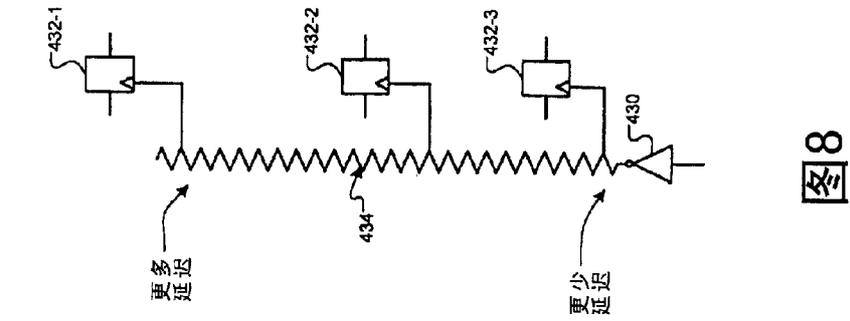


图8

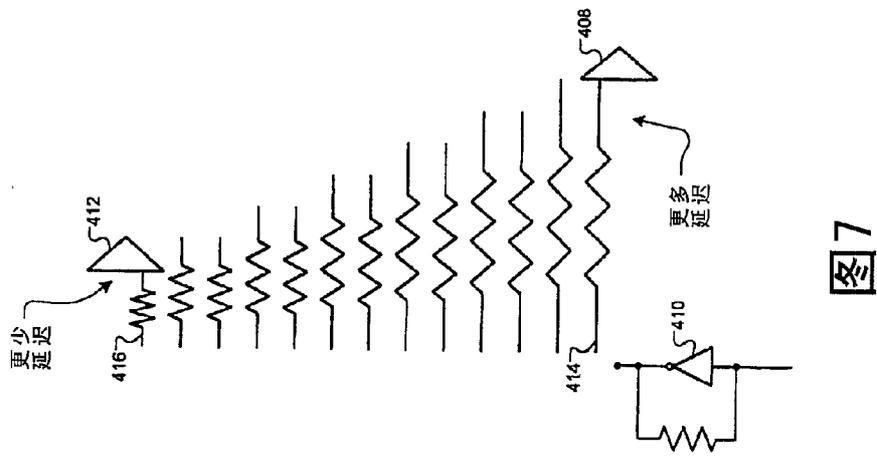


图7

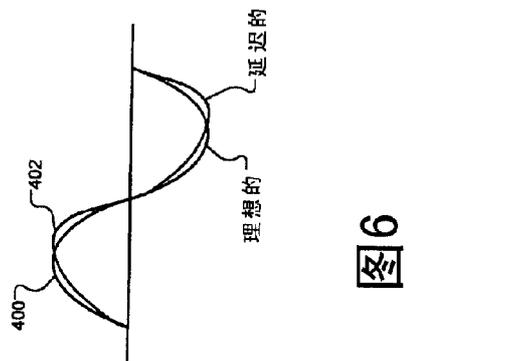


图6

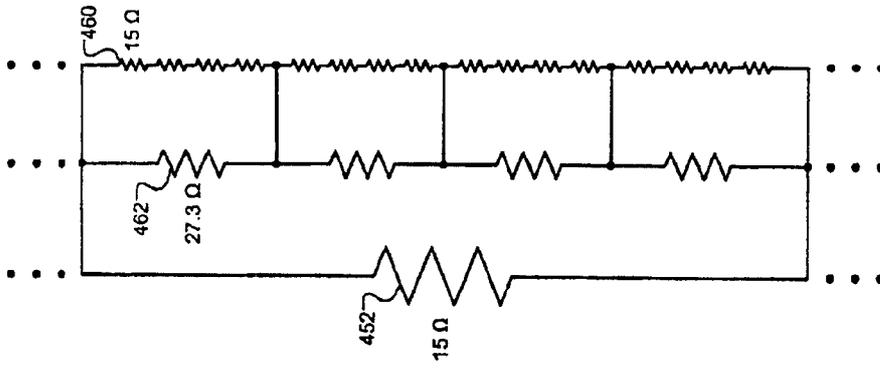


图10

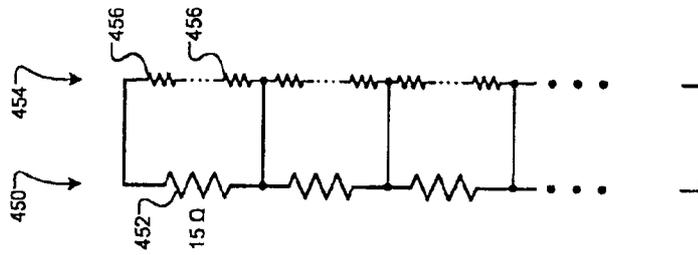


图9

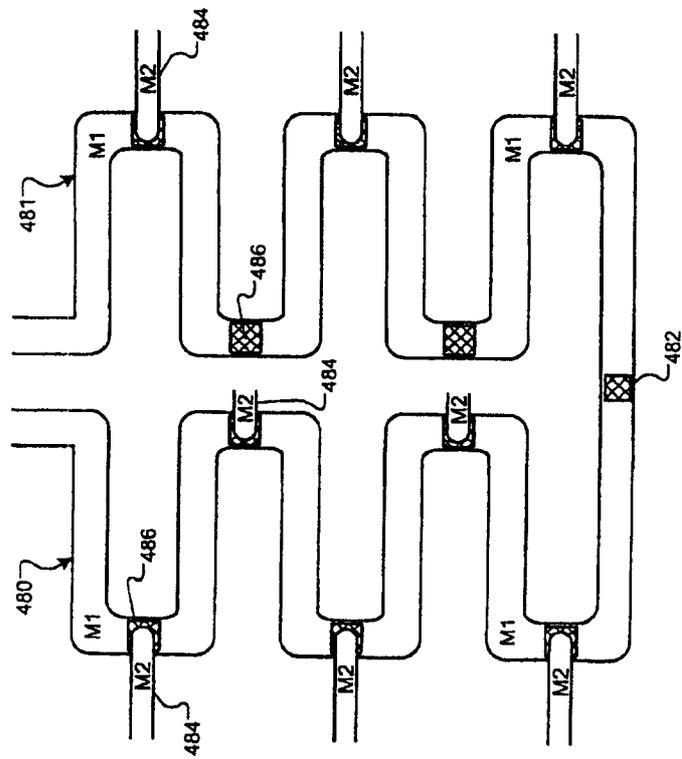


图11

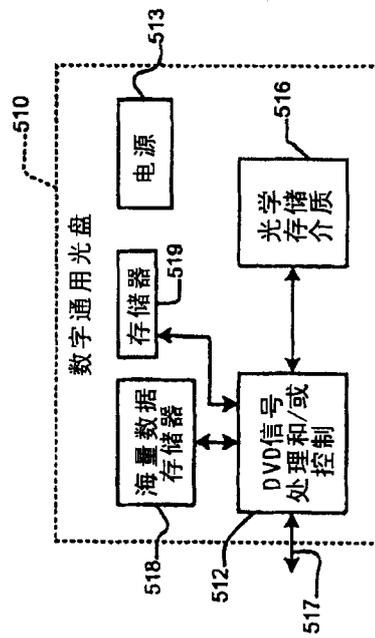


图12B

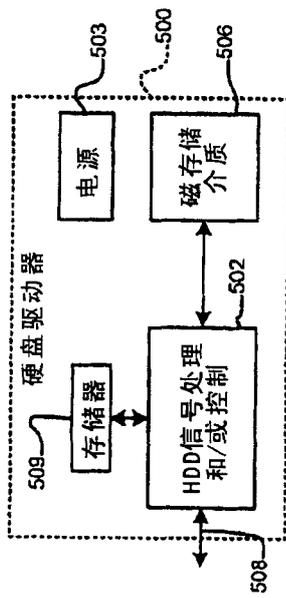


图12A

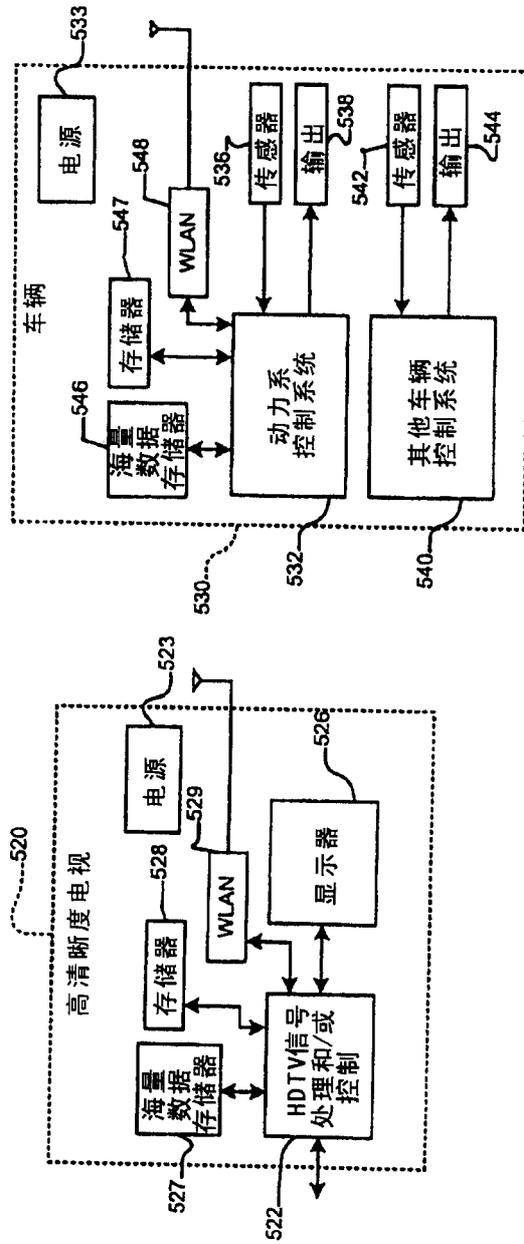


图12C

图12D

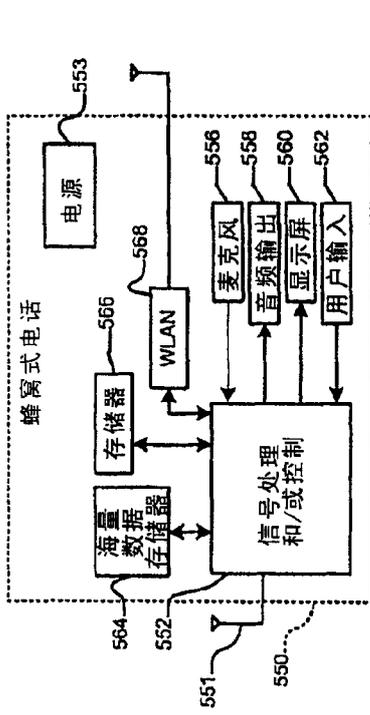


图12E

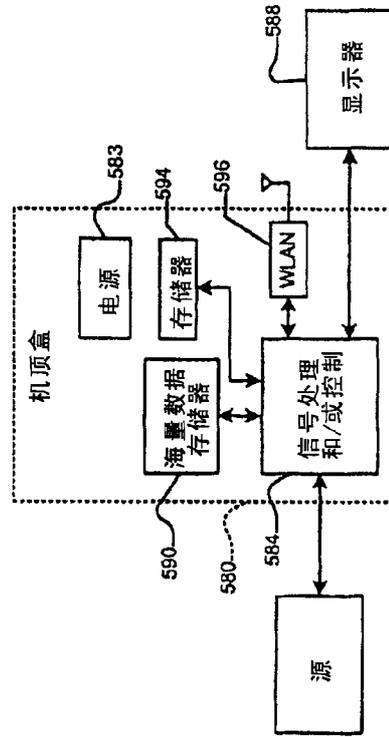


图12F

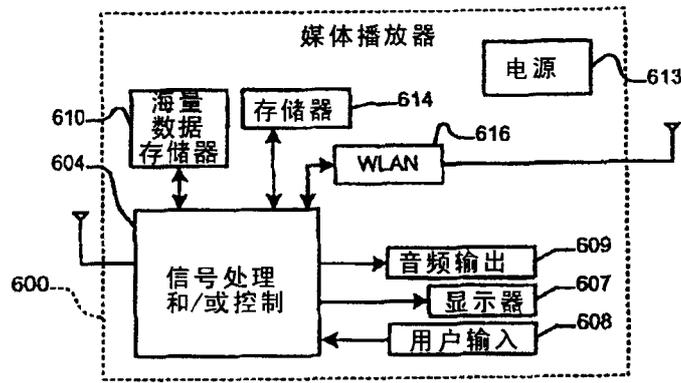


图12G