

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 11 月 2 日 (02.11.2023)



(10) 国际公布号
WO 2023/206752 A1

(51) 国际专利分类号:
GIIC 29/56 (2006.01) **GIIC 29/42** (2006.01)
GIIC 29/30 (2006.01)

(21) 国际申请号: PCT/CN2022/099885

(22) 国际申请日: 2022 年 6 月 20 日 (20.06.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210472928.4 2022 年 4 月 29 日 (29.04.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 第五天昊 (**DIWU, Tianhao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 楚西坤 (**CHU, Xikun**); 中

国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 刘东 (**LIU, Dong**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: TEST METHOD AND TEST SYSTEM FOR MEMORY

(54) 发明名称: 存储器的测试方法及测试系统

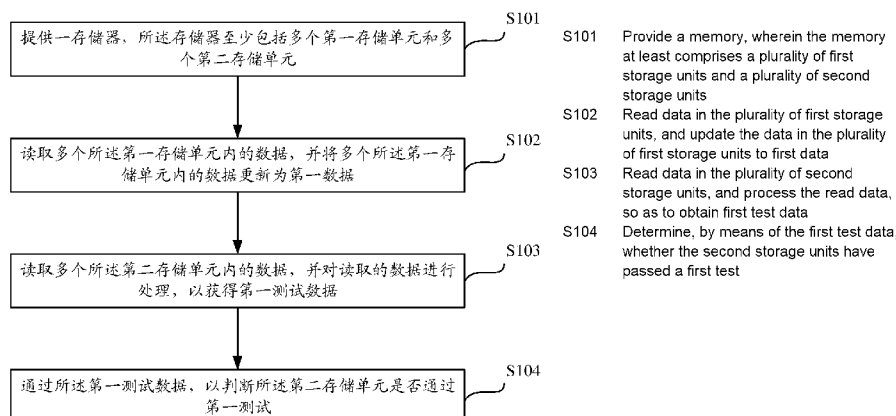


图 2A

(57) Abstract: Disclosed in the embodiments of the present disclosure are a test method and test system for a memory. The method comprises: providing a memory, wherein the memory at least comprises a plurality of first storage units and a plurality of second storage units; reading data in the plurality of first storage units, and updating the data in the plurality of first storage units to first data; reading data in the plurality of second storage units, and processing the read data, so as to obtain first test data; and determining, by means of the first test data, whether the second storage units have passed a first test.

(57) 摘要: 本公开实施例公开了一种存储器的测试方法及测试系统, 所述方法包括: 提供一存储器, 所述存储器至少包括多个第一存储单元和多个第二存储单元; 读取多个所述第一存储单元内的数据, 并将多个所述第一存储单元内的数据更新为第一数据; 读取多个所述第二存储单元内的数据, 并对读取的数据进行处理, 以获得第一测试数据; 通过所述第一测试数据, 以判断所述第二存储单元是否通过第一测试。

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,
RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

存储器的测试方法及测试系统

相关申请的交叉引用

本公开基于申请号为 202210472928.4、申请日为 2022 年 04 月 29 日、申请名称为“存储器的测试方法及测试系统”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开实施例涉及一种存储器的测试方法及测试系统。

背景技术

在存储器的研发与制造过程中，往往需要对存储器进行大量的测试以确定是否存在制造过程中产生的异常。例如，由于产品制造过程中产生的线路短路、接触不良等等情况造成的漏电或者读写异常等现象。由于存储器产品的结构精密且复杂，需要通过一系列电性测试来识别出异常。然而，存储器的电性测试是基于信号的读写进行的，因此往往会因为测试方法的原因导致一些特殊原因的异常无法被侦测到。因此，需要一些更为可靠的测试方法，以准确识别出各种类型的异常情况。

发明内容

有鉴于此，本公开实施例提供一种存储器的测试方法及测试系统。

第一方面，本公开实施例提供一种存储器的测试方法，包括：

提供一存储器，所述存储器至少包括多个第一存储单元和多个第二存储单元；

读取多个所述第一存储单元内的数据，并将多个所述第一存储单元内的数据更新为第一数据；

读取多个所述第二存储单元内的数据，并对读取的数据进行处理，以获得第一测试数据；

根据所述第一测试数据，判断所述第二存储单元是否通过第一测试。

在一些实施例中，所述通过所述第一测试数据，以判断所述第二存储单元是否通过第一测试，包括：

根据所述第一测试数据，确定读取的数据是否同时包括所述第一数据和所述第二存储单元内的初始数据；

若是，则表示不通过所述第一测试；

若否，则表示通过所述第一测试，并继续进行第二测试。

在一些实施例中，所述对读取的数据进行处理，以获得第一测试数据，包括：

对相邻两个所述第一数据进行第一次处理，以获得多个第一中间数据；

对多个所述第一中间数据进行第二次处理，以获得所述第一测试数据。

在一些实施例中，所述根据所述第一测试数据，判断所述第二存储单元是否通过第一测试，包括：

若所述第一测试数据表示高电平，则表示未通过所述第一测试；

若所述第一测试数据表示低电平，则表示通过所述第一测试。

5 在一些实施例中，所述进行第二测试，包括：

更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

读取多个所述第一存储单元内的数据，并保持至少一个所述第一存储单元内的所述初始数据，且将剩余的所述第一存储单元内的数据更新为所述第一数据；

10 读取多个所述第二存储单元内的数据，并对读取的数据进行处理，得到第二测试数据；

根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试。

在一些实施例中，所述对读取的数据进行处理，得到第二测试数据，包括：

对相邻的两个数据进行第一次处理，以获得多个第二中间数据；

对多个所述第二中间数据进行第二次处理，以获得所述第二测试数据。

15 在一些实施例中，在所述保持至少一个所述第一存储单元内的所述初始数据中，保持奇数个所述第一存储单元内的数据为所述初始数据。

在一些实施例中，所述根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试，包括：

若所述第二测试数据表示高电平，则表示所述第二存储单元未通过所述第二测试；

20 若所述第二测试数据表示低电平，则表示所述第二存储单元通过所述第二测试。

在一些实施例中，所述方法还包括：

判断所述第一存储单元是否通过第三测试。

在一些实施例中，所述判断所述第一存储单元是否通过测试，包括：

更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

25 读取所述多个第二存储单元内的初始数据，并保持至少一个所述第二存储单元内的所述初始数据，且将剩余的所述第二存储单元内的初始数据更新为所述第一数据；

读取多个所述第一存储单元内的数据，并对读取的数据进行处理，得到第三测试数据；

根据所述第三测试数据，判断所述第一存储单元是否通过第三测试。

30 在一些实施例中，则对读取的数据进行处理的步骤包括：

对相邻的两个数据进行第一次处理，以获得多个第三中间数据；

对多个所述第三中间数据进行第二次处理，以获得所述第三测试数据。

在一些实施例中，在所述保持至少一个所述第一存储单元内的所述初始数据中，保持奇数个所述第一存储单元内的数据为所述初始数据。

35 在一些实施例中，所述根据所述第三测试数据，判断所述第一存储单元是否通过所

述第三测试，包括：

若所述测试数据表示高电平，则表示所述第一存储单元未通过所述第三测试；

若所述测试数据表示低电平，则表示所述第一存储单元通过所述第三测试。

在一些实施例中，所述方法还包括：

- 5 若所述第二存储单元未通过所述第二测试，且所述第一存储单元未通过所述第三测试，则确定所述第一存储单元和所述第二存储单元连接异常。

在一些实施例中，所述第一存储单元包括耦接在第一字线上的存储单元，所述第二存储单元包括耦接在第二字线上的存储单元。

- 10 在一些实施例中，所述第一存储单元和所述第二存储单元连接异常表示所述第一字线和所述第二字线短路连接。

在一些实施例中，所述第一次处理包括异或运算，所述第二次处理包括或运算。

第二方面，本公开实施例还提供一种存储器的测试系统，包括：

数据读取单元，用于读取第一存储单元和第二存储单元内的数据；

- 15 数据更新单元，用于在读取所述第一存储单元内的数据之后，将所述第一存储单元内的数据更新为第一数据；

数据测试单元，用于对读取的数据进行处理，以获得测试数据，并通过所述测试数据，判断所述第二存储单元是否通过测试。

附图说明

- 20 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。

图 1A 为本公开实施例提供的一种系统的结构示意图；

图 1B 为本公开实施例提供的一种存储器卡的结构示意图；

图 1C 为本公开实施例提供的一种固态驱动器（SSD）的结构示意图；

- 25 图 1D 和图 1E 为本公开实施例提供的一种包括存储单元阵列和外围电路的存储器的结构示意图；

图 2A 为本公开实施例的一种存储器的测试方法的流程图一；

图 2B 为本公开实施例的存储器中字线及连接的存储单元之间发生漏电的示意图；

图 3A 为本公开实施例的一种存储器的测试方法的流程图二；

- 30 图 3B 至图 3D 分别为本公开实施例提供的测试方法中各存储单元的数据变化示意图；

图 4A 和图 4B 为本公开实施例提供的测试方法中对第二存储数据进行数据处理的原理示意图；

图 5 为本公开实施例的一种存储器的测试方法的流程图三；

- 35 图 6A 为本公开实施例提供的测试方法中维持部分第一存储单元数据不变的情况下其他各存储单元的数据变化示意图；

图 6B 为在图 6A 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 6C 为本公开实施例提供的测试方法中维持奇数个第一存储单元数据不变的情况下其他各存储单元的数据变化示意图；

图 6D 为在图 6C 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 6E 为本公开实施例提供的测试方法中维持不变的第一存储单元间隔排布的情况下其他各存储单元的数据变化示意图；

图 7A 为本公开实施例提供的测试方法中维持部分第二存储单元数据不变的情况下其他各存储单元的数据变化示意图；

图 7B 为在图 7A 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 7C 为本公开实施例提供的测试方法中维持奇数个第二存储单元数据不变的情况下其他各存储单元的数据变化示意图；

图 7D 为在图 7C 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 7E 为本公开实施例提供的测试方法中维持不变的第二存储单元间隔排布的情况下其他各存储单元的数据变化示意图；

图 8A 为本公开实施例提供的测试方法中向存储阵列中写入“棋盘格”形式的初始数据的示意图；

图 8B 为在图 8A 的情况下本公开实施例提供的测试方法中存在漏电异常时的数据变化示意图；

图 8C 为在图 8B 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 8D 为在图 8A 的情况下本公开实施例提供的测试方法中不存在漏电异常时的数据变化示意图；

图 8E 为在图 8D 的情况下本公开实施例提供的测试方法中进行数据处理的示意图；

图 9 为本公开实施例的一种存储器的测试系统的结构示意图；

图 10 为本公开实施例的一种存储器的结构示意图。

通过上述附图，已示出本公开明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开的概念。

具体实施方式

这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所述的实施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本公开的一些方面相一致的装置和方法的例子。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由下面的权利要求书指出。下面结合附图和实施例对本公开的技术方案进一步详细阐述。

如图 1A 所示, 本公开实施例示出了一种示例性的电子设备系统 10, 该系统 10 可以包括主机 20 和存储系统 30。其中, 系统 10 可以包括但不限于移动电话、台式计算机、膝上型计算机、平板计算机、车辆计算机、游戏控制台、打印机、定位设备、可穿戴电子设备、智能传感器、虚拟现实 (VR) 设备、增强现实 (AR) 设备或者其中具有存储器 34 的任何其他合适的电子设备; 主机 20 可以是电子设备的处理器 (例如, 中央处理单元 (CPU)) 或者片上系统 (SoC) (例如, 应用处理器 (AP))。

在本公开实施例中, 主机 20 可以被配置为将数据发送到存储系统 30 或者从存储系统 30 接收数据。这里, 存储系统 30 可以包括控制器 32 和一个或多个存储器 34。其中, 存储器 34 可以包括但不限于 NAND 闪存 (NAND Flash Memory)、垂直 NAND 闪存 (Vertical NAND Flash Memory)、NOR 闪存 (NOR Flash Memory)、动态随机存储器 (Dynamic Random Access Memory, DRAM)、铁电随机存储器 (Ferroelectric Random Access Memory, FRAM)、磁性随机存储器 (Magnetoresistive Random Access Memory, MRAM)、相变随机存储器 (Phase Change Random Access Memory, PCRAM)、阻变随机存储器 (Resistive Random Access Memory, RRAM)、纳米随机存储器 (Nano Random Access Memory, NRAM) 等。

另一方面, 控制器 32 可以耦合到存储器 34 和主机 20, 且用于控制存储器 34。示例性地, 控制器 32 可以被设计为用于在低占空比环境中操作, 如安全数字 (SD) 卡、紧凑型闪存 (CF) 卡、通用串行总线 (USB) 闪存驱动器或者用于在诸如个人计算器、数字相机、移动电话等电子设备中使用的其他介质。在一些实施例中, 控制器还可以被设计为用于在高占空比环境 SSD 或嵌入式多媒体卡 (eMMC) 中操作, SSD 或 eMMC 用作诸如智能电话、平板计算机、膝上型计算机等移动设备的数据储存器以及企业存储阵列。进一步地, 控制器可以管理存储器中的数据, 并且与主机通信。控制器可以被配置为控制存储器读取、擦除和编程等操作; 还可以被配置为管理关于存储在或要存储在存储器中的数据的各种功能, 包括但不限于坏块管理、垃圾收集、逻辑到物理地址转换、损耗均衡等; 还可以被配置为处理关于从存储器读取的或者被写入到存储器中的数据的纠错码 (ECC)。此外, 控制器还可以执行任何其他合适的功能, 例如格式化存储器, 或者根据特定通信协议与外部设备 (例如, 图 1A 中主机 20) 通信。示例性地, 控制器可以通过各种接口协议中的至少一种与外部设备通信, 接口协议例如 USB 协议、MMC 协议、外围部件互连 (PCI) 协议、PCI 高速 (PCI-E) 协议、高级技术附件 (ATA) 协议、串行 ATA 协议、并行 ATA 协议、小型计算机小型接口 (SCSI) 协议、增强型小型磁盘接口 (ESDI) 协议、集成驱动电子设备 (IDE) 协议、Firewire 协议等。

在本公开实施例中, 控制器和一个或多个存储器可以集成到各种类型的存储设备中, 例如, 包括在相同封装 (例如, 通用闪存存储 (UFS) 封装或 eMMC 封装) 中。也就是说, 存储系统可以实施并且封装到不同类型的终端电子产品中。如图 1B 所示, 控制器 32 和单个存储器 34 可以集成到存储器卡 40 中。存储器卡 40 可以包括 PC 卡

(PCMCIA, 个人计算机存储器卡国际协会)、CF 卡、智能媒体 (SM) 卡、存储器棒、多媒体卡 (MMC、RS-MMC、MMCmicro)、SD 卡 (SD、miniSD、microSD、SDHC)、UFS 等。存储器卡 40 还可以包括将存储器卡 40 与主机 (例如, 图 1A 中的主机 20) 耦合的存储器卡连接器 42。在如图 1C 中所示的另一实施例中, 控制器 32 和多个存储器 34 可以集成到 SSD 50 中。SSD 50 还可以包括将 SSD 50 与主机 (例如, 图 1A 中的主机 20) 耦合的 SSD 连接器 52。在一些实施方式中, SSD 50 的存储容量和/或操作速度大于存储器卡 40 的存储容量和/或操作速度。

需要说明的是, 本公开实施例涉及的存储器可以是半导体存储器, 是用半导体集成电路工艺制成的存储数据信息的固态电子器件。示例性地, 图 1D 为本公开实施例中一种可选的存储器 60 的示意图。其中, 存储器 60 可以是图 1A 至图 1C 中的存储器 34。如图 1D 所示, 存储器 60 可以由存储单元阵列 62 和耦合到存储单元阵列 62 的外围电路 64 等组成。这里, 存储单元阵列 62 可以是 NAND 闪存存储单元阵列, 也可以是由字线和位线交叉分布并由 MOS 器件及存储电容构成的 DRAM 存储单元阵列等。

在本公开实施例中, 上述外围电路 64 可以通过位线 (Bit Line, BL)、字线 (Word Line, WL)、源极 (Source Line) 耦合到存储单元阵列 62。这里, 外围电路 64 可以包括任何合适的模拟、数字以及混合信号电路, 以用于通过经由位线和字线等将电压信号和/或电流信号施加到每个目标存储单元以及从每个目标存储单元感测电压信号和/或电流信号来促进存储单元阵列的操作。此外, 外围电路还可以包括使用金属-氧化物-半导体 (MOS) 技术形成的各种类型的外围电路。示例性地, 如图 1E 所示。外围电路 70 包括页缓冲器 (Page Buffer)/感测放大器 71、列解码器/位线驱动器 72、行解码器/字线驱动器 73、电压发生器 74、控制逻辑单元 75、寄存器 76、接口 77 和数据总线 78。应当理解, 上述外围电路 70 可以与图 1D 中的外围电路 64 相同, 并且在另一些实施例中, 外围电路 70 还可以包括图 1E 中未示出的附加外围电路。

在半导体存储器的生产过程中, 往往需要进行各阶段的测试, 以及时发现生产过程中的各种异常, 便于进行重工 (Rework)、修补 (Repair) 以及判定产品等级等各种线上处理。

本公开实施例提供一种存储器的测试方法, 该方法可以由上述存储器中的外围电路实现, 也可以由上述存储系统中的控制器实现, 或者由外部连接的主机系统中通过处理器来实现, 还可以由专用于测试的装置进行探针测试 (circuit probe test)。

本公开实施例以 DRAM 为例进行描述, 但实际应用不限于此, 可以理解的是本公开实施例中的测试方法可以应用于任意一种存储器的测试。

如图 2A 所述, 本公开实施例提供一种存储器的测试方法, 包括:

步骤 S101、提供一存储器, 至少包括多个第一存储单元和多个第二存储单元;

步骤 S102、读取多个所述第一存储单元内的数据, 并将多个所述第一存储单元内的数据更新为第一数据;

步骤 S103、读取多个所述第二存储单元内的数据，并对读取的数据进行处理，以获得第一测试数据；

步骤 S104、通过所述第一测试数据，以判断所述第二存储单元是否通过第一测试。

存储器可以为半导体存储器，是用半导体集成电路工艺制成的存储数据信息的固态电子器件。存储器中可以包括多个存储面，每个存储面还可以包括多个存储块，各存储块由阵列排布的多个存储单元构成。每个存储单元可以通过字线以及位线连接至外围电路，并基于外围电路的信号控制实现读、写以及检测等操作。

在本公开实施例中，第一存储单元与第二存储单元分别有多个，多个第一存储单元可以为位于同一条字线上的存储单元。多个第二存储单元也可以为位于同一条字线上的存储单元。在实际应用中，可以根据产品的设计结构，将容易发生漏电的两组字线上的存储单元划分为第一存储单元和第二存储单元。例如，在一个存储区域中，WL0 至 WL7 这 8 条字线与 WL8 至 WL15 这 8 条字线由于存在公共的控制元件，可能发生短接，进而产生漏电，如图 2B 所示（存储单元及其接线结构仅为示意图，不代表实际连接结构）。那么，可以将 WL0-WL7 分别连接的各存储单元作为第一存储单元，也就是包括八个第一存储单元，将 WL8-WL15 分别连接的存储单元作为第二存储单元，也就是包括八个第二存储单元。

因此，将存储器中的存储单元划分为上述第一存储单元和第二存储单元两类。第一存储单元与第二存储单元并非结构或功能上有所差异，而是为了在本公开实施例的测试过程中采用不同的操作。当然，在一些实施例中，该存储器还可以包括第三存储单元和第四存储单元。

在检测过程中，可以读取第一存储单元内的数据，并在读取后更新第一存储单元内的数据为第一数据。第一数据可以不同于第一存储单元内的初始数据。例如，第一存储单元读取的结果为数据“1”，则在读取后将其更新为数据“0”，第一存储单元的读取结果为数据“0”，则在读取后将其更新为数据“1”。

需要说明的是，若第一存储单元与第二存储单元之间存在漏电等情况，则第二存储单元与第一存储单元存储的数据可能会是始终一致的。若仅通过读取第一存储单元和第二存储单元的数据来判断是否与预存的数据一致，则可能存在漏检的情况。例如，预存的数据为全“1”，则读取数据也为全“1”，此时无法判断出第一存储单元与第二存储单元之间的漏电问题。

因此，上述对第一存储单元进行数据更新的目的，就是为了在后续读取第二存储单元的数据时体现出第一存储单元的漏电影响。

可以理解的是，第二存储单元的读取步骤需要在第一存储单元读取并更新数据之后，这样才能够将更新第一存储单元后的数据对第二存储单元的影响检测出来。

针对第二存储单元，可以仅读取数据而不进行数据更新，然后根据读取的数据获得第一测试数据来进行第二存储单元是否通过第一测试的判断。

示例性地，第一存储单元和第二存储单元预存的数据均为“0”，在读取第一存储单元后，将第一存储单元的数据更新为“1”，此时，若第二存储单元与第一存储单元之间存在漏电，导致第一存储单元改写后的数据也被写入到第二存储单元中，则读取第二存储单元得到的结果也为数据“1”。这样，就可以识别出异常的存在。

5 本公开实施例的技术方案，通过将存储器中的存储单元划分为第一存储单元和第二存储单元，在检测过程中读取第一存储单元内的数据，并在读取后更新数据，然后读取第二存储单元的数据。这样，通过读取的数据可以有效检测出第二存储单元是否被第一存储单元的更新数据所影响，进而判断出第二存储单元是否能够通过第一测试，并识别出诸如存储单元之间或者外围电路之间的漏电等问题。

10 在一些实施例中，如图 3A 所示，上述步骤 S104 中，所述通过所述第一测试数据，以判断所述第二存储单元是否通过第一测试，包括：

步骤 S201、根据所述第一测试数据，确定读取的数据是否同时包括所述第一数据和所述第二存储单元内的初始数据；

步骤 S202、若是，则表示不通过所述第一测试；

15 步骤 S203、若否，则表示通过所述第一测试，并继续进行第二测试。

在本公开实施例中，若读取的第二存储单元中的数据均为初始数据，则说明第二存储单元在第一存储单元更新数据的过程中未被影响；若读取的数据中包括第一数据，则说明第二存储单元中的初始数据由于漏电影响被同步改写为第一数据。

在本公开实施例中，通过第一测试可以检测出读取的数据是否同时包括第一数据和
20 初始数据，因为初始数据与更新后的第一数据具有不同的规律或者特点，因此，经过第一测试的数据处理后，可以根据得到的第一测试数据判断读取的数据是否符合初始数据的规律或者特点。例如，初始数据均为相同数据，如全“0”或全“1”数据，经过第一测试的数据处理（如异或运算等处理）后可以得到反映读取数据是否全部相同的结果，例如，如果第一测试数据为逻辑“1”则表明读取的数据中包括不同的数据，因此不符
25 合初始数据的规律，从而可以确定读取的数据中同时包括初始数据和第一数据。因此，此时说明第二存储单元及其连接的外围电路存在漏电等问题。

示例性地，如图 3B 至 3D 所示，假设待测存储单元共有 16 个，分布于相邻的不同字线 WL0 至 WL15 上。这里，将 WL0 至 WL7 分别耦接的各存储单元作为第一存储单元，即包括八个第一存储单元，将 WL8 至 WL15 分别耦接的各存储单元作为第二存储单元，即包括八个第二存储单元。首先写入初始数据，示例性地，初始数据为全“0”
30 数据。针对 WL0-WL7 的读取数据，假设存储单元不存在其他写入或读取异常，因此，读取的数据即为初始数据：全“0”。需要注意的是，在本公开实施例中，读取每个第一存储单元后需要对其进行改写，如图 3B 和 3C 所示，将数据“0”改写为数据“1”。

如果读取的第二存储单元内的数据同时包括第一数据和初始数据：如图 3B 所示的情况，WL10 的数据由于与 WL2 之间存在漏电被更新为“1”，且 WL13 的数据由于与
35

WL5 之间存在漏电被更新为“1”，WL8、WL9、WL11、WL12、WL14 以及 WL15 的数据仍为初始数据“0”。此时，进行第一测试的数据处理（如异或运算）后输出的第一测试数据表明读取到的上述数据中包含不同数据（如逻辑“1”）。因此，外部检测装置可以根据第一测试数据确定第二存储单元不通过第一测试，存在上述漏电异常。因此，
5 对于外部的检测设备或装置无需一一核对读取的数据，只要根据输出的第一测试数据就可以确定存在异常的情况。

如果读取的第二存储单元内的数据均为相同数据，如输出的第一测试数据为逻辑“0”，表明数据中可能全为“0”或全为“1”。这种情况下，包括了没有异常的情况，还包括全部异常的情况。因此需要进一步的第二检测以确定是否存在全部异常的情况。

10 如图 3C 所示，若 WL0-WL7 与 WL8-WL15 之间存在漏电异常（如 WL0 与 WL8 之间漏电，WL1 与 WL9 之间漏电，……，WL6 与 WL14 之间漏电，WL7 与 WL15 之间漏电），导致 WL8-WL15 对应的第二存储单元的数据在 WL0-WL7 进行更新的过程中同步被更新，那么读取第二存储单元的数据会与改写后的数据一致。如图 3C 所示，WL8-WL15 对应的读取数据为全“1”。因此，读取第二存储单元的数据全部为第一数据
15 而非初始数据。

如图 3D 所示，如果 WL0-WL7 与 WL8-WL15 之间不存在漏电异常，那么 WL8-WL15 对应的第二存储单元的数据不会被同步改写，因而读取得到的数据应为全“0”，即全部为初始数据。

对于上述第二存储单元读取的数据为全“0”（无异常）或全“1”（全异常）的两种
20 情况，进行第一测试后得到的结果可能是相同的，如：输出的第一测试数据为逻辑“0”。因此，上述第一测试仅能确定如图 3B 所示的异常，也就是说，如果第二存储单元通过了第一测试，但仍可能存在如图 3C 所示的漏电造成的异常，即第一测试对于如图 3C 和图 3D 的两种情况无法区分，因此可以进一步进行第二测试来识别如图 3C 中所示的异常情况。

25 在本公开实施例中，第二测试可以为精确度更高的测试，例如，对每一读取数据进行识别的测试方法，也可以为其他测试方法。

在一些实施例中，上述对读取的数据进行处理，以获得所述第一测试数据的步骤，包括：

对相邻两个所述第一数据进行第一次处理，以获得多个第一中间数据；

30 对多个所述第一中间数据进行第二次处理，以获得所述第一测试数据。

在本公开实施例中，上述第一测试中对读取的各数据进行的数据处理可以包括两次数据处理。首先针对相邻两个数据进行第一次处理得到多个第一中间数据，然后再基于第一中间数据进行第二次处理，则可以进一步获得最终的第一测试数据。例如，如果第一次处理采用“异或”运算，得到的一个第一中间数据为“1”，则说明读取的两个相邻
35 的第二存储单元的数据为不同数据，得到的第一中间数据为“0”，则说明读取的两个相

邻的第二存储单元的数据为相同数据。将多个第一中间数据进一步进行第二次处理，例如进行“或”运算，此时如果输出数据“1”则说明多个第一中间数据中包括“1”，即包括至少两个相邻的数据为不同数据，此时可以确定多个第二存储单元中读取的数据中存在不同数据，此时，若初始数据均为相同数据，则可以确定读取的数据包括不同于初始数据的第二数据，即包括由于漏电产生的异常数据。因此可以确定参与上述处理的第二存储单元未通过第一测试。若第一中间数据均为“0”，则说明各相邻的存储单元中的数据相同，再进行第二次处理，得到的测试数据为“0”，则可以认为第二存储单元中存储的数据均为相同数据。

如此，可以根据两次处理得到的测试数据作为输出，对第二存储单元是否通过第一测试进行判断。

对图 3C 或 3D 中针对 WL8-WL15 的读取数据进行第一次处理，示例性地，可以为两两的“异或运算”处理，得到四组第一测试数据。然后进行第二次处理，如“或运算”处理，得到最终的测试数据。如图 3C 中的测试数据均为 1，那么进行两次处理的结果如图 4A 所示；如图 3D 中的测试数据均为 0，那么进行两次处理的结果如图 4B 所示。

需要说明的是，上述初始数据为全相同的数据，仅为一种示例，在实际应用中，可以根据实际需求采用其他各种带有特定规律的数据作为初始数据，例如，任意相邻数据均不同的“棋盘格”数据。此外，上述处理方法包括“异或运算”以及“或运算”也仅为示例性的处理方法，在实际应用中，可以根据初始数据的规律，以及实际电路的设计等采用其他各种处理方法，例如“与运算”或者多种逻辑运算的结合等。

在一些实施例中，所述根据第一测试数据，判断第二存储单元是否通过第一测试，包括：

若所述第一测试数据表示高电平，则表示未通过所述第一测试；

若所述第一测试数据表示低电平，则表示通过所述第一测试。

在本公开实施例中，第一测试数据可以为一个二元的输出信号，包括“高电平”的信号和“低电平”的信号。如果输出信号为高电平信号，则可以代表输出的测试数据为逻辑“1”，进而代表读取的第二存储单元的数据不符合初始数据的规律，例如，初始数据均为相同数据，而读取数据中存在不同的数据，因此可以确定第二存储单元未通过测试。

如果输出信号为低电平信号，则可以代表输出的测试数据为逻辑“0”，进而代表读取的第二存储单元的数据符合初始数据的规律，例如，初始数据均为相同数据，读取数据也均为相同数据，因此可以表示其通过测试。

可以理解的是，为提高测试效率，可以使用压缩模式对存储器进行测试，对于上述图 4A 和图 4B 的场景，输出的测试数据均为逻辑“0”，即输出信号为代表通过测试的低电平信号。但实际上图 4A 中所对应的场景如图 3C，其存在全部短接的问题。因此，上述方法可能会造成这种情况的误判，实际存在短接异常但输出的测试结果为测试通

过。

因此，本公开实施例还提供一种测试方法，即采用第二测试作为上述实施例的测试之后用于补充测试。当然，第二测试也可以单独使用进行测试。

具体地，在一些实施例中，如图 5 所示，所述进行第二测试，包括：

5 步骤 S301、更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

步骤 S302、读取多个所述第一存储单元内的数据，并保持至少一个所述第一存储单元内的所述初始数据，且将剩余的所述第一存储单元内的数据更新为所述第一数据；

10 步骤 S303、读取多个所述第二存储单元内的数据，并对读取的数据进行处理，得到第二测试数据；

步骤 S304、根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试。

需要说明的是，上述 S301 至 S304 的步骤可以在第一测试结束后，在第二存储单元通过第一测试的情况下执行，也可以独立执行，不依赖于第一测试的测试结果。

15 与第一测试类似，这里可以先对第一存储单元和第二存储单元写入初始数据，然后依次读取多个第一存储单元内的数据并进行数据更新。但不同于上述实施例中第一测试的是，第二测试中并非对所有的第一存储单元进行数据更新，而是需要保持至少一个第一存储单元内的数据不变。保持数据不变的第一存储单元可以位于同一条字线，也可以分布于多条字线。即至少一条字线上的第一存储单元在进行数据读取后保持数据不变，
20 其他的第一存储单元的数据则在读取后被更新。

在本公开实施例中，可以通过预设电路锁定存储块或锁定部分存储单元的方式，保持至少一个存储单元内的初始数据。也就是说，锁定这部分第一存储单元后，对其他存储单元的数据进行改写的过程中，这部分被锁定的第一存储单元不会被改写。示例性地，
25 锁定存储块的方式可以由预设电路断开对应存储块或者存储单元的读写通路，使得读写数据的电荷不会流入该存储块或存储单元。这样，在读取操作后，向各第一存储单元写入第一数据时，被锁定的第一存储单元会维持为初始数据而不会写入第一数据，其他的第一存储单元的数据则在读取后被更新为第一数据。

然后继续读取第二存储单元内的数据，并进行与第一测试类似的数据处理，得到第二测试数据。然后可以根据第二测试数据判断第二存储单元是否通过第二测试。

30 可以理解的是，由于第一存储单元的数据是部分更新、部分保持不变，因此，如果第一存储单元与第二存储单元之间存在一一对应的漏电情况，那么第二存储单元中的数据也会同步变化为部分与更新后的第一存储单元数据一致，另一部分保持初始数据。也就是说，如果存在异常，则通过第二检测的这种方式可以识别出第二存储单元的数据规律不同于初始数据，因而便于检测出漏电。相比于第一存储单元全部更新数据的情况，
35 可以有效识别出全部短路的情况，减少漏检的发生。

在一些实施例中，所述对读取的数据进行处理，得到第二测试数据，包括：

对相邻的两个数据进行第一次处理，以获得多个第二中间数据；

对多个所述第二中间数据进行第二次处理，以获得所述第二测试数据。

在本公开实施例中，与第一测试类似，上述第二测试中对读取的各数据进行的数据
5 处理可以包括两次数据处理。首先针对相邻两个数据进行第一次处理得到多个第二中间
数据，然后再基于第二中间数据进行第二次处理，则可以进一步获得最终的第二测试数
据。例如，如果第一次处理采用“异或”运算，得到的一个第二中间数据为“1”，则说
明读取的两个相邻的第二存储单元的数据为不同数据，得到的第二中间数据为“0”，则
说明读取的两个相邻的第二存储单元的数据为相同数据。将多个第二中间数据进一步进
10 行第二次处理，例如进行“或”运算，此时如果输出数据“1”，则说明多个第二中间数
据中包括“1”，即包括至少两个相邻的数据为不同数据，此时可以确定多个第二存储单
元中读取的数据中存在不同数据，此时，若初始数据均为相同数据，则可以确定读取的
数据包括不同于初始数据的第一数据，即包括由于漏电产生的异常数据。因此可以确定
参与上述处理的第二存储单元未通过第二测试。若第二中间数据均为“0”，则说明各相
15 邻的存储单元中的数据相同，再进行第二次处理，得到的测试数据为“0”，则可以认为
第二存储单元中存储的数据均为相同数据。

示例性地，在初始数据均为相同数据的情况下，由于在第一存储单元读取及数据更
新的过程中维持了部分第一存储单元未被更新，则第一存储单元中存在部分初始数据和
部分第一数据。因此，如果第一存储单元与第二存储单元之间存在漏电，则会导致第二
20 存储单元中读取的数据也存在不同，因而数据结果为“1”。也就是说，如果此时输出结
果为“1”，则说明第二存储单元存在异常，未通过测试。相应地，如果不存在漏电，则
第二存储单元始终保持为初始数据，则输出结果为“0”。

如图 6A 所示，与图 3C 中的情况类似，改写数据时维持 WL0 上的第一存储单元的
数据不变，即仍为“0”。由于 WL0-WL7 以及 WL8-WL15 之间分别存在上述实施例中
25 所提及的一一对应的短路，因此，WL9-WL15 上的数据会在 WL1-WL7 改写数据时同步
被改写为数据“1”；而 WL8 则与 WL0 一致，不会被改写。

因此，对此种情况进行数据处理时，则会有如图 6B 所示的结果：第一次处理，WL8
与 WL9 上的数据不同，因此“异或运算”得到的第一中间数据为“1”，其他几组第一
中间数据为“0”。进行第二次处理，由于第一中间数据中存在一个“1”，因此进行“或
30 运算”得到的第二测试数据为“1”，即表示第二存储单元未通过第二测试。

如此，可以根据两次处理得到的第二测试数据作为输出结果，根据输出结果判断第
二存储单元是否通过测试。并且，由于改写第一存储单元的过程中，维持了部分第一存
储单元内的数据不变，从而造成了第一存储单元中具有不同数据。这样，则可以改善由
于第一存储单元和第二存储单元全部短接漏电导致的数据全相同，但无法被检测出第二
35 存储单元数据异常的问题。

在一些实施例中，在所述保持至少一个所述第一存储单元内的所述初始数据中，可以保持奇数个所述第一存储单元内的数据为所述初始数据。

可以理解的是，这里的第一存储单元的数量是指参与同一次检测中的各存储单元。针对同一字线上的多个存储单元则需要分别进行检测。在一实施例中，可以理解为待检测的存储单元为多条字线上的存储单元，保持初始数据的第一存储单元为奇数条字线上连接的各存储单元。

示例性地，进行第一存储单元的读取以及改写的过程中可以保持奇数条字线上连接的第一存储单元内的数据为初始数据不变，另外奇数条字线上的第一存储单元内的数据则被改写为第一数据。这样，如果第一存储单元与第二存储单元之间存在漏电，则对第二存储单元进行读取时，以一条位线上连接的存储单元为例（即每条字线上仅取一个存储单元参与检测），读取到的数据中也存在奇数个初始数据和奇数个第一数据。这样，通过数据处理后更容易将不同的数据识别出来，进而可以检测到第二存储单元存在漏电异常。

示例性地，第一存储单元和第二存储单元分别有 8 个，维持 3 个第一存储单元的数据为初始数据不变，另外 5 个存储单元的数据更新为第一数据。如图 6C，维持 WL0、WL1 以及 WL2 耦接的存储单元的数据“0”不变，其他第一存储单元内的数据被更新为第一数据“1”。

如果第一存储单元与第二存储单元之间存在一一对应的漏电，则读取的第二存储单元的数据中也会存在 3 个初始数据和 5 个第一数据。如图 6C 所示，WL8、WL9 以及 WL10 耦接的存储单元中数据为初始数据“0”，其他第二存储单元中的数据为第一数据“1”。这样，将这些数据通过两两“异或运算”处理，则会得到至少一个第二中间数据“1”，如图 6D 所示，经过第一次处理， $WL8 \text{ xor } WL9=0$ ， $WL10 \text{ xor } WL11=1$ ， $WL12 \text{ xor } WL13=0$ 以及 $WL14 \text{ xor } WL15=0$ 。然后再进行第二次处理的“或运算”得到的第二测试数据为“1”。这样就可以将这种漏电识别出来，确定第二存储单元不通过第二测试。可以理解的是，如果维持不变的存储单元数量为偶数，则可能存在相邻两个存储单元均维持不变，例如，维持 WL0 与 WL1 耦接的存储单元中的数据为“0”，其他第一存储单元内的数据更新为“1”。那么对应的第二存储单元读取的数据中 WL8 与 WL9 耦接的存储单元中均为第一数据“1”，此时进行异或运算得出的结果也为 0，从而导致无法识别出 WL8 与 WL9 耦接的存储单元中的数据与 WL0 与 WL1 一致，进而无法检测出两者的异常。也就是说，采用上述方法维持奇数个第一存储单元中的数据不变，并更新其他第一存储单元的数据，目的就在于当存在全部漏电的异常情况时，通过两两“异或运算”处理至少能够得到一个第二中间数据为“1”。

此外，除了设置奇数个第一存储单元维持不变并更新其他第一存储单元的方法外，还可以设置间隔的第一存储单元维持不变，使各第一存储单元的数据以第一数据和初始数据交替分布，如图 6E 所示，这样，也可以避免由于相邻两个存储单元同步被更新，

导致异或结果不变而检测不出来的情况。

可以理解的是，若第一存储单元与第二存储单元之间不存在漏电，则说明第二存储单元的数据不会因为第一存储单元的数据更新而同步被改变，因此会始终保持相同的初始数据，因此输出的第二测试数据为“0”时，可以判断为第二测试通过。

5 在一些实施例中，所述根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试，包括：

若所述第二测试数据表示高电平，则表示所述第二存储单元未通过所述第二测试；

若所述第二测试数据表示低电平，则表示所述第二存储单元通过所述第二测试。

10 在本公开实施例中，第二测试数据可以为一个二元的输出信号，包括“高电平”的信号和“低电平”的信号。如果输出信号为高电平信号，则可以代表输出的第二测试数据为“1”，进而代表读取的第二存储单元的数据不符合初始数据的规律，例如，初始数据均为相同数据，而读取数据中存在不同的数据，因此可以确定第二存储单元未通过第二测试。

15 如果输出信号为低电平信号，则可以代表输出的第二测试数据为“0”，进而代表读取的第二存储单元的数据符合初始数据的规律，例如，初始数据均为相同数据，读取数据也均为相同数据，因此可以表示其通过第二测试。

在一些实施例中，所述方法还包括：判断所述第一存储单元是否通过第三测试。

20 通过上述实施例中的第一测试及第二测试，以读取第二存储单元中的数据判断第二存储单元是否会受到第一存储单元中数据的干扰，导致异常。此外，可以交换第一存储单元与第二存储单元进行反向测试，判断第一存储单元是否通过第三测试。这里的第三测试，可以为与第二测试或第一测试类似的测试过程，但测试对象为第一存储单元。这样，一方面可以更加全面地检测，减少漏检的可能性，另一方面，可以从多个角度获得数据，以便分析异常原因，便于后续的重工或改善处理。同时还可以进一步确认第一存储单元和第二存储单元之间是否存在异常连接。

25 判断第一存储单元是否通过测试的步骤可以在判断完第二存储单元是否通过测试之后，也可以在第二存储单元测试的过程之前，这里不做限定。

在一些实施例中，所述判断所述第一存储单元是否通过测试的步骤包括：

更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

30 读取所述多个第二存储单元内的初始数据，并保持至少一个所述第二存储单元内的所述初始数据，且将剩余的所述第二存储单元内的初始数据更新为所述第一数据；

读取多个所述第一存储单元内的数据，并对读取的数据进行处理，得到第三测试数据；

根据所述第三测试数据，判断所述第一存储单元是否通过第三测试。

35 在对第一存储单元进行测试时，可以重新在第一存储单元和第二存储单元中写入初始数据。当然，初始数据可以与上述进行第二存储单元测试时采用的初始数据相同，也

可以不同，但需要为已知的预设数据，从而便于后续进行判断。

其检测过程与上述进行第二存储单元的检测过程相似，读取第二存储单元并改写部分第二存储单元内的数据。然后再读取第一存储单元的数据，并根据读取的数据进行数据处理和判断。

5 可以理解的是，这里在读取第二存储单元数据后对部分第二存储单元的数据进行了更新，并保持了部分数据不变，进而造成第二存储单元中的部分数据与初始数据不同。如果第一存储单元会由于第二存储单元的漏电影响同步被改写，则第一存储单元也会存在部分数据与初始数据不同，这样就可以达到对第一存储单元进行数据检测的目的。

10 如图 7A 所示，按照 WL8 至 WL15 的顺序读取第二存储单元后，更新第二存储单元的数据，但维持 WL15 上的第二存储单元的数据不变，即仍为“0”。然后以 WL0 至 WL7 的顺序继续读取第一存储单元中的数据。由于 WL0-WL7 以及 WL8-WL15 之间分别存在短接，因此，WL0-WL6 上的数据会在 WL8-WL14 数据更新时同步被更新为数据“1”；而 WL7 则与 WL15 一致，不会被更新。

15 因此，对此种情况进行数据处理时，则会有如图 7B 所示的结果：第一次处理，WL6 与 WL7 上的数据不同，因此“异或运算”得到的数据为“1”，其他几组数据“0”。进行第二次处理，由于第一次处理得到的数据中存在一个“1”，因此进行“或运算”得到的数据为“1”，即表示第一存储单元未通过测试。

在一些实施例中，对读取的数据进行处理的步骤包括：

对相邻的两个数据进行第一次处理，以获得多个第三中间数据；

20 对多个所述第三中间数据进行第二次处理，以获得所述第三测试数据。

在本公开实施例中，与上述第一测试以及第二测试类似，第三测试中对读取的各数据进行的数据处理可以包括两次数据处理。首先针对相邻两个数据进行第一次处理得到多个第三中间数据，然后再基于第三中间数据进行第二次处理，则可以进一步获得最终的第三测试数据。例如，如果第一次处理采用“异或”运算，得到的一个第三中间数据为“1”，则说明读取的两个相邻的第一存储单元的数据为不同数据，得到的第三中间数据为“0”，则说明读取的两个相邻的第一存储单元的数据为相同数据。将多个第三中间数据进一步进行第二次处理，例如进行“或”运算，此时如果输出数据“1”则说明多个第三中间数据中包括“1”，即包括至少两个相邻的数据为不同数据，此时可以确定多个第一存储单元中读取的数据中存在不同数据，此时，若初始数据均为相同数据，则可确定读取的数据包括不同于初始数据的第一数据，即包括由于漏电产生的异常数据。因此可以确定参与上述处理的第一存储单元未通过第三测试。若第三中间数据均为“0”，则说明各相邻的存储单元中的数据相同，再进行第二次处理，得到的第三测试数据为“0”，则可认为第一存储单元中存储的数据均为相同数据。

35 示例性地，在初始数据均为相同数据的情况下，由于在第二存储单元读取及数据更新的过程中维持了部分第二存储单元内的数据未被更新，则第一存储单元中存在部分初

始数据和部分第一数据。因此，如果第一存储单元与第二存储单元之间存在漏电，则会导致第一存储单元中读取的数据也存在不同，因而数据结果为“1”。也就是说，如果此时输出结果为“1”，则说明第一存储单元存在异常，未通过第三测试。相应地，如果不存在漏电，则第一存储单元始终保持为初始数据，则输出结果为“0”。

5 如此，可以根据两次处理得到的测试数据作为输出结果，根据输出结果对第一存储单元是否通过测试进行判断。并且，由于改写第二存储单元的过程中，也维持了部分第二存储单元内的数据不变，从而造成了第二存储单元中具有不同数据。这样，则可以避免由于第一存储单元和第二存储单元全部短接漏电导致的数据全相同，但无法被检测出第一存储单元数据异常的问题。

10 在一些实施例，在所述保持至少一个所述第一存储单元内的所述初始数据中，保持奇数个所述第一存储单元内的数据为所述初始数据。

在进行上述测试之前可以对第一存储单元和第二存储单元写入初始数据，初始数据可以为全部相同的数据，也可以为具有特定规律的数据，例如“棋盘格”数据，即任意两个相邻的存储单元中的数据不同。

15 如果上述检测过程中读取到的第一存储单元内的数据不同于初始数据，则说明其由于与第二存储单元之间存在漏电。因此，通过读取第一存储单元的数据可以实现漏电的检测。

在本公开实施例中，进行第二存储单元的读取以及更新的过程中可以保持奇数条字线上连接的第二存储单元内的数据为初始数据不变，另外奇数条字线上的第二存储单元
20 内的数据则被改写为第一数据。这样，如果第一存储单元与第二存储单元之间存在漏电，则对第一存储单元进行读取时，以一条位线上连接的存储单元为例，读取到的数据中也存在奇数个初始数据和奇数个被改写后的第一数据。这样，通过数据处理后更容易将不同的数据识别出来，进而可以检测到第一存储单元存在漏电异常。

示例性地，第一存储单元和第二存储单元分别有8个，维持3个第二存储单元的数据为初始数据不变，另外5个第二存储单元的数据更新为第一数据。如图7C，维持WL13、WL14以及WL15耦接的存储单元的数据“0”不变，其他第二存储单元被更新为第一数据“1”。

如果第一存储单元与第二存储单元之间存在一一对应的漏电，则读取的第一存储单元的数据中也会存在3个初始数据和5个第一数据。如图7C所示，WL5、WL6以及
30 WL7耦接的存储单元中数据为初始数据“0”其他第一存储单元中的数据为第一数据“1”。这样，将这些数据通过两两“异或运算”处理，则会得到至少一个第三中间数据为“1”，如图7D所示，经过第一次处理， $WL0 \text{ xor } WL1=0$ ， $WL2 \text{ xor } WL3=0$ ， $WL4 \text{ xor } WL5=1$ 以及 $WL6 \text{ xor } WL7=0$ 。然后再进行“或运算”得到的第三测试数据为“1”。这样就可以将这种漏电识别出来，确定第一存储单元不通过。可以理解的是，如果维持不变的存储
35 单元数量为偶数，则可能存在相邻两个存储单元均维持不变，例如，维持WL14与WL15

耦接的存储单元中的数据为“0”，其他第二存储单元更新为“1”。那么对应的第一存储单元读取的数据中 WL6 与 WL7 耦接的存储单元中均为第一数据“1”，此时进行异或运算得出的结果也为 0，从而导致无法识别出 WL6 与 WL7 耦接的存储单元中的数据与 WL14 与 WL15 一致，进而无法检测出两者的异常。也就是说，采用上述方法维持奇数个第二存储单元中的数据不变，并更新其他第二存储单元的数据，目的就在于当存在全部漏电的异常情况时，通过两两“异或运算”处理至少能够得到一个第三中间数据为“1”。

此外，除了设置奇数个第二存储单元维持不变并更新其他第二存储单元的方法外，还可以设置间隔的第二存储单元维持不变，使各第二存储单元的数据以第一数据和初始数据交替分布，如图 7E 所示，这样，也可以避免由于相邻两个存储单元同步被更新，导致异或结果不变而检测不出来的情况。

可以理解的是，若第一存储单元与第二存储单元之间不存在漏电，则说明第一存储单元的数据不会因为第二存储单元的数据更新而同步被改变，因此会始终保持相同的初始数据，因此输出的第三测试数据为“0”时，可以判断为第三测试通过。

在一些实施例中，所述根据所述第三测试数据，判断所述第一存储单元是否通过所述第三测试，包括：

若所述测试数据表示高电平，则表示所述第一存储单元未通过所述第三测试；

若所述测试数据表示低电平，则表示所述第一存储单元通过所述第三测试。

在本公开实施例中，第三测试数据可以为一个二元的输出信号，包括“高电平”的信号和“低电平”的信号。如果输出信号为高电平信号，则可以代表输出的第三测试数据为“1”，进而代表读取的第一存储单元的数据不符合初始数据的规律，例如，初始数据均为相同数据，而读取数据中存在不同的数据，因此可以确定第一存储单元未通过第三测试。

如果输出信号为低电平信号，则可以代表输出的第三测试数据为“0”，进而代表读取的第一存储单元的数据符合初始数据的规律，例如，初始数据均为相同数据，读取数据也均为相同数据，因此可以表示其通过第三测试。

在一些实施例中，所述方法还包括：

若所述第二存储单元未通过所述第二测试，且所述第一存储单元未通过所述第三测试，则确定所述第一存储单元和所述第二存储单元连接异常。

通过上述实施例中的方法，可以分别判断第一存储单元与第二存储单元是否存在异常，如果第一存储单元与第二存储单元都存在异常，则说明第一存储单元与第二存储单元之间存在连接异常，例如第一存储单元与第二存储单元之间存在短接点，或者两者对应的字线之间存在短路，又或者两者所连接的外围电路之间存在短路等等。在第二存储单元未通过第二测试时，则可以判断出第二存储单元内的数据受到第一存储单元内的数据的影响；第一存储单元未通过第三测试时，则可以判断出第一存储单元内的数据受到第二存储单元内的数据的影响，因此在第二存储单元未通过第二测试时，第一存储单元

未通过第三测试时，则可以确定出第一存储单元和第二存储单元之间连接异常。

在一些实施例中，所述第一存储单元包括耦接在第一字线上的存储单元，所述第二存储单元包括耦接在第二字线上的存储单元。

这里，第一字线可以包括一条或多条，第二字线也可以包括一条或多条。

5 可以理解的是，第一字线上耦接有多个存储单元，第二字线上耦接有多个存储单元。在进行本公开实施例中所涉及的数据处理时，实质参与一次运算处理的数据来自于每条字线上的一个第一存储单元。例如，将同一位线上耦接的各第一存储单元以及第二存储单元的数据进行处理。如果存在多条位线，则分别进行处理，可以得到多个测试数据，进而便于进一步确定漏电位置。

10 在一些实施例中，所述第一存储单元和所述第二存储单元连接异常表示所述第一字线和所述第二字线短路连接。

这里，第一字线与第二字线的短路连接，可以包括第一字线与第二字线直接短路，也可以包括第一字线与第二字线所连接的外围电路之间存在短路连接。

15 在一些实施例中，第一字线与第二字线之间可以具有公共的信号控制结构，用于同步向多条字线提供公共的信号，例如主字线驱动信号。而主字线驱动信号通过分别连接的各条控制开关连接至各条字线，即针对每条字线由子驱动信号控制。

20 示例性地，一组8条第一字线（WL0至WL7）由同一个主字线驱动信号来控制，另外一组8条第二字线（WL8至WL15）由另一字线驱动信号控制。而由于存储器结构的设计中，这两组字线对应的驱动信号的驱动开关走线位于临近位置，具体地，8条第一字线中每个子字线驱动信号对应的控制开关，8条第二字线中每个子字线驱动信号对应的控制开关相邻，因而容易出现短路。例如：第一个主控制信号控制的第一字线WL0与第二个主控制信号控制的第二字线WL8之间出现短路；第一个主控制信号控制的第一字线WL1与第二个主控制信号控制的第二字线WL9之间出现短路；……第一个主控制信号控制的第一字线WL7与第二个主控制信号控制的第二字线WL15之间出现短路。

25 因此，基于类似的存储器结构设计，容易出现如上述实施例所涉及的第一字线与第二字线短路情况，这里仅作为示例进行说明。当然，基于其他可能出现短路连接的结构设计，可以采用类似的检测手法进行检测，这里不做限定。

在一些实施例中，所述第一次处理包括异或运算，所述第二次处理包括或运算。在其他实施例中，第一次处理包括异或运算，第二次处理还可以包括与运算等。

30 本公开实施例还提供如下示例：

在进行诸如动态随机存储器（DRAM）等的生产过程中，需要进行各个阶段的测试，以便确定是否存在异常，便于后段重工、修补或者报废等操作，进而提升生产效率和产品良率。

35 在晶圆测试的过程中一般采用高压缩比的压缩模式进行测试，即以存储块、存储面或者存储页等多存储单元为单位进行综合测试，通过输出的测试结果进行区域判断。相

比于逐个存储单元的读写测试，这种方法具有快速高效的特点，适用于量产过程中 CP（Circuit Probe，电路探测）阶段的测试。但是由于这种方式无法实现对每一存储单元的逐个检测，因此会存在漏检的情况。

示例性地，压缩模式可以包括将读取操作后得到的数据输入至逻辑电路，得到一个输出信号，基于该输出信号判断读取的数据的特点。例如，将读取的各数据进行异或处理，若存在不同数据，则会输出逻辑“1”，若全部相同，则会输出逻辑“0”。这样，不需要讲读取到的每个数据输出出来，而是仅通过一个输出信号就可以进行判断。

本公开实施例提供一种基于压缩模式的测试方法，在快速检测的同时，减少漏检的发生。

在本公开实施例中，可以将待检测的存储单元所连接的多条字线分为两组，这两组字线可以是在产品结构上容易产生短路连接的字线，例如，具有公共的控制元件或者在实体结构中设置于相邻的位置等。

在进行检测的过程中可以采用如下过程：

1、向两组字线连接的存储单元单元中分别写入初始数据（可以为相同数据）；

2、依次读取第一组字线连接的各存储单元，并在每完成一条字线上的读取操作后，改写该条字线上连接的各存储单元的数据。可以理解的是，此时读取的第一组字线得到的各数据应当为初始数据，若不是初始数据，则说明第一组字线存在写入异常的问题。

3、继续依次读取第二组字线连接的各存储单元的数据。

如果读取到的数据中存在不同数据。说明第二组字线连接的存储单元中的数据存在部分，在第一组字线上的存储单元改写数据的过程中也被改写了，因此可以确定这些字线及其相关电路存在漏电异常，进而得出测试不通过的结果。

如果输出结果表示第二组字线上连接的存储单元中的数据全部为相同的，例如，输出信号表示逻辑“0”那么表示可能第二组字线所连接的存储单元仍然全为初始数据，未被改写，因而通过测试。

可以理解的是，上述通过测试的情况还存在一种漏检情况，即输出信号表示第二组字线上连接的存储单元中的数据全部为相同的，但实际上全部存储单元的数据都因为与第一组字线的漏电影响被改写。

因此，在本公开实施例中，还可以进行如下测试：

1、向两组字线连接的存储单元单元中分别写入初始数据；

2、依次读取第一组字线连接的各存储单元，并在每完成一条字线上的读取操作后，改写该条字线上连接的各存储单元的数据；此外，选择其中至少一条字线连接的存储单元不进行改写。即，读取第一组字线连接的各存储单元后，改写部分数据、维持部分数据，使得第一组字线中存在至少两条字线连接的存储单元中存储的数据不同。

3、继续依次读取第二组字线连接的各存储单元的数据。

这时，如果读取的第二组字线连接的各存储单元的数据仍为相同数据，例如输出信

号表示逻辑“0”，则说明第二组字线未受到漏电影响，仍为初始数据。而如果输出信号表示逻辑“1”，即第二组字线连接的各存储单元的数据存在不同，那么说明第二组字线中存在不同数据，即第二组字线中的数据受到第一组字线中数据改写的影响也被改写为部分数据不同。因此，此时可以确定第二组字线中存在漏电异常。

5 可以理解的是，如果初始数据为不同数据，例如“棋盘格数据”，则对应的输出结果也需要相应调整。

假设有 16 条字线 WL0-WL15 待检测，可以将 WL0-WL7 分为第一组，WL8-WL15 分为第二组。可以向各条字线连接的存储单元写入如图 8A 所示的初始数据。读取 WL0-WL7 连接的各存储单元中的数据，并在每读取一条 WL 上的数据后，改写为不同
10 数据，并维持其中至少一条 WL 上的数据不变。需要说明的是，维持不变的字线数量为奇数更便于数据处理。

例如，维持上述 WL0 的数据不变。之后继续读取 WL8-WL15 上各存储单元的数据。如果没有异常，则所有数据如图 8B 所示。

其中，只有 WL0 的数据发生变化。读取到 WL8-WL15 的数据不变。

15 在上述压缩模式的测试方法中，这些读取的数据不需要全部输出，而是可以经过逻辑运算得到一个检测结果。

例如，对 WL8 至 WL15 上的各数据进行逻辑运算，得到输出结果，若输出结果为高电平，则检测通过。这里，逻辑运算的过程如图 8C 所示，可以包括：第一数据处理：对相邻 WL 的数据两两进行异或处理，即 WL8 xor WL9，WL10 xor WL11，WL12 xor
20 WL13，WL14 xor WL15。可以理解的是，若采用上述初始数据，WL8 至 WL15 与 WL0 至 WL7 所耦接的存储单元之间不存在漏电，那么异或处理后的结果应均为逻辑“1”，即表示 WL8 至 WL15 中任意两条相邻 WL 上耦接的存储单元中的数据不同。然后对这些逻辑运算结果进行第二数据处理，这里，根据上述初始数据的特点，可以采用“与”运算（若初始数据为全 0 或全 1 的相同数据，则这里可以采用“或”运算）。在上述场
25 景下则包括第一数据处理得到的 4 组逻辑结果均为逻辑“1”，则最终第二数据处理的输出结果为逻辑“1”。

在实际检测过程中，根据最终的结果逻辑“1”，可以确定多组第一数据处理的结果中不存在逻辑“0”，进而可以确定不存在相邻两条 WL 上的数据相同，符合“棋盘格”数据的基本规律，因此无异常，即测试通过。

30 相反，如果存在异常，第二组 WL 的数据会由于漏电与第一组 WL 的数据保持一致，即改写 WL1-WL7 上的数据后，WL8 维持不变，WL8-WL15 也被改写，如图 8D 所示：

在这种情况下，数据处理的过程如图 8E 所示，进行第一数据处理，例如：WL8 xor WL9，WL10 xor WL11，WL12 xor WL13，WL14 xor WL15。可以得到 WL8 xor WL9=0，而 WL10 xor WL11=1，WL12 xor WL13=1，WL14 xor WL15=1。因此，第一数据处理的
35 结果中包括一个逻辑“0”和三个逻辑“1”。继续进行第二数据处理的“与”运算，则

得到结果为“0”。此时，通过该输出结果就可以判断第二组字线受到了第一组字线上数据改写的漏电影响，因此存在异常。

如图9所示，本公开实施例还提供一种存储器的测试系统400，包括：

数据读取单元401，用于读取第一存储单元和第二存储单元内的数据；

5 数据更新单元402，用于在读取所述第一存储单元内的数据之后，将所述第一存储单元内的数据更新为第一数据；

数据测试单元403，用于对读取的数据进行处理，以获得测试数据，并通过所述测试数据，判断所述第二存储单元是否通过测试。

10 这里，测试系统的各部件可以配置于存储器内的控制逻辑，也可以配置于外部测试装置，其功能可以用于执行上述任一实施例中的方法步骤，具体内容已在上述方法实施例中进行了详细说明，这里不再赘述。

本公开实施例还提供一种存储器，如图10所示，该存储器500包括：

存储阵列510，包括多个存储单元；每一存储单元连接有字线WL和位线BL；其中，每个存储器可以有多个存储面，每个存储面可以包含一个或多个存储阵列；

15 外围电路520，连接所述存储阵列，用于将对存储阵列中各存储单元进行读写操作以及检测操作时所需的电压施加到相应的字线和/或位线上，并用于将存储阵列输出信号传递出来。

这里，外围电路可以被配置为执行上述存储器的测试方法。

20 应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，30 并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的35 各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备

或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元；既可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

5 另外，在本公开各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

10 以上所述，仅为本公开的实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

15 本公开实施例的技术方案，可以应用于半导体存储器的生产制造或者检测过程中，本公开实施例通过将存储器中的存储单元划分为第一存储单元和第二存储单元两类，在检测过程中读取第一存储单元内的数据，并在读取后更新数据，然后读取第二存储单元的数据。这样，通过读取的数据可以有效检测出第二存储单元是否被第一存储单元的更新数据所影响，从而判断出第二存储单元是否通过测试，进而识别出诸如存储单元之间或者外围电路之间的漏电等问题。

权利要求书

1. 一种存储器的测试方法，包括：

提供一存储器，所述存储器至少包括多个第一存储单元和多个第二存储单元；

5 读取多个所述第一存储单元内的数据，并将多个所述第一存储单元内的数据更新为第一数据；

读取多个所述第二存储单元内的数据，并对读取的数据进行处理，以获得第一测试数据；

根据所述第一测试数据，判断所述第二存储单元是否通过第一测试。

10 2. 根据权利要求 1 所述的测试方法，其中，所述通过所述第一测试数据，以判断所述第二存储单元是否通过第一测试，包括：

根据所述第一测试数据，确定读取的数据是否同时包括所述第一数据和所述第二存储单元内的初始数据；

若是，则表示不通过所述第一测试；

若否，则表示通过所述第一测试，并继续进行第二测试。

15 3. 根据权利要求 2 所述的测试方法，其中，所述对读取的数据进行处理，以获得第一测试数据，包括：

对相邻两个所述第一数据进行第一次处理，以获得多个第一中间数据；

对多个所述第一中间数据进行第二次处理，以获得所述第一测试数据。

20 4. 根据权利要求 2 所述的测试方法，其中，所述根据所述第一测试数据，判断所述第二存储单元是否通过第一测试，包括：

若所述第一测试数据表示高电平，则表示未通过所述第一测试；

若所述第一测试数据表示低电平，则表示通过所述第一测试。

5. 根据权利要求 2 所述的测试方法，其中，所述进行第二测试，包括：

更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

25 读取多个所述第一存储单元内的数据，并保持至少一个所述第一存储单元内的所述初始数据，且将剩余的所述第一存储单元内的数据更新为所述第一数据；

读取多个所述第二存储单元内的数据，并对读取的数据进行处理，得到第二测试数据；

根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试。

30 6. 根据权利要求 5 所述的测试方法，其中，所述对读取的数据进行处理，得到第二测试数据，包括：

对相邻的两个数据进行第一次处理，以获得多个第二中间数据；

对多个所述第二中间数据进行第二次处理，以获得所述第二测试数据。

35 7. 根据权利要求 5 所述的测试方法，其中，在所述保持至少一个所述第一存储单元内的所述初始数据中，保持奇数个所述第一存储单元内的数据为所述初始数据。

8. 根据权利要求 6 所述的测试方法，其中，所述根据所述第二测试数据，判断所述第二存储单元是否通过所述第二测试，包括：

若所述第二测试数据表示高电平，则表示所述第二存储单元未通过所述第二测试；
若所述第二测试数据表示低电平，则表示所述第二存储单元通过所述第二测试。

9. 根据权利要求 5 所述的测试方法，还包括：

判断所述第一存储单元是否通过第三测试。

5 10. 根据权利要求 9 所述的测试方法，其中，所述判断所述第一存储单元是否通过测试，包括：

更新多个所述第一存储单元和多个所述第二存储单元内的数据为初始数据；

读取所述多个所述第二存储单元内的初始数据，并保持至少一个所述第二存储单元内的所述初始数据，且将剩余的所述第二存储单元内的初始数据更新为所述第一数据；

10 10 读取多个所述第一存储单元内的数据，并对读取的数据进行处理，得到第三测试数据；

根据所述第三测试数据，判断所述第一存储单元是否通过第三测试。

11. 根据权利要求 10 所述的测试方法，其中，则对读取的数据进行处理的步骤包括：

15 对相邻的两个数据进行第一次处理，以获得多个第三中间数据；

对多个所述第三中间数据进行第二次处理，以获得所述第三测试数据。

12. 根据权利要求 10 所述的测试方法，其中，在所述保持至少一个所述第一存储单元内的所述初始数据中，保持奇数个所述第一存储单元内的数据为所述初始数据。

20 13. 根据权利要求 11 所述的测试方法，其中，所述根据所述第三测试数据，判断所述第一存储单元是否通过所述第三测试，包括：

若所述测试数据表示高电平，则表示所述第一存储单元未通过所述第三测试；

若所述测试数据表示低电平，则表示所述第一存储单元通过所述第三测试。

14. 根据权利要求 9 所述的测试方法，还包括：

25 若所述第二存储单元未通过所述第二测试，且所述第一存储单元未通过所述第三测试，则确定所述第一存储单元和所述第二存储单元连接异常。

15. 根据权利要求 14 所述的测试方法，其中，所述第一存储单元包括耦接在第一字线上的存储单元，所述第二存储单元包括耦接在第二字线上的存储单元。

16. 根据权利要求 15 所述的测试方法，其中，所述第一存储单元和所述第二存储单元连接异常表示所述第一字线和所述第二字线短路连接。

30 17. 根据权利要求 6 或 11 所述的测试方法，其中，所述第一次处理包括异或运算，所述第二次处理包括或运算。

18. 一种存储器的测试系统，包括：

数据读取单元，用于读取第一存储单元和第二存储单元内的数据；

35 数据更新单元，用于在读取所述第一存储单元内的数据之后，将所述第一存储单元内的数据更新为第一数据；

数据测试单元，用于对读取的数据进行处理，以获得测试数据，并通过所述测试数据，判断所述第二存储单元是否通过测试。

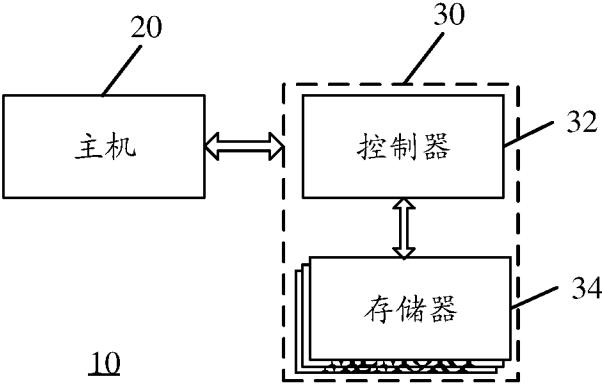


图 1A

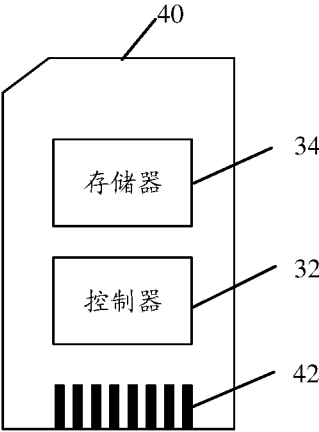


图 1B

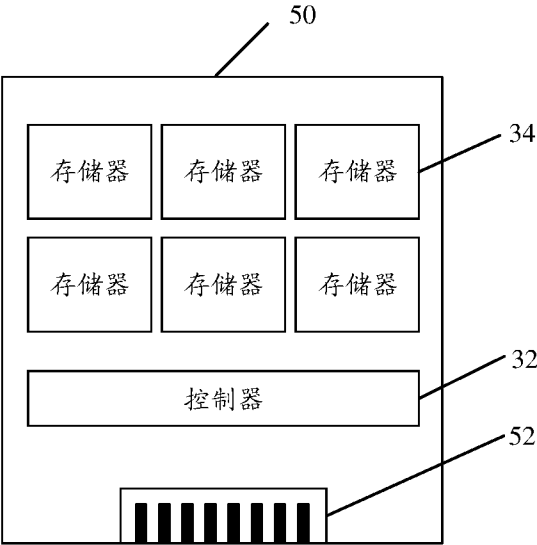


图 1C

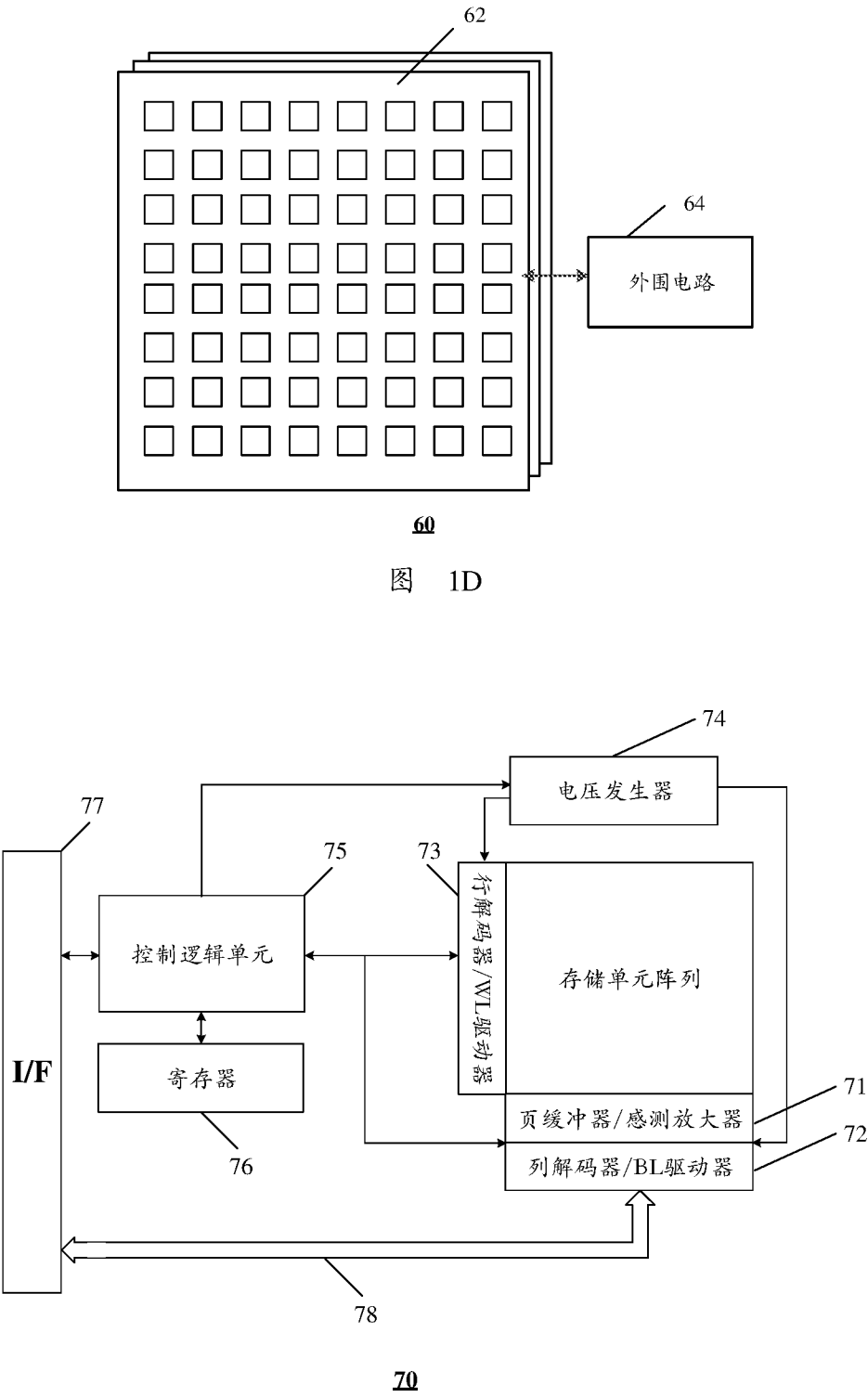


图 1E

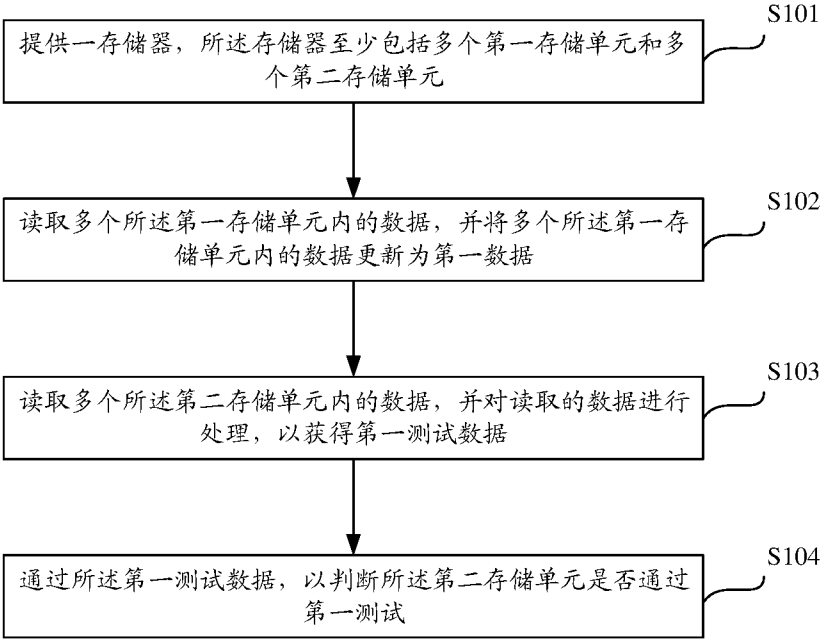


图 2A

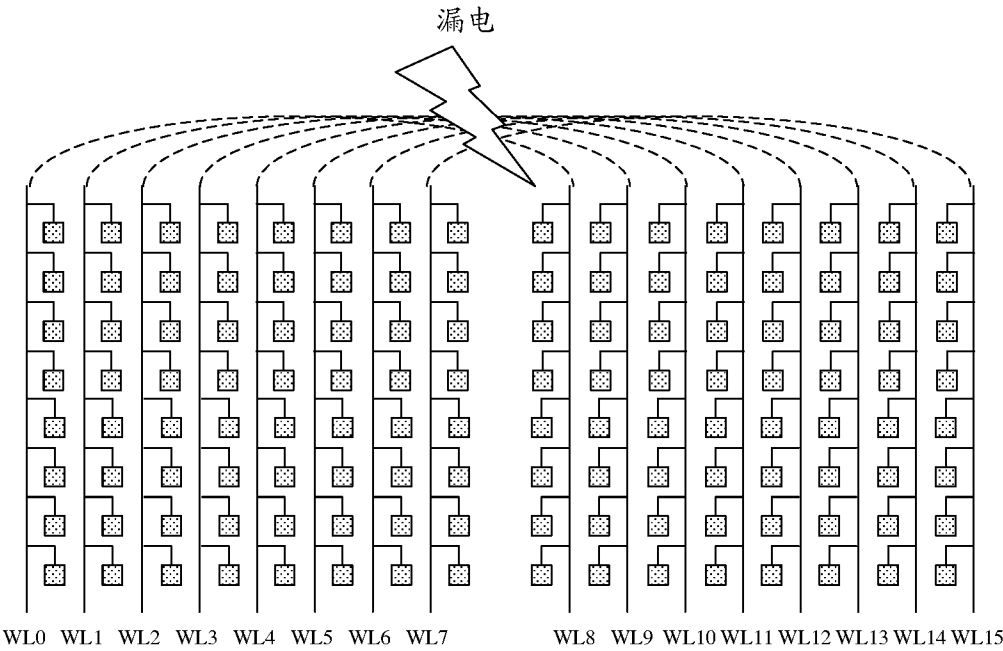


图 2B

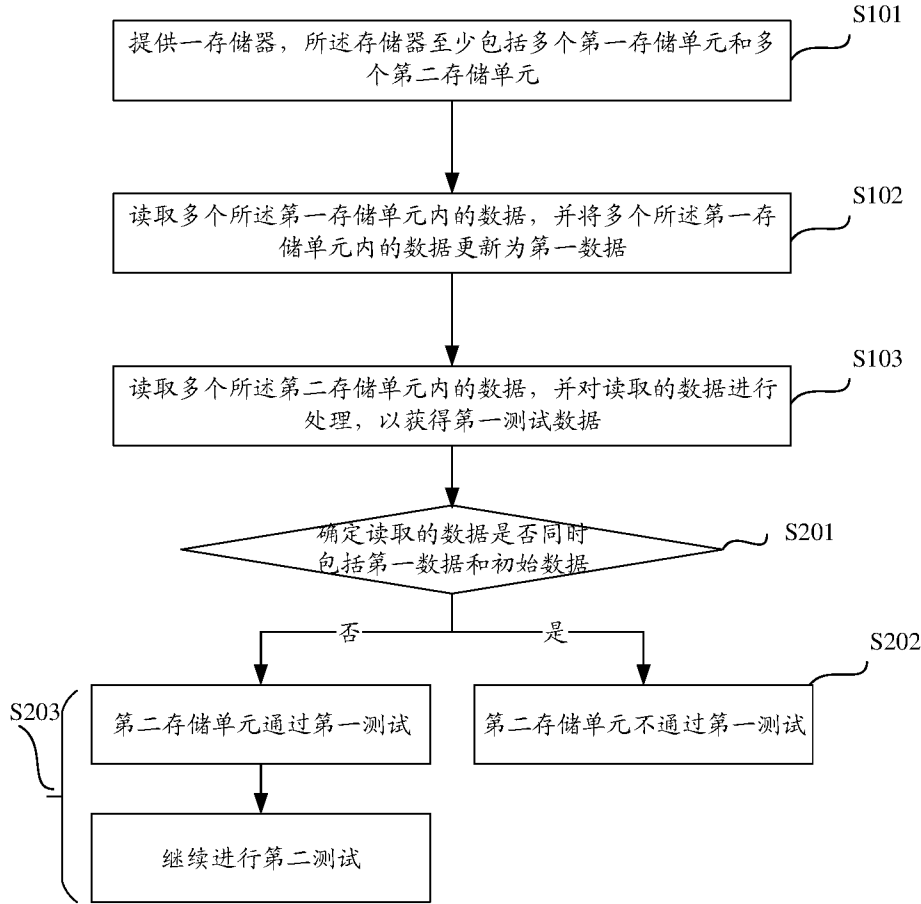


图 3A

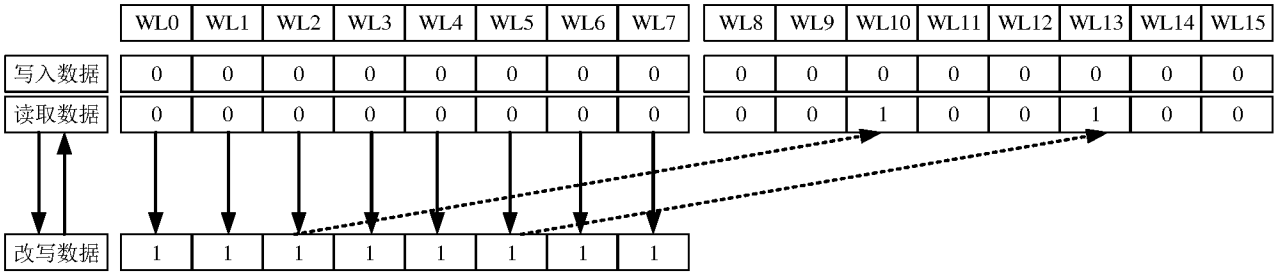


图 3B

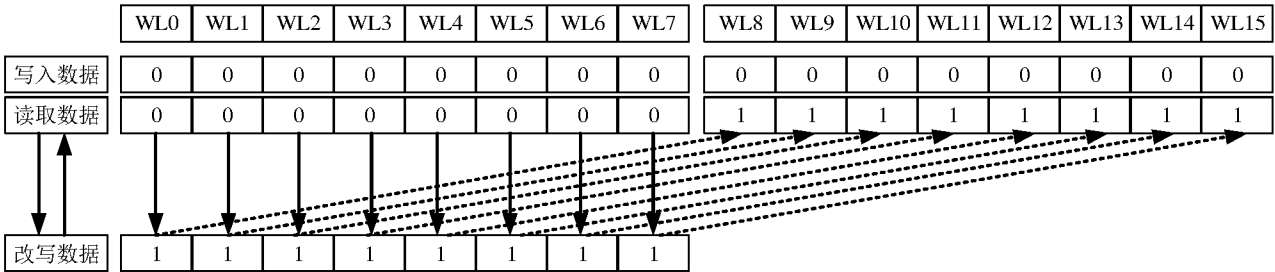


图 3C

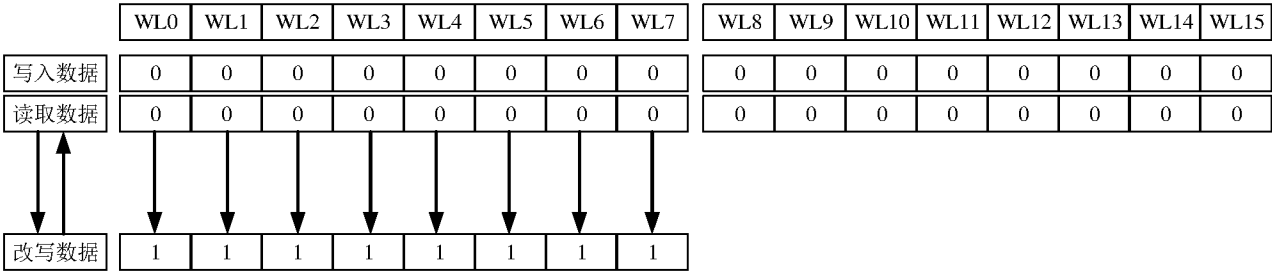


图 3D

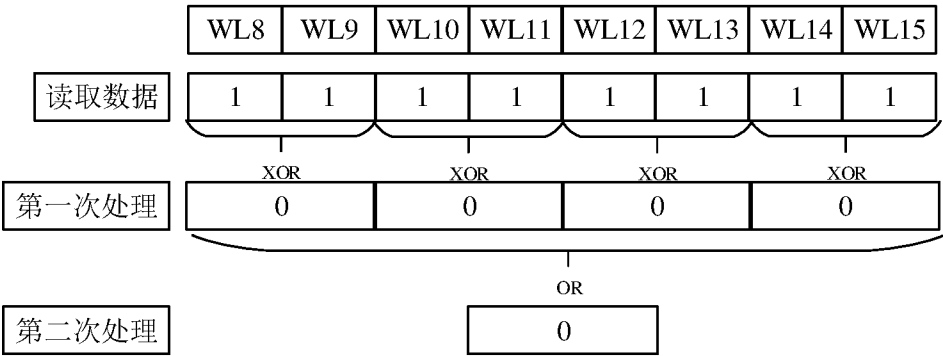


图 4A

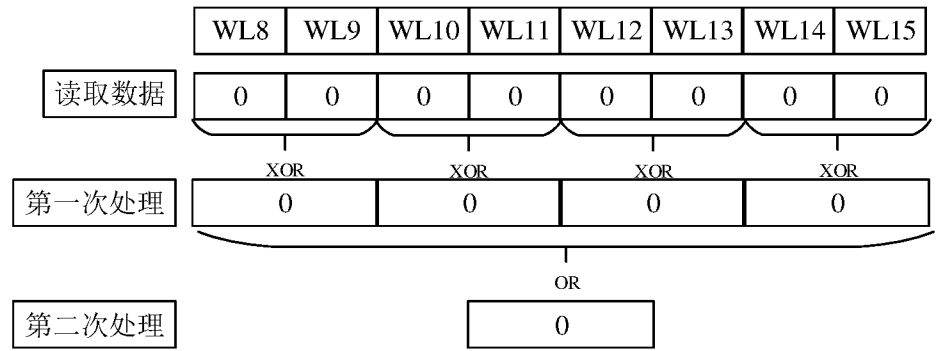


图 4B

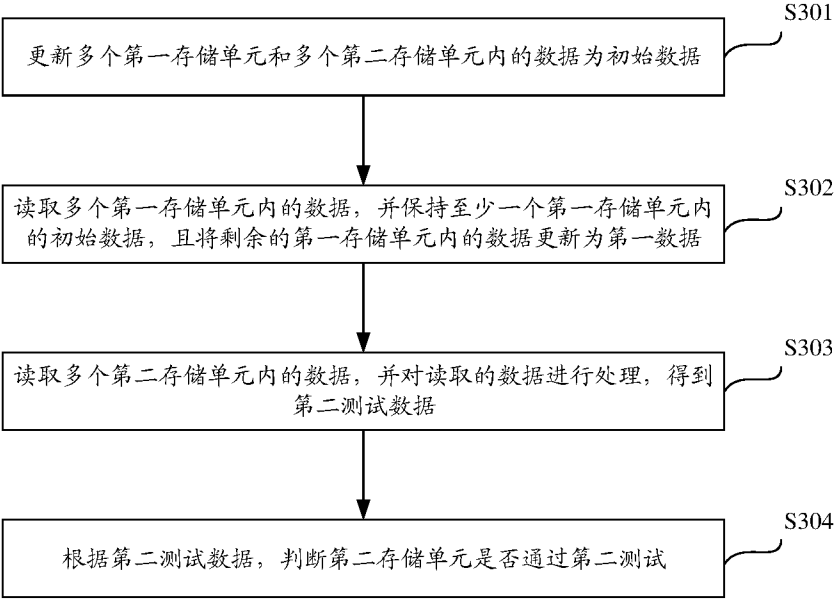


图 5

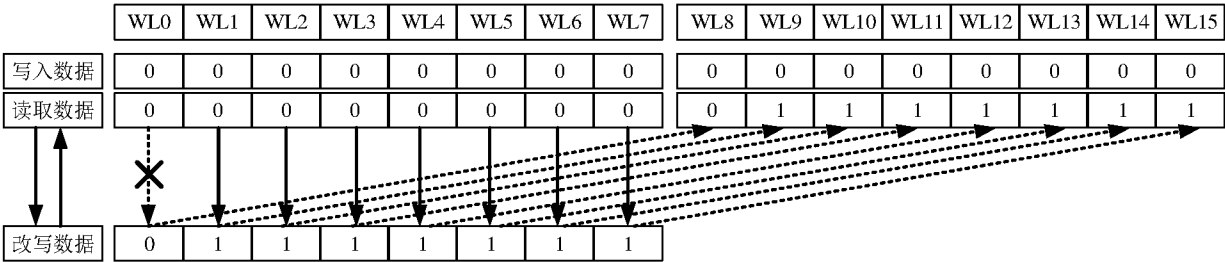


图 6A

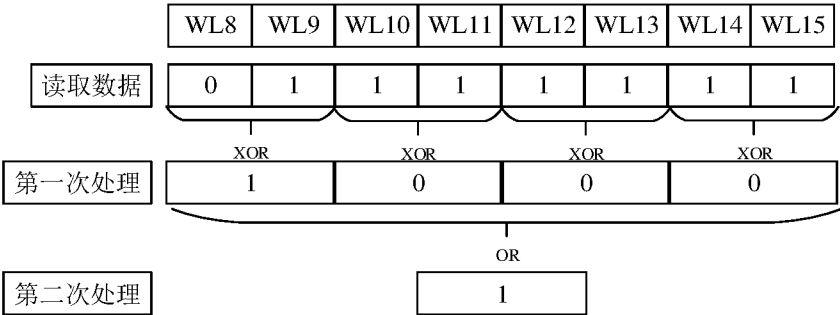


图 6B

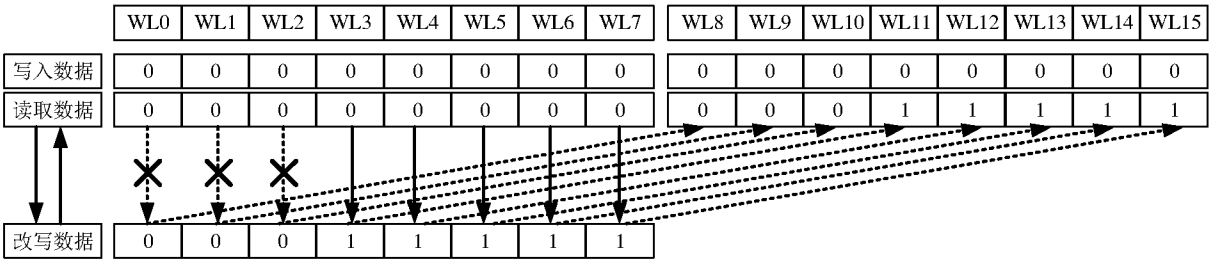


图 6C

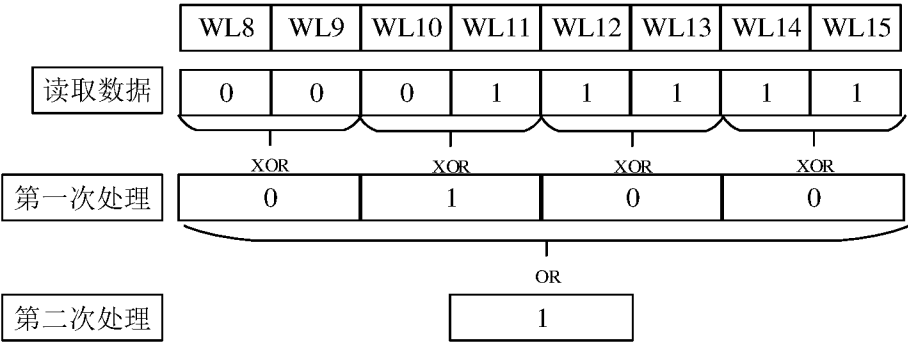


图 6D

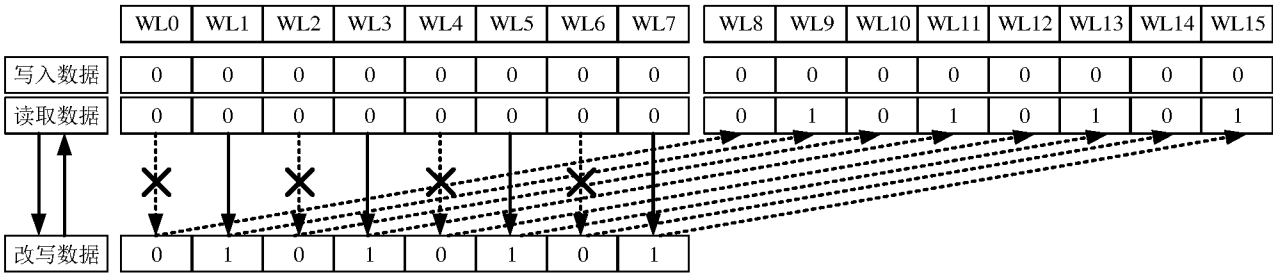


图 6E

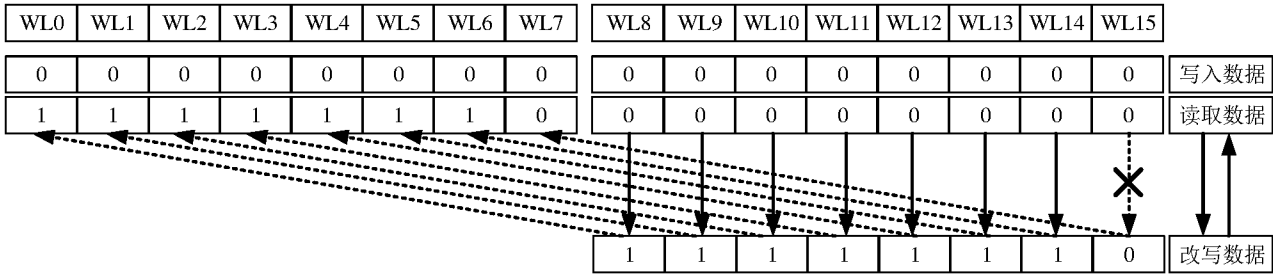


图 7A

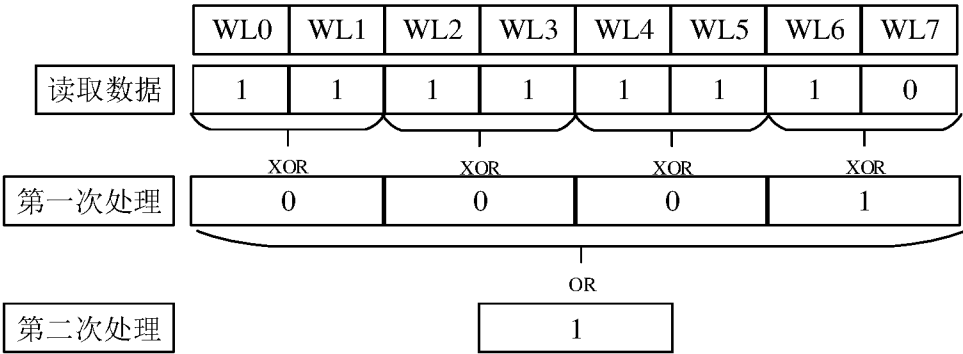


图 7B

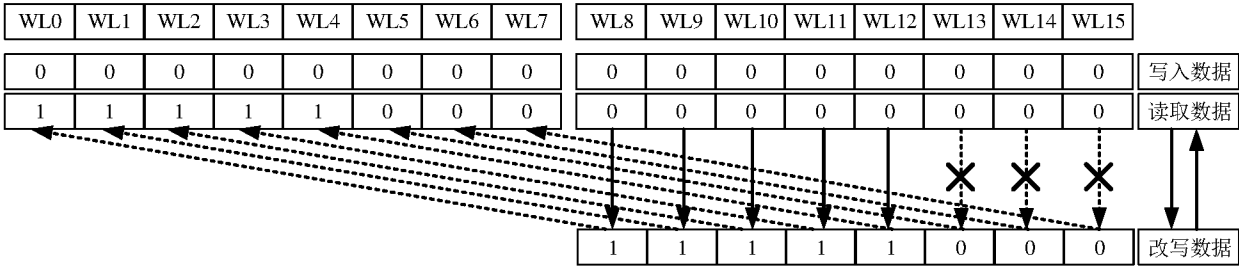


图 7C

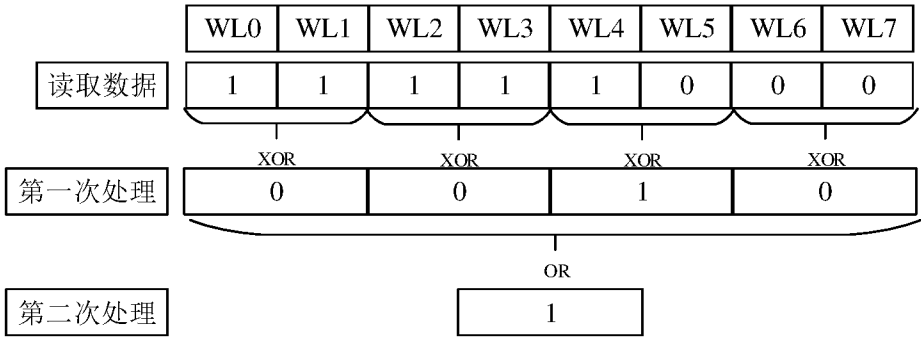


图 7D

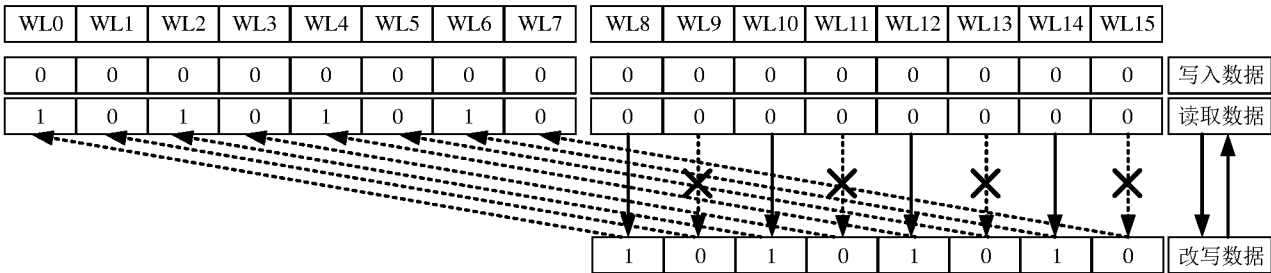


图 7E

WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7	WL8	WL9	WL10	WL11	WL12	WL13	WL14	WL15
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0

初始数据：棋盘格

图 8A

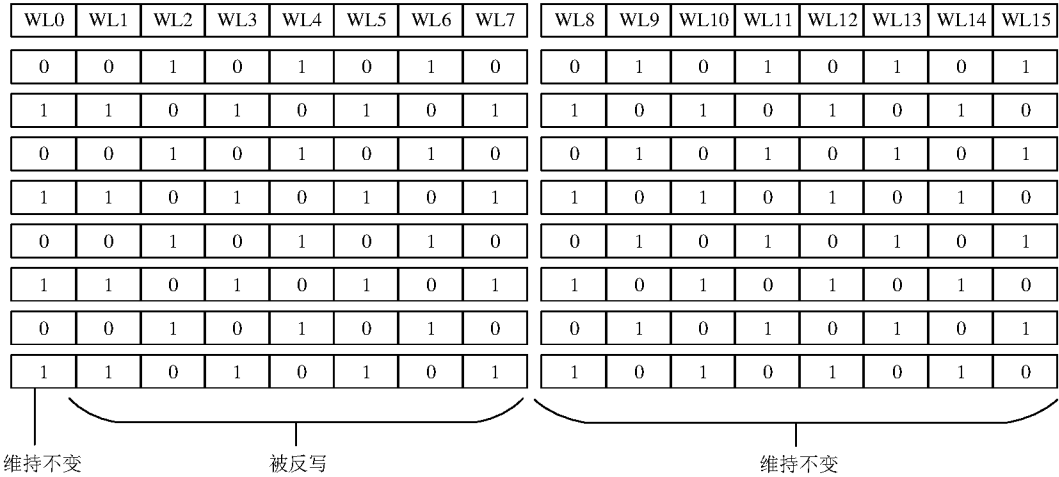


图 8B

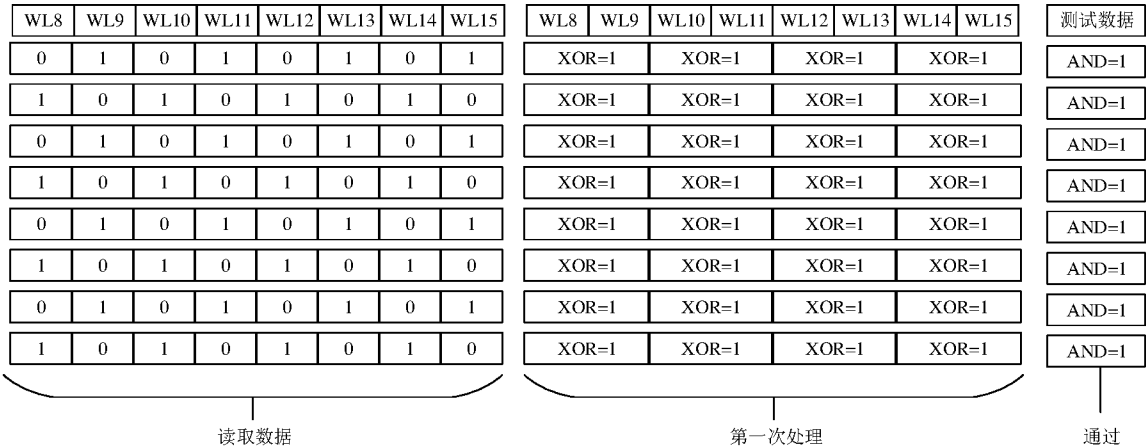


图 8C

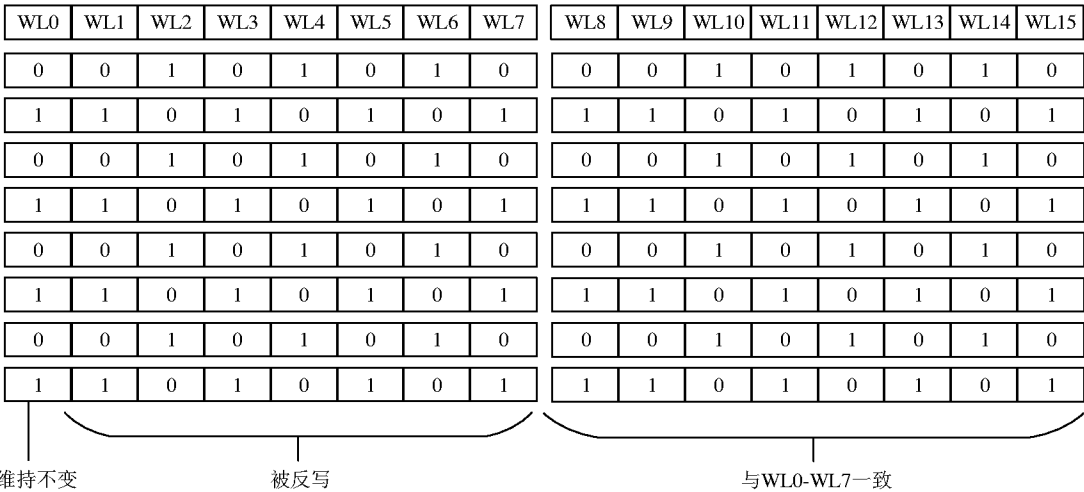


图 8D

WL8	WL9	WL10	WL11	WL12	WL13	WL14	WL15	WL8	WL9	WL10	WL11	WL12	WL13	WL14	WL15	测试数据
0	0	1	0	1	0	1	0	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
1	1	0	1	0	1	0	1	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
0	0	1	0	1	0	1	0	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
1	1	0	1	0	1	0	1	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
0	0	1	0	1	0	1	0	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
1	1	0	1	0	1	0	1	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
0	0	1	0	1	0	1	0	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
1	1	0	1	0	1	0	1	XOR=0	XOR=1	XOR=1	XOR=1					AND=0
读取数据								第一次处理								不通过

图 8E

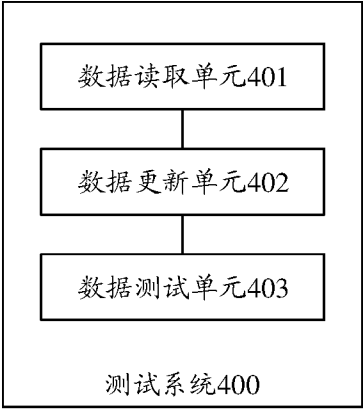


图 9

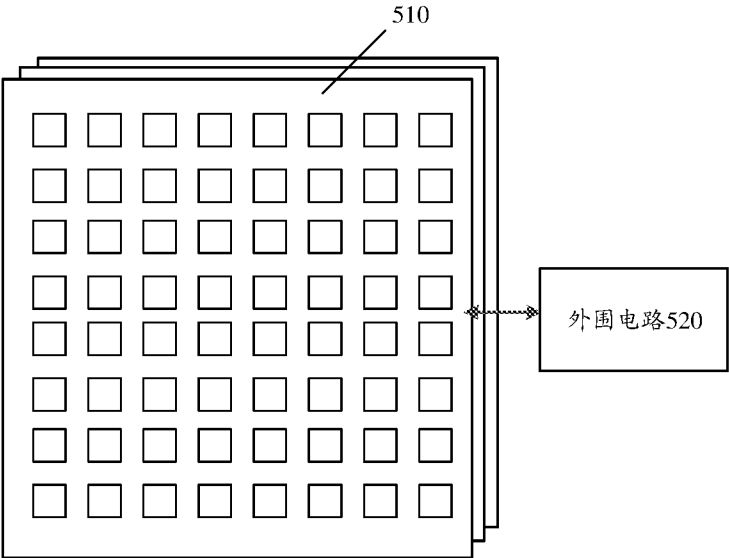


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/099885

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/56(2006.01)i; G11C 29/30(2006.01)i; G11C 29/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 存储器, 测试, 存储单元, 更新, 测试数据, 通过, 中间数据, 初始数据, 高电平, 低电平, memory, test, storage unit, update, test data, pass, intermediate data, initial data, high level, low level

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112133362 A (WINBOND ELECTRONICS CORP.) 25 December 2020 (2020-12-25) description, paragraphs [0031]-[0052]	1, 2, 4, 18
X	US 10762977 B1 (WINBOND ELECTRONICS CORP.) 01 September 2020 (2020-09-01) description, column 2, line 24 to column 4, line 63	1, 2, 4, 18
A	CN 112037843 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 December 2020 (2020-12-04) entire document	1-18
A	WO 2021031149 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 25 February 2021 (2021-02-25) entire document	1-18
A	US 2020302027 A1 (TOSHIBA MEMORY CORPORATION) 24 September 2020 (2020-09-24) entire document	1-18
A	WO 2015015556 A1 (FUJITSU LIMITED) 05 February 2015 (2015-02-05) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 December 2022

Date of mailing of the international search report

15 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/099885

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112133362	A	25 December 2020	None			
US	10762977	B1	01 September 2020	None			
CN	112037843	A	04 December 2020	None			
WO	2021031149	A1	25 February 2021	EP	4012712	A1	15 June 2022
US	2020302027	A1	24 September 2020	JP	2020154477	A	24 September 2020
WO	2015015556	A1	05 February 2015	JP	5954498	B2	20 July 2016

国际检索报告

国际申请号

PCT/CN2022/099885

A. 主题的分类

G11C 29/56(2006.01)i; G11C 29/30(2006.01)i; G11C 29/42(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EP0DOC, IEEE: 存储器, 测试, 存储单元, 更新, 测试数据, 通过, 中间数据, 初始数据, 高电平, 低电平, memory, test, storage unit, update, test data, pass, intermediate data, initial data, high level, low level

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 112133362 A (华邦电子股份有限公司) 2020年12月25日 (2020 - 12 - 25) 说明书第[0031]-[0052]段	1, 2, 4, 18
X	US 10762977 B1 (WINBOND ELECTRONICS CORP.) 2020年9月1日 (2020 - 09 - 01) 说明书第2栏第24行-第4栏第63行	1, 2, 4, 18
A	CN 112037843 A (长鑫存储技术有限公司) 2020年12月4日 (2020 - 12 - 04) 全文	1-18
A	WO 2021031149 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 2021年2月25日 (2021 - 02 - 25) 全文	1-18
A	US 2020302027 A1 (TOSHIBA MEMORY CORPORATION) 2020年9月24日 (2020 - 09 - 24) 全文	1-18
A	WO 2015015556 A1 (FUJITSU LIMITED) 2015年2月5日 (2015 - 02 - 05) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年12月7日

国际检索报告邮寄日期

2022年12月15日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

郭婉莹

电话号码 86-(10)-53961361

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/099885

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112133362	A	2020年12月25日	无			
US	10762977	B1	2020年9月1日	无			
CN	112037843	A	2020年12月4日	无			
WO	2021031149	A1	2021年2月25日	EP	4012712	A1	2022年6月15日
US	2020302027	A1	2020年9月24日	JP	2020154477	A	2020年9月24日
WO	2015015556	A1	2015年2月5日	JP	5954498	B2	2016年7月20日