

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月7日(07.03.2024)



(10) 国際公開番号

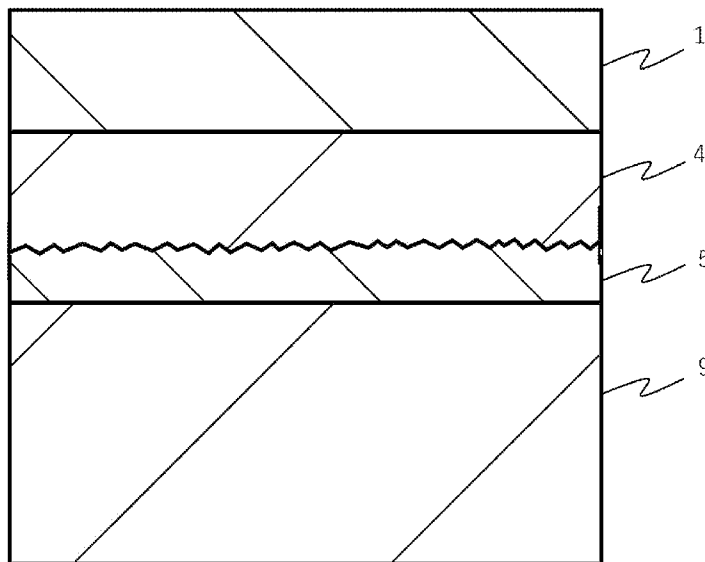
WO 2024/048767 A1

- (51) 国際特許分類:
C30B 29/16 (2006.01) H01L 29/808 (2006.01)
C23C 14/08 (2006.01) H01L 29/812 (2006.01)
H01L 21/20 (2006.01) H01L 29/861 (2006.01)
H01L 21/337 (2006.01) H01L 29/868 (2006.01)
H01L 21/338 (2006.01) H01L 29/872 (2006.01)
H01L 29/06 (2006.01) H01L 33/12 (2010.01)
H01L 29/12 (2006.01) H10N 30/20 (2023.01)
H01L 29/739 (2006.01) H10N 30/30 (2023.01)
H01L 29/778 (2006.01) H10N 30/853 (2023.01)
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2023/032026
- (22) 国際出願日: 2023年8月31日(31.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-138857 2022年8月31日(31.08.2022) JP
- (71) 出願人: 株式会社 G a i a n i x x (GAIANIXX INC.) [JP/JP]; 〒1130033 東京都文京区本郷7丁目3番1号 Tokyo (JP).
- (72) 発明者: 木島 健(KIJIMA Takeshi); 〒1030014 東京都中央区日本橋蛸殻町一丁目8番5号 株式会社 G a i a n i x x 内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: LAMINATE STRUCTURE, ELEMENT, ELECTRONIC DEVICE, ELECTRONIC APPARATUS, AND SYSTEM

(54) 発明の名称: 積層構造体、素子、電子デバイス、電子機器及びシステム

[図1]



(57) Abstract: [Problem] To provide a crystal having excellent crystallinity and a laminate structure, and an element, an electronic device, an electronic apparatus, and a system using same. [Solution] Provided is a laminate structure in which an epitaxial film, which is composed of a conductive metal oxide, is provided on a buffer layer directly or with another layer therebetween, wherein, by means of the laminate structure including a crystalline film containing an oxide of Hf and/or Zr, the buffer layer is used to manufacture a Schottky barrier diode (SBD), a junction barrier Schottky diode



WO 2024/048767 A1

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(JBS), a metal-semiconductor electric field effect transistor (MESFET), a high-electron-mobility transistor (HEMT), a metal-oxide-semiconductor field-effect transistor (MOSFET), a static induction transistor (SIT), a junction electric field effect transistor (JFET), an insulated gate bipolar transistor (IGBT), a light emitting diode (LED), or a semiconductor device composed of the combination of same, etc.

(57) 要約: 【課題】優れた結晶性を有する結晶、積層構造体及びこれらを用いてなる素子、電子デバイス、電子機器及びシステムを提供する。【解決手段】バッファ層上に直接又は他の層を介して導電性金属酸化物からなるエピタキシャル膜が形成されている積層構造体であって、前記バッファ層が、Hf及び/又はZrの酸化物を含有する結晶膜を含む積層構造体を用いて、ショットキーバリアダイオード(SBD)、ジャンクションバリアショットキーダイオード(JBS)、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)、金属酸化膜半導体電界効果トランジスタ(MOSFET)、静電誘導トランジスタ(SIT)、接合電界効果トランジスタ(JFET)、絶縁ゲート型バイポーラトランジスタ(IGBT)、発光ダイオード(LED)又はこれらの組み合わせからなる半導体装置等を製造する。

明 細 書

発明の名称：

積層構造体、素子、電子デバイス、電子機器及びシステム

技術分野

[0001] 本発明は、積層構造体、素子、電子デバイス、電子機器及びシステムに関する。

背景技術

[0002] 従来より、PN分離で発生していた横方向や縦方向の寄生素子によるICの誤動作や破壊を防止する目的で、それぞれの素子間の分離を、SiO₂膜を用いて行うSOI (Silicon On Insulator) 技術が知られており、近年においては、耐圧の異なる複数の半導体素子を単一の半導体基板に形成するもの等も検討されており、特に、ワイドバンドギャップ半導体（例えばSiCやGaN等）への適用も検討されている（特許文献1）。

[0003] また、SOI技術を用いて、プラスチック等のフレキシブル基板上にデバイスを形成する試みがなされている。例えば、特許文献2に開示されているように、完成したSOI基板を用いてSOI層に部分的に窓開けを行い、BOX (Buried Oxide) 層を露出させたのち、HFエッチングを行って、HFが横方向に染み込むことでBOXがエッチングされピラー（柱）を形成する方法がある。ピラー形成後に、SOI層をPET（ポリエチレンテレフタレート）などに貼り付け、ピラー部を境にして基板から剥離し、SOI層をPETなどの上に形成することでフレキシブル基板上にデバイスが作製されたSOI層を転写する方法がある。

[0004] しかしながら、いずれのSOI技術も絶縁膜上に形成される半導体膜の結晶性や絶縁膜の結晶性や絶縁特性等にまだまだ満足のものではなく、さらなる結晶性の向上や半導体特性の向上が待ち望まれていた。また、バッファ層として、半導体だけでなく、圧電体等にも良好な結晶性をもたらすようなSOI技術も望まれてきており、さらには、SOI層を剥離転写する場合

に、工程が煩雑になったり、剥離が困難であったりするので、容易に剥離したり、転写したりできるような新規SOI技術も待ち望まれていた。

先行技術文献

特許文献

[0005] 特許文献1：特開2021-5718号公報

特許文献2：特開2014-179580号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、優れた結晶性を有する積層構造体及びこれらを用いてなる素子、電子デバイス、電子機器及びシステムを提供することを目的とする。

課題を解決するための手段

[0007] 本発明者らは、上記目的を達成すべく鋭意検討した結果、結晶基板上に少なくとも酸化膜を形成し、ついでHf及びZrの酸化物を含む金属酸化物を主成分として含む結晶性金属酸化物からなる結晶を含む結晶膜を積層する際に、前記の積層を、前記酸化物膜中の酸素原子を用いて前記結晶膜を形成することにより行うことで、優れた結晶性を有する結晶及び積層構造体が容易に得られること、柔らかい結晶膜作製のための結晶成長に特に有用であること、前記結晶上に導電膜や半導体膜、それに圧電体膜を形成すると結晶性に優れ、電極特性や機能膜の各種特性に非常に優れたものとなること、膜厚1 μ m未満の機能膜の薄膜形成用のバッファ層として特に適していること、剥離・転写にも有用であること等を種々知見し、このような結晶及び積層構造体が、上記した従来の問題を一挙に解決できるものであることを見出した。

また、本発明者らは、上記知見を得た後、さらに検討を重ねて、本発明を完成させるに至った。

[0008] すなわち、本発明は、以下の発明に関する。

[1] バッファ層上に直接又は他の層を介して導電性金属酸化物からなるエピタキシャル膜が形成されている積層構造体であって、前記バッファ層が

、Hf及び／又はZrの酸化物を含有する結晶膜を含むことを特徴とする積層構造体。

[2] 前記結晶膜が、Hfの酸化物を含有する前記[1]記載の積層構造体。

[3] 前記結晶膜が、立方晶系又は六方晶系の結晶構造を有する前記[1]又は[2]に記載の積層構造体。

[4] 前記結晶膜が(111)、(100)、(010)又は(0001)配向しているである前記[1]～[3]のいずれかに記載の積層構造体。

[5] 前記導電性金属酸化物が、In及び／又はSnを含む酸化物である前記[1]～[4]のいずれかに記載の積層構造体。

[6] 前記バッファ層が、直接又は他の層を介して、立方晶系又は六方晶系の結晶構造を有する単結晶基板上に積層されている前記[1]～[5]のいずれかに記載の積層構造体。

[7] 前記バッファ層が、結晶成長により前記単結晶基板上に積層されている前記[6]記載の積層構造体。

[8] 前記単結晶基板が、Si基板である前記[6]又は[7]に記載の積層構造体。

[9] さらに、前記エピタキシャル膜上に、圧電体又は半導体からなる層が積層されている前記[1]～[8]のいずれかに記載の積層構造体。

[10] 積層構造体を含む素子であって、前記積層構造体が前記[1]～[9]のいずれかに記載の積層構造体であることを特徴とする素子。

[11] 圧電素子又は半導体素子である前記[10]記載の素子。

[12] 積層構造体を含む電子デバイスであって、前記積層構造体が前記[1]～[9]のいずれかに記載の積層構造体であることを特徴とする電子デバイス。

[13] 圧電デバイス又は半導体デバイスである前記[12]記載の電子デバイス。

[14] 電子デバイスを含む電子機器であって、前記電子デバイスが、前記[

1 2]又は[1 3]に記載の電子デバイスであることを特徴とする電子機器。

[1 5] 電子機器を含むシステムであって、前記電子機器が、前記[1 4]記載の電子機器であることを特徴とするシステム。

発明の効果

[0009] 本発明の積層構造体は、優れた結晶性を有しており、前記前記積層構造体を用いてなる素子、電子デバイス、電子機器及びシステムはそれぞれの機能膜の特性を良好なものとするという効果を奏する。

図面の簡単な説明

- [0010] [図1]本発明の積層構造体の好適な実施態様の一例を模式的に示す図である。
[図2]本発明の積層構造体の好適な適用例の一例である剥離・転写におけるS O I 島形成工程を模式的に示す図である。
[図3]本発明の積層構造体の好適な適用例の一例である剥離・転写におけるH F エッチング工程を模式的に示す図である。
[図4]本発明の積層構造体の好適な適用例の一例である剥離・転写におけるフレキシブル基板への貼付工程を模式的に示す図である。
[図5]本発明の積層構造体の好適な適用例の一例である剥離・転写における剥離工程を模式的に示す図である。
[図6]本発明の積層構造体の好適な製造方法の化合物膜形成工程の一例を模式的に示す図である。
[図7]本発明の積層構造体の好適な製造方法の絶縁膜形成工程の一例を模式的に示す図である。
[図8]実施例において観察された断面S T E M像を示す。
[図9]実施例におけるX P S 分析結果を示す。
[図10]本発明において得られる絶縁ゲート型バイポーラトランジスタ（I G B T）の好適な一例を模式的に示す図である。
[図11]図1 0の絶縁ゲート型バイポーラトランジスタ（I G B T）の好適な製造工程の一例を模式的に示す図である。
[図12]電源システムの好適な一例を模式的に示す図である。

[図13]システム装置の好適な一例を模式的に示す図である。

[図14]電源装置の電源回路図の好適な一例を模式的に示す図である。

[図15]実施例において好適に用いられる成膜装置を模式的に示す図である。

発明を実施するための形態

[0011] 本発明の積層構造体は、バッファ層上に直接又は他の層を介して導電性金属酸化物からなるエピタキシャル膜が形成されている積層構造体であって、前記バッファ層が、Hf及び／又はZrの酸化物を含有する結晶膜を含むことを特長とする。前記結晶膜の結晶は、単結晶であってもよいし、多結晶であってもよい。

[0012] 前記導電性金属酸化物は、通常、導電性であって、結晶性金属酸化物であるが、前記結晶性金属酸化物は、金属酸化物を主成分として含むものであれば特に限定されず、また、前記酸化物は、Hf及びZrの酸化物を含むものであれば特に限定されないが、Hf及びZrの酸化物を主成分として含むものが好ましい。なお、「主成分」とは、例えば前記結晶中の酸化物の原子比が0.5以上の割合でHf及びZrの酸化物が含まれていればそれでよい。本発明においては、前記酸化物中の全ての金属元素に対するHf及びZrの原子比が0.7以上であることが好ましく、0.8以上であるのがより好ましい。

[0013] 本発明においては、前記酸化物又は前記結晶性金属酸化物が立方晶又は六方晶の結晶構造を有するのが好ましく、(111)、(100)、(010)又は(0001)配向しているのがより好ましい。また、本発明においては、前記酸化物が、Hfの酸化物とZrの酸化物とを前記結晶性金属酸化物に対し、50原子%以上含むのも好ましい。このような好ましい範囲によれば、優れたバッファ層として用いることができるのみならず、強誘電体として良好な特性をも発揮することができ、さらに電気特性（特に導電体層と絶縁層との界面）をより優れたものとするので好ましい。

[0014] なお、本発明においては、前記結晶が膜状（以下、「結晶膜」ともいう。）であるのが好ましく、膜状である場合には、かかる膜厚が1 μ m以上であ

るのが耐压等の観点から好ましい。このような好ましい結晶は、結晶基板上に少なくとも酸化膜を形成し、ついで金属酸化物を主成分として含む結晶性金属酸化物からなる結晶を含む結晶膜を積層する際に、前記の積層を、前記酸化膜中の酸素原子を用いて前記結晶膜を形成することにより行うことにより、容易に得ることができる。前記の結晶膜の形成手段等は、特に限定されず、公知の手段（例えばMBE法、イオンプレーティング法等）であってよく、結晶成長条件等も適宜設定することができる。なお、前記の方法により得られる積層構造体及びその製造方法も本発明に包含される。

[0015] 図1は、前記積層構造体の好適な例を示しており、図1の積層構造体は、結晶基板9上に酸化膜を用いて第1のエピタキシャル層として酸化膜5が積層されており、さらに第1のエピタキシャル層の上に第2のエピタキシャル層として導電膜、半導体膜又は圧電体膜4が積層されている。また、導電膜等4の上には、化合物圧電体又は化合物半導体からなるエピタキシャル膜1が積層されている。なお、本明細書中、「膜」及び「層」の各用語は、それぞれ場合によって、又は状況に応じて、互いに入れ替えてもよい。

[0016] 前記積層構造体は、例えば図2に示すように、結晶基板9上に、前記結晶基板9の酸化膜5を形成し、ついで前記酸化膜5中の酸素を用いて、結晶基板9上に前記結晶性金属酸化物からなる結晶膜（第1のエピタキシャル層）を形成することにより容易に製造することができる。本発明においては、前記積層構造体が、前記結晶基板9上に前記酸化膜5を有していてもよいが、前記結晶膜形成時に前記酸化膜5中の酸素が全て取り込まれて前記酸化膜5が消失していてもよい。以下、本発明の好適な実施態様について、より具体的に説明するが、本発明は、これら具体例に限定されるものではない。

[0017] 前記結晶基板（以下、単に「基板」ともいう）は、基板材料等、本発明の目的を阻害しない限り特に限定されず、公知の結晶基板であってよい。有機化合物であってもよいし、無機化合物であってもよい。本発明においては、前記結晶基板が無機化合物を含んでいるのが好ましい。本発明においては、前記基板が、表面の一部または全部に結晶を有するものであるのが好ましく

、結晶成長側の主面の全部または一部に結晶を有している結晶基板であるのがより好ましく、結晶成長側の主面の全部に結晶を有している結晶基板であるのが最も好ましい。前記結晶は、本発明の目的を阻害しない限り特に限定されず、結晶構造等も特に限定されないが、立方晶系、正方晶系、三方晶系、六方晶系、斜方晶系又は単斜晶系の結晶であるのが好ましく、立方晶又は六方晶であるのがより好ましく、(111)、(100)又は(0001)配向しているのが最も好ましい。また、前記結晶基板は、オフ角を有していてもよく、前記オフ角としては、例えば、 $0.2^{\circ} \sim 12.0^{\circ}$ のオフ角などが挙げられる。ここで、「オフ角」とは、基板表面と結晶成長面とのなす角度をいう。前記基板形状は、板状であって、前記絶縁膜の支持体となるものであれば特に限定されない。絶縁体基板であってもよいし、半導体基板であってもよいが、本発明においては、前記基板が、Si基板であるのが好ましく、結晶性Si基板であるのがより好ましく、(111)、(100)又は(0001)配向している結晶性Si基板であるのが最も好ましい。なお、前記基板材料としては、例えば、Si基板の他に周期律表第3族～第15族に属する1種若しくは2種以上の金属又はこれらの金属の酸化物等が挙げられる。前記基板の形状は、特に限定されず、略円形状（例えば、円形、楕円形など）であってもよいし、多角形状（例えば、3角形、正方形、長方形、5角形、6角形、7角形、8角形、9角形など）であってもよく、様々な形状を好適に用いることができる。

[0018] また、本発明においては、前記結晶基板が平坦面を有するのが好ましいが、前記結晶基板が表面の一部または全部に凹凸形状を有しているのも、前記結晶膜の結晶成長の品質をより良好なものとし得るので、好ましい。前記の凹凸形状を有する結晶基板は、表面の一部または全部に凹部または凸部からなる凹凸部が形成されていればそれでよく、前記凹凸部は、凸部または凹部からなるものであれば特に限定されず、凸部からなる凹凸部であってもよいし、凹部からなる凹凸部であってもよいし、凸部および凹部からなる凹凸部であってもよい。また、前記凹凸部は、規則的な凸部または凹部から形成さ

れていてもよいし、不規則な凸部または凹部から形成されていてもよい。本発明においては、前記凹凸部が周期的に形成されているのが好ましく、周期的かつ規則的にパターン化されているのがより好ましい。前記凹凸部の形状としては、特に限定されず、例えば、ストライプ状、ドット状、メッシュ状またはランダム状などが挙げられるが、本発明においては、ドット状またはストライプ状が好ましく、ドット状がより好ましい。また、凹凸部が周期的かつ規則的にパターン化されている場合には、前記凹凸部のパターン形状が、三角形、四角形（例えば正方形、長方形若しくは台形等）、五角形若しくは六角形等の多角形状、円状、楕円状などの形状であるのが好ましい。なお、ドット状に凹凸部を形成する場合には、ドットの格子形状を、例えば正方向格子、斜方格子、三角格子、六角格子などの格子形状にするのが好ましく、三角格子の格子形状にするのがより好ましい。前記凹凸部の凹部または凸部の断面形状としては、特に限定されないが、例えば、コの字型、U字型、逆U字型、波型、または三角形、四角形（例えば正方形、長方形若しくは台形等）、五角形若しくは六角形等の多角形等が挙げられる。なお、前記結晶基板の厚さは、特に限定されないが、好ましくは、50～2000 μm であり、より好ましくは100～1000 μm である。

[0019] 前記酸化膜は、前記結晶膜に酸素原子を組み込むことができる酸化膜であれば特に限定されず、通常、酸化材料を含む。前記酸化材料は、本発明の目的を阻害しない限り特に限定されず、公知の酸化材料であってよい。前記酸化材料としては、金属又は半金属の酸化物等が挙げられる。本発明においては、前記酸化膜が、前記結晶基板の酸化材料を含むのが好ましく、このような酸化膜としては、例えば前記結晶基板の熱酸化膜、自然酸化膜等が挙げられる。また、本発明においては、前記酸化膜は、酸素原子が取り込まれると膜の一部若しくは全部が消失又は破壊される犠牲層であってよく、本発明においては、前記酸化膜が、前記エピタキシャル層の結晶成長の際に、酸素原子が取り込まれて酸化膜自体は消失する酸素供給犠牲層であるのが好ましい。また、前記酸化膜は、パターン化されていてもよく、例えば、ストライプ

状、ドット状、メッシュ状またはランダム状にパターン化されていてもよい。なお、前記酸化膜の膜厚は、特に限定されないが、好ましくは、1 nmを超え100 nm未満である。

[0020] 前記結晶膜（第1のエピタキシャル層）は、前記酸化膜中の酸素原子が組み込まれているエピタキシャル膜を含んでいるのが好ましい。なお、「前記酸化膜中の酸素原子が組み込まれているエピタキシャル膜」は、前記エピタキシャル膜の結晶成長において、前記酸化膜中の酸素原子が前記エピタキシャル膜に奪われたことを意味する。また、本発明においては、前記結晶膜が中性子吸収材を含むのが好ましい。前記中性子吸収材は、公知の中性子吸収材であってよく、本発明においては、このような中性子吸収材を用いて、前記酸化膜の酸素を取り込むことにより、密着性及び結晶性、さらに機能性膜の特性等をより優れたものとすることができる。なお、前記中性子吸収材としては、例えば、ハフニウム（Hf）等が好適な例として挙げられる。

[0021] 本発明においては、前記結晶膜上に、直接又は他の層を介して、導電膜、半導体膜又は圧電体膜からなる第2のエピタキシャル層が積層されているのが好ましい。このように積層することにより、前記第1のエピタキシャル層と前記第2のエピタキシャル層との界面において、前記第2のエピタキシャル層の格子定数と略同一になるように第1のエピタキシャル層を規則的に変態させることができる。前記の規則的な変態の態様としては、例えば、山谷構造に形状が変形する変態等が好適な例として挙げられ、本発明においては、前記山谷構造の互いに隣り合う頂点及び底点のなす角がそれぞれ異なるのが好ましく、前記角がそれぞれ 30° ～ 45° の範囲内であるのがより好ましい。ここで、前記第1のエピタキシャル層は、通常第1の結晶面と第2の結晶面とを有するが、前記変態によって、前記第1の結晶面と、前記第2の結晶面との格子定数差が生じ得るので、前記第1の結晶面と、前記第2の結晶面との格子定数差が0.1%～20%の範囲内とするのが好ましい。本発明では、前記第1の結晶面が、前記第2のエピタキシャル層の格子定数と略同一とすることができるので、第1のエピタキシャル層と第2のエピタキシ

ヤル層との格子定数差を0.1%~20%の範囲内とすることを容易に実現できる。

[0022] 本発明においては、前記結晶膜上に導電膜が積層される場合であって、前記導電膜が導電性金属の単結晶膜からなる場合には、大面積の無欠陥膜を容易に得ることができ、電極としての機能のみならず、素子等の特性をもより優れたものとする事ができる。前記導電性金属としては、本発明の目的を阻害しない限り特に限定されず、例えば、金、銀、白金、パラジウム、銀パラジウム、銅、ニッケル、又はこれらの合金等が挙げられるが、本発明においては、白金を含むのが好ましい。なお、本発明においては、前記の製造方法によれば、好適には100nm²以上の面積において無欠陥の単結晶膜を電極として得ることができ、より好適には1000nm²以上の面積において無欠陥の単結晶膜を容易に得ることができる。また、厚さも好適には100nm以上の単結晶膜を電極として容易に得ることができる。なお、前記結晶膜上に導電性金属の単結晶膜からなる前記導電膜が積層される場合には、前記絶縁膜上に結晶性導電膜が積層されている電極基板として前記積層構造体を好適に用いることができる。

[0023] 前記半導体膜としては、半導体を含んでいれば特に限定されず、公知の半導体膜であってよいが、本発明においては、立方晶半導体を含むのが好ましい。前記立方晶半導体としては、例えば、c-BN、c-AlN、c-GaN、c-InN、c-SiC、GaAs、AlAs、InAs、GaP、AlP、InP、又はこれらの混晶半導体などが挙げられる。

[0024] 前記圧電体膜は、圧電性材料からなるものであれば特に限定されず、公知の圧電体からなる膜であってよいが、本発明においては、三方晶又は六方晶の結晶構造を有する圧電性材料であるのが好ましい。前記圧電性材料としては、例えば、チタン酸ジルコン酸鉛(PZT)、ABO₃型で表されるいわゆるペロブスカイト構造を有する他の種類のセラミックス材料、例えば、チタン酸バリウム、チタン酸鉛、ニオブ酸カリウム、ニオブ酸リチウム、タンタル酸リチウム、タングステン酸ナトリウム、酸化亜鉛、チタン酸バリウムス

トロンチウム（BST）、タンタル酸ストロンチウムビスマス（SBT）、メタニオブ酸鉛、亜鉛ニオブ酸鉛、スカンジウムニオブ酸鉛等、又はポリフッ化ビニリデン、水晶などが挙げられる。

[0025] 前記導電膜、前記半導体膜及び前記圧電体膜のそれぞれの膜厚は、特に限定されないが、好ましくは、10nm～1000μmであり、より好ましくは10nm～100μmである。

[0026] 前記積層構造体は、結晶基板上に少なくとも酸化膜を介して絶縁膜を積層する積層構造体の製造方法において、前記の積層を、350℃～700℃にて、前記酸化膜中の酸素原子を用いて結晶膜を形成することにより行うことで容易に得ることが可能である。350℃～700℃の範囲であると、容易に、前記酸化膜中の酸素原子を前記結晶膜に取り込んで結晶成長させることができる。

[0027] 本発明においては、前記の積層を、前記酸化膜中の酸素原子を用いた後、酸素ガスを用いて前記結晶膜を成膜するのが好ましい。

[0028] 前記積層において用いられる積層手段としては、通常、前記絶縁膜の成膜手段が好適に用いられ、前記成膜手段は公知の成膜手段であってよい。本発明においては、前記成膜手段が、蒸着又はスパッタであるのが好ましい。

[0029] 以上のようにして得られた積層構造体は、常法に従い、そのまま又は所望により更に加工等の処理を施して、素子に用いることができる。また、前記積層構造体を前記素子に用いる場合には、そのまま用いてもよいし、さらに他の層（例えば絶縁体層、半絶縁体層、導体層、半導体層、緩衝層またはその他中間層等）などを形成してから用いてもよい。本発明においては、前記結晶膜上に機能膜膜（例えば半導体膜、圧電膜等）が積層されるSOI基板として前記積層構造体を用いるのが好ましい。

[0030] 前記素子は、常法に従い、例えば電子デバイス（好ましくは圧電デバイス）等に用いられる。より具体的に例えば、前記素子を、圧電素子として、電源や電気／電子回路と接続し、回路基板に搭載したり、パッケージしたりすることにより様々な電子デバイスを構成することができる。本発明において

は、前記電子デバイスが、圧電デバイスであるのが好ましく、例えば、ジャイロスコープ、モーションセンサ等の電子機器における圧電デバイスであるのがより好ましい。また、例えば、増幅器と整流回路を接続しパッケージすれば、磁気センサなどの各種センサに利用可能である。

[0031] 前記電子デバイスは、常法に従い電子機器に好適に用いられる。前記電子機器としては、上記した電子機器以外にも様々な電子機器に適用可能であり、より具体的に例えば、液体吐出ヘッド、液体吐出装置、振動波モータ、光学機器、振動装置、撮像装置、圧電音響部品や該圧電音響部品を有する音声再生機器、音声録音機器、携帯電話、各種情報端末等が好適な例として挙げられる。

[0032] また、本発明においては、前記素子が半導体素子であるのも好ましく、前記電子デバイスが半導体デバイスであるのも好ましい。前記半導体素子又は前記半導体デバイス（以下、まとめて「半導体装置」ともいう。）は、本発明の目的を阻害しない限り特に限定されず、公知の半導体素子又は半導体デバイスであってよい

[0033] 前記半導体装置は、本発明の目的を阻害しない限り特に限定されず、公知の半導体装置であってよい。縦型デバイスであってもよいし、横型デバイスであってもよいが、本発明においては、前記半導体装置が縦型デバイスであるのが好ましい。前記半導体装置としては、例えば、ダイオード又はトランジスタ等が挙げられ、より具体的には例えば、ショットキーバリアダイオード（SBD）、ジャンクションバリアショットキーダイオード（JBS）、高電子移動度トランジスタ（HEMT）、金属半導体電界効果トランジスタ（MESFET）、金属酸化膜半導体電界効果トランジスタ（MOSFET）、静電誘導トランジスタ（SIT）、接合電界効果トランジスタ（JFET）、絶縁ゲート型バイポーラトランジスタ（IGBT）、発光ダイオード（LED）又はこれらの組み合わせが好適な例として挙げられる。

[0034] 以下、前記積層構造体を半導体装置、より具体的には前記積層構造体における前記バッファ層を前記半導体装置のオーミック接合用若しくは電子放出

用の電極又はバッファ層に、また、前記積層構造体における前記エピタキシャル膜を前記半導体装置の半導体層に適用した場合の好適な例を、図面を用いて説明するが、本発明は、これらの例に限定されるものではない。なお、以下に例示する半導体装置において、本発明の目的を阻害しない限り、さらに他の層（例えば絶縁体層、半絶縁体層、導体層、半導体層、緩衝層又はその他中間層等）などが含まれていてもよいし、また、結晶基板、緩衝層（バッファ層）なども適宜省いてもよい。

[0035] (SBD)

図3は、本発明に係るショットキーバリアダイオード(SBD)の一例を示している。図3のSBDは、n型半導体層101、n-型半導体層101a、n+型半導体層101b、絶縁体層104、ショットキー電極105a及びオーミック電極105bを備えている。

[0036] ショットキー電極等の電極の材料は、公知の電極材料であってもよく、前記電極材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫(ITO)、酸化亜鉛インジウム(IZO)等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポリピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。

[0037] 電極の形成は、例えば、真空蒸着法又はスパッタリング法などの公知の手段により行うことができる。より具体的に例えば、ショットキー電極を形成する場合、Moからなる層とAlからなる層を積層させ、Moからなる層及びAlからなる層に対して、フォトリソグラフィの手法を利用したパターンニングを施すことにより行うことができる。

[0038] 絶縁体層104の材料としては、例えば、GaO、AlGaO、InAlGaO、AlInZnGaO₄、AlN、Hf₂O₃、SiN、SiON、Al₂O₃、MgO、GdO、SiO₂又はSi₃N₄などが挙げられる。絶縁体層1

04は、n型半導体層101とショットキー電極105aとの間に設けられている。絶縁体層の形成は、例えば、スパッタリング法、真空蒸着法又はCVD法などの公知の手段により行うことができる。

[0039] 図3のSBDに逆バイアスが印加された場合には、空乏層（図示せず）がn型半導体層101aの中に広がるため、高耐圧のSBDとなる。また、順バイアスが印加された場合には、オーミック電極105bからショットキー電極105aへ電子が流れる。このようにして前記半導体構造を用いたSBDは、高耐圧・大電流用に優れており、スイッチング速度も速く、耐圧性・信頼性にも優れており、また、絶縁特性にも優れており、より高い電流制御性を有する。

[0040] (JBS)

図4は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード(JBS)を示す。図4の半導体装置は、n型半導体層101、n型半導体層101a、n型半導体層101b、p型半導体層102、ショットキー電極105a、オーミック電極105b及びガードリング106を備えている。n型半導体層101aと、前記n型半導体層101a上に設けられておりかつ前記n型半導体層101aとの間にショットキーバリアを形成可能なショットキー電極105aと、ショットキー電極105aとn型半導体層101aとの間に設けられておりかつ前記n型半導体層101aとの間にショットキー電極105aのショットキーバリアのバリアハイトよりも大きなバリアハイトのショットキーバリアを形成可能なp型半導体層102とを含んでいる。なお、p型半導体層102はn型半導体層101aに埋め込まれている。本発明においては、p型半導体層102が一定間隔ごとに設けられているのが好ましく、前記ショットキー電極105aの両端とn型半導体層101aとの間に、p型半導体層102がそれぞれ設けられているのがより好ましい。このような好ましい態様により、熱安定性及び密着性により優れ、リーク電流がより軽減され、さらに、より耐圧等の半導体特性に優れるようにJBSが構成されている。

[0041] (MESFET)

図5は、本発明に係る金属半導体電界効果トランジスタ (MESFET) の一例を示している。図5のMESFETは、 n -型半導体層111a、 n +型半導体層111b、緩衝層 (バッファ層) 118、結晶基板119、半絶縁体層114、ゲート電極115a、ソース電極115b及びドレイン電極115cを備えている。

[0042] ゲート電極、ドレイン電極及びソース電極の材料は、公知の電極材料であってもよく、前記電極材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫 (ITO)、酸化亜鉛インジウム (IZO) 等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポリピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。ゲート電極、ドレイン電極及びソース電極の形成は、例えば、真空蒸着法又はスパッタリング法などの公知の手段により行うことができる。

[0043] 半絶縁体層114は、半絶縁体で構成されていればそれでよく、前記半絶縁体としては、例えば、半絶縁体ドーパントを含むものやドーピング処理がなされていないもの等が挙げられる。

[0044] 図5のMESFETでは、ゲート電極下に良好な空乏層が形成されるので、ドレイン電極からソース電極に流れる電流を効率よく制御することができる。

[0045] (HEMT)

図6は、本発明に係る光電子移動度トランジスタ (HEMT) の一例を示している。図6のHEMTは、バンドギャップの広い n 型半導体層121a、バンドギャップの狭い n 型半導体層121b、 n +型半導体層121c、電子走行層123、半絶縁体層124、ゲート電極125a、ソース電極125b、ドレイン電極125c、バッファ層128及び結晶基板129を備

えている。

[0046] ゲート電極、ドレイン電極及びソース電極の材料は、それぞれ公知の電極材料であってもよく、前記電極材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポリピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。ゲート電極、ドレイン電極及びソース電極の形成は、例えば、真空蒸着法又はスパッタリング法などの公知の手段により行うことができる。

[0047] なお、ゲート電極下のn型半導体層は、少なくともバンドギャップの広い層121aと狭い層121bとで構成されており、半絶縁体層124は、半絶縁体で構成されていればそれでよく、前記半絶縁体としては、例えば半絶縁体ドーパントを含むものやドーピング処理がなされていないもの等が挙げられる。半絶縁体層124上に形成される電子走行層123は、例えば半導体として窒化物半導体であるGaNが適用される場合には、i（インテンシヨナリ・アンドープ）-GaNなどが用いられる。

[0048] 図6のHEMTでは、ゲート電極下に良好な空乏層が形成されるので、ドレイン電極からソース電極に流れる電流を効率よく制御することができる。また、本発明においては、さらにリセス構造とすることで、ノーマリーオフを発現することができる。

[0049] (MOSFET)

本発明の半導体装置がMOSFETである場合の一例を図7に示す。図7は、n-型半導体層131a、第1のn+型半導体層131b、第2のn+型半導体層131c、p型半導体層132、p+型半導体層132a、ゲート絶縁膜134、ゲート電極135a、ソース電極135b及びドレイン電極135cを備えている金属酸化膜半導体電界効果トランジスタ（MOSF

E T) の好適な一例を示す。なお、p+型半導体層132aは、p型半導体層であってもよく、p型半導体層132と同じであってもよい。

[0050] 前記導電性結晶膜からなるドレイン電極135c上には、例えば厚さ100nm~100 μ mのn+型半導体層131bが形成されており、前記n+型半導体層131b上には、例えば厚さ100nm~100 μ mのn-型半導体層131aが形成されている。

[0051] また、前記n-型半導体層131a及び前記p型半導体層132内には、前記n-型半導体層131aの途中まで達する深さの複数のトレンチ溝が形成されている。前記トレンチ溝内には、例えば、10nm~1 μ mの厚みのゲート絶縁膜134を介してゲート電極135aが埋め込み形成されている。

[0052] 図7のMOSFETのオン状態では、前記ソース電極135bと前記ドレイン電極135cとの間に電圧を印可し、前記ゲート電極135aに前記ソース電極135bに対して正の電圧を与えると、前記n-型半導体層131aの側面にチャネル層が形成され、電子が前記n-型半導体層に注入され、ターンオンする。オフ状態は、前記ゲート電極の電圧を0Vにすることにより、チャネル層ができなくなり、n-型半導体層が空乏層で満たされた状態になり、ターンオフとなる。

[0053] 図7のMOSFETは、n-型半導体層131a、p型半導体132及びn+型半導体層131cの所定領域にエッチングマスクを設け、前記エッチングマスクをマスクにして、さらに、反応性イオンエッチング法等により異方性エッチングを行って、前記n+型半導体層131c表面から前記n-型半導体層131aの途中にまで達する深さのトレンチ溝を形成する。次いで、熱酸化法、真空蒸着法、スパッタリング法、CVD法等の公知の手段を用いて、前記トレンチ溝の側面及び底面に、例えば50nm~1 μ m厚のゲート絶縁膜134を形成した後、CVD法、真空蒸着法、スパッタリング法等を用いて、前記トレンチ溝に、例えばポリシリコン等のゲート電極材料をn-型半導体層の厚み以下に形成する。

[0054] そして、真空蒸着法、スパッタリング法、CVD法等の公知の手段を用いて、 $n+$ 型半導体層131c上にソース電極135bを形成することで、パワーMOSFETを製造することができる。なお、ソース電極の電極材料は、公知の電極材料であってもよく、前記電極材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポリピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。

[0055] このようにして得られたMOSFETは、従来のトレンチ型MOSFETに比べて、さらに耐圧性に優れたものとなる。なお、図7では、トレンチ型の縦型MOSFETの例を示したが、本発明においては、これに限定されず、種々のMOSFETの形態に適用可能である。例えば、図7のトレンチ溝の深さを $n-$ 型半導体層131aの底面まで達する深さまで掘り下げて、シリーズ抵抗を低減させるようにしてもよい。

[0056] (SIT)

図8は、本発明の半導体装置がSITである場合の一例を示す。図8のSITは、 $n-$ 型半導体層141a、 $n+$ 型半導体層141b及び141c、ゲート電極145a、ソース電極145b及びドレイン電極145cを備えている。

[0057] 導電性結晶膜からなるドレイン電極145c上には、例えば厚さ100nm~100 μ mの $n+$ 型半導体層141bが形成されており、前記 $n+$ 型半導体層141b上には、例えば厚さ100nm~100 μ mの $n-$ 型半導体層141aが形成されている。そして、さらに、前記 $n-$ 型半導体層141a上には、 $n+$ 型半導体層141cが形成されており、前記 $n+$ 型半導体層141c上には、ソース電極145bが形成されている。

[0058] また、前記 $n-$ 型半導体層141a内には、前記 $n+$ 型半導体層141c

を貫通し、前記n型半導体層141aの途中の深さまで達する深さの複数のトレンチ溝が形成されている。前記トレンチ溝内のn型半導体層上には、ゲート電極145aが形成されている。

図8のSITのオン状態では、前記ソース電極145bと前記ドレイン電極145cとの間に電圧を印可し、前記ゲート電極145aに前記ソース電極145bに対して正の電圧を与えると、前記n型半導体層141a内にチャンネル層が形成され、電子が前記n型半導体層に注入され、ターンオンする。オフ状態は、前記ゲート電極の電圧を0Vにすることにより、チャンネル層ができなくなり、n型半導体層が空乏層で満たされた状態になり、ターンオフとなる。

[0059] 図8に示されるSITの製造には、公知の手段を用いることができる。例えば、上記のMOSFETの製造工程と同様にして、n型半導体層141a及びn+型半導体層141cの所定領域にエッチングマスクを設け、前記エッチングマスクをマスクにして、例えば、反応性イオンエッチング法等により異方性エッチングを行って、前記n+型半導体層141c表面から前記n型半導体層の途中まで達する深さのトレンチ溝を形成する。次いで、CVD法、真空蒸着法、スパッタリング法等で、前記トレンチ溝に、例えばポリシリコン等のゲート電極材料をn型半導体層の厚み以下に形成する。そして、真空蒸着法、スパッタリング法、CVD法等の公知の手段を用いて、n+型半導体層141c上にソース電極145bを、n+型半導体層141b上にドレイン電極145cを、それぞれ形成することで、図8に示されるSITを製造することができる。

[0060] なお、ソース電極の電極材料は、公知の電極材料であってもよく、前記電極材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポ

リピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。

[0061] 図9は、 n -型半導体層141a、第1の n +型半導体層141b、第2の n +型半導体層141c、 p 型半導体層142、ゲート電極145a、ソース電極145b及びドレイン電極145cを備えている接合電界効果トランジスタ（JFET）の好適な一例を示す。

[0062] 図10は、 n 型半導体層151、 n -型半導体層151a、 n +型半導体層151b、 p 型半導体層152、ゲート絶縁膜154、ゲート電極155a、エミッタ電極155b及びコレクタ電極155cを備えている絶縁ゲート型バイポーラトランジスタ（IGBT）の好適な一例を示す。

[0063] (LED)

本発明の半導体装置が発光ダイオード（LED）である場合の一例を図11に示す。図11の半導体発光素子は、第2の電極165b上に n 型半導体層161を備えており、 n 型半導体層161上には、発光層163が積層されている。そして、発光層163上には、 p 型半導体層162が積層されている。 p 型半導体層162上には、発光層163が発生する光を透過する透光性電極167を備えており、透光性電極167上には、第1の電極165aが積層されている。なお、図11の半導体発光素子は、電極部分を除いて保護層で覆われていてもよい。

[0064] 透光性電極の材料としては、インジウム（In）又はチタン（Ti）を含む酸化物の導電性材料などが挙げられる。より具体的には、例えば、 In_2O_3 、 ZnO 、 SnO_2 、 Ga_2O_3 、 TiO_2 、 CeO_2 又はこれらの2以上の混晶又はこれらにドーピングされたものなどが挙げられる。これらの材料を、スパッタリング等の公知の手段で設けることによって、透光性電極を形成できる。また、透光性電極を形成した後に、透光性電極の透明化を目的とした熱アニールを施してもよい。

[0065] 図11の半導体発光素子によれば、第1の電極165aを正極、第2の電極165bを負極とし、両者を介して p 型半導体層162、発光層163及

びn型半導体層161に電流を流すことで、発光層163が発光するようになっている。

[0066] 第1の電極165aの材料としては、例えば、Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd若しくはAg等の金属又はこれらの合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜、ポリアニリン、ポリチオフェン又はポリピロールなどの有機導電性化合物、又はこれらの混合物などが挙げられる。電極の形成法は特に限定されることはなく、印刷方式、スプレー法、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式などの中から前記材料との適性を考慮して適宜選択した方法に従って形成することができる。

[0067] 本発明の半導体装置は、上記した事項に加え、さらに公知の手段を用いて、パワーモジュール、インバータ又はコンバータ等の半導体デバイスとして好適に用いられ、さらには、半導体デバイスとして例えば電源装置を用いた半導体システム等に好適に用いられる。なお、前記電源装置は、公知の手段を用いて、前記半導体装置を配線パターン等に接続するなどして作製することができる。図12に電源システムの例を示す。図12は、複数の前記電源装置と制御回路を用いて電源システムを構成している。前記電源システムは、図13に示すように、電子回路と組み合わせてシステム装置に用いることができる。なお、電源装置の電源回路図の一例を図14に示す。図14は、パワー回路と制御回路からなる電源装置の電源回路を示しており、インバータ（MOSFETA～Dで構成）によりDC電圧を高周波でスイッチングしACへ変換後、トランスで絶縁及び変圧を実施し、整流MOSFET（A～B'）で整流後、DCL（平滑用コイルL1、L2）とコンデンサにて平滑し、直流電圧を出力する。この時に電圧比較器で出力電圧を基準電圧と比較し、所望の出力電圧となるようPWM制御回路でインバータ及び整流MOS

F E T を制御する。

実施例

[0068] (実施例 1)

S i 基板 (1 0 0) の結晶成長面側を R I E で処理し、酸素の存在下、加熱して熱酸化膜を形成した後、酸素を用いずに、蒸着法にて、蒸着源の金属と、S i 基板上の酸化膜中の酸素とを熱反応させ、結晶性酸化物からなる絶縁膜を S i 基板上に形成した。ついで、酸素を流し、温度を下げ、かつ圧力を上げて、蒸着法にて、さらに絶縁膜を成膜した。なお、この成膜時の蒸着法の各条件は次の通りであった。

蒸着源 : H f、Z r

電圧 : 3. 5 ~ 4. 7 5 V

圧力 : $3 \times 10^{-2} \sim 6 \times 10^{-2}$ P a

基板温度 : 5 0 0 ~ 6 5 0 ° C

得られた積層構造体の絶縁膜上に、さらに、前記の方法に準じて、I T O 膜を積層し、I T O 膜上に P Z T 膜を積層して、図 1 に示すような積層構造体を得た。

[0069] (実施例 2)

S i 基板を (1 1 1) に代えて用いたこと以外、実施例 1 と同様にして積層構造体を得た。

[0070] 実施例 1 において用いた蒸着成膜装置を図 1 5 に示す。図 1 5 の成膜装置は、ルツボに金属源 1 1 0 1 a ~ 1 1 0 1 b、アース 1 1 0 2 a ~ 1 1 0 2 h、I C P 電極 1 1 0 3 a ~ 1 1 0 3 b、カットフィルター 1 1 0 4 a ~ 1 1 0 4 b、D C 電源 1 1 0 5 a ~ 1 1 0 5 b、R F 電源 1 1 0 6 a ~ 1 1 0 6 b、ランプ 1 1 0 7 a ~ 1 1 0 7 b、A r 源 1 1 0 8、反応性ガス源 1 1 0 9、電源 1 1 1 0、基板ホルダー 1 1 1 1、基板 1 1 1 2、カットフィルター 1 1 1 3、I C P リング 1 1 1 4、真空槽 1 1 1 5 及び回転軸 1 1 1 6 を少なくとも備えている。なお、図 1 5 の I C P 電極 1 1 0 3 a ~ 1 1 0 3 b は基板 1 1 1 2 の中心側に湾曲した略凹曲面形状又はパラボラ形状を有し

ている。

[0071] 図15に示すように、基板1112を基板ホルダー1111上に係止する。ついで、電源1110と回転機構（図示せず）とを用いて回転軸1116を回転させ、基板1112を回転させる。また、基板112をランプ1107a~1107bによって加熱し、真空ポンプ（図示せず）によって真空槽1115内を排気により真空又は減圧下にする。その後、真空槽1115内にAr源1108からArガスを導入し、DC電源1105a~1105b、RF電源1106a~1106b、ICP電極1103a~1103b、カットフィルター1104a~1104b、及びアース1102a~1102hを用いて基板1112上にアルゴンプラズマを形成することにより、基板1112の表面の清浄化を行う。

[0072] 真空槽1115内にArガスを導入するとともに反応性ガス源1109を用いて反応性ガスを導入する。このとき、ランプヒーターであるランプ1107a~1107bのオンとオフとを交互に繰り返すことで、より良質な結晶成長膜を形成することができるように構成されている。

産業上の利用可能性

[0073] 本発明の積層構造体は半導体（例えば化合物半導体電子デバイス等）、電子部品・電気機器部品、光学・電子写真関連装置、工業部材などあらゆる分野に用いることができるが、半導体装置に好適に用いられる。

符号の説明

[0074]

1	エピタキシャル膜（化合物圧電体又は化合物半導体）
4	In ₂ O ₃ 膜又はITO膜
5	酸化膜
9	結晶基板
101	n型半導体層
101a	n ⁻ 型半導体層
101b	n ⁺ 型半導体層
102	p型半導体層

- 1 0 4 絶縁体層
- 1 0 5 a ショットキー電極
- 1 0 5 b オーミック電極
- 1 0 6 ガードリング
- 1 1 1 a n-型半導体層
- 1 1 1 b n+型半導体層
- 1 1 4 半絶縁体層
- 1 1 5 a ゲート電極
- 1 1 5 b ソース電極
- 1 1 5 c ドレイン電極
- 1 1 8 バッファ層
- 1 1 9 結晶基板
- 1 2 1 a バンドギャップの広いn型半導体層
- 1 2 1 b バンドギャップの狭いn型半導体層
- 1 2 1 c n+型半導体層
- 1 2 3 電子走行層
- 1 2 4 半絶縁体層
- 1 2 5 a ゲート電極
- 1 2 5 b ソース電極
- 1 2 5 c ドレイン電極
- 1 2 8 バッファ層
- 1 2 9 結晶基板
- 1 3 1 a n-型半導体層
- 1 3 1 b 第1のn+型半導体層
- 1 3 1 c 第2のn+型半導体層
- 1 3 2 p型半導体層
- 1 3 4 ゲート絶縁膜
- 1 3 5 a ゲート電極

- 1 3 5 b ソース電極
- 1 3 5 c ドレイン電極
- 1 4 1 a n-型半導体層
- 1 4 1 b 第1のn+型半導体層
- 1 4 1 c 第2のn+型半導体層
- 1 4 2 p型半導体層
- 1 4 5 a ゲート電極
- 1 4 5 b ソース電極
- 1 4 5 c ドレイン電極
- 1 5 1 n型半導体層
- 1 5 1 a n-型半導体層
- 1 5 1 b n+型半導体層
- 1 5 2 p型半導体層
- 1 5 4 ゲート絶縁膜
- 1 5 5 a ゲート電極
- 1 5 5 b エミッタ電極
- 1 5 5 c コレクタ電極
- 1 6 1 n型半導体層
- 1 6 2 p型半導体層
- 1 6 3 発光層
- 1 6 5 a 第1の電極
- 1 6 5 b 第2の電極
- 1 6 7 透光性電極
- 1 1 0 1 a ~ 1 0 1 b 金属源
- 1 1 0 2 a ~ 1 0 2 j アース
- 1 1 0 3 a ~ 1 0 3 b ICP電極
- 1 1 0 4 a ~ 1 0 4 b カットフィルター
- 1 1 0 5 a ~ 1 0 5 b DC電源

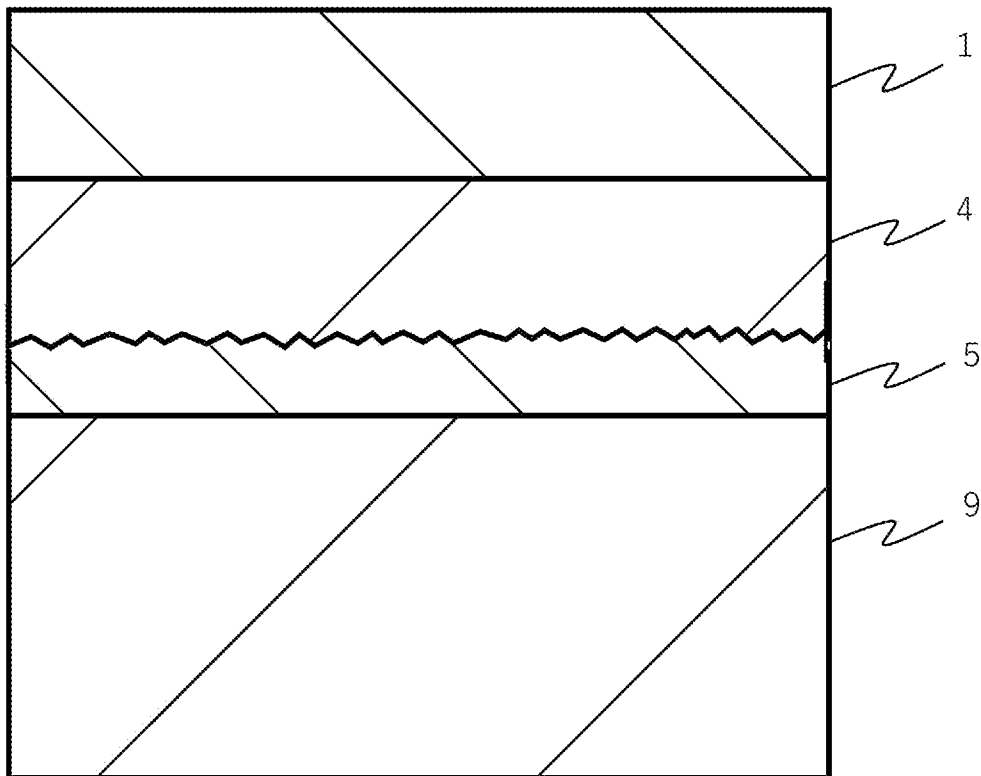
- 1 1 0 6 a ~ 1 0 6 b R F 電 源
- 1 1 0 7 a ~ 1 0 7 b ラ ン プ
- 1 1 0 8 A r 源
- 1 1 0 9 反 応 性 ガ ス 源
- 1 1 1 0 電 源
- 1 1 1 1 基 板 ホ ル ダ ー
- 1 1 1 2 基 板
- 1 1 1 3 カ ッ ト フ ィ ル タ ー
- 1 1 1 4 I C P リ ン グ
- 1 1 1 5 真 空 槽
- 1 1 1 6 回 転 軸

請求の範囲

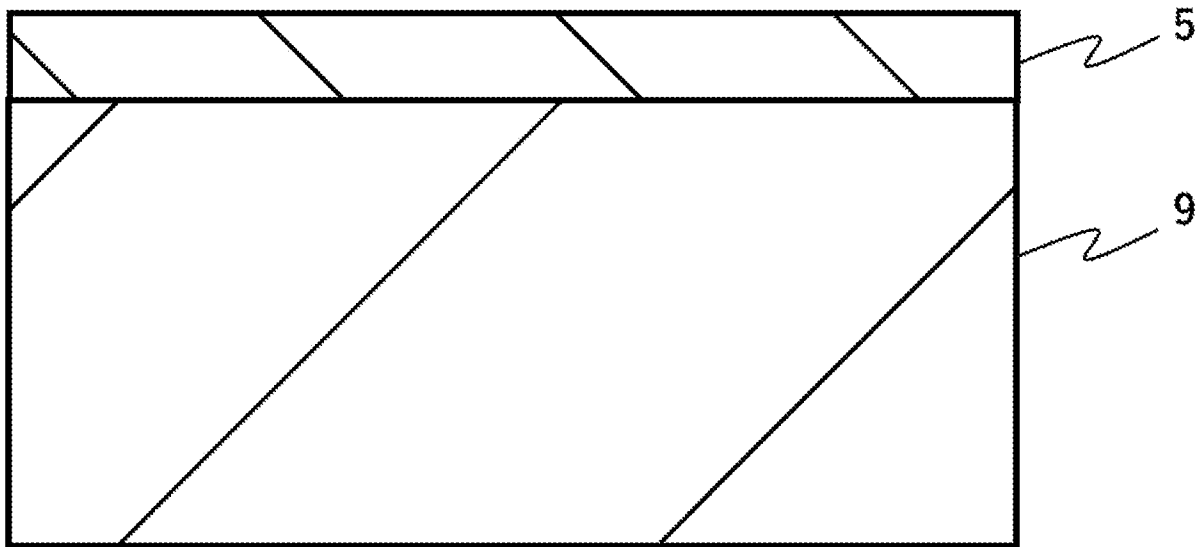
- [請求項1] バッファ層上に直接又は他の層を介して導電性金属酸化物からなるエピタキシャル膜が形成されている積層構造体であって、前記バッファ層が、Hf及び／又はZrの酸化物を含有する結晶膜を含むことを特徴とする積層構造体。
- [請求項2] 前記結晶膜が、Hfの酸化物を含有する請求項1記載の積層構造体。
- [請求項3] 前記結晶膜が、立方晶系又は六方晶系の結晶構造を有する請求項1又は2に記載の積層構造体。
- [請求項4] 前記結晶膜が(111)、(100)、(010)又は(0001)配向しているである請求項1～3のいずれかに記載の積層構造体。
- [請求項5] 前記導電性金属酸化物が、In及び／又はSnを含む酸化物である請求項1～4のいずれかに記載の積層構造体。
- [請求項6] 前記バッファ層が、直接又は他の層を介して、立方晶系又は六方晶系の結晶構造を有する単結晶基板上に積層されている請求項1～5のいずれかに記載の積層構造体。
- [請求項7] 前記バッファ層が、結晶成長により前記単結晶基板上に積層されている請求項6記載の積層構造体。
- [請求項8] 前記単結晶基板が、Si基板である請求項6又は7に記載の積層構造体。
- [請求項9] さらに、前記エピタキシャル膜上に、圧電体又は半導体からなる層が積層されている請求項1～8のいずれかに記載の積層構造体。
- [請求項10] 積層構造体を含む素子であって、前記積層構造体が請求項1～9のいずれかに記載の積層構造体であることを特徴とする素子。
- [請求項11] 圧電素子又は半導体素子である請求項10記載の素子。
- [請求項12] 積層構造体を含む電子デバイスであって、前記積層構造体が請求項1～9のいずれかに記載の積層構造体であることを特徴とする電子デバイス。

- [請求項13] 圧電デバイス又は半導体デバイスである請求項12記載の電子デバイス。
- [請求項14] 電子デバイスを含む電子機器であって、前記電子デバイスが、請求項12又は13に記載の電子デバイスであることを特徴とする電子機器。
- [請求項15] 電子機器を含むシステムであって、前記電子機器が、請求項14記載の電子機器であることを特徴とするシステム。

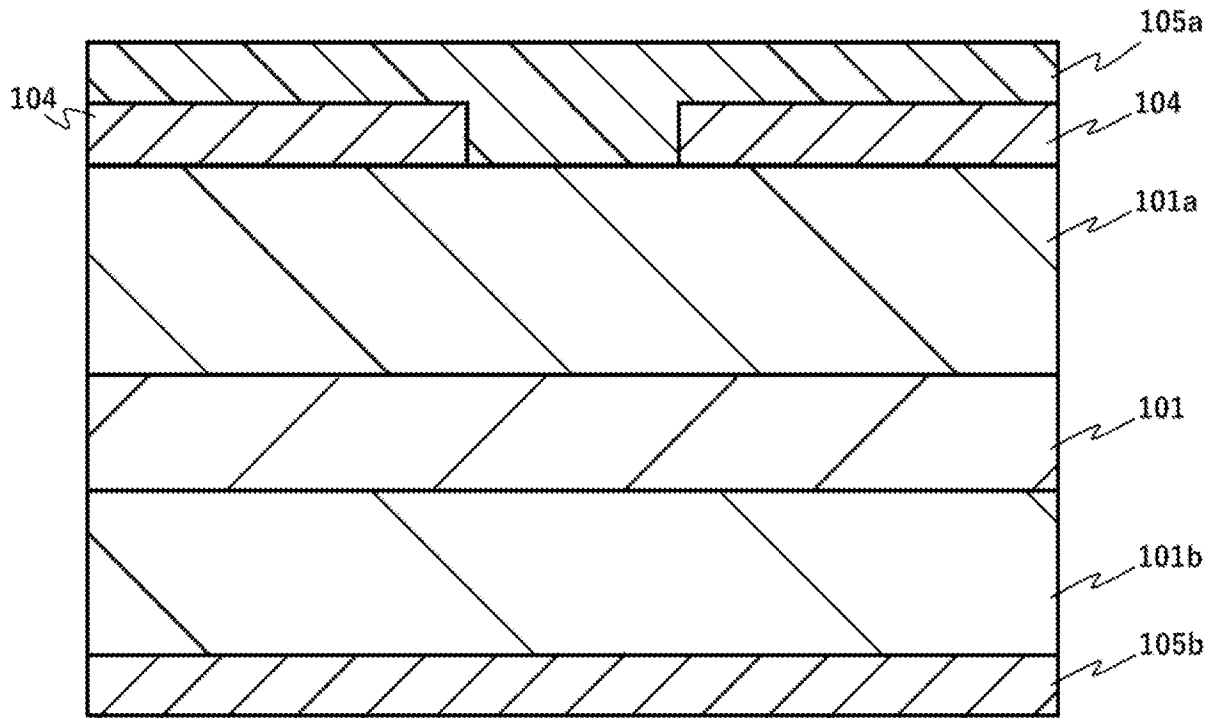
[図1]



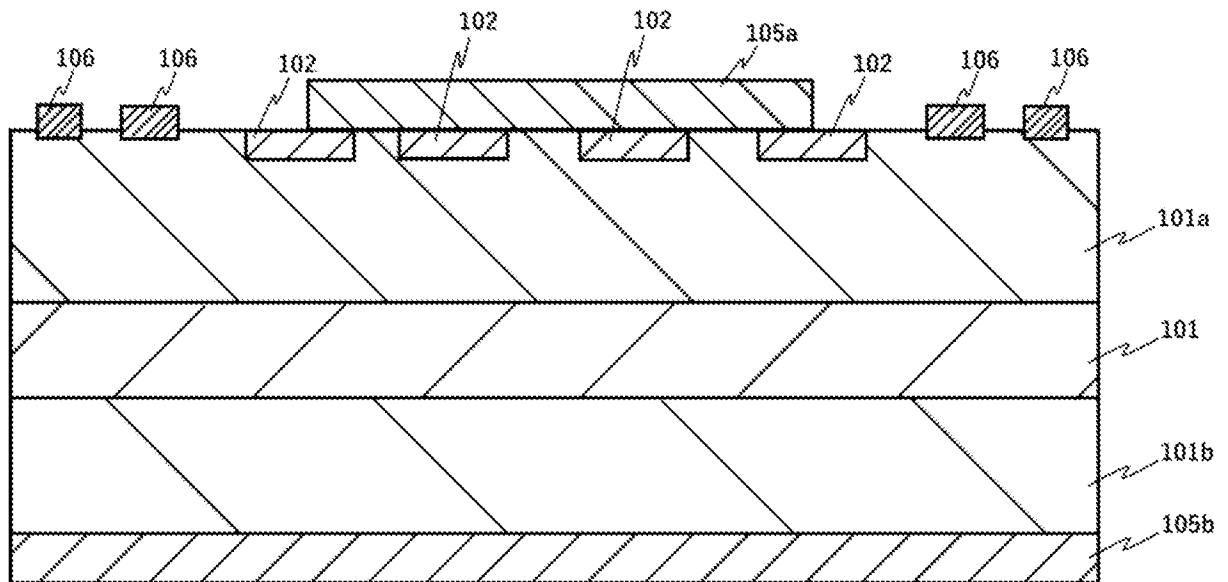
[図2]



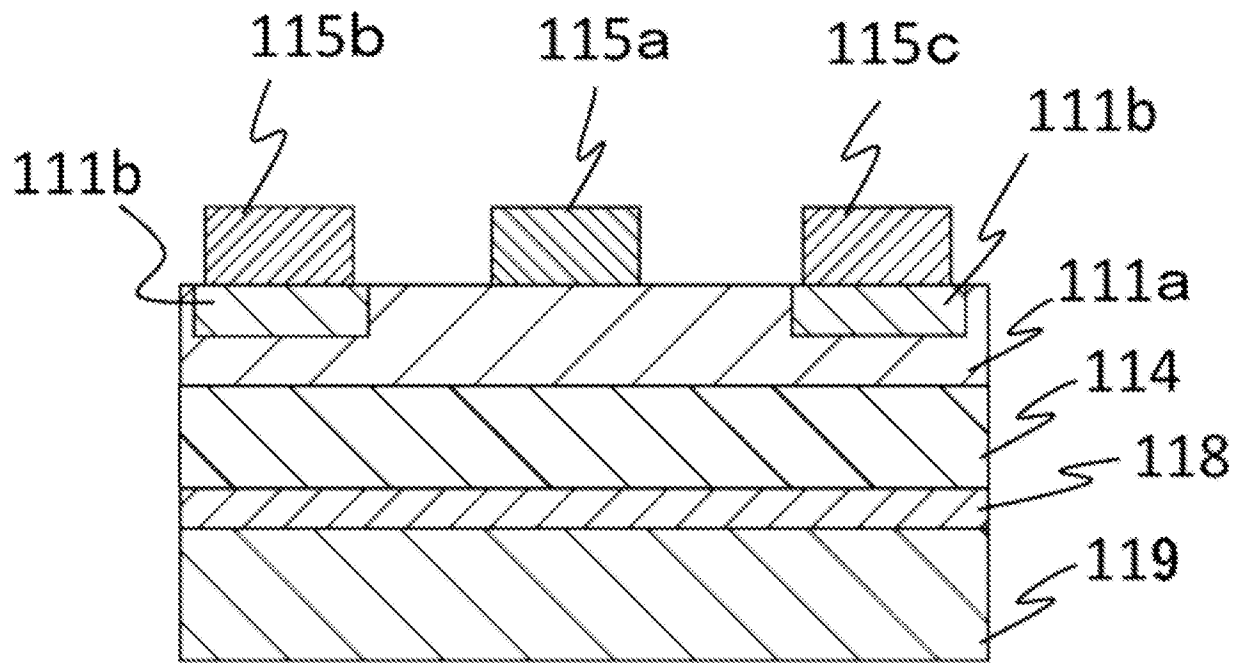
[図3]



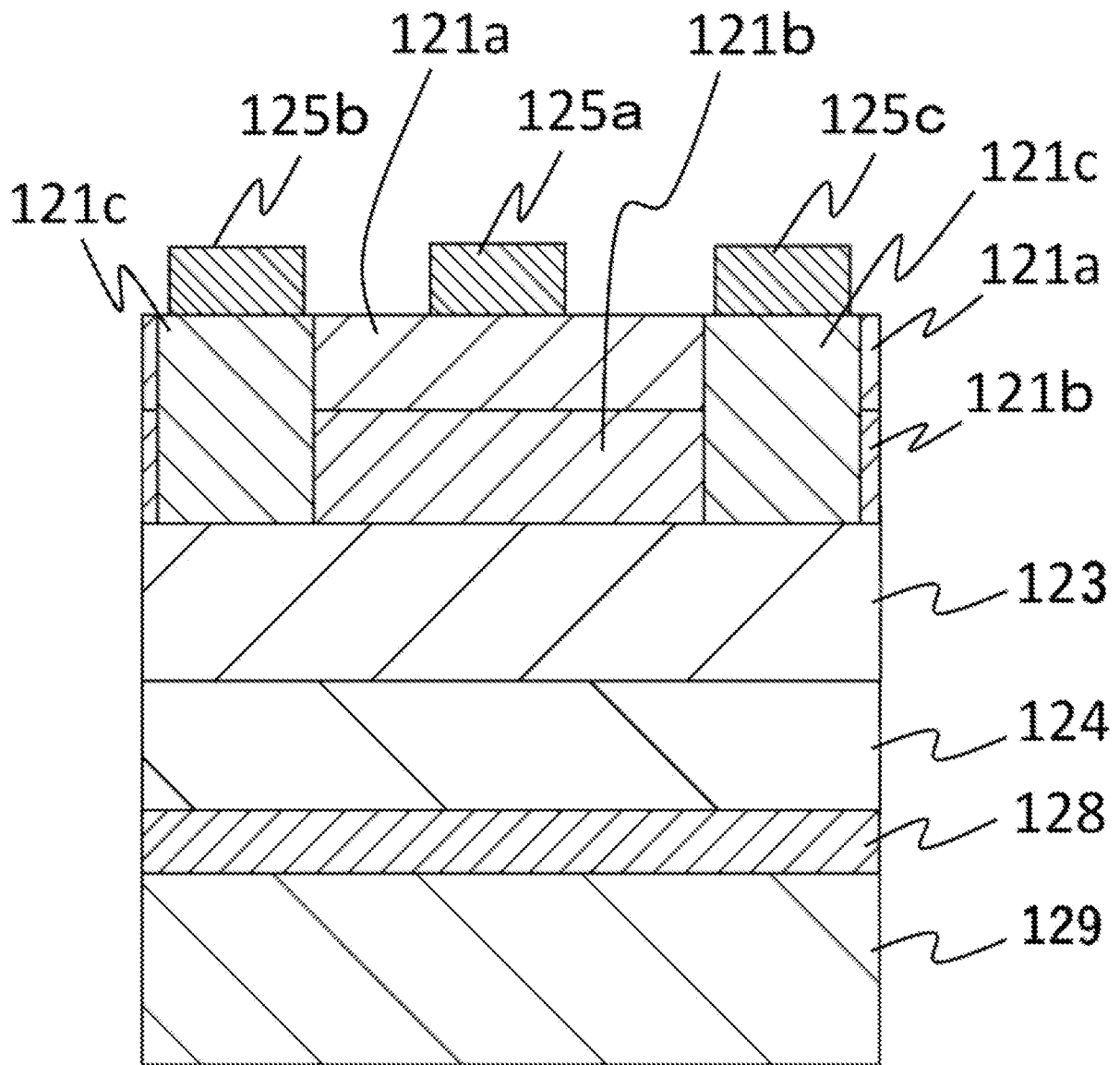
[図4]



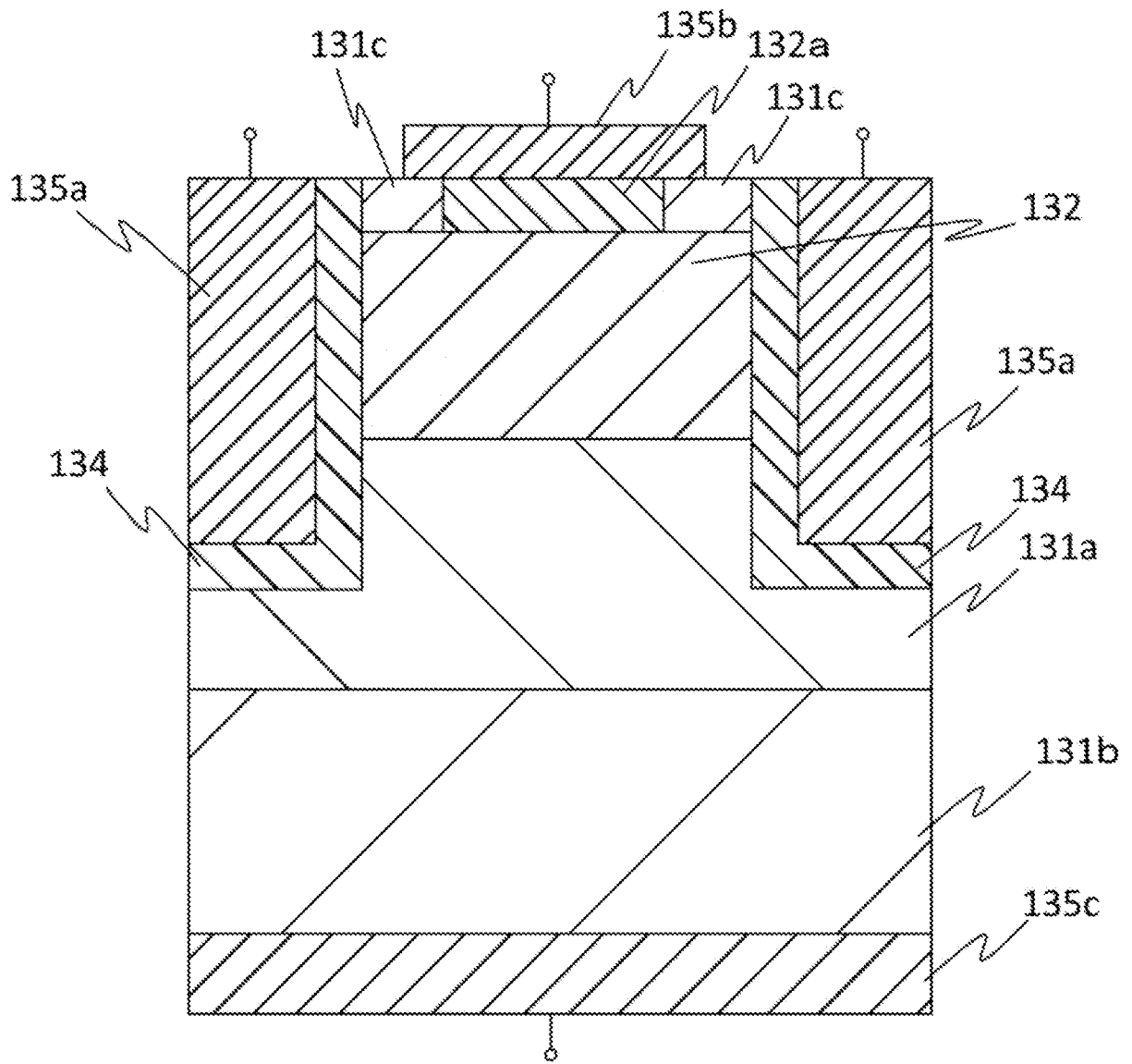
[図5]



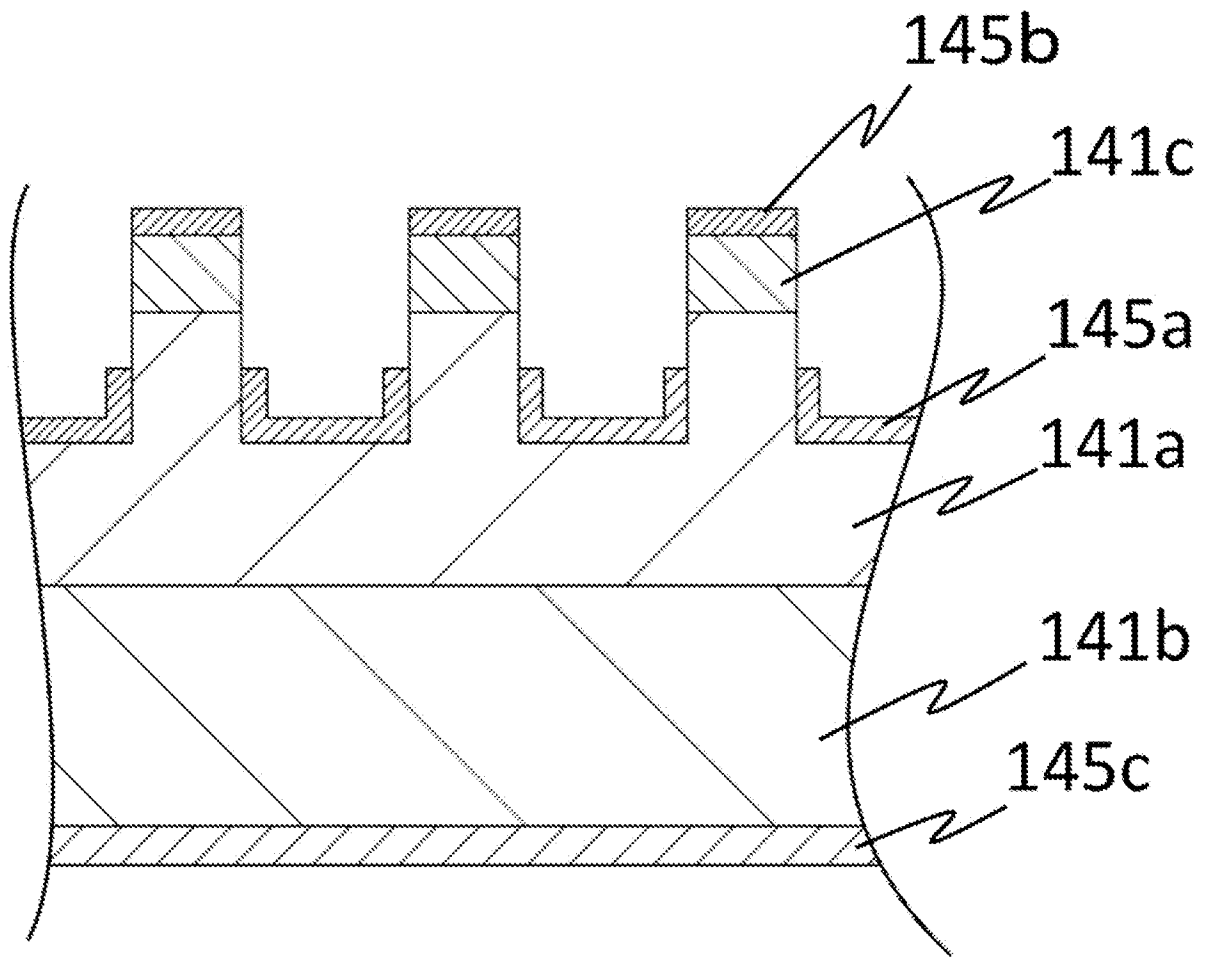
[図6]



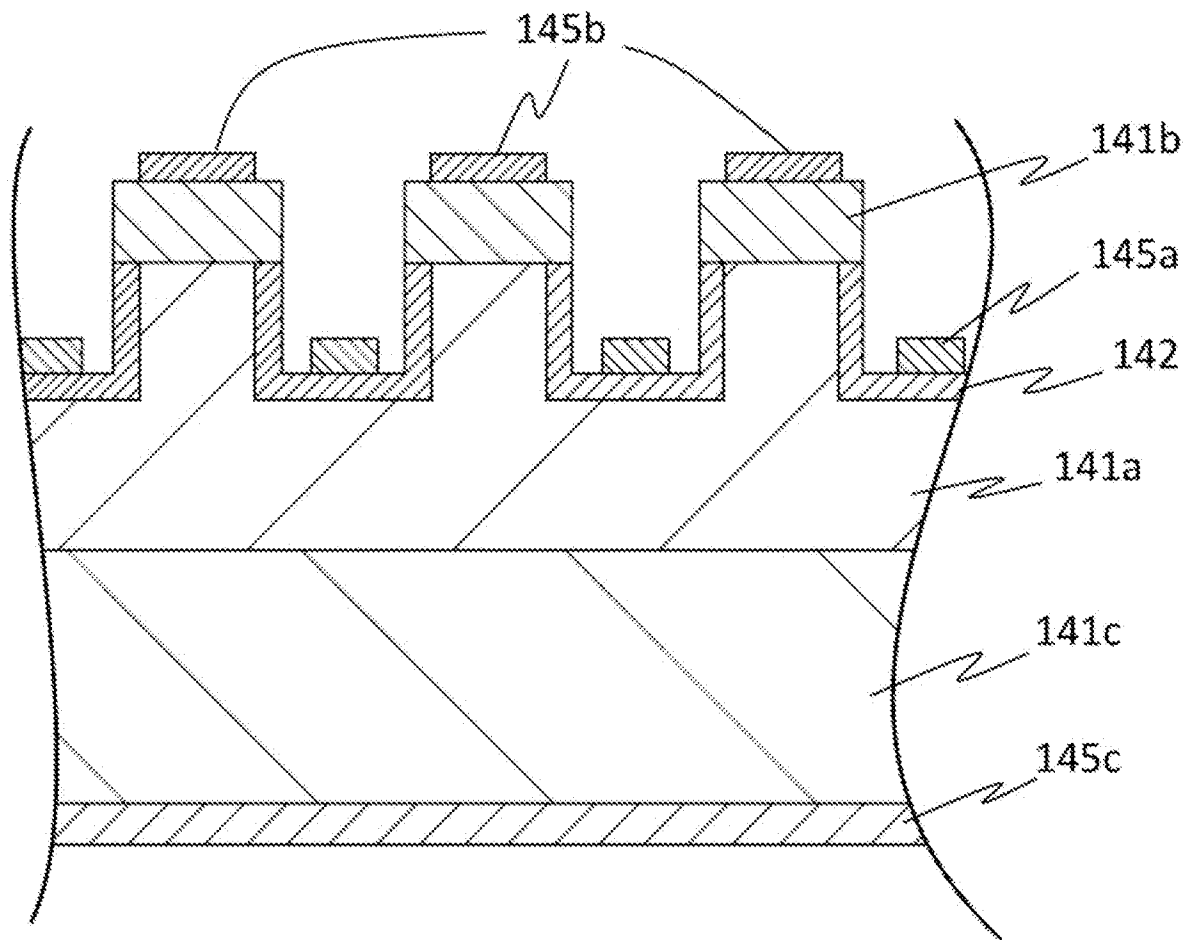
[図7]



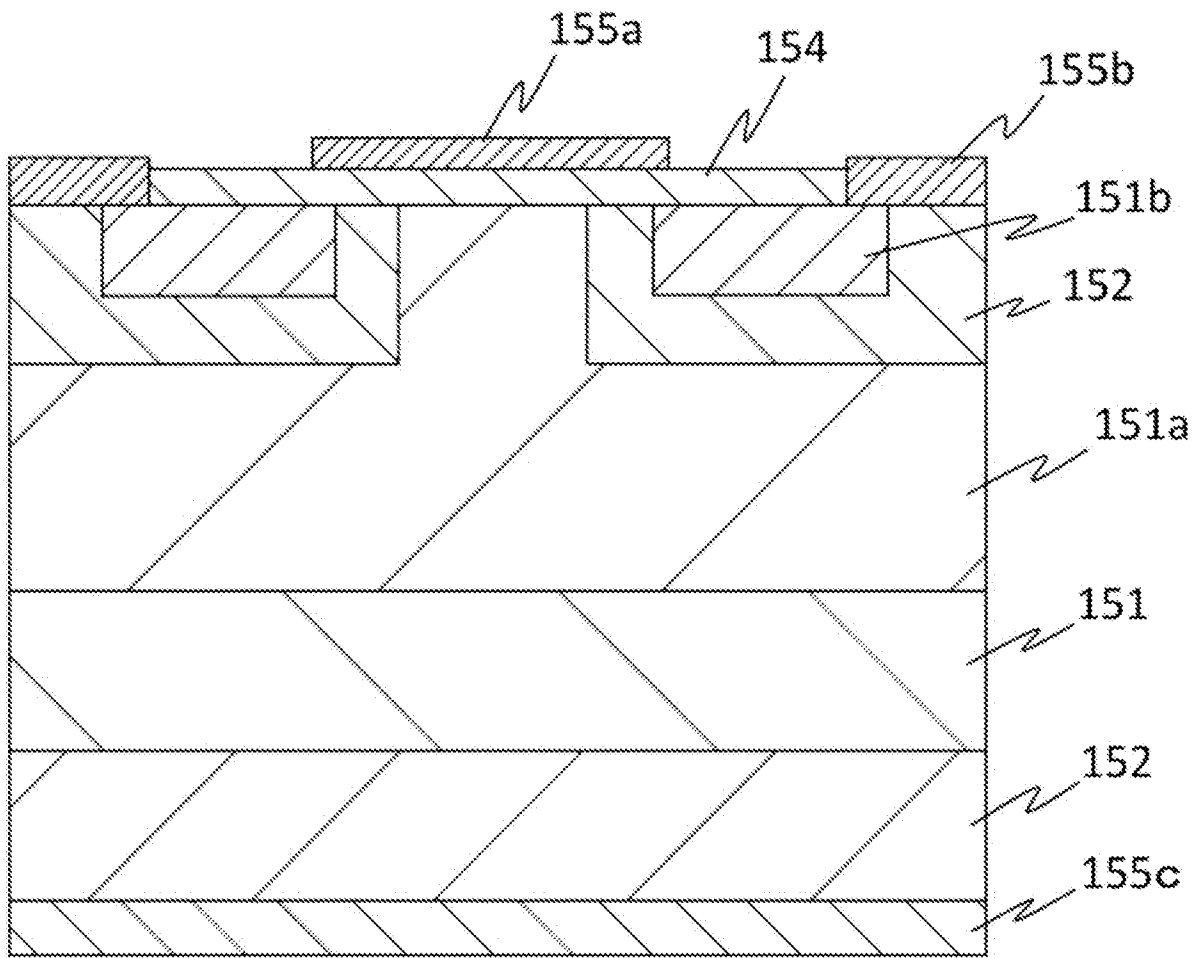
[図8]



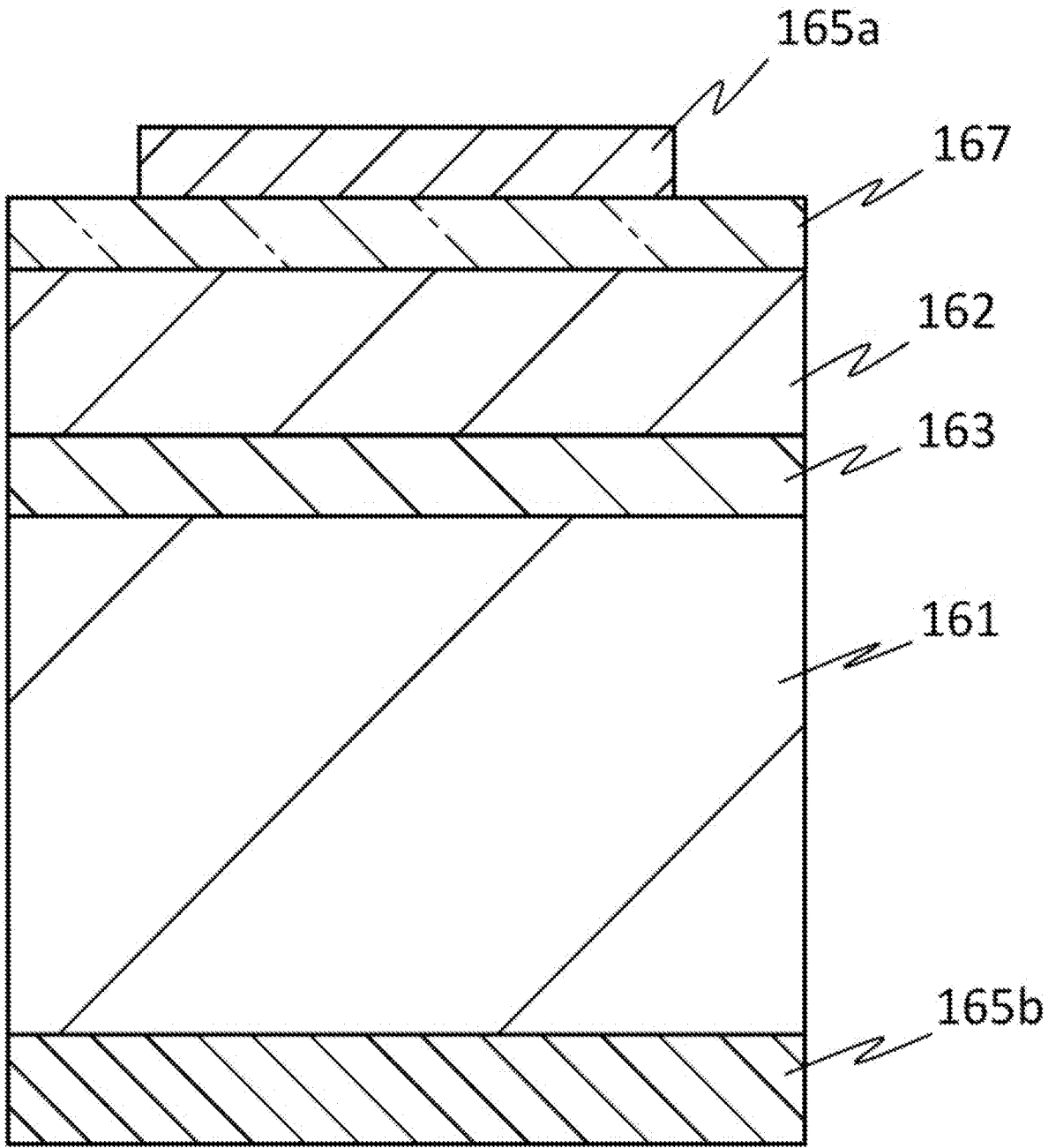
[図9]



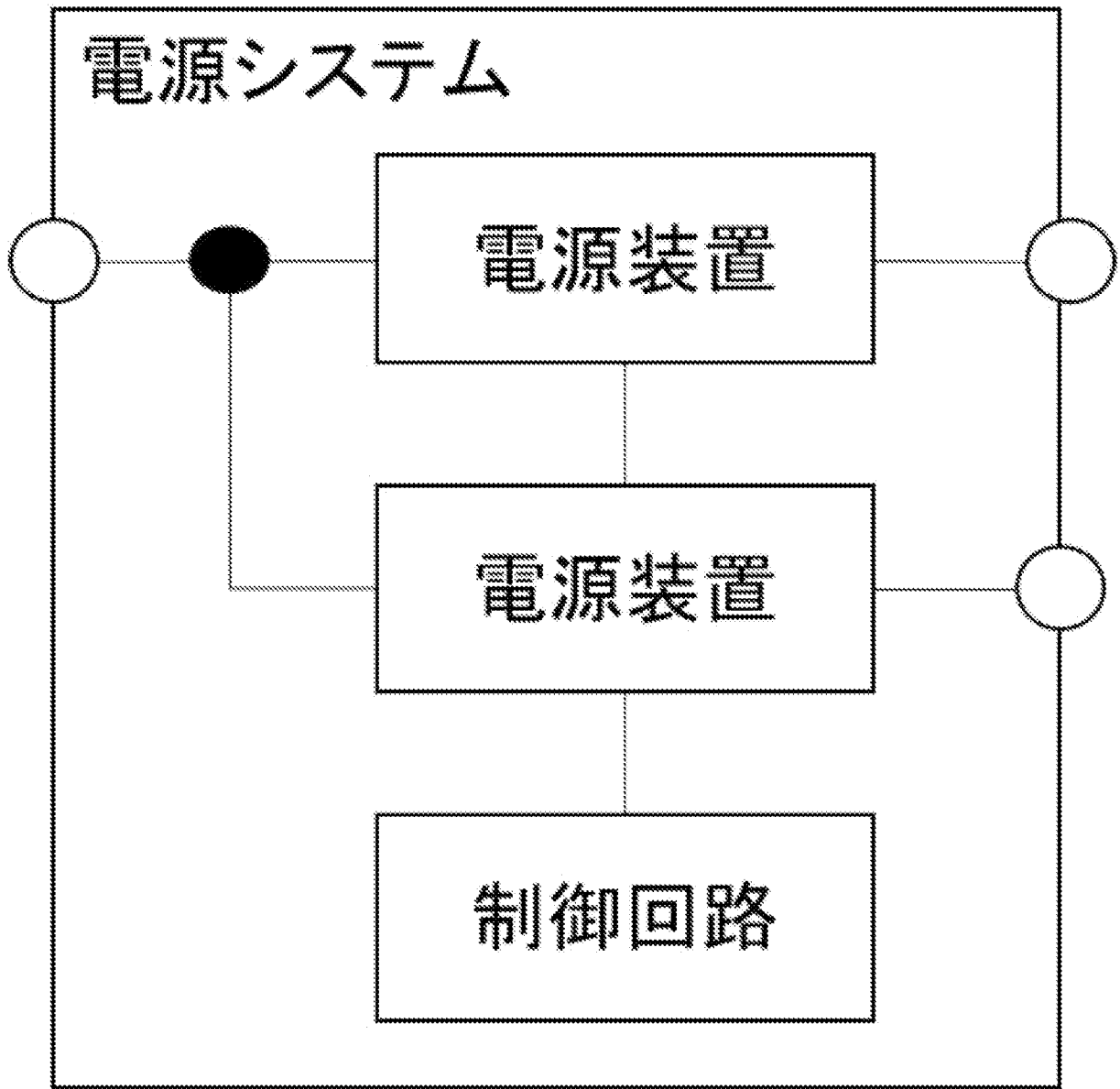
[図10]



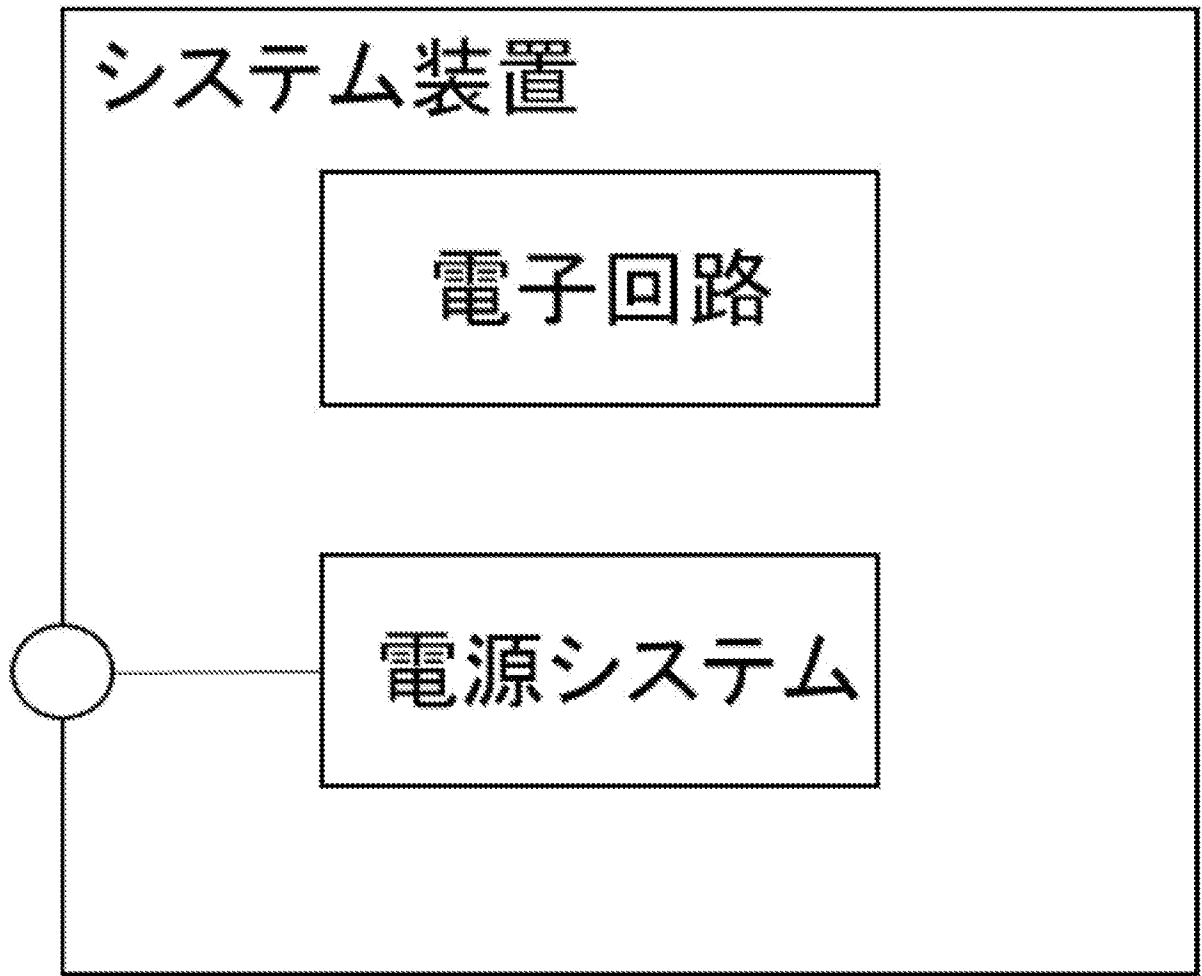
[図11]



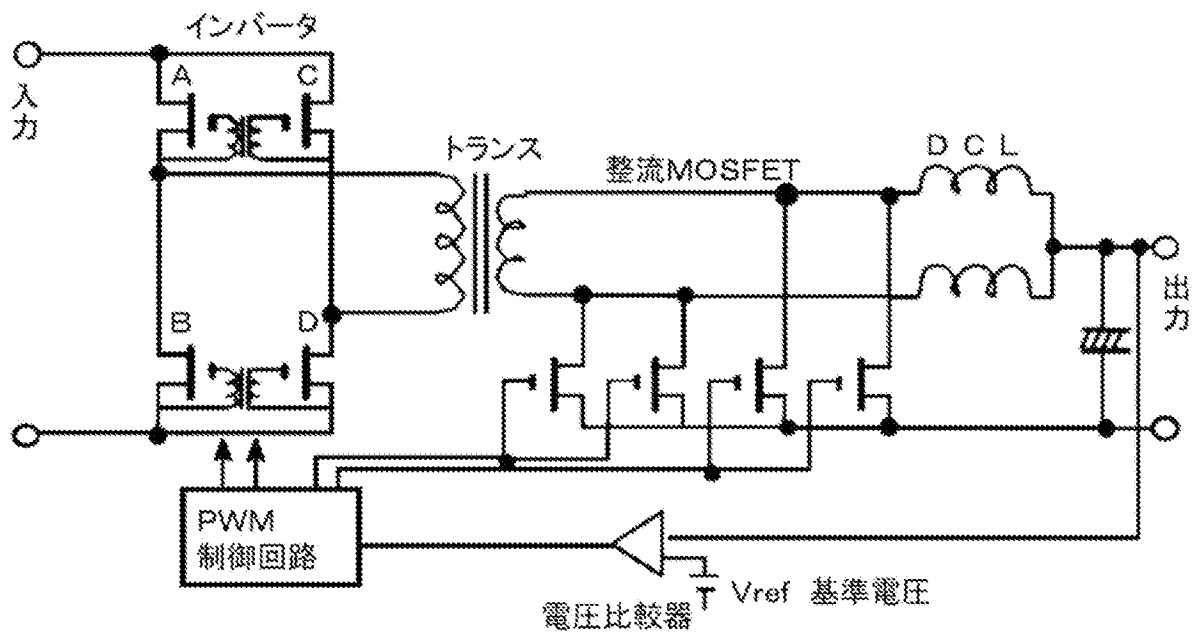
[図12]



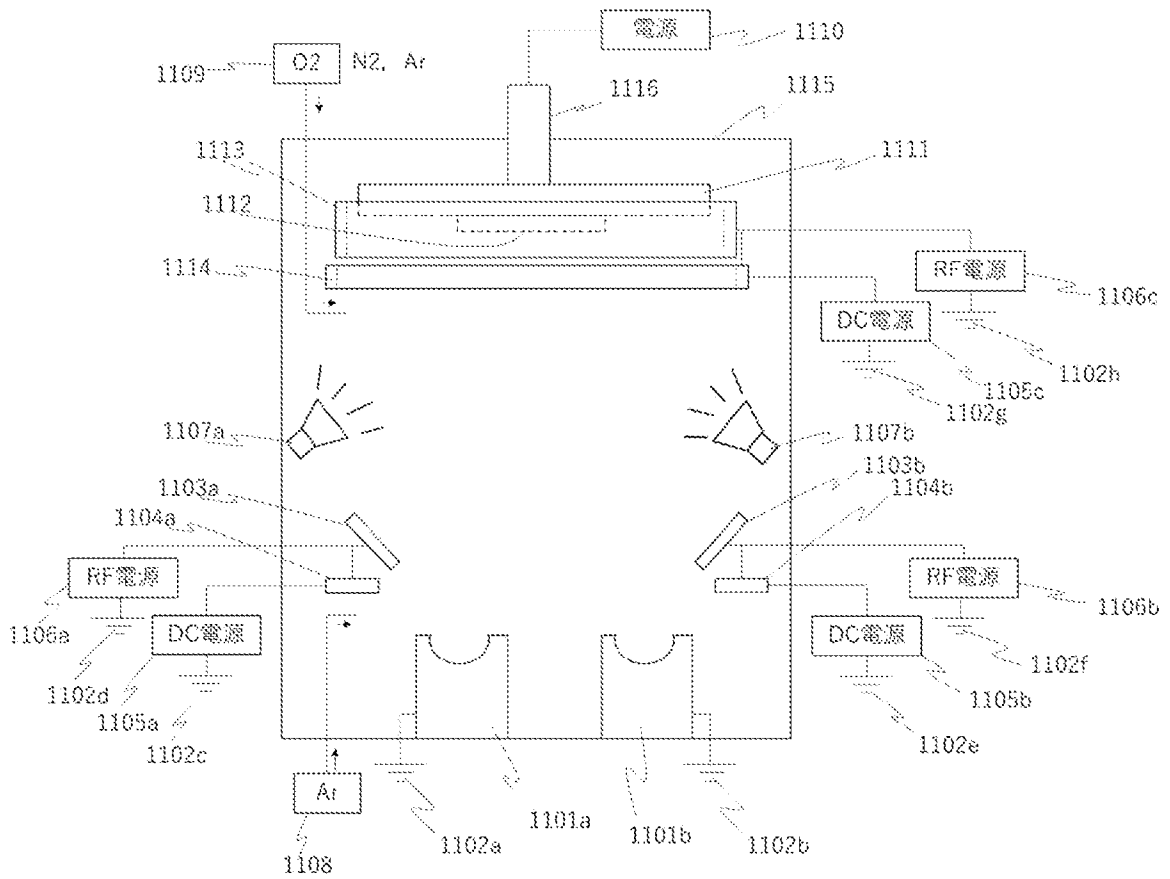
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/032026

A. CLASSIFICATION OF SUBJECT MATTER		
<p>C30B 29/16(2006.01)i; C23C 14/08(2006.01)i; H01L 21/20(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/778(2006.01)i; H01L 29/78(2006.01)i; H01L 29/808(2006.01)i; H01L 29/812(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i; H01L 29/872(2006.01)i; H01L 33/12(2010.01)i; H10N 30/20(2023.01)i; H10N 30/30(2023.01)i; H10N 30/853(2023.01)i</p> <p>FI: C30B29/16; H01L29/91 K; H01L29/86 301F; H10N30/853; H10N30/30; H10N30/20; H01L29/86 301D; H01L29/91 F; H01L29/78 652T; H01L29/78 655B; H01L29/78 653A; H01L29/86 301M; H01L29/06 301G; H01L29/06 301V; H01L29/86 301E; H01L29/91 D; H01L29/78 654C; C23C14/08 N; C23C14/08 G; H01L33/12; H01L21/20; H01L29/80 H; H01L29/80 C</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
C30B29/16; C23C14/08; H01L21/20; H01L21/337; H01L21/338; H01L29/06; H01L29/12; H01L29/739; H01L29/778; H01L29/78; H01L29/808; H01L29/812; H01L29/861; H01L29/868; H01L29/872; H01L33/12; H10N30/20; H10N30/30; H10N30/853		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/168800 A1 (UNIV TOKYO) 11 August 2022 (2022-08-11) paragraphs [0016]-[0119]	1-15
X	WO 2018/216227 A1 (ADVANCED MATERIAL TECH INC) 29 November 2018 (2018-11-29) paragraphs [0007]-[0008], fig. 8-13	1-4, 6-15
A		5
P, X	JP 2023-109680 A (GAIANIXX INC) 08 August 2023 (2023-08-08) paragraphs [0027]-[0044], fig. 1, 2	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
14 November 2023		28 November 2023
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/032026

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2022/168800	A1	11 August 2022	TW	202235704	A	
WO	2018/216227	A1	29 November 2018	TW	201900414	A	
JP	2023-109680	A	08 August 2023	(Family: none)			

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>C30B 29/16(2006.01)i; C23C 14/08(2006.01)i; H01L 21/20(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/778(2006.01)i; H01L 29/78(2006.01)i; H01L 29/808(2006.01)i; H01L 29/812(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i; H01L 29/872(2006.01)i; H01L 33/12(2010.01)i; H10N 30/20(2023.01)i; H10N 30/30(2023.01)i; H10N 30/853(2023.01)i FI: C30B29/16; H01L29/91 K; H01L29/86 301F; H10N30/853; H10N30/30; H10N30/20; H01L29/86 301D; H01L29/91 F; H01L29/78 652T; H01L29/78 655B; H01L29/78 653A; H01L29/86 301M; H01L29/06 301G; H01L29/06 301V; H01L29/86 301E; H01L29/91 D; H01L29/78 654C; C23C14/08 N; C23C14/08 G; H01L33/12; H01L21/20; H01L29/80 H; H01L29/80 C</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>C30B29/16; C23C14/08; H01L21/20; H01L21/337; H01L21/338; H01L29/06; H01L29/12; H01L29/739; H01L29/778; H01L29/78; H01L29/808; H01L29/812; H01L29/861; H01L29/868; H01L29/872; H01L33/12; H10N30/20; H10N30/30; H10N30/853</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2023年																
日本国実用新案登録公報	1996-2023年																
日本国登録実用新案公報	1994-2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリ*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2022/168800 A1（国立大学法人 東京大学）11.08.2022（2022-08-11） [0016]-[0119]</td> <td>1-15</td> </tr> <tr> <td>X</td> <td>WO 2018/216227 A1（アドバンスドマテリアルテクノロジーズ株式会社）29.11.2018 （2018-11-29） [0007]-[0008], 図8-図13</td> <td>1-4, 6-15</td> </tr> <tr> <td>A</td> <td></td> <td>5</td> </tr> <tr> <td>P, X</td> <td>JP 2023-109680 A（株式会社G a i a n i x x）08.08.2023（2023-08-08） [0027]-[0044], 図1, 図2</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリ</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2022/168800 A1（国立大学法人 東京大学）11.08.2022（2022-08-11） [0016]-[0119]	1-15	X	WO 2018/216227 A1（アドバンスドマテリアルテクノロジーズ株式会社）29.11.2018 （2018-11-29） [0007]-[0008], 図8-図13	1-4, 6-15	A		5	P, X	JP 2023-109680 A（株式会社G a i a n i x x）08.08.2023（2023-08-08） [0027]-[0044], 図1, 図2	1-15
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X	WO 2022/168800 A1（国立大学法人 東京大学）11.08.2022（2022-08-11） [0016]-[0119]	1-15															
X	WO 2018/216227 A1（アドバンスドマテリアルテクノロジーズ株式会社）29.11.2018 （2018-11-29） [0007]-[0008], 図8-図13	1-4, 6-15															
A		5															
P, X	JP 2023-109680 A（株式会社G a i a n i x x）08.08.2023（2023-08-08） [0027]-[0044], 図1, 図2	1-15															
<p>国際調査を完了した日</p> <p>14.11.2023</p>	<p>国際調査報告の発送日</p> <p>28.11.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>▲高▼橋 真由 4G 4490</p> <p>電話番号 03-3581-1101 内線 3416</p>																

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/032026

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/168800 A1	11.08.2022	TW 202235704 A	
WO 2018/216227 A1	29.11.2018	TW 201900414 A	
JP 2023-109680 A	08.08.2023	(ファミリーなし)	