

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月15日(15.03.2018)



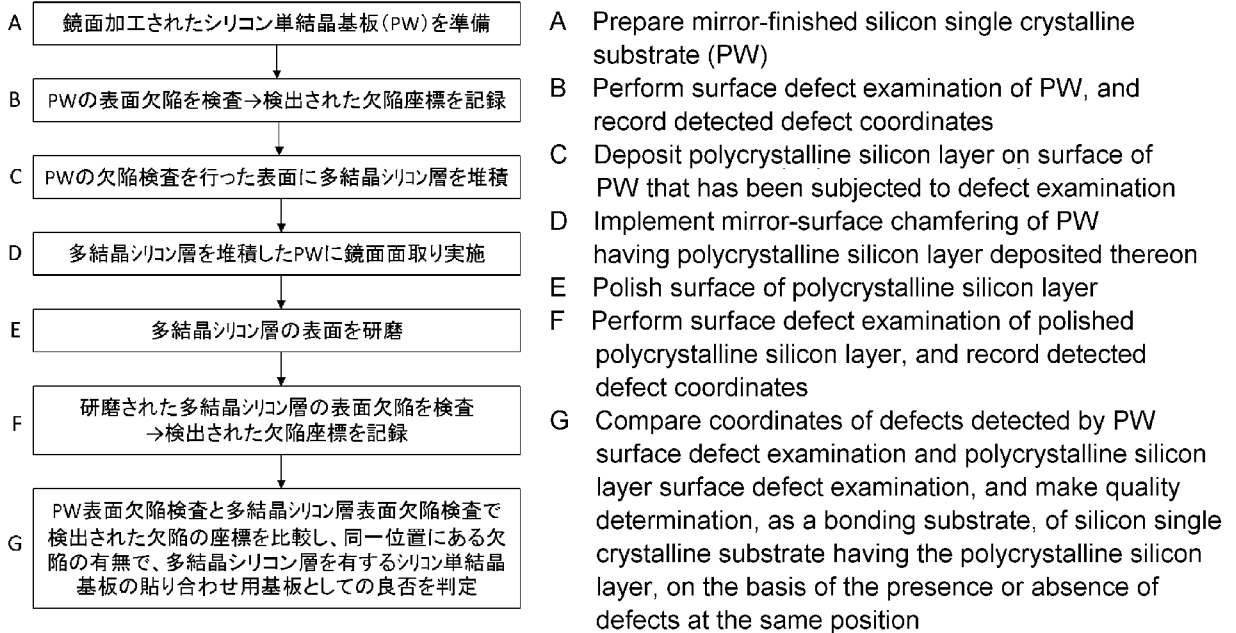
(10) 国際公開番号

WO 2018/047501 A1

- (51) 国際特許分類: *H01L 21/66* (2006.01) *G01N 21/956* (2006.01)
- (21) 国際出願番号: PCT/JP2017/027102
- (22) 国際出願日: 2017年7月26日(26.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-175044 2016年9月7日(07.09.2016) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO.,LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 佐藤 一弥 (SATO Kazuya); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 白河工場内 Fukushima (JP). 橋本 浩昌 (HASHIMOTO Hiromasa); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 白河工場内 Fukushima (JP). 西澤 毅 (NISHIZAWA Tsuyoshi); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 白河工場内 Fukushima (JP). 堀江 啓貴 (HORIE Hirotaka); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 白河工場内 Fukushima (JP).

(54) Title: BONDING SUBSTRATE SURFACE DEFECT EVALUATION METHOD

(54) 発明の名称: 貼り合わせ用基板の表面欠陥の評価方法



(57) Abstract: The present invention provides a bonding substrate surface defect evaluation method comprising: a step of preparing a mirror-finished silicon single crystalline substrate; a step of performing a surface defect examination of the mirror-finished silicon single crystalline substrate; a step of depositing a polycrystalline silicon layer on the surface of the silicon single crystalline substrate that has been subjected to defect examination; a step of performing mirror-surface chamfering of the silicon single crystalline substrate on which the polycrystalline silicon layer has been deposited; a step of polishing the surface of the polycrystalline silicon layer; a step of performing a surface defect examination of the

WO 2018/047501 A1

(74) 代理人: 好宮 幹夫, 外 (YOSHIMIYA Mikio et al.); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1 号 第一下谷ビル 8 F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

polished polycrystalline silicon layer; and a step of comparing the coordinates of the defects detected in the step performing the surface defect examination of the silicon single crystalline substrate and the step of performing the surface defect examination of the polycrystalline silicon layer to make a quality determination, as a bonding substrate, of the silicon single crystalline substrate having the polycrystalline silicon layer, on the basis of the presence or absence of defects at the same position. Thus, the bonding substrate surface defect evaluation method makes it possible to logically avoid a decrease in manufacturing yield of the bonding substrate, and reduce the rate of occurrence of void defects after bonding.

(57) 要約: 本発明は、鏡面加工されたシリコン単結晶基板を準備する工程と、鏡面加工されたシリコン単結晶基板の表面欠陥を検査する工程と、シリコン単結晶基板の欠陥検査を行った表面に多結晶シリコン層を堆積する工程と、多結晶シリコン層を堆積したシリコン単結晶基板に鏡面面取りを行う工程と、多結晶シリコン層の表面を研磨する工程と、研磨された多結晶シリコン層の表面欠陥を検査する工程と、シリコン単結晶基板の表面欠陥の検査工程と多結晶シリコン層の表面欠陥の検査工程で検出された欠陥の座標を比較し、同一位置にある欠陥の有無で、多結晶シリコン層を有するシリコン単結晶基板の貼り合わせ用基板としての良否判定を行う工程とを有する貼り合わせ用基板の表面欠陥の評価方法である。これにより、貼り合わせ用基板の製造歩留の低下を合理的に回避し、貼り合せ後のボイド欠陥発生率を低減することができる貼り合わせ用基板の表面欠陥の評価方法が提供される。

明 細 書

発明の名称： 貼り合わせ用基板の表面欠陥の評価方法

技術分野

[0001] 本発明は、貼り合わせ用基板の表面欠陥の評価方法に関する。

背景技術

[0002] 先端の高周波デバイス向け貼り合わせSOIウェーハプロセスでは、貼り合わせ用基板として、表層に多結晶シリコン層を形成したシリコン基板をベースウェーハとして用いることがある。このベースウェーハと別途ボンドウエーハを用意して両者を貼り合わせた後、ボンドウエーハを薄膜化することで貼り合わせSOIウェーハが作製される。

[0003] 特許文献1及び特許文献2には、いずれも多結晶シリコン層をキャリアトラップ層（トラップリッチ（Trap-Rich）層とも呼ばれる。）とする、高周波デバイス向け貼り合わせSOIウェーハの製造方法が記載されている。特許文献1及び特許文献2に記載された貼り合わせSOIウェーハの製造方法の工程フローを図6に示した。図6に示すように、これらの貼り合わせSOIウェーハの製造方法では、ベースウェーハに多結晶シリコン層を堆積（S23）した後、その多結晶シリコン層の表面を研磨（S24）し、ボンドウエーハと貼り合わせる（S31）ことが記載されている。また、このようにして製造された貼り合わせSOIウェーハの断面の一例を図7に示す。図7に示した貼り合わせSOIウェーハ1では、ベースウェーハ11上に、多結晶シリコン層12、埋め込み酸化膜層（BOX層）16、及びSOI層15がこの順に形成されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-211074号公報

特許文献2：特開2015-211061号公報

発明の概要

発明が解決しようとする課題

- [0005] 貼り合わせSOIウェーハの主な不良項目として、ボイド欠陥と呼ばれる局所的な未接着領域が挙げられ、その改善が求められている。貼り合わせ用基板の製造工程において、ピット欠陥が貼り合わせSOIウェーハのボイド欠陥の原因の一つであることが知られている。その為、ピット欠陥発生率を低減することと、ピットを高感度で検出して貼り合わせ工程への流出を防止することが要求されている。
- [0006] 現在の表面欠陥の検出方法としては、光散乱法又は微分干渉法を検出原理とした欠陥検査装置によって検出する方法がある。貼り合わせウェーハの製造プロセスにおいて、これらの欠陥検査装置で検出された表面欠陥に対して、サイズと個数の規格を設けることで、貼り合せ工程への流出を防止している。個数の規格の上限を下げていくことで、貼り合わせ工程でのボイド発生率を低減できるが、同時に貼り合わせ用基板の製造歩留を悪化させてしまうという問題が生じる。この時、もしボイドの原因となる欠陥のみを効率的に検出できれば、貼り合わせ用基板の製造歩留の無用なロス回避でき、かつ、貼り合わせ後のボイド発生率も低減可能となる。このような背景から、貼り合わせ用基板の製造工程において、ボイドの原因となる欠陥だけを高感度で検出する表面欠陥の評価方法が求められていた。
- [0007] 本発明は、上記問題点に鑑みてなされたものであって、貼り合わせSOIウェーハにおけるボイド欠陥の原因となる貼り合せ用基板の表面欠陥を高感度で検出することで、貼り合わせ用基板の製造歩留の低下を合理的に回避し、貼り合せ後のボイド欠陥発生率を低減することができる貼り合わせ用基板の表面欠陥の評価方法を提供することを目的とする。

課題を解決するための手段

- [0008] 上記目的を達成するために、本発明は、貼り合わせ用基板の表面欠陥の評価方法であって、
- 鏡面加工されたシリコン単結晶基板を準備する工程と、
- 前記鏡面加工されたシリコン単結晶基板の表面欠陥を検査する工程と、

前記シリコン単結晶基板の欠陥検査を行った表面に多結晶シリコン層を堆積する工程と、

前記多結晶シリコン層を堆積したシリコン単結晶基板に鏡面面取りを行う工程と、

前記多結晶シリコン層の表面を研磨する工程と、

前記研磨された多結晶シリコン層の表面欠陥を検査する工程と、

前記シリコン単結晶基板の表面欠陥を検査する工程と前記多結晶シリコン層の表面欠陥を検査する工程で検出された欠陥の座標を比較し、同一位置にある欠陥の有無で、前記多結晶シリコン層を有するシリコン単結晶基板の貼り合わせ用基板としての良否判定を行う工程と、

を有することを特徴とする貼り合わせ用基板の表面欠陥の評価方法を提供する。

[0009] このように、鏡面加工されたシリコン単結晶基板の表面と、多結晶シリコン層の堆積後に研磨を行った後の多結晶シリコン層の表面の両者で表面欠陥の検査を行い、同一位置に表面欠陥を有する貼り合わせ用基板のみを不良品とすることで、貼り合わせ用基板の製造歩留の低下の合理的な回避及び貼り合わせSOIウェーハのボイド欠陥発生率低減を両立させることができる。

[0010] このとき、前記貼り合わせ用基板は、貼り合わせSOIウェーハのベースウェーハであることが好ましい。

[0011] このように、貼り合わせ用基板を貼り合わせSOIウェーハのベースウェーハとすることで、本発明の貼り合わせ用基板の表面欠陥の評価方法を、先端の高周波デバイス向け貼り合わせSOIウェーハの製造プロセスに好適に適用することができる。

発明の効果

[0012] 本発明によれば、多結晶シリコン層堆積前の鏡面加工されたシリコン単結晶基板の表面と、多結晶シリコン層の堆積後に研磨を行った後の多結晶シリコン層の表面の両者で表面欠陥の検査を行い、同一位置に表面欠陥を有する貼り合わせ用基板のみを不良品とすることで、貼り合わせ用基板の製造歩留

ロスの回避及び貼り合わせSOIウェーハのボイド欠陥発生率低減を両立させることができる。

図面の簡単な説明

[0013] [図1]本発明の貼り合わせ用基板の表面欠陥の評価方法の工程フロー図である。

[図2]多結晶シリコン層堆積前後の表面LPD (Light Point Defect) の重ね合わせマップ (a) 及び同一位置に検出された欠陥の表面SEM/断面TEM像 (b) である。

[図3]鏡面加工されたシリコン単結晶基板 (PW) 表面のピット深さと多結晶シリコン層表面 (研磨後) のピット深さの関係を示すグラフである。

[図4]多結晶シリコン堆積前後の表面LPD及び貼り合わせSOIウェーハのボイドの重ね合わせマップである。

[図5]従来の貼り合わせ用基板の表面欠陥の評価方法の工程フロー図である。

[図6]従来の貼り合わせSOIウェーハの製造方法の工程フロー図である。

[図7]貼り合わせSOIウェーハの断面図である。

発明を実施するための形態

[0014] 上記のように、貼り合わせ用基板の表面欠陥の評価方法において、貼り合わせ用基板の製造歩留のロスを回避し、かつ、貼り合わせSOIウェーハのボイド欠陥発生率を低減することができる貼り合わせ用基板の表面欠陥の評価方法が求められている。

[0015] 本発明者らは、上記目的を達成するために鋭意検討を行った結果、多結晶シリコン層を堆積前のPW (Polished Wafer) 表面と、多結晶シリコン層の堆積後に研磨を行った後の多結晶シリコン層表面の両者で表面欠陥の検査を行い、同一位置に表面欠陥を有するウェーハのみを不良品とすることで、上記課題を解決できることを見出し、本発明を完成させた。

[0016] 以下、本発明について、図を参照しながら詳細に説明するが、本発明はこれらに限定されるものではない。

[0017] まず、PW表面の欠陥と研磨された多結晶シリコン層表面の欠陥の関係に

ついて調査した。通常、上述した貼り合わせ用基板においては、多結晶シリコン層は2～3 μm の厚さで堆積された後、表面粗さを低減する為に0.4～1 μm 研磨される。多結晶シリコン層堆積前のPW表面と、多結晶シリコン層堆積後かつ研磨後の多結晶シリコン層表面に対して、KLA-TENCOR社製のSurfScan SP2等の表面欠陥検査機を用いて、検出閾値250nmとして測定を行った。両者の欠陥座標を比較照合したところ、同一位置に欠陥が存在することが分かった。

[0018] この同一位置に存在する欠陥について詳細に解析を行った。図2は、多結晶シリコン層堆積前後の表面LPDの重ね合わせマップ（図2（a））及び同一位置に検出された欠陥の表面SEM／断面TEM像（図2（b））である。図2（a）に示したように、多結晶シリコン層堆積前の表面欠陥の位置と多結晶シリコン層堆積後の表面欠陥の位置は、一致しているものが多い。これらの位置が一致した表面欠陥を表面SEM（Scanning Electron Microscope）と断面TEM（Transmission Electron Microscope）で解析した結果の一例が図2（b）である。断面TEMによる解析から、PW表面の欠陥はピットであり、多結晶シリコン層表面の欠陥もピットであることが分かった。

[0019] さらに評価及び解析を行ったところ、PW表面のピット深さと研磨後の多結晶シリコン層表面のピット深さは図3に示す関係にあることが分かった。

[0020] 図3に示した結果から、PW表面に深さ3 μm 以上のピットがあると、多結晶シリコン層でそのピットを埋めることができず、研磨を行ったとしても多結晶シリコン層表面にもピットが残留してしまうことを見出した。これとは逆に、PW表面のピット深さが3 μm 未満であれば多結晶シリコン層で埋められるか、又は、完全に埋められなくても研磨で平坦化されるかのどちらかであることを示している。

[0021] さらに、この貼り合わせ用基板を用いて貼り合わせSOIウェーハを作製し、明視野の光学顕微鏡でウェーハ表面全面をスキャンして画像を取り込み、画像のコントラストの比較によってポイド欠陥を抽出した。その後、前述

の重ね合わせマップにボイド欠陥の座標をさらに重ね合わせた。その結果を図4に示した。図4の重ね合わせマップに示すように、多結晶シリコン層堆積前後で同一位置に検出された欠陥は、貼り合わせ後に100%ボイドとなることを見出した。

[0022] この発見は視点を変えれば、貼り合わせSOIウェーハのボイドの原因となる欠陥のみを高感度に検出できる評価方法の発見であるといえる。この評価方法を貼り合せ用基板の製造プロセスに組み込むことにより、ボイドの原因となる欠陥を有するウェーハのみを選択的に不良品とすることができ、結果的に貼り合わせ用基板の製造歩留ロス（過剰な製造歩留の低下）を合理的に回避することができる。

[0023] 従来の貼り合わせSOIウェーハの製造プロセスでは、多結晶シリコン層の表面欠陥個数でのみ、貼り合わせ用基板の良否判定の規格を設定していた。しかし、これでは、図4に示すように、ボイドの原因とはならない欠陥だけを有するウェーハをも不良としてしまうことがあるため、貼り合わせ用基板の製造歩留を必要以上に低下させてしまっていた。

[0024] 次に、図1に示した、本発明の貼り合わせ用基板の表面欠陥の評価方法の工程フロー図を参照して、本発明についてさらに詳細に説明する。

[0025] まず、鏡面加工されたシリコン単結晶基板（PW: Polished Wafer）を準備する（A工程）。準備するシリコン単結晶基板の製造には、一般的なシリコン単結晶基板の製造方法を用いることができ、具体的には、単結晶引き上げ、円筒研削、ノッチ加工、スライス、面取り、ラッピング、エッチング、両面研磨、鏡面面取り、仕上げ研磨等を経たシリコン単結晶基板を用いることができる。

[0026] 次に、鏡面加工されたシリコン単結晶基板の表面欠陥を検査する（B工程）。表面欠陥の検査は、仕上げ研磨後、最終洗浄を通したシリコン単結晶基板表面に対して行うことが好ましい。表面欠陥検査ツールとして、KLA-Tencor社製のSurfscan SPX（X=1~3）を用いることができ、暗視野での散乱光をLPDとして検出する。問題となるピットを検

出するための検出閾値は250nm以上とすることが好ましい。このとき、検出された全欠陥の座標データを取得、記録する。座標データは、欠陥検出機がKLA-Tencor社製のSurfscan SPXであればKLARFファイルとして取得することができる。この工程で規格を設定することも可能であるが、その後の多結晶シリコン層の堆積によりピットが完全に埋められる、又は、完全に埋められなくとも、後工程の研磨で平坦化されるほどの浅いピットとして残るかで、救済される欠陥もある。そのため、鏡面加工されたシリコン単結晶基板の製造歩留の観点からは、本工程での規格は全く設定しないか、又は、極めて緩い設定とすることが好ましい。

[0027] 次に、シリコン単結晶基板の欠陥検査を行った表面に多結晶シリコン層を堆積する（C工程）。多結晶シリコン層の堆積は、例えば、特許文献2に記載の技術に従って行うことができる。多結晶シリコン層の膜厚は、後の研磨取代を考慮して、例えば1～5 μm 、好ましくは2～3 μm とする。また、多結晶シリコン層形成後は、SC1（ NH_4OH と H_2O_2 の混合水溶液）とSC2（ HCl と H_2O_2 の混合水溶液）による洗浄や、オゾン水洗浄等の親水面化処理のための洗浄を行うことが好ましい。親水面化されることで、次の鏡面面取り工程で、スラリーバーンの付着を防止することができる。

[0028] その後、多結晶シリコン層を堆積したシリコン単結晶基板に鏡面面取りを行う（D工程）。この鏡面面取りは、鏡面加工されたシリコン単結晶基板の製造工程で用いられるのと同様の鏡面面取り加工を、ウェーハエッジ部に成長した多結晶シリコン膜を除去するために行うものである。その後の研磨工程では、研磨ヘッドに取り付けられたテンプレートと呼ばれるワーク保持材を用いる。テンプレートはガラスエポキシ樹脂製リングとバックアップパッドの複合基材であり、研磨中はこのガラスエポキシ樹脂製リングの内周壁とシリコン単結晶基板エッジ部が常時接触することとなる。つまり、ここで鏡面面取りを行うのは、エッジ部からの発塵やリング内周壁との摺動抵抗の低減のためである。

[0029] 次に、多結晶シリコン層の表面を研磨する（E工程）。この工程では、鏡

面加工されたシリコン単結晶基板の製造工程で行われるのと同様の表面研磨を多結晶シリコン層表面に対して行う。研磨取代は $0.4\ \mu\text{m}$ 以上とすることが面粗さ改善のために好ましい。また、研磨取代を $1\ \mu\text{m}$ 以下とすることで生産性を高めることができる。

[0030] 次に、研磨された多結晶シリコン層の表面欠陥を検査する（F工程）。この工程では、シリコン単結晶基板の表面欠陥を検査する工程（B工程）と同様の検査ツール、閾値条件での測定を、研磨後に最終洗浄を通した多結晶シリコン層表面に対して行う。検出された全欠陥の座標データをB工程と同様に取得、記録する。

[0031] さらに、シリコン単結晶基板の表面欠陥を検査する工程（B工程）と多結晶シリコン層の表面欠陥を検査する工程（F工程）で検出された欠陥の座標を比較し、同一位置にある欠陥の有無で、多結晶シリコン層を有するシリコン単結晶基板の貼り合わせ用基板としての良否判定を行う（G工程）。ここで、欠陥測定における座標精度を考慮して、両欠陥の距離が $500\ \mu\text{m}$ 以内であれば同一の欠陥とみなすことができる。同一位置と判断された欠陥を有する貼り合わせ用基板のみを不良とし、それ以外は良品と判断することができる。そして、良品と判断された貼り合わせ用基板は貼り合わせ工程に投入することができる。尚、シリコン単結晶基板は堆積された多結晶シリコン層の研磨まで終わった段階で、貼り合わせ用基板と呼ぶことができる。

[0032] 比較のために、従来の貼り合わせ用基板の表面欠陥の評価方法の工程フロー図を図5に示した。図5において、H、J、K及びL工程については、本発明の貼り合わせ用基板の表面欠陥の評価方法のA、C、D及びE工程と共通であるため、重複を避けるため説明は省略する。

[0033] 従来の貼り合わせ用基板の表面欠陥の評価方法では、鏡面加工されたシリコン単結晶基板の表面欠陥を検査する工程（I工程）を有するが、検出された欠陥の座標は記録する必要がない。さらに従来の貼り合わせ用基板の表面欠陥の評価方法は、研磨された多結晶シリコン層の表面欠陥を検査する工程（M工程）を有する。従来は、この工程で検出された欠陥個数に対してのみ

、貼り合わせ用基板の良否判定の規格を設けていた。そのため、貼り合わせ用基板の製造歩留を高めるために欠陥個数の規格を緩く設定すると、貼り合わせSOIウェーハのボイド欠陥発生率が高くなり、反対に、貼り合わせSOIウェーハのボイド欠陥発生率を下げるために前述の欠陥個数の規格を厳しく設定すると、貼り合わせ用基板の製造歩留を過剰に低下させてしまっていた。

[0034] 本発明の貼り合わせ用基板の表面欠陥の評価方法では、多結晶シリコン層の堆積前の鏡面加工されたシリコン単結晶基板の表面と、多結晶シリコン層の堆積後に研磨を行った後の多結晶シリコン層の表面の両方で表面欠陥の検査を行い、同一位置に表面欠陥を有する貼り合わせ用基板のみを不良品とすることで、貼り合わせ用基板の製造歩留の低下の合理的な回避及び貼り合わせSOIウェーハのボイド欠陥発生率低減を両立させることができる。

[0035] また、本発明の貼り合わせ用基板の表面欠陥の評価方法で用いる貼り合わせ用基板は、貼り合わせSOIウェーハのベースウェーハであることが好ましい。貼り合わせ用基板を貼り合わせSOIウェーハのベースウェーハとすることで、本発明の貼り合わせ用基板の表面欠陥の評価方法を、先端の高周波デバイス向け貼り合わせSOIウェーハの製造プロセスに好適に適用することができる。その結果、高品質の貼り合わせSOIウェーハを安価に製造することができる。

実施例

[0036] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0037] (実施例)

まず、鏡面加工されたシリコン単結晶基板（直径300mm、結晶方位<100>）を100枚準備した。これらの鏡面加工されたシリコン単結晶基板の表面欠陥検査にはKLA-Tencor社のSurfScan SP2を用い、欠陥サイズの検出閾値を250nmとした。欠陥検査後、検出された欠陥の座標を記録した。続いて、欠陥検査を行ったシリコン単結晶基板の

表面上に膜厚 3 μm の多結晶シリコン層を堆積し、SC1 及び SC2 洗浄を行った。その後、多結晶シリコンを堆積したシリコン単結晶基板に鏡面面取りを実施した。次に、研磨取代を 1 μm として、多結晶シリコン層を研磨し、SC1 及び SC2 洗浄を行った。その後、研磨された多結晶シリコン層の表面を SurfScan SP2 を用いて前述したのと同じ条件で検査し、検出された欠陥の座標を記録した。

[0038] さらに、鏡面加工されたシリコン単結晶基板の表面の欠陥座標と、研磨された多結晶シリコン層の表面の欠陥座標を比較照合し、両欠陥の間の距離が 500 μm 以内であれば同一位置の欠陥と見なし、同一位置の欠陥を有する評価対象の貼り合わせ用基板を不良品とした。このときの貼り合わせ用基板の製造歩留は 97% であった。さらに、良品の貼り合わせ用基板をベースウェーハとして貼り合わせ SOI プロセスに投入して、貼り合わせ SOI ウェーハを製造した。貼り合わせ SOI ウェーハのボイドの測定は、明視野の光学顕微鏡でウェーハ表面全体をスキャンして画像を取り込み、画像のコントラストの比較によって欠陥を抽出することで行った。この際の検出閾値は 10 μm とした。このときのボイド（欠陥）発生率（製造した貼り合わせ SOI ウェーハ中のボイド欠陥が発生したウェーハの割合）は 2.0% であった。実施例についての以上の結果を表 1 に示した。

[0039] [表1]

	規格	製造歩留[%]	N	良品を 貼り合わせ SOI プロセス投入 ⇒	ボイド発生率[%]
実施例	同一位置欠陥無きこと	97	100		
比較例 1	≤ 3 個	96	100		7.2
比較例 2	≤ 2 個	95	100		6.3
比較例 3	≤ 1 個	93	100		3.2

[0040] (比較例 1)

まず、鏡面加工されたシリコン単結晶基板を 100 枚準備した。これらの鏡面加工されたシリコン単結晶基板の表面欠陥検査には KLA-Tencor 社の SurfScan SP2 を用い、欠陥サイズの検出閾値を 250 nm とした。ここでは規格を設けずに全ての基板を良品扱いとした。続いて、欠陥検査を行ったシリコン単結晶基板の表面上に膜厚 3 μm の多結晶シリコ

ン層を堆積し、SC1及びSC2洗浄を行った。その後、多結晶シリコンを堆積したシリコン単結晶基板に鏡面面取りを実施した。次に、研磨取代を1 μ mとし、多結晶シリコン層を研磨し、次いでSC1及びSC2洗浄を行った。その後、研磨された多結晶シリコン層の表面をSurfScan SP2を用いて前述したのと同じ条件で検査し、欠陥の個数を求めた。比較例1では、欠陥の個数規格を3個とした。このときの貼り合せ用基板の製造歩留は、96%であった。

[0041] そして、良品の貼り合せ用基板をベースウェーハとして貼り合わせSOIプロセスに投入して、貼り合わせSOIウェーハを製造した。貼り合わせSOIウェーハのボイドの測定は、明視野の光学顕微鏡でウェーハ表面全面をスキャンして画像を取り込み、画像のコントラストの比較によって欠陥を抽出することで行った。この際の検出閾値は10 μ mとした。このときのボイド発生率は7.2%であった。比較例1のこれらの結果を表1に示した。

[0042] (比較例2)

比較例2では、研磨された多結晶シリコン層の表面の欠陥の個数規格を2個としたこと以外は、比較例1と同様にして、貼り合せ用基板の良否判定を行った。そのときの貼り合せ用基板の製造歩留は、95%であった。さらに、比較例1と同様にしてボイド発生率を求めたところ、6.3%であった。比較例2のこれらの結果を表1に示した。

[0043] (比較例3)

比較例3では、研磨された多結晶シリコン層の表面の欠陥の個数規格を1個としたこと以外は、比較例1と同様にして、貼り合せ用基板の良否判定をおこなった。そのときの貼り合せ用基板の製造歩留は、93%であった。さらに、比較例1と同様にしてボイド発生率を求めたところ、3.2%であった。比較例3のこれらの結果を表1に示した。

[0044] 以上のように、実施例では貼り合せ用基板の製造歩留は高く、また、ボイド発生率は低かった。一方、比較例1-3では貼り合せ用基板の欠陥個数規格を下げることで製造歩留が低下するかわりに、ボイド発生率は改善し

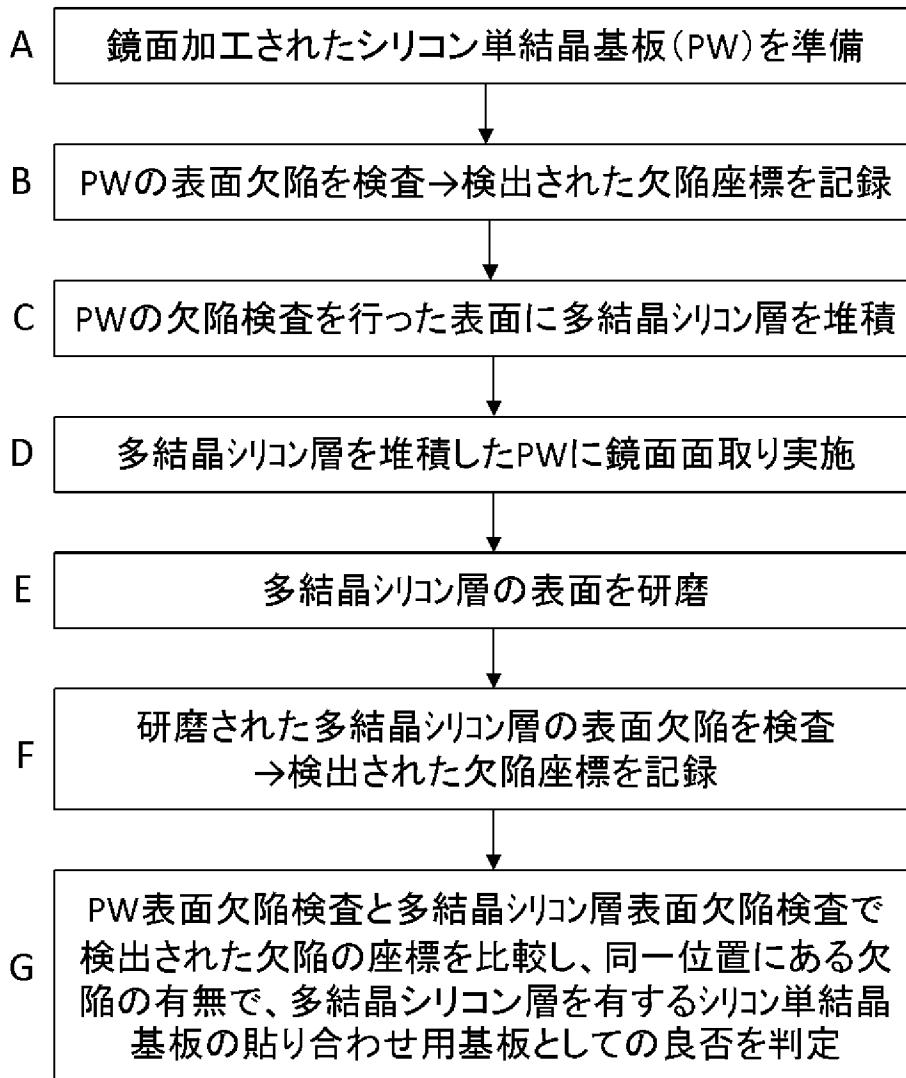
ていた。しかしながら、比較例では貼り合わせ用基板の高い製造歩留と貼り合わせSOIウェーハの低いボイド発生率を両立させることはできなかった。従って、本発明の有効性が示された。

[0045] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

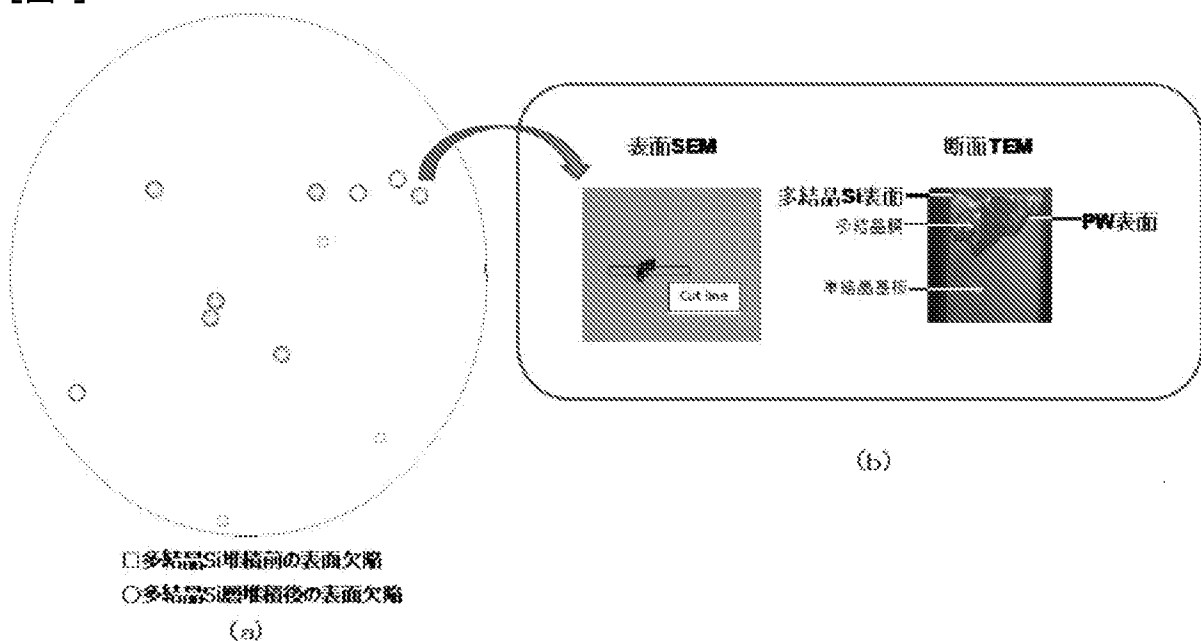
請求の範囲

- [請求項1] 貼り合わせ用基板の表面欠陥の評価方法であって、
鏡面加工されたシリコン単結晶基板を準備する工程と、
前記鏡面加工されたシリコン単結晶基板の表面欠陥を検査する工程と、
前記シリコン単結晶基板の欠陥検査を行った表面に多結晶シリコン層を堆積する工程と、
前記多結晶シリコン層を堆積したシリコン単結晶基板に鏡面面取りを行う工程と、
前記多結晶シリコン層の表面を研磨する工程と、
前記研磨された多結晶シリコン層の表面欠陥を検査する工程と、
前記シリコン単結晶基板の表面欠陥を検査する工程と前記多結晶シリコン層の表面欠陥を検査する工程で検出された欠陥の座標を比較し、同一位置にある欠陥の有無で、前記多結晶シリコン層を有するシリコン単結晶基板の貼り合わせ用基板としての良否判定を行う工程と、
を有することを特徴とする貼り合わせ用基板の表面欠陥の評価方法。
- [請求項2] 前記貼り合わせ用基板は、貼り合わせSOIウェーハのベースウェーハであることを特徴とする請求項1に記載の貼り合わせ用基板の表面欠陥の評価方法。

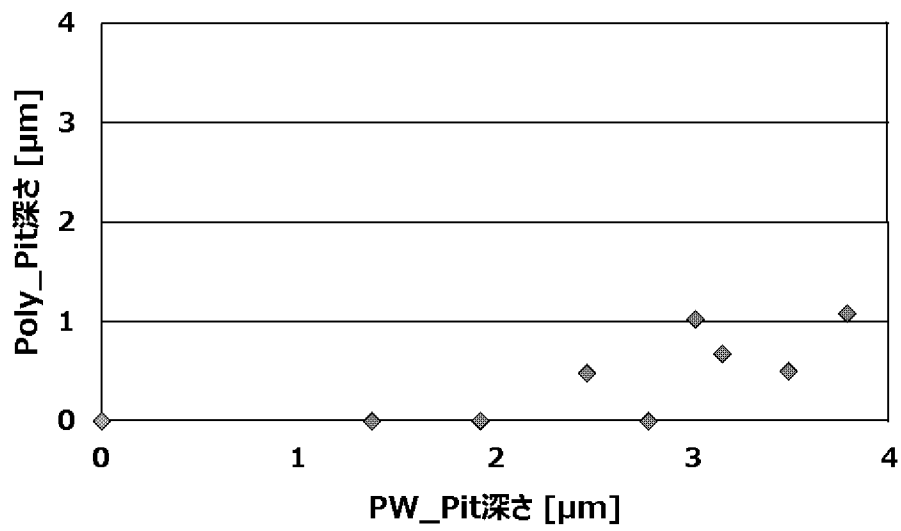
[図1]



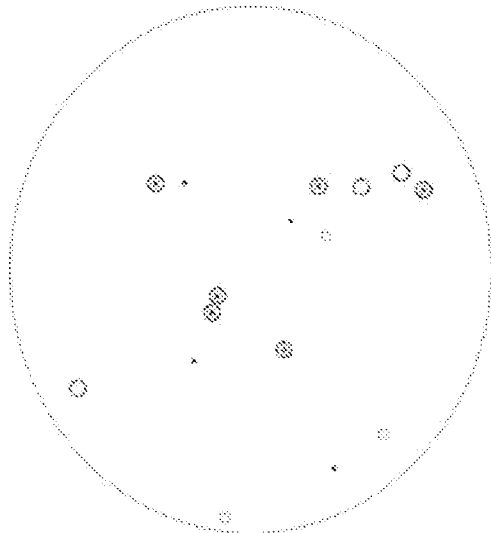
[図2]



[図3]

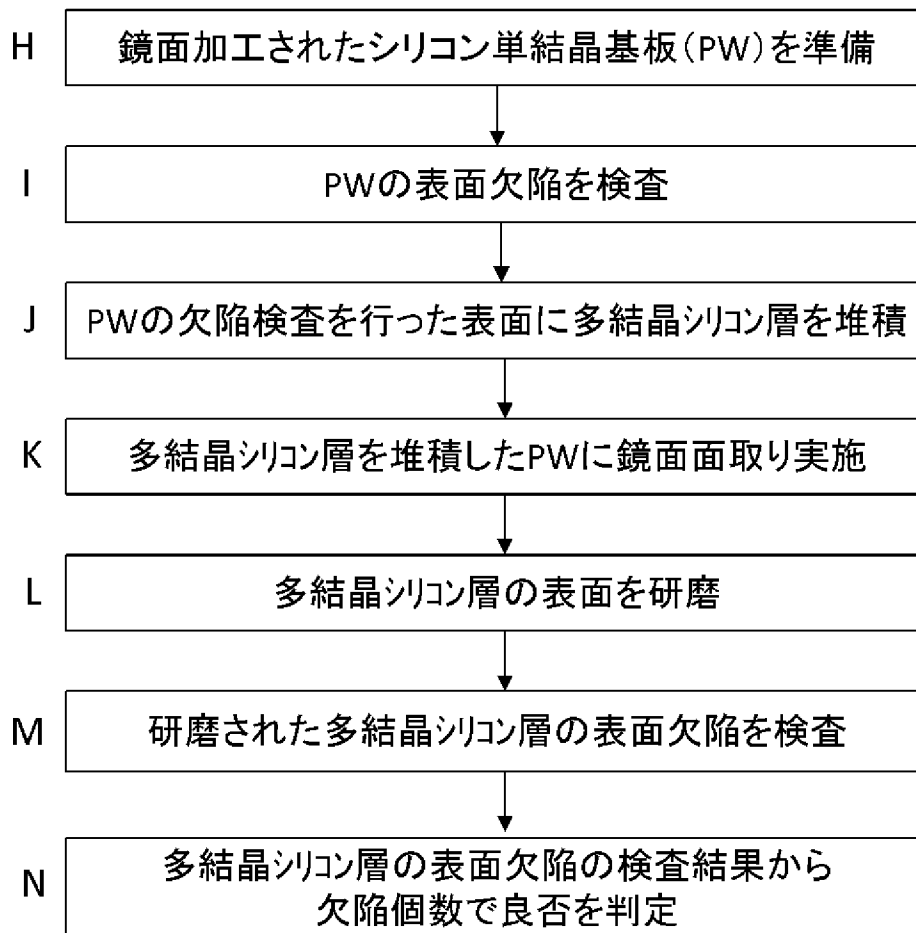


[図4]

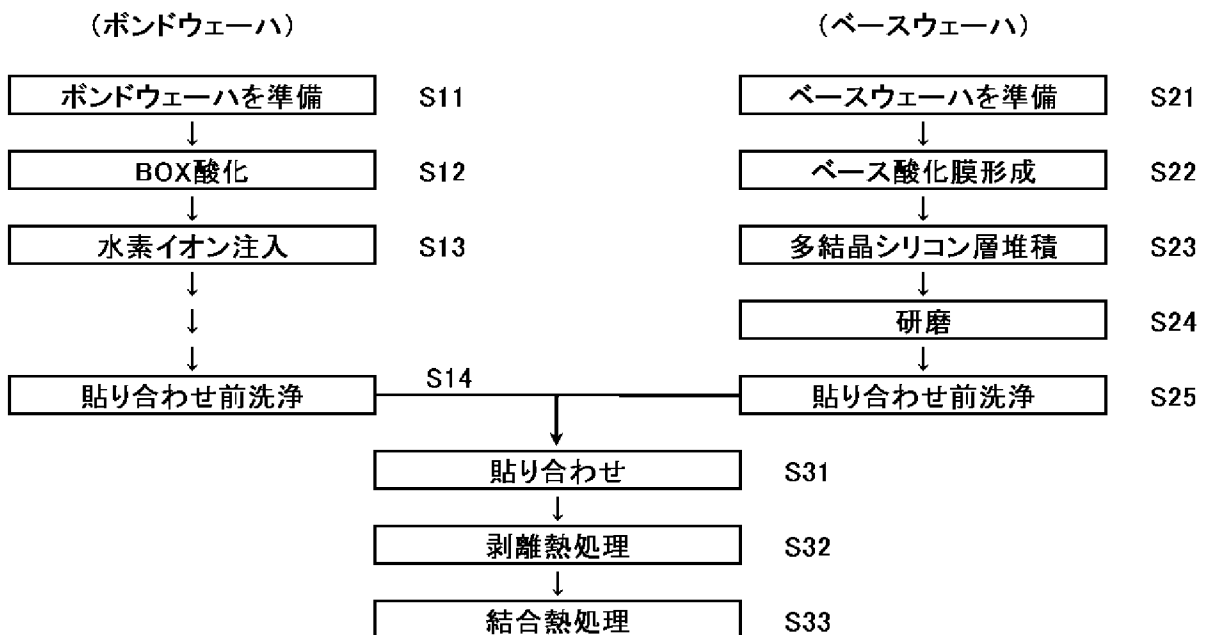


※粘り台で撮影した：○多結晶・引抜き前の表面欠陥 ○多結晶・管端溶接の表面欠陥

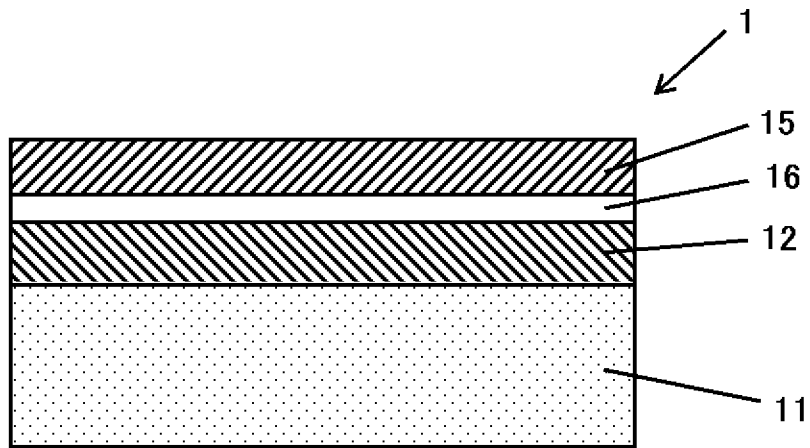
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/027102

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/66(2006.01) i, G01N21/956(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/66, G01N21/956

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-21242 A (SUMCO Corp.), 28 January 2010 (28.01.2010), paragraphs [0015] to [0017] (Family: none)	1-2
A	JP 2007-192651 A (Tokyo Seimitsu Co., Ltd.), 02 August 2007 (02.08.2007), paragraphs [0028] to [0030] & US 2007/0165211 A1 paragraphs [0037] to [0042]	1-2

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 October 2017 (03.10.17)	Date of mailing of the international search report 17 October 2017 (17.10.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/66(2006.01)i, G01N21/956(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/66, G01N21/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-21242 A (株式会社SUMCO) 2010.01.28, 段落 0015-0017 (ファミリーなし)	1-2
A	JP 2007-192651 A (株式会社東京精密) 2007.08.02, 段落 0028-0030 & US 2007/0165211 A1, 段落 0037-0042	1-2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

03.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀江 義隆

電話番号 03-3581-1101 内線 3559

50

9172