(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0174174
(43) 공개일자 2023년12월27일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/02* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/66969 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2023-0076691
(22) 출원일자 2023년06월15일
심사청구일자 없음
(30) 우선권주장
JP-P-2022-098829 2022년06월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼, 슌페이
일본 243-0036 가나가와껭 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
엔도, 도시야
일본 243-0036 가나가와껭 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
호도, 료따
일본 243-0036 가나가와껭 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
양영준, 윤선근, 박충범

전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **반도체 장치의 제작 방법**

(57) 요 약

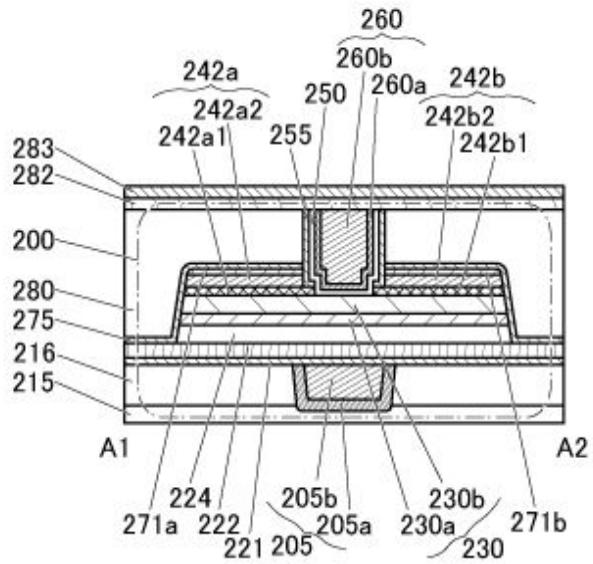
본 발명은 미세화 또는 고집적화가 가능한 반도체 장치를 제공한다.

기판 위에 산화물, 산화물 위의 제 1 도전체, 및 제 1 도전체 위의 제 2 도전체를 형성하고, 산화물, 제 1 도전체, 및 제 2 도전체를 덮어 제 1 절연체를 형성하고, 제 1 절연체에 개구를 형성하고, 개구와 중첩되는 영역에서

(뒷면에 계속)

대 표 도

(B)



제 2 도전체를 제 3 도전체와 제 4 도전체로 분단하고, 산화물 및 제 1 절연체를 덮어 제 2 절연체 및 제 3 절연체를 성막하고, 드라이 에칭법을 사용하여 제 2 절연체 및 제 3 절연체를 가공함으로써 제 1 절연체의 측면, 제 3 도전체의 측면, 및 제 4 도전체의 측면에 접하는 제 4 절연체, 그리고 제 4 절연체의 측면 및 상면에 접하는 제 5 절연체를 형성하고, 제 4 절연체 및 제 5 절연체를 마스크로서 사용하여 드라이 에칭법에 의하여 제 1 도전체를 가공함으로써 제 1 도전체를 제 5 도전체와 제 6 도전체로 분단하고, 등방성 에칭을 사용하여 제 5 절연체를 제거하고, 제 2 절연체로서 질화물 절연체를 성막하고, 제 3 절연체로서 산화물 절연체를 성막한다.

(52) CPC특허분류

H01L 21/0217 (2013.01)

H01L 21/0228 (2013.01)

H01L 21/02631 (2013.01)

H01L 29/7869 (2013.01)

명 세 서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

기판 위의 산화물, 상기 산화물 위의 제 1 도전체, 및 상기 제 1 도전체 위의 제 2 도전체를 형성하는 단계;

상기 산화물, 상기 제 1 도전체, 및 상기 제 2 도전체를 덮어 제 1 절연체를 형성하는 단계;

상기 제 1 절연체 및 상기 제 2 도전체에 개구를 형성하여 상기 제 2 도전체를 제 3 도전체와 제 4 도전체로 분단하는 단계;

상기 개구 및 상기 제 1 절연체를 덮어 제 2 절연체를 형성하는 단계;

상기 제 2 절연체 위에 제 3 절연체를 형성하는 단계;

드라이 에칭법에 의하여 상기 제 2 절연체 및 상기 제 3 절연체를 가공함으로써 상기 제 1 절연체의 측면, 상기 제 3 도전체의 측면, 및 상기 제 4 도전체의 측면에 접하는 제 4 절연체, 그리고 상기 제 4 절연체의 측면 및 상면에 접하는 제 5 절연체로 하는 단계;

상기 제 4 절연체 및 상기 제 5 절연체를 마스크로서 사용하여 상기 드라이 에칭법에 의하여 상기 제 1 도전체를 가공함으로써 상기 제 1 도전체를 제 5 도전체와 제 6 도전체로 분단하는 단계;

등방성 에칭에 의하여 상기 제 5 절연체를 제거하는 단계;

산소를 포함한 분위기에서 상기 산화물에 가열 처리를 수행하는 단계;

상기 산화물, 상기 제 1 절연체, 및 상기 제 4 절연체를 덮어 제 6 절연체를 형성하는 단계;

상기 제 6 절연체 위에 제 7 도전체를 형성하는 단계; 및

CMP 처리에 의하여 상기 제 6 절연체 및 상기 제 7 도전체를 가공함으로써 상기 개구 내에 제 7 절연체 및 제 8 도전체를 형성하는 단계를 포함하고,

상기 제 2 절연체로서는 질화물 절연체를 형성하고,

상기 제 3 절연체로서는 산화물 절연체를 형성하는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 절연체로서 PEALD법에 의하여 질화 실리콘을 형성하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 제 3 절연체로서 PEALD법에 의하여 산화 실리콘을 형성하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 도전체로서 스퍼터링법에 의하여 질화 탄탈럼을 형성하는, 반도체 장치의 제작 방법.

청구항 5

제 1 항에 있어서,

상기 제 2 도전체로서 스퍼터링법에 의하여 텅스텐을 형성하는, 반도체 장치의 제작 방법.

청구항 6

제 1 항에 있어서,

상기 산화물로서 스퍼터링법에 의하여 인듐, 갈륨, 및 아연을 포함한 산화물을 형성하는, 반도체 장치의 제작 방법.

청구항 7

반도체 장치의 제작 방법으로서,

기판 위의 산화물, 상기 산화물 위의 제 1 도전체, 및 상기 제 1 도전체 위의 제 2 도전체를 형성하는 단계;

상기 산화물, 상기 제 1 도전체, 및 상기 제 2 도전체를 덮어 제 1 절연체를 형성하는 단계;

상기 제 1 절연체 및 상기 제 2 도전체에 개구를 형성하여 상기 제 1 도전체를 노출시키고 상기 제 2 도전체를 제 3 도전체와 제 4 도전체로 분단하는 단계;

상기 개구 및 상기 제 1 절연체를 덮어 제 2 절연체를 형성하는 단계;

상기 제 2 절연체 위에 제 3 절연체를 형성하는 단계;

상기 제 2 절연체의 일부 및 상기 제 3 절연체의 일부를 제거하여, 상기 개구의 측벽에 접하는 제 4 절연체, 그리고 상기 제 4 절연체의 측면 및 상면에 접하는 제 5 절연체를 형성하는 단계;

상기 개구와 중첩되는 상기 제 1 도전체의 일부를 제거하여 상기 제 1 도전체를 제 5 도전체와 제 6 도전체로 분단하는 단계;

상기 제 5 절연체를 제거하는 단계; 및

상기 개구 내에 제 6 절연체 및 제 7 도전체를 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 7 항에 있어서,

상기 제 2 절연체로서 PEALD법에 의하여 질화 실리콘을 형성하는, 반도체 장치의 제작 방법.

청구항 9

제 7 항에 있어서,

상기 제 3 절연체로서 PEALD법에 의하여 산화 실리콘을 형성하는, 반도체 장치의 제작 방법.

청구항 10

제 7 항에 있어서,

상기 제 1 도전체로서 스퍼터링법에 의하여 질화 탄탈럼을 형성하는, 반도체 장치의 제작 방법.

청구항 11

제 7 항에 있어서,

상기 제 2 도전체로서 스퍼터링법에 의하여 텅스텐을 형성하는, 반도체 장치의 제작 방법.

청구항 12

제 7 항에 있어서,

상기 산화물로서 스퍼터링법에 의하여 인듐, 갈륨, 및 아연을 포함한 산화물을 형성하는, 반도체 장치의 제작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 상기 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

[0003] 또한 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 및 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

배 경 기 술

[0004] 근년, 반도체 장치의 개발이 진행되고 있고, LSI, CPU, 메모리 등이 주로 반도체 장치에 사용되고 있다. CPU는, 반도체 웨이퍼를 가공하여 칩으로 한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 반도체 회로(IC칩)는 회로 기판, 예를 들어 인쇄 배선 기판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC), 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0007] 또한 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 낮은 것이 알려져 있다. 예를 들어 특허문헌 1에는, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용한 저소비 전력의 CPU 등이 개시(開示)되어 있다. 또한 예를 들어 특허문헌 2에는, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.

[0008] 또한 산화물 반도체의 상면에 접하여 소스 전극층과 드레인 전극층이 제공된 미세 구조를 가지는 트랜지스터가 특허문헌 3에 개시되어 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

(특허문헌 0002) 일본 공개특허공보 특개2011-151383호

(특허문헌 0003) 국제공개공보 WO2016-125052호

발명의 내용

해결하려는 과제

[0010] 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 동작 속도가 빠른 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 반도체

장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 생산성이 높은 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0011] 또는 본 발명의 일 형태는 기억 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 동작 속도가 빠른 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다.

[0012] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 반드시 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재로부터 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 기판 위에 산화물, 산화물 위의 제 1 도전체, 및 제 1 도전체 위의 제 2 도전체를 형성하고, 산화물, 제 1 도전체, 및 제 2 도전체를 덮어 제 1 절연체를 형성하고, 제 1 절연체에 개구를 형성하고, 개구와 중첩되는 영역에서 제 2 도전체를 제 3 도전체와 제 4 도전체로 분단하고, 산화물 및 제 1 절연체를 덮어 제 2 절연체를 성막하고, 제 2 절연체 위에 제 3 절연체를 성막하고, 드라이 에칭법을 사용하여 제 2 절연체 및 제 3 절연체를 가공함으로써 제 1 절연체의 측면, 제 3 도전체의 측면, 및 제 4 도전체의 측면에 접하는 제 4 절연체, 그리고 제 4 절연체의 측면 및 상면에 접하는 제 5 절연체를 형성하고, 제 4 절연체 및 제 5 절연체를 마스크로서 사용하여 드라이 에칭법에 의하여 제 1 도전체를 가공함으로써 제 1 도전체를 제 5 도전체와 제 6 도전체로 분단하고, 등방성 에칭을 사용하여 제 5 절연체를 제거하고, 산소를 포함한 분위기에서 산화물에 가열 처리를 수행하고, 산화물, 제 1 절연체, 및 제 4 절연체를 덮어 제 6 절연체를 성막하고, 제 6 절연체 위에 제 7 도전체를 성막하고, CMP 처리를 사용하여 제 6 절연체 및 제 7 도전체를 가공함으로써 개구 내에 제 7 절연체 및 제 8 도전체를 형성하고, 제 2 절연체로서는 질화물 절연체를 성막하고, 제 3 절연체로서는 산화물 절연체를 성막하는 반도체 장치의 제작 방법이다.

[0014] 상기에 있어서 제 2 절연체로서는 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다.

[0015] 또한 상기에 있어서 제 3 절연체로서는 PEALD법을 사용하여 산화 실리콘을 성막하는 것이 바람직하다.

[0016] 또한 상기에 있어서 제 1 도전체로서는 스퍼터링법을 사용하여 질화 탄탈럼을 성막하는 것이 바람직하다.

[0017] 또한 상기에 있어서 제 2 도전체로서는 스퍼터링법을 사용하여 텅스텐을 성막하는 것이 바람직하다.

[0018] 또한 상기에 있어서 산화물로서는 스퍼터링법을 사용하여 인듐, 갈륨, 및 아연을 포함한 산화물을 성막하는 것이 바람직하다.

발명의 효과

[0019] 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치의 제작 방법을 제공할 수 있다.

[0020] 본 발명의 일 형태에 의하여 기억 용량이 큰 기억 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 기억 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 기억 장치를 제공할 수 있다.

[0021] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 명세서, 도면, 청구항의 기재로부터 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0022] 도 1의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 1의 (B) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 2의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 3의 (A) 내지 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 4의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 5의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 5의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 6의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 6의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 7의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 7의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 8의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 8의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 9의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 9의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 10의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 10의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 11의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 11의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 12의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 12의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 13의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 13의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 14의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 15의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 15의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 16의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 17의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 17의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 18의 (A)는 반도체 장치의 제작 방법의 일례를 나타낸 평면도이다. 도 18의 (B) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 19는 기억 장치의 일례를 나타낸 블록도이다.

도 20의 (A) 및 (B)는 기억 장치의 일례를 나타낸 모식도 및 회로도이다.

도 21의 (A) 및 (B)는 기억 장치의 일례를 나타낸 모식도이다.

도 22는 기억 장치의 일례를 나타낸 회로도이다.

도 23은 기억 장치의 일례를 나타낸 단면도이다.

도 24는 기억 장치의 일례를 나타낸 단면도이다.

도 25의 (A) 내지 (C)는 기억 장치의 일례를 나타낸 회로도이다.

도 26의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 도면이다.

도 27의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.

도 28의 (A) 및 (B)는 전자 기기의 일례를 나타낸 도면이고, 도 28의 (C) 내지 (E)는 대형 계산기의 일례를 나타낸 도면이다.

도 29는 우주용 기기의 일례를 나타낸 도면이다.

도 30은 데이터 센터에 적용 가능한 저장 시스템의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다.

[0024] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0025] 또한 도면에 도시된 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여, 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지는 않는다.

[0026] 또한 본 명세서 등에서 '제 1', '제 2'라는 서수사는 편의상 사용하는 것이고, 구성 요소의 수 또는 구성 요소의 순서(예를 들어 공정 순서 또는 적층 순서)를 한정하는 것은 아니다. 또한 본 명세서의 어느 부분에서 구성 요소에 부기하는 서수사와, 본 명세서의 다른 부분 또는 청구범위에서 상기 구성 요소에 부기하는 서수사가 일치하지 않는 경우가 있다.

[0027] 또한 '막'이라는 용어와 '층'이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있다. 또한 '도전체'라는 용어는 경우 또는 상황에 따라 '도전층'이라는 용어 또는 '도전막'이라는 용어로 바꿀 수 있다. 또한 '절연체'라는 용어는 경우 또는 상황에 따라 '절연층'이라는 용어 또는 '절연막'이라는 용어로 바꿀 수 있다.

[0028] 개구에는 예를 들어 홈, 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 개구부라고 기재하는 경우가 있다.

[0029] 또한 본 명세서의 실시형태에서 사용하는 도면에 있어서, 개구부에서의 절연체의 측벽은 기판면 또는 피형성면에 대하여 수직 또는 실질적으로 수직이지만, 테이퍼 형상이어도 좋다.

[0030] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공되어 있는 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(이하, 테이퍼각이라고 부르는 경우가 있음)이 90° 미만인 영역을 가지는 형상을 가리킨다. 또한 구조의 측면 및 기판면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 실질적인 평면 형상, 또는 미세한 요철을 가지는 실질적인 평면 형상이어도 좋다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는 산화물 반도체를 가지는 반도체 장치 및 상기 반도체 장치의 제작 방법에 대하여 도 1 내지 도 18을 사용하여 설명한다.

[0033] <반도체 장치의 구성예>

[0034] 도 1 내지 도 4를 사용하여 반도체 장치의 구성예에 대하여 설명한다. 도 1의 (A) 내지 (D)는 반도체 장치(트랜지스터(200))의 평면도 및 단면도이다. 도 1의 (A)는 상기 반도체 장치의 평면도이다. 또한 도 1의 (B) 내지 (D)는 상기 반도체 장치의 단면도이다. 여기서 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도

1의 (D)는 도 1의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 1의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 도 2의 (A) 내지 도 4의 (D)는 트랜지스터(200)의 채널 길이 방향의 단면 확대도이다.

[0035] 트랜지스터(200)는 절연체(216)에 매립되도록 제공된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 및 도전체(205) 위의 절연체(221)와, 절연체(221) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230)(산화물(230a) 및 산화물(230b))과, 산화물(230) 위의 도전체(242a)(도전체(242a1) 및 도전체(242a2)) 및 도전체(242b)(도전체(242b1) 및 도전체(242b2))와, 도전체(242a) 위의 절연체(271a)와, 도전체(242b) 위의 절연체(271b)와, 산화물(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다.

[0036] 절연체(271a, 271b) 위에는 절연체(275)가 제공되고, 절연체(275) 위에는 절연체(280)가 제공된다. 절연체(255), 절연체(250), 및 도전체(260)는 절연체(280) 및 절연체(275)에 제공된 개구의 내부에 배치된다. 또한 절연체(280) 위 및 도전체(260) 위에 절연체(282)가 제공된다. 또한 절연체(282) 위에 절연체(283)가 제공된다. 또한 절연체(216) 및 도전체(205) 아래에 절연체(215)가 제공된다. 또한 도전체(242a2), 도전체(242b2), 절연체(271a), 절연체(271b), 절연체(275), 및 절연체(280)와 절연체(250) 사이에 절연체(255)가 제공된다.

[0037] 산화물(230)은 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역을 가진다. 또한 도전체(260)는 트랜지스터(200)의 제 1 게이트 전극(위쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(250)는 트랜지스터(200)의 제 1 게이트 절연체로서 기능하는 영역을 가진다. 또한 도전체(205)는 트랜지스터(200)의 제 2 게이트 전극(아래쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(224), 절연체(222), 및 절연체(221)는 각각 트랜지스터(200)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0038] 도전체(242a)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다.

[0039] 도전체(242a)는 도전체(242a1)와, 도전체(242a1) 위의 도전체(242a2)의 적층 구조를 가지고, 도전체(242b)는 도전체(242b1)와, 도전체(242b1) 위의 도전체(242b2)의 적층 구조를 가진다. 산화물(230b)에 접하는 도전체(242a1) 및 도전체(242b1)는 금속 질화물 등 산화되기 어려운 도전체인 것이 바람직하다. 이로써, 산화물(230b)에 포함되는 산소로 인하여 도전체(242a) 및 도전체(242b)가 과도하게 산화되는 것을 방지할 수 있다. 또한 도전체(242a2) 및 도전체(242b2)는 도전체(242a1) 및 도전체(242b1)보다 도전성이 높은 금속층 등의 도전체인 것이 바람직하다. 이로써 도전체(242a) 및 도전체(242b)를 도전성이 높은 배선 또는 전극으로서 기능시킬 수 있다. 이와 같이 함으로써, 활성층으로서 기능하는 산화물(230)의 상면에 접하여 배선 또는 전극으로서 기능하는 도전체(242a) 및 도전체(242b)가 제공된 반도체 장치를 제공할 수 있다.

[0040] 절연체(255)는 질화물 등 산화되기 어려운 절연체인 것이 바람직하다. 절연체(255)는 이방성 에칭을 사용하여, 절연체(280) 등에 제공된 개구의 측벽(여기서 개구의 측벽은, 예를 들어 개구에서의 절연체(280) 등의 측면에 대응함)에 접하여 측벽 형태로 형성된다. 절연체(255)는 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되고, 도전체(242a2) 및 도전체(242b2)를 보호하는 기능을 가진다. 자세한 사항은 후술하지만, 도전체를 도전체(242a1)와 도전체(242b1)로 분단한 후, 절연체(250)를 성막하기 전에 산소를 포함한 분위기에서 열처리를 수행하는 것이 바람직하다. 이때 절연체(255)가 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되어 있기 때문에, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되는 것을 방지할 수 있다.

[0041] 상술한 절연체(280) 및 절연체(275)에 제공된 개구는 도전체(242a2)와 도전체(242b2) 사이의 영역과 중첩된다. 상면에서 볼 때, 개구에서의 절연체(280)의 측면은 도전체(242a2)의 측면 및 도전체(242b2)의 측면과 일치 또는 대략 일치한다. 또한 도전체(242a1)의 상면의 일부가 도전체(242a2)에 접하고, 도전체(242b1)의 상면의 일부가 도전체(242b2)에 접한다. 따라서 절연체(255)는 상기 개구 내에 있어서 도전체(242a1)의 상면의 다른 일부, 도전체(242b1)의 상면의 다른 일부, 도전체(242a2)의 측면, 및 도전체(242b2)의 측면에 접한다. 여기서 도 1의 (B) 및 (C)에 나타낸 바와 같이 도전체(242a1)의 상면, 도전체(242b1)의 상면, 또는 절연체(222)의 상면에 접하는 절연체(255)의 부분에 돌출부가 형성된다. 절연체(255)의 돌출부는 상기 개구의 중앙부를 향하여 다른 부분보다 돌출한 형상을 가진다. 그러므로 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부는 상기 개구 내에서 돌출하도록 형성된다.

[0042] 또한 절연체(250)는 산화물(230)의 상면, 도전체(242a1)의 측면, 도전체(242b1)의 측면, 및 절연체(255)의 측면

에 접한다. 또한 상기 개구에서 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부는 돌출되도록 형성되기 때문에, 절연체(250)의 형상에 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부의 형상이 반영된다.

[0043] 상술한 바와 같이, 절연체(255)의 돌출부와 같은 정도로 도전체(242a1, 242b1)를 도전체(242a2, 242b2)보다 돌출시켜 형성할 수 있다. 이에 의하여, 도 2의 (B)에 나타낸 바와 같이, 트랜지스터(200)를 채널 길이 방향의 단면에서 볼 때, 도전체(242a1)와 도전체(242b1) 사이의 거리 L2가 도전체(242a2)와 도전체(242b2) 사이의 거리 L1보다 짧게 된다. 이러한 구성으로 함으로써, 소스와 드레인 사이의 거리를 더 짧게 할 수 있고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(200)의 주파수 특성을 향상시킬 수 있다. 이와 같이, 반도체 장치를 미세화함으로써, 동작 속도가 향상된 반도체 장치를 제공할 수 있다.

[0044] 산화물(230)은 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)을 가지는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물이 확산되는 것을 억제할 수 있다.

[0045] 또한 본 실시형태에서는 산화물(230)이 산화물(230a) 및 산화물(230b)의 2층 구조를 가지는 예를 설명하였지만 이에 한정되지 않는다. 산화물(230)은 예를 들어 산화물(230b)의 단층 구조를 가져도 좋고, 3층 이상의 층의 적층 구조를 가져도 좋다.

[0046] 산화물(230b)에는 트랜지스터(200)의 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공되는 소스 영역 및 드레인 영역이 형성된다. 채널 형성 영역의 적어도 일부는 도전체(260)와 중첩된다. 소스 영역은 도전체(242a)와 중첩되고, 드레인 영역은 도전체(242b)와 중첩된다. 또한 소스 영역과 드레인 영역은 서로 바꿀 수 있다.

[0047] 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 불순물 농도가 낮기 때문에, 캐리어 농도가 낮은 고저항 영역이다. 따라서 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0048] 또한 소스 영역 및 드레인 영역은 산소 결손이 많거나 수소, 질소, 금속 원소 등의 불순물 농도가 높기 때문에, 캐리어 농도가 높은 저저항 영역이다. 즉 소스 영역 및 드레인 영역은 채널 형성 영역과 비교하여 캐리어 농도가 높은 n형 영역(저저항 영역)이다.

[0049] 또한 채널 형성 영역의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하, $1\times10^{17}cm^{-3}$ 미만, $1\times10^{16}cm^{-3}$ 미만, $1\times10^{15}cm^{-3}$ 미만, $1\times10^{14}cm^{-3}$ 미만, $1\times10^{13}cm^{-3}$ 미만, $1\times10^{12}cm^{-3}$ 미만, $1\times10^{11}cm^{-3}$ 미만, 또는 $1\times10^{10}cm^{-3}$ 미만인 것이 바람직하다. 또한 채널 형성 영역의 캐리어 농도의 하한값에 대해서는 특별한 한정은 없지만, 예를 들어 $1\times10^{-9}cm^{-3}$으로 할 수 있다.

[0050] 또한 산화물(230b)의 캐리어 농도를 낮추는 경우에는, 산화물(230b) 내의 불순물 농도를 낮추고 결함 준위 밀도를 낮춘다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체(또는 금속 산화물)를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체(또는 금속 산화물)라고 부르는 경우가 있다.

[0051] 트랜지스터(200)의 전기 특성을 안정화하기 위해서는, 산화물(230b) 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물(230b) 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 또한 산화물(230b) 내의 불순물이란, 예를 들어 산화물(230b)을 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수 있다.

[0052] 또한 채널 형성 영역, 소스 영역, 및 드레인 영역은 각각, 산화물(230b)뿐만 아니라 산화물(230a)에도 형성되어도 좋다.

[0053] 또한 산화물(230)에서, 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 채널 형성 영역에 가까운 영역일수록 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되어도 좋다.

[0054] 산화물(230)(산화물(230a) 및 산화물(230b))에는 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0055] 반도체로서 기능하는 금속 산화물의 밴드 갭은 2eV 이상이 바람직하고, 2.5eV 이상이 더 바람직하다. 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 이와 같이 채널 형성 영역에 금속 산화물을 포함한 트랜지스터를 OS 트랜지스터라고 부른다. OS 트랜지스터는 오프 전류가 작기 때문에 반도체 장치의 소비 전력을 충분히 저감할 수 있다. 또한 OS 트랜지스터는 주파수 특성이 높기 때문에 반도체 장치를 고속으로 동작시킬 수 있다.

[0056] 산화물(230)은 금속 산화물(산화물 반도체)을 포함하는 것이 바람직하다. 산화물(230)에 사용할 수 있는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2개 또는 3개를 포함하는 것이 바람직하다. 또한 원소 M은 산소와의 결합 에너지가 높은 금속 원소 또는 반금속 원소이고, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 금속 원소 또는 반금속 원소이다. 원소 M으로서는 구체적으로 알루미늄, 갈륨, 주석, 이트륨, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 지르코늄, 몰리브데넘, 하프늄, 탄탈럼, 텅스텐, 란타넘, 세륨, 네오디뮴, 마그네슘, 칼슘, 스트론튬, 바륨, 붕소, 실리콘, 저마늄, 및 안티모니 등을 들 수 있다. 금속 산화물이 포함하는 원소 M은 상기 원소들 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 알루미늄, 갈륨, 주석, 및 이트륨 중에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하고, 갈륨인 것이 더욱 바람직하다. 또한 본 명세서 등에서 금속 원소와 반금속 원소를 통틀어 "금속 원소"라고 부르는 경우가 있고, 본 명세서 등에 기재된 "금속 원소"에는 반금속 원소가 포함되는 경우가 있다.

[0057] 예를 들어 산화물(230)은 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 함), 알루미늄 아연 산화물(Al-Zn 산화물, AZO라고도 함), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물, 갈륨 주석 산화물(Ga-Sn 산화물), 알루미늄 주석 산화물(Al-Sn 산화물) 등을 사용할 수 있다.

[0058] 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0059] 또한 금속 산화물은 인듐 대신에 또는 인듐에 더하여 주기 번호가 큰 금속 원소를 1종류 또는 복수 종류 포함하여도 좋다. 금속 원소의 궤도의 중첩이 클수록 금속 산화물에서의 캐리어 전도는 크게 될 경향이 있다. 따라서 주기 번호가 큰 금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 주기 번호가 큰 금속 원소로서는 제 5주기에 속하는 금속 원소 및 제 6주기에 속하는 금속 원소 등을 들 수 있다. 상기 금속 원소로서 구체적으로는 이트륨, 지르코늄, 은, 카드뮴, 주석, 안티모니, 바륨, 납, 비스무트, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸 등을 들 수 있다. 또한 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸은 경질 희토류 원소라고도 불린다.

[0060] 또한 금속 산화물은 비금속 원소의 1종류 또는 복수 종류를 포함하여도 좋다. 금속 산화물이 비금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 비금속 원소로서 예를 들어 탄소, 질소, 인, 황, 셀레늄, 플루오린, 염소, 브로민, 및 수소 등이 있다.

[0061] 또한 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 아연의 원자수비를 높게 함으로써 결정성이 높은 금속 산화물이 되어 금속 산화물 내의 불순물의 확산을 억제할 수 있다. 따라서 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.

[0062] 또한 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 원소 M의 원자수비를 높게 함으로써 금속 산화물에 산소 결손이 형성되는 것을 억제할 수 있다. 따라서 산소 결손에 기인한 캐리어 생성이 억제되어, 오프 전류가 작은 트랜지스터로 할 수 있다. 또한 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.

[0063] 상술한 바와 같이 산화물(230)에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 다르다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써 우수한 전기 특성과 높은 신뢰성을 양립한 반도체 장치로 할 수 있다.

[0064] 산화물(230)은 화학 조성이 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 산화물(230a)에 사용하는 금속 산화물에서 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 상기 구성으로 함으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터의 산화물(230b)에 대한 불순물 및 산소의 확산을 억제할 수 있다.

[0065] 또한 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다. 상기 구성함으로써 트랜지스터(200)는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0066] 또한 산화물(230a) 및 산화물(230b)이 산소 이외에 공통 원소를 주성분으로서 포함함으로써, 산화물(230a)과 산화물(230b)의 계면의 결함 준위 밀도를 저감할 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0067] 구체적으로는 산화물(230a)로서 In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 산화물(230b)로서 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다. 또한 산화물(230)로서 단층의 산화물(230b)을 제공하는 경우, 산화물(230b)로서 산화물(230a)에 사용할 수 있는 금속 산화물을 적용하여도 좋다. 또한 산화물(230a) 및 산화물(230b)에 사용할 수 있는 금속 산화물의 조성은 상기에 한정되지 않는다. 예를 들어 산화물(230a)에 사용할 수 있는 금속 산화물의 조성을 산화물(230b)에 적용하여도 좋다. 마찬가지로 산화물(230b)에 사용할 수 있는 금속 산화물의 조성을 산화물(230a)에 적용하여도 좋다.

[0068] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0069] 산화물(230b)은 결정성을 가지는 것이 바람직하다. 특히 산화물(230b)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다.

[0070] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리를 수행함으로써, 결정성이 더 높고 치밀한 구조를 가지는 CAAC-OS로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소의 확산을 더 저감할 수 있다.

[0071] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 포함한 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 포함한 금속 산화물은 열에 강하고 신뢰성이 높다.

[0072] 또한 산화물(230b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산화물(230b)로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0073] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한 산소 결손 근방의 수소가, 산소 결손에 수소가 들어간 결함(이하, V_OH라고 부르는 경우가 있음)을 형성하여 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면, 산화물 반도체 내의 채널 형성 영역은 캐리어 농도가 감소되고, i형(진성화) 또는 실질적으로 i형인 것이 바람직하다.

[0074] 한편, 가열에 의하여 이탈되는 산소(이하 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 산화물 반도체 근방에 제공하고 열처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소를 공급하여 산소 결손 및 V_OH를 저감할 수 있다. 다만 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터(200)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 소스 영역 또는 드레인 영역에 공급되는 산소의 양의 편차가 기판면 내에서 생김으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다. 또한 상기 절연체로부터 산화물 반도체에 공급되는 산소가 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체로 확산되면, 상기 도전체가 산화되어 도전성이 손상되는 것 등으로 인하여 트랜지스터의 전기 특성 및 신뢰성에 악영향을 미치는 경우가 있다.

[0075] 따라서 산화물 반도체 내에서 채널 형성 영역은 캐리어 농도가 감소되고 i형 또는 실질적으로 i형인 것이 바람직하지만, 소스 영역 및 드레인 영역은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉 산화물 반도체의 채널 형성 영역의 산소 결손 및 V_OH를 저감하는 것이 바람직하다. 또한 소스 영역 및 드레인 영역에 과잉량의 산소가 공급되지 않도록 하는 것, 그리고 소스 영역 및 드레인 영역의 V_OH의 양이 과도하게 저감되지 않도록 하는 것이 바람직하다. 또한 도전체(260), 도전체(242a), 및 도전체(242b) 등의 도전율 저하를 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 도전체(260), 도전체(242a), 및 도전체(242b) 등의 산화를 억제하는 구성으로 하는 것이 바람직하다. 또한 산화물 반도체 내의 수소는 V_OH를 형성할 수 있기 때문에, V_OH의 양을 저감하기 위해서는 수소 농도를 저감할 필요가 있다.

[0076] 본 실시형태의 반도체 장치는 채널 형성 영역의 수소 농도를 저감하고, 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하고, 소스 영역 및 드레인 영역 내의 수소 농도 저감을 억제하는 구성으로 한다.

[0077] 산화물(230b)의 채널 형성 영역과 접하는 절연체(250)는 수소를 포획 또는 고착하는 기능을 가지는 것이 바람직하다. 이에 의하여 산화물(230b)의 채널 형성 영역 내의 수소 농도를 저감할 수 있다. 따라서 채널 형성 영역 내의 V_OH를 저감하여 채널 형성 영역을 i형 또는 실질적으로 i형으로 할 수 있다.

[0078] 여기서 도 2의 (A)에 나타낸 바와 같이 절연체(250)는 산화물(230)에 접하는 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와, 절연체(250b) 위의 절연체(250c)의 적층 구조를 가지는 것이 바람직하다. 이 경우 절연체(250a)가 수소를 포획 또는 고착하는 기능을 가지는 것이 바람직하다.

[0079] 수소를 포획 또는 고착하는 기능을 가지는 절연체로서는 비정질 구조를 가지는 금속 산화물을 들 수 있다. 절연체(250a)로서 예를 들어 산화 마그네슘, 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는 산소 원자가 댕글링 본드(dangling bond)를 가지고, 상기 댕글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 즉 비정질 구조를 가지는 금속 산화물은 수소를 포획 또는 고착하는 능력이 높다고 할 수 있다.

[0080] 또한 절연체(250a)에 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 또한 high-k 재료의 일례로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물이 있다. 절연체(250a)에 high-k 재료를 사용함으로써, 게이트 절연체의 물리 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 얇게 할 수 있다.

[0081] 상술한 바와 같이 절연체(250a)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 바람직하고, 비정질 구조를 가지며 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 더 바람직하다. 산화 알루미늄은 비정질화된 막을 ALD법을 사용하여 비교적 용이하게 성막할 수 있기 때문에, 비정질 구조를 가지는 산화 알루미늄을 사용하는 것이 더 바람직하다. 본 실시형태에서는 절연체(250a)로서 산화 알루미늄막을 사용한다. 이 경우 절연체(250a)는 적어도 산소와 알루미늄을 포함한 절연체가 된다. 또한 상기 산화 알루미늄은 비정질 구조를 가진다. 이 경우 절연체(250a)는 비정질 구조를 가진다.

[0082] 다음으로, 절연체(250b)로서는 산화 실리콘 또는 산화질화 실리콘 등 열에 대하여 안정적인 절연체를 사용하는 것이 바람직하다. 또한 본 명세서 등에서 산화질화물이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재한 경우에는 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재한 경우에는 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0083] 또한 도 3의 (B)에 나타낸 바와 같이 절연체(250b) 위에 절연체(250d)를 제공하는 구조로 하여도 좋다. 이 경우 절연체(250d)로서는 절연체(250a)로서 사용할 수 있는 절연체를 제공할 수 있다. 예를 들어 절연체(250d)로

서 산화 하프늄을 사용할 수 있다. 여기서 절연체(250c)와 절연체(250b) 사이에 절연체(250d)를 제공함으로써, 절연체(250b) 등에 포함되는 수소를 더 효과적으로 포획 및 고착할 수 있다.

[0084] 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하기 위하여 도전체(242a), 도전체(242b), 및 도전체(260) 각각의 근방에 산소에 대한 배리어 절연체를 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서 상기 절연체는 예를 들어 절연체(250a), 절연체(250c), 절연체(250d), 절연체(255), 및 절연체(275)이다.

[0085] 또한 본 명세서 등에서 배리어 절연체란, 배리어성을 가지는 절연체를 가리킨다. 본 명세서 등에서 배리어성을 가진다는 것은 대응하는 물질의 투과를 막는 성질(투과성이 낮다고도 함)을 가지는 것을 가리킨다. 예를 들어 배리어성을 가지는 절연체는 대응하는 물질이 상기 절연체 내부로 확산되기 어려운 성질을 가진다. 또한 예를 들어 배리어성을 가지는 절연체는 대응하는 물질을 상기 절연체 내부에서 포획 또는 고착하는(게터링이라고도 함) 기능을 가진다.

[0086] 산소에 대한 배리어 절연체로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물, 산화 마그네슘, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 및 질화산화 실리콘이 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물로서, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트), 그리고 하프늄 및 실리콘을 포함한 산화물(하프늄 실리케이트)이 있다. 예를 들어 절연체(250a), 절연체(250c), 절연체(250d), 절연체(255), 및 절연체(275)는 각각 상기 산소에 대한 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다. 예를 들어 절연체(255)를 적층 구조로 하는 경우, 산화 알루미늄막과 산화 알루미늄막 위의 질화 실리콘막의 2층 구조로 할 수 있다.

[0087] 절연체(250a) 및 절연체(255)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250a) 및 절연체(255)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 절연체(250a)는 도전체(242a1)의 측면 및 도전체(242b1)의 측면에 접하는 영역을 가진다. 절연체(255)는 도전체(242a1)의 상면, 도전체(242b1)의 상면, 도전체(242a2)의 측면, 및 도전체(242b2)의 측면에 접하는 영역을 가진다. 또한 절연체(250a)는 절연체(255)의 측면에 접한다. 절연체(250a) 및 절연체(255)가 산소에 대한 배리어성을 가짐으로써, 도전체(242a) 및 도전체(242b)의 측면이 산화되어 상기 측면에 산화막이 형성되는 것을 억제할 수 있다. 이에 의하여 트랜지스터(200)의 온 전류의 저하 또는 전계 효과 이동도의 저하를 억제할 수 있다.

[0088] 또한 절연체(250a)는 산화물(230b)의 상면 및 측면, 산화물(230a)의 측면, 절연체(224)의 측면, 그리고 절연체(222)의 상면에 접하여 제공된다. 절연체(250a)가 산소에 대한 배리어성을 가짐으로써, 열처리 등을 수행하였을 때 산화물(230b)의 채널 형성 영역으로부터 산소가 이탈되는 것을 억제할 수 있다. 따라서 산화물(230a) 및 산화물(230b)에 산소 결손이 형성되는 것을 저감할 수 있다.

[0089] 또한 절연체(250a) 및 절연체(255)를 제공함으로써, 절연체(280)에 과잉량의 산소가 포함되어 있어도, 상기 산소가 산화물(230a) 및 산화물(230b)에 과도하게 공급되는 것을 억제하여, 적당한 양의 산소를 산화물(230a) 및 산화물(230b)에 공급할 수 있다. 따라서 소스 영역 및 드레인 영역이 과도하게 산화되어 트랜지스터(200)의 온 전류 또는 전계 효과 이동도가 저하되는 것을 억제할 수 있다.

[0090] 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물은 산소에 대한 배리어성을 가지기 때문에 절연체(250a)로서 적합하게 사용할 수 있다.

[0091] 또한 질화 실리콘도 마찬가지로 산소에 대한 배리어성을 가지기 때문에 절연체(255)로서 적합하게 사용할 수 있다. 이 경우 절연체(255)는 적어도 질소와 실리콘을 포함한 절연체가 된다. 또한 절연체(255)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이에 의하여 도전체(242a2, 242b2)에 포함되는 수소 등의 불순물이 산화물(230b)로 확산되는 것을 방지할 수 있다.

[0092] 절연체(250c)도 마찬가지로 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250c)는 산화물(230)의 채널 형성 영역과 도전체(260) 사이 및 절연체(280)와 도전체(260) 사이에 제공된다. 상기 구성으로 함으로써, 산화물(230)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 산화물(230)의 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있다. 또한 산화물(230)에 포함되는 산소 및 절연체(280)에 포함되는 산소가 도전체(260)로 확산되어 도전체(260)가 산화하는 것을 억제할 수 있다. 절연체(250c)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(250c)로서 질화 실리콘막을 사용하는 것이 바람직하다. 이 경우 절연체(250c)는 적어도 질소와 실리콘을 포함한 절연체가 된다.

[0093] 또한 절연체(250c)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이에 의하여 도전체(260)에 포함되는

수소 등의 불순물이 산화물(230b)로 확산되는 것을 방지할 수 있다.

[0094] 절연체(275)도 마찬가지로 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)는 절연체(280)와 도전체(242a) 사이 및 절연체(280)와 도전체(242b) 사이에 제공된다. 상기 구성으로 함으로써, 절연체(280)에 포함되는 산소가 도전체(242a) 및 도전체(242b)로 확산되는 것을 억제할 수 있다. 따라서 절연체(280)에 포함되는 산소로 인하여 도전체(242a) 및 도전체(242b)가 산화되어 저항률이 증대되어 온 전류가 저감되는 것을 억제할 수 있다. 절연체(275)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(275)에 질화 실리콘을 사용하는 것이 바람직하다. 이 경우 절연체(275)는 적어도 질소와 실리콘을 포함한 절연체가 된다.

[0095] 산화물(230)에서의 소스 영역 및 드레인 영역의 수소 농도가 저감되는 것을 억제하기 위하여, 소스 영역 및 드레인 영역 각각의 근방에 수소에 대한 배리어 절연체를 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서 수소에 대한 상기 배리어 절연체는 예를 들어 절연체(275)이다.

[0096] 수소에 대한 배리어 절연체로서 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 산화물, 및 질화 실리콘 등의 질화물을 들 수 있다. 예를 들어 절연체(275)는 수소에 대한 상기 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다.

[0097] 상술한 바와 같은 절연체(275)를 제공함으로써, 소스 영역 및 드레인 영역의 수소가 외부로 확산되는 것을 저감할 수 있기 때문에 소스 영역 및 드레인 영역의 수소 농도가 저감되는 것을 억제할 수 있다. 따라서 소스 영역 및 드레인 영역을 n형으로 할 수 있다.

[0098] 상기 구성으로 함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형으로 하고, 소스 영역 및 드레인 영역을 n형으로 할 수 있기 때문에, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또한 상기 구성으로 함으로써, 반도체 장치를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다. 또한 트랜지스터(200)를 미세화함으로써 주파수 특성을 향상시킬 수 있다. 구체적으로는 차단 주파수를 향상시킬 수 있다.

[0099] 절연체(250a) 내지 절연체(250d)는 제 1 게이트 절연체의 일부로서 기능한다. 절연체(250a) 내지 절연체(250d)는 절연체(255) 및 도전체(260)와 함께, 절연체(280)에 형성된 개구에 제공된다. 트랜지스터(200)를 미세화하는 데 있어서 절연체(250a) 내지 절연체(250d)의 막 두께는 각각 얇은 것이 바람직하다. 절연체(250a) 내지 절연체(250d)의 막 두께는 각각 0.1nm 이상 10nm 이하가 바람직하고, 0.1nm 이상 5.0nm 이하가 더 바람직하고, 0.5nm 이상 5.0nm 이하가 더욱 바람직하고, 1.0nm 이상 5.0nm 미만이 더더욱 바람직하고, 1.0nm 이상 3.0nm 이하가 나아가 더더욱 바람직하다. 또한 절연체(250a) 내지 절연체(250d)의 각각은 적어도 일부에 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0100] 절연체(250a) 내지 절연체(250d)의 막 두께를 상술한 바와 같이 얇게 하기 위해서는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 사용하여 성막을 수행하는 것이 바람직하다. 또한 절연체(280) 등의 개구 내에 절연체(250a) 내지 절연체(250d) 및 절연체(255)를 제공하기 위해서는 ALD법을 사용하여 성막을 수행하는 것이 바람직하다. ALD법으로서는, 전구체와 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막을 수행할 수 있기 때문에 바람직한 경우가 있다.

[0101] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 따라서 절연체(255) 및 절연체(250)를 절연체(280)에 형성된 개구부의 측면 및 도전체(242a, 242b)의 측단부 등에 상술한 바와 같은 얇은 막 두께로 피복성 좋게 성막할 수 있다.

[0102] 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로 ALD법을 사용하여 제공된 막은 다른 성막법을 사용하여 제공된 막보다 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 또는 오제 전자 분광(AES: Auger Electron Spectroscopy)을 사용하여 수행할 수 있다.

[0103] 또한 위에서는 절연체(250)가 절연체(250a) 내지 절연체(250c)의 3층 구조 또는 절연체(250a) 내지 절연체(250d)의 4층 구조인 구성에 대하여 설명하였지만, 본 발명은 이들에 한정되지 않는다. 절연체(250)는 절연체(250a) 내지 절연체(250d) 중 적어도 하나를 가지는 구성으로 할 수 있다. 절연체(250)를 절연체(250a) 내지 절연체(250d) 중 1층, 2층, 또는 3층으로 구성함으로써, 반도체 장치의 제작 공정이 간략화되어 생산성을 향상

시킬 수 있다.

[0104] 예를 들어 도 3의 (A)에 나타낸 바와 같이 절연체(250)를 2층 구조로 하여도 좋다. 이 경우 절연체(250)를 절연체(250a)와 절연체(250a) 위의 절연체(250c)의 적층 구조로 하는 것이 바람직하다. 절연체(250a) 및 절연체(250c) 중 적어도 한쪽에 high-k 재료를 사용할 수 있다. 이에 의하여, 절연체(250a) 및 절연체(250c)의 막 두께를 누설 전류가 억제될 정도로 유지하면서 등가 산화막 두께(EOT)를 얇게 할 수 있다.

[0105] 또한 상기 구성에 더하여, 본 실시형태의 반도체 장치는 트랜지스터(200) 등에 대한 수소의 혼입을 억제하는 구성을 가지는 것이 바람직하다. 예를 들어 수소의 확산을 억제하는 기능을 가지는 절연체를 트랜지스터(200) 등의 위 및 아래 중 한쪽 또는 양쪽을 덮도록 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서, 상기 절연체는 예를 들어 절연체(283), 절연체(282), 절연체(222), 및 절연체(221) 등이다. 또한 트랜지스터(200) 아래에 제공하는 절연체(215)를 절연체(282) 및 절연체(283) 중 어느 한쪽 또는 양쪽과 같은 구성으로 하여도 좋다. 이 경우 절연체(215)를 절연체(282)와 절연체(283)의 적층 구조로 하고, 절연체(282)를 아래에 배치하고 절연체(283)를 위에 배치하는 구성으로 하여도 좋고, 절연체(282)를 위에 배치하고 절연체(283)를 아래에 배치하는 구성으로 하여도 좋다.

[0106] 절연체(283), 절연체(282), 절연체(222), 및 절연체(221) 중 하나 또는 복수는 물, 수소 등의 불순물이 기판 측으로부터 또는 트랜지스터(200) 등의 위쪽으로부터 트랜지스터(200) 등으로 확산되는 것을 억제하는 배리어 절연체로서 기능하는 것이 바람직하다. 따라서 절연체(283), 절연체(282), 절연체(222), 및 절연체(221) 중 하나 또는 복수는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 포함하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 포함하는 것이 바람직하다.

[0107] 절연체(283), 절연체(282), 절연체(222), 및 절연체(221)의 각각은 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 가지는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트), 하프늄 및 지르코늄을 포함한 산화물(하프늄 지르코늄 산화물), 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(283) 및 절연체(221)에는 수소 배리어성이 보다 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(282)에는 수소를 포획 또는 고착하는 능력이 높은 산화 알루미늄 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(222)에는 수소를 포획 또는 고착하는 능력이 높고 고유전율(high-k) 재료인 산화 하프늄 등을 사용하는 것이 바람직하다.

[0108] 이러한 구성으로 함으로써, 절연체(283)보다 위쪽에 배치되는 층간 절연막 등으로부터 물, 수소 등의 불순물이 트랜지스터(200) 등으로 확산되는 것을 억제할 수 있다. 또한 절연체(221)보다 아래쪽에 배치되는 층간 절연막 등으로부터 물, 수소 등의 불순물이 트랜지스터(200) 등으로 확산되는 것을 억제할 수 있다. 또한 절연체(280), 절연체(224), 및 절연체(250) 등에 포함되는 수소를 절연체(282) 또는 절연체(222)에 포획 및 고착할 수 있다. 또한 절연체(282) 및 절연체(283)를 제공함으로써, 절연체(280) 등에 포함되는 산소가 트랜지스터(200) 등보다 위쪽으로 확산되는 것을 억제할 수 있다. 또한 절연체(222) 및 절연체(221)를 제공함으로써, 절연체(224) 등에 포함되는 산소가 트랜지스터(200) 등보다 아래쪽으로 확산되는 것을 억제할 수 있다. 이와 같이 트랜지스터(200)의 위 및 아래를 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체로 둘러싸는 구조로 함으로써, 산화물 반도체에 과잉량의 산소 및 수소가 확산되는 것을 저감할 수 있다. 이에 의하여 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0109] 또한 절연체(255), 절연체(275), 및 절연체(250c)에 수소 배리어성이 보다 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 절연체(250a)에는 수소를 포획 또는 고착하는 능력이 높은 산화 알루미늄 등을 사용하는 것이 바람직하다.

[0110] 여기서 절연체(275)에서 산화물(230)과 중첩되지 않는 영역이 절연체(222)에 접하고, 절연체(275)의 측단부가 절연체(255)에 접하고, 절연체(255)의 상단부 및 절연체(250a) 내지 절연체(250c)의 상단부가 절연체(282)에 접하는 것이 바람직하다. 상술한 바와 같은 구성으로 함으로써, 절연체(283)와 절연체(221)에 끼워진 영역에서 절연체(280)가 절연체(275)에 의하여 산화물(230)과 이격되고, 절연체(280)가 절연체(255) 및 절연체(250a)에 의하여 절연체(250b)와 이격되고, 도전체(260)가 절연체(250c)에 의하여 절연체(250b)와 이격되고, 도전체(242a2) 및 도전체(242b2)가 절연체(255) 및 절연체(250a)에 의하여 절연체(250b)와 이격된다.

[0111] 이에 의하여 절연체(280)에 포함되는 물, 수소 등의 불순물이 산화물(230) 및 절연체(250b)로 확산되는 것을 억제할 수 있다. 또한 도전체(260)에 포함되는 물, 수소 등의 불순물이 절연체(250b)를 통하여 산화물(230)로 확산되는 것을 억제할 수 있다. 또한 도전체(242a2) 및 도전체(242b2)에 포함되는 물, 수소 등의 불순물이 절연체(250b)를 통하여 산화물(230)로 확산되는 것을 억제할 수 있다. 예를 들어 도전체(242a2) 및 도전체(242b2)의 상면에 접하여 콘택트 플러그를 형성하고, 상기 콘택트 플러그를 통하여 물, 수소 등의 불순물이 도전체(242a2) 및 도전체(242b2)로 확산되어도, 물, 수소 등의 불순물이 산화물(230)로 확산되는 것은 억제할 수 있다. 또한 절연체(250a) 및 절연체(250b)에 포함되는 수소를 절연체(282)에 포획 및 고착할 수 있다. 이러한 구성으로 함으로써, 산화물 반도체로 수소가 확산되는 것을 더 저감할 수 있다. 이에 의하여 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0112] 트랜지스터(200)에서 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치한다. 여기서 도전체(205)는 절연체(216)에 형성된 개구부에 매립하여 제공하는 것이 바람직하다. 또한 도전체(205)는 도 1의 (A) 및 (C)에 나타낸 바와 같이 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(205)가 배선으로서 기능한다.

[0113] 도 1의 (B) 및 (C)에 나타낸 바와 같이 도전체(205)는 도전체(205a) 및 도전체(205b)를 가지는 것이 바람직하다. 도전체(205a)는 상기 개구부의 밑면 및 측벽에 접하여 제공된다. 도전체(205b)는 상기 개구부를 따라 형성된 도전체(205a)의 오목부를 매립하도록 제공된다. 여기서 도전체(205)의 상면의 높이는 절연체(216)의 상면의 높이와 일치 또는 대략 일치한다.

[0114] 여기서 도전체(205a)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 포함하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 포함하는 것이 바람직하다.

[0115] 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 도전체(205a)에 사용함으로써, 도전체(205b)에 포함되는 수소 등의 불순물이 절연체(216) 등을 통하여 산화물(230)로 확산되는 것을 방지할 수 있다. 또한 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 도전체(205a)에 사용함으로써, 도전체(205b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄 등이 있다. 도전체(205a)는 상기 도전성 재료의 단층 구조 또는 적층 구조로 할 수 있다. 예를 들어 도전체(205a)는 질화 타이타늄을 포함하는 것이 바람직하다.

[0116] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)는 텅스텐을 포함하는 것이 바람직하다.

[0117] 도전체(205)는 제 2 게이트 전극으로서 기능할 수 있다. 이 경우 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압(Vth)을 제어할 수 있다. 특히 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의 Vth를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(205)에 음의 전위를 인가하면, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0118] 또한 도전체(205)의 전기 저항률은 도전체(205)에 인가하는 상기 전위를 고려하여 설계되고, 도전체(205)의 막 두께는 상기 전기 저항률에 맞추어 설정된다. 또한 절연체(216)의 막 두께는 도전체(205)와 거의 같다. 여기서 도전체(205)의 설계상 허용되는 범위에서 도전체(205) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 저감할 수 있기 때문에 상기 불순물이 산화물(230)로 확산되는 것을 저감할 수 있다.

[0119] 또한 위에서는 도전체(205a)와 도전체(205b)의 적층 구조에 대하여 설명하였지만, 본 발명은 이에 한정되지 않고, 도전체(205)는 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 예를 들어 도전체(205)를 3층의 적층 구조로 하는 경우, 상기 도전체(205a)와 도전체(205b)의 적층 구조에 있어서 도전체(205b) 위에 도전체(205a)와 같은 재료를 포함한 도전체를 더 제공하는 구성으로 할 수 있다. 이때 도전체(205b)의 상면이 도전체(205a)의 최상부보다 낮게 되도록 하고, 도전체(205a)와 도전체(205b)로 형성된 오목부를 매립하도록 상기 도전체를 형성하는 구성으로 하여도 좋다.

[0120] 절연체(224)는 절연체(221) 및 절연체(222)와 함께 제 2 게이트 절연체로서 기능한다.

[0121] 산화물(230)에 접하는 절연체(224)는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다. 이에 의하여 절연체(224)로부터 산화물(230)에 산소를 공급하여 산소 결손을 저감할 수 있다.

[0122] 또한 절연체(224)는 산화물(230)과 마찬가지로 섬 형상으로 가공하는 것이 바람직하다. 이로써, 복수의 트랜지스터(200)를 제공하는 경우에 하나의 트랜지스터(200)에 대하여 거의 같은 정도의 크기의 절연체(224)가 제공된다. 이에 의하여, 각 트랜지스터(200)에서 절연체(224)로부터 산화물(230)에 공급되는 산소의 양이 같은 정도가 된다. 따라서 기판면 내에서의 트랜지스터(200)의 전기 특성의 편차를 억제할 수 있다. 다만 이에 한정되지 않고, 절연체(222)와 마찬가지로 절연체(224)를 패턴 형성하지 않는 구성으로 할 수도 있다.

[0123] 또한 절연체(224)는 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조로 하여도 좋다.

[0124] 도전체(242a), 도전체(242b), 및 도전체(260)에는 각각 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 상기 도전성 재료로서는 예를 들어 질소를 포함한 도전성 재료 및 산소를 포함한 도전성 재료가 있다. 이에 의하여, 도전체(242a), 도전체(242b), 및 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다. 도전체(242a), 도전체(242b), 및 도전체(260)에 금속 및 질소를 포함한 도전성 재료를 사용하는 경우, 도전체(242a), 도전체(242b), 및 도전체(260)는 적어도 금속과 질소를 포함하는 도전체가 된다.

[0125] 도 1의 (B)에서 도전체(242a) 및 도전체(242b)는 2층 구조를 가진다. 도전체(242a)는 도전체(242a1)와 도전체(242a1) 위의 도전체(242a2)의 적층막이고, 도전체(242b)는 도전체(242b1)와 도전체(242b1) 위의 도전체(242b2)의 적층막이다. 이때 산화물(230b)에 접하는 층(도전체(242a1) 및 도전체(242b1))에 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 이에 의하여, 도전체(242a, 242b)의 도전율이 저하되는 것을 억제할 수 있다. 또한 산화물(230b)로부터 산소가 추출되어 과잉량의 산소 결손이 형성되는 것을 억제할 수 있다. 또한 산화물(230b)에 접하는 층(도전체(242a1) 및 도전체(242b1))에 수소를 흡수하기 쉬운(추출하기 쉬운) 재료를 사용하면, 산화물(230)의 수소 농도를 저감할 수 있어 바람직하다.

[0126] 도전체(242a1, 242b1)로서는 금속 질화물을 사용하는 것이 바람직하고, 예를 들어 탄탈럼을 포함한 질화물, 타이타늄을 포함한 질화물, 몰리브데넘을 포함한 질화물, 텅스텐을 포함한 질화물, 탄탈럼 및 알루미늄을 포함한 질화물, 타이타늄 및 알루미늄을 포함한 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 루테늄, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0127] 또한 산화물(230b) 등에 포함되는 수소가 도전체(242a1) 또는 도전체(242b1)로 확산되는 경우가 있다. 특히 도전체(242a1) 및 도전체(242b1)에 탄탈럼을 포함하는 질화물을 사용함으로써, 산화물(230b) 등에 포함되는 수소는 도전체(242a1) 또는 도전체(242b1)로 확산되기 쉽고, 확산된 수소는 도전체(242a1) 또는 도전체(242b1)가 포함하는 질소와 결합되는 경우가 있다. 즉 산화물(230b) 등에 포함되는 수소는 도전체(242a1) 또는 도전체(242b1)에 흡수되는 경우가 있다.

[0128] 또한 도전체(242a2) 및 도전체(242b2)는 도전체(242a1) 및 도전체(242b1)보다 도전성이 높은 것이 바람직하다. 예를 들어 도전체(242a2) 및 도전체(242b2)의 막 두께를 도전체(242a1) 및 도전체(242b1)의 막 두께보다 두껍게 하는 것이 바람직하다. 도전체(242a2) 및 도전체(242b2)로서는, 상기 도전체(205b)로서 사용할 수 있는 도전체를 사용하면 좋다. 상술한 바와 같은 구조로 함으로써, 도전체(242a2) 및 도전체(242b2)의 저항을 저감할 수 있다. 이에 의하여 본 실시형태에 따른 반도체 장치의 동작 속도를 향상시킬 수 있다.

[0129] 예를 들어 도전체(242a1) 및 도전체(242b1)에 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(242a2) 및 도전체(242b2)에 텅스텐을 사용할 수 있다.

[0130] 또한 도전체(242a, 242b)의 도전율이 저하되는 것을 억제하기 위하여, 산화물(230b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용하는 것이 바람직하다. 특히 갈륨, 알루미늄, 및 주석 중에서 선택되는 하나 또는 복수와, 인듐과, 아연을 포함한 금속 산화물을 사용하는 것이 바람직하다. CAAC-OS를 사용함으로써, 도전체(242a) 또는 도전체(242b)에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 또한 도전체(242a) 및

도전체(242b)의 도전율이 저하되는 것을 억제할 수 있다.

[0131] 도 1의 (B) 및 (C)에 나타낸 바와 같이, 절연체(255)는 절연체(280) 등에 형성된 개구 내에 배치되고, 절연체(280)의 측면, 절연체(275)의 측면, 절연체(271a)의 측면, 절연체(271b)의 측면, 도전체(242a2)의 측면, 도전체(242b2)의 측면, 도전체(242a1)의 상면, 도전체(242b1)의 상면, 및 절연체(222)의 상면에 접한다. 바꿔 말하면, 절연체(255)는 절연체(280) 등에 형성된 개구의 측벽에 접하여 측벽 형태로 형성되어 있다. 또한 도전체(242a1)의 상면, 도전체(242b1)의 상면, 또는 절연체(222)의 상면에 접한 절연체(255)의 부분에 돌출부가 형성되고, 돌출부는 상기 개구의 중앙부를 향하여 다른 부분보다 돌출된 형상을 가진다.

[0132] 절연체(255)는 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되고, 도전체(242a2) 및 도전체(242b2)를 보호하는 무기 절연체이다. 절연체(255)는 산화 분위기에 노출되기 때문에, 산화되기 어려운 무기 절연체인 것이 바람직하다. 또한 절연체(255)는 도전체(242a2) 및 도전체(242b2)에 접하기 때문에, 도전체(242a2, 242b2)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 따라서 절연체(255)에는 산소에 대한 배리어성을 가지는 절연체(250c)에 사용할 수 있는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 절연체(255)에 질화 실리콘을 사용할 수 있다.

[0133] 이러한 절연체(255)를 사용함으로써, 도전체를 도전체(242a1)와 도전체(242b1)로 분단시킨 후, 절연체(250)를 성막하기 전에 산소를 포함한 분위기에서 열처리를 수행하여도, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되지 않는다.

[0134] 또한 절연체(255)의 막 두께는 0.5nm 이상 20nm 이하가 바람직하고, 0.5nm 이상 10nm 이하가 더 바람직하고, 0.5nm 이상 3nm 이하가 더욱 바람직하다. 절연체(255)를 상술한 바와 같은 막 두께로 함으로써, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되는 것을 억제할 수 있다. 또한 절연체(255)는 상술한 바와 같은 막 두께의 영역을 적어도 일부에 가지면 좋다. 또한 절연체(255)는 절연체(280) 등에 형성된 개구의 측벽에 접하여 제공하기 때문에, 피복성이 양호한 ALD법 등을 사용하여 성막하는 것이 바람직하다. 절연체(255)의 막 두께를 과도하게 두껍게 하면, ALD법을 사용한 절연체(255)의 성막에 걸리는 시간이 길어져 생산성이 저하되기 때문에, 절연체(255)의 막 두께는 상기 범위 정도로 하는 것이 바람직하다. 여기서 절연체(255)의 막 두께란, 절연체(255)의 돌출부보다 위에 있는 부분의 A1-A2 방향의 막 두께를 가리킨다.

[0135] 또한 절연체(255)는 2층 이상의 적층 구조로 하여도 좋다. 이 경우 적어도 하나의 층이 상술한 산화되기 어려운 무기 절연체이면 좋다. 예를 들어 도 3의 (C)에 나타낸 바와 같이 절연체(255b)와 절연체(255b) 위의 절연체(255a)의 적층 구조로 하여도 좋다. 절연체(255b)의 내측에 절연체(255a)가 배치된 구조로 간주할 수도 있다. 여기서 절연체(255a)의 밑면이 절연체(255b)에 접하는 경우가 있다. 절연체(255a)에는 상술한 산화되기 어려운 무기 절연체를 사용하고, 절연체(255b)에는 절연체(250b)에 사용할 수 있는 절연체(예를 들어 산화 실리콘 등)를 사용하면 좋다. 절연체(255b)는 절연체(255a)보다 유전율이 낮은 것이 바람직하다. 이와 같이 절연체(255)를 2층 구조로 하여 막 두께를 크게 함으로써, 도전체(260)와 도전체(242a) 또는 도전체(242b)의 거리를 길게 하여 기생 용량을 저감시킬 수 있다.

[0136] 또한 절연체(255)는 도전체를 도전체(242a1)와 도전체(242b1)로 분단할 때 마스크로서 기능한다. 따라서 도 1의 (B) 등에 나타낸 바와 같이 트랜지스터(200)를 단면에서 볼 때, 절연체(255)의 돌출부의 단부는 도전체(242a1)의 측단부 및 도전체(242b1)의 측단부와 일치 또는 대략 일치하는 것이 바람직하다.

[0137] 또한 단면에서 볼 때 측단부가 일치 또는 대략 일치하는 경우 및 상면 형상이 일치 또는 대략 일치하는 경우, 상면에서 볼 때에는 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩된다고 할 수 있다. 예를 들어 위층의 측단부의 바닥부가 아래층의 측단부의 상부와 접하는 경우가 포함된다. 또한 예를 들어 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴에 의하여 위층과 아래층이 가공된 경우가 포함된다. 또한 예를 들어 위층을 마스크로서 사용하여 아래층이 가공된 경우가 포함된다. 다만 엄밀하게 말하면, 윤곽이 중첩되지 않고 위층의 일부가 아래층의 내측에 위치하거나 위층의 일부가 아래층의 외측에 위치하는 경우도 있고, 이 경우도 측단부가 일치 또는 대략 일치한다거나 상면 형상이 일치 또는 대략 일치한다고 한다.

[0138] 여기서, 도전체(242a1)에서 상면에 절연체(255)가 형성된 부분은 도전체(242a2)보다 도전체(260) 측에 돌출되어 형성된다. 마찬가지로 도전체(242b1)에서 상면에 절연체(255)가 형성된 부분은 도전체(242b2)보다 도전체(260) 측에 돌출되어 형성된다. 도 2의 (B)에 나타낸 바와 같이 트랜지스터(200)를 채널 길이 방향의 단면에서 볼 때, 도전체(242a1)와 도전체(242b1) 사이의 거리 L2는 도전체(242a2)와 도전체(242b2) 사이의 거리 L1보다 짧다. 여기서 L1과 L2의 차이는 절연체(255)의 막 두께의 2배 이상으로 할 수 있다.

[0139] 도전체(242a1)와 도전체(242b1) 사이의 거리 L2는 트랜지스터(200)의 채널 길이에 반영되기 때문에 미세한 것이 바람직하다. 예를 들어 거리 L2가 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상인 것이 바람직하다. 예를 들어 거리 L2는 1nm 이상 20nm 이하 정도로 하는 것이 더 바람직하다. 이러한 구성으로 함으로써, 소스와 드레인 사이의 거리를 더 짧게 할 수 있고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(200)의 온 전류를 크게 하고, 서브스레숄드 스윙값(S값이라고 표기하는 경우가 있음)을 저감하고, 주파수 특성을 향상시킬 수 있다. 여기서 S값이란 드레인 전압을 일정하게 하여 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다. 이와 같이, 반도체 장치를 미세화함으로써, 동작 속도가 향상된 반도체 장치를 제공할 수 있다.

[0140] 또한 도 4의 (A)에 나타낸 바와 같이 산화물(230b)에서 도전체(242a1) 및 도전체(242b1)로부터 노출된 부분에 오목부가 형성되는 경우가 있다. 바꿔 말하면, 산화물(230b)의 상면에 있어서 도전체(242a1)와 도전체(242b1)에 끼워진 영역은 도전체(242a1)와 중첩되는 영역 및 도전체(242b1)와 중첩되는 영역보다 높이가 낮게 되는 경우가 있다.

[0141] 또한 도 2의 (A)에 나타낸 트랜지스터(200)에서는, 도전체(242a1)와 도전체(242b1)의 서로 대향하는 측면 및 도전체(242a2)와 도전체(242b2)의 서로 대향하는 측면이 산화물(230b)의 상면에 대하여 수직 또는 실질적으로 수직이지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도 4의 (B)에 나타낸 바와 같이, 도전체(242a1)와 도전체(242b1)의 서로 대향하는 측면 및 도전체(242a2)와 도전체(242b2)의 서로 대향하는 측면이 테이퍼 형상이어도 좋다. 이때 절연체(271a), 절연체(271b), 절연체(275), 및 절연체(280)의 측면이 테이퍼 형상이 되는 경우가 있다.

[0142] 또한 도전체(242a1, 242b1)의 테이퍼각이 도전체(242a2, 242b2)의 테이퍼각보다 작은 구성이어도 좋다.

[0143] 또한 도 4의 (C)에 나타낸 바와 같이 절연체(255)의 측면의 상부가 테이퍼 형상을 가지는 경우가 있다. 또한 도 4의 (C)에 나타낸 바와 같이 절연체(280)의 상부도 절연체(255)의 측면의 테이퍼 형상과 연속 또는 대략 연속되는 테이퍼 형상을 가지는 경우가 있다. 또한 도 4의 (C)에 나타낸 바와 같이 절연체(255) 및 절연체(280)의 상부가 곡면을 가지는 경우도 있다. 여기서 절연체(255)의 상부 및 절연체(280)의 상부의 테이퍼 형상 부분에 절연체(250a)가 접하는 경우가 있다. 이때 절연체(255) 및 절연체(280)의 상부가 곡면을 가지면, 절연체(250a)를 양호한 피복성으로 형성할 수 있다.

[0144] 또한 도 4의 (D)에 나타낸 바와 같이 트랜지스터(200)는 도 4의 (A) 내지 (C)에 나타낸 구조를 가져도 좋다. 즉 산화물(230b)에서 도전체(242a1, 242b1)로부터 노출된 부분에 오목부를 가지고, 도전체(242a1, 242b1)의 측면 및 도전체(242a2, 242b2)의 측면이 테이퍼 형상을 가지고, 또한 절연체(255)의 측면의 상부가 테이퍼 형상을 가지는 경우가 있다.

[0145] 절연체(271a) 및 절연체(271b)는 도전체(242a2) 및 도전체(242b2)의 가공 시에 에칭 스토퍼로서 기능하고, 도전체(242a2) 및 도전체(242b2)를 보호하는 무기 절연체이다. 또한 절연체(271a) 및 절연체(271b)는 도전체(242a2) 및 도전체(242b2)에 접하기 때문에, 도전체(242a, 242b)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 따라서 도 2의 (A)에 나타낸 바와 같이 절연체(271a)를 절연체(271a1)와 절연체(271a1) 위의 절연체(271a2)의 적층 구조로 하고, 절연체(271b)를 절연체(271b1)와 절연체(271b1) 위의 절연체(271b2)의 적층 구조로 하는 것이 바람직하다. 여기서 절연체(271a1, 271b1)로서는 도전체(242a2, 242b2)가 쉽게 산화되지 않도록, 절연체(250c)에 사용할 수 있는 질화물 절연체를 사용하는 것이 바람직하다. 또한 절연체(271a2, 271b2)로서는 에칭 스토퍼로서 기능하도록, 절연체(250b)에 사용할 수 있는 산화물 절연체를 사용하는 것이 바람직하다.

[0146] 여기서 절연체(271a1)는 도전체(242a2)의 상면 및 절연체(275)의 일부에 접하고, 절연체(271b1)는 도전체(242b2)의 상면 및 절연체(275)의 일부에 접한다. 또한 절연체(271a2)는 절연체(271a1)의 상면 및 절연체(275)의 밑면에 접하고, 절연체(271b2)는 절연체(271b1)의 상면 및 절연체(275)의 밑면에 접한다. 예를 들어 절연체(271a1) 및 절연체(271b1)에 질화 실리콘을 사용하고, 절연체(271a2) 및 절연체(271b2)에 산화 실리콘을 사용할 수 있다.

[0147] 절연체(271a) 및 절연체(271b)가 되는 절연체는 도전체(242a) 및 도전체(242b)가 되는 도전체의 마스크로서 기능하기 때문에, 도전체(242a) 및 도전체(242b)는 측면과 상면 사이에 만곡면을 가지지 않는다. 이에 의하여, 도전체(242a) 및 도전체(242b)는 측면과 상면이 교차되는 단부가 각 형상이 된다. 도전체(242a) 및 도전체(242b)의 측면과 상면이 교차되는 단부가 각 형상이 되면, 상기 단부가 곡면을 가지는 경우에 비하여, 도전체(242a) 및 도전체(242b)의 단면적이 크게 된다. 또한 절연체(271a1, 271b1)에 금속을 산화시키기 어려운 질화

물 절연체를 사용함으로써, 도전체(242a) 및 도전체(242b)가 과도하게 산화되는 것을 방지할 수 있다. 이상에 의하여 도전체(242a) 및 도전체(242b)의 저항이 저감되기 때문에 트랜지스터의 온 전류를 높일 수 있다.

[0148] 도전체(260)는 도 1의 (B) 및 (C)에 나타낸 바와 같이 절연체(280) 및 절연체(275)에 형성된 개구 내에 배치된다. 도전체(260)는 상기 개구 내에서 절연체(250)를 개재(介在)하여 절연체(222)의 상면, 절연체(224)의 측면, 산화물(230a)의 측면, 산화물(230b)의 측면, 및 산화물(230b)의 상면을 덮도록 제공된다. 또한 도전체(260)는 상면의 높이가 절연체(250)의 최상부, 절연체(255)의 최상부, 및 절연체(280)의 상면의 높이와 일치 또는 대략 일치하도록 배치된다.

[0149] 또한 도전체(260) 및 절연체(250)가 배치된 상기 개구에 있어서 상기 개구의 측벽은 절연체(222)의 상면에 대하여 수직 또는 실질적으로 수직이어도 좋고, 테이퍼 형상이어도 좋다. 측벽을 테이퍼 형상으로 함으로써, 절연체(280)의 개구에 제공되는 절연체(255) 및 절연체(250) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0150] 도전체(260)는 트랜지스터(200)의 제 1 게이트 전극으로서 기능한다. 여기서 도전체(260)는 도 1의 (A) 및 (C)에 나타낸 바와 같이 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(260)는 배선으로서 기능한다.

[0151] 상술한 바와 같은 구조로 하는 경우, 도 1의 (C)에 나타낸 바와 같이 트랜지스터(200)를 채널 폭 방향의 단면에서 볼 때, 산화물(230b)의 측면과 산화물(230b)의 상면 사이에 만곡면이 포함되어도 좋다. 즉 상기 측면의 단부와 상기 상면의 단부는 만곡하여도 좋다(이하, 둥근 형상이라고도 함).

[0152] 상기 만곡면에서의 곡률 반경은 0nm보다 크고, 도전체(242a) 및 도전체(242b)와 중첩되는 영역의 산화물(230b)의 막 두께보다 작거나, 상기 만곡면을 가지지 않는 영역의 길이의 절반보다 작은 것이 바람직하다. 상기 만곡면에서의 곡률 반경은 구체적으로 0nm보다 크고 20nm 이하, 바람직하게는 1nm 이상 15nm 이하, 더 바람직하게는 2nm 이상 10nm 이하로 한다. 이와 같은 형상으로 함으로써, 산화물(230b)에 대한 절연체(250) 및 도전체(260)의 피복성을 높일 수 있다.

[0153] 또한 본 명세서 등에 있어서, 적어도 제 1 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 다른 구조를 가진다. 한편, 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조의 1종류로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면 등)을 둘러싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성이 높은 트랜지스터, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0154] 트랜지스터(200)를 상기 S-channel 구조로 함으로써 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싼 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다. 트랜지스터(200)를 S-channel 구조, GAA 구조, 또는 LGAA 구조로 함으로써, 산화물(230)과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물(230)의 벌크 전체로 할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류의 향상 또는 트랜지스터의 전계 효과 이동도의 상승을 기대할 수 있다.

[0155] 본 실시형태에서는 절연체(224)를 섬 형상으로 제공하는 구성으로 한다. 따라서 도 1의 (C)에 나타낸 바와 같이 도전체(260)의 밑면의 적어도 일부를 산화물(230b)의 밑면보다 아래쪽에 제공할 수 있다. 이에 의하여, 산화물(230b)의 상면 및 측면과 대향하여 도전체(260)를 제공할 수 있기 때문에, 도전체(260)의 전계를 산화물(230b)의 상면 및 측면에 작용시킬 수 있다. 이와 같이 절연체(224)를 섬 형상으로 제공함으로써 트랜지스터(200)를 S-channel 구조로 할 수 있다.

[0156] 또한 도 1의 (C)에 예시한 트랜지스터(200)는 S-channel 구조의 트랜지스터이지만, 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태에 사용할 수 있는 트랜지스터 구조로서는 플레이너형 구조, Fin형 구조, 및 GAA 구조 중에서 선택되는 어느 하나 또는 복수로 하여도 좋다.

[0157] 도 1의 (B) 등에서는 도전체(260)를 2층 구조로 도시하였다. 여기서 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다. 이때 도전체(260a)에는 산화되기 어려운 도전성 재료 또는 산

소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0158] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0159] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(280) 등에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다.

[0160] 또한 도전체(260b)로서는 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0161] 또한 트랜지스터(200)에서는 도전체(260)가 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(self-aligned)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 위치 맞춤 없이 도전체(242a1)와 도전체(242b1) 사이의 영역에 중첩하여 도전체(260)를 배치할 수 있다.

[0162] 절연체(216) 및 절연체(280)는 각각 절연체(222)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0163] 예를 들어 절연체(216) 및 절연체(280)는 각각 산화 실리콘, 산화질화 실리콘, 플루오린이 첨가된 산화 실리콘, 탄소가 첨가된 산화 실리콘, 탄소 및 질소가 첨가된 산화 실리콘, 및 공공을 가지는 산화 실리콘 중 하나 또는 복수를 포함하는 것이 바람직하다.

[0164] 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0165] 또한 절연체(216) 및 절연체(280)의 상면은 각각 평탄화되어 있어도 좋다.

[0166] 절연체(280) 내의 물, 수소 등의 불순물의 농도는 저감되어 있는 것이 바람직하다. 예를 들어 절연체(280)는 산화 실리콘, 산화질화 실리콘 등 실리콘을 포함한 산화물을 포함하는 것이 바람직하다.

[0167] <반도체 장치의 구성 재료>

[0168] 이하에서는 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다. 또한 반도체 장치를 구성하는 각 층은 단층 구조이어도 좋고 적층 구조이어도 좋다.

[0169] <<기판>>

[0170] 트랜지스터를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용할 수 있다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 및 수지 기판이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄을 재료로 한 반도체 기판, 및 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 예를 들어 흑연 기판, 금속 기판, 합금 기판, 및 도전성 수지 기판이 있다. 또한 기판으로서는 예를 들어 금속의 질화물을 포함한 기판, 금속의 산화물을 포함한 기판, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 및 도전체 기판에 반도체 또는 절연체가 제공된 기판이 있다. 또는 이들 기판에 1종류 또는 복수 종류의 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 예를 들어 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 있다.

[0171] <<절연체>>

[0172] 절연체로서는 예를 들어 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물이 있다.

[0173] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0174] 비유전율이 높은 절연체로서는 예를 들어 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 그리고 실리콘 및 하프늄을 포함한 질화물이 있다.

[0175] 비유전율이 낮은 절연체로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 그리고 수지가 있다.

[0176] 또한 금속 산화물을 사용한 트랜지스터를 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중 하나 또는 복수를 포함한 절연체를 단층으로 또는 적층으로 사용할 수 있다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 그리고 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물이 있다.

[0177] 또한 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0178] <<도전체>>

[0179] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 등에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 도전체에는 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물을 사용할 수 있다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 그리고 란타넘과 니켈을 포함한 산화물은 각각 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 또는 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0180] 적층 구조의 도전체를 사용하는 경우, 예를 들어 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조, 상술한 금속 원소를 포함한 재료와 질소를 포함한 도전성 재료를 조합한 적층 구조, 또는 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조를 적용하여도 좋다.

[0181] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0182] 특히 게이트 전극으로서 기능하는 도전체에, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 및 실리콘을 첨가한

인듐 주석 산화물 중 하나 또는 복수를 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입하는 수소를 포획할 수 있는 경우가 있다.

[0183] <<금속 산화물>>

[0184] 산화물(230)로서는, 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서는 본 발명의 일 형태에 따른 산화물(230)에 적용할 수 있는 금속 산화물에 대하여 설명한다.

[0185] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석, 안티모니 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 및 코발트 등에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0186] 여기서는 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 주석, 또는 안티모니로 한다. 이 외에 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등이 있다. 다만 원소 M으로서, 상술한 원소를 복수 조합하여도 되는 경우가 있다. 특히 원소 M은 갈륨, 알루미늄, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0187] 또한 본 명세서 등에서 질소를 포함한 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함한 금속 산화물을 금속 산화질화물(metal oxynitride)이라고 불러도 좋다.

[0188] 이하에서는 금속 산화물의 일례로서 In-Ga-Zn 산화물에 대하여 설명한다.

[0189] 산화물 반도체의 결정 구조로서는 비정질(completely amorphous를 포함함), CAAC(c-axis-aligned crystalline), nc(nanocrystalline), CAC(cloud-aligned composite), 단결정(single crystal), 및 다결정(polycrystal) 등을 들 수 있다.

[0190] 또한 산화물 반도체는 구조에 착안한 경우, 상기와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 이 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0191] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0192] [CAAC-OS]

[0193] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0194] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 수십nm 정도가 되는 경우가 있다.

[0195] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정적이다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자

유도를 높일 수 있게 된다.

[0196] [nc-OS]

[0197] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.

[0198] [a-like OS]

[0199] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉 a-like OS는 nc-OS 및 CAAC-OS와 비교하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS와 비교하여 막 내의 수소 농도가 높다.

[0200] 다음으로 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0201] [CAC-OS]

[0202] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하로, 바람직하게는 1nm 이상 3nm 이하로, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하로, 바람직하게는 1nm 이상 3nm 이하로, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0203] 또한 CAC-OS는, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0204] 또한 In-Ga-Zn 산화물에서의 CAC-OS란, In, Ga, Zn, 및 O를 포함하는 재료 구성에서, 일부에 In을 주성분으로 하는 영역(제 1 영역)과 일부에 Ga를 주성분으로 하는 영역(제 2 영역)이 각각 모자이크 패턴이며 무작위로 존재하는 구성을 말한다. 따라서 CAC-OS는 금속 원소가 불균일하게 분포된 구조를 가지는 것으로 추측된다.

[0205] CAC-OS는 예를 들어 기판을 가열하지 않는 조건에서 스퍼터링법에 의하여 형성할 수 있다. 또한 CAC-OS를 스퍼터링법에 의하여 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스에서 선택된 어느 하나 또는 복수를 사용할 수 있다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하다. 예를 들어 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비를 0% 이상 30% 미만으로, 바람직하게는 0% 이상 10% 이하로 한다.

[0206] 여기서 제 1 영역은 제 2 영역에 비하여 도전성이 높은 영역이다. 즉 제 1 영역을 캐리어가 흐름으로써, 금속 산화물의 도전성이 발현된다. 따라서 제 1 영역이 금속 산화물 내에서 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0207] 한편으로, 제 2 영역은 제 1 영역에 비하여 절연성이 높은 영역이다. 즉 제 2 영역이 금속 산화물 내에 분포됨으로써 누설 전류를 억제할 수 있다.

[0208] 따라서 CAC-OS를 트랜지스터에 사용하는 경우에는 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 가지고, 재료의 일부에서는 절연성 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 도전성 기능과 절연성 기능을 분리함으로써 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0209] 또한 CAC-OS를 사용한 트랜지스터는 신뢰성이 높다. 따라서 CAC-OS는 표시 장치를 비롯한 다양한 반도체 장치에 최적이다.

[0210] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0211] <<기타 반도체 재료>>

[0212] 트랜지스터의 반도체층에는 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 실리콘 등의 단일 원소의 반도체, 비소화 갈륨 등의 화합물 반도체를 사용하여도 좋다.

[0213] 또한 트랜지스터의 반도체층에, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 트랜지스터의 반도체층에 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 $MoSe_2$), 몰리브데넘 텔루륨(대표적으로는 $MoTe_2$), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 트랜지스터의 반도체층에 적용함으로써 온 전류가 큰 반도체 장치를 제공할 수 있다.

[0214] <반도체 장치의 제작 방법예>

[0215] 도 5의 (A) 내지 도 18의 (D)를 사용하여 본 발명의 일 형태의 반도체 장치의 제작 방법예에 대하여 설명한다. 여기서는 도 1의 (A) 내지 (D)에 나타낸 반도체 장치를 제작하는 경우를 예로 들어 설명한다.

[0216] 각 도면의 (A)는 평면도이다. 또한 각 도면의 (B)는 각 도면의 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 각 도면의 (C)는 각 도면의 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 각 도면의 (D)는 각 도면의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 각 도면의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 도 14의 (A) 내지 (C)는 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이다. 또한 도 16의 (A) 내지 (C)는 트랜지스터(200)의 채널 길이 방향의 단면 확대도이다.

[0217] 이하에서 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, ALD법 등을 적절히 사용하여 성막할 수 있다.

[0218] 또한 스퍼터링법으로서는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 형성하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막할 때 사용된다.

[0219] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0220] 플라스마 CVD법을 사용하면 비교적 낮은 온도에서 품질이 높은 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에 피처리물에 대한 플라스마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지업하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라스마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.

[0221] 또한 ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라스마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.

[0222] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과는 다르다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등 다른 성막 방법과 조합하여 사용되는 것이 바람직한

경우도 있다.

[0223] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성을 가지는 막을 형성할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 형성할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우에는, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송 또는 압력 조정에 시간이 덜 걸리는 만큼, 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0224] 또한 ALD법은, 복수 종류의 상이한 전구체를 동시에 도입함으로써 임의의 조성을 가지는 막을 형성할 수 있다. 또는 복수 종류의 상이한 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성을 가지는 막을 형성할 수 있다.

[0225] 먼저 기판(도시 생략)을 준비하고, 상기 기판 위에 절연체(215)를 성막한다(도 5의 (A) 내지 (D) 참조). 상술한 바와 같이 절연체(215)로서는 절연체(224), 절연체(282), 및 절연체(283) 중 어느 하나, 또는 이들 중 복수를 포함한 적층막과 같은 절연체를 사용할 수 있다. 절연체(215)의 성막 방법으로서는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용할 수 있다. 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(215) 내의 수소 농도를 저감할 수 있어 바람직하다.

[0226] 다음으로 절연체(215) 위에 절연체(216)를 성막한다. 절연체(216)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써 절연체(216) 내의 수소 농도를 저감할 수 있다. 다만 절연체(216)의 성막에는 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다. 본 실시형태에서는 절연체(216)로서 스퍼터링법을 사용하여 산화 실리콘을 성막한다.

[0227] 절연체(215) 및 절연체(216)는 대기에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써 절연체(215) 및 절연체(216)를 막 내의 수소를 저감하여 성막하고, 이에 더하여 각 성막 공정 간에서 막 내에 수소가 혼입하는 것을 저감할 수 있다.

[0228] 다음으로 절연체(216)에, 절연체(215)에 도달하는 개구를 형성한다. 개구의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 절연체(215)로서는, 절연체(216)를 에칭하여 홈을 형성할 때 에칭 스토퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어 홈을 형성하는 절연체(216)에 산화 실리콘 또는 산화질화 실리콘을 사용한 경우에는, 절연체(215)에 질화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등을 사용하는 것이 좋다.

[0229] 개구의 형성 후에, 도전체(205a)가 되는 도전막을 형성한다. 도전체(205a)가 되는 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 산소의 투과를 억제하는 기능을 가지는 도전체와 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 도전체(205a)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0230] 본 실시형태에서는 도전체(205a)가 되는 도전막으로서 질화 타이타늄을 성막한다. 이와 같은 금속 질화물을 도전체(205b)의 아래층에 사용함으로써, 절연체(216) 등으로 인하여 도전체(205b)가 산화되는 것을 억제할 수 있다. 또한 도전체(205b)로서 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205a)로부터 외부로 확산되는 것을 방지할 수 있다.

[0231] 다음으로 도전체(205b)가 되는 도전막을 형성한다. 도전체(205b)가 되는 도전막에는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금 등을 사용할 수 있다. 상기 도전막의 성막은 도금법, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 도전체(205b)가 되는 도전막으로서 텅스텐을 성막한다.

[0232] 다음으로 CMP 처리를 수행함으로써, 도전체(205a)가 되는 도전막 및 도전체(205b)가 되는 도전막의 일부를 제거하여 절연체(216)를 노출시킨다(도 5의 (A) 내지 (D) 참조). 그 결과, 개구부에만 도전체(205a) 및 도전체(205b)가 잔존한다. 또한 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.

[0233] 다음으로 절연체(216) 위 및 도전체(205) 위에 절연체(221)를 성막한다(도 6의 (A) 내지 (D) 참조).

[0234] 절연체(221)로서는 산소, 수소, 및 물에 대하여 배리어성을 가지는 절연체를 사용하면 좋다. 절연체(221)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 절연체

(221)로서 PEALD법을 사용하여 질화 실리콘을 성막한다.

[0235] 다음으로 절연체(221) 위에 절연체(222)를 성막한다(도 6의 (A) 내지 (D) 참조).

[0236] 절연체(222)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 예를 들어 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트)을 사용하는 것이 바람직하다. 또는 하프늄 지르코늄 산화물을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(222)를 통하여 트랜지스터의 내측으로 확산되는 것이 억제되어, 산화물(230) 내의 산소 결손의 생성을 억제할 수 있다.

[0237] 절연체(222)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 절연체(222)로서 ALD법을 사용하여 산화 하프늄을 성막한다.

[0238] 다음으로 절연체(222) 위에 절연막(224f)을 성막한다(도 6의 (A) 내지 (D) 참조). 절연막(224f)으로서는 상기 절연체(224)에 대응하는 절연체를 사용하면 좋다.

[0239] 절연막(224f)은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 절연막(224f)으로서 스퍼터링법을 사용하여 산화 실리콘을 성막한다. 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써 절연막(224f) 내의 수소 농도를 저감할 수 있다. 절연막(224f)은 추후 공정에서 산화물(230a)과 접하기 때문에, 이와 같이 수소 농도가 저감되어 있는 것이 적합하다.

[0240] 또한 절연막(224f)의 성막 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연막(224f)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(222)의 표면에 흡착된 수분 및 수소를 제거하여 절연체(222) 내의 수분 농도 및 수소 농도를 더 저감시킬 수 있다. 여기서 절연체(222)의 밑면에 접하여 절연체(221)를 제공함으로써, 상기 가열 처리로 인하여 절연체(221)보다 아래쪽으로부터 수분 또는 수소 등의 불순물이 침입하는 것을 방지할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 250℃로 한다.

[0241] 다음으로 절연막(224f) 위에 산화막(230af)을 성막하고, 산화막(230af) 위에 산화막(230bf)을 성막한다(도 6의 (A) 내지 (D) 참조). 산화막(230af)으로서는 상기 산화물(230a)에 대응하는 금속 산화물을 사용하고, 산화막(230bf)으로서는 상기 산화물(230b)에 대응하는 금속 산화물을 사용하면 좋다. 또한 산화막(230af) 및 산화막(230bf)은 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기 개방 없이 성막함으로써, 산화막(230af) 위 및 산화막(230bf) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 산화막(230af)과 산화막(230bf)의 계면 또는 계면 근방을 청정하게 유지할 수 있다.

[0242] 산화막(230af) 및 산화막(230bf)은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 산화막(230af) 및 산화막(230bf)의 성막에는 스퍼터링법을 사용한다.

[0243] 예를 들어 산화막(230af) 및 산화막(230bf)을 스퍼터링법으로 성막하는 경우에는 스퍼터링 가스로서 산소 또는 산소와 비활성 기체의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 상기 산화막을 스퍼터링법으로 성막하는 경우에는 In-M-Zn 산화물 타깃 등을 사용할 수 있다.

[0244] 특히 산화막(230af)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연막(224f)에 공급되는 경우가 있다. 따라서 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%이다.

[0245] 또한 산화막(230bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30% 초과 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 신뢰성을 얻을 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(230bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막함으로써 상기 산화막의 결정성을 향상시킬 수

있다.

[0246] 본 실시형태에서는 산화막(230af)의 성막은 스퍼터링법에 의하여 In:Ga:Zn=1:3:2[원자수비]의 산화물 타깃 또는 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 수행한다. 또한 산화막(230bf)의 성막은 스퍼터링법에 의하여 In:Ga:Zn=1:1:1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1.2[원자수비]의 산화물 타깃, In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃, 또는 In:Ga:Zn=1:1:2[원자수비]의 산화물 타깃을 사용하여 수행한다. 또한 각 산화막은 성막 조건 및 원자수비를 적절히 선택함으로써, 산화물(230a) 및 산화물(230b)에 요구되는 특성에 맞추어 형성하는 것이 좋다.

[0247] 또한 절연막(224f), 산화막(230af), 및 산화막(230bf)을 대기에 노출시키지 않고 스퍼터링법을 사용하여 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하는 것이 바람직하다. 이로써 각 성막 공정 중에 절연막(224f), 산화막(230af), 및 산화막(230bf) 내에 수소가 혼입하는 것을 저감할 수 있다.

[0248] 다음으로 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 산화막(230af) 및 산화막(230bf)이 다결정화되지 않는 온도 범위에서 수행하면 좋다. 가열 처리의 온도는 100℃ 이상, 250℃ 이상, 또는 350℃ 이상이고, 650℃ 이하, 600℃ 이하, 또는 550℃ 이하인 것이 바람직하다.

[0249] 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하는 것이 바람직하다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0250] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량은 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하이다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 산화막(230af) 및 산화막(230bf) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0251] 본 실시형태에서는 가열 처리로서 질소 가스와 산소 가스의 유량비를 4:1로 하여 450℃에서 1시간의 처리를 수행한다. 이와 같은 산소 가스를 포함하는 가열 처리에 의하여 산화막(230af) 및 산화막(230bf) 내의 탄소, 물, 수소 등의 불순물을 저감할 수 있다. 이와 같이 막 내의 불순물을 저감함으로써, 산화막(230af) 및 산화막(230bf)의 결정성을 향상시키고, 밀도가 더 높고 치밀한 구조로 할 수 있다. 이에 의하여, 산화막(230af) 및 산화막(230bf) 내의 결정 영역을 증대시키고, 산화막(230af) 및 산화막(230bf) 내에서의 결정 영역의 면내 편차를 저감할 수 있다. 따라서 트랜지스터의 전기 특성의 면내 편차를 저감할 수 있다.

[0252] 또한 가열 처리를 수행함으로써 절연체(216), 절연막(224f), 산화막(230af), 및 산화막(230bf) 내의 수소가 절연체(222) 내에 흡수된다. 바꿔 말하면 절연체(216), 절연막(224f), 산화막(230af), 및 산화막(230bf) 내의 수소가 절연체(222)로 확산된다. 따라서 절연체(222)의 수소 농도는 높아지지만 절연체(216), 절연막(224f), 산화막(230af), 및 산화막(230bf) 각각 내의 수소 농도는 저하된다. 또한 절연체(222)의 밑면에 접하여 절연체(221)를 제공함으로써, 상기 가열 처리에서 절연체(221)보다 아래쪽으로부터 수분 또는 수소 등의 불순물이 침입하는 것을 방지할 수 있다.

[0253] 특히, 절연막(224f)(나중에 절연체(224)가 됨)은 트랜지스터(200)의 제 2 게이트 절연체로서 기능하고, 산화막(230af) 및 산화막(230bf)(나중에 산화물(230a) 및 산화물(230b)이 됨)은 트랜지스터(200)의 채널 형성 영역으로서 기능한다. 수소 농도가 저감된 절연막(224f), 산화막(230af), 및 산화막(230bf)을 사용하여 형성된 트랜지스터(200)는 양호한 신뢰성을 가지기 때문에 바람직하다.

[0254] 다음으로, 산화막(230bf) 위에 도전막(242_1f)을 성막하고, 도전막(242_1f) 위에 도전막(242_2f)을 성막한다(도 6의 (A) 내지 (D) 참조). 도전막(242_1f)으로서는 상기 도전체(242a1, 242b1)에 대응하는 도전체를 사용하면 좋고, 도전막(242_2f)으로서는 상기 도전체(242a2, 242b2)에 대응하는 도전체를 사용하면 좋다. 산화막(230bf)의 성막 후에, 에칭 공정 등을 거치지 않고 산화막(230bf) 위에 접하여 도전막(242_1f)을 성막함으로써, 산화막(230bf)의 상면을 도전막(242_1f)으로 보호할 수 있다. 이에 의하여, 트랜지스터를 구성하는 산화물(230)로 불순물이 확산되는 것을 저감할 수 있기 때문에, 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0255] 도전막(242_1f) 및 도전막(242_2f)은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0256] 본 실시형태에서는 스퍼터링법을 사용하여, 도전막(242_1f)으로서 질화 탄탈럼을 성막하고, 도전막(242_2f)으로서 텅스텐을 성막한다. 또한 도전막(242_1f)의 성막 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전막(242_1f)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화물(230b)의 표면에 흡착된 수분 및 수소를 제거하여 산화물(230a) 및 산화물(230b) 내의 수분 농도 및 수소 농도를 더 저감시킬 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 250℃로 한다.

[0257] 다음으로 도전막(242_1f) 위에 절연막(271f)을 성막한다(도 6의 (A) 내지 (D) 참조). 절연막(271f)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 절연막(271f)으로서는 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 절연막(271f)으로서 스퍼터링법에 의하여 질화 실리콘막과 질화 실리콘막 위의 산화 실리콘막의 적층막을 형성하면 좋다.

[0258] 여기서 절연막(271f)을 적층막으로 하는 경우, 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기 개방 없이 성막함으로써, 절연막(271f)의 적층막의 계면 또는 계면 근방을 청정하게 유지할 수 있다. 또한 도전막(242_1f)부터 절연막(271f)까지, 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 더 바람직하다.

[0259] 또한 절연막(271f)의 성막 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연막(271f)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 도전막(242_1f) 및 도전막(242_2f)의 표면에 흡착된 수분 및 수소를 제거하여 도전막(242_1f) 및 도전막(242_2f) 내의 수분 농도 및 수소 농도를 더 저감시킬 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 250℃로 한다.

[0260] 다음으로 리소그래피법을 사용하여 절연막(224f), 산화막(230af), 산화막(230bf), 도전막(242_1f), 도전막(242_2f), 및 절연막(271f)을 섬 형상으로 가공함으로써 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)를 형성한다(도 7의 (A) 내지 (D) 참조).

[0261] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 절연막(224f), 산화막(230af), 산화막(230bf), 도전막(242_1f), 도전막(242_2f), 및 절연막(271f)의 가공은 각각 상이한 조건으로 수행하여도 좋다.

[0262] 여기서 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)를 일괄적으로 섬 형상으로 가공하는 것이 바람직하다. 이때 도전체(242_1)의 측단부 및 도전체(242_2)의 측단부는 산화물(230a) 및 산화물(230b)의 측단부와 일치 또는 대략 일치하는 것이 바람직하다. 또한 절연체(224)의 측단부가 산화물(230)의 측단부와 일치 또는 대략 일치하는 것이 바람직하다. 또한 절연체(271)의 측단부는 도전체(242_2)의 측단부와 일치 또는 대략 일치하는 것이 바람직하다. 이러한 구성으로 함으로써, 본 발명의 일 형태에 따른 반도체 장치의 공정 수를 삭감할 수 있다. 따라서 생산성이 양호한 반도체 장치의 제작 방법을 제공할 수 있다.

[0263] 또한 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)는 적어도 일부가 도전체(205)와 중첩되도록 형성한다. 또한 절연체(222)와 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)가 중첩되지 않는 영역에서 절연체(222)가 노출된다.

[0264] 도 7의 (B)에 나타낸 바와 같이 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)의 측면이 테이퍼 형상이어도 좋다. 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)의 측면의 테이퍼각은 예를 들어 60° 이상 90° 미만이어도 좋다. 이와 같이 측면을 테이퍼 형상으로 함으로써, 추후의 공정에서 절연체(275) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0265] 또한 상기에 한정되지 않고 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)의 측면이 절연체(222)의 상면에 대하여 수직 또는 실질적으로 수직인 구성으로 하여도 좋다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 면적 감소 및 밀도 향상이 가능해진다.

[0266] 또한 리소그래피법에서는 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 통하여 에칭 처리를 함으로써 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광,

ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성할 수 있다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용할 때 마스크를 사용하지 않아도 되는 경우가 있다.

[0267] 또한 가공 후에 필요가 없어진 레지스트 마스크는 산소 플라스마를 사용한 애싱(이하, 산소 플라스마 처리라고 부르는 경우가 있음) 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0268] 또한 레지스트 마스크 아래에 절연체 또는 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 절연막(271f) 위에 하드 마스크 재료가 되는 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 절연막(271f) 등의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 산화막(230bf) 등의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편, 하드 마스크의 재료가 추후 공정에 영향을 미치지 않거나, 추후 공정에서 이용될 수 있는 경우에는 하드 마스크를 반드시 제거할 필요는 없다.

[0269] 또한 피가공물과 레지스트 마스크 사이에 SOC(Spin On Carbon)막 및 SOG(Spin On Glass)막을 형성하는 구성으로 하여도 좋다. SOC막 및 SOG막을 마스크로서 사용함으로써 레지스트 마스크와의 밀착성을 향상시켜 마스크 패턴의 내구성을 향상시킬 수 있다. 예를 들어 피가공물 위에 SOC막, SOG막, 레지스트 마스크를 순차적으로 성막하고 리소그래피법을 수행할 수 있다.

[0270] 드라이 에칭 처리용 에칭 가스로서는 할로젠을 포함한 에칭 가스를 사용할 수 있고, 구체적으로는 플루오린, 염소, 및 브로민 중 하나 또는 복수를 포함한 에칭 가스를 사용할 수 있다. 예를 들어 에칭 가스로서 C_4F_6 가스, C_5F_6 가스, C_4F_8 가스, CF_4 가스, SF_6 가스, CHF_3 가스, CH_2F_2 가스, Cl_2 가스, BCl_3 가스, $SiCl_4$ 가스, 또는 BBr_3 가스 등을 단독으로 또는 2종류 이상을 혼합하여 사용할 수 있다. 또한 상기 에칭 가스에 산소 가스, 탄산 가스, 질소 가스, 헬륨 가스, 아르곤 가스, 수소 가스, 또는 탄화수소 가스 등을 적절히 첨가할 수 있다. 또한 드라이 에칭 처리의 피처리물에 따라서는 할로젠 가스를 포함하지 않고 탄화수소 가스 또는 수소 가스를 포함한 가스를 에칭 가스로서 사용할 수 있다. 에칭 가스에 사용하는 탄화수소로서는 메테인(CH_4), 에테인(C_2H_6), 프로페인(C_3H_8), 뷰테인(C_4H_{10}), 에틸렌(C_2H_4), 프로필렌(C_3H_6), 아세틸렌(C_2H_2), 및 프로파인(C_3H_4) 중 하나 또는 복수를 사용할 수 있다. 에칭 조건은 에칭하는 대상에 맞추어 적절히 설정할 수 있다.

[0271] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다. 에칭 장치는 에칭하는 대상에 맞추어 적절히 설정할 수 있다.

[0272] 또한 상기 에칭 공정에 있어서, 절연체(271)는 도전체(242_2)를 보호하는 에칭 스토퍼로서 기능할 수 있다. 예를 들어 상기 에칭 공정에 있어서 절연체(271) 위에 금속으로 이루어진 하드 마스크를 형성하면, 상기 하드 마스크를 제거할 때 도전체(242_2)와의 에칭 선택비를 얻기 어려운 경우가 있다. 그러나 도전체(242_2) 위에 절연체(271)를 형성함으로써, 하드 마스크 제거를 위한 에칭 처리에 있어서 절연체(271)는 도전체(242_2)를 보호하는 에칭 스토퍼로서 기능할 수 있다. 이에 의하여, 도전체(242_2)의 측면과 상면 사이에 만곡면이 형성되는 것을 방지할 수 있기 때문에, 추후에 형성하는 도전체(242a2) 및 도전체(242b2)는 측면과 상면이 교차되는 단부가 각 형상이 된다. 도전체(242_2)의 측면과 상면이 교차되는 단부가 각 형상이 됨으로써, 상기 단부가 곡면을 가지는 경우에 비하여 도전체(242_2)의 단면적이 크게 된다. 또한 절연체(271)에 금속을 산화시키기 어려운 질화물 절연체를 사용함으로써, 도전체(242_2)가 과도하게 산화되는 것을 방지할 수 있다. 이에 의하여, 도전체(242a2) 및 도전체(242b2)의 저항이 저감되기 때문에 트랜지스터의 온 전류를 높일 수 있다.

[0273] 또한 절연체(224)를 섬 형상으로 가공함으로써, 후술하는 공정에 있어서 절연체(224)의 측면 및 절연체(222)의 상면에 접하여 절연체(275)를 제공할 수 있다. 즉, 절연체(224)를 절연체(275)에 의하여 절연체(280)와 이격할

수 있다. 이와 같은 구성으로 함으로써, 절연체(280)로부터 절연체(224)를 통하여 과잉량의 산소 및 수소 등의 불순물이 산화물(230)에 혼입하는 것을 방지할 수 있다.

[0274] 또한 절연체(224)를 섬 형상으로 가공함으로써, 복수의 트랜지스터(200)를 제공하는 경우에 하나의 트랜지스터(200)에 대하여 거의 같은 정도의 크기의 절연체(224)가 제공된다. 이에 의하여, 각 트랜지스터(200)에서 절연체(224)로부터 산화물(230)에 공급되는 산소의 양이 같은 정도가 된다. 따라서 기판면 내에서의 트랜지스터(200)의 전기 특성 편차를 억제할 수 있다. 다만 이에 한정되지 않고, 절연체(222)와 마찬가지로 절연체(224)를 패턴 형성하지 않는 구성으로 할 수도 있다.

[0275] 다음으로 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 도전체(242_2), 및 절연체(271)를 덮어 절연체(275)를 성막하고, 절연체(275) 위에 절연체(280)를 더 성막한다(도 8의 (A) 내지 (D) 참조). 절연체(275) 및 절연체(280)로서는 상술한 절연체를 사용하면 좋다.

[0276] 여기서 절연체(275)는 절연체(222)의 상면에 접하는 것이 바람직하다.

[0277] 절연체(280)로서는, 절연체(280)가 되는 절연막을 형성하고 상기 절연막에 CMP 처리를 수행함으로써, 상면이 평탄한 절연체를 형성하는 것이 바람직하다. 또한 절연체(280) 위에 예를 들어 스퍼터링법으로 질화 실리콘을 성막하고, 상기 질화 실리콘에 대하여 절연체(280)에 도달할 때까지 CMP 처리를 수행하여도 좋다.

[0278] 절연체(275) 및 절연체(280)는 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0279] 절연체(275)에는 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어 절연체(275)로서, PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 또는 절연체(275)로서, 스퍼터링법을 사용하여 산화 알루미늄을 성막하고, 그 위에 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 절연체(275)를 상술한 바와 같은 구조로 함으로써, 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 향상시킬 수 있다.

[0280] 이와 같이 하여 산화물(230a), 산화물(230b), 도전체(242_1), 및 도전체(242_2)를 산소의 확산을 억제하는 기능을 가지는 절연체(275)로 덮을 수 있다. 이에 의하여, 추후 공정에 있어서 절연체(224), 산화물(230a), 산화물(230b), 도전체(242_1), 및 도전체(242_2)로 절연체(280) 등으로부터 산소가 직접 확산되는 것을 저감할 수 있다.

[0281] 또한 절연체(280)로서 스퍼터링법을 사용하여 산화 실리콘을 성막하는 것이 바람직하다. 절연체(280)가 되는 절연막을 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체(280)를 형성할 수 있다. 또한 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써 절연체(280) 내의 수소 농도를 저감할 수 있다. 또한 상기 절연막을 형성하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 형성하여도 좋다. 이러한 처리를 수행함으로써, 절연체(275)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a), 산화물(230b), 및 절연체(224) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.

[0282] 또한 절연체(280)를 적층 구조로 하여도 좋다. 예를 들어 상술한 산화 실리콘막 위에 에칭 스토퍼로서 기능하는 절연체를 더 제공하는 구성으로 하여도 좋다. 에칭 스토퍼로서 기능하는 절연체로서는, 상술한 절연체(283) 등에 사용할 수 있는 절연체를 적절히 사용하면 좋다.

[0283] 다음으로, 리소그래피법을 사용하여 도전체(242_2), 절연체(271), 절연체(275), 및 절연체(280)를 가공함으로써, 도전체(242_1) 및 절연체(222)에 도달하는 개구를 형성한다(도 9의 (A) 내지 (D) 참조). 여기서 도전체(242_2)가 분단됨으로써 도전체(242a2) 및 도전체(242b2)가 형성되고, 절연체(271)가 분단됨으로써 절연체(271a) 및 절연체(271b)가 형성된다. 도전체(242_1)에 도달하는 개구는 산화물(230b)과 도전체(205)가 중첩되는 영역에 형성된다. 트랜지스터(200)를 채널 길이 방향의 단면에서 볼 때 상기 개구의 폭은 L1이고, 이는 도 2의 (B)에 나타낸 도전체(242a2)와 도전체(242b2)의 거리 L1에 대응한다. 즉 상기 개구의 폭은 도 2의 (B)에 나타낸 도전체(242a1)와 도전체(242b1)의 거리 L2보다 길다.

[0284] 리소그래피법으로서는 상술한 방법을 적절히 사용할 수 있다. 상기 절연체(280)의 개구를 미세하게 가공하기 위해서는, EUV광 등의 단파장의 광 또는 전자 빔을 사용한 리소그래피법을 사용하는 것이 바람직하다.

[0285] 예를 들어 절연체(280) 위에 SOC막, SOG막, 레지스트 마스크를 순차적으로 성막하고 리소그래피법을 수행할 수

있다. EUV광 등의 단파장의 광 또는 전자 빔을 사용하여 개구를 가지는 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 SOG막, SOC막, 절연체(280), 절연체(275), 절연체(271), 및 도전체(242_2)를 가공한다.

[0286] 상기 가공은 드라이 에칭법을 사용하여 수행하는 것이 바람직하다. 드라이 에칭법은 이방성 에칭이 가능하기 때문에, 종횡비가 높으며 도 2의 (B)에 나타낸 폭 L1의 개구를 형성하는 데 있어서 적합하다. 또한 드라이 에칭법의 조건 및 드라이 에칭 장치에 대해서는 앞의 기재를 참조할 수 있다. 또한 SOG막, SOC막, 절연체(280), 절연체(275), 절연체(271), 및 도전체(242_2)의 에칭 처리는 각각 상이한 조건으로 수행하여도 좋다.

[0287] 예를 들어 SOG막의 에칭에는 CF_4를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 SOC막의 에칭에는 H_2 및 N_2를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 절연체(280)에 산화 실리콘을 사용하는 경우, C_4F_8, C_4F_6, O_2, 및 Ar를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 절연체(275)에 질화 실리콘을 사용하는 경우, CH_2F_2, O_2, 및 Ar를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 절연체(271)에 질화 실리콘과 산화 실리콘의 적층막을 사용하는 경우, CHF_3 및 O_2를 에칭 가스로서 사용하여 ICP 에칭 장치에 의하여 에칭 처리를 수행할 수 있다.

[0288] 또한 예를 들어 도전체(242_2)에 텅스텐을 사용하고, 도전체(242_1)에 질화 탄탈럼을 사용하는 경우, CF_4, Cl_2, 및 O_2를 에칭 가스로서 사용하여 ICP 에칭 장치에 의하여 에칭 처리를 수행할 수 있다. 여기서 도전체(242_2)는 절연체(280) 등에 형성된 폭 L1의 개구와 중첩되어 에칭되기 때문에, 분단된 도전체(242a2)와 도전체(242b2) 사이의 거리는 L1이 된다.

[0289] 여기서 추후 공정에 있어서 도전체(242a2) 및 도전체(242b2) 아래에, 서로의 거리가 L2인 도전체(242a1) 및 도전체(242b1)를 형성하기 위하여, 본 공정의 에칭 처리를 도전체(242_1)의 상면에서 멈출 필요가 있다. 따라서 본 공정에서는, 도전체(242_1)의 에칭 레이트에 대한 도전체(242_2)의 에칭 레이트(이하, 도전체(242_2)의 에칭 선택비라고도 부름)가 크게 되는 조건으로 ICP 에칭 장치를 사용하여 에칭 처리를 수행한다.

[0290] ICP 에칭 장치의 하부 전극에 인가하는 바이어스 전력을 낮게 함으로써, 이온 입사 에너지를 저감하여 도전체(242_1)의 에칭 레이트를 저감할 수 있다. 예를 들어 ICP 에칭 장치의 하부 전극에 인가하는 바이어스 전력을 50W 미만, 바람직하게는 25W 이하 정도로 하면 좋다. 다만 본 발명은 이에 한정되지 않고, ICP 에칭 장치의 하부 전극에 인가하는 바이어스 전력을 50W 이상으로 할 수도 있다. 상기 바이어스 전력을 크게 함으로써, 도전체(242a2) 및 도전체(242b2)의 측면에 형성되는 오목부를 작게 할 수도 있다. 이 경우 예를 들어 상기 바이어스 전력을 100W로 하면 좋다.

[0291] 또한 CF_4, Cl_2, 및 O_2를 에칭 가스로서 사용함으로써, 도전체(242_2)의 텅스텐은 WF_6 또는 WOCl 등 휘발성이 높은 반응 생성물이 되어 도전체(242_2)의 에칭 레이트가 높아진다. 한편, 도전체(242_1)의 표면의 질화 탄탈럼은 산화 탄탈럼 또는 산화질화 탄탈럼 등 휘발성이 매우 낮은 반응 생성물이 되어 에칭이 억제된다. 따라서 에칭 가스 중의 산소 가스의 유량비를 크게 하는 것이 바람직하다. 예를 들어 에칭 가스 중의 산소 가스의 유량비를 35% 이상으로 하면 좋다.

[0292] 상술한 바와 같은 조건으로 도전체(242_2)의 에칭 처리를 수행함으로써, 도전체(242_1)가 과도하게 에칭되지 않고 도전체(242_2)를 도전체(242a2)와 도전체(242b2)로 분단할 수 있다. 이에 의하여, 미세 구조를 가지는 반도체 장치에서도 설계대로 가공을 수행할 수 있다.

[0293] 또한 SOC막은 산소 플라스마를 사용한 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거하면 좋다.

[0294] 또한 절연체(271) 및 도전체(242_2)의 가공 및 SOC막의 제거는 외기에 노출시키지 않고 연속하여 수행할 수 있다. 예를 들어 멀티 체임버 방식의 에칭 장치를 사용하여, 외기에 노출시키지 않고 처리를 수행하면 좋다.

[0295] 이상과 같이 하여 도전체(242_2), 절연체(271), 절연체(275), 및 절연체(280)를 가공함으로써 폭 L1의 개구를 형성할 수 있다.

[0296] 다음으로 절연체(280), 도전체(242_1), 및 절연체(222)를 덮어 절연막(255A)을 성막한다(도 10의 (A) 내지 (D) 참조). 절연막(255A)은 추후 공정에 있어서 절연체(255)가 되는 절연막이고, 상술한 질화물 절연체 등을 사용

할 수 있다. 절연막(255A)은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0297] 절연막(255A)은 도전체(242a2), 도전체(242b2), 절연체(271), 절연체(275), 및 절연체(280)에 형성된 개구를 따라 성막되기 때문에 피복성이 양호한 것이 바람직하다. 따라서 절연막(255A)은 피복성이 양호한 ALD법 등을 사용하여 성막하는 것이 바람직하다. 예를 들어 절연막(255A)으로서 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다.

[0298] 다음으로 절연막(255A) 위에 절연막(256A)을 성막한다(도 10의 (A) 내지 (D) 참조). 절연막(256A)에는 상술한 절연체(250b) 등에 적용할 수 있는 산화물 절연체를 사용할 수 있다. 절연막(256A)은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0299] 절연막(256A)은 절연막(255A)과 마찬가지로 도전체(242a2), 도전체(242b2), 절연체(271), 절연체(275), 및 절연체(280)에 형성된 개구를 따라 성막되기 때문에 피복성이 양호한 것이 바람직하다. 따라서 절연막(256A)은 피복성이 양호한 ALD법 등을 사용하여 성막하는 것이 바람직하다. 예를 들어 절연막(256A)으로서 PEALD법을 사용하여 산화 실리콘을 성막하는 것이 바람직하다. 또한 절연막(255A)의 성막 및 절연막(256A)의 성막은 외기에 노출시키지 않고 연속하여 수행할 수 있다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하여, 외기에 노출시키지 않고 처리를 수행하면 좋다.

[0300] 다음으로 절연막(255A) 및 절연막(256A)의 일부를 이방성 에칭에 의하여 제거하고, 상기 개구의 측벽에 접하여 측벽 형태의 절연체(255) 및 절연체(256)를 형성한다(도 11의 (A) 내지 (D) 참조). 이에 의하여 절연체(255)는 절연체(280)의 측면, 절연체(275)의 측면, 절연체(271a)의 측면, 절연체(271b)의 측면, 도전체(242a2)의 측면, 도전체(242b2)의 측면, 도전체(242_1)의 상면, 및 절연체(222)의 상면에 접하여 형성된다. 또한 도 11의 (B) 및 (C)에 나타낸 바와 같이 절연체(255)에서 도전체(242_1)의 상면 또는 절연체(222)의 상면에 접하는 부분에 돌출부가 형성된다. 절연체(255)의 돌출부는 절연체(280) 등에 형성되는 개구의 중앙부를 향하여 다른 부분보다 돌출한 형상이 된다. 즉 절연체(255)는 채널 길이 방향의 단면에서 볼 때, 소위 L자 형상이 된다.

[0301] 절연체(256)는 절연체(255)의 내측에 위치하도록 형성된다. 도 11의 (B) 및 (C)에 나타낸 바와 같이 절연체(256)의 밑면은 절연체(255)의 돌출부의 상면에 접하고, 절연체(256)의 한쪽 측면은 절연체(255)의 측면에 접한다. 또한 상면에서 볼 때, 절연체(256)의 다른 쪽 측면은 절연체(255)의 돌출부의 단부와 일치 또는 대략 일치하도록 형성된다.

[0302] 채널 길이 방향의 단면에서 볼 때, 절연체(255) 및 절연체(256)는 폭 L1의 개구 내에 형성되기 때문에, A1 측의 절연체(256)와 A2 측의 절연체(256) 사이의 거리를 L2로 하면, L2는 L1보다 짧아진다. 여기서 거리 L2는 A1 측의 절연체(255)의 돌출부의 단부와 A2 측의 절연체(255)의 돌출부의 단부 사이의 거리로 간주할 수도 있다.

[0303] 절연막(255A) 및 절연막(256A)의 이방성 에칭에는 드라이 에칭법을 사용하는 것이 바람직하다. 또한 드라이 에칭법의 조건 및 드라이 에칭 장치에 대해서는 앞의 기재를 참조할 수 있다. 예를 들어 절연막(255A)에 질화 실리콘을 사용하고, 절연막(256A)에 산화 실리콘을 사용하는 경우, CHF_3 및 O_2를 에칭 가스로서 사용하여 ICP 에칭 장치에 의하여 에칭 처리를 수행할 수 있다.

[0304] 또한 절연막(255A) 및 절연막(256A)의 에칭에 있어서, 발생한 이온이 절연체(280) 및 절연체(255)의 개구의 가장자리의 모서리부에 충돌하는 경우가 있다. 이에 의하여, 도 4의 (C) 등에 나타낸 바와 같이 상기 모서리부가 연마되어 테이퍼 형상이 되는 경우가 있다. 예를 들어 에칭 가스에 아르곤 등 이온화되기 쉬운 가스를 포함시키거나 기판 측의 전극에 바이어스 전압을 인가함으로써, 상기 모서리부가 제거되기 쉬워진다.

[0305] 다음으로 이방성 에칭을 사용하여 도전체(242_1)의 절연체(255) 및 절연체(256)로부터 노출된 부분을 제거하여 도전체(242a1) 및 도전체(242b1)를 형성한다(도 12의 (A) 내지 (D) 참조). 바꿔 말하면, 절연체(255) 및 절연체(256)를 마스크로서 사용하여 도전체(242_1)를 가공함으로써 도전체(242_1)를 도전체(242a1)와 도전체(242b1)로 분단한다. 이와 같이 절연체(255) 및 절연체(256)를 마스크로서 사용하여 도전체(242_1)를 가공함으로써, 트랜지스터(200)를 단면에서 볼 때 절연체(255)의 돌출부의 단부가 도전체(242a1)의 측단부 및 도전체(242b1)의 측단부와 일치 또는 대략 일치하도록 형성된다. 이에 의하여, 채널 길이 방향의 단면에서 볼 때 도전체(242a1)와 도전체(242b1)의 거리도 L2가 된다.

[0306] 이방성 에칭에는 드라이 에칭법을 사용하는 것이 바람직하다. 또한 드라이 에칭법의 조건 및 드라이 에칭 장치에 대해서는 앞의 기재를 참조할 수 있다. 예를 들어 도전체(242_1)에 질화 탄탈럼을 사용하는 경우, Cl_2 및

Ar를 에칭 가스로서 사용하여 ICP 에칭 장치에 의하여 에칭 처리를 수행할 수 있다.

[0307] 상술한 바와 같이 이방성 에칭을 사용하여 도전체(242_1) 위에 절연체(255) 및 절연체(256)를 형성하고, 절연체(255) 및 절연체(256)를 마스크로서 사용하여 도전체(242_1)를 분단함으로써, 마스크로서 기능하는 절연체(255) 및 절연체(256)를 자기 정합적으로 형성할 수 있다. 이에 의하여, 본 실시형태에서 설명하는 반도체 장치의 제작 공정에 있어서 마스크 수 및 공정 수를 삭감할 수 있다. 따라서 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다.

[0308] 또한 상기 방법을 사용함으로써, 도전체(242_1)의 가공 시에만 섬 형상의 산화물(230)이 드라이 에칭 분위기에 노출되도록 할 수 있다. 바꿔 말하면, 절연체(255) 및 절연체(256)의 형성 시에 섬 형상의 산화물(230)의 상면이 드라이 에칭 분위기에 노출되는 것을 방지할 수 있다. 이에 의하여, 트랜지스터(200)의 채널 형성 영역으로서 기능하는 산화물(230b)이 드라이 에칭에 의하여 받는 대미지(예를 들어 이온의 충돌에 의한 손상 등)를 저감할 수 있다. 도전체(242_1)의 드라이 에칭 처리에 있어서 중간에 바이어스 전력을 낮춤으로써 산화물(230)의 대미지를 더 저감시킬 수 있다. 다만 도 4의 (A)에 나타낸 바와 같이 산화물(230)의 도전체(242a1) 및 도전체(242b1)로부터 노출된 부분에 오목부가 형성되는 경우도 있다.

[0309] 또한 도전체(242_1)의 가공 후에 산소 플라스마를 사용한 애싱 처리를 수행하여도 좋다. 이러한 산소 플라스마 처리를 수행함으로써, 상기 에칭 처리에서 발생하며 산화물(230) 등으로 확산된 불순물을 제거할 수 있다. 상기 불순물에는 상기 에칭 처리의 피가공물에 포함되는 성분 및 에칭에 사용되는 가스 등에 포함되는 성분에 기인한 것이 포함된다. 예를 들어 염소, 플루오린, 탄탈럼, 실리콘, 하프늄 등이 있다. 특히 상기 에칭 처리에서 설명한 바와 같이, 도전체(242_1)의 가공에 염소 가스를 사용하는 경우에는, 염소 가스를 포함한 분위기로의 노출로 인하여 산화물(230)에 부착된 염소를 제거하는 것이 바람직하다. 이와 같이 산화물(230)에 부착된 불순물을 제거함으로써 트랜지스터의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0310] 또한 상기 산소 플라스마 처리를 수행하면, 절연체(255)의 적어도 일부가 산화되는 경우가 있다. 바꿔 말하면, 절연체(255)에 산소가 포함되는 경우가 있다. 이 경우 절연체(255)에 대하여 SIMS 등으로 조성 분석을 수행하면 절연체(255) 내에 산소 농도가 높은 영역이 관측된다. 또한 절연체(255)의 산화가 진행되어, 트랜지스터(200)의 형성 후에 절연체(255)의 적어도 일부가 산화질화 실리콘 또는 질화산화 실리콘이 되는 경우가 있다.

[0311] 또한 절연막(255A), 절연막(256A), 및 도전체(242_1)의 가공 및 산소 플라스마 처리는 외기에 노출시키지 않고 연속하여 수행할 수 있다. 예를 들어 멀티 체임버 방식의 에칭 장치를 사용하여, 외기에 노출시키지 않고 처리를 수행하면 좋다.

[0312] 다음으로 등방성 에칭을 수행하여 절연체(256)를 선택적으로 제거하는 것이 바람직한(도 13의 (A) 내지 (D) 참조). 등방성 에칭에는 예를 들어 웨트 에칭법을 사용하면 좋다. 여기서 등방성 에칭에 있어서 절연체(256)의 에칭 레이트가 절연체(255)의 에칭 레이트에 비하여 충분히 큰 것이 바람직하다. 또한 절연체(256)의 에칭 레이트가 산화물(230)의 에칭 레이트에 비하여 충분히 큰 것이 바람직하다.

[0313] 상술한 바와 같이 등방성 에칭을 수행함으로써, 절연체(256)를 제거하고 절연체(255)를 잔존시킬 수 있다. 이에 의하여, 절연체(280) 등에 형성된 개구에서 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부가 돌출되도록 형성된다.

[0314] 또한 상술한 바와 같이 절연체(280)를 적층 구조로 하고, 상면에 에칭 스토퍼로서 기능하는 절연체를 성막함으로써, 상기 등방성 에칭에서 절연체(280)의 상면이 에칭되는 것을 방지할 수 있다.

[0315] 또한 위에서는 도전체(242_1)의 가공 후에 절연체(256)의 제거를 수행하는 예에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연체(255) 및 절연체(256)의 형성 후에 절연체(256)를 등방성 에칭에 의하여 제거한 다음, 도전체(242_1)의 가공을 수행할 수도 있다. 이에 의하여, 산화물(230b)의 상면이 절연체(256)의 등방성 에칭에 노출되는 것을 방지할 수 있다. 따라서 트랜지스터(200)의 채널 형성 영역으로서 기능하는 산화물(230b)이 상기 등방성 에칭에 의하여 받는 대미지(예를 들어 에천트에 의한 손상 등)를 저감할 수 있다. 또한 절연체(255) 및 절연체(256)의 형성 시에 절연체(255)는 단면에서 볼 때 L자 형상으로 형성되어 있기 때문에 L자 형상의 절연체(255)를 마스크로서 사용하여 도전체(242_1)의 가공을 수행하면 좋다.

[0316] 상술한 식으로, 도전성이 양호한 도전체(242a2, 242b2) 아래에 내산화성의 도전체(242a1, 242b1)를 형성하고, 또한 도전체(242a2, 242b2)의 측면에 접하여 내산화성의 절연체(255)를 형성할 수 있다. 이러한 구성으로 함으로써, 도전성이 양호한 도전체(242a2, 242b2)를 트랜지스터(200)의 소스 전극 및 드레인 전극으로서 사용할 수 있기 때문에, 트랜지스터(200)의 주파수 특성 및 반도체 장치의 동작 속도를 향상시킬 수 있다. 또한 절연체

(255)의 돌출부와 같은 정도로 도전체(242a1, 242b1)를 도전체(242a2, 242b2)보다 돌출시켜 형성할 수 있기 때문에, 소스와 드레인 사이의 거리를 더 짧게 할 수 있고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(200)의 온 전류를 크게 하고, S값을 저감하고, 주파수 특성을 향상시킬 수 있다.

[0317] 또한 상기 에칭 공정에서 산화물(230b)의 표면에 부착된 불순물 등을 제거하기 위하여 세정 처리를 수행하여도 좋다. 세정 방법으로서는, 세정액 등을 사용한 웨트 세정(웨트 에칭 처리라고 부를 수도 있음), 플라스마를 사용한 플라스마 처리, 열처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다. 또한 상기 세정 처리에 의하여 상기 홈부가 깊어지는 경우가 있다.

[0318] 웨트 세정은 암모니아수, 옥살산, 인산, 및 플루오린화 수소산 중 하나 또는 복수를 탄산수 또는 순수로 희석한 수용액, 순수, 탄산수 등을 사용하여 수행하여도 좋다. 또는 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또는 이들 세정을 적절히 조합하여 수행하여도 좋다.

[0319] 또한 도 11의 (C)에 따른 공정에 있어서, 도 14의 (A)에 나타낸 바와 같이, 채널 폭 방향의 단면에서 볼 때 절연체(255)의 일부가 절연체(224)의 측면, 산화물(230)의 측면, 도전체(242_1)의 측면, 및 절연체(222)의 상면에 접하여 형성되고, 절연체(255) 위에 절연체(256)가 형성되는 경우가 있다. 이 경우 도 13의 (C)에 따른 공정에 있어서, 도 14의 (B)에 나타낸 바와 같이, 채널 폭 방향의 단면에서 볼 때 절연체(255)의 일부가 절연체(224)의 측면, 산화물(230)의 측면, 도전체(242_1)의 측면, 및 절연체(222)의 상면에 접하여 형성되는 경우가 있다. 또한 도 14의 (C)에 나타낸 바와 같이 트랜지스터(200)에서 절연체(255)의 일부가 산화물(230)의 측면 및 절연체(224)의 측면에 접하여 형성되는 경우가 있다. 이때 트랜지스터(200)에 있어서 절연체(250)는 산화물(230)의 측면 및 절연체(224)의 측면에 접하지 않는다.

[0320] 또한 본 명세서 등에서는, 플루오린화 수소산을 순수로 희석한 수용액을 희석 플루오린화 수소산이라고 부르고, 암모니아수를 순수로 희석한 수용액을 희석 암모니아수라고 부르는 경우가 있다. 또한 상기 수용액의 농도, 온도 등은 제거하려고 하는 불순물, 세정되는 반도체 장치의 구성 등에 따라 적절히 조정한다. 희석 암모니아수의 암모니아 농도는 0.01% 이상 5% 이하가 바람직하고, 0.1% 이상 0.5% 이하가 더 바람직하다. 또한 희석 플루오린화 수소산의 플루오린화 수소 농도는 0.01ppm 이상 100ppm 이하가 바람직하고, 0.1ppm 이상 10ppm 이하가 더 바람직하다.

[0321] 또한 초음파 세정에는 200kHz 이상의 주파수를 사용하는 것이 바람직하고, 900kHz 이상의 주파수를 사용하는 것이 더 바람직하다. 상기 주파수를 사용함으로써 산화물(230b) 등에 대한 대미지를 저감할 수 있다.

[0322] 또한 상기 세정 처리를 여러 번 수행하여도 좋고, 세정 처리마다 세정액을 변경하여도 좋다. 예를 들어 제 1 세정 처리로서 희석 플루오린화 수소산 또는 희석 암모니아수를 사용하는 처리를 수행하고, 제 2 세정 처리로서 순수 또는 탄산수를 사용하는 처리를 수행하여도 좋다.

[0323] 상기 세정 처리로서, 본 실시형태에서는 희석 암모니아수를 사용하여 웨트 세정을 수행한다. 상기 세정 처리를 수행함으로써, 산화물(230a), 산화물(230b) 등의 표면에 부착되거나 또는 내부로 확산된 불순물을 제거할 수 있다. 또한 산화물(230a), 산화물(230b) 등의 결정성을 높일 수 있다.

[0324] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 온도는 100℃ 이상, 250℃ 이상, 또는 350℃ 이상이고, 650℃ 이하, 600℃ 이하, 550℃ 이하, 또는 400℃ 이하인 것이 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 상기 가열 처리는 산소를 포함한 분위기에서 수행하는 것이 바람직하고, 예를 들어 질소 가스와 산소 가스의 유량비를 4:1로 하고, 350℃의 온도에서 1시간 수행하는 것이 바람직하다. 이로써 산화물(230a) 및 산화물(230b)에 산소가 공급되므로 산소 결손의 저감을 도모할 수 있다. 또한 이러한 열처리를 수행함으로써 산화물(230b)의 결정성을 향상시킬 수 있다. 또한 산화물(230a) 및 산화물(230b) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(230a) 및 산화물(230b) 내에 잔존한 수소가 산소 결손에 재결합하여 V_OH가 형성되는 것을 억제할 수 있다. 이로써 산화물(230)이 제공된 트랜지스터의 전기 특성을 양호하게 하고 신뢰성을 향상시킬 수 있다. 또한 동일 기판 위에 형성되는 복수의 트랜지스터의 전기 특성의 편차를 억제할 수 있다. 또한 상기 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 산소 분위기에서 가열 처리를 수행한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다. 또한 본 실시형태에서는 절연체(256)의 제거 후에 가열 처리를 수행하는 예에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 상기 가열 처리 후에 절연체(256)의 제거를 수행하는 구성으로 할 수도 있다.

[0325] 여기서, 상술한 바와 같이 산화되기 어려운 무기 절연체를 가지는 절연체(255)가 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 제공된다. 이에 의하여, 도전체(242a2, 242b2)에 비교적 산화되기 쉬운 텅스텐막 등이 사용되어도, 상기 가열 처리로 인하여 도전체(242a2, 242b2)가 과도하게 산화되는 것을 방지할 수 있다.

[0326] 또한 산화물(230b)에 대하여 도전체(242a) 및 도전체(242b)가 접한 상태로 가열 처리를 수행하는 경우, 산화물(230b)에서 도전체(242a)와 중첩되는 영역 및 도전체(242b)와 중첩되는 영역은 각각 시트 저항이 저하되는 경우가 있다. 또한 캐리어 농도가 증가하는 경우가 있다. 따라서 산화물(230b)에서 도전체(242a)와 중첩되는 영역 및 도전체(242b)와 중첩되는 영역을 자기 정합적으로 저저항화시킬 수 있다.

[0327] 다음으로, 절연체(280) 등에 형성된 개구를 매립하도록, 절연체(250)가 되는 절연막(250A)을 성막한다(도 15의 (A) 내지 (D) 참조). 여기서 절연막(250A)은 절연체(280), 절연체(255), 도전체(242a1), 도전체(242b1), 절연체(222), 절연체(224), 산화물(230a), 및 산화물(230b)에 접한다. 또한 절연체(280) 등에 형성된 개구에서 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부가 돌출되도록 형성되기 때문에, 절연막(250A)의 형상에 절연체(255)의 돌출부, 도전체(242a1)의 일부, 및 도전체(242b1)의 일부의 형상이 반영된다.

[0328] 절연막(250A)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 예를 들어 절연막(250A)은 ALD법을 사용하여 성막하는 것이 바람직하다. 상기 절연체(250)와 마찬자리로 절연막(250A)은 얇은 막 두께로 형성하는 것이 바람직하고, 막 두께의 편차가 작아지도록 할 필요가 있다. ALD법은 전구체와 반응제(예를 들어 산화제 등)를 번갈아 도입하여 수행하는 성막 방법이고, 이 사이클을 반복하는 횟수로 막 두께를 조절할 수 있기 때문에 막 두께를 정밀하게 조절할 수 있다. 또한 절연막(250A)은 상기 개구의 밑면 및 측면에 양호한 피복성으로 성막될 필요가 있다. ALD법을 사용함으로써, 상기 개구의 밑면 및 측면에 있어서 원자의 층을 한 층씩 퇴적시킬 수 있기 때문에, 절연막(250A)을 상기 개구에 대하여 양호한 피복성으로 형성할 수 있다.

[0329] 또한 절연막(250A)을 ALD법으로 성막하는 경우, 산화제로서 오존(O_3), 산소(O_2), 물(H_2O) 등을 사용할 수 있다. 수소를 포함하지 않는 오존(O_3), 산소(O_2) 등을 산화제로서 사용함으로써, 산화물(230b)로 확산되는 수소를 저감할 수 있다.

[0330] 절연체(250)는 도 2의 (A) 등에 나타낸 바와 같이 적층 구조로 할 수 있다. 이하에서는 도 2의 (A)와 마찬가지로, 절연체(250)가 절연체(250a), 절연체(250b), 절연체(250c)의 3층 구조인 경우의 절연막(250A)의 성막 방법에 대하여 도 16의 (A) 내지 (C)를 사용하여 설명한다. 도 16의 (A) 내지 (C)에서는, 절연막(250A)이 절연막(250Aa)과, 절연막(250Aa) 위의 절연막(250Ab)과, 절연막(250Ab) 위의 절연막(250Ac)을 가진다.

[0331] 먼저 절연체(280) 등에 형성된 개구를 매립하도록 절연체(250a)가 되는 절연막(250Aa)을 성막하고, 절연막(250Aa) 위에 절연막(250Ab)을 더 성막한다(도 16의 (A) 참조). 본 실시형태에서는 절연막(250Aa)으로서 산화알루미늄을 열 ALD법에 의하여 성막하고, 절연막(250Ab)으로서 산화 실리콘을 PEALD법에 의하여 성막한다.

[0332] 다음으로 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다(도 16의 (B) 참조). 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 포함한 장치를 사용한 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다.

[0333] 마이크로파 처리에서는, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 여기서 마이크로파 처리 장치의 주파수는 300MHz 이상 300GHz 이하가 바람직하고, 2.4GHz 이상 2.5GHz 이하가 더 바람직하고, 예를 들어 2.45GHz로 할 수 있다. 고밀도 플라스마를 사용함으로써 고밀도의 산소 라디칼을 생성할 수 있다. 또한 마이크로파 처리 장치에서의 마이크로파를 인가하는 전원의 전력은 1000W 이상 10000W 이하가 바람직하고, 2000W 이상 5000W 이하가 더 바람직하다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 또한 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 산화물(230b) 중에 효율적으로 도입할 수 있다.

[0334] 또한 상기 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력은 10Pa 이상 1000Pa 이하가 바람직하고, 300Pa 이상 700Pa 이하가 더 바람직하다. 또한 처리 온도는 750℃ 이하가 바람직하고, 500℃ 이하가 더 바람직하고, 예를 들어 250℃ 정도로 할 수 있다. 또한 산소 플라스마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 예를 들어 100℃ 이상 750℃ 이하가 바람직하고, 300℃ 이상 500℃ 이하가 더 바람직하다.

[0335] 또한 예를 들어 상기 마이크로파 처리는 산소 가스와 아르곤 가스를 사용하여 수행할 수 있다. 여기서 산소 유

량비($O_2/(O_2+Ar)$)는 0%보다 크고 100% 이하로 한다. 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 0%보다 크고 50% 이하로 한다. 더 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 10% 이상 40% 이하로 한다. 더 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 10% 이상 30% 이하로 한다. 이와 같이 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 산화물(230b) 내의 캐리어 농도를 저하시킬 수 있다. 또한 마이크로파 처리에서 체임버에 과잉량의 산소가 도입되지 않도록 함으로써, 산화물(230b)에서 캐리어 농도가 지나치게 저하되는 것을 방지할 수 있다.

[0336] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라스마화하고, 상기 산소 플라스마를 산화물(230b) 중 도전체(242a)와 도전체(242b) 사이의 영역에 작용시킬 수 있다. 플라스마, 마이크로파 등의 작용에 의하여 상기 영역에서의 V_OH를 산소 결손과 수소로 분단하여 수소를 상기 영역에서 제거할 수 있다. 여기서 도 2의 (A) 등에 나타낸 구조로 하는 경우, 절연막(250Aa)으로서 수소를 포획 또는 고착하는 기능을 가지는 절연막(예를 들어 산화 알루미늄 등)을 사용하는 것이 바람직하다. 이러한 구성으로 함으로써, 마이크로파 처리에 의하여 생긴 수소를 절연막(250Aa)에 포획 또는 고착시킬 수 있다. 이와 같이 하여, 채널 형성 영역에 포함되는 V_OH를 저감할 수 있다. 이상에 의하여, 채널 형성 영역 내의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다. 또한 채널 형성 영역에 형성된 산소 결손에, 상기 산소 플라스마에서 발생한 산소 라디칼을 공급함으로써, 채널 형성 영역 내의 산소 결손을 더 저감하여 캐리어 농도를 더 저하시킬 수 있다.

[0337] 채널 형성 영역 내에 주입되는 산소는 산소 원자, 산소 분자, 산소 이온, 및 산소 라디칼(O 라디칼이라고도 하고, 홀전자를 가지는 원자, 분자, 또는 이온) 등 다양한 형태를 가진다. 또한 채널 형성 영역 내에 주입되는 산소는 상술한 형태 중 어느 하나 또는 복수이면 좋고, 특히 산소 라디칼인 것이 적합하다. 또한 절연체(250)의 막질을 향상시킬 수 있기 때문에 트랜지스터의 신뢰성이 향상된다.

[0338] 한편, 산화물(230b)에는 도전체(242a, 242b) 중 어느 것과 중첩되는 영역이 존재한다. 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 여기서 도전체(242a, 242b)는 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때, 마이크로파, RF 등의 고주파, 산소 플라스마 등의 작용에 대한 차폐막으로서 기능하는 것이 바람직하다. 그러므로 도전체(242a, 242b)는 300MHz 이상 300GHz 이하, 예를 들어 2.4GHz 이상 2.5GHz 이하의 전자기파를 차폐하는 기능을 가지는 것이 바람직하다.

[0339] 도전체(242a, 242b)가 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용을 차폐하기 때문에, 이들 작용은 산화물(230b)의 도전체(242a, 242b) 중 어느 것과 중첩되는 영역에는 미치지 않는다. 이에 의하여, 마이크로파 처리로 인한 소스 영역 및 드레인 영역에서의 V_OH의 저감 및 과잉량의 산소 공급이 발생하지 않기 때문에 캐리어 농도의 저하를 방지할 수 있다.

[0340] 또한 도전체(242a2, 242b2)의 측면에 접하여, 산소에 대한 배리어성을 가지는 절연체(255)가 제공된다. 또한 도전체(242a1, 242b1) 및 절연체(255)를 덮어 절연막(250Aa) 및 절연막(250Ab)이 제공된다. 이에 의하여, 마이크로파 처리로 도전체(242a, 242b)의 측면에 산화막이 형성되는 것을 억제할 수 있다.

[0341] 상술한 식으로, 산화물 반도체의 채널 형성 영역에 있어서 산소 결손 및 V_OH를 선택적으로 제거함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형 으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역에 과잉량의 산소가 공급되는 것을 억제하고, 마이크로파 처리를 수행하기 전의 도전성(저저항 영역인 상태)을 유지할 수 있다. 이로써, 트랜지스터의 전기 특성의 변동을 억제하여, 기판면 내에서 트랜지스터의 전기 특성에 편차가 생기는 것을 억제할 수 있다.

[0342] 또한 마이크로파 처리에서는, 마이크로파와 산화물(230b) 중의 분자의 전자기적인 상호 작용에 의하여 산화물(230b)에 직접적으로 열 에너지가 전달되는 경우가 있다. 이 열 에너지에 의하여 산화물(230b)이 가열되는 경우가 있다. 이러한 가열 처리를 마이크로파 어닐이라고 부르는 경우가 있다. 마이크로파 처리를 산소를 포함한 분위기에서 수행함으로써, 산소 어닐과 동등한 효과가 얻어지는 경우가 있다. 또한 산화물(230b)에 수소가 포함되는 경우, 이 열 에너지가 산화물(230b) 중의 수소에 전달되고, 이에 의하여 활성화된 수소가 산화물(230b)로부터 방출될 수 있다.

[0343] 또한 마이크로파 처리를 수행하여 절연막(250Aa) 및 절연막(250Ab)의 막질을 향상시킴으로써 수소, 물, 불순물 등의 확산을 억제할 수 있다. 따라서 도전체(260)가 되는 도전막의 성막 등의 후공정 또는 열처리 등의 후처리

로 인하여 절연체(250)를 통하여 수소, 물, 불순물 등이 산화물(230b), 산화물(230a) 등으로 확산되는 것을 억제할 수 있다. 이와 같이 절연체(250)의 막질을 향상시킴으로써 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0344] 다음으로, 절연막(250Ab) 위에 절연막(250Ac)을 성막한다(도 16의 (C) 참조). 본 실시형태에서는 절연막(250Ac)으로서 질화 실리콘을 PEALD법에 의하여 성막한다. 이와 같이 하여 절연막(250Aa) 내지 절연막(250Ac)을 가지는 절연막(250A)을 형성할 수 있다.

[0345] 또한 위에서는 절연막(250Ab)을 성막한 후에 마이크로파 처리를 수행하는 예에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 절연막(250Ac)까지 성막한 후에 마이크로파 처리를 수행하는 구성으로 할 수도 있다. 또는 절연막(250Aa)의 성막 전에 마이크로파 처리를 수행하는 구성으로 할 수도 있다.

[0346] 또한 마이크로파 처리 후에 감압 상태를 유지한 상태에서 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써, 상기 절연막 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(242a, 242b)에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하는 단계를 여러 번 반복하여 수행하여도 좋다. 가열 처리를 반복하여 수행함으로써, 상기 절연막 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 더 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다. 또한 상기 마이크로파 처리, 즉 마이크로파 어닐이 이 가열 처리를 겸하여도 좋다. 마이크로파 어닐에 의하여 산화물(230b) 등이 충분히 가열되는 경우에는 이 가열 처리는 수행하지 않아도 된다.

[0347] 또한 도 3의 (A)에 나타낸 바와 같이 절연체(250)를 절연체(250a)와 절연체(250c)의 적층 구조로 하는 경우, 상기 공정에 있어서 절연막(250Ab)의 성막을 수행하지 않는 구성으로 하면 좋다. 또한 도 3의 (B)에 나타낸 바와 같이 절연체(250)를 절연체(250a), 절연체(250b), 절연체(250c), 및 절연체(250d)의 적층 구조로 하는 경우, 도 16의 (B)의 마이크로파 처리 후에, 절연체(250d)가 되는 절연막을 형성하고, 다시 한 번 마이크로파 처리를 수행하고, 절연막(250Ac)을 성막하여도 좋다. 여기서 절연체(250d)가 되는 절연막으로서 산화 하프늄을 열 ALD법에 의하여 성막할 수 있다. 이와 같이, 산소를 포함한 분위기에서의 마이크로파 처리에는 여러 번(적어도 두 번 이상) 수행되어도 좋다.

[0348] 다음으로 도전체(260a)가 되는 도전막(260A)과 도전체(260b)가 되는 도전막(260B)을 순차적으로 성막한다(도 17의 (A) 내지 (D) 참조). 도전막(260A) 및 도전막(260B)은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 도금법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 ALD법을 사용하여 도전막(260A)으로서 질화 타이타늄을 성막하고, CVD법을 사용하여 도전막(260B)으로서 텅스텐을 성막한다.

[0349] 다음으로 CMP 처리에 의하여 절연막(250A), 도전막(260A), 및 도전막(260B)을 절연체(280)가 노출될 때까지 연마한다. 즉 절연막(250A), 도전막(260A), 및 도전막(260B)의 상기 개구로부터 노출된 부분을 제거한다. 이에 의하여, 도전체(205)와 중첩되는 개구 내에 절연체(250) 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한다(도 18의 (A) 내지 (D) 참조).

[0350] 이로써 절연체(250)는 상기 개구 내에서 절연체(255), 도전체(242a1), 도전체(242b1), 산화물(230), 절연체(224), 및 절연체(222)에 접하여 제공된다. 또한 도전체(260)는 절연체(250)를 개재하여 상기 개구를 매립하도록 배치된다. 이러한 식으로 트랜지스터(200)가 형성된다.

[0351] 또한 상술한 바와 같이, 절연체(280)를 적층 구조로 하고, 상면에 에칭 스토퍼로서 기능하는 절연체를 제공한 경우, 에칭 스토퍼로서 기능하는 절연체를 상기 CMP 처리에 의하여 제거하는 것이 바람직하다. 이에 의하여, 추후 공정에서 절연체(280)에 산소를 첨가할 때, 상기 에칭 스토퍼로서 기능하는 절연체로 인하여 산소의 첨가가 저해되는 것을 방지할 수 있다.

[0352] 다음으로 절연체(255) 위, 절연체(250) 위, 도전체(260) 위, 및 절연체(280) 위에 절연체(282)를 형성한다. 절연체(282)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 절연체(282)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써 절연체(282) 내의 수소 농도를 저감할 수 있다.

[0353] 또한 스퍼터링법을 사용하여 산소를 포함하는 분위기에서 절연체(282)의 성막을 수행함으로써, 성막하면서 절연체(280)에 산소를 첨가할 수 있다. 이에 의하여 절연체(280)에 과잉 산소를 포함시킬 수 있다. 이때 기판을 가열하면서 절연체(282)를 성막하는 것이 바람직하다. 여기서, 상술한 바와 같이 절연체(255)의 일부를 산화시킴으로써, 절연체(280)에 공급된 산소를 절연체(255) 및 절연체(250)를 통하여 산화물(230b)로 확산시켜, 적합

한 양의 산소를 산화물(230b)에 공급할 수 있다.

[0354] 본 실시형태에서는 절연체(282)로서, 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여 스퍼터링법에 의하여 산화 알루미늄을 성막한다. 스퍼터링법에서 기판에 인가하는 RF 전력의 크기에 따라 절연체(282)보다 아래층에 주입되는 산소의 양을 제어할 수 있다. 예를 들어, RF 전력이 작을수록 절연체(282)보다 아래층에 주입되는 산소의 양이 감소하고, 절연체(282)의 막 두께가 얇아도 상기 산소량은 포화되기 쉬워진다. 또한 RF 전력이 클수록 절연체(282)보다 아래층에 주입되는 산소의 양이 증가한다. RF 전력을 작게 함으로써, 절연체(280)에 주입되는 산소의 양을 억제할 수 있다. 또한 절연체(282)를 2층이 성막된 적층 구조로 하여도 좋다. 이때 예를 들어 기판에 대한 RF 전력의 인가 없이 절연체(282)의 아래층을 성막하고, 기판에 RF 전력을 인가하면서 절연체(282)의 위층을 성막한다.

[0355] 또한 RF의 주파수는 10MHz 이상이 바람직하다. 대표적으로는 13.56MHz이다. RF의 주파수가 높을수록 기판이 받는 대미지를 작게 할 수 있다.

[0356] 또한 절연체(282)의 성막 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연체(282)를 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(280)의 표면에 흡착된 수분 및 수소를 제거하여 절연체(280) 내의 수분 농도 및 수소 농도를 더 저감시킬 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 250℃로 한다.

[0357] 다음으로 절연체(282) 위에 절연체(283)를 형성한다. 절연체(283)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 절연체(283)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함한 분자를 성막 가스에 사용하지 않아도 되는 스퍼터링법을 사용함으로써 절연체(283) 내의 수소 농도를 저감할 수 있다. 본 실시형태에서는 절연체(283)로서 스퍼터링법을 사용하여 질화 실리콘을 성막한다.

[0358] 여기서 절연체(282) 및 절연체(283)는 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기 개방 없이 성막함으로써, 절연체(282) 및 절연체(283) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 절연체(282)와 절연체(283)의 계면 또는 계면 근방을 청정하게 유지할 수 있다.

[0359] 또한 절연체(283)의 성막 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 가열 처리를 수행함으로써, 절연체(280), 절연체(250), 및 산화물(230)에 포함되는 수소가 절연체(282) 내에 흡수된다. 바꿔 말하면 절연체(280), 절연체(250), 및 산화물(230)에 포함되는 수소가 절연체(282)로 확산된다. 따라서 절연체(282)의 수소 농도는 높아지지만, 절연체(280), 절연체(250), 및 산화물(230) 각각의 수소 농도는 저하된다. 또한 절연체(282)의 상면에 접하여 절연체(283)를 제공함으로써, 상기 가열 처리에서 절연체(283)보다 위쪽으로부터 수분 또는 수소 등의 불순물이 침입하는 것을 방지할 수 있다. 또한 가열 처리를 수행함으로써 절연체(216), 절연체(224), 및 산화물(230)에 포함되는 수소가 절연체(222) 내에 흡수된다. 바꿔 말하면 절연체(216), 절연체(224), 및 산화물(230)에 포함되는 수소가 절연체(222)로 확산된다. 따라서 절연체(222)의 수소 농도는 높아지만 절연체(216), 절연체(224), 및 산화물(230) 각각 내의 수소 농도는 저하된다. 또한 절연체(222)의 밑면에 접하여 절연체(221)를 제공함으로써, 상기 가열 처리에서 절연체(221)보다 아래쪽으로부터 수분 또는 수소 등의 불순물이 침입하는 것을 방지할 수 있다.

[0360] 이상에 의하여 도 1에 나타낸 반도체 장치를 제작할 수 있다.

[0361] 본 실시형태에 따른 반도체 장치에서는 산화물 반도체 위의 도전체를 2층 구조로 하고, 아래층에 산화되기 어려운 도전체를 사용하고, 위층에 도전성이 높은 도전체를 사용하는 구성으로 함으로써, 산화물 반도체의 상면에 접하여 전극 또는 배선으로서 기능하는 도전체가 제공된다. 상기 도전체는 OS 트랜지스터의 소스 전극 및 드레인 전극으로서 기능한다. 본 실시형태에 따른 반도체 장치는 소스 전극 및 드레인 전극의 아래층의 도전체들 사이의 거리를 소스 전극 및 드레인 전극의 위층의 도전체들 사이의 거리보다 짧게 하여 미세화함으로써, 반도체 장치의 주파수 특성 및 동작 속도를 향상시킬 수 있다. 또한 본 실시형태에 따른 반도체 장치에서는 소스 전극 및 드레인 전극의 위층의 도전체의 측면에 접하여 보호막으로서 기능하는 절연체를 제공한다. 이에 의하여, 소스 전극 및 드레인 전극의 위층이 과도하게 산화되는 것을 억제할 수 있다.

[0362] 본 실시형태에 따른 반도체 장치는 OS 트랜지스터를 가진다. OS 트랜지스터는 오프 전류가 작기 때문에, 소비 전력이 낮은 반도체 장치 또는 기억 장치를 실현할 수 있다. 또한 OS 트랜지스터는 주파수 특성이 높기 때문에 동작 속도가 빠른 반도체 장치 또는 기억 장치를 실현할 수 있다. 또한 OS 트랜지스터를 사용함으로써, 양호한 전기 특성을 가지는 반도체 장치, 트랜지스터의 전기 특성의 편차가 적은 반도체 장치, 온 전류가 큰 반도체 장

치, 신뢰성이 높은 반도체 장치 또는 기억 장치를 실현할 수 있다.

[0363] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 제시되는 경우에는 구성예를 적절히 조합할 수 있다.

[0364] (실시형태 2)

[0365] 본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터와, 채널 형성 영역에 실리콘을 포함한 트랜지스터(Si 트랜지스터라고도 함)의 비교에 대하여 설명한다.

[0366] [OS 트랜지스터]

[0367] OS 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하, 바람직하게는 $1\times10^{17}cm^{-3}$ 미만, 더 바람직하게는 $1\times10^{16}cm^{-3}$ 미만, 더욱 바람직하게는 $1\times10^{13}cm^{-3}$ 미만, 더더욱 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.

[0368] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다. 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0369] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소 등이 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수 있다.

[0370] 또한 OS 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉽고 신뢰성이 악화되는 경우가 있다. 또한 OS 트랜지스터에서는 산화물 반도체 내의 산소 결손에 수소가 들어간 결함(이하, V_OH라고 부르는 경우가 있음)이 형성되고, 캐리어가 되는 전자가 생성되는 경우가 있다. 또한 채널 형성 영역에 V_OH가 형성되면, 채널 형성 영역 내의 도너 농도가 증가하는 경우가 있다. 채널 형성 영역 내의 도너 농도가 증가함에 따라 문턱 전압에 편차가 생기는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다.

[0371] 또한 산화물 반도체의 밴드 갭은 실리콘의 밴드 갭(대표적으로는 1.1eV)보다 큰 것이 바람직하고, 바람직하게는 2eV 이상, 더 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3.0eV 이상이다. 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류(Ioff라고도 부름)를 저감할 수 있다.

[0372] 또한 Si 트랜지스터에서는 트랜지스터의 미세화가 진행됨에 따라 단채널 효과(쇼트 채널 효과: Short Channel Effect: SCE라고도 함)가 발현한다. 그러므로 Si 트랜지스터는 미세화가 어렵다. 단채널 효과가 발현하는 요인의 하나로서 실리콘의 밴드 갭이 작은 것을 들 수 있다. 한편, OS 트랜지스터는 밴드 갭이 큰 반도체 재료인 산화물 반도체를 사용하기 때문에 단채널 효과를 억제할 수 있다. 바꿔 말하면, OS 트랜지스터는 단채널 효과가 없거나 단채널 효과가 매우 적은 트랜지스터이다.

[0373] 또한 단채널 효과란 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기 특성의 열화이다. 단채널 효과의 구체적인 예로서는 문턱 전압의 저하, S값의 증대, 누설 전류의 증대 등이 있다.

[0374] 또한 단채널 효과에 대한 내성의 지표로서 특성 길이(Characteristic Length)가 널리 사용되고 있다. 특성 길이란, 채널 형성 영역의 퍼텐셜의 굴곡성의 지표이다. 특성 길이가 작을수록 퍼텐셜이 가파르게 상승되기 때문에 단채널 효과에 강하다고 할 수 있다.

[0375] OS 트랜지스터는 축적형 트랜지스터이고, Si 트랜지스터는 반전형 트랜지스터이다. 따라서 Si 트랜지스터에 비하여 OS 트랜지스터는 소스 영역-채널 형성 영역 사이의 특성 길이 및 드레인 영역-채널 형성 영역 사이의 특성 길이가 작다. 따라서 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 강하다. 즉 채널 길이가 짧은 트랜지스터를 제작하고자 하는 경우에는, OS 트랜지스터가 Si 트랜지스터보다 적합하다.

[0376] 채널 형성 영역이 i형 또는 실질적으로 i형이 될 때까지 산화물 반도체의 캐리어 농도를 낮춘 경우에도, 단채널 트랜지스터에서는 Conduction-Band-Lowering(CBL) 효과에 의하여 채널 형성 영역의 전도대 하단이 낮아지기 때문에, 소스 영역 또는 드레인 영역과 채널 형성 영역 사이의 전도대 하단의 에너지 차이는 0.1eV 이상 0.2eV 이하까지 작아질 가능성이 있다. 이에 의하여, OS 트랜지스터는 채널 형성 영역이 n^-형 영역이 되고, 소스 영역 및 드레인 영역이 n^+형 영역이 되는 $n^+/n^-/n^+$의 축적형 junction-less 트랜지스터 구조 또는 $n^+/n^-/n^+$의 축적형 non-junction 트랜지스터 구조를 가지는 것으로 간주할 수도 있다.

[0377] OS 트랜지스터를 상기 구조로 하면, 반도체 장치를 미세화 또는 고집적화한 경우에도 양호한 전기 특성을 얻을 수 있다. 예를 들어 OS 트랜지스터의 게이트 길이가 20nm 이하, 15nm 이하, 10nm 이하, 7nm 이하, 또는 6nm 이하이며, 1nm 이상, 3nm 이상, 또는 5nm 이상인 경우에도 양호한 전기 특성을 얻을 수 있다. 한편, Si 트랜지스터에서는 단채널 효과가 발현하기 때문에, 20nm 이하 또는 15nm 이하의 게이트 길이로 하기 어려운 경우가 있다. 따라서 OS 트랜지스터는 Si 트랜지스터에 비하여 채널 길이가 짧은 트랜지스터에 적합하게 사용할 수 있다. 또한 게이트 길이란, 트랜지스터 동작 시에 캐리어가 채널 형성 영역 내부를 이동하는 방향에서의 게이트 전극의 길이고, 트랜지스터를 평면에서 볼 때의 게이트 전극의 밑면의 폭을 말한다.

[0378] 또한 OS 트랜지스터를 미세화함으로써 트랜지스터의 주파수 특성을 향상시킬 수 있다. 구체적으로는 트랜지스터의 차단 주파수를 향상시킬 수 있다. OS 트랜지스터의 게이트 길이가 상기 범위 내에 있는 경우, 예를 들어 실온 환경하에서 트랜지스터의 차단 주파수를 50GHz 이상, 바람직하게는 100GHz 이상, 더 바람직하게는 150GHz 이상으로 할 수 있다.

[0379] 상술한 바와 같이 OS 트랜지스터는 Si 트랜지스터에 비하여 오프 전류가 작은 것, 채널 길이가 짧은 트랜지스터의 제작이 가능한 것 등의 우수한 효과를 가진다.

[0380] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재되는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0381] (실시형태 3)

[0382] 본 실시형태에서는 본 발명의 일 형태의 트랜지스터를 사용한 기억 장치에 대하여 도 19 내지 도 25를 사용하여 설명한다.

[0383] 본 실시형태에서는 앞의 실시형태에서 설명한 트랜지스터를 가지는 메모리 셀을 사용한 기억 장치의 구성예에 대하여 설명한다. 본 실시형태에서는 적층된 메모리 셀을 가지는 층과, 메모리 셀에 유지한 데이터 전위를 증폭하여 출력하는 기능을 가지는 기능 회로를 가지는 층이 제공된 기억 장치의 구성예에 대하여 설명한다.

[0384] [기억 장치의 구성예]

[0385] 도 19에 본 발명의 일 형태의 기억 장치의 블록도를 나타내었다.

[0386] 도 19에 나타낸 기억 장치(300)는 구동 회로(21)와 메모리 어레이(20)를 가진다. 메모리 어레이(20)는 복수의 메모리 셀(10)과, 복수의 기능 회로(51)를 가지는 기능층(50)을 가진다.

[0387] 도 19에서는 메모리 어레이(20)가 m행 n열(m 및 n은 2 이상의 정수)의 매트릭스상으로 배치된 복수의 메모리 셀(10)을 가지는 예를 나타내었다. 또한 도 19에서는 기능 회로(51)가 비트선으로서 기능하는 배선(BL)마다 제공되고, 기능층(50)이 n개의 배선(BL)에 대응하여 제공된 n개의 기능 회로(51)를 가지는 예를 나타내었다.

[0388] 도 19에서는 1행 1열의 메모리 셀(10)을 메모리 셀(10[1,1])로 나타내고, m행 n열의 메모리 셀(10)을 메모리 셀(10[m,n])로 나타내었다. 또한 본 실시형태 등에서는 임의의 행을 가리키는 경우에 i행이라고 기재하는 경우가 있다. 또한 임의의 열을 나타내는 경우에 j열이라고 기재하는 경우가 있다. 따라서 i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수이다. 또한 본 실시형태 등에서는 i행 j열의 메모리 셀(10)을 메모리 셀(10[i,j])로 나타낸다. 또한 본 실시형태 등에서 "i+α"(α는 양 또는 음의 정수)로 나타내는 경우에는, "i+α"는 1을 밑돌지 않고 m을 웃돌지 않는다. 마찬가지로, "j+α"로 나타내는 경우에는, "j+α"는 1을 밑돌지

않고 n을 웃돌지 않는다.

[0389] 또한 메모리 어레이(20)는 행 방향으로 연장되는 m개의 배선(WL)과, 행 방향으로 연장되는 m개의 배선(PL)과, 열 방향으로 연장되는 n개의 배선(BL)을 가진다. 본 실시형태 등에서는, 첫 번째(첫 번째 행)에 제공된 배선(WL)을 배선(WL[1])으로 나타내고, m번째(m번째 행)에 제공된 배선(WL)을 배선(WL[m])으로 나타낸다. 마찬가지로 첫 번째(첫 번째 행)에 제공된 배선(PL)을 배선(PL[1])으로 나타내고, m번째(m번째 행)에 제공된 배선(PL)을 배선(PL[m])으로 나타낸다. 마찬가지로, 첫 번째(첫 번째 열)에 제공된 배선(BL)을 배선(BL[1])으로 나타내고, n번째(n번째 열)에 제공된 배선(BL)을 배선(BL[n])으로 나타낸다.

[0390] i번째 행에 제공된 복수의 메모리 셀(10)은 i번째 행의 배선(WL)(배선(WL[i])) 및 i번째 행의 배선(PL)(배선(PL[i]))에 전기적으로 접속된다. j번째 열에 제공된 복수의 메모리 셀(10)은 j번째 열의 배선(BL)(배선(BL[j]))에 전기적으로 접속된다.

[0391] 메모리 어레이(20)에는 DOSRAM(등록 상표)(Dynamic Oxide Semiconductor Random Access Memory)을 적용할 수 있다. DOSRAM은 1T(트랜지스터)1C(용량 소자)형 메모리 셀을 가지는 RAM이고, 액세스 트랜지스터가 OS 트랜지스터인 메모리를 말한다. OS 트랜지스터는 오프 상태에서 소스와 드레인 사이에 흐르는 전류, 즉 누설 전류가 매우 작다. DOSRAM은 액세스 트랜지스터를 오프(비도통 상태)로 함으로써, 용량 소자(커패시터)에 유지된 데이터에 따른 전하를 장시간 유지할 수 있다. 그러므로 DOSRAM은 채널 형성 영역에 실리콘을 포함한 트랜지스터(Si 트랜지스터)로 구성되는 DRAM에 비하여 리프레시 동작의 빈도를 저감할 수 있다. 그 결과, 저소비 전력화를 도모할 수 있다. 또한 OS 트랜지스터의 주파수 특성은 높기 때문에, 기억 장치의 판독 및 기록을 고속으로 수행할 수 있다. 이에 의하여 동작 속도가 빠른 기억 장치를 제공할 수 있다.

[0392] 도 19에 나타낸 메모리 어레이(20)에서는 복수의 메모리 어레이(20[1] 내지 20[m])를 적층시켜 제공할 수 있다. 메모리 어레이(20)가 가지는 메모리 어레이(20[1] 내지 20[m])를 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치함으로써, 메모리 셀(10)의 메모리 밀도를 향상시킬 수 있다.

[0393] 배선(BL)은 데이터의 기록 및 판독을 수행하기 위한 비트선으로서 기능한다. 배선(WL)은 스위치로서 기능하는 액세스 트랜지스터의 온 또는 오프(도통 상태 또는 비도통 상태)를 제어하기 위한 워드선으로서 기능한다. 배선(PL)은 용량 소자에 접속되는 정전위선으로서의 기능을 가진다. 또한 액세스 트랜지스터인 OS 트랜지스터의 백 게이트에 백 게이트 전위를 전달하는 기능을 가지는 배선으로서 배선(CL)(도시 생략)을 별도로 제공할 수 있다. 또한 배선(PL)이 백 게이트 전위를 전달하는 기능을 겸비하는 구성으로 하여도 좋다.

[0394] 메모리 어레이(20[1] 내지 20[m])가 각각 가지는 메모리 셀(10)은 배선(BL)을 통하여 기능 회로(51)에 접속된다. 배선(BL)은 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치할 수 있다. 메모리 어레이(20[1] 내지 20[m])가 가지는 메모리 셀(10)로부터 연장되어 제공되는 배선(BL)을 기판 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 기능 회로(51) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선에 접속되는 2개의 회로 사이의 신호 전달 거리를 짧게 할 수 있어 비트선의 저항 및 기생 용량이 크게 삭감되기 때문에, 소비 전력 및 신호 지연을 저감할 수 있다. 또한 메모리 셀(10)이 가지는 용량 소자의 용량을 작게 한 경우에도 기억 장치를 동작시킬 수 있게 된다.

[0395] 기능 회로(51)는 메모리 셀(10)에 유지된 데이터 전위를 증폭하여, 후술하는 배선(GBL)(도시 생략)을 통하여 구동 회로(21)가 가지는 감지 증폭기(46)에 출력하는 기능을 가진다. 상기 구성으로 함으로써, 데이터 판독 시에 배선(BL)의 미세한 전위차를 증폭할 수 있다. 배선(GBL)은 배선(BL)과 마찬가지로 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치될 수 있다. 메모리 어레이(20[1] 내지 20[m])가 가지는 메모리 셀(10)로부터 연장되어 제공되는 배선(BL) 및 배선(GBL)을 기판 표면의 수직 방향으로 제공함으로써, 기능 회로(51)와 감지 증폭기(46) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 배선(GBL)에 접속되는 2개의 회로 사이의 신호 전달 거리를 짧게 할 수 있어 배선(GBL)의 저항 및 기생 용량이 크게 삭감되기 때문에, 소비 전력 및 신호 지연을 저감할 수 있다.

[0396] 또한 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층에 접하여 제공된다. 또는 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역에 접하여 제공된다. 또는 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체에 접하여 제공된다. 즉 배선(BL)은 메모리 어레이(20)의 각 층에서의 메모리 셀(10)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽 각각과 기능 회로(51)를 수직 방향으로 전기적으로 접속하기 위한 배선이라고 할 수 있다.

[0397] 메모리 어레이(20)는 구동 회로(21) 위에 중첩시켜 제공할 수 있다. 구동 회로(21)와 메모리 어레이(20)를 중첩시켜 제공함으로써, 구동 회로(21)와 메모리 어레이(20) 사이의 신호 전달 거리를 짧게 할 수 있다. 따라서 구동 회로(21)와 메모리 어레이(20) 사이의 저항 및 기생 용량이 저감되어 소비 전력 및 신호 지연을 저감할 수 있다. 또한 기억 장치(300)의 소형화를 실현할 수 있다.

[0398] 기능 회로(51)는 DOSRAM의 메모리 셀(10)이 가지는 트랜지스터와 마찬가지로 OS 트랜지스터를 사용함으로써, 메모리 어레이(20[1] 내지 20[m])와 같이, Si 트랜지스터를 사용한 회로 위 등에 자유로이 배치될 수 있기 때문에 집적화가 용이해진다. 기능 회로(51)에서 신호를 증폭하는 구성으로 함으로써 후단의 회로인 감지 증폭기(46) 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)의 소형화를 도모할 수 있다.

[0399] 구동 회로(21)는 PSW(22)(파워 스위치), PSW(23), 및 주변 회로(31)를 가진다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(32)(Control Circuit), 및 전압 생성 회로(33)를 가진다.

[0400] 기억 장치(300)에서 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취사선택할 수 있다. 또는 다른 회로 혹은 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부에 대한 출력 신호이다. 신호(CLK)는 클록 신호이다.

[0401] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.

[0402] 컨트롤 회로(32)는 기억 장치(300)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하고 기억 장치(300)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는, 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.

[0403] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 신호(CLK)의 전압 생성 회로(33)에 대한 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)로서 H 레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.

[0404] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 또한 주변 회로(41)는 기능 회로(51)를 제어하기 위한 각종 신호를 출력하는 회로이다. 주변 회로(41)는 행 디코더(42)(Row Decoder), 열 디코더(44)(Column Decoder), 행 드라이버(43)(Row Driver), 열 드라이버(45)(Column Driver), 입력 회로(47)(Input Cir.), 출력 회로(48)(Output Cir.), 감지 증폭기(46)(Sense Amplifier)를 가진다.

[0405] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WL)을 선택하는 기능을 가진다. 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.

[0406] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout을 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout을 기억 장치(300)의 외부에 출력하는 기능을 가진다. 출력 회로(48)로부터 출력되는 데이터는 신호(RDA)이다.

[0407] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 기억 장치(300)의 고전원 전압이 VDD이고, 저전원 전압이 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(23)의 온/오프가 제어된다. 도19에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0408] 메모리 어레이(20[1] 내지 20[m])(m은 2 이상의 정수) 및 기능층(50)을 가지는 메모리 어레이(20)에서는 구동 회로(21) 위에 복수 층의 메모리 어레이(20)를 중첩시켜 제공할 수 있다. 복수 층의 메모리 어레이(20)를 중첩

시켜 제공함으로써, 메모리 셀(10)의 메모리 밀도를 높일 수 있다. 도 20의 (A)는 구동 회로(21) 위에 기능층(50)과 5층(m=5)의 메모리 어레이(20[1] 내지 20[5])가 중첩되어 제공된 기억 장치(300)의 사시도이다.

[0409] 도 20의 (A)에서는 첫 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[1])로 나타내고, 두 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[2])로 나타내고, 5번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[5])로 나타내었다. 또한 도 20의 (A)에서, X방향으로 연장되어 제공되는 배선(WL), 배선(PL), 및 배선(CL)과, Z방향(구동 회로가 제공되는 기판 표면에 수직인 방향)으로 연장되어 제공되는 배선(BL)을 도시하였다. 또한 도면을 보기 쉽게 하기 위하여, 메모리 어레이(20) 각각이 가지는 배선(WL) 및 배선(PL)의 기재를 일부 생략하였다.

[0410] 도 20의 (B)는 도 20의 (A)에 도시된 배선(BL)에 접속된 기능 회로(51), 및 배선(BL)에 접속된 메모리 어레이(20[1] 내지 20[5])가 가지는 메모리 셀(10)의 구성예를 설명하는 모식도이다. 또한 도 20의 (B)에서는 기능 회로(51)와 구동 회로(21) 사이에 제공되는 배선(GBL)을 도시하였다. 또한 하나의 배선(BL)에 복수의 메모리 셀(메모리 셀(10))이 전기적으로 접속되는 구성을 "메모리 스트링"이라고도 한다. 또한 도면에서 배선(GBL)은 시인성을 높이기 위하여 굵은 선으로 도시한 경우가 있다.

[0411] 도 20의 (B)에서는 배선(BL)에 접속되는 메모리 셀(10)의 회로 구성의 일례를 도시하였다. 메모리 셀(10)은 트랜지스터(11) 및 용량 소자(12)를 가진다. 트랜지스터(11), 용량 소자(12), 및 각 배선(배선(BL) 및 배선(WL) 등)에 대해서도, 예를 들어 배선(BL[1]) 및 배선(WL[1])을 배선(BL) 및 배선(WL) 등이라고 말하는 경우가 있다. 여기서 트랜지스터(11)는 실시형태 1에서 설명한 트랜지스터(200)에 대응한다.

[0412] 메모리 셀(10)에서 트랜지스터(11)의 소스 및 드레인 중 한쪽은 배선(BL)에 접속된다. 트랜지스터(11)의 소스 및 드레인 중 다른 쪽은 용량 소자(12)의 한쪽 전극에 접속된다. 용량 소자(12)의 다른 쪽 전극은 배선(PL)에 접속된다. 트랜지스터(11)의 게이트는 배선(WL)에 접속된다. 트랜지스터(11)의 백 게이트는 배선(CL)에 접속된다.

[0413] 배선(PL)은 용량 소자(12)의 전위를 유지하기 위한 정전위를 공급하는 배선이다. 배선(CL)은 트랜지스터(11)의 문턱 전압을 제어하기 위한 정전위를 공급하는 배선이다. 배선(PL)과 배선(CL)의 전위는 같아도 좋다. 이 경우 2개의 배선을 접속함으로써, 메모리 셀(10)에 접속되는 배선의 수를 삭감할 수 있다.

[0414] 도 20의 (B)에 도시된 배선(GBL)은 구동 회로(21)와 기능층(50) 사이를 전기적으로 접속하도록 제공된다. 도 21의 (A)에서는 기능 회로(51) 및 메모리 어레이(20[1] 내지 20[m])를 반복 단위(70)로 하는 기억 장치(300)의 모식도를 나타내었다. 또한 도 21의 (A)에서는 배선(GBL)을 하나 도시하였지만, 배선(GBL)은 기능층(50)에 제공되는 기능 회로(51)의 수에 따라 적절히 제공하면 좋다.

[0415] 또한 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층에 접하여 제공된다. 또는 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역에 접하여 제공된다. 또는 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체에 접하여 제공된다. 즉 배선(GBL)은 기능층(50)에서의 기능 회로(51)가 가지는 트랜지스터의 소스 및 드레인 중 한쪽과 구동 회로(21)를 수직 방향으로 전기적으로 접속하기 위한 배선이라고 할 수 있다.

[0416] 또한 기능 회로(51) 및 메모리 어레이(20[1] 내지 20[m])가 포함되는 반복 단위(70)가 더 적층되는 구성으로 하여도 좋다. 본 발명의 일 형태의 기억 장치(300A)는 도 21의 (B)에 도시된 바와 같이 반복 단위(70[1] 내지 70[p])(p는 2 이상의 정수)를 가질 수 있다. 배선(GBL)은 반복 단위(70)에 포함되는 기능층(50)에 접속된다. 배선(GBL)은 기능 회로(51)의 수에 따라 적절히 제공하면 좋다.

[0417] 본 발명의 일 형태에서는 OS 트랜지스터를 적층하여 제공하면서, 비트선으로서 기능하는 배선을 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치한다. 메모리 어레이(20)로부터 연장되어 제공되는 비트선으로서 기능하는 배선을 기판 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 구동 회로(21) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선의 기생 용량을 크게 삭감할 수 있다.

[0418] 또한 본 발명의 일 형태에서는 메모리 어레이(20)가 제공되는 층에, 메모리 셀(10)에 유지한 데이터 전위를 증폭하여 출력하는 기능을 가지는 기능 회로(51)를 가지는 기능층(50)이 포함된다. 상기 구성으로 함으로써, 데이터 판독 시에 비트선으로서 기능하는 배선(BL)의 미세한 전위차를 증폭하여 구동 회로(21)가 가지는 감지 증폭기(46)를 구동할 수 있다. 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)를 소형화할 수 있다. 또한 메모리 셀(10)이 가지는 용량 소자(12)의 용량을 작게 하여도 기억 장치(300)를 동작시킬 수 있게

된다.

[0419] 또한 위에서는 메모리 셀(10)을 1T(트랜지스터)1C(용량)형으로 하는 예에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도 25의 (A)에 나타낸 바와 같이 3T1C형 메모리 셀을 기억 장치에 사용하여도 좋다. 도 25의 (A)에 나타낸 메모리 셀은 트랜지스터(11a, 11b, 11c)와 용량 소자(12a)를 가진다. 여기서 트랜지스터(11a, 11b, 11c)는 트랜지스터(11)와 같은 구성으로 할 수 있고, 용량 소자(12a)는 용량 소자(12)와 같은 구성으로 할 수 있다. 또한 이러한 구성의 RAM을 NOSRAM(등록 상표)(Nonvolatile Oxide Semiconductor RAM)이라고 부르는 경우가 있다.

[0420] 도 25의 (A)에 나타낸 바와 같이 트랜지스터(11a)의 소스 및 드레인 중 한쪽이 용량 소자(12a)의 한쪽 전극 및 트랜지스터(11b)의 제 1 게이트에 전기적으로 접속된다. 또한 트랜지스터(11b)의 소스 및 드레인 중 한쪽은 트랜지스터(11c)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 또한 트랜지스터(11a)의 제 1 게이트, 소스 및 드레인 중 다른 쪽, 및 제 2 게이트와, 트랜지스터(11b)의 소스 및 드레인 중 다른 쪽 및 제 2 게이트와, 트랜지스터(11c)의 제 1 게이트, 소스 및 드레인 중 다른 쪽, 및 제 2 게이트와, 용량 소자(12a)의 다른 쪽 전극에는 배선을 적절히 제공하면 좋다. 또한 이들 배선에 맞추어 기억 장치의 구조도 적절히 변형시킬 수 있다.

[0421] 또한 도 25의 (B)에 나타낸 바와 같이, 트랜지스터(11c)를 제공하지 않고, 트랜지스터(11a, 11b)와 용량 소자(12a)만을 가지는 2T1C형 메모리 셀로 하여도 좋다.

[0422] 또한 트랜지스터(11a) 및 트랜지스터(11b)의 기생 용량이 충분히 큰 경우, 도 25의 (C)에 나타낸 바와 같이 용량 소자(12a)를 제공하지 않는 구성으로 하여도 좋다. 이 경우 트랜지스터(11a) 및 트랜지스터(11b)만으로 메모리 셀이 구성된다.

[0423] [메모리 어레이(20) 및 기능 회로(51)의 구성예]

[0424] 도 19 내지 도 21을 사용하여 설명한 기능 회로(51)의 구성예 및 메모리 어레이(20) 및 구동 회로(21)가 가지는 감지 증폭기(46)의 구성예에 대하여 도 22를 사용하여 설명한다. 도 22에서는 상이한 배선(BL)(배선(BL_A), 배선(BL_B))에 접속된 메모리 셀(10)(메모리 셀(10_A), 메모리 셀(10_B))에 접속된 기능 회로(51)(기능 회로(51_A), 및 기능 회로(51_B))에 접속된 배선(GBL)(배선(GBL_A), 배선(GBL_B))에 접속된 구동 회로(21)를 도시하였다. 도 22에 도시된 구동 회로(21)에는 감지 증폭기(46) 외에, 프리차지 회로(71_A), 프리차지 회로(71_B), 스위치 회로(72_A), 스위치 회로(72_B), 및 기록 판독 회로(73)가 포함된다.

[0425] 기능 회로(51_A, 51_B)에는 트랜지스터(52_a, 52_b, 53_a, 53_b, 54_a, 54_b, 55_a, 55_b)를 도시하였다. 도 22에 도시된 트랜지스터(52_a, 52_b, 53_a, 53_b, 54_a, 54_b, 55_a, 55_b)는 메모리 셀(10)이 가지는 트랜지스터(11)와 마찬가지로 OS 트랜지스터이다. 기능 회로(51)를 가지는 기능층(50)은 메모리 어레이(20[1] 내지 20[m])와 마찬가지로 구동 회로(21) 위에 적층시켜 제공할 수 있다.

[0426] 배선(BL_A)은 트랜지스터(52_a)의 게이트에 접속되고, 배선(BL_B)은 트랜지스터(52_b)의 게이트에 접속된다. 배선(GBL_A)은 트랜지스터(53_a, 54_a)의 소스 및 드레인 중 한쪽에 접속된다. 배선(GBL_B)은 트랜지스터(53_b, 54_b)의 소스 및 드레인 중 한쪽에 접속된다. 배선(GBL_A, GBL_B)은 배선(BL_A, BL_B)과 마찬가지로 수직 방향으로 제공되고, 구동 회로(21)가 가지는 트랜지스터에 접속된다. 트랜지스터(53_a, 53_b, 54_a, 54_b, 55_a, 55_b)의 게이트에는 각각 도 22에 나타낸 바와 같이 선택 신호(MUX), 제어 신호(WE), 또는 제어 신호(RE)가 공급된다.

[0427] 도 22에 나타낸 감지 증폭기(46), 프리차지 회로(71_A), 및 프리차지 회로(71_B)를 구성하는 트랜지스터(81_1 내지 81_6) 및 트랜지스터(82_1 내지 82_4)는 Si 트랜지스터로 구성된다. 스위치 회로(72_A) 및 스위치 회로(72_B)를 구성하는 스위치(83_A 내지 83_D)도 Si 트랜지스터로 구성될 수 있다. 트랜지스터(53_a, 53_b, 54_a, 54_b)의 소스 및 드레인 중 한쪽은 프리차지 회로(71_A), 프리차지 회로(71_B), 감지 증폭기(46), 스위치 회로(72_A)를 구성하는 트랜지스터 또는 스위치에 접속된다.

[0428] 프리차지 회로(71_A)는 n채널형 트랜지스터(81_1 내지 81_3)를 가진다. 프리차지 회로(71_A)는 프리차지선(PCL1)에 공급되는 프리차지 신호에 따라 배선(BL_A) 및 배선(BL_B)을 고전원 전위(VDD)와 저전원 전위(VSS) 사이의 전위(VDD/2)에 상당하는 중간 전위(VPC)로 프리차지하기 위한 회로이다.

[0429] 프리차지 회로(71_B)는 n채널형 트랜지스터(81_4 내지 81_6)를 가진다. 프리차지 회로(71_B)는 프리차지선(PCL2)에 공급되는 프리차지 신호에 따라 배선(GBL_A) 및 배선(GBL_B)을 VDD와 VSS 사이의 전위(VDD/2)에 상당하는 중간 전위(VPC)로 프리차지하기 위한 회로이다.

[0430] 감지 증폭기(46)는 배선(VHH) 또는 배선(VLL)에 접속된 p채널형 트랜지스터(82_1, 82_2) 및 n채널형 트랜지스터(82_3, 82_4)를 가진다. 배선(VHH) 또는 배선(VLL)은 VDD 또는 VSS를 공급하는 기능을 가지는 배선이다. 트랜지스터(82_1 내지 82_4)는 인버터 루프를 구성하는 트랜지스터이다. 메모리 셀(10_A, 10_B)을 선택함으로써 프리차지된 배선(BL_A) 및 배선(BL_B)의 전위가 변화되고, 상기 변화에 따라 배선(GBL_A) 및 배선(GBL_B)의 전위를 VDD 또는 VSS로 한다. 배선(GBL_A) 및 배선(GBL_B)의 전위는 스위치(83_C), 스위치(83_D), 및 기록 판독 회로(73)를 통하여 외부에 출력할 수 있다. 배선(BL_A) 및 배선(BL_B) 그리고 배선(GBL_A) 및 배선(GBL_B)은 비트선쌍에 상당한다. 기록 판독 회로(73)는 신호(EN_data)에 따라 데이터 신호의 기록이 제어된다.

[0431] 스위치 회로(72_A)는 감지 증폭기(46)와 배선(GBL_A) 및 배선(GBL_B) 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_A)는 전환 신호(CSEL1)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(83_A 및 83_B)는 n채널 트랜지스터인 경우, 전환 신호(CSEL1)가 하이 레벨일 때는 온이 되고 로 레벨일 때는 오프가 된다. 스위치 회로(72_B)는 기록 판독 회로(73)와, 감지 증폭기(46)에 접속되는 비트선쌍 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_B)는 전환 신호(CSEL2)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(83_C 및 83_D)는 스위치(83_A 및 83_B)와 같은 식으로 동작하면 좋다.

[0432] 도 22에 나타낸 바와 같이 기억 장치(300)는 메모리 셀(10)과, 기능 회로(51)와, 감지 증폭기(46)가, 최단 거리가 되는 수직 방향으로 제공되는 배선(BL) 및 배선(GBL)을 통하여 접속되는 구성으로 할 수 있다. 기능 회로(51)를 구성하는 트랜지스터를 가지는 기능층(50)이 증가하지만, 배선(BL)의 부하가 저감되기 때문에 기록 시간이 단축되어 데이터의 판독을 쉽게 할 수 있다.

[0433] 또한 도 22에 나타낸 바와 같이 기능 회로(51_A, 51_B)가 가지는 각 트랜지스터는 제어 신호(WE, RE) 및 선택 신호(MUX)에 따라 제어된다. 각 트랜지스터는 제어 신호 및 선택 신호에 따라 배선(GBL)을 통하여 배선(BL)의 전위를 구동 회로(21)에 출력할 수 있다. 기능 회로(51_A, 51_B)는 OS 트랜지스터로 구성되는 감지 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 배선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기(46)를 구동할 수 있다.

[0434] <메모리 셀의 구성예>

[0435] 상기 기억 장치에 사용되는 메모리 셀(10)의 구성예에 대하여 도 23을 사용하여 설명한다.

[0436] 또한 도 23에 있어서, X방향은 트랜지스터의 채널 폭 방향과 평행하고, Y방향은 X방향에 수직이고, Z방향은 X방향 및 Y방향에 수직이다.

[0437] 도 23에 나타낸 바와 같이 메모리 셀(10)은 트랜지스터(11) 및 용량 소자(12)를 가진다. 트랜지스터(11) 위에는 절연체(285)가 제공되고, 절연체(285) 위에는 절연체(284)가 제공된다. 절연체(285) 및 절연체(284)로서는 절연체(216)에 사용할 수 있는 절연체를 사용하면 좋다. 또한 트랜지스터(11)는 앞의 실시형태에서 설명한 트랜지스터(200)와 같은 구성을 가지고, 같은 구성 요소에는 같은 부호를 부기한다. 트랜지스터(200)의 자세한 내용에 대해서는 앞의 실시형태를 참조할 수 있다. 또한 트랜지스터(11)의 소스 및 드레인 중 한쪽(도전체(242a))에 접하여 도전체(240)가 제공된다. 도전체(240)는 Z방향으로 연장되어 제공되고, 배선(BL)으로서 기능한다.

[0438] 용량 소자(12)는 도전체(242b) 위의 도전체(153)와, 도전체(153) 위의 절연체(154)와, 절연체(154) 위의 도전체(160)(도전체(160a) 및 도전체(160b))를 가진다.

[0439] 도전체(153), 절연체(154), 및 도전체(160)는 각각 적어도 일부가 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 제공된 개구의 내부에 배치된다. 도전체(153), 절연체(154), 및 도전체(160) 각각의 단부는 적어도 절연체(282) 위에 위치하고, 바람직하게는 절연체(285) 위에 위치한다. 절연체(154)는 도전체(153)의 단부를 덮도록 제공된다. 이에 의하여 도전체(153)와 도전체(160)를 전기적으로 절연시킬 수 있다.

[0440] 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 제공되는 개구의 깊이를 깊게(즉 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285) 중 하나 또는 복수의 두께를 두껍게) 할수록, 용량 소자(12)의 정전 용량을 크게 할 수 있다. 용량 소자(12)의 단위 면적당 정전 용량을 크게 함으로써 반도체 장치의 미세화 또는 고집적화를 도모할 수 있다.

[0441] 도전체(153)는 용량 소자(12)의 한쪽 전극(하부 전극)으로서 기능하는 영역을 가진다. 절연체(154)는 용량 소자(12)의 유전체로서 기능하는 영역을 가진다. 도전체(160)는 용량 소자(12)의 다른 쪽 전극(상부 전극)으로서

기능하는 영역을 가진다. 즉 용량 소자(12)는 MIM(Metal-Insulator-Metal) 용량을 구성한다.

[0442] 또한 산화물(230) 위에 중첩되어 제공된 도전체(242b)는 용량 소자(12)의 도전체(153)에 전기적으로 접속되는 배선으로서 기능한다.

[0443] 용량 소자(12)가 가지는 도전체(153) 및 도전체(160)는 각각 도전체(205) 또는 도전체(260)에 사용할 수 있는 각종 도전체를 사용하여 형성할 수 있다. 도전체(153) 및 도전체(160)는 각각 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다. 예를 들어 도전체(153)로서 ALD법 또는 CVD법을 사용하여 성막한 질화 타이타늄 또는 질화 탄탈럼을 사용할 수 있다.

[0444] 또한 도전체(153)의 밑면에는 도전체(242b2)의 상면이 접한다. 여기서 도전체(242b2)에 도전성이 양호한 도전성 재료를 사용함으로써 도전체(153)와 도전체(242b)의 접촉 저항을 저감할 수 있다.

[0445] 또한 도전체(160a)로서 ALD법 또는 CVD법을 사용하여 성막한 질화 타이타늄을 사용하고, 도전체(160b)로서 CVD법을 사용하여 성막한 텅스텐을 사용할 수 있다. 또한 절연체(154)에 대한 텅스텐의 밀착성이 충분히 높은 경우에는, 도전체(160)로서 CVD법을 사용하여 성막한 텅스텐의 단층 구조를 사용하여도 좋다.

[0446] 용량 소자(12)가 가지는 절연체(154)에는 고유전율(high-k) 재료(비유전율이 높은 재료)를 사용하는 것이 바람직하다. 절연체(154)는 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다.

[0447] 고유전율(high-k) 재료의 절연체로서는 예를 들어 알루미늄, 하프늄, 지르코늄, 및 갈륨 등 중에서 선택된 금속 원소를 1종류 이상 포함하는 산화물, 산화질화물, 질화산화물, 및 질화물이 있다. 또한 상기 산화물, 산화질화물, 질화산화물, 또는 질화물에 실리콘을 함유시켜도 좋다. 또한 상기 재료로 이루어지는 절연체를 적층시켜 사용할 수도 있다.

[0448] 예를 들어 고유전율(high-k) 재료의 절연체로서 예를 들어 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 실리콘 및 지르코늄을 포함한 산화물, 실리콘 및 지르코늄을 포함한 산화질화물, 하프늄 및 지르코늄을 포함한 산화물, 그리고 하프늄 및 지르코늄을 포함한 산화질화물이 있다. 이러한 high-k 재료를 사용함으로써, 누설 전류를 억제할 수 있을 정도로 절연체(154)를 두껍게 하고, 또한 용량 소자(12)의 정전 용량을 충분히 확보할 수 있다.

[0449] 또한 상술한 재료로 이루어지는 절연체를 적층시켜 사용하는 것이 바람직하고, 고유전율(high-k) 재료와, 상기 고유전율(high-k) 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(154)로서 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 산화 알루미늄과 같이 절연 내력이 비교적 큰 절연체를 적층시켜 사용함으로써, 절연 내력이 향상되어 용량 소자(12)의 정전 파괴를 억제할 수 있다.

[0450] 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 제공되는 개구의 깊이를 깊게(즉 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285) 중 하나 또는 복수의 두께를 두껍게) 할수록, 용량 소자(12)의 정전 용량을 크게 할 수 있다. 여기서 절연체(271b), 절연체(275), 절연체(282), 및 절연체(283)는 배리어 절연체로서 기능하기 때문에, 반도체 장치에 요구되는 배리어성에 따라 막 두께를 설정하는 것이 바람직하다. 또한 절연체(280)의 막 두께에 따라 게이트 전극으로서 기능하는 도전체(260)의 막 두께가 결정되기 때문에, 절연체(280)의 막 두께는 반도체 장치에 요구되는 도전체(260)의 막 두께에 맞추어 설정하는 것이 바람직하다.

[0451] 따라서 절연체(285)의 막 두께를 조절함으로써 용량 소자(12)의 정전 용량을 설정하는 것이 바람직하다. 예를 들어 절연체(285)의 막 두께를 50nm 이상 250nm 이하의 범위로 설정하고, 상기 개구의 깊이를 150nm 이상 350nm 이하 정도로 하면 좋다. 이러한 범위로 용량 소자(12)를 형성함으로써, 용량 소자(12)는 충분한 정전 용량을 가질 수 있고, 또한 복수의 메모리 셀의 층을 적층하는 반도체 장치에 있어서 하나의 층의 높이가 과도하게 높아지지 않도록 할 수 있다. 또한 복수의 메모리 셀의 층 각각에 있어서, 각 메모리 셀에 제공되는 용량 소자의 정전 용량을 다르게 하는 구성으로 하여도 좋다. 상기 구성의 경우, 예를 들어 각 메모리 셀의 층에 제공되는 절연체(285)의 막 두께를 다르게 하면 좋다.

[0452] 또한 용량 소자(12)가 배치된 절연체(285) 등에 제공된 개구부에서 상기 개구부의 측벽은 절연체(222)의 상면에

대하여 수직 또는 실질적으로 수직이어도 좋고, 테이퍼 형상이어도 좋다. 측벽을 테이퍼 형상으로 함으로써, 절연체(285) 등의 개구부에 제공하는 도전체(153) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0453] 또한 산화물(230) 위에 중첩되어 제공된 도전체(242a)는 도전체(240)에 전기적으로 접속되는 배선으로서 기능한다. 예를 들어 도 23에서는 도전체(242a)의 상면 및 측단부가 Z방향으로 연장되는 도전체(240)에 전기적으로 접속된다. 특히 도 23에서는 도전체(242a2)의 상면 및 측단부와 도전체(242a1)의 측단부가 도전체(240)와 접한다.

[0454] 도전체(240)가 도전체(242a)의 상면 및 측단부 중 적어도 한쪽과 직접 접함으로써, 접속용 전극을 별도로 제공할 필요가 없기 때문에 메모리 어레이의 점유 면적을 저감할 수 있다. 또한 메모리 셀의 집적도가 향상되어 기억 장치의 기억 용량을 높일 수 있다. 또한 도전체(240)는 도전체(242a)의 상면의 일부 및 측단부와 접하는 것이 바람직하다. 도전체(240)가 도전체(242a)의 복수의 면에 접함으로써, 도전체(240)와 도전체(242a)의 접촉 저항을 저감할 수 있다. 특히, 도 23에 나타낸 바와 같이 도전체(240)가 도전성이 높은 도전체(242a2)의 상면의 일부 및 측단부에 접함으로써, 도전체(240)와 도전체(242a)의 접촉 저항을 더 저감할 수 있다.

[0455] 도전체(240)는 절연체(216), 절연체(221), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285) 및 절연체(284)에 형성된 개구 내에 제공된다.

[0456] 도전체(240)는 도전체(240a)와 도전체(240b)의 적층 구조로 하는 것이 바람직하다. 예를 들어 도 23에 나타낸 바와 같이, 도전체(240)는 도전체(240a)가 상기 개구부의 내벽에 접하여 제공되고, 그 내측에 도전체(240b)가 제공되는 구조로 할 수 있다. 즉 도전체(240a)는 도전체(240b)에 비하여 절연체(216), 절연체(221), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(284)의 근방에 배치된다. 또한 도전체(240a)는 도전체(242a)의 상면 및 측단부와 접한다.

[0457] 도전체(240a)에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(240a)는 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 및 산화 루테늄 중 하나 또는 복수를 사용한 단층 구조 또는 적층 구조로 할 수 있다. 이에 의하여, 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230)로 혼입하는 것을 억제할 수 있다.

[0458] 또한 도전체(240)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다.

[0459] 예를 들어, 도전체(240a)로서 질화 타이타늄을 사용하고, 도전체(240b)로서 텅스텐을 사용하는 것이 바람직하다. 이 경우, 도전체(240a)는 타이타늄과 질소를 포함한 도전체가 되고, 도전체(240b)는 텅스텐을 포함한 도전체가 된다.

[0460] 또한 도전체(240)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0461] 또한 도 23에 나타낸 바와 같이, 도전체(240)의 측면에 접하여 절연체(241)가 제공되는 것이 바람직하다. 구체적으로는 절연체(216), 절연체(221), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(284)의 개구의 내벽에 접하여 절연체(241)가 제공된다. 또한 상기 개구 내에서 돌출하여 형성되는 절연체(224), 산화물(230), 및 도전체(242a)의 측면에도 절연체(241)가 형성된다. 여기서 도전체(242a)의 적어도 일부는 절연체(241)로부터 노출되고, 도전체(240)에 접한다. 즉 도전체(240)는 절연체(241)를 개재하여 상기 개구의 내부를 매립하도록 제공된다.

[0462] 또한 도 23에 나타낸 바와 같이, 도전체(242a)보다 아래쪽에 형성되는 절연체(241)의 최상부는 도전체(242a)의 상면보다 아래쪽에 위치하는 것이 바람직하다. 상기 구성으로 함으로써, 도전체(240)가 도전체(242a)의 측단부의 적어도 일부와 접할 수 있다. 또한 도전체(242a)보다 아래쪽에 형성되는 절연체(241)는 산화물(230)의 측면과 접하는 영역을 가지는 것이 바람직하다. 상기 구성으로 함으로써, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230)에 혼입하는 것을 억제할 수 있다.

[0463] 절연체(241)로서는 절연체(275) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 예를 들어 절연체(241)로서 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 상기 구성으로 함으로써, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230)에 혼입하는 것을 억제할 수 있다. 특히, 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(280)에 포함되는 산소가 도전체(240)에 흡수되는 것을 방지할 수 있다.

[0464] 또한 도 23에서는 절연체(241)를 단층으로 하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다.

절연체(241)는 2층 이상의 적층 구조로 하여도 좋다.

[0465] 절연체(241)를 2층 적층 구조로 하는 경우, 절연체(280) 등의 개구의 내벽과 접하는 제 1 층에 산소에 대한 배리어 절연막을 사용하고, 그 내측의 제 2 층에 수소에 대한 배리어 절연막을 사용하면 좋다. 예를 들어 제 1 층으로서 ALD법으로 성막된 산화 알루미늄을 사용하고, 제 2 층으로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 상기 구성으로 함으로써, 도전체(240)의 산화를 억제하고, 또한 도전체(240)로부터 산화물(230) 등에 수소가 혼입하는 것을 저감할 수 있다. 이에 의하여 트랜지스터(11)의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0466] 또한 도전체(240) 및 절연체(241)가 배치된 개구부에 있어서 상기 개구부의 측벽은 절연체(222)의 상면에 대하여 수직 또는 실질적으로 수직이어도 좋고, 테이퍼 형상이어도 좋다. 측벽을 테이퍼 형상으로 함으로써, 상기 개구부에 제공하는 절연체(241) 등의 피복성이 향상된다.

[0467] <기억 장치(300)의 구성예>

[0468] 도 24를 사용하여 상기 기억 장치(300)의 구성예에 대하여 설명한다.

[0469] 기억 장치(300)는 트랜지스터(310) 등을 가지는 층인 구동 회로(21)와, 구동 회로(21) 위의 트랜지스터(52, 53, 54, 55) 등을 가지는 층인 기능층(50)과, 기능층(50) 위의 메모리 어레이(20[1] 내지 20[m])(도 24에서는 메모리 어레이(20[1], 20[2])만을 도시하였음)를 가진다. 또한 트랜지스터(52)는 상기 트랜지스터(52_a, 52_b)에 대응하고, 트랜지스터(53)는 상기 트랜지스터(53_a, 53_b)에 대응하고, 트랜지스터(54)는 상기 트랜지스터(54_a, 54_b)에 대응하고, 트랜지스터(55)는 상기 트랜지스터(55_a, 55_b)에 대응한다.

[0470] 도 24에서는 구동 회로(21)가 가지는 트랜지스터(310)를 예시하였다. 트랜지스터(310)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부를 포함한 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(310)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 것이어도 좋다. 기판(311)으로서는 예를 들어 단결정 실리콘 기판을 사용할 수 있다.

[0471] 여기서, 도 24에 나타낸 트랜지스터(310)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(310)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI(Silicon on Insulator) 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0472] 또한 도 24에 나타낸 트랜지스터(310)는 일례이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.

[0473] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0474] 예를 들어 트랜지스터(310) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공된다. 또한 절연체(320) 및 절연체(322)에는 도전체(328) 등이 매립되어 있다. 또한 절연체(324) 및 절연체(326)에는 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 콘택트 플러그 또는 배선으로서 기능한다.

[0475] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0476] 또한 도 24에서는 기능층(50)이 가지는 트랜지스터(52, 53, 55)를 예시하였다. 트랜지스터(52, 53, 55)는 메모리 셀(10)이 가지는 트랜지스터(11)와 같은 구성을 가진다. 트랜지스터(52, 53, 55)는 소스 및 드레인이 서로 직렬로 접속된다.

[0477] 트랜지스터(52, 53, 55) 위에 절연체(208)가 제공되고, 절연체(208)에 형성된 개구에 도전체(207)가 제공된다. 또한 절연체(208) 위에 절연체(210)가 제공되고, 절연체(210)에 형성된 개구에 도전체(209)가 제공된다. 또한 절연체(210) 위에 절연체(212)가 제공되고, 절연체(212) 위에 절연체(214)가 제공된다. 절연체(212) 및 절연체(214)에 형성된 개구에는 메모리 어레이(20[1])에 제공된 도전체(240)의 일부가 매립되어 있다. 여기서 절연체(208) 및 절연체(210)로서는 절연체(216)에 사용할 수 있는 절연체를 사용할 수 있다. 또한 절연체(212)로서는 절연체(283)에 사용할 수 있는 절연체를 사용할 수 있다. 또한 절연체(214)로서는 절연체(282)에 사용할 수 있는 절연체를 사용할 수 있다.

[0478] 도전체(207)의 밑면은 트랜지스터(52)의 도전체(260)의 상면에 접하여 제공된다. 또한 도전체(207)의 상면은 도전체(209)의 밑면에 접하여 제공된다. 또한 도전체(209)의 상면은 메모리 어레이(20[1])에 제공된 도전체(240)의 밑면에 접하여 제공된다. 이러한 구성으로 함으로써, 배선(BL)에 상당하는 도전체(240)와 트랜지스터(52)의 게이트를 전기적으로 접속할 수 있다.

[0479] 메모리 어레이(20[1] 내지 20[m])는 각각 복수의 메모리 셀(10)을 포함한다. 각 메모리 셀(10)이 가지는 도전체(240)는 위층의 도전체(240) 및 아래층의 도전체(240)와 전기적으로 접속된다.

[0480] 도 24에 나타낸 바와 같이, 인접한 메모리 셀(10)에 있어서 도전체(240)가 공유된다. 또한 인접한 메모리 셀(10)에 있어서 도전체(240)를 경계로 하여 오른쪽 구성과 왼쪽 구성이 대칭으로 배치된다.

[0481] 여기서 아래층(예를 들어 메모리 어레이(20[1])의 층)의 용량 소자(12)의 상부 전극으로서 기능하는 도전체(160)와, 위층(예를 들어 메모리 어레이(20[2])의 층)의 트랜지스터(11)의 제 2 게이트 전극으로서 기능하는 도전체(261)는 같은 층에 형성할 수 있다. 바꿔 말하면, 아래층의 용량 소자(12)의 도전체(160)와 위층의 트랜지스터(11)의 도전체(261)는 동일한 절연체(216)에 형성된 개구에 매립되도록 형성할 수 있다. 아래층의 용량 소자(12)의 도전체(160) 및 위층의 트랜지스터(11)의 도전체(261)를 하나의 도전막을 가공하여 형성함으로써, 상술한 바와 같은 구성이 된다. 이때 아래층의 용량 소자(12)의 도전체(160)는 위층의 트랜지스터(11)의 도전체(261)와 동일한 재료를 포함한다.

[0482] 이상과 같이, 아래층의 용량 소자(12)의 도전체(160)와 위층의 트랜지스터(11)의 도전체(261)를 동시에 형성함으로써, 본 실시형태에 따른 기억 장치의 제작 공정을 삭감하여 상기 기억 장치의 생산성을 향상시킬 수 있다.

[0483] 상술한 메모리 어레이(20)에서는 복수의 메모리 어레이(20[1] 내지 20[m])를 적층시켜 제공할 수 있다. 메모리 어레이(20)가 가지는 메모리 어레이(20[1] 내지 20[m])는 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치함으로써, 메모리 셀(10)의 메모리 밀도를 향상시킬 수 있다. 또한 메모리 어레이(20)는 같은 제조 공정을 반복적으로 사용하여 수직 방향으로 제작할 수 있다. 기억 장치(300)에서는 메모리 어레이(20)의 제조 비용의 저감을 도모할 수 있다.

[0484] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0485] (실시형태 4)

[0486] 본 실시형태에서는 본 발명의 일 형태의 기억 장치가 실장된 칩의 일례에 대하여 도 26을 사용하여 설명한다.

[0487] 도 26의 (A) 및 (B)에 나타낸 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.

[0488] 도 26의 (A)에 나타낸 바와 같이 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.

[0489] 칩(1200)에는 범프(도시 생략)가 제공되고, 도 26의 (B)에 나타낸 바와 같이 패키지 기판(1201)의 제 1 면에 접속된다. 또한 패키지 기판(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고 머더보드(1203)에 접속된다.

[0490] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 이에 의하여 DRAM(1221)의 저소비 전력화, 고속화, 및 대용량화가 가능하다.

[0491] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는

CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 앞의 실시형태에 기재된 OS 트랜지스터를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써 화상 처리 또는 적화 연산을 낮은 소비 전력으로 실행할 수 있다.

[0492] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면 CPU(1211)와 GPU(1212) 사이의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의 GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

[0493] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.

[0494] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.

[0495] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서 USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.

[0496] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크와 접속되기 위한 회로를 가진다. 또한 네트워크 보안용 회로를 가져도 좋다.

[0497] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어 칩(1200)을 낮은 비용으로 제작할 수 있다.

[0498] GPU(1212)를 가지는 칩(1200)이 제공된 패키지 기판(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.

[0499] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에 그 크기를 작게 할 수 있다. 또한 화상 처리에 뛰어나기 때문에 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0500] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0501] (실시형태 5)

[0502] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치를 사용할 수 있는 전자 부품, 전자 기기, 대형 계산기, 우주용 기기, 및 데이터 센터(Data Center: DC라고도 부름)에 대하여 설명한다. 본 발명의 일 형태의 반도체 장치를 사용한 전자 부품, 전자 기기, 대형 계산기, 우주용 기기, 및 데이터 센터는 저소비 전력화 등의 고성능화에 유효하다.

[0503] [전자 부품]

[0504] 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 도 27의 (A)에 나타내었다. 도 27의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 반도체 장치(710)를 가진다. 도 27의 (A)는 전자 부품(700)의 내부를 나타내기 위하여 일부의 기재를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 반도체 장치(710)와 전기적으로 접속된다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.

[0505] 또한 반도체 장치(710)는 구동 회로층(715)과 기억층(716)을 가진다. 또한 기억층(716)은 복수의 메모리 셀 어레이가 적층된 구성을 가진다. 구동 회로층(715)과 기억층(716)이 적층된 구성은 모놀리식 적층의 구성으로 할 수 있다. 모놀리식 적층의 구성에서는 TSV(Through Silicon Via) 등의 관통 전극 기술 및 Cu-Cu 직접 접합 등의 접합 기술을 사용하지 않고 층들을 접속시킬 수 있다. 구동 회로층(715)과 기억층(716)을 모놀리식 적층의 구성으로 함으로써, 예를 들어 프로세서 위에 메모리가 직접 형성되는, 소위 온 칩 메모리의 구성으로 할 수 있다. 온 칩 메모리의 구성으로 함으로써, 프로세서와 메모리의 인터페이스 부분의 동작을 고속으로 할 수 있다.

[0506] 또한 온 칩 메모리의 구성으로 함으로써, TSV 등의 관통 전극을 사용하는 기술에 비하여, 접속 배선 등의 크기를 작게 할 수 있기 때문에 접속 핀의 수를 늘릴 수도 있다. 접속 핀의 수를 늘림으로써 병렬 동작이 가능해지기 때문에 메모리의 밴드 폭(메모리 밴드 폭이라고도 함)을 향상시킬 수 있다.

[0507] 또한 기억층(716)이 가지는 복수의 메모리 셀 어레이를 OS 트랜지스터를 사용하여 형성하고, 상기 복수의 메모리 셀 어레이를 모놀리식으로 적층하는 것이 바람직하다. 복수의 메모리 셀 어레이를 모놀리식 적층의 구성으로 함으로써, 메모리의 밴드 폭 및 메모리의 액세스 레이턴시 중 어느 한쪽 또는 양쪽을 향상시킬 수 있다. 또한 밴드 폭이란 단위 시간당 데이터 전송량을 가리키고, 액세스 레이턴시란 액세스 후에서 데이터의 송수신 시작까지의 시간을 가리킨다. 또한 기억층(716)에 Si 트랜지스터를 사용하는 구성의 경우, OS 트랜지스터에 비하여 모놀리식 적층의 구성으로 하는 것은 어렵다. 그러므로 모놀리식 적층의 구성에 있어서 OS 트랜지스터는 Si 트랜지스터보다 우수한 구조라고 할 수 있다.

[0508] 또한 반도체 장치(710)를 다이라고 불러도 좋다. 또한 본 명세서 등에서 다이란, 반도체 칩의 제조 공정에 있어서 예를 들어 원반상 기판(웨이퍼라고도 함) 등에 회로 패턴을 형성하고, 주사위상으로 잘라서 얻은 칩 조각을 나타낸다. 또한 다이에 사용할 수 있는 반도체 재료로서는 예를 들어 실리콘(Si), 탄소화 실리콘(SiC), 또는 질화 갈륨(GaN) 등이 있다. 예를 들어 실리콘 기판(실리콘 웨이퍼라고도 함)에서 얻은 다이를 실리콘 다이라고 하는 경우가 있다.

[0509] 다음으로 전자 부품(730)의 사시도를 도 27의 (B)에 나타내었다. 전자 부품(730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 반도체 장치(710)가 제공되어 있다.

[0510] 전자 부품(730)에서는 반도체 장치(710)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)는 CPU(Central Processing Unit), GPU(Graphics Processing Unit), 또는 FPGA(Field Programmable Gate Array) 등의 집적 회로에 사용할 수 있다.

[0511] 패키지 기판(732)으로서는 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판을 사용할 수 있다. 인터포저(731)로서는 예를 들어 실리콘 인터포저 또는 수지 인터포저를 사용할 수 있다.

[0512] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 '재배선 기판' 또는 '중간 기판'이라고 하는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV를 사용할 수도 있다.

[0513] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0514] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0515] 한편, 실리콘 인터포저 및 TSV 등을 사용하여 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 경우, 상기 단자 피치의 폭 등의 스페이스가 필요하다. 그러므로 전자 부품(730)의 크기를 작게 하고자 한 경우, 상기 단자 피치의 폭이 문제가 되어, 넓은 메모리 밴드 폭의 실현에 필요한 많은 배선의 제공이 어려워지는 경우가 있다. 그래서 상술한 바와 같이 OS 트랜지스터를 사용한 모놀리식 적층의 구성이 적합하다. TSV를 사용하여 적층된 메모리 셀 어레이와 모놀리식 적층된 메모리 셀 어레이를 조합한 복합화 구조로 하여도 좋다.

[0516] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 반도체 장치(710)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.

[0517] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 27의 (B)에서는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을

매트릭스상으로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0518] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.

[0519] [전자 기기]

[0520] 다음으로 전자 기기(6500)의 사시도를 도 28의 (A)에 나타내었다. 도 28의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다. 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 광원(6508), 및 제어 장치(6509) 등을 가진다. 또한 제어 장치(6509)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6502), 제어 장치(6509) 등에 적용할 수 있다.

[0521] 도 28의 (B)에 나타낸 전자 기기(6600)는 노트북형 퍼스널 컴퓨터로서 사용할 수 있는 정보 단말기이다. 전자 기기(6600)는 하우징(6611), 키보드(6612), 포인팅 디바이스(6613), 외부 접속 포트(6614), 표시부(6615), 제어 장치(6616) 등을 가진다. 또한 제어 장치(6616)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6615), 제어 장치(6616) 등에 적용할 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 상술한 제어 장치(6509) 및 제어 장치(6616)에 사용함으로써 소비 전력을 저감시킬 수 있어 적합하다.

[0522] [대형 계산기]

[0523] 다음으로 대형 계산기(5600)의 사시도를 도 28의 (C)에 나타내었다. 도 28의 (C)에 나타낸 대형 계산기(5600)에서는 랙(5610)에 복수의 랙 마운트형 계산기(5620)가 격납되어 있다. 또한 대형 계산기(5600)를 슈퍼컴퓨터라고 호칭하여도 좋다.

[0524] 계산기(5620)는 예를 들어 도 28의 (D)에 나타낸 사시도의 구성을 가질 수 있다. 도 28의 (D)에서 계산기(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속된다.

[0525] 도 28의 (E)에 나타낸 PC 카드(5621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례를 나타낸 것이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623)와, 접속 단자(5624)와, 접속 단자(5625)와, 반도체 장치(5626)와, 반도체 장치(5627)와, 반도체 장치(5628)와, 접속 단자(5629)를 가진다. 또한 도 28의 (E)에는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 나타내었지만, 이들 반도체 장치에 대해서는 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)에 대한 설명을 참작하면 좋다.

[0526] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.

[0527] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.

[0528] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시 생략)를 가지고, 상기 단자를 보드(5622)의 소켓(도시 생략)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.

[0529] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예

를 들어 FPGA, GPU, CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(730)을 사용할 수 있다.

[0530] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(700)을 사용할 수 있다.

[0531] 대형 계산기(5600)는 병렬 계산기로서 기능할 수도 있다. 대형 계산기(5600)를 병렬 계산기로서 사용함으로써 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모 계산을 수행할 수 있다.

[0532] [우주용 기기]

[0533] 본 발명의 일 형태의 반도체 장치는 정보를 처리 및 기억하는 기기 등의 우주용 기기에 적합하게 사용할 수 있다.

[0534] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함할 수 있다. 상기 OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다.

[0535] 도 29에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 29에서는 우주 공간에 혹성(6804)을 예시하였다. 또한 우주 공간이란 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권을 포함하여도 좋다.

[0536] 또한 도 29에는 도시하지 않았지만, 이차 전지(6805)에 배터리 매니지먼트 시스템(BMS라고도 함) 또는 배터리 제어 회로를 제공하여도 좋다. 상술한 배터리 매니지먼트 시스템 또는 배터리 제어 회로에 OS 트랜지스터를 사용하면, 소비 전력이 낮고 우주 공간에서도 신뢰성이 높기 때문에 적합하다.

[0537] 또한 우주 공간은 지상에 비하여 반사선량이 100배 이상 많은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.

[0538] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 하지만, 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

[0539] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이상에 의하여 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.

[0540] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.

[0541] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 제공된 물체에 맞아 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여, 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.

[0542] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 우주 탐사기 등의 우주용 기기에 적합하게 사용할 수 있다.

[0543] 상술한 바와 같이, OS 트랜지스터는 Si 트랜지스터에 비하여 넓은 메모리 밴드 폭을 실현할 수 있다는 것, 방사선 내성이 높다는 것 등 우수한 효과를 가진다.

[0544] [데이터 센터]

[0545] 본 발명의 일 형태의 반도체 장치는 예를 들어 데이터 센터 등에 적용되는 저장 시스템에 적합하게 사용할 수 있다. 데이터 센터는 데이터의 불변성을 보장하는 등 데이터를 장기적으로 관리하는 것이 요구된다. 데이터를 장기적으로 관리하는 경우, 방대한 데이터를 기억하기 위한 스토리지 및 서버의 설치, 데이터를 유지하기 위한 안정적인 전원의 확보, 또는 데이터의 유지에 필요한 냉각 설비의 확보 등을 위하여 보다 큰 건물이 필요하다.

[0546] 데이터 센터에 적용되는 저장 시스템에 본 발명의 일 형태의 반도체 장치를 사용함으로써, 데이터의 유지에 필요한 전력을 저감하고, 데이터를 유지하는 반도체 장치를 소형화할 수 있다. 그러므로 저장 시스템의 소형화, 데이터를 유지하기 위한 전원의 소형화, 냉각 설비의 소규모화 등을 도모할 수 있다. 그러므로 데이터 센터의 공간 절약화를 도모할 수 있다.

[0547] 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 데이터 센터를 실현할 수 있다. 따라서 데이터 센터의 신뢰성을 높일 수 있다.

[0548] 데이터 센터에 적용 가능한 저장 시스템을 도 30에 나타내었다. 도 30에 나타낸 저장 시스템(7000)은 호스트(7001)(Host Computer라고 도시함)로서 복수의 서버(7001sb)를 가진다. 또한 스토리지(7003)(Storage라고 도시함)로서 복수의 기억 장치(7003md)를 가진다. 호스트(7001)와 스토리지(7003)는 스토리지 에어리어 네트워크(7004)(SAN: Storage Area Network라고 도시함) 및 저장 제어 회로(7002)(Storage Controller라고 도시함)를 통하여 접속된다.

[0549] 호스트(7001)는 스토리지(7003)에 기억된 데이터에 액세스하는 컴퓨터에 상당한다. 호스트(7001)들은 네트워크를 통하여 서로 접속되어도 좋다.

[0550] 스토리지(7003)는 플래시 메모리를 사용함으로써 데이터의 액세스 속도, 즉 데이터의 기억 및 출력에 필요한 시간이 단축되지만, 이 시간은 스토리지(7003) 내의 캐시 메모리로서 사용될 수 있는 DRAM에서 걸리는 시간에 비하여 상당히 길다. 저장 시스템에서는 스토리지(7003)의 액세스 속도가 느리다는 문제를 해결하기 위하여, 일반적으로는 스토리지(7003) 내에 캐시 메모리를 제공하여 데이터의 기억 및 출력에 걸리는 시간을 짧게 한다.

[0551] 상술한 캐시 메모리는 저장 제어 회로(7002) 및 스토리지(7003) 내에 사용된다. 호스트(7001)와 스토리지(7003) 사이에서 송수신되는 데이터는 저장 제어 회로(7002) 및 스토리지(7003) 내의 상기 캐시 메모리에 기억된 후, 호스트(7001) 또는 스토리지(7003)에 출력된다.

[0552] 상술한 캐시 메모리의 데이터를 기억하기 위한 트랜지스터로서 OS 트랜지스터를 사용하여 데이터에 따른 전위를 유지하는 구성으로 함으로써, 리프레시 빈도를 줄이고 소비 전력을 저감할 수 있다. 또한 메모리 셀 어레이를 적층하는 구성으로 함으로써 스토리지의 소형화가 가능하다.

[0553] 또한 본 발명의 일 형태의 반도체 장치를 전자 부품, 전자 기기, 대형 계산기, 우주용 기기, 및 데이터 센터 중에서 선택되는 어느 하나 또는 복수에 적용함으로써, 소비 전력을 저감시키는 효과가 기대된다. 그러므로 반도체 장치의 고성능화 또는 고집적화에 따른 에너지 수요의 증가가 예상되는 가운데, 본 발명의 일 형태의 반도체 장치를 사용함으로써 이산화 탄소(CO_2)로 대표되는 온실 효과 가스의 배출량을 저감시킬 수도 있다. 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 지구 온난화에 대한 대책으로서도 유효하다.

[0554] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재되는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

[0555] ADDR: 신호

BL[1]: 배선

BL[j]: 배선

BL[n]: 배선

BL_A: 배선

BL_B: 배선

BL: 배선

BW: 신호

CE: 신호

CLK: 신호

EN_data: 신호

GBL_A: 배선

GBL_B: 배선

GBL: 배선

GW: 신호

MUX: 선택 신호

PL[1]: 배선

PL[i]: 배선

PL[m]: 배선

PL: 배선

RDA: 신호

RE: 제어 신호

VHH: 배선

VLL: 배선

VPC: 중간 전위

WAKE: 신호

WDA: 신호

WE: 제어 신호

WL[1]: 배선

WL[i]: 배선

WL[m]: 배선

WL: 배선

10[1,1]: 메모리 셀

10[i,j]: 메모리 셀

10[m,n]: 메모리 셀

10_A: 메모리 셀

10_B: 메모리 셀

10: 메모리 셀

11a: 트랜지스터

11b: 트랜지스터

11c: 트랜지스터

11: 트랜지스터

12a: 용량 소자

12: 용량 소자

20[1]: 메모리 어레이

20[2]: 메모리 어레이

20[5]: 메모리 어레이

20[m]: 메모리 어레이

20: 메모리 어레이

21: 구동 회로

22: PSW

23: PSW

31: 주변 회로

32: 제어 회로

33: 전압 생성 회로

41: 주변 회로

42: 행 디코더

43: 행 드라이버

44: 열 디코더

45: 열 드라이버

46: 감지 증폭기

47: 입력 회로

48: 출력 회로

50: 기능층

51_A: 기능 회로

51_B: 기능 회로

51: 기능 회로

52_a: 트랜지스터

52_b: 트랜지스터

52: 트랜지스터

53_a: 트랜지스터

53_b: 트랜지스터

53: 트랜지스터

54_a: 트랜지스터

54_b: 트랜지스터

54: 트랜지스터

55_a: 트랜지스터

55_b: 트랜지스터

55: 트랜지스터

70[1]: 반복 단위

70: 반복 단위

71_A: 프리차지 회로

71_B: 프리차지 회로

72_A: 스위치 회로

72_B: 스위치 회로

73: 기록 판독 회로

81_1: 트랜지스터

81_3: 트랜지스터

81_4: 트랜지스터

81_6: 트랜지스터

82_1: 트랜지스터

82_2: 트랜지스터

82_3: 트랜지스터

82_4: 트랜지스터

83_A: 스위치

83_B: 스위치

83_C: 스위치

83_D: 스위치

153: 도전체

154: 절연체

160a: 도전체

160b: 도전체

160: 도전체

200: 트랜지스터

205a: 도전체

205b: 도전체

205: 도전체

207: 도전체

208: 절연체

209: 도전체

210: 절연체

212: 절연체

214: 절연체

215: 절연체

216: 절연체

221: 절연체

222: 절연체

224f: 절연막

224: 절연체

230a: 산화물

230af: 산화막

230b: 산화물

230bf: 산화막

230: 산화물

240a: 도전체

240b: 도전체

240: 도전체

241: 절연체

242_1: 도전체

242_1f: 도전막

242_2: 도전체

242_2f: 도전막

242a: 도전체

242b: 도전체

250a: 절연체

250A: 절연막

250Aa: 절연막

250Ab: 절연막

250Ac: 절연막

250b: 절연체

250c: 절연체

250d: 절연체

250: 절연체

255a: 절연체

255A: 절연막

255b: 절연체

255: 절연체

256A: 절연막

256: 절연체

260a: 도전체

260A: 도전막

260b: 도전체

260B: 도전막

260: 도전체

261: 도전체

271a: 절연체

271b: 절연체

271f: 절연막

271: 절연체

275: 절연체

280: 절연체

282: 절연체

283: 절연체

284: 절연체

285: 절연체

300A: 기억 장치

300: 기억 장치

310: 트랜지스터

311: 기판

313: 반도체 영역

314a: 저저항 영역

314b: 저저항 영역

315: 절연체

316: 도전체

320: 절연체

322: 절연체

324: 절연체

326: 절연체

328: 도전체

330: 도전체

700: 전자 부품

702: 인쇄 기판

704: 실장 기판

710: 반도체 장치

711: 몰드

712: 랜드

713: 전극 패드

714: 와이어

715: 구동 회로층

716: 기억층

730: 전자 부품

731: 인터포저

732: 패키지 기판

733: 전극

735: 반도체 장치

1200: 칩

1201: 패키지 기판

1202: 범프

1203: 머더보드

1204: GPU 모듈

1211: CPU

1212: GPU

1213: 아날로그 연산부

1214: 메모리 컨트롤러

1215: 인터페이스

1216: 네트워크 회로

1221: DRAM

1222: 플래시 메모리

5600: 대형 계산기

5610: 랙

5620: 계산기

5621: PC 카드

5622: 보드

5623: 접속 단자

5624: 접속 단자

5625: 접속 단자

5626: 반도체 장치

5627: 반도체 장치

5628: 반도체 장치

5629: 접속 단자

5630: 머더보드

5631: 슬롯

6500: 전자 기기

6501: 하우징

6502: 표시부

6503: 전원 버튼

6504: 버튼

6505: 스피커

6506: 마이크로폰

6507: 카메라

6508: 광원

6509: 제어 장치

6600: 전자 기기

6611: 하우징

6612: 키보드

6613: 포인팅 디바이스

6614: 외부 접속 포트

6615: 표시부

6616: 제어 장치

6800: 인공위성

6801: 기체

6802: 태양 전지판

6803: 안테나

6804: 혹성

6805: 이차 전지

6807: 제어 장치

7000: 저장 시스템

7001sb: 서버

7001: 호스트

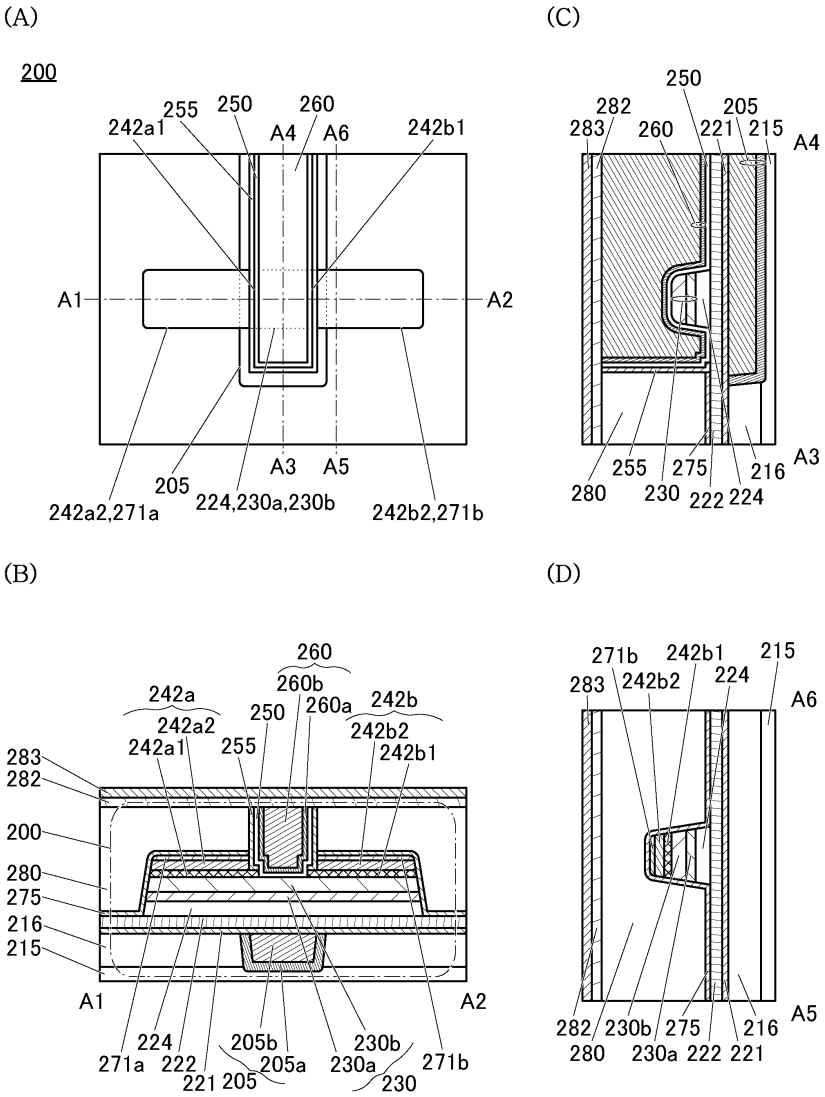
7002: 저장 제어 회로

7003md: 기억 장치

7003: 스토리지

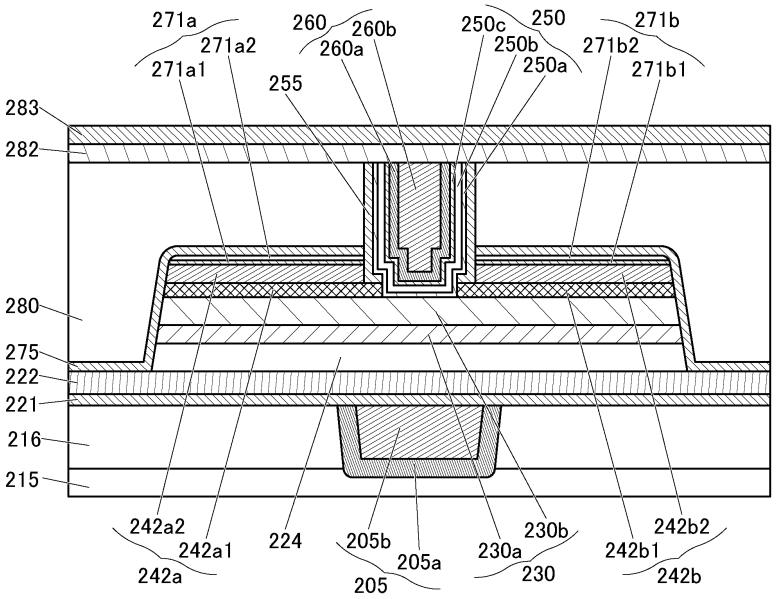
도면

도면1

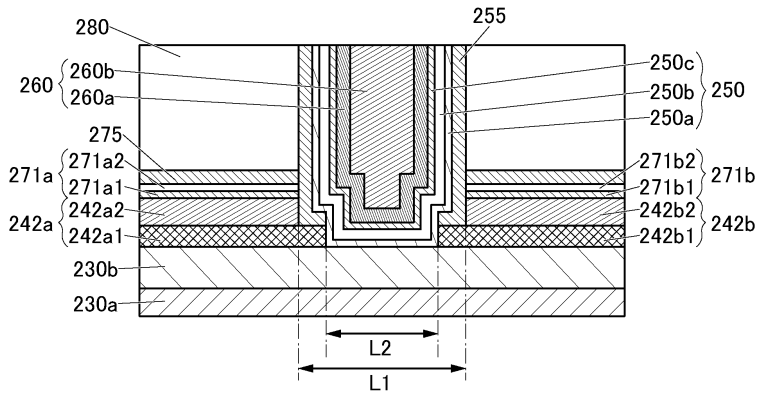

(A)
200
255
250
260
242a1
A4
A6
242b1
A1
A2
205
A3
A5
242a2,271a
224,230a,230b
242b2,271b
(C)
250
282
205
283
260
221
215
A4
A3
255
275
216
280
230
222
224
(B)
260
242a
260b
250
260a
242b
242a2
242b2
242a1
255
242b1
283
282
200
280
275
216
215
A1
A2
224
205b
230b
271a
222
205a
230a
271b
221
205
230
(D)
271b
242b1
215
283
242b2
224
A6
282
230b
275
216
A5
280
230a
222
221

도면2

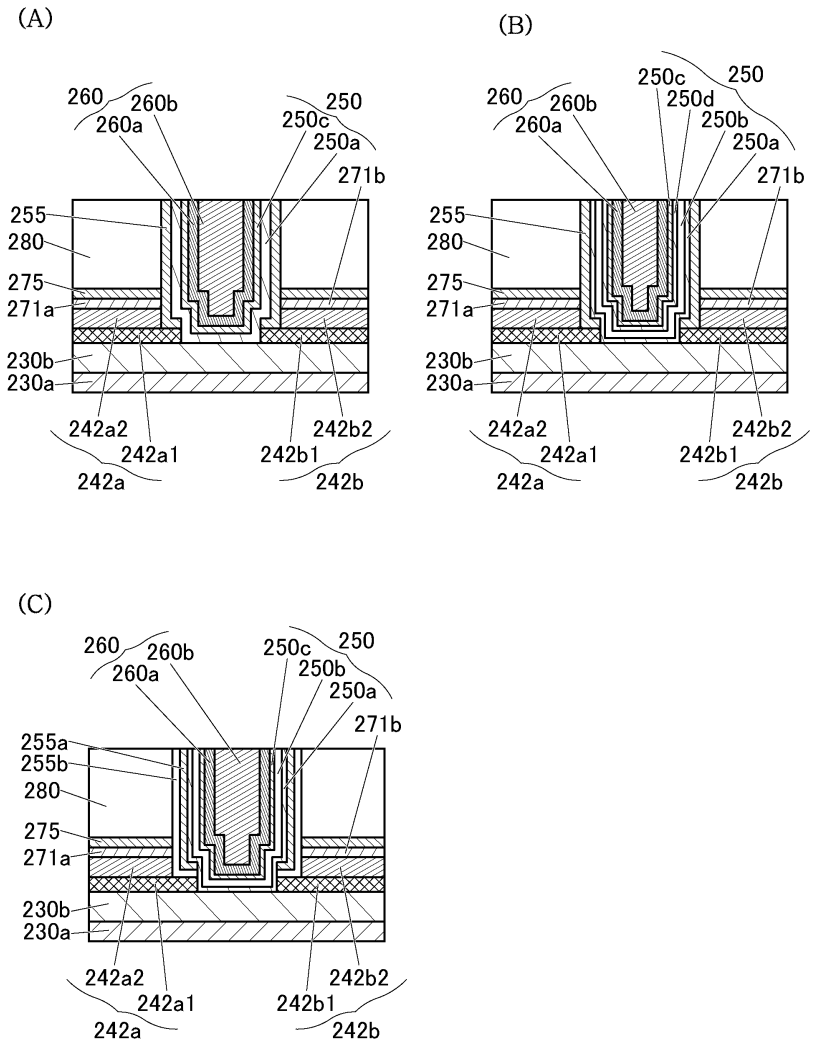
(A)


271a
271a2
271a1
260
260b
260a
255
250c
250
250b
250a
271b
271b2
271b1
283
282
280
275
222
221
216
215
242a2
242a1
242a
224
205b
205a
205
230b
230a
230
242b2
242b1
242b

(B)

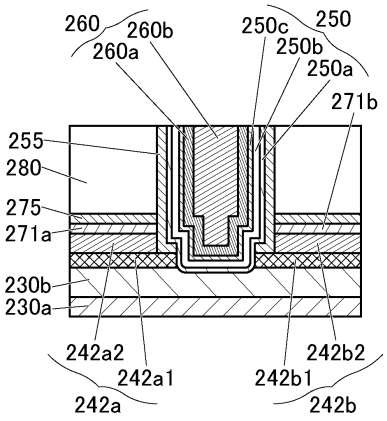

280
255
260
260b
260a
250c
250b
250a
250
275
271a
271a2
271a1
271b2
271b1
271b
242a
242a2
242a1
242b2
242b1
242b
230b
230a
L2
L1

도면3

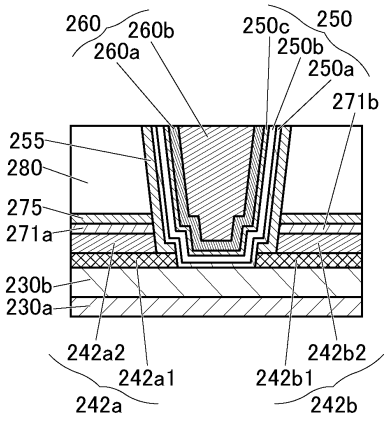

(A)
260
260b
260a
250
250c
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242a
242b1
242b2
242b
(B)
250c
250
260
260b
250d
260a
250b
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242a
242b1
242b2
242b
(C)
260
260b
250c
250
260a
250b
250a
271b
255a
255b
280
275
271a
230b
230a
242a2
242a1
242a
242b1
242b2
242b

도면4

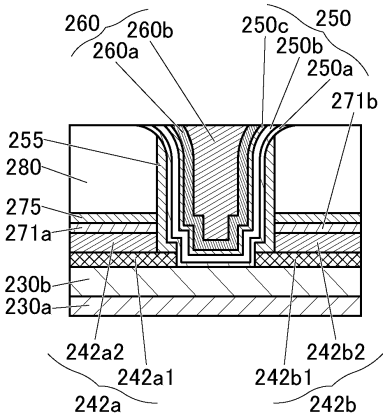
(A)


260
260b
260a
250c
250
250b
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242b2
242b1
242a
242b

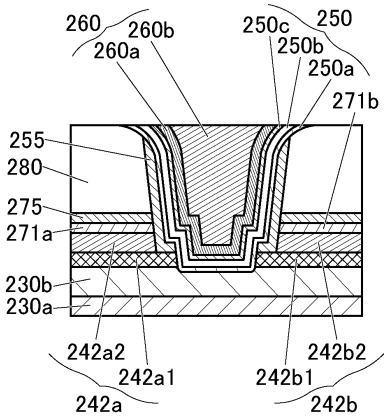
(B)


260
260b
260a
250c
250
250b
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242b2
242b1
242a
242b

(C)

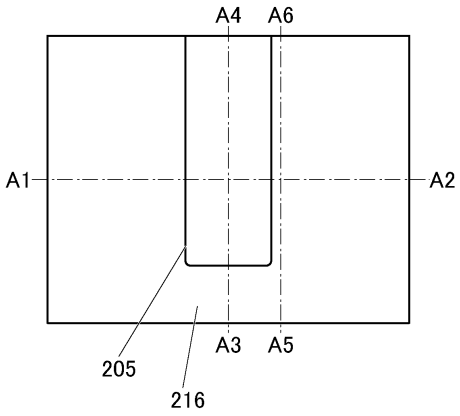

260
260b
260a
250c
250
250b
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242b2
242b1
242a
242b

(D)

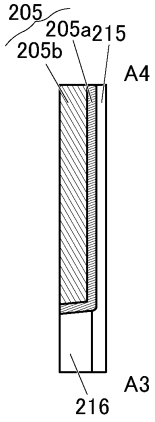

260
260b
260a
250c
250
250b
250a
271b
255
280
275
271a
230b
230a
242a2
242a1
242b2
242b1
242a
242b

도면5

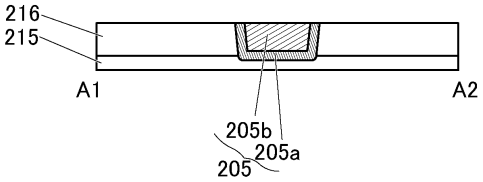
(A)


A4
A6
A1
A2
205
A3
A5
216

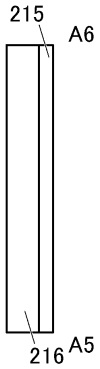
(C)


205
205a
215
205b
A4
A3
216

(B)

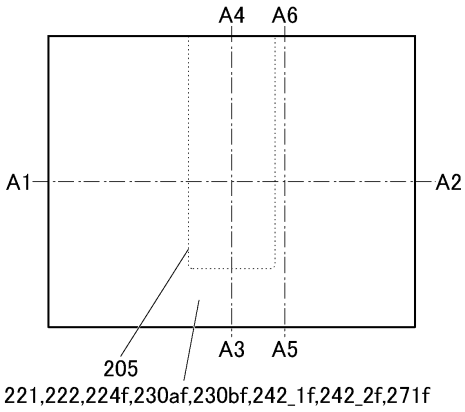

216
215
A1
A2
205b
205a
205

(D)

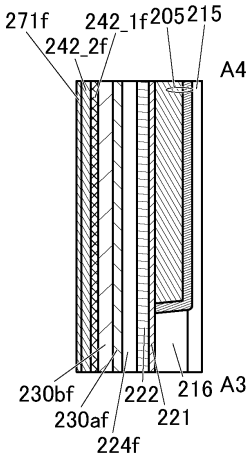

215
A6
216
A5

도면6

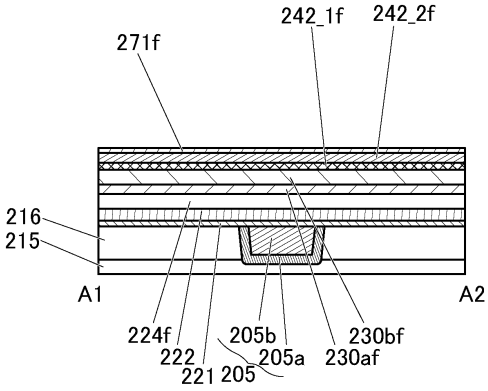
(A)


A4
A6
A1
A2
205
A3
A5
221,222,224f,230af,230bf,242_1f,242_2f,271f

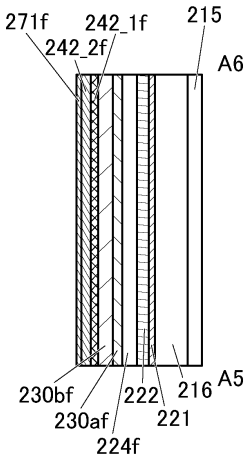
(C)


271f
242_1f
205
215
242_2f
A4
230bf
230af
224f
222
221
216
A3

(B)

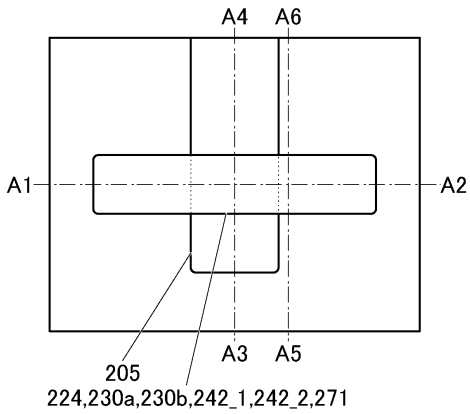

242_1f
242_2f
271f
216
215
A1
A2
224f
222
221
205
205b
205a
230bf
230af

(D)

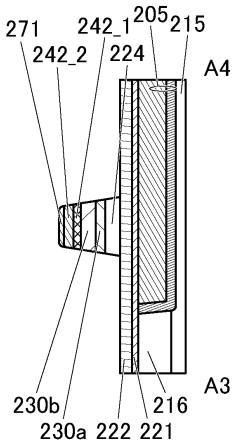

271f
242_1f
215
242_2f
A6
230bf
230af
224f
222
221
216
A5

도면7

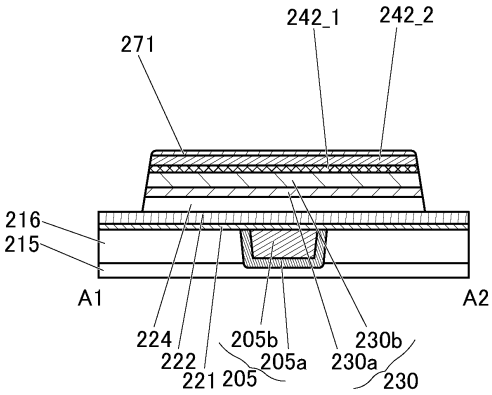
(A)


A4
A6
A1
A2
A3
A5
205
224,230a,230b,242_1,242_2,271

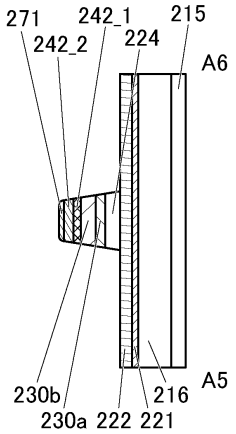
(C)


271
242_1
205
215
242_2
224
A4
A3
230b
230a
222
221
216

(B)

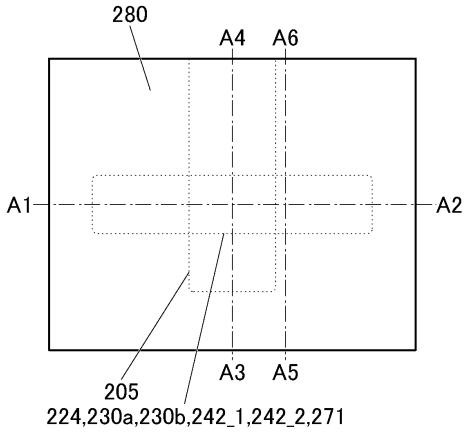

242_1
242_2
271
216
215
A1
A2
224
222
221
205
205b
205a
230b
230a
230

(D)

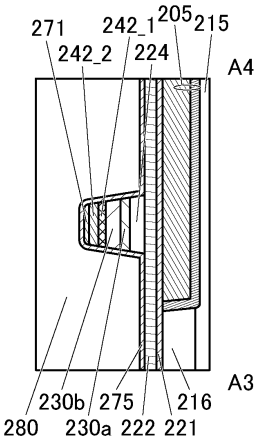

271
242_1
215
242_2
224
A6
A5
230b
230a
222
221
216

도면8

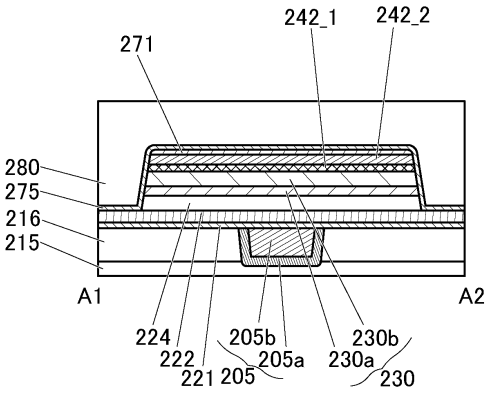
(A)


280
A4
A6
A1
A2
A3
A5
205
224,230a,230b,242_1,242_2,271

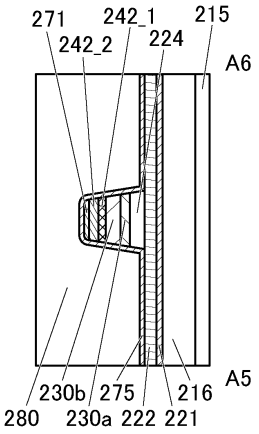
(C)


271
242_1
205
215
242_2
224
A4
A3
230b
275
216
280
230a
222
221

(B)

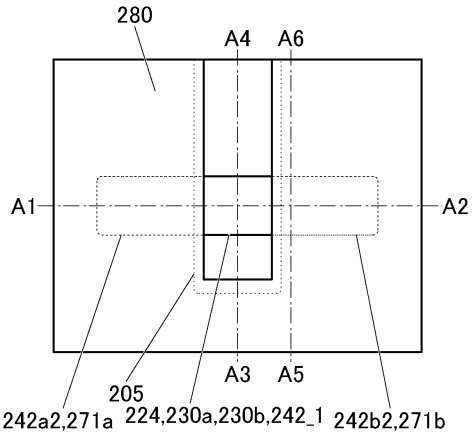

242_1
242_2
271
280
275
216
215
A1
A2
224
222
221
205b
205a
205
230b
230a
230

(D)

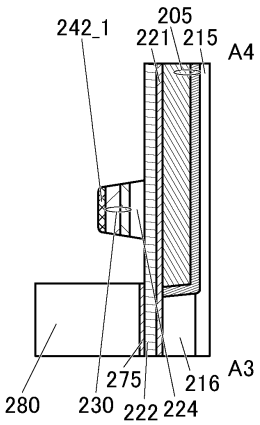

271
242_1
215
242_2
224
A6
A5
230b
275
216
280
230a
222
221

도면9

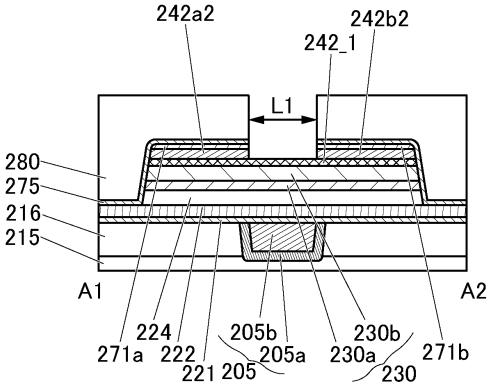
(A)


280
A4
A6
A1
A2
A3
A5
205
242a2,271a
224,230a,230b,242_1
242b2,271b

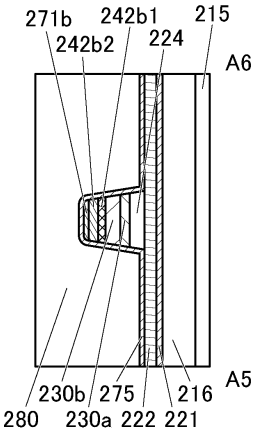
(C)


242_1
205
221
215
A4
A3
275
216
280
230
222
224

(B)

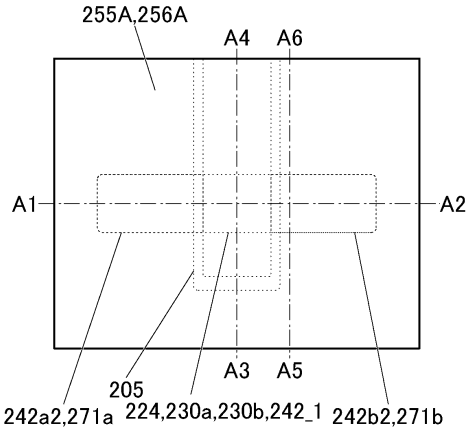

242a2
242b2
242_1
L1
280
275
216
215
A1
A2
224
271a
222
221
205b
205
205a
230b
230a
230
271b

(D)

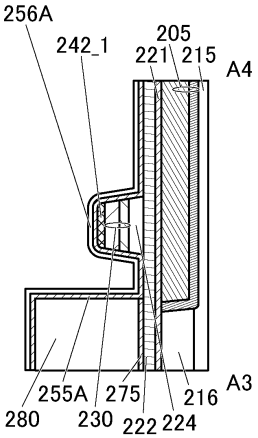

271b
242b1
215
242b2
224
A6
A5
230b
275
216
280
230a
222
221

도면10

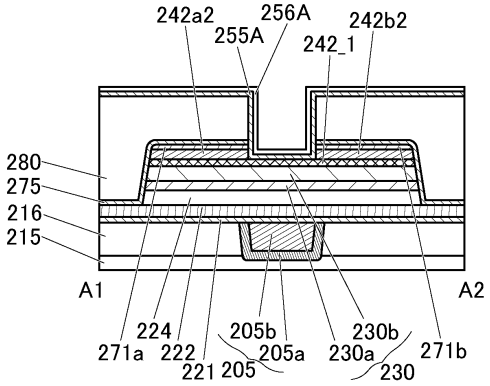
(A)


255A,256A
A4
A6
A1
A2
A3
A5
205
242a2,271a
224,230a,230b,242_1
242b2,271b

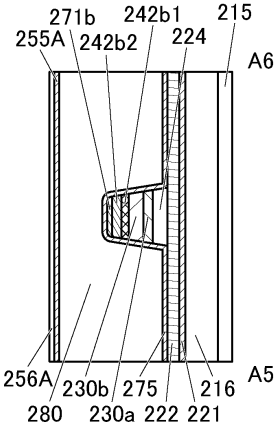
(C)


256A
242_1
205
221
215
A4
A3
280
255A
230
275
222
224
216

(B)

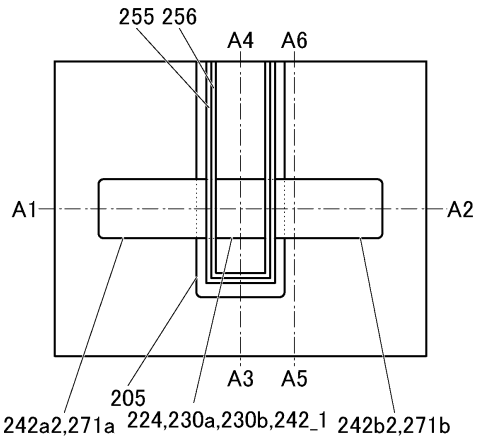

242a2
256A
255A
242_1
242b2
280
275
216
215
A1
A2
224
271a
222
221
205b
205
205a
230b
230a
230
271b

(D)

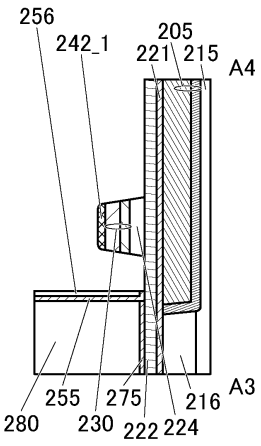

271b
242b1
215
255A
242b2
224
A6
256A
280
230b
230a
275
222
221
216
A5

도면11

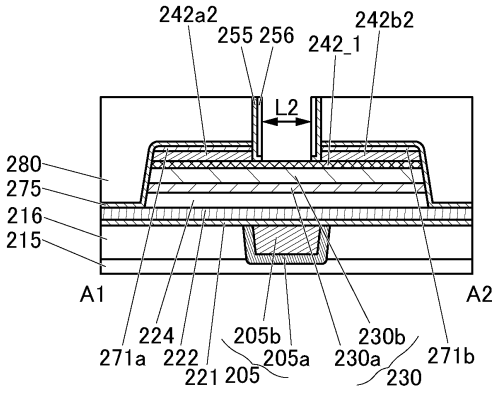
(A)


255 256
A4
A6
A1
A2
A3
A5
205
242a2,271a
224,230a,230b,242_1
242b2,271b

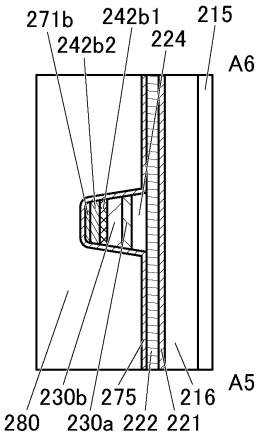
(C)


256
242_1
205
221
215
A4
A3
255
275
216
280
230
222
224

(B)

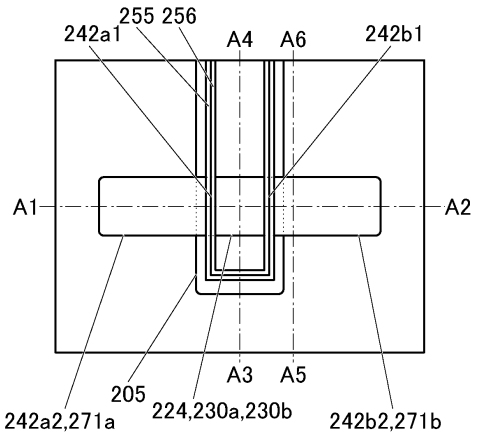

242a2
255 256
242_1
242b2
L2
280
275
216
215
A1
A2
224
271a
222
221
205b
205
205a
230b
230a
230
271b

(D)

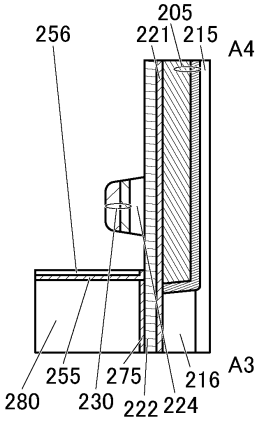

271b
242b1
215
242b2
224
A6
A5
230b
275
216
280
230a
222
221

도면12

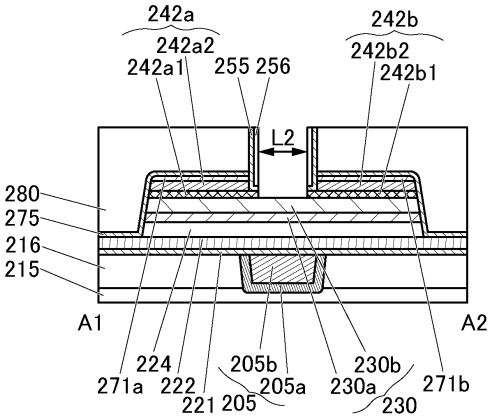
(A)


255 256
242a1
A4
A6
242b1
A1
A2
205
A3
A5
242a2,271a
224,230a,230b
242b2,271b

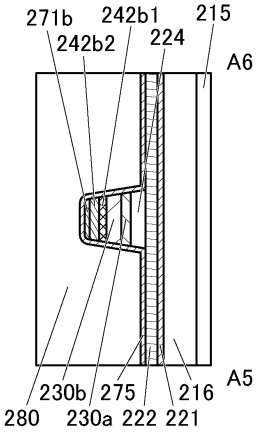
(C)


205
256
221
215
A4
A3
280
255
230
275
222
224
216

(B)

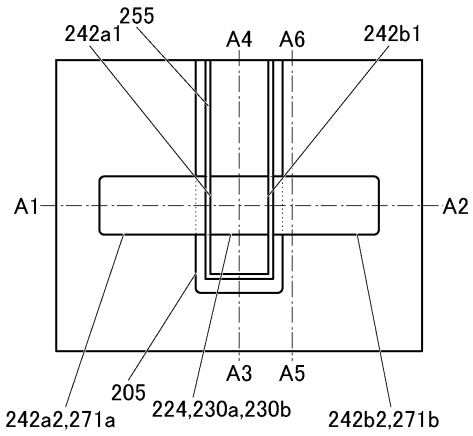

242a
242a2
242a1
255 256
242b
242b2
242b1
L2
280
275
216
215
A1
A2
271a
224
222
221
205
205b
205a
230b
230a
230
271b

(D)

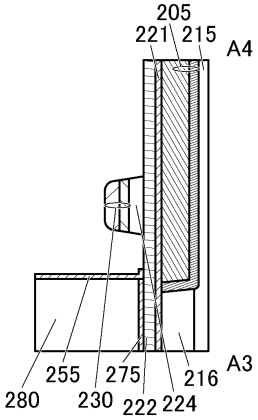

271b
242b1
215
242b2
224
A6
A5
280
230b
230a
275
222
221
216

도면13

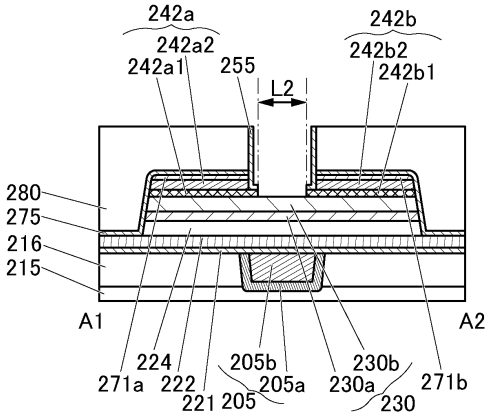
(A)


255
242a1
A4
A6
242b1
A1
A2
A3
A5
205
242a2,271a
224,230a,230b
242b2,271b

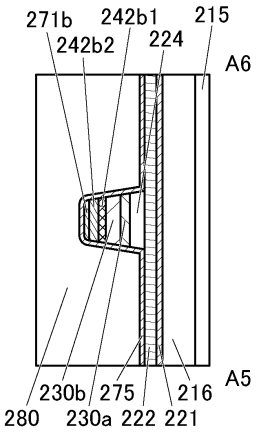
(C)


205
221
215
A4
A3
280
255
230
275
222
224
216

(B)

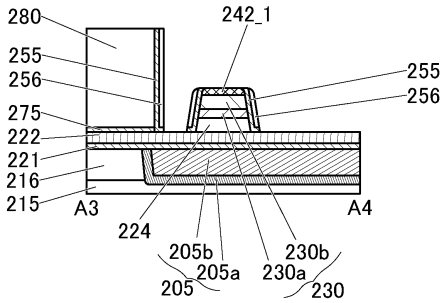

242a
242a2
242a1
255
L2
242b
242b2
242b1
280
275
216
215
A1
A2
271a
224
222
221
205b
205
205a
230b
230a
230
271b

(D)

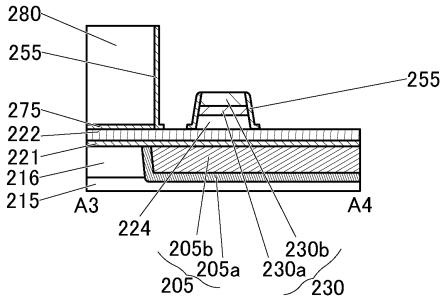

271b
242b1
215
242b2
224
A6
A5
280
230b
230a
275
222
221
216

도면14

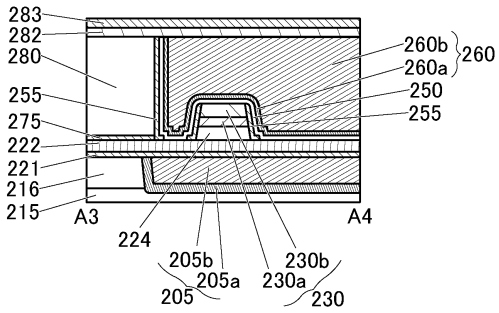
(A)


280
242_1
255
255
256
256
275
222
221
216
215
A3
A4
224
205b
205a
230a
230b
205
230

(B)

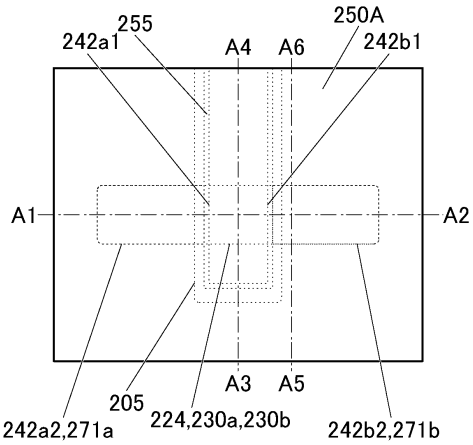

280
255
255
275
222
221
216
215
A3
A4
224
205b
205a
230a
230b
205
230

(C)

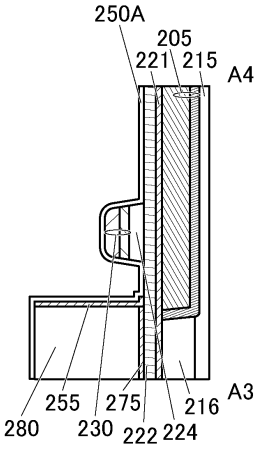

283
282
280
260b
260a
260
250
255
255
275
222
221
216
215
A3
A4
224
205b
205a
230a
230b
205
230

도면15

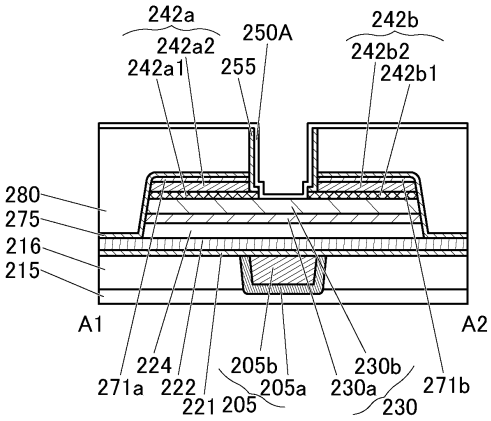
(A)


255
242a1
A4
A6
250A
242b1
A1
A2
205
A3
A5
242a2,271a
224,230a,230b
242b2,271b

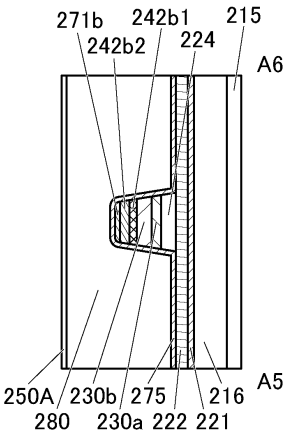
(C)


250A
205
221
215
A4
A3
280
255
230
275
222
224
216

(B)

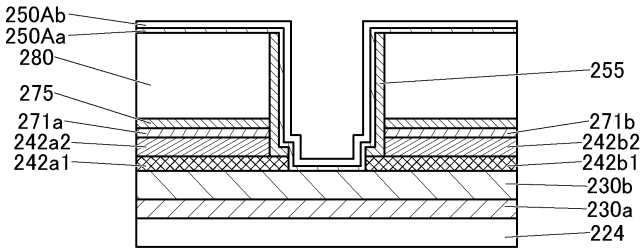

242a
242a2
242a1
250A
255
242b
242b2
242b1
280
275
216
215
A1
A2
271a
224
222
221
205b
205
205a
230b
230a
230
271b

(D)

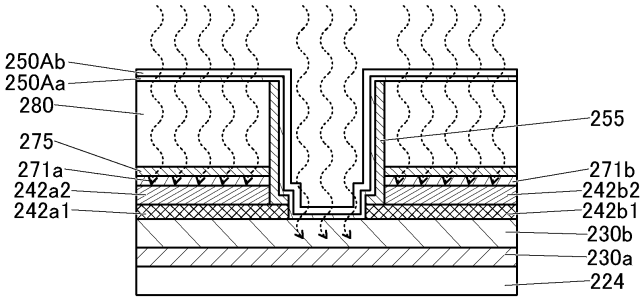

271b
242b1
215
242b2
224
A6
A5
250A
280
230b
230a
275
222
216
221

도면16

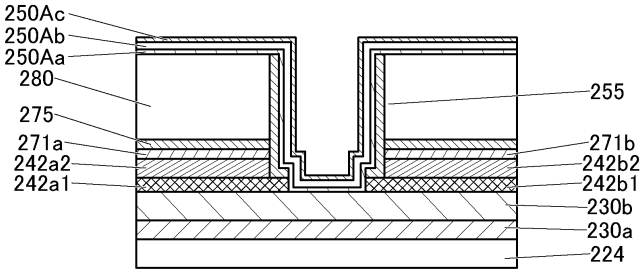
(A)


250Ab
250Aa
280
275
271a
242a2
242a1
255
271b
242b2
242b1
230b
230a
224

(B)

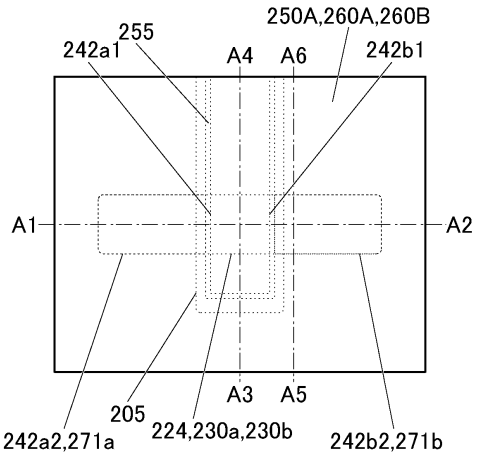

250Ab
250Aa
280
275
271a
242a2
242a1
255
271b
242b2
242b1
230b
230a
224

(C)

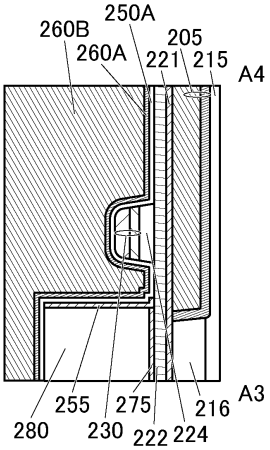

250Ac
250Ab
250Aa
280
275
271a
242a2
242a1
255
271b
242b2
242b1
230b
230a
224

도면17

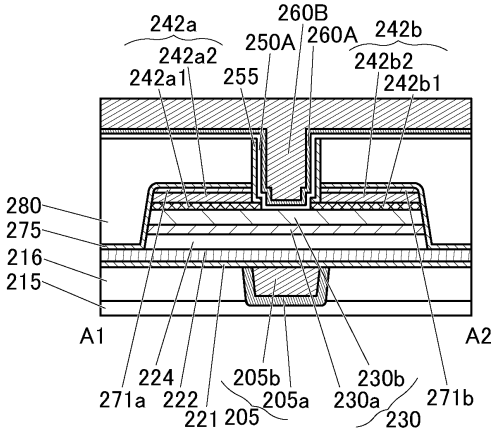
(A)


250A,260A,260B
255
242a1
A4
A6
242b1
A1
A2
A3
A5
205
242a2,271a
224,230a,230b
242b2,271b

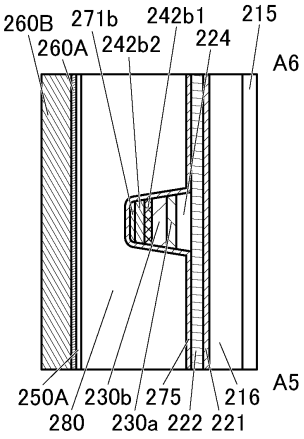
(C)


260B
250A
260A
205
221
215
A4
A3
280
255
230
275
222
216
224

(B)

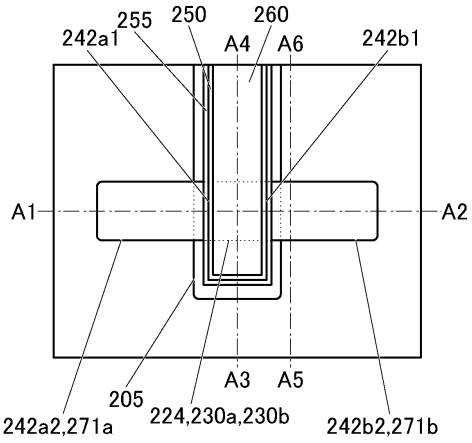

242a
260B
242a2
250A
260A
242b
242b2
242a1
255
242b1
280
275
216
215
A1
A2
271a
224
222
221
205b
205
205a
230a
230b
230
271b

(D)

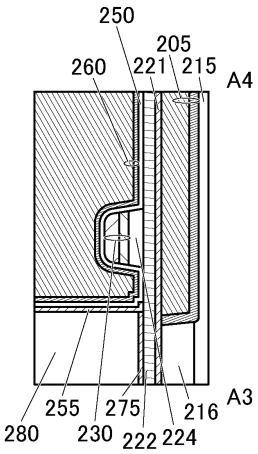

260B
271b
242b1
215
260A
242b2
224
A6
250A
280
230b
230a
275
222
216
221
A5

도면18

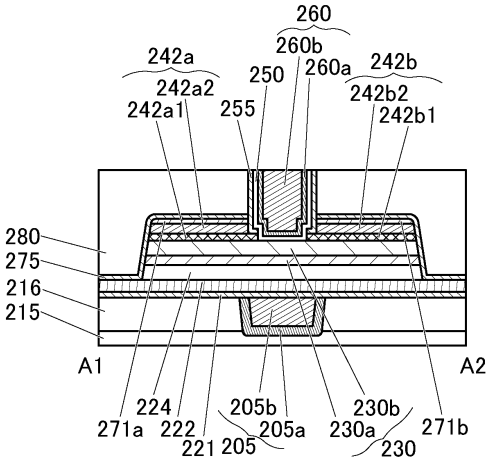
(A)


242a1
255
250
260
A4
A6
242b1
A1
A2
205
A3
A5
242a2,271a
224,230a,230b
242b2,271b

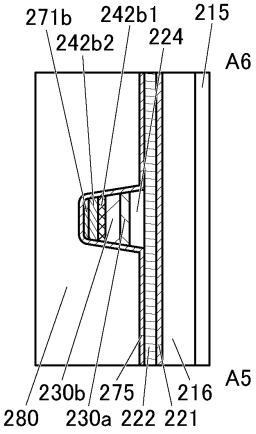
(C)


250
205
260
221
215
A4
A3
280
255
230
275
222
224
216

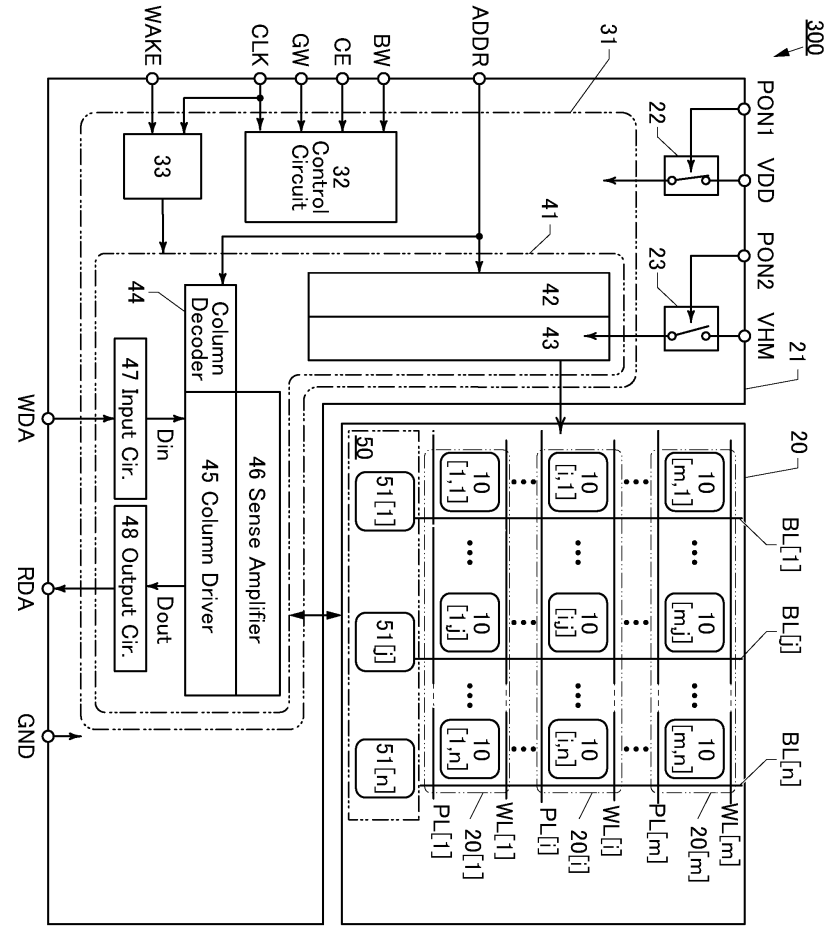
(B)


260
260b
242a
250
260a
242b
242a2
242b2
242a1
255
242b1
280
275
216
215
A1
A2
271a
224
222
221
205b
205
205a
230b
230a
230
271b

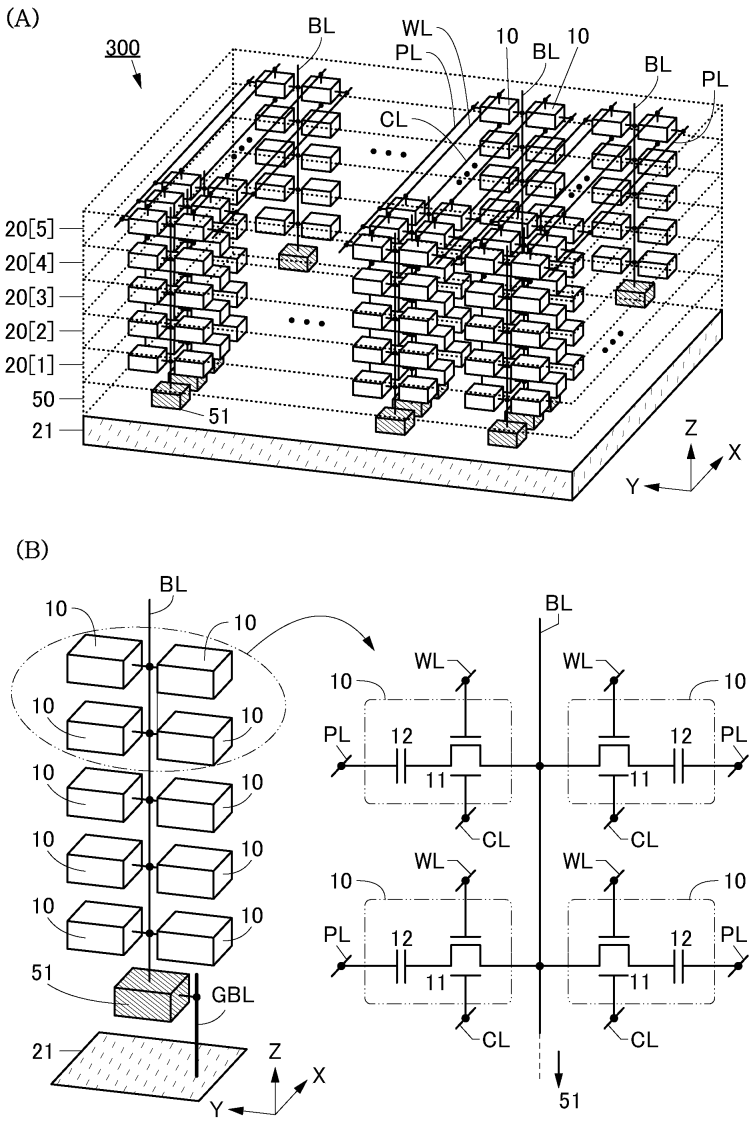
(D)


271b
242b1
215
242b2
224
A6
A5
280
230b
230a
275
222
216
221

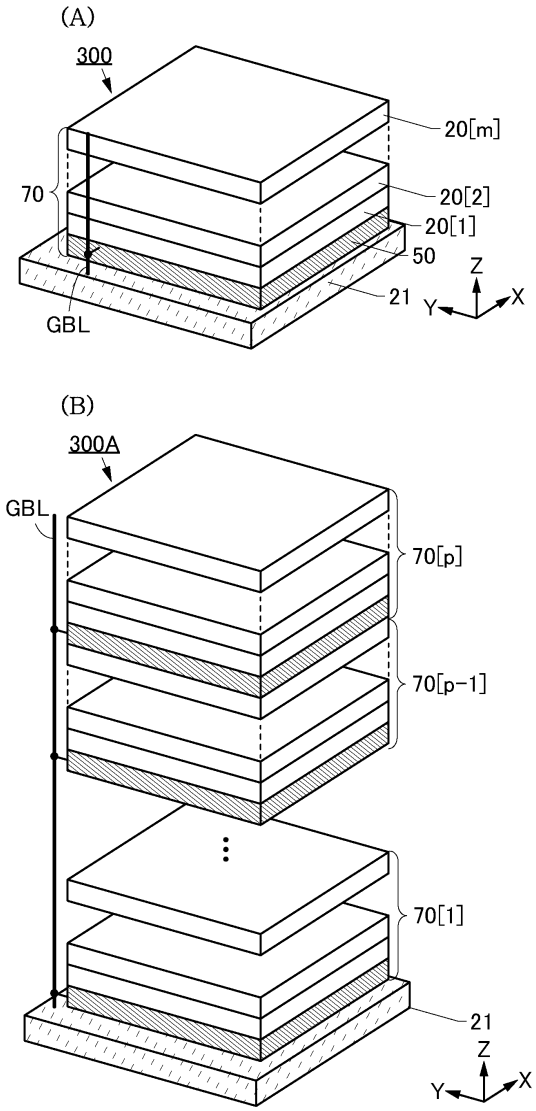
도면19


300
WAKE
CLK
GW
CE
BW
ADDR
31
PON1
VDD
PON2
VHM
22
23
21
33
32 Control Circuit
41
42
43
44
Column Decoder
47 Input Cir.
48 Output Cir.
Din
Dout
45 Column Driver
46 Sense Amplifier
WDA
RDA
GND
20
50
51[1]
51[j]
51[n]
10 [1,1]
10 [i,1]
10 [m,1]
10 [1,j]
10 [i,j]
10 [m,j]
10 [1,n]
10 [i,n]
10 [m,n]
BL[1]
BL[j]
BL[n]
PL[1]
PL[i]
PL[m]
WL[1]
WL[i]
WL[m]
20[1]
20[i]
20[m]

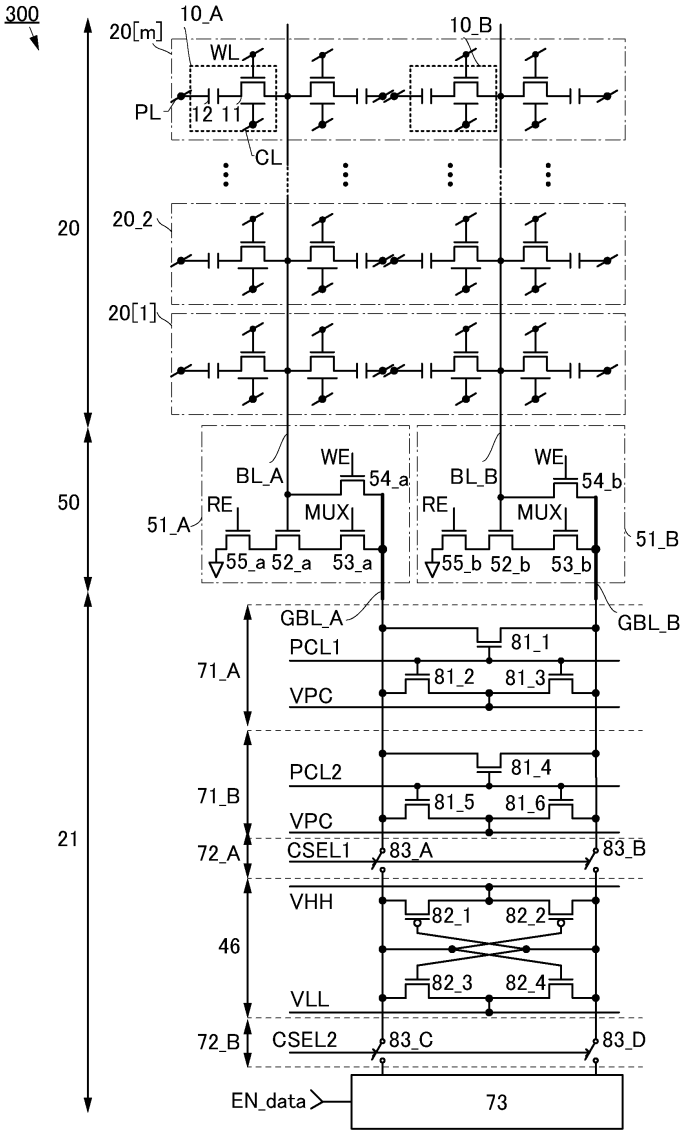
도면20



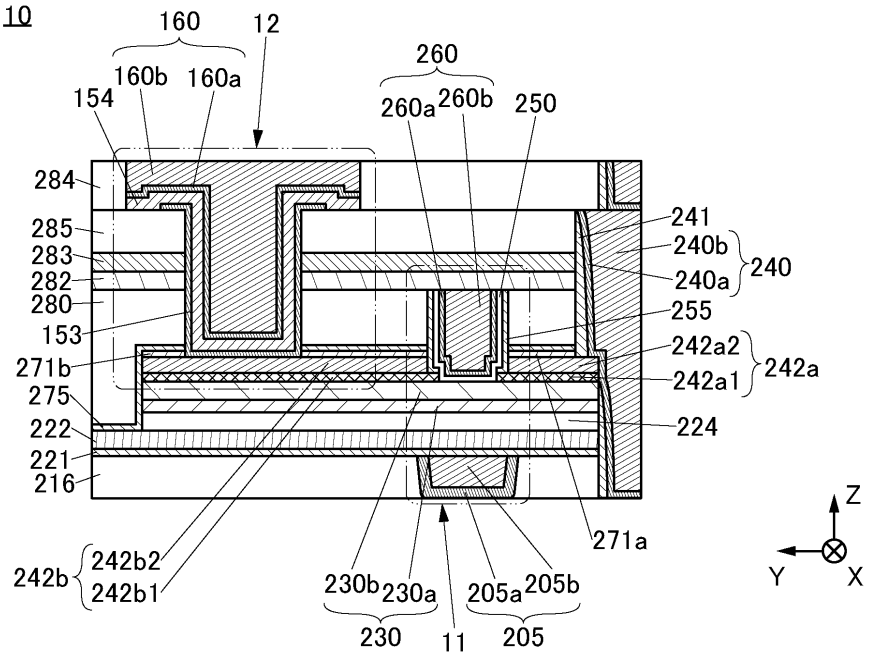
도면21



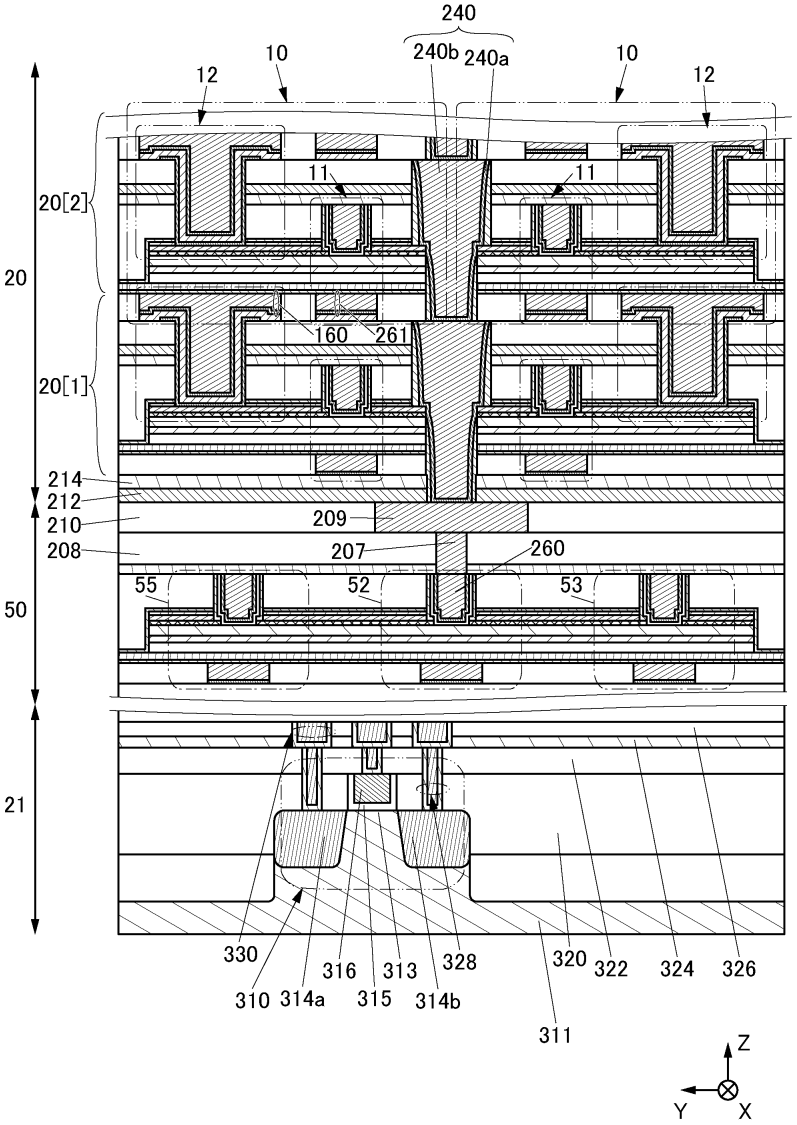
도면22


300
20[m]
10_A
10_B
WL
PL
12
11
CL
20
20_2
20[1]
50
BL_A
WE
54_a
RE
MUX
51_A
55_a
52_a
53_a
BL_B
WE
54_b
RE
MUX
51_B
55_b
52_b
53_b
GBL_A
GBL_B
71_A
PCL1
81_1
81_2
81_3
VPC
71_B
PCL2
81_4
81_5
81_6
VPC
21
72_A
CSEL1
83_A
83_B
VHH
82_1
82_2
46
82_3
82_4
VLL
72_B
CSEL2
83_C
83_D
EN_data
73

도면23

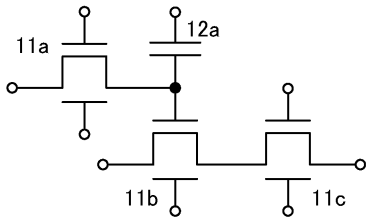

10
160
12
260
160b
160a
154
260a
260b
250
284
285
283
282
280
153
271b
275
222
221
216
241
240b
240a
240
255
242a2
242a1
242a
224
271a
242b
242b2
242b1
230b
230a
205a
205b
230
11
205
Z
Y
X

도면24

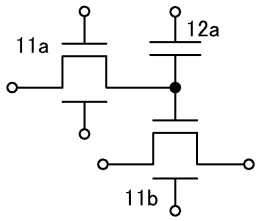

240
240b
240a
10
10
12
12
11
11
20
20[2]
20[1]
160
261
214
212
210
208
209
207
260
55
52
53
50
21
330
310
314a
316
315
313
314b
328
311
320
322
324
326
Z
Y
X

도면25

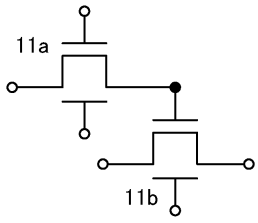
(A)



(B)

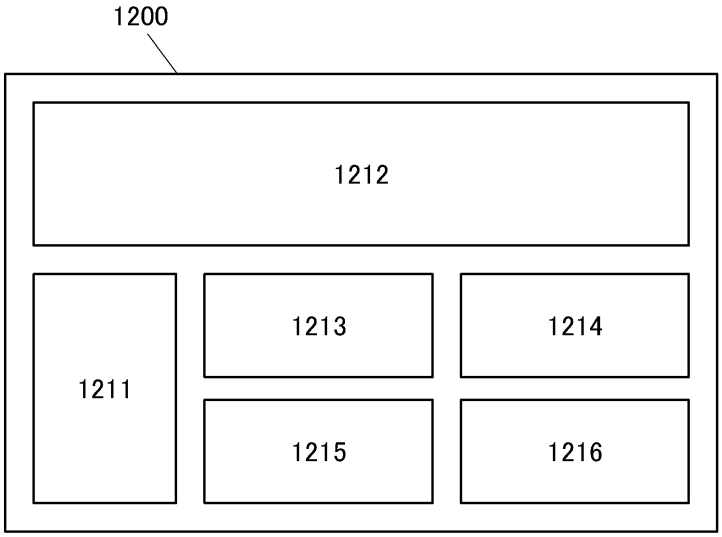


(C)

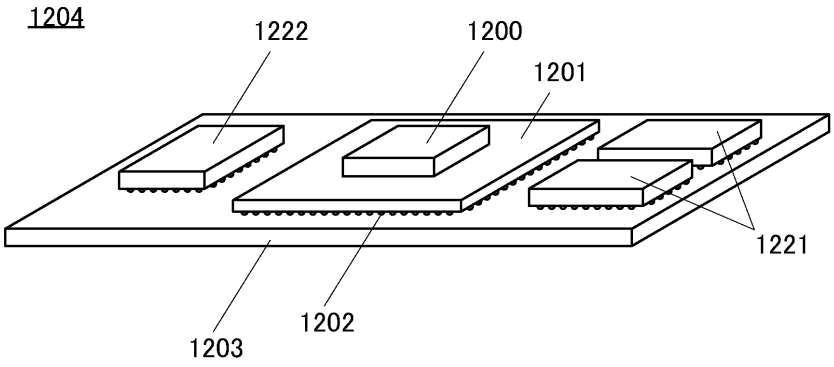


도면26

(A)

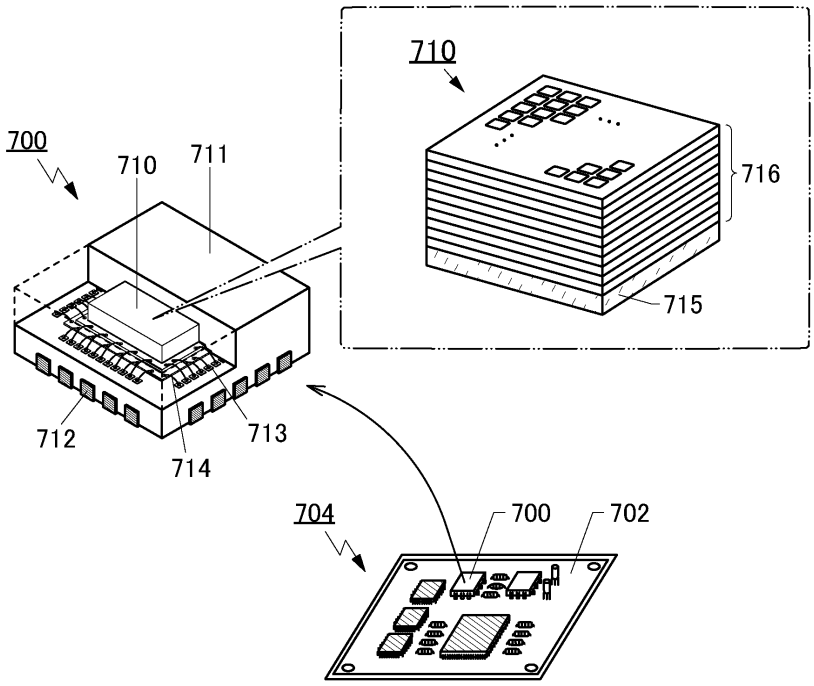

1200
1212
1211
1213
1214
1215
1216

(B)

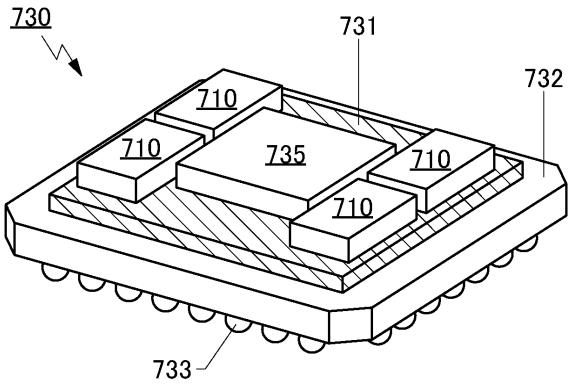

1204
1222
1200
1201
1221
1202
1203

도면27

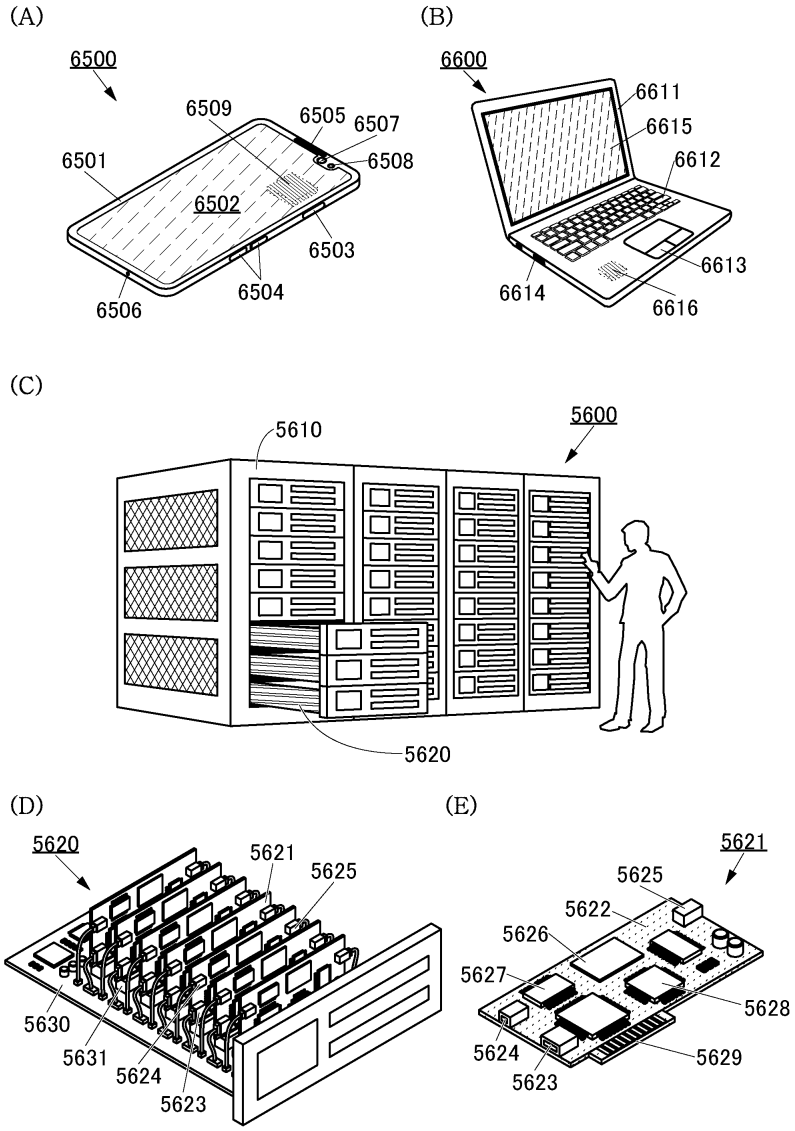
(A)


710
700
710
711
716
715
712
713
714
704
700
702

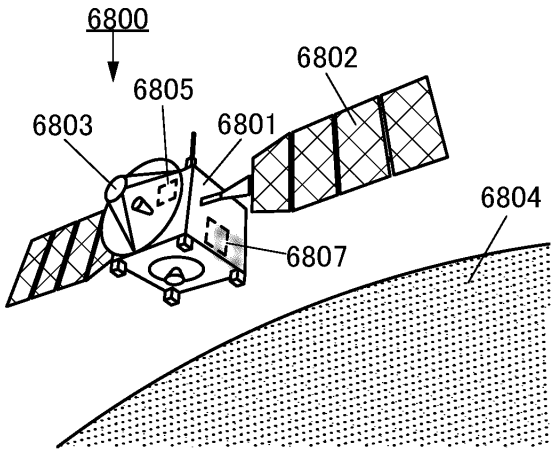
(B)


730
731
732
710
710
735
710
710
733

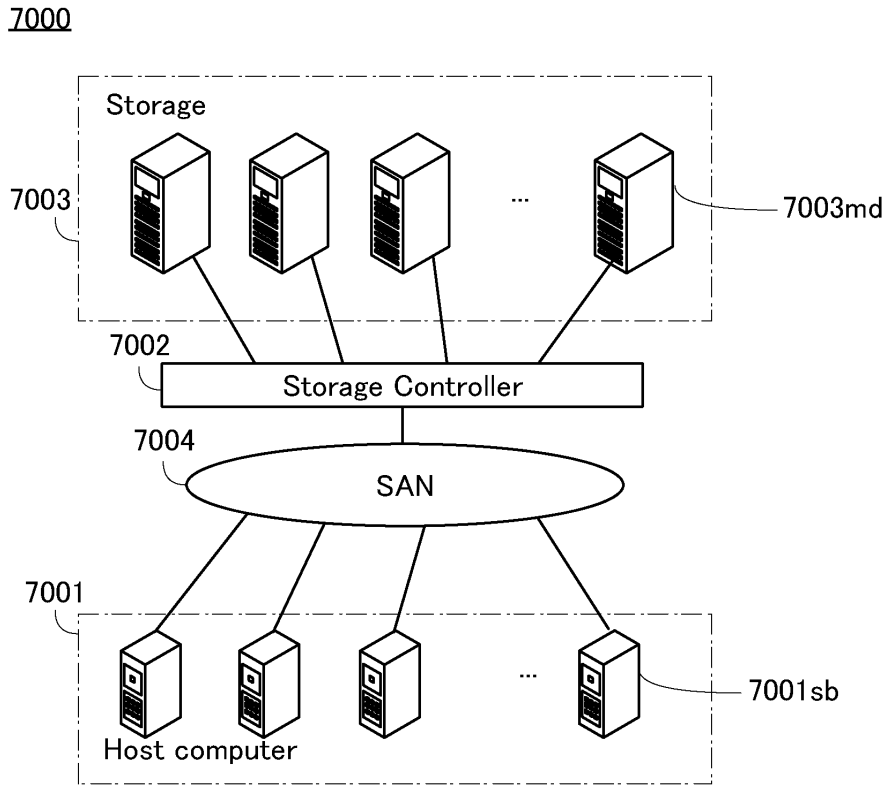
도면28


(A)
6500
6509
6505
6507
6501
6508
6502
6503
6504
6506
(B)
6600
6611
6615
6612
6613
6614
6616
(C)
5610
5600
5620
(D)
5620
5621
5625
5630
5631
5624
5623
(E)
5621
5625
5622
5626
5627
5628
5624
5629
5623

도면29


6800
6802
6805
6803
6801
6804
6807

도면30


7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer