

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294611

(P2005-294611A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/205	HO 1 L 21/205	5 F 0 0 3
HO 1 L 21/20	HO 1 L 21/20	5 F 0 4 5
HO 1 L 21/331	HO 1 L 29/167	5 F 0 5 2
HO 1 L 21/338	HO 1 L 29/72 H	5 F 1 0 2
HO 1 L 29/167	HO 1 L 29/80 H	

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-108746 (P2004-108746)
 (22) 出願日 平成16年4月1日(2004.4.1)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (71) 出願人 000173522
 財団法人ファインセラミックスセンター
 愛知県名古屋市熱田区六野2丁目4番1号
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一
 (74) 代理人 100099025
 弁理士 福田 浩志

最終頁に続く

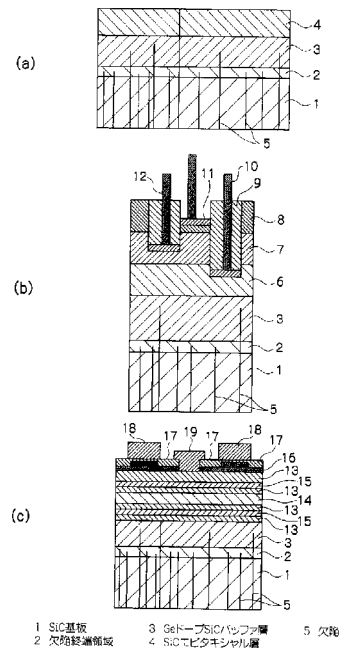
(54) 【発明の名称】 炭化珪素半導体基板及びその製造方法

(57) 【要約】

【課題】 半導体素子層中の欠陥が少ない基板の製造方法の提供。

【解決手段】 炭化珪素基板上に、ゲルマニウムをドーブした炭化ケイ素バッファ層を設け、かつ、該バッファ層上に半導体素子層を設けることを特徴とする炭化珪素半導体基板の製造方法。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素基板上に、ゲルマニウムをドーブした炭化ケイ素バッファ層を設け、かつ、該バッファ層上に半導体素子層を設けることを特徴とする炭化珪素半導体基板の製造方法。

【請求項 2】

バッファ層のゲルマニウムの量が 10 at% 以下である請求項 1 記載の製造方法。

【請求項 3】

バッファ層と半導体素子層をそれぞれ交互に二層以上設けることを特徴とする請求項 1 又は 2 記載の製造方法。

10

【請求項 4】

請求項 1、2 又は 3 記載の製造方法により得られた炭化珪素半導体基板。

【請求項 5】

請求項 1、2 又は 3 記載の製造方法により得られた炭化珪素半導体基板に電極を設けたことを特徴とする炭化珪素半導体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素 (SiC) 基板及びその製造方法に関し、特に、欠陥が少ない半導体素子層 (エピタキシャル層) を有する基板及びその製造方法に関する。

20

【背景技術】

【0002】

SiC 単結晶は、一般的には昇華法によって製造されるが、このように製造されたものは、転位 (刃状転位、螺旋転位 (マイクロパイプも含む)) 等の欠陥を含む。即ち、SiC 基板の生成は、昇華した SiC が堆積して進行するが、SiC の堆積は、壁面に沿って進行するため、両壁面から堆積した SiC が合体した部位には、結晶の不連続部が発生する。これが欠陥となる。

【0003】

パワーデバイスや高周波デバイスを作製する場合、この SiC 単結晶を基板として、デバイスを形成する領域であるエピタキシャル層 (半導体素子層) をデバイスに適した構造になるように成長させるが、欠陥が基板中に存在すると、その上に成長させたエピタキシャル層にもその欠陥が継承され、エピタキシャル層にも欠陥がほぼ同数形成される。そして、この欠陥があるエピタキシャル層にデバイス (素子) を作製すると、デバイスの漏れ電流を増加させ、逆方向耐圧を低下させることが報告されている。

30

【0004】

このため、デバイスを作製するにはこの欠陥を低減させることが極めて重要である。

デバイスを作製する領域であるエピタキシャル層のマイクロパイプを低減させる方法として、基板となる SiC 単結晶を高温処理することで、SiC が昇華し、マイクロパイプに析出、閉塞させることが提案された (特許文献 1 参照)。また、CVD (Chemical Vapor Deposition) 法により、SiC を成長させ、熱処理によりマイクロパイプの端部を閉塞し、熱エッチングにより閉塞された表面を露出し、これを種結晶として SiC 単結晶を成長させる方法もあり (特許文献 2 参照)、さらに、CVD 法により、調整した成膜条件で SiC を成長することでマイクロパイプを転位などの欠陥に展開する方法もある (非特許文献 1 参照)。

40

【0005】

しかし、これらの方法では、部分的にマイクロパイプは閉塞されるが、多数の転位に変換され、上記問題点は、解決されない。

即ち、マイクロパイプはパーガスベクトル $b = |nc|$ (n は整数、 c は c 軸方向の原子 1 個分の変位) を有しており、気相 (昇華) でマイクロパイプを閉塞してもパーガスベクトルは保存されるので、パーガスベクトルのより小さな転位に分解される。つま

50

り、1つのマイクロパイプに最大n個の転位が発生する。この転位は、不対電子を有するためキャリアの散乱源となって移動度を低下させたり、低抵抗領域を形成して電流のリークパスとなって耐圧を低下させる。

【特許文献1】特開2002-179498号公報

【特許文献2】特開2000-53498号公報

【非特許文献1】Jpn. J. Appl. Phys. vol. 41 (2002) L1300, L1137

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

従って、本発明の目的は、デバイスを作製する領域であるエピタキシャル層の欠陥が少ない炭化珪素半導体基板を得、上記欠陥のない半導体を得ることにある。

【課題を解決するための手段】

【0007】

斯かる実状に鑑み本発明者は鋭意研究を行ったところ、炭化珪素基板上に、ゲルマニウムをドーブしたバッファ層を設ければ、エピタキシャル層への欠陥が抑制されることを見出し本発明を完成した。

即ち、本発明は、次の方法等を提供するものである。

【0008】

<1> 炭化珪素基板上に、ゲルマニウムをドーブした炭化ケイ素バッファ層を設け、かつ、該バッファ層上に半導体素子層を設けることを特徴とする炭化珪素半導体基板の製造方法。

20

【0009】

<2> バッファ層のゲルマニウムの量が10atm%以下である<1>記載の製造方法。

【0010】

<3> バッファ層と半導体素子層をそれぞれ交互に二層以上設けることを特徴とする請求項<1>又は<2>記載の製造方法。

【0011】

<4> <1>、<2>又は<3>記載の製造方法により得られた炭化珪素半導体基板

30

【0012】

<5> <1>、<2>又は<3>記載の製造方法により得られた炭化珪素半導体基板に電極を設けたことを特徴とする炭化珪素半導体。

【発明の効果】

【0013】

本発明により得られた半導体は、半導体素子層の欠陥が少なくデバイスの漏れ電流が少なく、逆方向耐圧を低下させることが少ない。

【発明を実施するための最良の形態】

【0014】

40

以下、本発明を適用した実施形態を図面を用いて具体的に説明する。本実施形態は、例えば昇華法などにより形成された炭化珪素単結晶基板(SiC単結晶基板)に、デバイスを形成するためのエピタキシャル成長基板を製造する方法に適用したものである。

【0015】

本発明において、ゲルマニウムをドーブした炭化ケイ素とは、結晶系がSiC特有の六方晶形を有する2H、4H、6H、8H、15R、21R、24R等であってSiCGeを主成分とするもの、

及び、<111>軸方向にSi面とC面が交互に積層した立方晶において、SiやCの一部がGeによって置換されたもの若しくは格子間にGeが挿入されたものを言う。

【0016】

50

(第1実施形態)

図1(a)に、本発明方法により得られた炭化珪素半導体基板の一態様を示す。

製造工程を次に示す。

A) 基板

まず、SiC基板1を取得する。SiC基板としては、4H-SiC、3C-SiC、6H-SiCなどが使用でき、ウエーハの面方位、オフ角、面(Si, C)に制限はない
【0017】

B) GeドープSiCバッファ層3

CVD法により、Geドープバッファ層3をSiC基板1上に設ける。

ここで用いる原料ガスは、SiH₂Cl₂、C₂H₂、SiH₄、C₃H₈、Si₂H₆等が挙げられる。 10

ドープ原料ガスとしては、(C₂H₅)₄Ge、(CH₃)₂GeH₂、GeH₄等が挙げられる。

キャリアガスとしては、H₂、Ar等が挙げられる。

これらガス中のGe濃度は、原子供給量比でCの0.0001~2倍が好ましく、特に、0.001~1倍が好ましい。

基板の温度は、3C-SiCを成長させる場合は、800~1450が好ましく、特に900~1400が好ましい。4H-SiC及び6H-SiCを成長させる場合は、1450から1770が好ましく、特に1500~1650が好ましい。

バッファ層のゲルマニウム量は、10atm%以下が好ましく、特に5atm%以下が好ましく、更に3atm%以下が好ましい。 20

バッファ層の膜厚は1nm~10μmが好ましく、特に1nm~1μmが好ましく、更に1nm~500nmが好ましい。

【0018】

バッファ層3は、SiC基板1からの欠陥を消滅するための層である。この層は、SiC単結晶基板に存在する欠陥がバッファ層へ伝播した際に、不純物であるGeが終端化することでデバイスとなるSiCエピタキシャル層への欠陥伝播を抑制する。

GeをドープしたSiCは基板SiCに比べ格子定数が大きく界面に欠陥を形成する。この欠陥と基板から伸びる欠陥がぶつかり、欠陥の進展方向が面内方向に曲げられたり、ループ化することによってエピタキシャル層へ伝播する欠陥の数を抑制できる。この界面領域にて、多くの欠陥が消滅する為、その領域を欠陥終端領域2と記述した。従って、欠陥終端領域2は、SiC基板1とGeドープSiCバッファ層3の境界である。 30

【0019】

C) バッファ層3の上にエピタキシャル成長層4をCVD法で設ける。これは、従来法で行えばよい。

かようにして、図1(a)に示す炭化珪素半導体基板が得られる。

【0020】

(第2実施形態)

第2実施形態は、図2に示すような形態である。これは第1実施形態のGeドープバッファ層3とSiCエピタキシャル層4を複数層を設けたものである。すなわち、Geドープバッファ層が多層存在することにより、欠陥をさらに抑制することを狙ったものである。 40

製法は、第1実施形態の2層作成の工程を繰り返せばよい。

【0021】

(第3実施形態)

第3実施形態は、図3に示すごとく、第2実施形態のものの応用である。

即ち、第2実施形態の基板に、次の層が設けられているものである。

A) SiCエピタキシャル層22(コレクタ層)

エピタキシャルSiC層がp型のもので、ドーピング元素はGa, Al, Bなどである。

B) GeをドーブしたエピタキシャルSiC層23(ベース層)

本層はn型でドーピング元素はN、P、Asなどである。

C) B)の上にp型エピタキシャル層24

エピタキシャルSiC層がp型のもので、ドーピング元素はGa, Al, Bなどである。

【0022】

(第4実施形態)

第4実施形態は、図1(b)に示すような形態である。これは第3実施形態(バッファ層の数は異なる)の基板にベース12、エミッタ11、コレクタ10の電極を配置したものである。

【0023】

(第5実施形態)

半導体素子構造: HEMT(High Electron Mobility Transistor)への適用例

第5実施形態は、図1(c)に示すような形態である。

第1実施形態の基板に加え、アンドープSiC13上に、NドーブSiCキャリア供給層14、アンドープSiC層13(スペーサ層)、GeドーブSiCチャンネル層14、アンドープSiC層13(スペーサ層)、NドーブSiCキャリア供給層15、アンドープSiC層13(バリア層)をCVD法で形成し、その上に、ゲート19、ソース18、ドレイン電極を配置したものである。

【実施例】

【0024】

実施例1(第1実施形態の炭化珪素半導体基板の製造、図1参照)

(1) SiC基板

基板としては、4H-SiC基板: ウェーハ表面結晶面方位(0001)8°オフ[11-20]を用いた。

【0025】

(2) バッファ層(SiC層)のCVD法による形成

CVD条件は次の通りである。

原料ガス: SiH₂Cl₂を13mL/min、C₂H₂を3.3mL/min、

ドーブ原料ガス: 15にした(C₂H₅)₄Ge中をArキャリアガスを10mL/minで流した、

キャリアガス: H₂を500mL/min

基板温度: 1450~1770 (*4H-SiCに限る)

得られた層の厚さは、50nmであった。

また、層中のゲルマニウムの量は0.6atm%であった。

【0026】

(3) 半導体素子層(SiCエピタキシャル層)のCVD法による形成

原料ガス: SiH₂Cl₂を13mL/min、C₂H₂を3.3mL/min、

キャリアガス: H₂を500mL/min

基板温度: 1450~1770 (*4H-SiCに限る)

得られた層の厚さは、4μmであった。

【0027】

評価

エッチピット計数

エッチングは、550のKOHに20分浸漬して行った。

計数は、光学顕微鏡(計数倍率は75mm×90mmの領域にピットが10²台観察できる倍率にした。)によった。

その結果、本基板のエッチピット計数は100cm⁻²以下であった。

【0028】

10

20

30

40

50

(比較例)

市販基板(4H-SiCウエーハ)上に上記(3)半導体素子層(SiCエピタキシャル層)のCVD法により直接エピタキシャル成長したもののエッチピット密度は 1000 cm^{-2} 以上であった。

【0029】

実施例2(第2実施形態の炭化珪素半導体基板の製造(図2参照))

実施例1において(2)と(3)の工程を3回繰り返した他は実施例1と同様にして、第2実施形態の炭化珪素半導体基板を得た。そして実施例1と同様に評価したところ、本基板のエッチピット計数は 50 cm^{-2} 以下であった。

【0030】

実施例3(第実施形態の炭化珪素半導体基板の製造(図3参照))

(1) 実施例2の基板において最後のエピタキシャルSiC成長時にp型になるように原料ガスに微量の $(\text{CH}_3)_3\text{Ga}$ ガスを添加して成長させたものである。

最後のエピタキシャルSiC層の成長条件、仕様等は実施例1の(3)と同じとした。

但し、Ga濃度は $6 \times 10^{19} / \text{cm}^3$ 。

(2) (1)の上にGe, NドープSiC層を成長する。n型になるように原料ガスに微量の N_2 ガスを添加して成長させた。(その他は実施例1の(2)と同じ)

但し、N濃度は $1 \times 10^{17} / \text{cm}^3$

(3) (2)の上にエピタキシャルSiCを成長させた。

方法は(1)と同様であった。但し、Gaの濃度は $3 \times 10^{20} / \text{cm}^3$

【0031】

実施例4 構成例4の半導体素子構造HBT(Hetero Bipolar Transistor)への適用例(図1(b))

(1) 実施例3の基板上にデバイス作成したい領域を開口するようにレジストをフォトリソ工程により作成する。

(2) ドライエッチングまたはウエットエッチングによりエミッタ電極部のSiC膜厚が所望膜厚になるまでエッチングする。

(3) ベース電極、コレクタ電極部分が開口するようにレジストをフォトリソ工程により作成する。

(4) ドライエッチングまたはウエットエッチングによりベース電極部のSiC膜厚が所望膜厚になるまでエッチングする。

(5) コレクタ電極部分が開口するようにレジストをフォトリソ工程により作成する。

(6) ドライエッチングまたはウエットエッチングによりコレクタ電極部のSiC膜厚が所望膜厚になるまでエッチングする。

(7) ベース電極、コレクタ電極、エミッタ電極部分が開口するようにレジストをフォトリソ工程により作成する。

(8) Niをスパッタ法あるいは電子ビーム蒸着法により蒸着する。

(9) 電極部以外のNi蒸着膜をアセトンでレジストを溶解させることで除去する。

(10) Arまたは H_2 雰囲気中で 1000°C に数分間加熱することで、ベース、エミッタ、コレクタ電極のオーミック特性を確保する。

(11) ベース電極、コレクタ電極の中心部と(周囲は開口)エミッタ電極を覆うようなパターン形状にフォトレジストを形成し、CVD法またはスパッタ法等で SiO_2 膜を形成し、フォトレジストを除去する。

(12) 引き出し配線を形成するようなパターン形状にフォトレジストを形成したのち、Niをスパッタ法や電子ビーム蒸着法を用いて蒸着する。

(13) フォトレジストをアッシング工程により除去する。

【0032】

実施例5 構成例5:半導体素子構造HEMT(High Electron Mobility Transistor)への適用例(図1(c)、図4)

10

20

30

40

50

(1) 実施例1と同様にSiC基板(半絶縁性)1上に、GeドープSiCバッファ層(欠陥低減目的)3、続けて、アンドープSiC層13、NドープSiCキャリア供給層15、アンドープSiC層(スペーサ層)13、GeドープSiCチャンネル層14、アンドープSiC層(スペーサ層)13、NドープSiCキャリア供給層15、アンドープSiC層(バリア層)13、NドープSiCコンタクト層16をCVD法で形成した(図4a)。

(2) CVD法またはスパッタ法等でエピタキシャル成長表面側にSiO₂膜を形成する。

(3) ソース及びドレイン電極を作成したい領域を開口するようにレジストをフォトリソ工程により作成する。

10

(4) ドライエッチングまたはウエットエッチングにより、SiO₂層を開口し、エッチングする。

(5) Ni(又は、Mosiなど)をスパッタ法あるいは電子ビーム蒸着法により蒸着する。

(6) リフトオフプロセスにて、アセトンなどのレジスト剥離機能を持った溶剤にて、下層のレジスト毎、ソース及びドレイン電極部以外のNi層を除去することで、ソース及びドレイン電極のパターニングを行う。

(7) ArまたはH₂雰囲気中で1000℃に数分間加熱することで、ソース及びドレイン電極のオーミック特性を確保する。

(8) (3)と同様に、ゲート電極部分が開口するようにレジストをフォトリソ工程により作成する。

20

(9) ドライエッチングまたはウエットエッチングによりゲート電極を形成したい領域のSiO₂をエッチングする。

(10) アッシング或いはレジスト剥離機能を持った溶剤にて、レジストを除去する。

(11) CVD法またはスパッタ法等でエピタキシャル成長表面側にSiO₂膜を形成し、(8)~(10)と同様の工程にて、ソース、ドレイン、ゲート電極を形成したい部分のSiO₂を開口し、レジストを除去する(図4b)。

(12) Ti/TiN/Al膜をスパッタ法あるいは電子ビーム蒸着法により蒸着する。

(13) フォトリソ工程により、ソース、ドレイン、ゲート電極を残すようにレジストを形成する(図4c)。

30

(14) (13)のレジストをエッチング用マスクとし、ドライエッチング又は、ウエットエッチングにより、Ti/TiN/Al膜20をエッチングすることで、ソース、ドレイン、ゲート電極を形成する。

(15) エッチング用マスクのレジストをアッシング工程或いはレジスト剥離液により除去する。

【0033】

実施例6 pnp型HBTの素子構造(図5)

製造工程は、実施例4と同様に行った。

実施例7 pnp型HBTの素子構造2(図6)

製造工程は、実施例4と同様、ただし、コレクタ電極を裏面に形成した。

40

これは、大きなコレクタ電極領域が確保できる為、素子面積あたりの電流量が確保でき、大電流用素子に有効であった。

実施例8 pnp型HBTの素子構造2(図7参照)

製造工程は、実施例4と同様にした。マルチチャンネル構造。

実施例9 npn型HBTの素子構造(図8)

エミッタに対し、禁制帯幅の小さいベース/コレクタを用いるエピタキシャルウエーハ構造をとる(図8)。

実施例4と同様の手法で、nnp型HBTの素子構造を実現した。

【産業上の利用可能性】

【0034】

50

本発明によれば、デバイスを作製する領域であるエピタキシャル層の欠陥が少ない炭化珪素半導体基板を得られ、上記欠陥のない半導体を得られる

【図面の簡単な説明】

【0035】

【図1】本発明の炭化珪素半導体基板の断面を示す図である。

【図2】本発明の炭化珪素半導体基板の断面を示す図である。

【図3】本発明の炭化珪素半導体基板の断面を示す図である。

【図4】本発明の炭化珪素半導体基板の断面を示す図である。

【図5】本発明の炭化珪素半導体を示す図である。

【図6】本発明の炭化珪素半導体基板の断面を示す図である。

10

【図7】本発明の炭化珪素半導体基板の断面を示す図である。

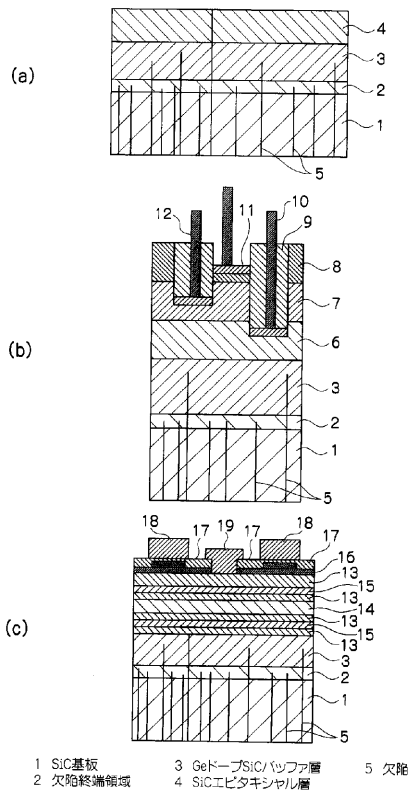
【図8】本発明の炭化珪素半導体基板の断面を示す図である。

【符号の説明】

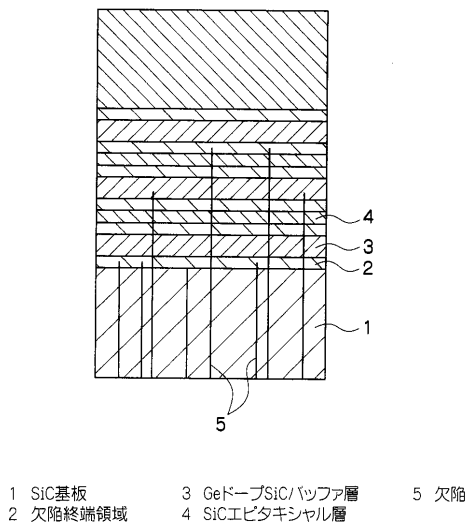
【0036】

- | | | |
|----|------------------|----|
| 1 | SiC基板 | |
| 2 | 欠陥終端領域 | |
| 3 | GeドープSiCバッファ層 | |
| 4 | SiCエピタキシャル層 | |
| 5 | 欠陥 | |
| 6 | AlドープSiC層 | 20 |
| 7 | Ge及びNドープSiC層 | |
| 8 | AlドープSiC層 | |
| 9 | SiO ₂ | |
| 10 | コレクタ電極 | |
| 11 | エミッタ電極 | |
| 12 | ベース電極 | |
| 13 | アンドープSiC層 | |
| 14 | GeドープSiCチャンネル層 | |
| 15 | NドープSiCキャリア供給層 | |
| 16 | NドープSiCコンタクト層 | 30 |
| 17 | SiO ₂ | |
| 18 | ソース電極 | |
| 19 | ゲート電極 | |
| 20 | Ti/TiN/Al | |
| 21 | レジスト | |
| 22 | GaドープSiC層 | |
| 23 | Ge及びNドープSiC層 | |
| 24 | GaドープSiC層 | |
| 25 | SiCエピタキシャルバッファ層 | |
| 26 | Ge及びNドープSiC層 | 40 |
| 27 | Ge及びAl(又はGa) | |
| 28 | NドープSiC層 | |

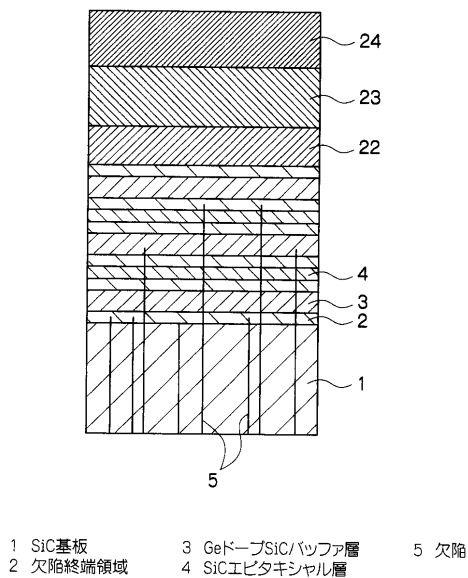
【 図 1 】



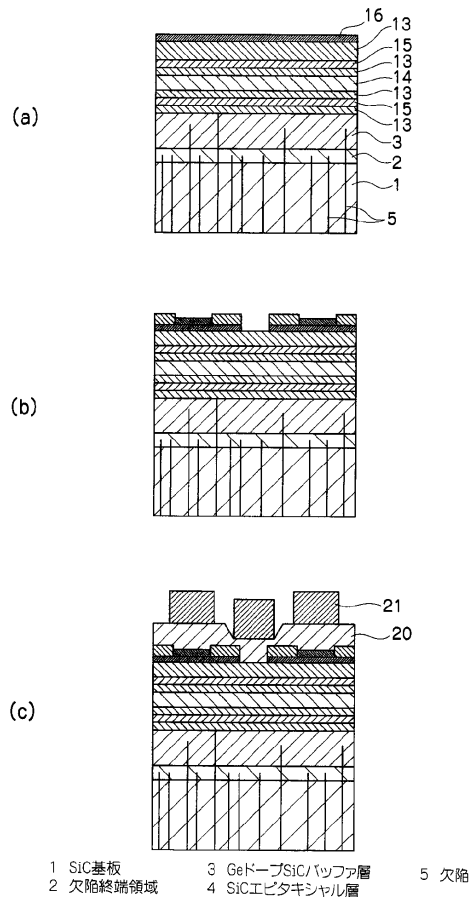
【 図 2 】



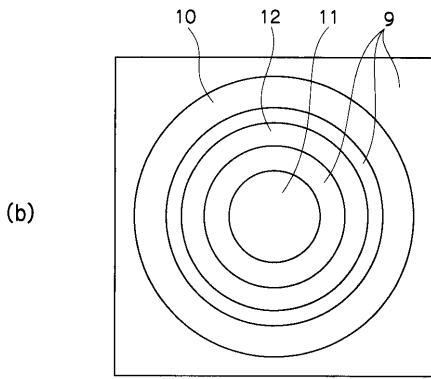
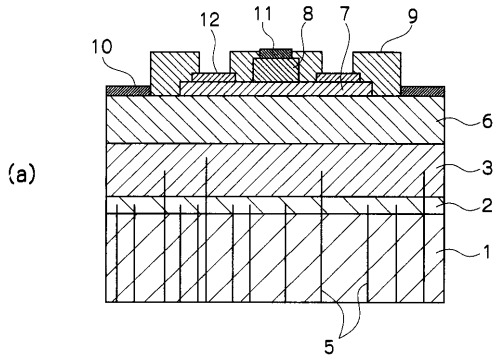
【 図 3 】



【 図 4 】

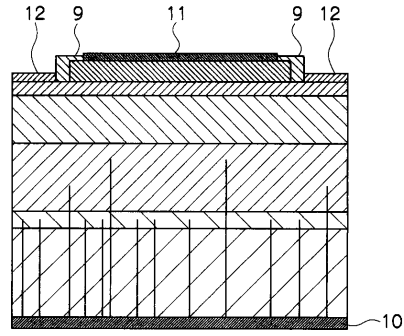


【 図 5 】



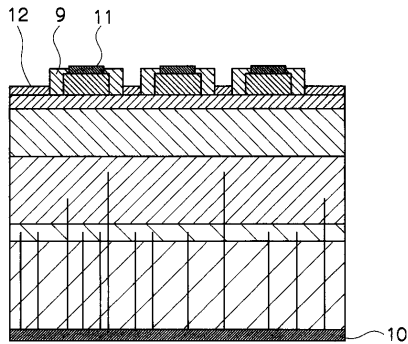
- 1 SiC基板
- 2 欠陥終端領域
- 3 GeドーブSiC/バッファ層
- 4 SiCエピタキシャル層
- 5 欠陥

【 図 6 】



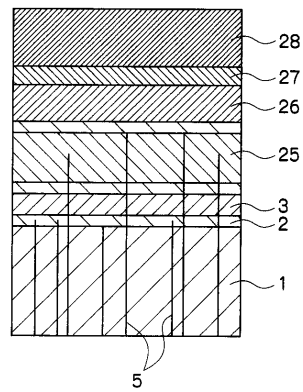
- 9 SiO₂
- 10 コレクタ電極
- 11 エミッタ電極
- 12 ベース電極

【 図 7 】



- 9 SiO₂
- 10 コレクタ電極
- 11 エミッタ電極
- 12 ベース電極

【 図 8 】



- 1 SiC基板
- 2 欠陥終端領域
- 3 GeドーブSiC/バッファ層
- 4 SiCエピタキシャル層
- 5 欠陥

フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H 0 1 L 29/737
H 0 1 L 29/778
H 0 1 L 29/812

(72)発明者 関 章憲
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(72)発明者 谷 由加里
愛知県名古屋市熱田区六野2丁目4番1号 財団法人ファインセラミックスセンター内

(72)発明者 柴田 典義
愛知県名古屋市熱田区六野2丁目4番1号 財団法人ファインセラミックスセンター内

Fターム(参考) 5F003 BH05 BM01 BP31 BP41
5F045 AA03 AB06 AC01 AC07 AC19 AD18 AF02 BB12 CA07 DA53
DA59
5F052 GC10 JA05 KA05
5F102 GB01 GC01 GD01 GJ01 GJ02 GK02 GL02 GM02 GN02 GQ03
GS02 GT03 HC01 HC11 HC15 HC21