



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I565064 B

(45)公告日：中華民國 106 (2017) 年 01 月 01 日

(21)申請案號：100137737

(22)申請日：中華民國 100 (2011) 年 10 月 18 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/06 (2006.01)

H01L27/06 (2006.01)

(30)優先權：2010/10/21 美國

12/909,033

(71)申請人：微協通用半導體有限責任公司(美國) VISHAY GENERAL SEMICONDUCTOR LLC
(US)

美國

(72)發明人：許志維 HSU, CHIH WEI (TW)；優卓亞 佛洛林 UDREA, FLORIN (GB)；林意茵
LIN, YIH YIN (TW)

(74)代理人：林志剛

(56)參考文獻：

US 6309929B1

US 2004/0108554A1

US 2009/0057756A1

審查人員：許智誠

申請專利範圍項數：18 項 圖式數：15 共 33 頁

(54)名稱

用於高壓應用的具有改良終止結構之溝渠 DMOS 裝置

TRENCH DMOS DEVICE WITH IMPROVED TERMINATION STRUCTURE FOR HIGH VOLTAGE APPLICATIONS

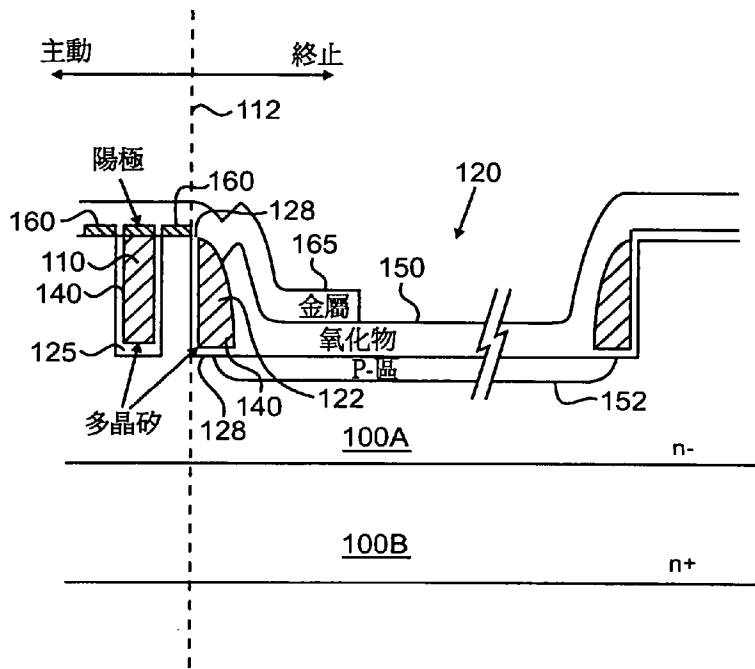
(57)摘要

一種用於功率電晶體的終止結構包括具有主動區及終止區的半導體基板。該基板具有第一型的導電性。終止溝渠係位於該終止區中且從該主動區的邊界延伸至該半導體基板之邊緣的某距離內。摻雜區具有第二型的導電性且被設置於該終止溝渠下方之基板中。MOS 閘極係形成於鄰接該邊界的側壁上。該摻雜區從與該邊界隔開的 MOS 閘極之一部分下方朝向該終止溝渠的遠端側壁延伸。終止結構氧化層係形成於該終止溝渠上且覆蓋該 MOS 閘極的一部分且延伸朝向該基板的該邊緣。第一導電層係形成於該半導體基板的背側表面上。第二導電層係形成於該主動區、該 MOS 閘極的暴露部分上方，且延伸以覆蓋該終止結構氧化層的至少一部分。

A termination structure for a power transistor includes a semiconductor substrate having an active region and a termination region. The substrate has a first type of conductivity. A termination trench is located in the termination region and extends from a boundary of the active region to within a certain distance of an edge of the semiconductor substrate. A doped region has a second type of conductivity disposed in the substrate below the termination trench. A MOS gate is formed on a sidewall adjacent the boundary. The doped region extends from below a portion of the MOS gate spaced apart from the boundary toward a remote sidewall of the termination trench. A termination structure oxide layer is formed on the termination trench and covers a portion of the MOS gate and extends toward the edge of the substrate. A first conductive layer is formed on a backside surface of the semiconductor substrate. A second conductive layer is formed atop

the active region, an exposed portion of the MOS gate, and extends to cover at least a portion of the termination structure oxide layer.

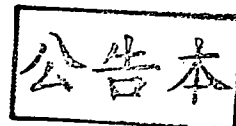
指定代表圖：



符號簡單說明：

- 100A . . . 第一層
- 100B . . . 半導體基板
- 110 . . . 溝渠
- 112 . . . 邊界
- 120 . . . 終止溝渠
- 122 . . . MOS 閘極
- 125 . . . 絕緣層
- 128 . . . 絕緣材料
- 140 . . . 導電材料
- 150 . . . 終止氧化層
- 152 . . . 摻雜區
- 160 . . . 金屬層
- 165 . . . 陽極金屬

第2圖



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100137737

Holl 29/08

※申請日：100 年 10 月 18 日

※IPC 分類：

Holl 29/06 2006.01

一、發明名稱：(中文/英文)

Holl 27/06 2006.01

用於高壓應用的具有改良終止結構之溝渠 DMOS 裝置

Trench DMOS device with improved termination structure for high voltage applications

二、中文發明摘要：

一種用於功率電晶體的終止結構包括具有主動區及終止區的半導體基板。該基板具有第一型的導電性。終止溝渠係位於該終止區中且從該主動區的邊界延伸至該半導體基板之邊緣的某距離內。摻雜區具有第二型的導電性且被設置於該終止溝渠下方之基板中。MOS 閘極係形成於鄰接該邊界的側壁上。該摻雜區從與該邊界隔開的 MOS 閘極之一部分下方朝向該終止溝渠的遠端側壁延伸。終止結構氧化層係形成於該終止溝渠上且覆蓋該 MOS 閘極的一部分且延伸朝向該基板的該邊緣。第一導電層係形成於該半導體基板的背側表面上。第二導電層係形成於該主動區、該 MOS 閘極的暴露部分上方，且延伸以覆蓋該終止結構氧化層的至少一部分。

三、英文發明摘要：

A termination structure for a power transistor includes a semiconductor substrate having an active region and a termination region. The substrate has a first type of conductivity. A termination trench is located in the termination region and extends from a boundary of the active region to within a certain distance of an edge of the semiconductor substrate. A doped region has a second type of conductivity disposed in the substrate below the termination trench. A MOS gate is formed on a sidewall adjacent the boundary. The doped region extends from below a portion of the MOS gate spaced apart from the boundary toward a remote sidewall of the termination trench. A termination structure oxide layer is formed on the termination trench and covers a portion of the MOS gate and extends toward the edge of the substrate. A first conductive layer is formed on a backside surface of the semiconductor substrate. A second conductive layer is formed atop the active region, an exposed portion of the MOS gate, and extends to cover at least a portion of the termination structure oxide layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

100A：第一層

100B：半導體基板

110：溝渠

112：邊界

120：終止溝渠

122：MOS閘極

125：絕緣層

128：絕緣材料

140：導電材料

150：終止氧化層

152：摻雜區

160：金屬層

165：陽極金屬

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

本申請案主張來自 2010 年 10 月 21 所申請之美國專利申請案第 12/909,033 號的優先權，其為 2010 年 3 月 16 日申請之名稱為「Trench DMOS Device with Improved Termination Structure for High Voltage Applications」的美國專利申請序號 12/724,771 之部分連續案，兩申請案全文以引用方式併入本文中。

【發明所屬之技術領域】

本發明一般關於一種半導體裝置，且較具體而言關於一種用於溝渠 MOS 裝置的終止結構。

【先前技術】

習知地，蕭基二極體包括重度摻雜的半導體基板，典型由單晶矽製成。稱作漂移區的第二層覆蓋該基板且為較不重度摻雜的層（具有與該基板相同之載子的導電型）。金屬層或較近代的金屬矽化物與輕度摻雜區形成蕭基接觸且形成二極體陽極。

在形成諸如蕭基二極體的單極組件時出現二個對立的限制。尤其，組件應展現盡可能低的導通狀態電阻（ R_{on} ）同時具有高崩潰電壓。最小化導通狀態電阻會迫使將較少摻雜層的厚度最小化且將此層的摻雜最大化。相反地，為了獲得高反向崩潰電壓，該較少摻雜層的摻雜必須被最小化且其厚度必須被最大化，同時避免產生其中等電位表

面被強烈彎曲的區域。

已經提供各種解決方案以排解這些對立限制，這導致溝渠 MOS 電容蕭基二極體結構的發展，其被稱作溝渠金氧半阻障蕭基（Trench MOS Barrier Schottky, TMBS）二極體。在此種結構的實例中，將導電區域（例如，重度摻雜的 N-型多晶矽區域）形成於比下層基板更不重度 N-型摻雜之厚漂移區的上部分中。絕緣層隔離該導電區域與該厚層。陽極層覆蓋整個結構，接觸已絕緣之導電區域的上表面且與輕度摻雜得半導體區形成蕭基接觸。

當反向偏壓時，已絕緣的導電區域造成漂移區的側向空乏，其修改了此層中的等電位表面之分佈。這致能了漂移區摻雜增加，且因而降低導通狀態電阻而沒有對反向崩潰電壓的不利影響。

第 1 圖為習知 TMBS 蕭基二極體或整流器的簡化、局部視圖。該二極體係從其上形成輕度摻雜的 N-型磊晶層 2 之重度摻雜的 N-型矽晶圓 1 所形成。將開口形成於此磊晶層中，該等開口可例如為溝渠形。將導電區 3 形成於該等開口中，該等導電區例如由摻雜的多晶矽所製成。將絕緣層 4 插置於各個導電區與對應開口（例如，溝渠）的壁之間。絕緣層 4 可例如藉由熱氧化加以形成，且開口可藉由共形沈積以多晶矽加以充填、接著是平面化步驟。在這以後，能夠形成矽化物 5 於單晶矽區之上以及矽化物 6 於多晶矽充填區域之上的金屬（例如，鎳）被沈積。一旦該矽化物已經形成，尚未與矽反應的金屬藉由選擇性蝕刻加

以移除。在這以後，將陽極金屬沈積 7 形成於上表面側上且將陰極金屬沈積 8 形成於下表面側上。

達成高電壓蕭基整流器的關鍵問題為其終止區的設計。如同任何電壓設計，終止區容易有較高電場，因為自身多晶胞保護的缺少以及曲率效應。結果，崩潰電壓典型地從其理想值顯著降低。為了避免此降低，應將終止區設計成降低在裝置的邊緣（接近主動區）處之電場擁擠。用以降低電場擁擠的習知方法包括具有矽的區域氧化（local oxidation of silicon, LOCOS）區之終止結構、場板、護環、溝渠及其各種組合。包括此種終止區之蕭基二極體的一個實例被顯示於美國專利第 6,396,090 中。

不幸地，對於高電壓應用而言，這些終止區的習知設計僅只具有有限的成功，因為在終止區表面的電場分佈仍然遠不夠理想。在同時，其他問題是因為從熱載子注入所產生的退化以及寄生電荷的堆積而產生。

【發明內容】

依據本發明的一個態樣，提供一種用於功率電晶體的終止結構。該終止結構包括具有主動區及終止區的半導體基板。該基板具有第一型的導電性。終止溝渠係位於該終止區中且從該主動區的邊界延伸至該半導體基板之邊緣的某距離內。摻雜區具有第二型的導電性且被設置於該終止溝渠下方之基板中。MOS 閘極係形成於鄰接該邊界的側壁上。該摻雜區從與該邊界隔開的 MOS 閘極之一部分下方

朝向該終止溝渠的遠端側壁延伸。終止結構氧化層係形成於該終止溝渠上且覆蓋該 MOS 閘極的一部分且延伸朝向該基板的該邊緣。第一導電層係形成於該半導體基板的背側表面上。第二導電層係形成於該主動區、該 MOS 閘極的暴露部分上方，且延伸以覆蓋該終止結構氧化層的至少一部分。

【實施方式】

如以下所詳述，提供一種終止結構，其降低前述問題。尤其，該裝置藉由降低在矽/介電質界面的正交電場分量（由於正是此界面增強了電荷被捕捉於介電質中的程度）來展現對於熱載子注入退化的較好抵抗力。由寄生電荷所造成的問題可藉由下列任一者來降低：（i）設計該終止結構使得電場可被「彈性地」分佈，這容許在寄生電荷存在下的電場移動而沒有增加該電場的峰值、或（ii）以浮動的導電板屏蔽該寄生電荷。

第 2 圖顯示 TMBS 蕭基二極體的主動及終止區之剖面圖。主動區包括以第一型導電性（例如，n+型）之摻雜劑重度摻雜的半導體基板 100B。第一層 100A 被形成於基板 100B 上且以第一型導電性（例如，n-型）的摻雜劑較輕度摻雜。將溝渠 110（僅一個被顯示）形成於第一層 100A 中。溝渠 110 以絕緣層 125 襯且以導電材料 140（諸如摻雜的多晶矽）加以充填。將金屬層 160 形成於導電材料 140 及第一層 100A 的暴露表面之上。將蕭基接觸形成在

金屬層 160 與第一層 100A 間的界面。將陽極金屬 165 形成於金屬層 160 之上。陰極電極（未顯示）位於半導體基板 100B 的背側上。

第 2 圖中所示之 TMBS 蕭基二極體的終止區包括終止溝渠 120，其從與主動區的邊界 112 延伸至離半導體基板 100B 之邊緣的某距離內。將 MOS 閘極 122 形成於鄰接與主動區之邊界 112 的終止區之側壁上。MOS 閘極 122 包括絕緣材料 128 及導電材料 140。絕緣材料 128 襯該側壁（MOS 閘極 122 抵靠該側壁而設置）及第一層 100A 鄰接該側壁的部分。導電材料 140 覆蓋絕緣材料 128。將終止氧化層 150 形成於終止溝渠中且從 MOS 閘極 122 延伸朝向該裝置的邊緣（但可在該邊緣前終止）。摻雜區 152 被形成於第一層 100A 中且以與第一層 100A 的導電性型相反之導電性型（例如，p-型）的摻雜劑加以摻雜。摻雜區 152 位於 MOS 閘極 122 的一部分及終止氧化層 150 下方。摻雜區 152 的邊緣可延伸至邊界 112 且圍繞 MOS 閘極 122 及 128 的角隅。位於主動區中的陽極金屬 165 延伸至該終止區中且覆蓋 MOS 閘極 122 及終止氧化層 150 的一部分以藉此界定一場板。

如果在終止結構中不採用摻雜區 152，高電場將仍然出現在高電壓時。這是因為所有反向偏壓在陽極與陰極電極間的有限空乏區內持續，且電場在主動區的邊緣快速上升，因為空乏區的增長由 n-型漂移層中的相對高的摻雜所限制。為了減輕電場被擁擠的程度，施加的反向偏壓需要

被下降跨越更大的空乏區。在同時，正交電場出現跨越半導體/氧化物界面（即，該電場分量垂直該半導體/氧化物界面）。此導致 HCI 進入該氧化物且因而導致崩潰電壓的長期退化。

摻雜區 152 降低此問題，因為其在反向偏壓下完全空乏且幫助促進空乏區，有效擴大該空乏區的寬度且因而降低接近該裝置之主動區的電場峰值。相較於不包括摻雜區 152 的終止結構，第 2 圖中所示的裝置具有之崩潰電壓高達理想崩潰電壓（即，主動區單獨的崩潰電壓）的 95%。將此結果顯示於第 3 圖中，其顯示在具有及不具有摻雜區 152 時漏電流對反向偏壓的依存性。

此外，第 2 圖中所示的終止結構幫助降低主動區中的電場（尤其，較靠近終止區的晶胞中的電場）。將此顯示於第 4 圖中，其顯示在具有及不具有摻雜區 152 時沿該裝置的不同位置處之電場。此電場的降低會出現是因為摻雜區 152 有助於促進該電場進一步進入主體，藉此降低它在溝渠表面上的存在。

第 2 圖中所示的終止結構也被預期在其對 HCI 退化的抵抗力方面比習知結構具有更好的可靠性。這從第 5 圖顯而易見，其顯示沿 y 軸的電場（具有及不具有摻雜區 152），其提供用以注入載子至氧化層中的動量。為了降低 HCI，沿 y 軸的電場應盡可能小。終止結構顯著降低此主動區及 MOS 閘極 122 中的電場，其對習知結構中的 HCI 最為敏感。

可被採用以形成第 2 圖的 TMBS 蕭基二極體之方法的一個實例將參照第 6 至 11 圖加以描述。在此實例中，蕭基二極體及其終止結構被同時形成，儘管這不需要總是如此。

第 6 圖為半導體基板 100 的剖面圖，該半導體基板包括具有第一型導電性（例如，n-型）的摻雜劑之第一層 100A 及以該第一型導電性（例如，n+型）較重度摻雜的基底基板 100B。藉由例如化學氣相沈積（CVD）將氧化層 101 形成於第一基板 100A 上至約 2000 至 10,000 埃的厚度。其次，將光阻（未顯示）塗佈於氧化物層 101 上以界定主動區中的複數個第一溝渠 110 以及終止區中的第二溝渠 120。溝渠 110 藉由台面 115 加以互相隔開。在一個實例中，第一溝渠 110 各者為寬度約 0.2 至 2.0 微米。第二溝渠 120 形成為從該主動區的邊緣延伸至半導體基板 100（或晶粒）之邊緣的某距離內且界定該終止區。將台面 180 界定於最遠離主動區之第二溝渠 120 的邊緣與基板 100 的邊緣之間。

第 7 圖中，諸如 TEOS 層 112 的介電層被沈積於整個結構之上且在第 8 圖中被回蝕，使得其從溝渠 120 移除（除了抵靠溝渠 120 的各側壁而設置的間隔物 114 以外）。接著將諸如硼的 p-型摻雜劑植入第一層 100A 中以形成摻雜區 152。

參照第 9 圖，在氧化層 101 及 TEOS 間隔物 114 的移除以後，實施高溫氧化程序以形成閘極氧化層 125。將閘

極氧化層 125 (其在一些實例中具有介於約 150 埃與 3000 埃的厚度) 形成於第一及第二溝渠 110、120 的側壁 110A、120A 與底部 110B、120B 上以及台面 115 的表面上。代替氧化程序，閘極氧化層 125 可藉由高溫沈積以形成 HTO (高溫氧化物沈積) 層來加以形成。

其次，第一導電層 140 藉由 CVD 形成於閘極氧化物 125 上且充填第一溝渠 110 及第二溝渠 120。第一導電層 140 具有的厚度使得其延伸於台面 115 之上。第一導電層 140 可為任何合適材料，諸如金屬、摻雜的多晶矽、或摻雜的非晶矽。第一導電層 140 可具有約 0.5 至 3.0 微米的厚度。為了防止孔洞形成於第一溝渠 110 的內部部分，第一導電層 140 可為 LPCVD (低壓 CVD) 程序所形成的多晶矽，該程序具有良好的階梯覆蓋。然而，在一些情況中，非晶矽可能比多晶矽更能夠消除孔洞。為了使該非晶矽導電，再結晶程序可被採用。

現在參照第 10 圖，實施各向異性蝕刻以移除過量的第一導電層 140。此蝕刻程序以後，將來自導電材料之間隔物狀的 MOS 閘極 122 形成於氧化層 125，襯第二溝渠 120 的側壁 120A。在一些實例中，間隔物狀的 MOS 閘極 122 具有的寬度 (沿著所示的剖面圖) 約等於第二溝渠 120 的高度。

其次藉由使用蝕刻程序將介電層 150 形成於終止區中的第一層 100A 之上。介電層 150 可為例如 TEOS 層，諸如 LPTEOS 或 PETEOS 層或 O₃-TEOS 或 HTO 層。在一些

實例中，介電層 150 的厚度可介於約 0.2 至 1.0 微米。介電層 150 部份覆蓋 MOS 閘極 122。

其次，在第 11 圖中，實施濺鍍或其他合適程序以沈積第二導電層 160 以便形成蕭基接觸區 115A 於台面 115 上。第二導電層 160 可從任何可以與下層的第一層 100A 形成蕭基二極體的材料形成。例如，第二導電層 160 可為金屬矽化層。在蕭基接觸的形成以後，將導電層 160 移除。

本方法繼續沈積且蝕刻一導體以形成二極體陽極電極 165，其可與導電層 160 共存。同樣地，將陰極電極 170 形成於基板 100B 的背側上。

第 12 圖顯示本發明的替代實施例，其類似於第 2 圖中所示的實施例，除了在第 12 圖中一或更多個額外的分段金屬區 167 位於終止溝渠 120 中的介電層 150 上以外。將分段金屬區 167 用來增強反向偏壓的調節且因而幫助降低接近主動區的電場。可藉由額外的蝕刻步驟來形成分段金屬區 167 以及陽極電極 165。第 13 圖顯示第 2 圖中及第 12 圖中所示之實施例的崩潰電壓性能。明確地，第 12 圖的實施例具有較高的崩潰電壓（理想值的 97%）。第 12 圖實施例的優越崩潰電壓可能歸因於主動晶胞及陽極末端中略低的電場，如第 14 圖的電場數據圖中所示。

實例

藉由例示，各種結構尺寸及參數將針對本發明的一個

特定實施例來加以指定。在此實施例中，終止溝渠 120 具有範圍從 10 至 200 微米的寬度且具有可能與主動區中的溝渠 110 之深度相同或不同的深度。取決於特定設計及想要的裝置特性（例如，電壓性能、速度、漏電流），終止溝渠 120 的深度範圍從 1 至 15 微米。位於終止溝渠 120 中的介電層 150 可為具有的厚度介於約 1500 至 15,000 埃之二氧化矽層，取決於所需要的阻斷電壓及材料的組成。

由導電層 160 及 165 延伸至終止區中所界定的場板可具有在終止溝渠 120 中介於約 4 及 45 微米的長度。摻雜區 152 可藉由離子植入來形成且藉由熱程序被驅使進入該層 100A。植入劑量可在約 1×10^{11} atoms/cm² 至 1×10^{13} atoms/cm² 之間。摻雜劑可為硼、BF₂、或另一第 III 族元素。

如果第 12 圖中所示之分段金屬區 167 的一或更多者被採用，它們可能各具有大於約 0.4 微米的寬度，而它們之間的時間隔介於約 0.3 及 50 微米。

應注意到的是，以上描述的終止結構可針對 TMBS 蕭基以外的裝置加以使用，其僅以例示方式加以呈現。例如，可將終止結構應用至任何功率電晶體，諸如雙擴散金氧半導體場效電晶體（DMOSFET）、絕緣閘極雙極電晶體（IGBT）及其他溝渠 MOS 裝置。

將另外的實施例顯示於第 15 圖中，其顯示可能有多個終止溝渠 120（此處三個）。各個終止溝渠 120 的溝渠寬度（tw1、tw2、tw3）可為相同或不同。類似地，台面

寬度 ($mw1$ 、 $mw2$) 可為互相相同或不同。陽極金屬可終止於第一溝渠中，或終止區中的任何位置。類似於第 12 圖中所示的實施例，可將陽極金屬分段以增強崩潰性能。

【圖式簡單說明】

第 1 圖為習知 TMBS 蕭基二極體或整流器的簡化、局部視圖。

第 2 圖顯示了依據本發明所建構之 TMBS 蕭基二極體的主動及終止區之剖面圖。

第 3 圖顯示在具有及不具有摻雜區時針對第 2 圖的裝置之漏電流對反向偏壓的依存性。

第 4 圖顯示在具有及不具有摻雜區時沿第 2 圖裝置的 A-A' 線之不同位置處的電場。

第 5 圖顯示在具有及不具有摻雜區時第 2 圖裝置的電場之 y 軸向量分量。

第 6 至 11 圖示出可被採用以製造第 2 圖的裝置之程序步驟的一個實例。

第 12 圖顯示了依據本發明另一實施例所建構的 TMBS 蕭基二極體之主動及終止區的剖面圖。

第 13 圖顯示第 2 圖及第 12 圖之裝置的漏電流對反向偏壓之依存性。

第 14 圖顯示在沿第 2 圖及第 12 圖裝置之不同位置的電場。

第 15 圖顯示了依據本發明所建構之 TMBS 蕭基二極

體的替代實施例。

【主要元件符號說明】

- 1：重度摻雜的 N-型矽晶圓
- 2：輕度摻雜的 N-型磊晶層
- 3：導電區
- 4：絕緣層
- 5：矽化物
- 6：矽化物
- 7：陽極金屬沈積
- 8：陰極金屬沈積
- 100A：第一層
- 100B：半導體基板
- 101：氧化層
- 110：溝渠
- 110A：側壁
- 110B：底部
- 112：邊界
- 114：間隔物
- 115：台面
- 115A：蕭基接觸區
- 120：終止溝渠
- 120A：側壁
- 120B：底部

- 122 : MOS 閘極
- 125 : 絕緣層
- 128 : 絕緣材料
- 140 : 導電材料
- 150 : 終止氧化層
- 152 : 摻雜區
- 160 : 金屬層
- 165 : 陽極金屬
- 167 : 分段金屬區
- 170 : 陰極電極
- 180 : 台面

103年10月3日修正本

七、申請專利範圍：

1. 一種用於功率電晶體的終止結構，該終止結構包含：

具有主動區及終止區的半導體基板，該基板具有第一型的導電性；

位於該終止區中且從該主動區的邊界延伸至該半導體基板之邊緣的某距離內之終止溝渠，其中一表面被界定於該終止溝渠的該邊緣與該基板的該邊緣之間；

具有第二型的導電性且被設置於該終止溝渠下方之基板中的摻雜區；

被形成於鄰接該邊界的側壁上之 MOS 閘極，其中該摻雜區從與該邊界隔開的該 MOS 閘極之一部分下方朝向該終止溝渠的遠端側壁延伸；

被形成於該終止溝渠上、覆蓋該 MOS 閘極的一部分且延伸朝向該基板的該邊緣之終止結構氧化層，該終止結構氧化層與該摻雜區彼此接觸並在其間界定一介面；

被形成於該半導體基板的背側表面上的第一導電層；
及

被形成於該主動區、該 MOS 閘極的暴露部分上方、且延伸以覆蓋該終止結構氧化層的至少一部分之第二導電層。

2. 如申請專利範圍第 1 項之終止結構，進一步包含互相隔開且被形成於該半導體基板的主動區中之複數個溝渠 MOS 裝置。

3. 如申請專利範圍第 1 項之終止結構，其中該 MOS 閘極包含導電層及被形成於該終止溝渠的底部與該導電層間的閘極氧化層。

4. 如申請專利範圍第 1 項之終止結構，其中該溝渠 MOS 裝置為蕭基二極體。

5. 如申請專利範圍第 4 項之終止結構，其中該蕭基二極體為包括該基板的主動區中的至少一個溝渠之 TMBS 蕭基二極體。

6. 如申請專利範圍第 1 項之終止結構，其中該功率電晶體為選自下列組成之群組的裝置：蕭基二極體、DMOS、及 IGBT。

7. 如申請專利範圍第 1 項之終止結構，進一步包含位於該終止結構氧化層上且與該第二導電層隔開的一或更多個分段金屬區。

8. 如申請專利範圍第 1 項之終止結構，其中該摻雜區係藉由植入或擴散來加以形成。

9. 如申請專利範圍第 1 項之終止結構，其中該摻雜區係藉由以介於約 1×10^{11} atoms/cm² 至 1×10^{13} atoms/cm² 的植入劑量植入來加以形成。

10. 一種蕭基二極體，包含：

半導體基板，具有互相隔開且被形成於該半導體基板的主動區中之複數個溝渠 MOS 裝置，該基板具有第一型的導電性；

位於終止區中且從該主動區的邊界延伸至該半導體基

板之邊緣的某距離內之終止溝渠，其中一表面被界定於該終止溝渠的該邊緣與該基板的該邊緣之間；

具有第二型的導電性且被設置於該終止溝渠下方之基板中的摻雜區；

被形成於鄰接該邊界的側壁上之 MOS 閘極，其中該摻雜區從與該邊界隔開的 MOS 閘極之一部分下方朝向該終止溝渠的遠端側壁延伸；

被形成於該終止溝渠上、覆蓋該 MOS 閘極的一部分且延伸朝向該基板的該邊緣之終止結構氧化層，該終止結構氧化層與該摻雜區彼此接觸並在其間界定一介面；

被形成於該半導體基板的背側表面上的第一導電層；

被形成於該主動區上方以界定一或更多個與位於該等溝渠 MOS 裝置的相鄰者間之一或更多部分的該基板之蕭基阻障的第二導電層；及

延伸於該 MOS 閘極的暴露部分及該終止結構氧化層的至少一部分之上的場板。

11. 如申請專利範圍第 10 項之蕭基二極體，其中該場板包括進入該終止溝渠中或於該終止溝渠之上的該第二導電層延伸物。

12. 如申請專利範圍第 10 項之蕭基二極體，其中該半導體基板包含第一層及基底基板，且該第一層具有輕度摻雜之第一型的導電雜質且該基底基板具有重度摻雜之該第一型的導電雜質。

13. 如申請專利範圍第 12 項之蕭基二極體，其中該

等溝渠 MOS 裝置及該終止溝渠係形成於具有介於約 1 至 15 微米之深度的該第一層中。

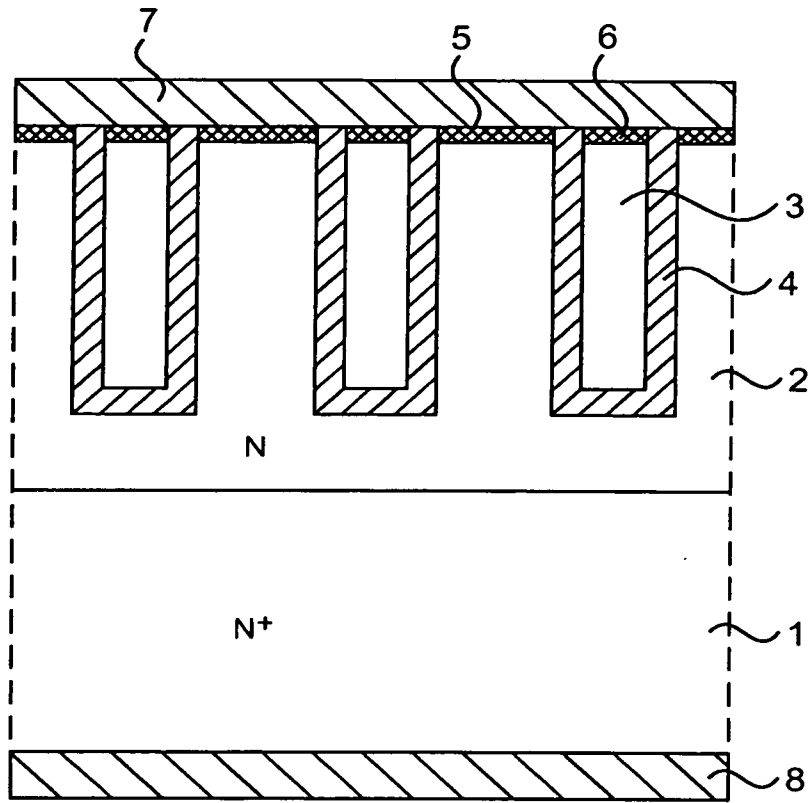
14. 如申請專利範圍第 13 項之蕭基二極體，其中該終止溝渠具有介於約 10 至 200 微米的寬度。

15. 如申請專利範圍第 10 項之蕭基二極體，其中該終止溝渠係形成為從該主動區的該邊界延伸至該半導體基板之邊緣的某距離內，使得該終止溝渠具有至少一個側壁。

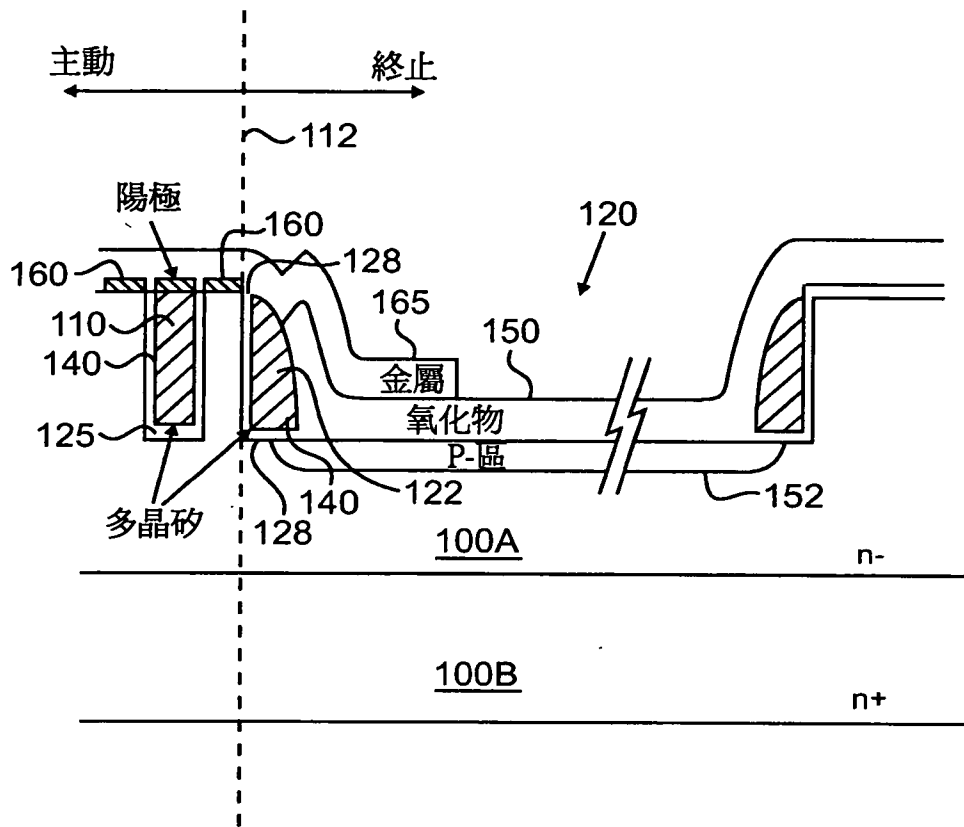
16. 如申請專利範圍第 10 項之蕭基二極體，其中該等溝渠 MOS 裝置及該 MOS 閘極包括選自下列組成之群組的材料：金屬、多晶矽、及非晶矽。

17. 如申請專利範圍第 10 項之蕭基二極體，進一步包含位於該終止結構氧化層上且與該場板隔開的一或更多個分段金屬區。

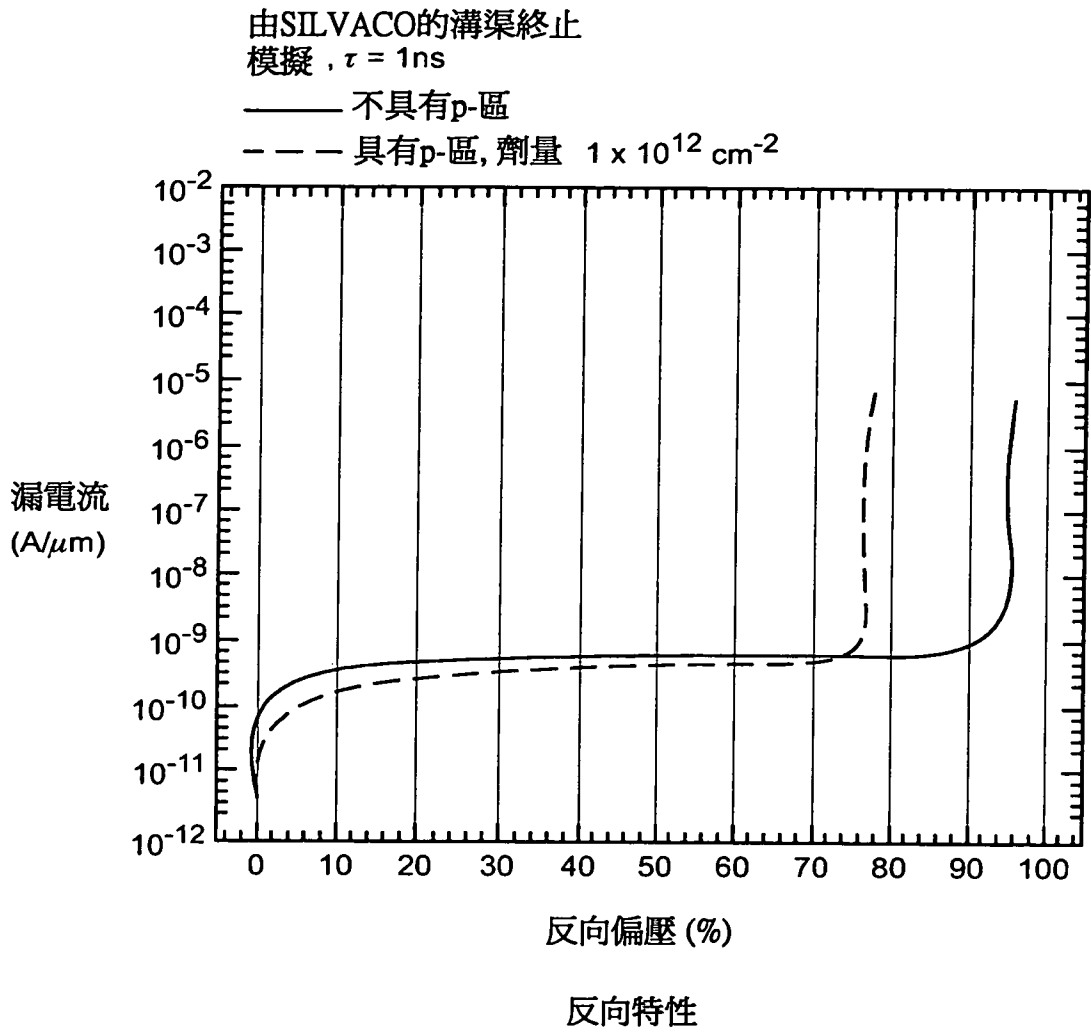
18. 如申請專利範圍第 17 項之蕭基二極體，進一步包含互相隔開介於約 0.3 至 50 微米的至少二個分段金屬區。



第1圖



第2圖



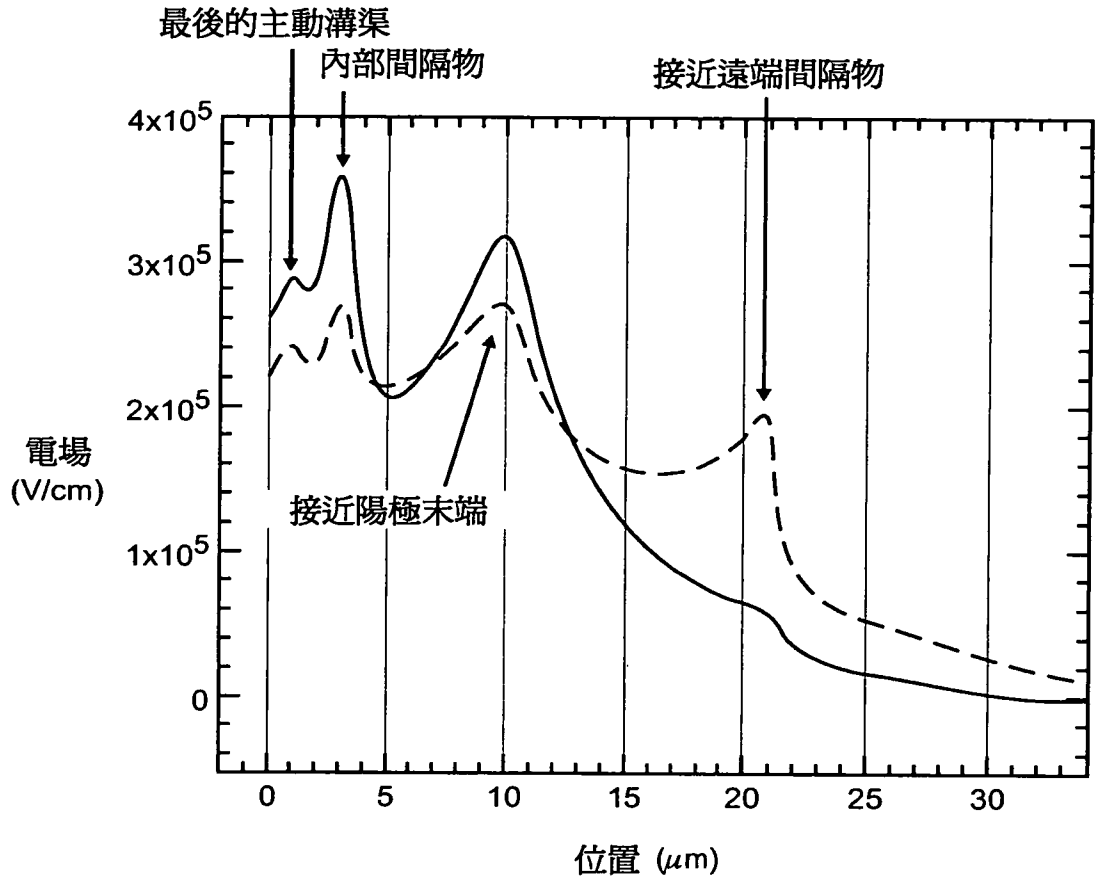
第3圖

溝渠終止模擬

$\tau = 1\text{ns}$, $V_R = 280\text{V}$

—— 不具有p-區

--- 具有p-區, 劑量 $1 \times 10^{12} \text{cm}^{-2}$



電場數據圖

第4圖

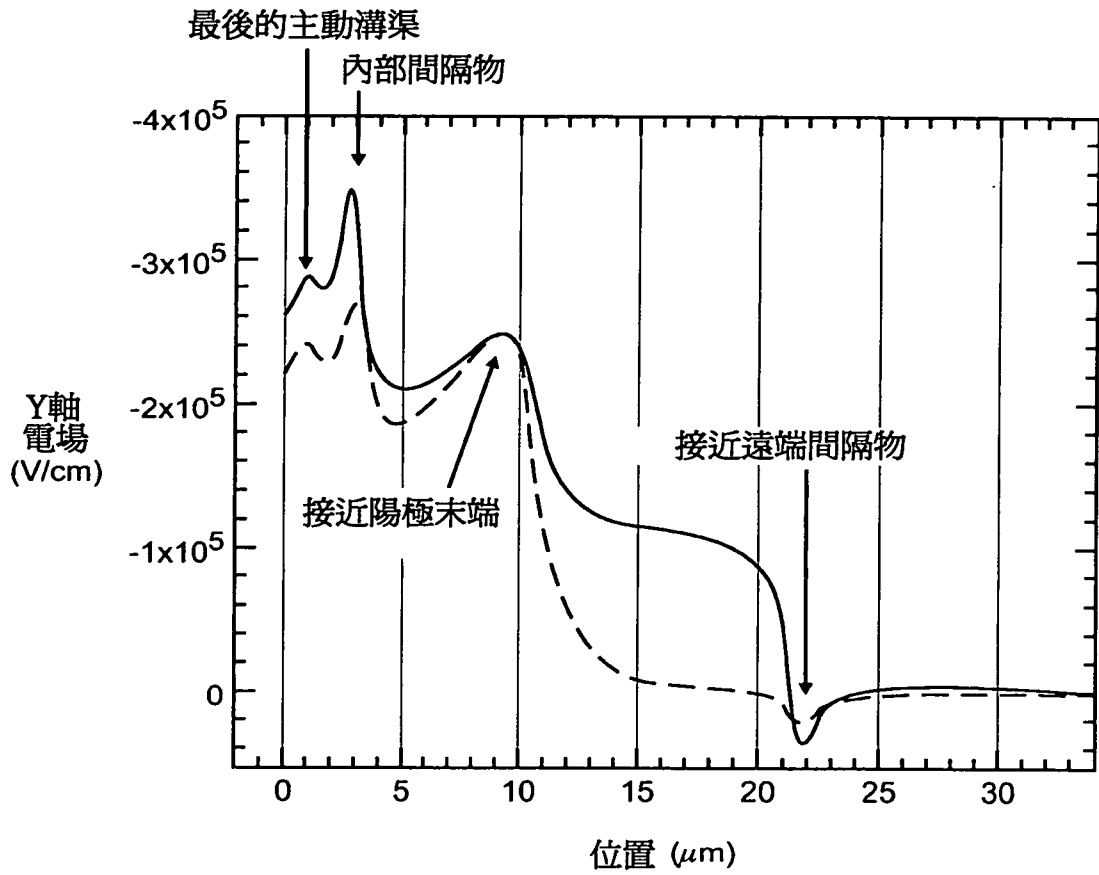
103年4月21日修正替換頁

溝渠終止模擬

$\tau = 1\text{ns}$, $V_R = 280\text{V}$

—— 不具有p-區

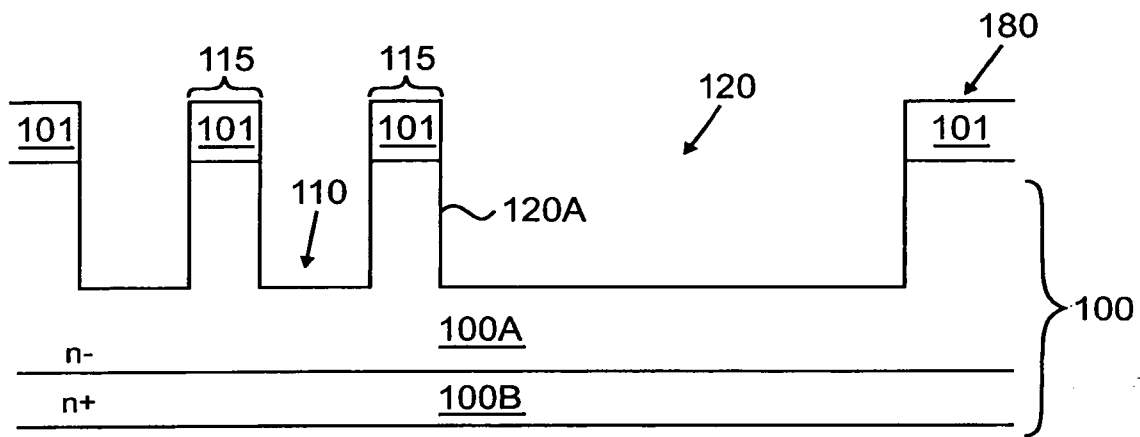
- - - 具有p-區, 劑量 $1 \times 10^{12} \text{cm}^{-2}$



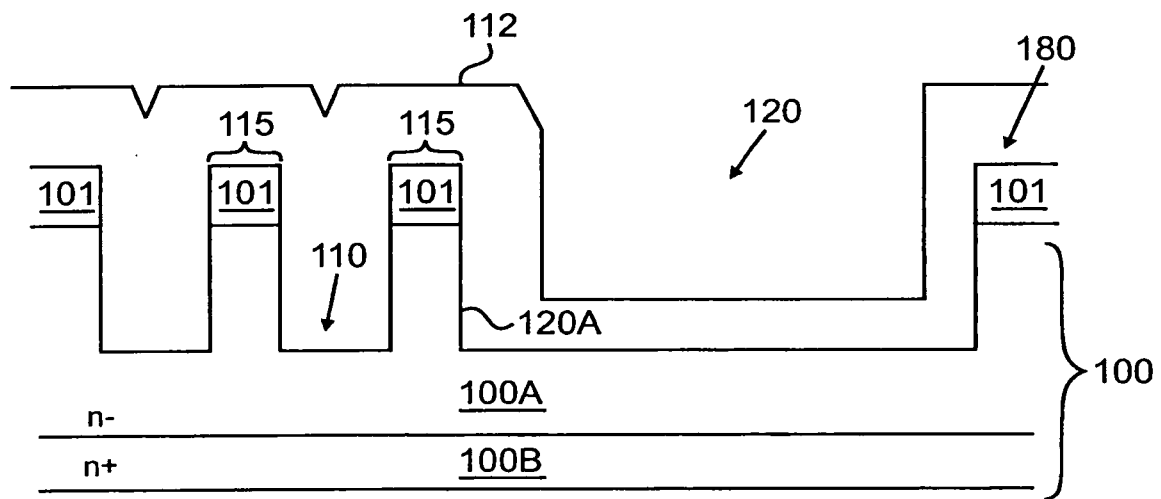
Y軸電場數據圖

第5圖

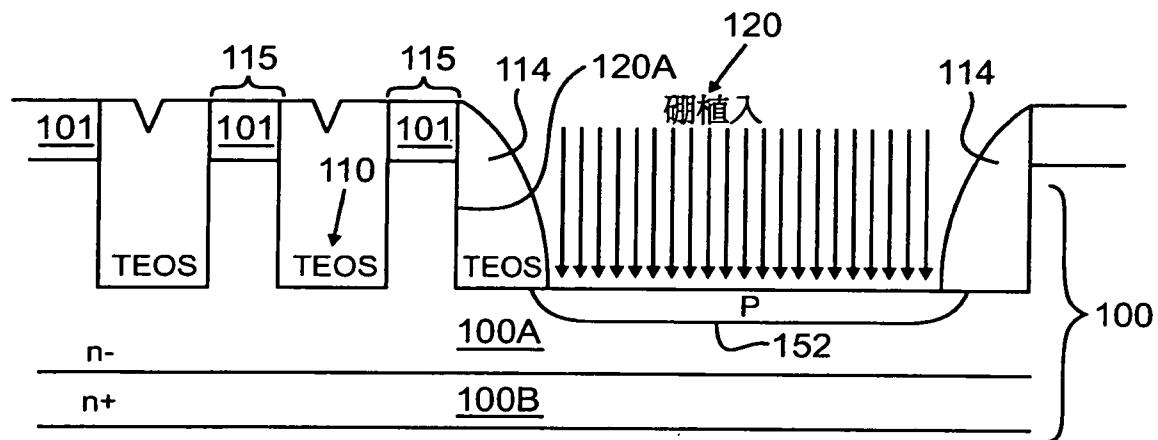
10年4月2日修正替換頁



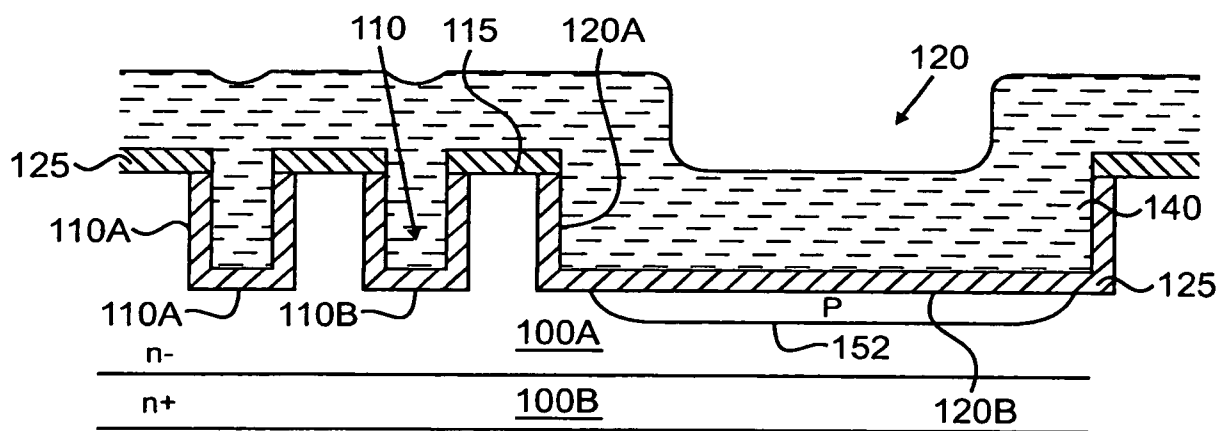
第6圖



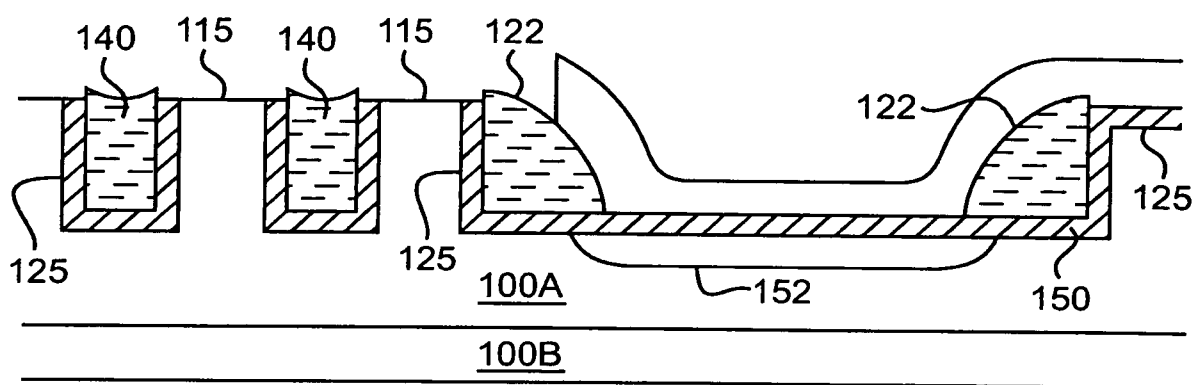
第7圖



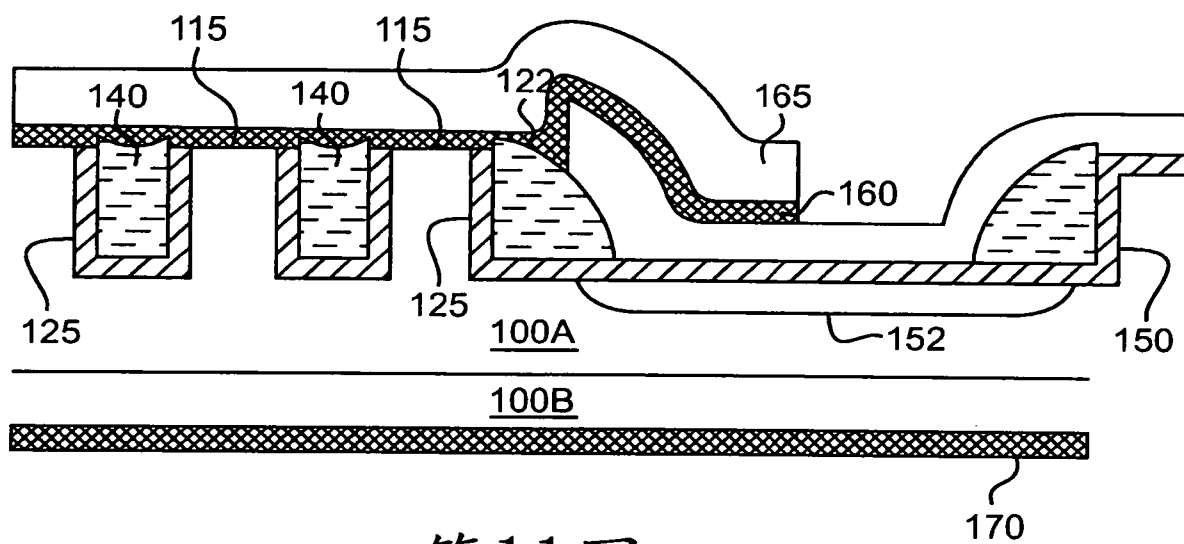
第8圖



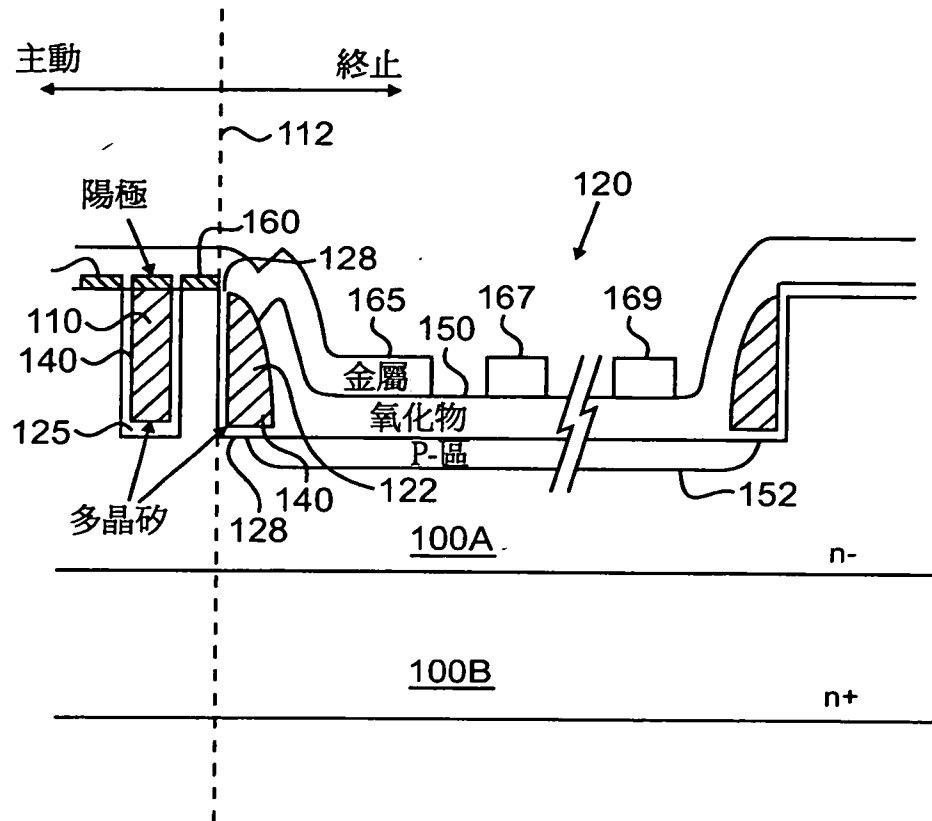
第9圖



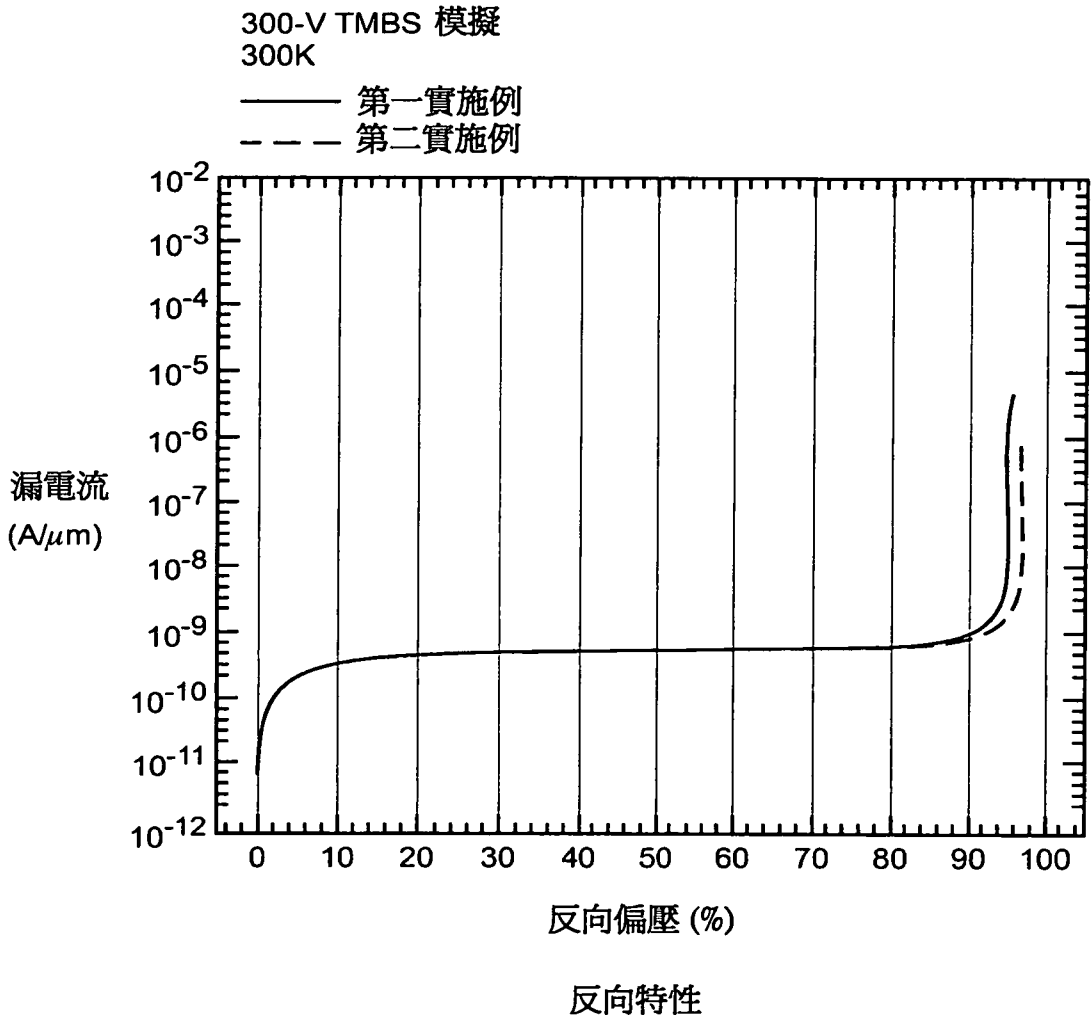
第10圖



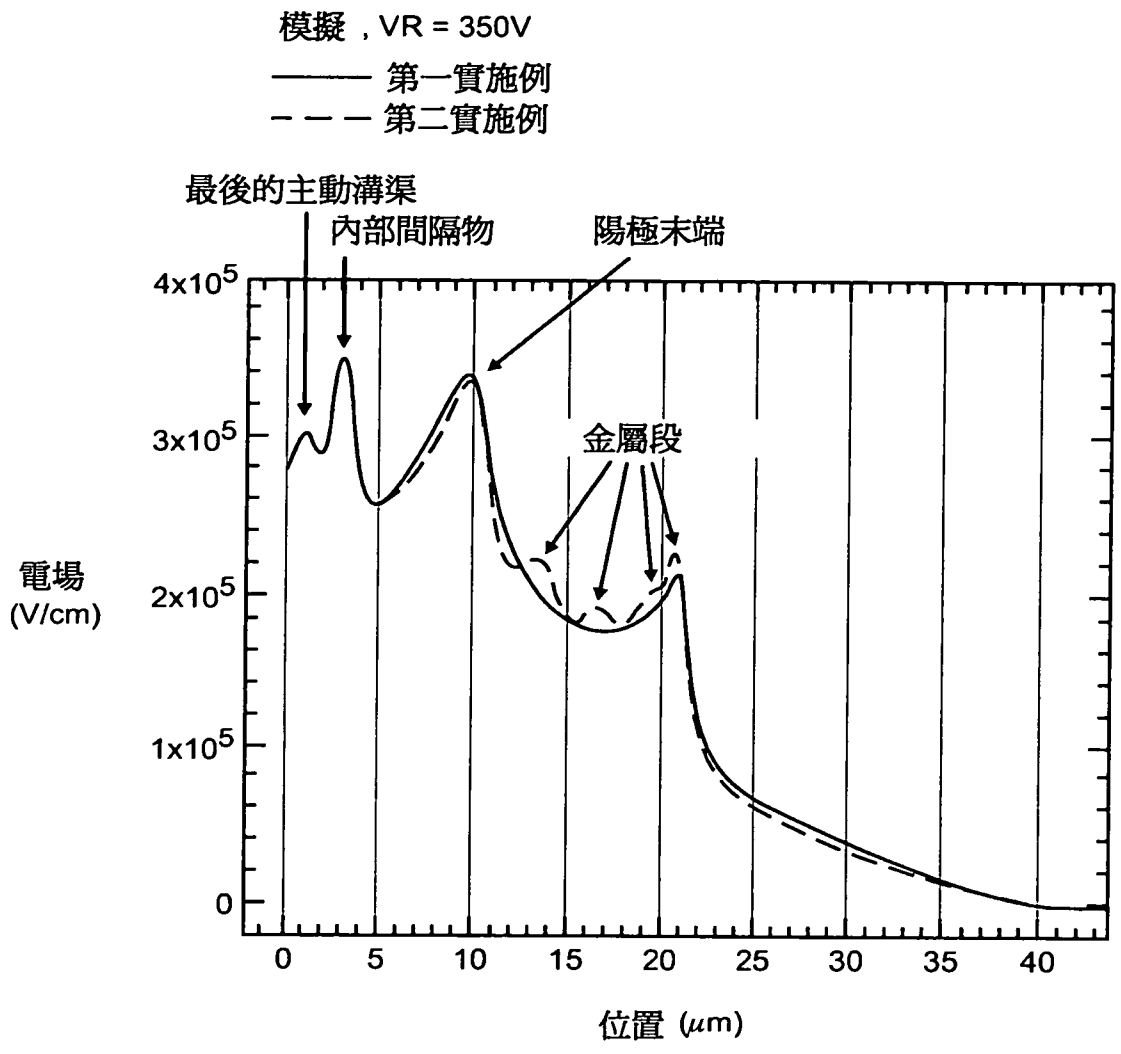
第11圖



第12圖

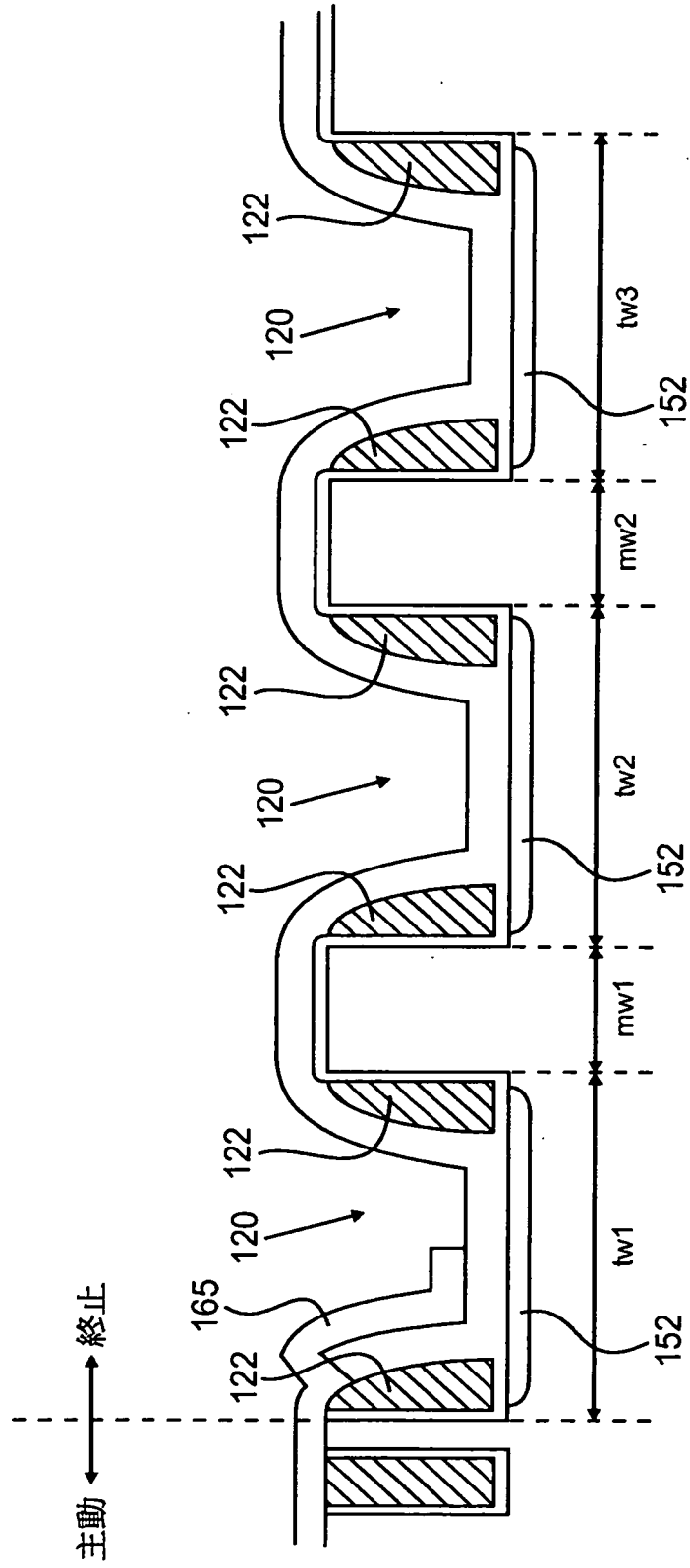


第13圖



電場數據圖

第14圖



第15圖