

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004年03月30日；特願2004-097607（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於驅動電路，特別是關於用以驅動發光元件的驅動電路。

【先前技術】

以往，液晶顯示面板之背光係使用白色發光二極體(以下，稱之為白色 LED)。該白色 LED 具有 3.2V~3.8V 之 VF(順向閾值電壓)，因此為使白色 LED 發光，必須在白色 LED 之陽極陰極間施加該 VF 程度之電壓。但是，白色 LED 之驅動電路的動作電源電壓的規格，係要求必須在例如 2.7V~5.5V 之電源電壓範圍內，因此當電源電壓 Vdd 低於某一程度時必須使電源電壓 Vdd 升壓至 1.5 倍才供給至白色 LED。

第 6 圖係用以驅動上述白色 LED 之驅動電路的電路圖。在第 6 圖中，係對白色 LED 50 之陽極供給來自 1.5Vdd 產生電路 60 之 1.5Vdd 的升壓電壓，且經由驅動電晶體 70 對白色 LED 50 之陰極施加接地電壓 Vss(0V)。1.5Vdd 產生電路 60，係從電源電壓 Vdd 產生 1.5Vdd 之電路。該 1.5Vdd 產生電路 60 係揭示於專利文獻 1 中。

〔專利文獻 1〕日本特開 2001-231249 號公報

【發明內容】

〔發明所欲解決之課題〕

但是，在 1.5Vdd 產生電路 60 中，由於電路構成上的限制而大量使用 P 通道型 MOS 電晶體，而產生了驅動電路之圖案面積變大的問題。

[解決課題之手段]

因此，本發明之驅動電路的特徵在於：設置產生與正的電源電壓 V_{dd} 對應之負的電壓之負電壓產生電路，而對發光元件之陽極施加正的電源電壓，且經由驅動電晶體對發光元件之陰極施加負的電壓。

此外，在上述構成中，負的電壓為 $-0.5V_{dd}$ 。

另外，在上述構成中，前述負電壓產生電路，係具備有：施加有接地電壓之第 1 開關 (switching) 元件；與該第 1 開關元件串聯連接之第 2 開關元件；於一方之端子供給時脈的第 1 電容器；一方之端子連接在前述第 1 開關元件與前述第 2 開關元件之連接點的第 2 電容器；連接在前述第 2 電容器之另一方的端子與接地電壓之間的第 3 開關元件；連接在前述第 1 電容器之另一方的端子與前述第 2 電容器之另一方的端子之間的第 4 開關元件；以及與前述第 1 電容器之另一方的端子及前述第 2 開關元件之輸出端子連接的第 5 開關元件，其中前述時脈為第 1 電壓位準時，使前述第 1、第 4 開關元件導通 (ON) 而使前述第 1 及第 2 電容器經由前述第 1 開關元件而串聯連接在前述第 1 電壓位準與接地電壓之間而充電，而在前述時脈為第 2 電壓位準時，則使前述第 5 開關元件導通 (ON) 而使前述第 1 電容器連接在接地電壓與前述輸出端子之間而放電，並且使前述第 2 及第 3 開關元件導通 (ON) 而使前述第 2 電容器經由前述第 2 開關元件而連接在接地電壓與前述輸出端子之間而放電，且至少前述第 1、第 2、第 3 及第 5 開關元件係以

N 通道型 MOS 電晶體構成。

〔發明之效果〕

根據本發明，係取代以往之正電壓升壓電路，而使用負電壓產生電路來作為發光元件之電源，因此會大量使用 N 通道型 MOS 電晶體，結果可較正電壓升壓電路更縮小 MOS 電晶體之圖案面積。因此，驅動電路之圖案面積可縮小該 MOS 電晶體之圖案面積縮小的量。此外，由於 MOS 電晶體之圖案面積的縮小，因此附隨該圖案面積而生之寄生電容也會降低，消耗電流也會降低該寄生電容降低的量，而可提升驅動電路之效率。

【實施方式】

接著，參照圖面說明本發明之實施形態。第 1 圖為本實施形態之驅動電路的電路圖。對電壓隨耦器(voltage follower)用之運算放大器 10 的正輸入端子(+)施加電壓 V_{set} ，運算放大器 10 的輸出被施加至 N 通道型 MOS 電晶體 M30 之閘極，運算放大器 10 的負輸入端子(-)則與 N 通道型 MOS 電晶體 M30 的源極連接。MOS 電晶體 M30 的源極並與端子 20 連接，而在端子 20 與接地電壓 V_{ss} 之間則連接外加電阻 R1。因此，端子 20 的電壓 V_x 係經運算放大器 10 控制成與電壓 V_{set} 相等，其結果，將在外加電阻 R1 產生電流 $I(=V_{set}/R1)$ 。此電流 I，係流經構成第 1 電流鏡電路之 1 對 P 通道型電晶體 M31、M32(電流比 1:m)。

接著，該電流 mI 被輸入從第 1 電流鏡電路折返之第 2 電流鏡電路。第 2 電流鏡電路係由：1 對 N 通道型電晶體

M41、M42(電流比 1 : n)所構成。此外，作為驅動電晶體之 N 通道型 MOS 電晶體 M42 中流通有電流 I 放大 $m \times n$ 倍後之電流 mnI ，此大電流 mnI 係被供給至外加於端子 21 的白色 LED 25。

對白色 LED 25 的陽極 26 施加正的電源電壓 V_{dd} ，而對白色 LED 25 的陰極 27，則是經由 N 通道型 MOS 電晶體 M42，施加由 $-0.5V_{dd}$ 產生電路 40 所輸出之電壓 $-0.5V_{dd}$ ， $-0.5V_{dd}$ 產生電路 40 係根據時脈產生電路 30 之時脈 ϕ ，而產生電壓 $-0.5V_{dd}$ 的電路。

因此，根據本實施形態，可在白色 LED 25 之陽極陰極間施加與第 6 圖之驅動電路等效之 $1.5V_{dd}$ 的電壓，並可藉由作為驅動電晶體之 N 通道型 MOS 電晶體 M42 使大電流通。此外，在 $-0.5V_{dd}$ 產生電路 40 中，如後述一般使用很多 N 通道型 MOS 電晶體，結果可縮小用以獲得與以往同等之 LED25 的驅動電流 mnI 之電路的圖案面積，並進一步實現效率的改善。

接著，參照圖面說明 $-0.5V_{dd}$ 產生電路 40 之具體電路構成及動作。第 2 圖為 $-0.5V_{dd}$ 產生電路 40 的電路圖，第 2 圖(a)顯示作為時脈驅動器 CD 之輸入時脈之時脈 ϕ 為 Low 位準(低位準)時的情況，第 2 圖(b)則顯示時脈 ϕ 為 High 位準(高位準)時的情況。對第 1 開關用 MOS 電晶體 M1 的源極施加接地電壓 $V_{ss}(0V)$ ，該第 1 開關用 MOS 電晶體 M1 的汲極，係與第 2 開關用 MOS 電晶體 M2 的源極連接。第 1 開關用 MOS 電晶體 M1 以及第 2 開關用 MOS 電晶體 M2，具

有電荷轉送元件的功能。

在此，第 1 開關用 MOS 電晶體 M1 以及第 2 開關用 MOS 電晶體 M2，均為 N 通道型電晶體。其理由係為了從同一電路內獲得可使第 1 開關用 MOS 電晶體 M1 以及第 2 開關用 MOS 電晶體 M2 導通/不導通(ON/OFF)的電壓。亦即，為了使第 1 開關用 MOS 電晶體 M1 以及第 2 開關用 MOS 電晶體 M2 導通(ON)只要對上述電晶體之閘極供給電源電壓 Vdd 即可，而欲使之不導通(OFF)時只需對它們的閘極供給此電路之輸出電壓 $V_{out}(=-0.5V_{dd})$ 即可。

此外，第 1 電容器 C1 之一方的端子係與時脈驅動器 CD 的輸出相連接。時脈驅動器 CD，係在電源電壓 Vdd 與接地電壓 Vss 之間，串聯連接 P 通道型 MOS 電晶體 M6、N 通道型 MOS 電晶體 M7 而構成 CMOS 反向器(CMOS inverter)。此外，在時脈驅動器 CD 中係被輸入時脈 ϕ ，該時脈 ϕ 係藉由時脈驅動器 CD 而反轉。其反轉時脈 ϕ^* 係作為時脈驅動器 CD 之輸出而被施加於第 1 電容器 C1 之一方的端子。

此外，為降低時脈驅動器 CD 的貫通電流，亦可構成為對 P 通道型 MOS 電晶體 M6 的閘極施加時脈 ϕ ，而對 N 通道型 MOS 電晶體 M7 的閘極施加使時脈 ϕ 延遲而得之時脈 ϕ' 之構成。此外，第 2 電容器 C2，其一方的端子係連接至第 1 以及第 2 開關用 MOS 電晶體 M1、M2 的連接點。而第 3 開關用 MOS 電晶體 M3，則連接在第 2 電容器 C2 之另一方的端子與接地電壓 Vss(0V)之間。

此外，第 4 開關用 MOS 電晶體 M4，係連接在第 1 電容

器 C1 之另一方的端子與第 2 電容器 C2 之另一方的端子之間。第 5 開關用 MOS 電晶體 M5，係連接第 1 電容器 C1 之另一方的端子與本身為第 2 開關用 MOS 電晶體 M2 的汲極之輸出端子。此外，此電路係從第 2 開關用 MOS 電晶體 M2 的汲極獲得輸出電壓 $V_{out}(=-0.5V_{dd})$ 者。

在此，第 3、第 5 開關用 MOS 電晶體 M3、M5，均為 N 通道型。此與第 1 開關用 MOS 電晶體 M1 以及第 2 開關用 MOS 電晶體 M2 相同，係為了從同一電路中獲得使上述電晶體導通/不導通(ON/OFF)之電壓。亦即，為了使第 3 開關用 MOS 電晶體 M3 以及第 5 開關用 MOS 電晶體 M5 導通(ON)只要對上述電晶體之閘極供給電源電壓 V_{dd} 即可，而欲使之不導通(OFF)時只要對上述電晶體之閘極供給此電路的輸出電壓 $V_{out}(=-0.5V_{dd})$ 即可。

第 4 開關用 MOS 電晶體 M4，可使用 P 通道型電晶體或 N 通道型電晶體，但為縮小圖案面積最好使用 N 通道型電晶體。第 4 開關用 MOS 電晶體為 N 通道型時，為使之導通(ON)，可對其閘極供給電源電壓 V_{dd} ，而欲使之不導通(OFF)時則只要對其閘極供給此電路之輸出電壓 $V_{out}(=-0.5V_{dd})$ 即可。第 4 開關用 MOS 電晶體為 P 通道型時，為使之導通(ON)，可對其閘極供給接地電壓 V_{ss} 或輸出電壓 V_{out} ，而欲使之不導通(OFF)時則只要對其閘極供給電源電壓 V_{dd} 即可。

此外，第 1 以及第 2 電容器 C1、C2 係具有相等電容值之電容器。此外，第 1、第 2、第 3、第 4、第 5 開關用 MOS

I291684

電晶體 M1、M2、M3、M4、M5，係由未圖示之控制電路依時脈 ϕ 之電壓位準控制其閘極電壓，而如後述一般受控制而導通(ON)、不導通(OFF)。

接著，參照第 2 圖(a)(b)、第 3 圖說明該 $-0.5V_{dd}$ 產生電路 40 的動作。第 3 圖為該 $-0.5V_{dd}$ 產生電路 40 之定常狀態下的動作時序圖。

首先，說明時脈 ϕ 在 Low 位準時之電荷泵電路的動作(參照第 2 圖(a)、第 3 圖)。此時，因時脈驅動器 CD 的 P 通道型 MOS 電晶體 M6 導通，N 通道型 MOS 電晶體 M7 不導通，故反轉時脈 $*\phi$ 變為 High 位準(V_{dd} 位準)。接著，使第 1、第 4 開關用 MOS 電晶體 M1、M4 導通，使第 2、第 3、第 5 開關用 MOS 電晶體 M2、M3、M5 不導通。

如此，如第 2 圖(a)中之粗線所示，藉由通過時脈驅動器 CD 之 P 通道型 MOS 電晶體 M6、第 1 電容器 C1、第 4 開關用 MOS 電晶體 M4、第 2 電容器 C2、第 1 開關用 MOS 電晶體 M1、接地電壓 V_{ss} 之路徑，可使第 1 電容器 C1 以及第 2 電容器 C2 得以串聯連接並進行充電。

藉此，第 1 電容器 C1 之一方的端子會被充電為 V_{dd} ，而另一方之端子的電壓 $V1$ 則被充電為 $+0.5V_{dd}$ ，第 2 電容器 C2 之另一方的端子的電壓 $V3$ 亦被充電為 $+0.5V_{dd}$ 。

接著，說明時脈 ϕ 在 High 位準時的電路的動作(參照第 2 圖(b)、第 3 圖)。此時，因時脈驅動器 CD 之 N 通道型 MOS 電晶體 M7 導通，P 通道型 MOS 電晶體 M6 不導通，反轉時脈 $*\phi$ 會變為 Low 位準(V_{ss} 位準)。另外，使第 1、第 4

I291684

開關用 MOS 電晶體 M1、M4 不導通，使第 2、第 3、第 5 開關用 MOS 電晶體 M2、M3、M5 導通。

如此一來，如第 2 圖(b)之粗虛線所示， $-0.5V_{dd}$ 會經由 2 個路徑而被供給至輸出端子。1 個路徑，係從接地電壓 V_{ss} ，通過第 3 開關用 MOS 電晶體 M3、第 2 電容器 C2、第 2 開關用 MOS 電晶體 M2，使第 2 電容器 C2 的電荷放電，而對輸出端予供給 $-0.5V_{dd}$ 。此乃因為，當第 2 電容器 C2 之另一方的電壓 V_3 在時脈 ϕ 為 Low 位準時會被充電為 $+0.5V_{dd}$ ，因此藉由第 3 開關用 MOS 電晶體 M3 之導通，電壓 V_3 由 $+0.5V_{dd}$ 變化為 V_{ss} ，且藉由第 2 電容器 C2 之電容結合，第 2 電容器 C2 之另一方的端子的電壓 V_2 會伴隨著而從 $V_{ss}(0V)$ 降壓為 $-0.5V_{dd}$ 。

另一條路徑，係從接地電壓 V_{ss} ，通過時脈驅動器 CD 的 N 通道型 MOS 電晶體 M7、第 1 電容器 C1、第 5 開關用 MOS 電晶體 M5，使第 1 電容器 C1 的電荷放電，而對輸出端予供給 $-0.5V_{dd}$ 。此乃因為，當時脈 ϕ 為 Low 位準時，第 1 電容器 C1 之另一方的端子的電壓 V_1 會被充電為 $+0.5V_{dd}$ ，但在時脈 ϕ 變為 High 位準後，藉由 N 通道型 MOS 電晶體 M7 之導通，第 1 電容器 C1 之一方的端子的電壓會從 V_{dd} 變化為 V_{ss} ，且藉由第 1 電容器 C1 的電容結合，第 1 電容器 C1 之另一方的端子的電壓 V_1 會伴隨著而從 $+0.5V_{dd}$ 降壓為 $-0.5V_{dd}$ 。

交替重覆時脈 ϕ 為 Low 位準時的動作與時脈 ϕ 為 High 位準時的動作，可藉此獲得將電源電壓 -0.5 倍後之 -0.5

Vdd 來作為輸出電壓 V_{out} 。

如上所述，根據本實施形態，由於係採用 $-0.5V_{dd}$ 產生電路 40，因此在多用 N 通道型 MOS 電晶體的結果下，可縮小用以獲得與以往同等之 LED 25 之驅動電流 mI 的電路的圖案面積，並可實現效率的改善。

接著，為使本發明之效果更為明確，乃進行 $-0.5V_{dd}$ 產生電路 40 與 $1.5V_{dd}$ 產生電路 60 之比較。因此，參照第 4 圖說明 $1.5V_{dd}$ 產生電路 60 的具體構成。第 4 圖(a)顯示作為時脈驅動器 CD 之輸入時脈之時脈 ϕ 為 High 位準的情況，而第 4 圖(b)則顯示時脈 ϕ 為 Low 位準的情況。

對第 1 開關用 MOS 電晶體 M11 的源極施加電源電壓 Vdd，該第 1 開關用 MOS 電晶體 M11 的汲極，係與第 2 開關用 MOS 電晶體 M12 的源極連接。第 1 開關用 MOS 電晶體 M11 以及第 2 開關用 MOS 電晶體 M12，係具備電荷轉送元件之功能。

在此，第 1 開關用 MOS 電晶體 M11 以及第 2 開關用 MOS 電晶體 M12，均為 P 通道型電晶體。其理由，係為了從同一電路內獲得使第 1 開關用 MOS 電晶體 M11 以及第 2 開關用 MOS 電晶體 M12 導通/不導通(ON/OFF)的電壓。為使第 1 開關用 MOS 電晶體 M11 以及第 2 開關用 MOS 電晶體 M12 導通(ON)只要對上述電晶體的閘極施加接地電壓 V_{ss} 即可，而欲使之不導通(OFF)時只需對它們的閘極施加此電路之輸出電壓 $V_{out}(=1.5V_{dd})$ 即可。

此外，第 1 電容器 C1 的一方的端子，係與時脈驅動器

I291684

CD 的輸出連接。時脈驅動器 CD，係在電源電壓 V_{dd} 與接地電壓 V_{ss} 之間，以串聯方式連接 P 通道型 MOS 電晶體 M16、N 通道型 MOS 電晶體 M17 而構成 CMOS 反向器。此外，時脈驅動器 CD 係被施加時脈 ϕ ，此時脈 ϕ 係藉由時脈驅動器 CD 而反轉。其反轉時脈 $*\phi$ ，係作為時脈驅動器 CD 的輸出而施加於第 1 電容器 C1 之一方的端子。

此外，第 2 電容器 C2，其一方的端子係連接至第 1 以及第 2 開關用 MOS 電晶體 M11、M12 的連接點。第 3 開關用 MOS 電晶體 M13，係連接在第 2 電容器 C2 的另一方的端子與電源電壓 V_{dd} 之間。

此外，第 4 開關用 MOS 電晶體 M14，係連接在第 1 電容器 C1 之另一方的端子與第 2 電容器 C2 之另一方的端子之間。第 5 開關用 MOS 電晶體 M15，係連接第 1 電容器 C1 之另一方的端子與本身為第 2 開關用 MOS 電晶體 M12 的汲極之輸出端子。此外，此電路，係從第 2 開關用 MOS 電晶體 M12 的汲極獲得輸出電壓 $V_{out}(=1.5V_{dd})$ 。

在此，第 3 以及第 5 開關用 MOS 電晶體 M13、M15 為 P 通道型電晶體，第 4 開關用 MOS 電晶體 M14 為 N 通道型電晶體。將第 3 以及第 5 開關用 MOS 電晶體 M13、M15 設定為 P 通道型電晶體的理由，與前述相同，係為了從同一電路內獲得使第 3 開關用 MOS 電晶體以及第 5 開關用 MOS 電晶體 M15 導通/不導通 (ON/OFF) 的電壓。

此外，第 1 以及第 2 電容器 C1、C2 係具有相等電容值之電容器。此外，第 1、第 2、第 3、第 4、第 5 開關用 MOS

電晶體 M11、M12、M13、M14、M15，係由未圖示之控制電路依時脈 ϕ 之電壓位準控制其閘極電壓，而如後述一般受控制而導通(ON)、不導通(OFF)。

接著，參照第 4 圖(a)(b)、第 5 圖說明此電路的動作。第 5 圖為此電荷泵電路之定常狀態的動作時序圖。

首先，說明時脈 ϕ 在 High 位準時之電荷泵電路的動作(參照第 4 圖(a)、第 5 圖)。此時，時脈驅動器 CD 的 N 通道型 MOS 電晶體 M16 會導通，且反轉時脈 $*\phi$ 為 Low 位準(0V)。

接著，使第 1、第 4 開關用 MOS 電晶體 M11、M14 導通，使第 2、第 3、第 5 開關用 MOS 電晶體 M12、M13、M15 不導通。如此一來，如第 4 圖(a)中之粗虛線所示，從電源電壓 Vdd，藉由通過第 1 開關用 MOS 電晶體 M11、第 2 電容器 C2、第 4 開關用 MOS 電晶體 M14，第 1 電容器 C1、時脈驅動器 CD 之 N 通道型 MOS 電晶體 M17 的路徑，可使第 1 電容器 C1 以及第 2 電容器 C2 串聯連接並進行充電。藉此，第 2 電容器 C2 之一方之端子的電壓 V11 會被充電為 Vdd，而另一方之端子的電壓 V12 則被充電為 0.5Vdd，第 1 電容器 C1 之另一方的端子的電壓 V13 也會被充電為 0.5Vdd。

接著，說明時脈 ϕ 在 Low 位準時之電荷泵電路的動作(參照第 4 圖(b)、第 5 圖)。此時，時脈驅動器 CD 的 P 通道型 MOS 電晶體 M16 會導通，且反轉時脈 $*\phi$ 為 High 位準。接著，使第 1、第 4 開關用 MOS 電晶體 M11、M14 不導通，使第 2、第 3、第 5 開關用 MOS 電晶體 M12、M13、M15 導通。如此一來，如第 4 圖(b)之粗線所示，會由 2 個路徑對輸出

I291684

端予供給 $1.5V_{dd}$ 。其中 1 個路徑，係從電源電壓 V_{dd} ，通過第 3 開關用 MOS 電晶體 M_{13} 、第 2 電容器 C_2 、第 2 開關用 MOS 電晶體 M_{12} ，使第 2 電容器 C_2 的電荷放電，而對輸出端予供給 $1.5V_{dd}$ 。此乃因為，第 2 電容器 C_2 之另一方的端予的電壓 V_{12} 在時脈 ϕ 為 High 位準時會被充電為 $0.5V_{dd}$ ，因此藉由第 3 開關 MOS 電晶體 M_{13} 之導通，電壓 V_{12} 從 $0.5V_{dd}$ 變化為 V_{dd} ，且藉由第 2 電容器 C_2 的電容結合，第 2 電容器之另一方的端予的電壓 V_{11} 會從 V_{dd} 升壓為 $1.5V_{dd}$ 。

另一條路徑，係從電源電壓 V_{dd} ，通過時脈驅動器 CD 之 P 通道型 MOS 電晶體 M_{16} 、第 1 電容器 C_1 、第 5 開關用 MOS 電晶體 M_{15} ，使第 1 電容器 C_1 的電荷放電，而對輸出端予供給 $1.5V_{dd}$ 。

此乃因為，當時脈 ϕ 為 High 位準時，第 1 電容器 C_1 之另一方的端予的電壓 V_{13} 會被充電至 $0.5V_{dd}$ ，但在時脈 ϕ 變化為 Low 位準後，藉由 P 通道型 MOS 電晶體 M_{16} 之導通，第 1 電容器 C_1 之一方的端予的電壓會從 $0V$ 變化為 V_{dd} ，且藉由第 1 電容器 C_1 的電容結合，第 1 電容器 C_1 之另一方的端予的電壓 V_{13} 會變隨著而從 $0.5V$ 升壓至 $1.5V_{dd}$ 。

交替重覆時脈 ϕ 為 Low 位準時的動作與時脈 ϕ 為 High 位準時的動作，可藉此獲得電源電壓 V_{dd} 1.5 倍後之 $1.5V_{dd}$ 來作為輸出電壓 V_{out} 。

如上所述，可清楚得知在 $-0.5V_{dd}$ 產生電路 40 中，第

1、第 2、第 3 以及第 5 開關用 MOS 電晶體 M1、M2、M3、M5 必須為 N 通道型電晶體，而在 1.5Vdd 產生電路 60 中，第 1、第 2、第 3 以及第 5 開關用 MOS 電晶體 M11、M12、M13、M15 則必須為 P 通道型電晶體。因此，假設 -0.5Vdd 產生電路 40 中的第 4 開關用 MOS 電晶體 M4 為 P 通道型，1.5Vdd 產生電路 60 中的第 4 開關用 MOS 電晶體 M14 為 N 通道型，時脈驅動器 CD 為 P 通道型電晶體、N 通道型電晶體各一個所構成，而計算 2 個電路所使用之電晶體的種類的數量時，如表 1 所示，在 1.5Vdd 產生電路 60 中，P 通道型為 5 個，N 通道型態為 2 個，相反地，在 -0.5Vdd 產生電路 40 中，N 通道型為 5 個，P 通道型態為 2 個，使用 N 通道型較多。因此，將 P 通道型與 N 通道型的圖案面積比設定為 3:1 時，1.5Vdd 產生電路 60 與 -0.5Vdd 產生電路 40 的面積比(僅電晶體部分)會變為 17:11。亦即，-0.5Vdd 產生電路 40 可用較 1.5Vdd 產生電路 60 小 35%程度的面積形成。驅動電路全體的面積可縮小此電晶體縮小的量。

此外，由於可縮小 MOS 電晶體之閘極電容等的寄生電容，故可降低驅動電路的消耗電流，實現其效率的改善。

此外，本發明並未侷限在白色 LED，亦可廣泛適用在紅色 LED、綠色 LED、藍色 LED，以及具有陽極與陰極之其他發光元件的驅動電路上。此外，在本實施形態中係產生 -0.5Vdd 的負電壓，在與電源電壓 Vdd 之間獲得 1.5Vdd 之電位差，但負電壓的大小並未限於 -0.5Vdd，亦可以是 -0.4Vdd 或 -0.6Vdd，甚至於其他數值。

【圖式簡單說明】

第 1 圖為本發明實施形態之驅動電路的電路圖。

第 2 圖(a)及(b)為本發明實施形態之驅動電路的 $-0.5V_{dd}$ 產生電路的電路圖。

第 3 圖為本發明實施形態之 $-0.5V_{dd}$ 產生電路的動作時序圖。

第 4 圖(a)及(b)為習知技術之 $1.5V_{dd}$ 產生電路的電路圖。

第 5 圖為習知技術之 $1.5V_{dd}$ 產生電路的動作時序圖。

第 6 圖為習知例之驅動電路的電路圖。

【主要元件符號說明】

| | | | |
|--------|-----------------|----|-------------------|
| 10 | 運算放大器 | 20 | 端子 |
| 21 | 端子 | 25 | 白色 LED |
| 26 | 陽極 | 27 | 陰極 |
| 30 | 時脈產生電路 | 40 | $-0.5V_{dd}$ 產生電路 |
| 50 | 白色 LED | 60 | $1.5V_{dd}$ 產生電路 |
| 70 | 驅動電晶體 | C1 | 第 1 電容器 |
| C2 | 第 2 電容器 | CD | 時脈驅動器 |
| M1、M11 | 第 1 開關用 MOS 電晶體 | | |
| M2、M12 | 第 2 開關用 MOS 電晶體 | | |
| M3、M13 | 第 3 開關用 MOS 電晶體 | | |
| M4、M14 | 第 4 開關用 MOS 電晶體 | | |
| M5、M15 | 第 5 開關用 MOS 電晶體 | | |
| M6、M16 | P 通道型 MOS 電晶體 | | |

I291684

| | |
|---------|---------------|
| M7、M17 | N 通道型 MOS 電晶體 |
| M30 | N 通道型 MOS 電晶體 |
| M31、M32 | P 通道型 電晶體 |
| M41、M42 | N 通道型 電晶體 |
| R1 | 外加電阻 |

五、中文發明摘要：

本發明除了可縮小用以獲得發光元件之驅動電流的驅動電路的圖案面積外，亦可改善效率。

對白色 LED(25)之陽極(26)施加正的電源電壓 V_{dd} ，且經由 N 通道型 MOS 電晶體 M42 對其陰極(27)施加來自 $-0.5V_{dd}$ 產生電路(40)之電壓 $-0.5V_{dd}$ 。 $-0.5V_{dd}$ 產生電路(40)，係根據時脈產生電路(30)之時脈 ϕ 而產生電壓 $-0.5V_{dd}$ 之電路。於白色 LED(25)之陽極陰極間施加與第 6 圖之驅動電路等效之 $1.5V_{dd}$ 的電壓。在 $-0.5V_{dd}$ 產生電路(40)中，大量使用 N 通道型 MOS 電晶體的結果，可縮小用以獲得與以往同等之 LED(25)的驅動電流之電路的圖案面積。此外，藉此可降低寄生電容，實現驅動電路之效率的改善。

六、英文發明摘要：

This invention can reduce the pattern area of a drive circuit for obtaining the driving current for a light-emitting element as well as improve the efficiency. In the drive circuit of this invention, a positive power supply voltage V_{dd} is applied to an anode (26) of a white LED (25), and a voltage $-0.5V_{dd}$ from a $-0.5V_{dd}$ generation circuit (40) is applied to a cathode (27) of the white LED (25) via a N-channel type MOS transistor M42. The $-0.5V_{dd}$ generation circuit (40) is a circuit for generating a voltage of $-0.5V_{dd}$ according to a clock ϕ from a clock generation circuit (30). Between the anode and cathode of the white LED (25), a voltage of $1.5V_{dd}$ equivalent to that generated by the drive circuit shown in Fig. 6 is applied. Accordingly, as a lot of N-channel type MOS transistors are used in the $-0.5V_{dd}$ generation circuit (40), the pattern area of the circuit for obtaining the same driving current for the white LED (25) as conventional can be reduced. Moreover, the efficiency of the drive circuit can be improved due to the parasitic capacitance is reduced.

十、申請專利範圍：

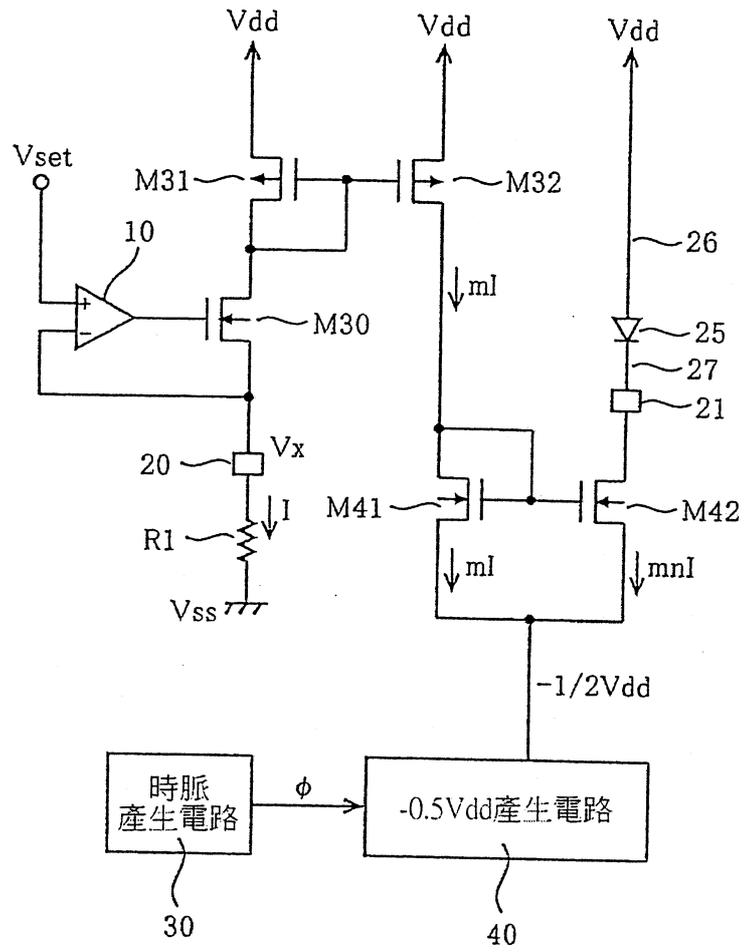
1. 一種驅動電路，係對發光元件供給電流之驅動電路，具備有：對前述發光元件供給電流之驅動電晶體；以及產生與正的電源電壓 V_{dd} 對應之負的電壓之負電壓產生電路，且對前述發光元件之陽極施加前述正的電源電壓，並經由前述驅動電晶體對前述發光元件之陰極施加前述負的電壓。
2. 如申請專利範圍第 1 項之驅動電路，其中，前述負的電壓為 $-0.5V_{dd}$ 。
3. 如申請專利範圍第 2 項之驅動電路，其中，前述負電壓產生電路，係具備有：輸入端子施加有接地電壓之第 1 開關元件；與該第 1 開關元件串聯連接之第 2 開關元件；一方之端子供給有時脈之第 1 電容器；一方之端子連接在前述第 1 開關元件與前述第 2 開關元件的連接點之第 2 電容器；連接在前述第 2 電容器之另一方的端子與接地電壓之間之第 3 開關元件；連接在前述第 1 電容器之另一方的端子與前述第 2 電容器之另一方的端子之間的第 4 開關元件；以及與前述第 1 電容器之另一方的端子及前述第 2 開關元件之輸出端子連接之第 5 開關元件，其中

前述時脈為第 1 電壓位準時，使前述第 1、第 4 開關元件導通(ON)而使前述第 1 及第 2 電容器經由前述第 1 開關元件而串聯連接在前述第 1 電壓位準與接地電壓之間而充電，而在前述時脈為第 2 電壓位準時，則使前

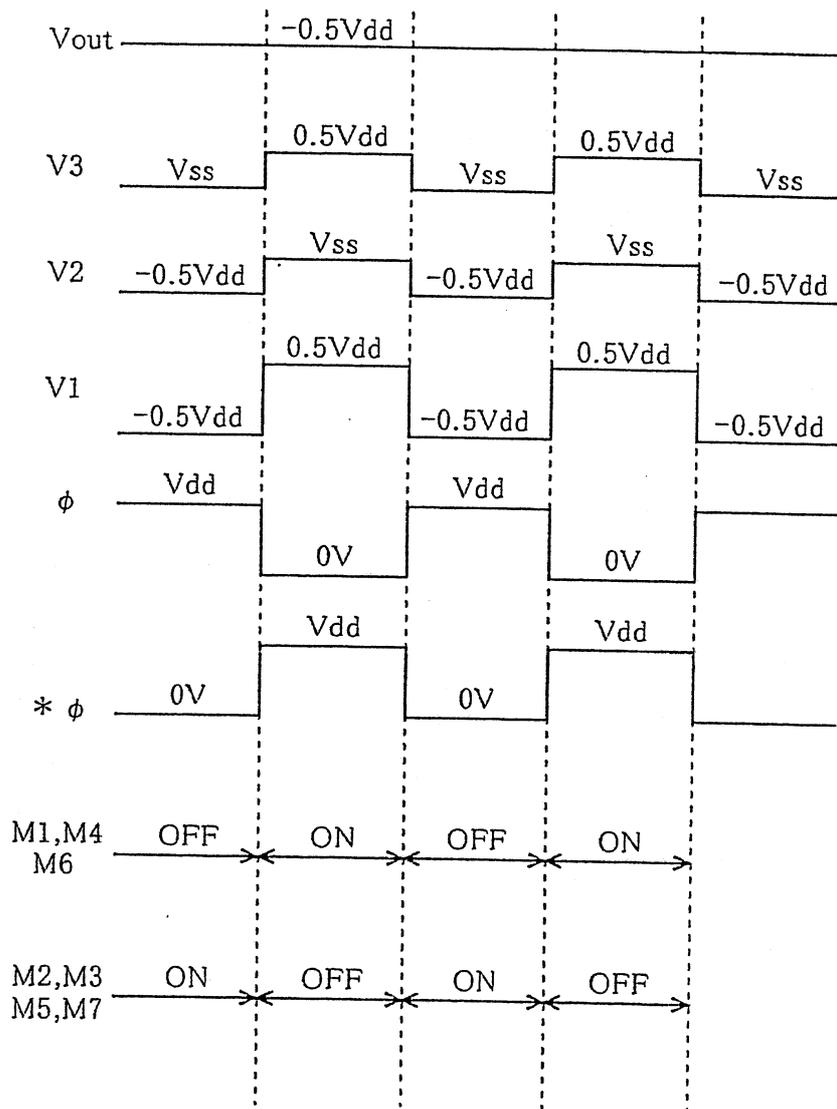
述第 5 開關元件導通(ON)而使前述第 1 電容器連接在接地電壓與前述輸出端子之間而放電，並且使前述第 2 及第 3 開關元件導通(ON)而使前述第 2 電容器經由前述第 2 開關元件而連接在接地電壓與前述輸出端子之間而放電，且

至少前述第 1、第 2、第 3 及第 5 開關元件係以 N 通道型 MOS 電晶體構成。

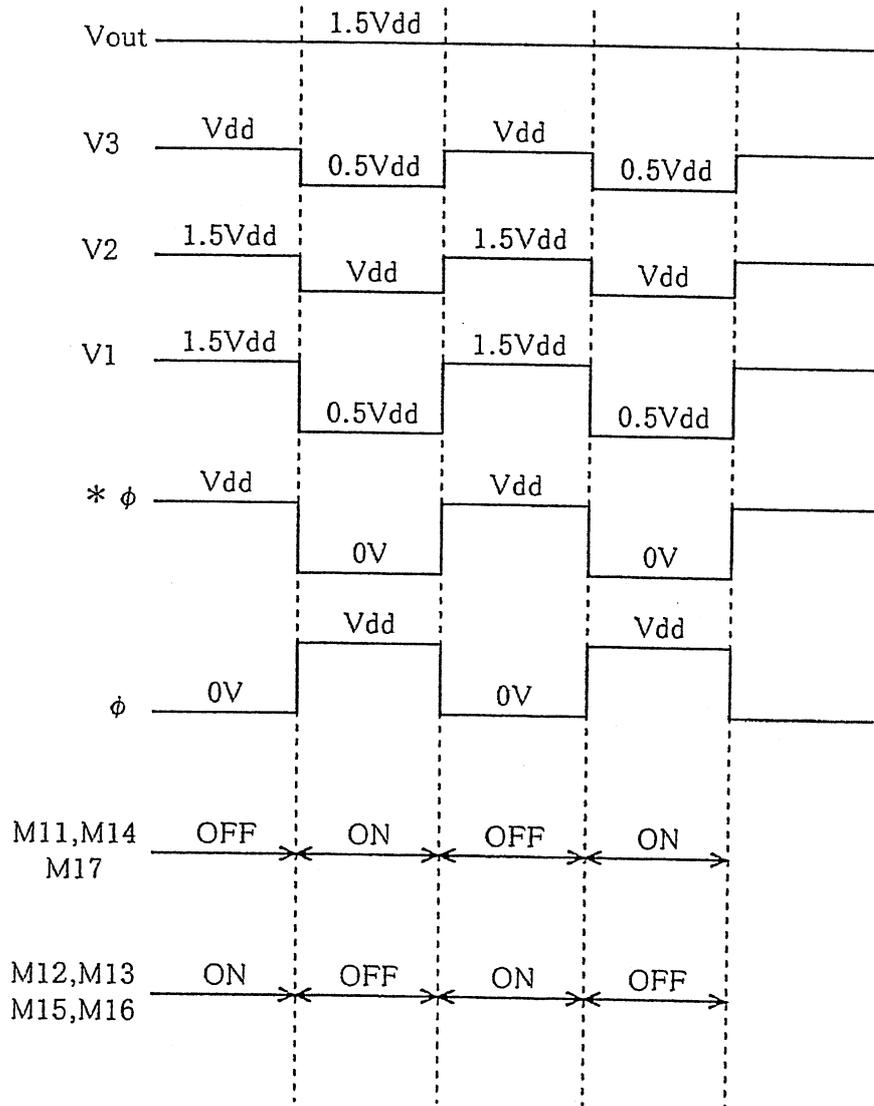
4. 如申請專利範圍第 3 項之驅動電路，其中，前述第 4 開關元件係以 N 通道型 MOS 電晶體構成。
5. 如申請專利範圍第 3 項之驅動電路，其中，前述第 4 開關元件係以 P 通道型 MOS 電晶體構成。
6. 如申請專利範圍第 1 至第 5 項中任一項之驅動電路，其中，前述驅動電晶體係以電流鏡型之 N 通道型 MOS 電晶體構成。
7. 如申請專利範圍第 1 至第 5 項中任一項之驅動電路，其中，前述發光元件係白色發光二極體。
8. 如申請專利範圍第 6 項之驅動電路，其中，前述發光元件係白色發光二極體。



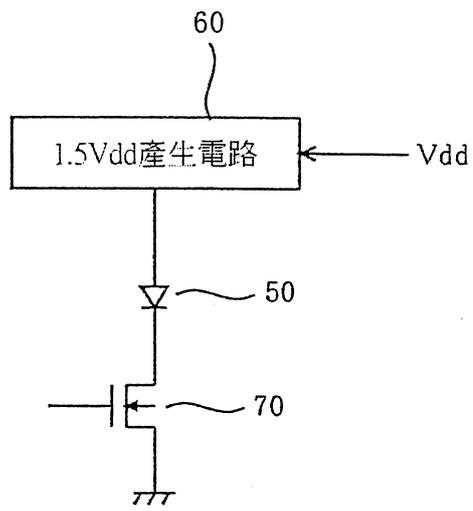
第 1 圖



第3圖



第 5 圖



第 6 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

| | | | |
|---------|----------|----|--------------|
| 10 | 運算放大器 | 20 | 端子 |
| 21 | 端子 | 25 | 白色 LED |
| 26 | 陽極 | 27 | 陰極 |
| 30 | 時脈產生電路 | 40 | -0.5Vdd 產生電路 |
| R1 | 外加電阻 | | |
| M31、M32 | P 通道型電晶體 | | |
| M41、M42 | N 通道型電晶體 | | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

96年5月15日修(更)正替換頁

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94108305

※申請日期：94.7.18

※IPC 分類：40963/36

一、發明名稱：(中文/英文)

驅動電路

DRIVE CIRCUIT

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共3人)

姓名：(中文/英文)

1. 河井周平 / KAWAI, SHUHEI

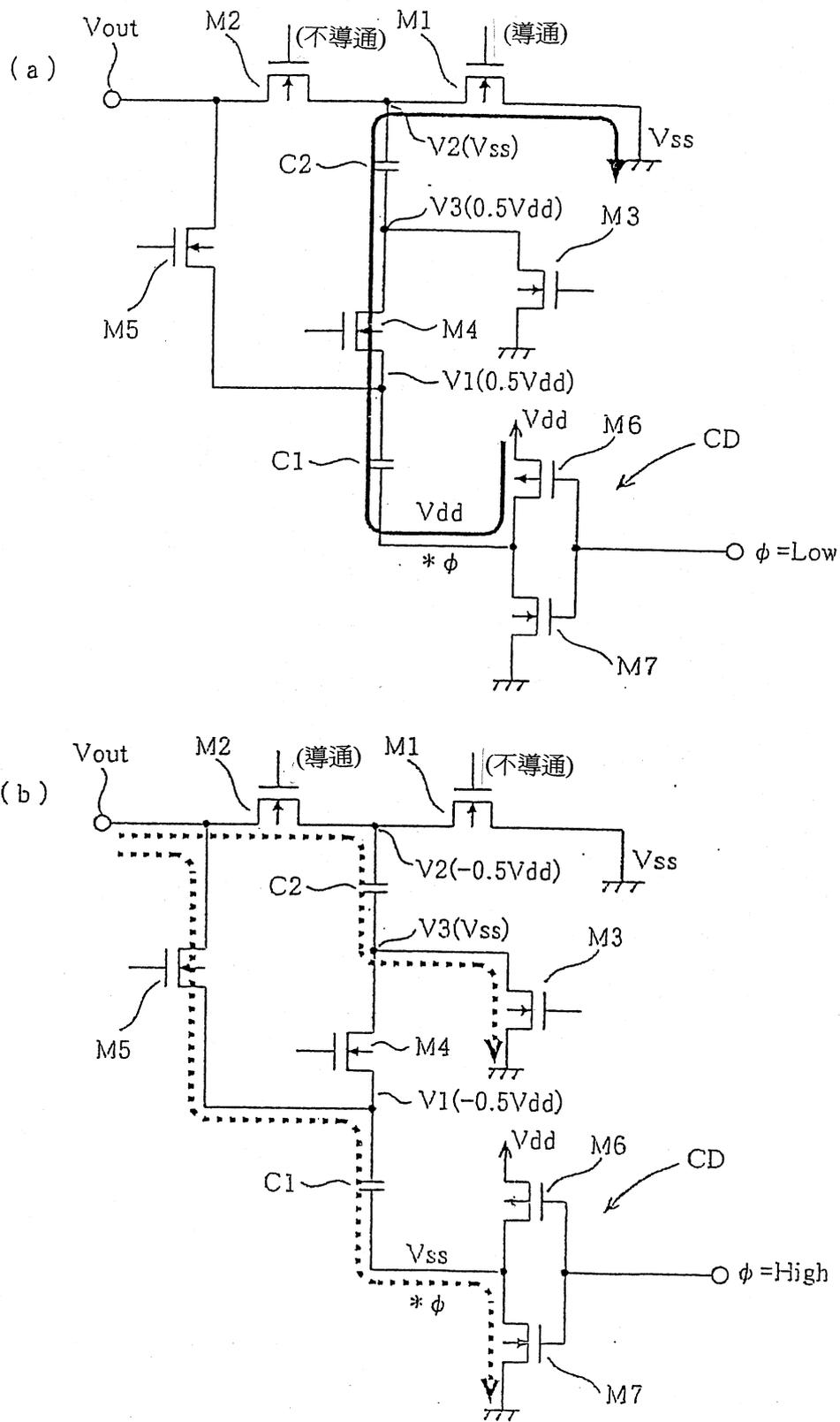
2. 尾形貴重 / OGATA, TAKASHIGE

3. 鈴木達也 / SUZUKI, TATSUYA

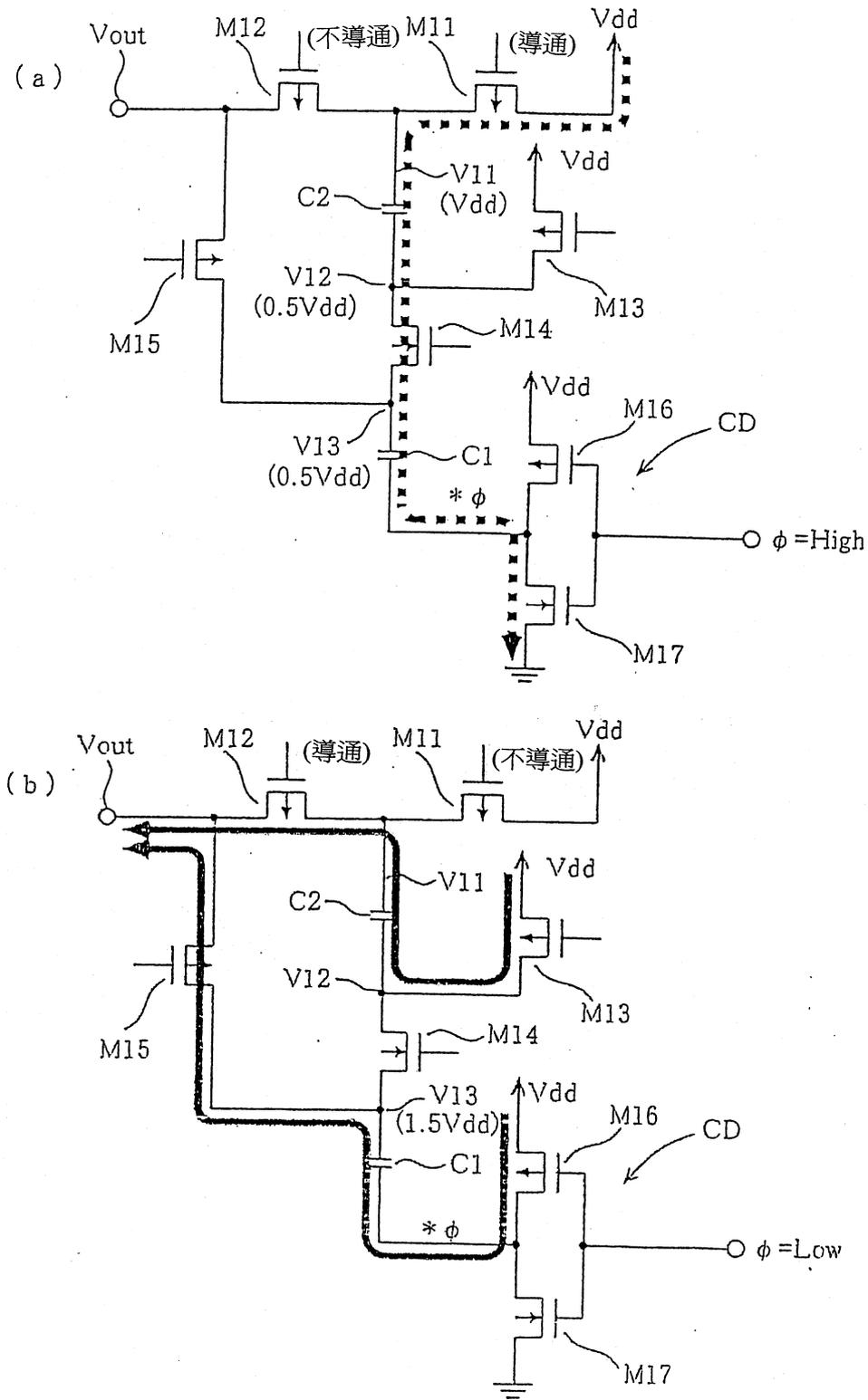
國籍：(中文/英文)

1. 至 3. 日本國 / JAPAN

96年5月15日修(更)正替换页



第 2 圖 (Amended)



第 4 圖 (Amended)