

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4420009号
(P4420009)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl. F I
H04L 7/04 (2006.01) H04L 7/04 Z

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2006-298806 (P2006-298806)	(73) 特許権者	000002369
(22) 出願日	平成18年11月2日(2006.11.2)		セイコーエプソン株式会社
(65) 公開番号	特開2008-118342 (P2008-118342A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成20年5月22日(2008.5.22)	(74) 代理人	100107836
審査請求日	平成19年11月7日(2007.11.7)		弁理士 西 和哉
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100101465
			弁理士 青山 正和
		(72) 発明者	唐木 信雄
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	藤井 浩

最終頁に続く

(54) 【発明の名称】 非同期シリアル通信方法及び非同期シリアル通信装置

(57) 【特許請求の範囲】

【請求項1】

送信装置と、

第1受信装置と、を含み、

前記送信装置は、第1時刻において信号レベルを所定のレベルへ変化させた後、所定の第1期間の経過後から別に定めた第2期間以内に、送出信号のレベルに応じた第1の1ビットデータを前記第1受信装置へ送信するものであり、

前記第1受信装置は、前記第1時刻における前記送出信号のレベルの変化に基づき前記第1時刻から第1期間の経過した第2時刻においてレベルの変化する割り込み信号を生成し、前記割り込み信号のレベルの変化に基づき前記第1の1ビットデータを処理し、前記第2時刻から第2期間の経過した第3時刻および前記第3時刻から第3期間の経過した第4時刻においてレベルの変化するアクノレッジ信号を生成し前記送信装置へ送信するものであり、

前記送信装置は、更に、前記アクノレッジ信号のレベルの変化に基づいて、前記第1の1ビットデータの送受信を完了するものである

ことを特徴とする非同期シリアル通信装置。

【請求項2】

請求項1に記載の非同期シリアル通信装置において、さらに、

第2受信装置と、を含む、

ことを特徴とする非同期シリアル通信装置。

【請求項 3】

請求項 1 または 2 に記載の非同期シリアル通信装置において、さらに、
前記送信装置が書き込み信号を生成し、前記書き込み信号に基づき出力制御信号を生成し、前記出力制御信号に基づき前記第 1 時刻においてレベルの変化する前記送出信号を前記第 1 受信装置へ送信するものである、
ことを特徴とする非同期シリアル通信装置。

【請求項 4】

請求項 1 ないし 3 のいずれか一項に記載の非同期シリアル通信装置において、さらに、
前記第 1 受信装置が前記第 1 時刻における前記送出信号のレベルの変化に基づきレベルの変化する遅延信号を生成し、前記第 1 時刻における前記送出信号のレベルの変化に基づき読み出し信号を生成し、前記第 2 時刻においてレベルの変化する前記割り込み信号を生成し、前記割り込み信号のレベルの変化に基づき前記第 1 の 1 ビットデータを処理し、前記第 3 時刻および前記第 4 時刻においてレベルの変化する前記アクノレッジ信号を生成し前記送信装置へ送信するものである、
ことを特徴とする非同期シリアル通信装置。

10

【請求項 5】

請求項 1 ないし 4 のいずれか一項に記載の非同期シリアル通信装置において、さらに、
前記送信装置から前記第 1 受信装置へ前記送出信号を送信する第 1 信号線と、
前記第 1 受信装置から前記送信装置へ前記アクノレッジ信号を送信する第 2 信号線と、
を含む、
ことを特徴とする非同期シリアル通信装置。

20

【請求項 6】

請求項 1 ないし 5 のいずれか一項に記載の非同期シリアル通信装置において、前記送信装置が前記第 4 時刻における前記アクノレッジ信号のレベルの変化に基づいて前記第 1 の 1 ビットデータの次に送出する第 2 の 1 ビットデータの送出を行うものである
ことを特徴とする非同期シリアル通信装置。

【請求項 7】

複数の通信線によって通信する非同期シリアル通信装置であって、
前記複数の通信線のうちの第 1 通信線における信号レベルを所定のレベルへ変化させた後、所定の第 1 時間 T_1 の経過後から別に定めた第 2 時間 T_2 以内に、前記第 1 通信線の信号レベルを変化させて 1 ビットの第 1 送出データを送出し、アクノレッジ信号の変化を検出すると送出データの送出を完了する送信側通信ポートと、

30

前記第 1 通信線における信号レベルの変化を検出してから更に別に定めた第 3 時間 T_3 (但し、 $T_3 > T_1 + T_2$) の経過後、または該第 3 時間 T_3 の経過時点の何れかに、前記第 1 通信線における信号レベルに応じた前記 1 ビットの第 1 送出データを取り込んだ後、前記アクノレッジ信号の信号レベルを変化させて前記アクノレッジ信号を前記送信側通信ポートに送出する受信側通信ポートと、

前記送信側通信ポートが前記 1 ビットの第 1 送出データを送出した時間と同じ時間に、前記複数の通信線のうち前記第 1 通信線と異なる第 2 通信線における信号レベルを変化させて 1 ビットの第 2 送出データを送出する第 2 送信側通信ポートと、

40

前記受信側通信ポートが前記 1 ビットの第 1 送出データを取り込む時間と同じ時間に、前記第 2 通信線における信号レベルに応じた前記 1 ビットの第 2 送出データを取り込む第 2 受信側通信ポートと

を備え、

前記送信側通信ポートと前記受信側通信ポートは、前記複数の通信線のうち少なくとも 1 本の通信線によって接続され、前記第 2 送信側通信ポートと前記第 2 受信側通信ポートは、前記少なくとも 1 本の通信線以外の通信線によって接続され、

前記送信側通信ポート、及び前記第 2 送信側通信ポートは、
直前の送出信号レベルを保持する送出信号レベル保持器と、

該直前の送出信号レベルと反対の信号レベルを生成する逆信号発生器と、

50

入力された送信側ポート書き込み信号から所定のパルス幅を持った出力制御信号を生成する出力制御信号生成器と、

該出力制御信号に応じて、前記直前の送出信号レベルと前記直前の送出信号レベルと反対の信号レベルの何れか一方を選択して出力する選択器と

を有し、

前記受信側通信ポートは、

前記信号レベルの変化を検出した場合に検出信号を出力する信号変化検出器と、

前記信号変化検出器から前記検出信号を読みとった場合、所定時間後にデータ読み出し信号を生成する読み出し信号生成器と、

前記データ読み出し信号に応じて、前記第1送出データを読み取り、アクノレッジ信号のレベルを変化させて前記送信側通信ポートに送出する読取り手段と

を有する

ことを特徴とする非同期シリアル通信装置。

【請求項8】

複数の通信線によって通信する非同期シリアル通信装置であって、

前記複数の信号線のうちの第1信号線における最後に送出した信号のレベルから反対のレベルへ信号レベルを変化させた後、所定の第1時間T1の経過後から別に定めた第2時間T2以内に、前記第1通信線の信号レベルを変化させて1ビットの第1送出データを送出し、アクノレッジ信号の変化を検出すると送出データの送出を完了する送信側通信ポートと、

前記第1通信線における信号レベルの変化を検出してから更に別に定めた第3時間T3（但し、 $T3 > T1 + T2$ ）の経過後、または該第3時間T3の経過時点の何れかに、前記第1通信線における信号レベルに応じた前記1ビットの第1送出データを取り込んだ後、前記アクノレッジ信号の信号レベルを変化させて前記アクノレッジ信号を前記送信側通信ポートに送出する受信側通信ポートと、

前記送信側通信ポートが前記1ビットの第1送出データを送出した時間と同じ時間に、前記複数の通信線のうち前記第1通信線と異なる第2通信線における信号レベルを変化させて1ビットの第2送出データを送出する第2送信側通信ポートと、

前記受信側通信ポートが前記1ビットの第1送出データを取り込む時間と同じ時間に、前記第2通信線における信号レベルに応じた前記1ビットの第2送出データを取り込む第2受信側通信ポートと

を備え、

前記送信側通信ポートと前記受信側通信ポートは、前記複数の通信線のうち少なくとも1本の通信線によって接続され、前記第2送信側通信ポートと前記第2受信側通信ポートは、前記少なくとも1本の通信線以外の通信線によって接続され、

前記送信側通信ポート、及び前記第2送信側通信ポートは、

直前の送出信号レベルを保持する送出信号レベル保持器と、

該直前の送出信号レベルと反対の信号レベルを生成する逆信号発生器と、

入力された送信側ポート書き込み信号から所定のパルス幅を持った出力制御信号を生成する出力制御信号生成器と、

該出力制御信号に応じて、前記直前の送出信号レベルと前記直前の送出信号レベルと反対の信号レベルの何れか一方を選択して出力する選択器と

を有し、

前記受信側通信ポートは、

前記信号レベルの変化を検出した場合に検出信号を出力する信号変化検出器と、

前記信号変化検出器から前記検出信号を読みとった場合、所定時間後にデータ読み出し信号を生成する読み出し信号生成器と、

前記データ読み出し信号に応じて、前記第1送出データを読み取り、アクノレッジ信号のレベルを変化させて前記送信側通信ポートに送出する読取り手段と

を有する

ことを特徴とする非同期シリアル通信装置。

【請求項 9】

請求項 7 又は請求項 8 に記載の非同期シリアル通信装置において、
前記送信側通信ポート及び前記受信側通信ポートを制御する CPU を更に備える
ことを特徴とする非同期シリアル通信装置。

【請求項 10】

請求項 7 又は請求項 8 に記載の非同期シリアル通信装置において、
光出力器と光検出器を更に備え、前記信号レベルが光の強度であることを特徴とする非
同期シリアル通信装置。

【請求項 11】

請求項 7 又は請求項 8 に記載の非同期シリアル通信装置において、
前記信号レベルは、電流の方向であることを特徴とする非同期シリアル通信装置。

10

【請求項 12】

請求項 7 から請求項 11 までの何れか 1 項に記載の非同期シリアル通信装置において、
1 つの送信側通信ポートに対して複数の受信側通信ポートが通信線によって接続され、
1 対多通信を行うことを特徴とする非同期シリアル通信装置。

【請求項 13】

請求項 12 に記載の非同期シリアル通信装置において、
前記送信側通信ポートは、
宛先アドレスとブロードキャスト・フラッグとデータを含むパケットを送信し、
前記受信側通信ポートは、
前記パケットを受信することを特徴とする非同期シリアル通信装置。

20

【請求項 14】

請求項 13 に記載の非同期シリアル通信装置において、
前記受信側通信ポートは、自らの持つアドレスと宛先アドレスが一致した時またはブロ
ードキャスト・フラッグが立っている時のみ受信動作を継続して完結することを特徴とす
る非同期シリアル通信装置。

【請求項 15】

送信側と受信側とで非同期シリアル通信を行う非同期シリアル通信方法であって、
前記送信側が、第 1 時刻において信号レベルを所定のレベルへ変化させた後、所定の第
1 期間の経過後から別に定めた第 2 期間以内に、送出信号のレベルに応じた第 1 の 1 ビッ
トデータを前記受信側へ送信し、
前記受信側が、前記第 1 時刻における前記送出信号のレベルの変化に基づき前記第 1 時
刻から第 1 期間の経過した第 2 時刻においてレベルの変化する割り込み信号を生成し、
前記受信側が、前記割り込み信号のレベルの変化に基づき前記第 1 の 1 ビットデータを
処理し、
前記受信側が、前記第 2 時刻から第 2 期間の経過した第 3 時刻および前記第 3 時刻から
第 3 期間の経過した第 4 時刻においてレベルの変化するアクノレッジ信号を生成し前記送
信側へ送信し、
前記送信側が、前記第 4 時刻における前記アクノレッジ信号のレベルの変化に基づいて
、前記第 1 のビットデータの送受信を完了する
ことを特徴とする非同期シリアル通信方法。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、非同期シリアル通信方法及び非同期シリアル通信装置に関する。

【背景技術】

【0002】

非同期回路は 50 年程前から知られ、遅延素子を用いた非同期ステートマシンや計算機
等が開発されていた。しかし、1970 年代に入って、クロック信号を用いて回路駆動を

50

行う同期設計手法が導入され、専用の小規模集積回路（SSI；Small Scale integration）・中規模集積回路（MSI；Medium Scale Integration）のラインナップが出揃うと、非同期回路は殆ど姿を消した。

【0003】

しかし、近年、集積されるトランジスタ数が増加し、超微細化加工技術を用いて作製された半導体デバイスのチップサイズが大きくなるに従って、クロック信号の生成、送出的ための消費電流の増加に伴う発熱問題や、クロックスキュー問題が深刻になり、同期設計手法の限界が顕在化してきた。この問題に対して、特許文献1には、同期シリアル通信装置におけるクロック信号の生成、送出に要する消費電力を削減することが可能なシリアル通信方法が開示されている。しかし、同期設計手法では、常時クロック信号を供給する必要があるので消費電流を大幅に減らす事が出来ず、またクロックスキュー問題も解決する事が出来なかった。

10

【0004】

このような状況から、非同期回路を用いて駆動電圧及び温度の変動やクロックスキュー、ジッターに対処し、強靱、低消費電力かつ低ノイズの大規模集積回路（VLSI；Very Large Scale Integration）を実現することが重要課題として脚光を浴びようになってきた。非同期回路は、クロック信号を用いないためにクロックスキュー、ジッターを考慮する必要がない上に、消費電流が小さく、高調波ノイズも低減出来るという利点を有する。

【0005】

また、従来表示装置に多用されてきた低温ポリシリコン（LTPS；Low Temperature Poly-crystalline Silicon）TFT（Thin Film Transistor）をフレキシブル・デバイスに適用する動きも最近になって活発になってきている。このLTPSにも非同期回路を採用する事で、LTPS TFTの大きな特性ばらつきに影響されず、かつ自己発熱問題を解決して、安定動作するデバイスの実現が可能であることが示されている。

20

【0006】

以上の様なトレンドに従い、各種の非同期回路が開発されて実用に供され始めているが、非同期回路によって構成される装置間の通信方法には一長一短があり、未だ確立されていない。

【特許文献1】特開2005-020308号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0007】

非同期シリアル通信装置間の通信方法には、（1）2線式符号化を用いた4相ハンドシェーキングと、（2）バンドル・データ方式を用いた4相ハンドシェーキングがある。

しかし、（1）の通信方法の欠点は、1ビットのデータ通信に必要な信号線が3本（データ線2本+制御線1本）であり、同期通信方法の場合よりも1本多い点と、回路が複雑になる点である。また、（2）の通信方法の欠点は、1ビットのデータ通信に必要な信号線が3本（データ線1本+制御線2本）である点と、遅延素子による通信速度の劣化がある点である。

【0008】

40

本発明は上記事情を考慮してなされたもので、その目的は、ある程度の高速性を得ながら、信号線数が少なく、回路規模を小さくする事の出来る非同期シリアル通信方法及び非同期シリアル通信装置を提供する事である。

【課題を解決するための手段】

【0009】

本発明は上記の課題を解決するためになされたもので、本発明に係る非同期シリアル通信装置は、送信装置と、第1受信装置と、を含み、前記送信装置は、第1時刻において信号レベルを所定のレベルへ変化させた後、所定の第1期間の経過後から別に定めた第2期間以内に、送出信号のレベルに応じた第1の1ビットデータを前記第1受信装置へ送信するものであり、前記第1受信装置は、前記第1時刻における前記送出信号のレベルの変化

50

に基づき前記第 1 時刻から第 1 期間の経過した第 2 時刻においてレベルの変化する割り込み信号を生成し、前記割り込み信号のレベルの変化に基づき前記第 1 の 1 ビットデータを処理し、前記第 2 時刻から第 2 期間の経過した第 3 時刻および前記第 3 時刻から第 3 期間の経過した第 4 時刻においてレベルの変化するアクノレッジ信号を生成し前記送信装置へ送信するものであり、前記送信装置は、更に、前記アクノレッジ信号のレベルの変化に基づいて、前記第 1 の 1 ビットデータの送受信を完了するものであることを特徴とする。

【 0 0 1 0 】

また、本発明に係る非同期シリアル通信装置は、さらに、第 2 受信装置と、を含む、ことを特徴とする。

【 0 0 1 1 】

また、本発明に係る非同期シリアル通信装置は、さらに、前記送信装置が書き込み信号を生成し、前記書き込み信号に基づき出力制御信号を生成し、前記出力制御信号に基づき前記第 1 時刻においてレベルの変化する前記送出信号を前記第 1 受信装置へ送信するものである、ことを特徴とする。

【 0 0 1 2 】

また、本発明に係る非同期シリアル通信装置は、さらに、前記第 1 受信装置が前記第 1 時刻における前記送出信号のレベルの変化に基づきレベルの変化する遅延信号を生成し、前記第 1 時刻における前記送出信号のレベルの変化に基づき読み出し信号を生成し、前記第 2 時刻においてレベルの変化する前記割り込み信号を生成し、前記割り込み信号のレベルの変化に基づき前記第 1 の 1 ビットデータを処理し、前記第 3 時刻および前記第 4 時刻においてレベルの変化する前記アクノレッジ信号を生成し前記送信装置へ送信するものである、ことを特徴とする。

【 0 0 1 3 】

また、本発明に係る非同期シリアル通信装置は、さらに、前記送信装置から前記第 1 受信装置へ前記送出信号を送信する第 1 信号線と、前記第 1 受信装置から前記送信装置へ前記アクノレッジ信号を送信する第 2 信号線と、を含む、ことを特徴とする。

【 0 0 1 4 】

また、本発明に係る非同期シリアル通信装置は、さらに、前記送信装置が前記第 4 時刻における前記アクノレッジ信号のレベルの変化に基づいて前記第 1 の 1 ビットデータの次に送出する第 2 の 1 ビットデータの送出を行うものであることを特徴とする。

【 0 0 1 5 】

また、本発明に係る複数の通信線によって通信する非同期シリアル通信装置は、前記複数の通信線のうちの第 1 通信線における信号レベルを所定のレベルへ変化させた後、所定の第 1 時間 T_1 の経過後から別に定めた第 2 時間 T_2 以内に、前記第 1 通信線の信号レベルを変化させて 1 ビットの第 1 送出データを送出し、アクノレッジ信号の変化を検出すると送出データの送出を完了する送信側通信ポートと、前記第 1 通信線における信号レベルの変化を検出してから更に別に定めた第 3 時間 T_3 (但し、 $T_3 > T_1 + T_2$) の経過後、または該第 3 時間 T_3 の経過時点の何れかに、前記第 1 通信線における信号レベルに応じた前記 1 ビットの第 1 送出データを取り込んだ後、前記アクノレッジ信号の信号レベルを変化させて前記アクノレッジ信号を前記送信側通信ポートに送出する受信側通信ポートと、前記送信側通信ポートが前記 1 ビットの第 1 送出データを送出した時間と同じ時間に、前記複数の通信線のうち前記第 1 通信線と異なる第 2 通信線における信号レベルを変化させて 1 ビットの第 2 送出データを送出する第 2 送信側通信ポートと、前記受信側通信ポートが前記 1 ビットの第 1 送出データを取り込む時間と同じ時間に、前記第 2 通信線における信号レベルに応じた前記 1 ビットの第 2 送出データを取り込む第 2 受信側通信ポートとを備え、前記送信側通信ポートと前記受信側通信ポートは、前記複数の通信線のうち少なくとも 1 本の通信線によって接続され、前記第 2 送信側通信ポートと前記第 2 受信側通信ポートは、前記少なくとも 1 本の通信線以外の通信線によって接続され、前記送信側通信ポート、及び前記第 2 送信側通信ポートは、直前の送出信号レベルを保持する送出信号レベル保持器と、該直前の送出信号レベルと反対の信号レベルを生成する逆信号発生器と

10

20

30

40

50

、入力された送信側ポート書き込み信号から所定のパルス幅を持った出力制御信号を生成する出力制御信号生成器と、該出力制御信号に応じて、前記直前の送出信号レベルと前記直前の送出信号レベルと反対の信号レベルの何れか一方を選択して出力する選択器とを有し、前記受信側通信ポートは、前記信号レベルの変化を検出した場合に検出信号を出力する信号変化検出器と、前記信号変化検出器から前記検出信号を読みとった場合、所定時間後にデータ読み出し信号を生成する読み出し信号生成器と、前記データ読み出し信号に応じて、前記第1送出データを読み取り、アクノレッジ信号のレベルを変化させて前記送信側通信ポートに送出する読取り手段とを有することを特徴とする。

【0016】

また、本発明に係る複数の通信線によって通信する非同期シリアル通信装置は、前記複数の信号線のうちの第1信号線における最後に送出した信号のレベルから反対のレベルへ信号レベルを変化させた後、所定の第1時間T1の経過後から別に定めた第2時間T2以内に、前記第1通信線の信号レベルを変化させて1ビットの第1送出データを送出し、アクノレッジ信号の変化を検出すると送出データの送出を完了する送信側通信ポートと、前記第1通信線における信号レベルの変化を検出してから更に別に定めた第3時間T3（但し、 $T3 > T1 + T2$ ）の経過後、または該第3時間T3の経過時点の何れかに、前記第1通信線における信号レベルに応じた前記1ビットの第1送出データを取り込んだ後、前記アクノレッジ信号の信号レベルを変化させて前記アクノレッジ信号を前記送信側通信ポートに送出する受信側通信ポートと、前記送信側通信ポートが前記1ビットの第1送出データを送出した時間と同じ時間に、前記複数の通信線のうち前記第1通信線と異なる第2通信線における信号レベルを変化させて1ビットの第2送出データを送出する第2送信側通信ポートと、前記受信側通信ポートが前記1ビットの第1送出データを取り込む時間と同じ時間に、前記第2通信線における信号レベルに応じた前記1ビットの第2送出データを取り込む第2受信側通信ポートとを備え、前記送信側通信ポートと前記受信側通信ポートは、前記複数の通信線のうち少なくとも1本の通信線によって接続され、前記第2送信側通信ポートと前記第2受信側通信ポートは、前記少なくとも1本の通信線以外の通信線によって接続され、前記送信側通信ポート、及び前記第2送信側通信ポートは、直前の送出信号レベルを保持する送出信号レベル保持器と、該直前の送出信号レベルと反対の信号レベルを生成する逆信号発生器と、入力された送信側ポート書き込み信号から所定のパルス幅を持った出力制御信号を生成する出力制御信号生成器と、該出力制御信号に応じて、前記直前の送出信号レベルと前記直前の送出信号レベルと反対の信号レベルの何れか一方を選択して出力する選択器とを有し、前記受信側通信ポートは、前記信号レベルの変化を検出した場合に検出信号を出力する信号変化検出器と、前記信号変化検出器から前記検出信号を読みとった場合、所定時間後にデータ読み出し信号を生成する読み出し信号生成器と、前記データ読み出し信号に応じて、前記第1送出データを読み取り、アクノレッジ信号のレベルを変化させて前記送信側通信ポートに送出する読取り手段とを有することを特徴とする。

【0020】

また、本発明に係る非同期シリアル通信装置は、前記送信側通信ポート及び前記受信側通信ポートを制御するCPUを更に備えることを特徴とする。

本発明では、CPUが送信側通信ポートと受信側通信ポートを直接制御して非同期シリアル通信方法を実行するので、専用の回路が不要となる。従って、回路規模を小さくすると共に消費電流を小さくする事が出来る。

【0021】

また、本発明に係る非同期シリアル通信装置は、光出力器と光検出器を更に備え、前記信号レベルが光の強度であることを特徴とする。

本発明では、遠距離の通信が出来る。

【0022】

また、本発明に係る非同期シリアル通信装置は、前記信号レベルが電流の方向であることを特徴とする。

本発明では、遠距離の通信が出来る。

【0023】

また、本発明に係る非同期シリアル通信装置は、1つの送信側通信ポートに対して複数の受信側通信ポートが通信線によって接続され、1対多通信を行うことを特徴とする。

本発明では、送信側通信ポートが複数の受信側通信ポートに対して送出データを送出する事が出来る。

【0024】

また、本発明に係る非同期シリアル通信装置は、前記送信側通信ポートが宛先アドレスとブロードキャスト・フラッグとデータを含むパケットを送信し、前記受信側通信ポートは、前記パケットを受信することを特徴とする。

本発明では、送信側通信ポートが複数の受信側通信ポートに対してパケットを送出する事が出来る。

【0025】

また、本発明に係る非同期シリアル通信装置は、前記受信側通信ポートが、自らの持つアドレスと宛先アドレスが一致した時またはブロードキャスト・フラッグが立っている時のみ受信動作を継続して完結することを特徴とする。

本発明では、受信側通信ポートがパケットの宛先アドレスとブロードキャスト・フラッグを確認するので、複数の受信側通信ポートの中から所望の受信側通信ポートのみにパケットを受信させる事が出来る。

また、本発明に係る非同期シリアル通信方法は、前記送信側が、第1時刻において信号レベルを所定のレベルへ変化させた後、所定の第1期間の経過後から別に定めた第2期間以内に、送出信号のレベルに応じた第1の1ビットデータを前記受信側へ送信し、前記受信側が、前記第1時刻における前記送出信号のレベルの変化に基づき前記第1時刻から第1期間の経過した第2時刻においてレベルの変化する割り込み信号を生成し、前記受信側が、前記割り込み信号のレベルの変化に基づき前記第1の1ビットデータを処理し、前記受信側が、前記第2時刻から第2期間の経過した第3時刻および前記第3時刻から第3期間の経過した第4時刻においてレベルの変化するアクノレッジ信号を生成し前記送信側へ送信し、前記送信側が、前記第4時刻における前記アクノレッジ信号のレベルの変化に基づいて、前記第1のビットデータの送受信を完了することを特徴とする。

【発明を実施するための最良の形態】

【0026】

<第1の実施形態>

以下に、図面を参照して本発明の第1の実施形態について説明する。

図1は、本発明の第1の実施形態に係る非同期シリアル通信方法に従って通信する非同期シリアル通信装置のブロック図である。

【0027】

同図において、100は送信側通信ポート、101は受信側通信ポートである。送信側通信ポート100と受信側通信ポート101とは、送出信号を伝達する1本のデータ線(通信線)とアクノレッジ信号を伝達する1本のアクノレッジ線とにより相互に接続される。これにより、非同期シリアル通信装置が構成される。

この非同期シリアル通信装置は、送信側通信ポート100が送出信号を受信側通信ポート101に対して送し、受信側通信ポート101が上記送出信号を受信してアクノレッジ信号を送信側通信ポート100へ送するものであり、次に説明する非同期シリアル通信方法に従って通信を行う。

【0028】

図2は、本実施形態に係る非同期シリアル通信方法を示す送出信号とアクノレッジ信号の波形図である。同図には、送信側通信ポート100が送出する送出信号と、受信側通信ポート101が送出するアクノレッジ信号が示されている。なお、図示した波形は電圧レベルを表している。

【0029】

まず、送信側通信ポート100は、送出信号の信号レベルを最後に送出した信号のレベルから反対のレベルへ変化させる。ここでは、送出信号の信号レベルが“0”（最後に送出した信号のレベル）から“1”へ変化している（時刻t1）。この時、受信側通信ポート101は、この送出信号の信号レベルの変化を検出する。

【0030】

次に、送信側通信ポート100は送出信号の信号レベル“1”を所定の時間（第1時間T1）以上保持し、別に定めた時間（第2時間T2）以内に1ビットの送出データを送出する。図示した例では、送信側通信ポート100は送出信号の信号レベル“1”を時刻t2までの間保持し、その時刻t2に1ビットの送出データ“1”を送出している。

【0031】

次に、受信側通信ポート101は時刻t1での送出信号の信号レベルの変化（“0”から“1”）を検出後、更に別に定めた時間（第3時間T3、但しT3>T1+T2）の経過後に上記1ビットの送出データ“1”を取り込み（時刻t3）、アクノレッジ信号は“1”へ変化する（時刻t4）。次に、アクノレッジ信号は“0”へ変化する（時刻t5）。上記アクノレッジ信号の変化により、次の1ビットの送出データの送出が可能となる。

以上の一連の処理で、1ビットの送出データの送受信が完了する。

【0032】

次に、送信側通信ポート100が送出信号の信号レベルを最後に送出した信号のレベルから反対のレベルへ変化させると、再度1ビットの送出データの送受信が始まる（時刻t6～t10）。同図に示した例では、送出信号の信号レベルが“1”（最後に送出した信号のレベル）から“0”へ変化してから次の1ビットの送出データの送出が始まる。

【0033】

つまり、上述してきた非同期シリアル通信方法によれば、送信側通信ポートが送出した送出信号の信号レベルが変化すると、受信側通信ポートはその信号レベルの変化を検出する事で1ビットの送出データが所定時間後に届く事が分かるので、所定時間後に1ビットの送出データを取り込み、受信した事を示すアクノレッジ信号を送出する。従って、本発明に係る非同期シリアル通信方法を使用すれば、データ線1本、アクノレッジ線1本の計2本の信号線のみで非同期シリアル通信が行える。この方式をWhipping方式と名付ける。

【0034】

図3は、本実施形態に係る非同期シリアル通信方法に従って送出した送出信号の波形図である。

同図は、ビット列“0010111000”を送出する場合の一例である。本発明に係る非同期シリアル通信方法によれば、まず、送出信号は最後に送出した信号のレベルから反対のレベルへ変化する。そこで、次の方法で送出信号の変化方向を求める。

【0035】

送出信号の各ビットに対する最後に送出したビット列は、“0001011100”であり、その論理反転は、“1110100011”である。従って、信号レベルの変化する方向を“1”が“ ”、“0”が“ ”と定義すると、送出信号の信号レベルの変化する方向は、順に“ ”である。

【0036】

送出信号はそれぞれのビットで上記方向に変化した後に1ビットの送出データとなるため、変化方向と1ビットの送出データの組み合わせは、順に{ ,0 } { ,0 } { ,1 } { ,0 } { ,1 } { ,1 } { ,1 } { ,0 } { ,0 } { ,0 }となる。

【0037】

つまり、送出信号は同図に示した様に最初に“0”から“1”へ変化した後、所定時間経過後に1ビットの送出データである“0”に変化する。次に、所定時間経過後に最後に送出した信号のレベルである“0”から“1”へ変化した後、所定時間経過後に1ビットの送出データである“0”に変化する。その後も、送出信号は上記の変化方向と1ビットの送出データの組み合わせに従って変化する。

10

20

30

40

50

【0038】

次に、図4、図5を参照して、非同期シリアル通信装置の送信側通信ポートの構成例について説明する。

図4は、非同期シリアル通信装置の送信側通信ポートのブロック図である。

同図において、400は出力制御信号生成器、401はフリップフロップ、402は2入力マルチプレクサである。

【0039】

フリップフロップ401（送出信号レベル保持器及び逆信号発生器）の入力端には、1ビットデータが入力される。また、出力制御信号生成器400の入力端には、送信側ポート書き込み信号が入力される。出力制御信号生成器400の出力端はフリップフロップ401のクロック入力端子に接続されると共に、2入力マルチプレクサ402（選択器）の選択端子に接続される。

10

【0040】

また、フリップフロップ401の出力端は2入力マルチプレクサ402の一方の入力端に接続され、フリップフロップ401の反転出力端は2入力マルチプレクサ402の他方の入力端に接続される。2入力マルチプレクサ402の出力端からは、送出信号が出力される。

【0041】

なお、1ビットデータと送信側ポート書き込み信号は、それぞれ図示しない非同期バスに接続される。また、非同期バスに非同期CPUを接続して、非同期CPUが送信側通信ポートを直接制御する様に構成しても良い。以下、非同期CPUが非同期バスに接続されている構成を一例として説明する。

20

【0042】

次に、図5を参照して、上記非同期シリアル通信装置の送信側通信ポートの動作を説明する。

図5は、非同期シリアル通信装置の送信側通信ポートの動作を示すタイミング図である。同図は、1ビットデータとして“01011”を順に送出する一例を示している。

【0043】

まず、図示しないアクノレッジ信号を受けた非同期CPUは、非同期バスを介して1ビットデータ“0”を出力する（時刻 t_0 ）。次に、非同期CPUは、所定の期間“0”から“1”に変化する送信側ポート書き込み信号を出力する（時刻 t_1 ）。

30

【0044】

上記送信側ポート書き込み信号の入力された出力制御信号生成器400は、起動され、所定の期間“1”から“0”へ変化する所定のパルス幅を持った単発パルスである出力制御信号を生成して出力する。次に、出力制御信号がクロック入力端子に入力されたフリップフロップ401（送出信号レベル保持器及び逆信号発生器）は、出力制御信号の立下りエッジで1ビットデータ“0”（直前の送出信号レベル）を取り込んで保持し、その取り込んだデータである“0”を信号Qとして出力し、直前の送出信号レベルと反対の信号レベルの信号Q_̄として“1”を出力する（時刻 t_1 ）。次に、出力制御信号は、所定の期間が経過後“1”に戻る（時刻 t_2 ）。

40

【0045】

ここで、2入力マルチプレクサ402（選択器）は、選択端子に入力される出力制御信号が“0”の際にはフリップフロップ401の出力である信号Q_̄（直前の送出信号レベルと反対の信号レベル）を出力し、選択端子に入力される出力制御信号が“1”の際にはフリップフロップ401の出力である信号Q（直前の送出信号レベル）を送出信号として出力する。

【0046】

従って、時刻 t_0 から t_1 までの期間は出力制御信号が“1”であるので、送出信号は“0”となり、時刻 t_1 から t_2 までの期間は出力制御信号が“0”であるので、送出信号は“1”となる。なお、送出信号の切り替え時に若干のハザードが乗る事は許容される

50

【 0 0 4 7 】

次に、時刻 t_2 が経過後、次のアクノレッジ信号が入力されるまでは、出力制御信号は“ 1 ”であるので、送出信号は“ 0 ”となる。この値は、時刻 t_1 においてフリップフロップ 4 0 1 が取り込んだ 1 ビットデータの値である。

即ち、以上の 1 トランザクションの動作において、送信側通信ポートは図 2 (b) を用いて説明した非同期シリアル通信方法に従って送出信号を出力出来る。

これ以降の動作も上述した動作と同一であり、時刻 t_3 においてアクノレッジ信号が入力されると送出信号の変化が再度始まる。

【 0 0 4 8 】

次に、図 6 ~ 図 8 を参照して、非同期シリアル通信装置の受信側通信ポートの構成について説明する。

図 6 は、非同期シリアル通信装置の受信側通信ポートのブロック図である。

同図において、6 0 0 は信号変化検出器、6 0 1 は読み出し信号生成器である。

【 0 0 4 9 】

信号変化検出器 6 0 0 の出力端は、読み出し信号検出器 6 0 1 の入力端に接続される。信号変化検出器 6 0 0 の入力端には送出信号が入力され、読み出し信号生成器 6 0 1 の出力端からはデータ読み出し信号が出力される。データ読み出し信号は、図示しない非同期バスを介して図示しない非同期 CPU に接続される。

【 0 0 5 0 】

次に、この受信側通信ポートの動作を説明する。まず、信号変化検出器 6 0 0 は、入力された送出信号の信号レベルが変化すると、それを検出して検出信号を出力する。次に、読み出し信号生成器 6 0 1 は、検出信号を読みとった場合、所定時間後にデータ読み出し信号を生成して出力する。

【 0 0 5 1 】

図 7 は、非同期シリアル通信装置の受信側通信ポートとデータ処理部のブロック図である。

同図において、7 0 0 は遅延部、7 0 1 は論理回路、7 0 2 はセット・リセットフリップフロップ、7 0 3 は CPU (Central Processing Unit)、7 0 4 はトライステートバッファ、7 0 5 はインバータである。

ここで、遅延部 7 0 0 と論理回路 7 0 1 とトライステートバッファ 7 0 4 とインバータ 7 0 5 は、受信側通信ポート 1 0 1 を構成する。また、図 6 を用いて説明した読み出し信号生成器 6 0 1 は遅延部 7 0 0 と論理回路 7 0 1 に相当し、信号変化検出器 6 0 0 は備えていない。

【 0 0 5 2 】

送出信号は、遅延部 7 0 0 の入力端と論理回路 7 0 1 の 2 つの入力端とトライステートバッファ 7 0 4 の入力端に入力される。また、遅延部 7 0 0 の出力端は、論理回路 7 0 1 の別の 2 つの入力端に接続される。また、論理回路 7 0 1 の出力はインバータ 7 0 5 の入力端に接続され、インバータ 7 0 5 の出力端はセット・リセットフリップフロップ 7 0 2 のセット端子に接続される。

【 0 0 5 3 】

また、トライステートバッファ 7 0 4 の出力端は、CPU 7 0 3 に接続される。また、セット・リセットフリップフロップ 7 0 2 の出力端とリセット端子は、それぞれ CPU 7 0 3 に接続される。また、CPU 7 0 3 は、アクノレッジ信号を出力する。

【 0 0 5 4 】

次に、図 8 を参照して、上記受信側通信ポートとデータ処理部の動作を説明する。

図 8 は、受信側通信ポートとデータ処理部の動作を示すタイミング図である。

ここでは、送出信号が時刻 t_1 で“ 0 ”から“ 1 ”へ変化し、時刻 t_2 で 1 ビットの送出データ“ 0 ”へ変化した場合を考える。まず、遅延部 7 0 0 は、送出信号を遅延させると共に論理反転させて遅延信号として出力する。それにより、遅延信号は、時刻 t_3 にお

10

20

30

40

50

いて“ 1 ”から“ 0 ”に変化する。その結果、送出信号と遅延信号が入力される論理回路 701 は、時刻 t_1 から t_2 の間のみ“ 1 ”となるデータ読み出し信号を出力する。

【0055】

次に、データ読み出し信号は、インバータ 705 で反転され、セット・リセットフリップフロップ 702 のセット端子に入力されるので、セット・リセットフリップフロップ 702 は、時刻 t_2 において“ 1 ”へと変化する IREQ 信号（割り込み信号）を出力する。

【0056】

上記 IREQ 信号が入力された CPU 703 は、コンテキストをセーブする処理を行い、その処理が終了してデータの処理が可能となった後に IACK 信号（割り込みアクノレッジ信号）をセット・リセットフリップフロップ 702 のリセット端子に出力する（時刻 $t_4 \sim t_5$ ）。ここで、トライステートバッファ 704 は、出力インピーダンスのハイインピーダンス状態が解除され、1 ビットの送出データを CPU 703 へ出力し、CPU 703 は、入力された 1 ビットの送出データを処理する。そして、CPU 703 はアクノレッジ信号を出力する。

10

【0057】

一方、IACK 信号が入力されたセット・リセットフリップフロップ 702 はリセットされ、IREQ 信号は時刻 t_4 において“ 0 ”となり、CPU 703 は、割り込み前にセーブしたコンテキストを基に割り込み前の処理に復帰する。

また、送出信号が“ 1 ”から“ 0 ”へ変化した場合も同様の処理を行う。なお、図示した遅延時間は一例であって、異なった時間でも良い。

20

【0058】

次に、図 9 から図 11 を参照して、非同期 CPU が非同期バスを介して直接送信側通信ポートを制御して送出信号を送出する構成について説明する。

図 9 は、非同期 CPU が直接制御する送信側通信ポートのブロック図である。

同図において、900 は非同期 CPU、901 はメモリ、902 はデコーダ、903 は論理回路、904 はフリップフロップである。

【0059】

非同期 CPU 900 は、非同期バスを介してメモリ 901 とデコーダ 902 と論理回路 903 とフリップフロップ 904 に接続される。詳細には、ポート・アドレス A [15:0] はデコーダ 902 の入力端に接続され、8 ビットの出力データ・バス DO [7:0] の LSB（最下位ビット）であるデータ DO [0] はフリップフロップ 904 の入力端に接続され、書き込み信号 WR_{__} は論理回路 903 の一方の入力端に接続される。

30

また、デコーダ 902 の出力端は論理回路 903 の他方の入力端に接続され、論理回路 903 の出力端はフリップフロップ 904 のクロック入力端に接続される。フリップフロップ 904 の出力端は、送出信号を出力する。

【0060】

次に、図 10 を参照して、上記送信側通信ポートの動作を説明する。

図 10 は、非同期 CPU が直接制御する送信側通信ポートの動作を示すタイミング図である。

40

まず、図示しないアクノレッジ信号を受けた非同期 CPU 900 は、割り込み禁止をし、送出信号の送出を行いたい送信側通信ポートのアドレスをポート・アドレス A [15:0] として出力すると共に、送出したい 1 ビットの送出データをデータ DO [7:0] の所定のビットに出力する。同図に示した例では、非同期 CPU 900 は、送出したい 1 ビットの送出データをデータ DO [0] = “ 1 ”として出力する。

【0061】

次に、非同期 CPU 900 は、時刻 t_1 において、書き込み信号 WR_{__} を“ 1 ”から“ 0 ”に変化させる。この時刻 t_1 において、データ DO [0] は、“ 1 ”であり、ポート・アドレス A [15:0] をデコーダ 902 によってデコードした信号 CS_{__} は、“ 0 ”である。その結果、データ書き込み信号 R は、“ 0 ”から“ 1 ”になり、フリップフロ

50

プ 9 0 4 は、そのタイミングでデータ D O [0] = “ 1 ” を取り込んで保持し、時刻 t 2 において送出信号として “ 1 ” を出力する。

【 0 0 6 2 】

次に、非同期 C P U 9 0 0 は、時刻 t 3 において、書き込み信号 W R _ を “ 0 ” から “ 1 ” に変化させる。次に、所定の時間が経過後、非同期 C P U 9 0 0 は、時刻 t 4 において書き込み信号 W R _ を “ 1 ” から “ 0 ” に変化させる。

【 0 0 6 3 】

この時刻 t 4 において、非同期 C P U 9 0 0 はデータ D O [0] として 1 ビットの送出データ “ 0 ” を出力している。また、ポート・アドレス A [1 5 : 0] をデコーダ 9 0 2 によってデコードした信号 C S _ は “ 0 ” である。その結果、データ書き込み信号 R は “ 0 ” から “ 1 ” になり、フリップフロップ 9 0 4 はデータ D O [0] = “ 0 ” を取り込んで保持し、時刻 t 5 において送出信号として “ 0 ” を出力する。

【 0 0 6 4 】

最後に、非同期 C P U 9 0 0 は時刻 t 6 において書き込み信号 W R _ を “ 0 ” から “ 1 ” に変化させ、割り込み禁止を解除して、所定のポートに対する 1 ビットの信号の送出処理を終了する。

つまり、上述した処理により、非同期 C P U 9 0 0 は直接送信側出力ポートを制御して、本発明に係る非同期シリアル通信方法に従って送出信号を送出することが出来る。

【 0 0 6 5 】

図 1 1 は、非同期 C P U が直接制御する送信側通信ポートの処理を示すフローチャートである。

非同期 C P U 9 0 0 は 1 ビットの送出データを送出する際には、まず割り込み禁止をする (ステップ S 1)。次に、非同期 C P U 9 0 0 は、直前の送出信号が “ 1 ” であるか判定する (ステップ S 2)。直前の送出信号が “ 1 ” であった場合には (ステップ S 2 ; Y e s)、 “ 0 ” を書き (ステップ S 3)、直前の送出信号が “ 0 ” であった場合には (ステップ S 2 ; N o) “ 1 ” を書く (ステップ S 4)。

【 0 0 6 6 】

次に、非同期 C P U 9 0 0 は 1 ビットの送出データが “ 1 ” であるか判定する (ステップ S 5)。1 ビットの送出データが “ 1 ” であった場合には (ステップ S 5 ; Y e s) “ 1 ” を書き (ステップ S 6)、1 ビットの送出データが “ 0 ” であった場合には (ステップ S 5 ; N o) “ 0 ” を書く (ステップ S 7)。最後に、非同期 C P U 9 0 0 は割り込み禁止を解除して (ステップ S 8)、1 ビットの送出データの送出処理を終了する。

【 0 0 6 7 】

以上に述べてきた例では、送信側通信ポートと受信側通信ポートとが 1 本のデータ線で接続されている場合を説明してきたが、複数のデータ線で接続して複数ビットの送出信号を同時に送出しても良い。次に、複数のデータ線を使用する一例について、図 1 2 を参照して説明する。

【 0 0 6 8 】

図 1 2 は、同時に複数ビットの通信を行う非同期シリアル通信装置のブロック図である。

同図において、1 2 0 0 - 1 ~ 1 2 0 0 - n は送信側通信ポート、1 2 0 1 - 1 ~ 1 2 0 1 - n は受信側通信ポートである。

【 0 0 6 9 】

送信側通信ポート 1 2 0 0 - 1 は、送出信号 1 を伝達する 1 本のデータ線 (通信線) と、アクノレッジ信号を伝達する 1 本のアクノレッジ線によって受信側通信ポート 1 2 0 1 - 1 と接続される。また、送信側通信ポート 1 2 0 0 - 2 は、送出信号 2 を伝達する 1 本のデータ線 (通信線) によって受信側通信ポート 1 2 0 1 - 2 と接続される。更に、送信側通信ポート 1 2 0 0 - n は、送出信号 n を伝達する 1 本のデータ線 (通信線) によって受信側通信ポート 1 2 0 1 - n と接続される。その他の送信側通信ポートと受信側通信ポートも、それぞれデータ線により接続される。

10

20

30

40

50

【 0 0 7 0 】

なお、送信側通信ポート 1 2 0 0 - 2 ~ 1 2 0 0 - n (第 2 送信側通信ポート) は同じ機能を持つ複数個の送信側通信ポートであり、受信側通信ポート 1 2 0 1 - 2 ~ 1 2 0 1 - n (第 2 受信側通信ポート) は同じ機能を持つ複数個の受信側通信ポートである。また、n は 2 以上の正の数である。

【 0 0 7 1 】

次に、この非同期シリアル通信装置の動作を説明する。送信側通信ポート 1 2 0 0 - 1 と受信側通信ポート 1 2 0 1 - 1 は、前述した本発明に係る非同期シリアル通信方法に従って通信を行う。また、送信側通信ポート 1 2 0 0 - 2 ~ 1 2 0 0 - n は送信側通信ポート 1 2 0 0 - 1 と同じ時間にそれぞれ独立した 1 ビットの送出データ (第 2 送出データ) を送出し、受信側通信ポート 1 2 0 1 - 2 ~ 1 2 0 1 - n は受信側通信ポート 1 2 0 1 - 1 と同じ時間に上記 1 ビットの送出データを取り込む。

10

従って、簡単な回路構成で多ビットの通信を行なう事が出来る。

なお、本発明に係る非同期シリアル通信方法に従って通信を行う送信側通信ポート 1 2 0 0 - 1 と受信側通信ポート 1 2 0 1 - 1 はそれぞれ 1 つ備えれば良いが、複数備えても良い。

【 0 0 7 2 】

次に、電圧レベル以外を使用して通信する 2 つの例について、図 1 3 , 1 4 を参照して説明する。

図 1 3 は、光信号を用いて通信する非同期シリアル通信装置のブロック図である。

20

同図において、1 3 0 0 は送信側通信ポート、1 3 0 1 は受信側通信ポート、1 3 0 2 は送信側光出力器、1 3 0 3 は送信側光検出器、1 3 0 4 は受信側光検出器、1 3 0 5 は受信側光出力器である。

【 0 0 7 3 】

送信側通信ポート 1 3 0 0 の備える送信側光出力器 1 3 0 2 は、受信側通信ポート 1 3 0 1 の備える受信側光検出器 1 3 0 4 と接続され、受信側通信ポート 1 3 0 1 の備える受信側光出力器 1 3 0 5 は、送信側通信ポート 1 3 0 0 の備える送信側光検出器 1 3 0 3 と接続される。通信線は、光ファイバなどの光信号を伝送可能なケーブルである。又は、通信線を用いずに空間を用いて光信号を伝送しても良い。

【 0 0 7 4 】

30

送信側通信ポート 1 3 0 0 と受信側通信ポート 1 3 0 1 は、前述した本発明に係る非同期シリアル通信方法に従って通信を行うものである。送出信号は送信側光出力器 1 3 0 2 によって光信号に変換されて出力され、その光信号は受信側光検出器 1 3 0 4 によって検出されて通信を行う。同様に、アクノレッジ信号は受信側光出力器 1 3 0 5 によって光信号に変換されて出力され、その光信号は送信側光検出器 1 3 0 3 によって検出される。なお、前述した図 2 における信号レベルは光の強度に対応し、信号レベル “ 1 ” は、光信号のオンに対応し、信号レベル “ 0 ” は、光信号のオフに対応する。

【 0 0 7 5 】

図 1 4 は、電流を用いて通信する非同期シリアル通信装置のブロック図である。

同図において、1 4 0 0 は送信側通信ポート、1 4 0 1 は受信側通信ポートである。

40

送信側通信ポート 1 4 0 0 と受信側通信ポート 1 4 0 1 は、前述した本発明に係る非同期シリアル通信方法に従って通信を行うものである。送出信号とアクノレッジ信号は、前述した図 2 における信号レベルに 1 対 1 に対応する電流の方向に変換されて通信が行われる。同図においては、信号レベル “ 1 ” を左方向の電流とし、信号レベル “ 0 ” を右方向の電流としている。つまり、信号レベルは電流の方向に対応する。

【 0 0 7 6 】

次に、複数の受信側通信ポートを使用して通信を行う一例について、図 1 5 , 1 6 を参照して説明する。

図 1 5 は、1 対多通信を行う非同期シリアル通信装置のブロック図である。

同図において、1 5 0 0 は送信側通信ポート、1 5 0 1 - 1 ~ 1 5 0 1 - n は受信側通

50

信ポートである。

【0077】

送信側通信ポート1500は、1本のデータ線と1本のアクノレヅジ線によって受信側通信ポート1501-1から1501-nに接続される。

送信側通信ポート1500と受信側通信ポート1501-1から1501-nは、前述した本発明に係る非同期シリアル通信方法に従って通信を行うものであり、上記構成によって1対多通信が行える。

【0078】

また、送信側通信ポート1500がパケットを送信して、受信側通信ポート1501がそのパケットを受信するように構成しても良い。

図16は、パケットの構成図である。同図に示す様に、パケットは少なくとも送信元アドレスと宛先アドレスとブロードキャスト・フラグとデータとチェックサムとを含む。

その場合には、受信側通信ポート1501-1から1501-nのそれぞれは、自らが持つアドレスと宛先アドレスが一致した時またはブロードキャスト・フラグが立っている時のみ受信動作を継続して完結するように構成しても良い。

【0079】

<第2の実施形態>

以下に、図17を参照して本発明の第2の実施形態について説明する。

図17は、本発明の第2の実施形態に係る非同期シリアル通信方法を示す送出信号とアクノレヅジ信号の波形図である。同図には、送信側通信ポート100が送出する送出信号と、受信側通信ポート101が送出するアクノレヅジ信号が示されている。

【0080】

まず、送信側通信ポート100は、送出信号の信号レベルを“0”から“1”（所定のレベル）へ変化させる（時刻 t_1 ）。ここで、受信側通信ポート101は、この送出信号の信号レベルの変化を検出する。

次に、送信側通信ポート100は送出信号の信号レベル“1”を所定の時間（第1時間 T_1 ）以上保持し、別に定めた時間（第2時間 T_2 ）以内に1ビットの送出データを送出する。同図においては、送信側通信ポート100は送出信号の信号レベル“1”を時刻 t_2 までの間保持し、その時刻 t_2 に1ビットの送出データ“1”を送出している。

【0081】

次に、受信側通信ポート101は時刻 t_1 での送出信号の信号レベルの変化（“0”から“1”）を検出後、更に別に定めた時間（第3時間 T_3 、但し $T_3 > T_1 + T_2$ ）の経過後に、上記1ビットの送出データ“1”を取り込み（時刻 t_3 ）、アクノレヅジ信号は“1”へ変化する（時刻 t_4 ）。そのアクノレヅジ信号の変化により、送出信号は“0”へ変化する（時刻 t_5 ）。

【0082】

次に、送出信号の上記“0”への変化により、アクノレヅジ信号は“0”へ変化する（時刻 t_6 ）。以上の処理で、1ビットの送出データの送受信が完了する。

次に送信側通信ポート100が送出信号の信号レベルを“0”から“1”へ変化させると、再度1ビットの送出データの送受信が始まる（時刻 $t_7 \sim t_{12}$ ）。

【0083】

なお、上記説明では、送信側通信ポート100が送出信号の信号レベルを“0”から“1”へ変化させてから1ビットの送出データを送出する例を示したが、信号レベルを“1”から“0”へ変化させてから1ビットの送出データを送出しても良い。

また、この第2の実施形態に係る非同期シリアル通信方法に従って、第1の実施形態で説明した非同期シリアル通信装置を構成できる。

【0084】

なお、第1の実施形態と第2の実施形態に共通して、受信側通信ポート101は時刻 t_1 での送出信号の信号レベルの変化を検出後、所定の時間（第3時間 T_3 ）の経過時点で1ビットの送出データを取り込んで良い。

10

20

30

40

50

また、非同期CPUが受信側通信ポート101を直接制御しても良い。

【0085】

以上、本発明の実施形態を詳述してきたが、具体的な構成は本実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

例えば、1本のデータ線により1ビットの送出データの送出を行うものとして説明した例であっても、図12を用いて説明したように複数のデータ線を備えて同時に複数ビットの送出データの送出を行っても良い。

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施形態に係る非同期シリアル通信方法に従って通信する非同期シリアル通信装置のブロック図である。 10

【図2】同上の非同期シリアル通信方法を示す送出信号とアクノレッジ信号の波形図である。

【図3】同上の非同期シリアル通信方法に従って送出した送出信号の波形図である。

【図4】同上の非同期シリアル通信装置の送信側通信ポートのブロック図である。

【図5】同上の非同期シリアル通信装置の送信側通信ポートの動作を示すタイミング図である。

【図6】同上の非同期シリアル通信装置の受信側通信ポートのブロック図である。

【図7】同上の非同期シリアル通信装置の受信側通信ポートとデータ処理部のブロック図である。 20

【図8】同上の受信側通信ポートとデータ処理部の動作を示すタイミング図である。

【図9】同上の非同期CPUが直接制御する送信側通信ポートのブロック図である。

【図10】同上の非同期CPUが直接制御する送信側通信ポートの動作を示すタイミング図である。

【図11】同上の非同期CPUが直接制御する送信側通信ポートの処理を示すフローチャートである。

【図12】同上の同時に複数ビットの通信を行う非同期シリアル通信装置のブロック図である。

【図13】同上の光信号を用いて通信する非同期シリアル通信装置のブロック図である。

【図14】同上の電流を用いて通信する非同期シリアル通信装置のブロック図である。 30

【図15】同上の1対多通信を行う非同期シリアル通信装置のブロック図である。

【図16】同上のパケットの構成図である。

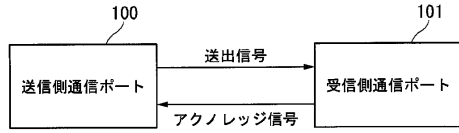
【図17】本発明の第2の実施形態に係る非同期シリアル通信方法を示す送出信号とアクノレッジ信号の波形図である。

【符号の説明】

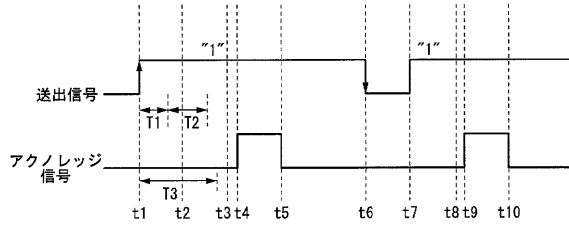
【0087】

100；送信側通信ポート、101；受信側通信ポート、400；出力制御信号生成器、401；フリップフロップ、402；2入力マルチプレクサ、600；信号変化検出器、601；読み出し信号生成器、700；遅延部、701；論理回路、702；セット・リセットフリップフロップ、703；CPU、704；トライステートバッファ、705；インバータ、900；非同期CPU、901；メモリ、902；デコーダ、903；論理回路、904；フリップフロップ。 40

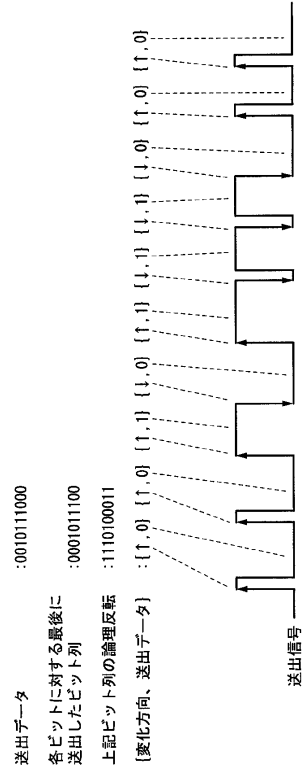
【図1】



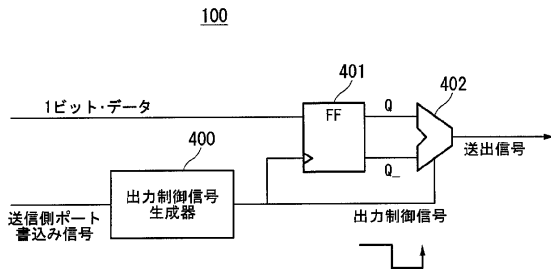
【図2】



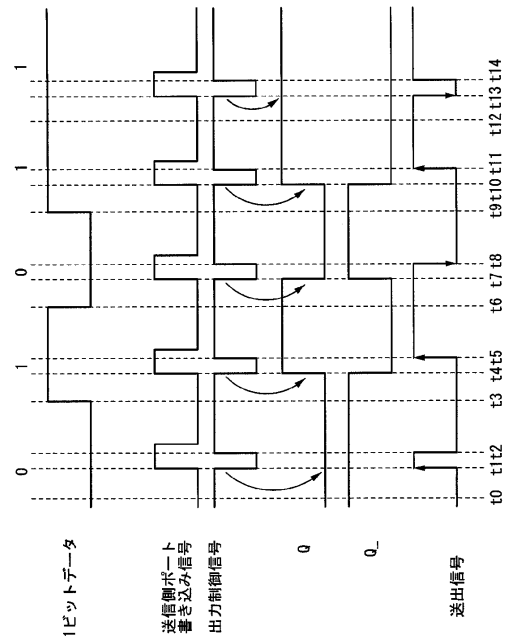
【図3】



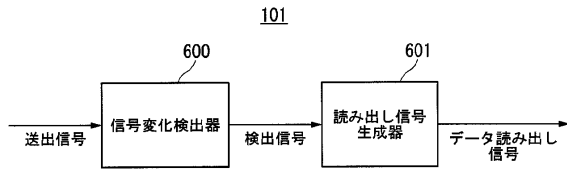
【図4】



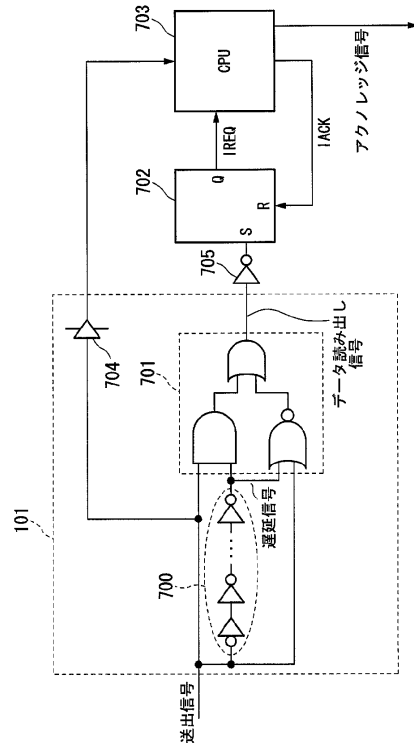
【図5】



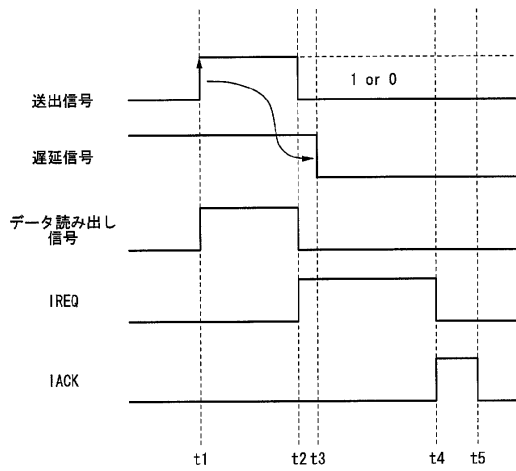
【図6】



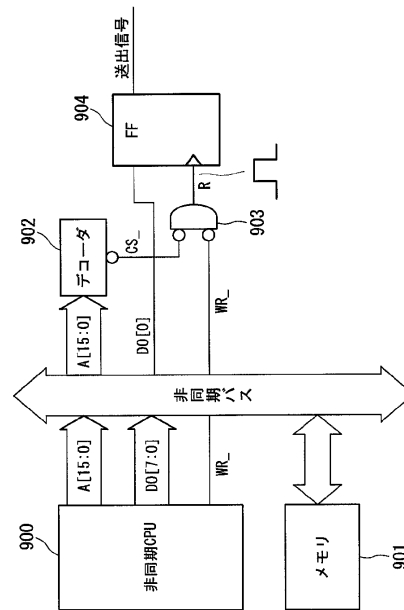
【図7】



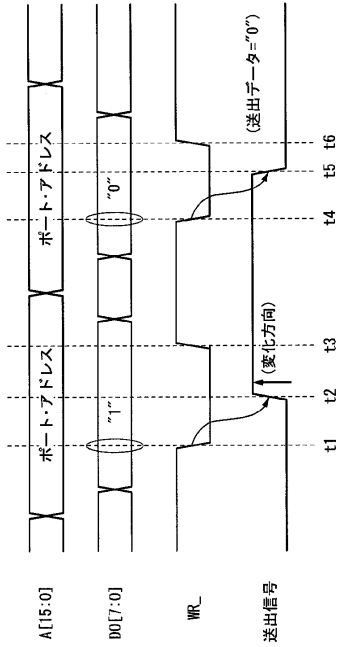
【図8】



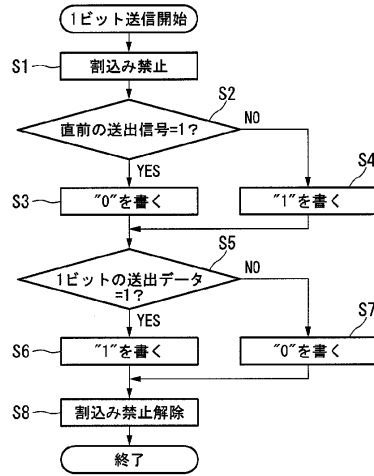
【図9】



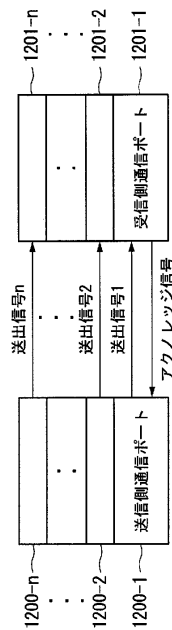
【図10】



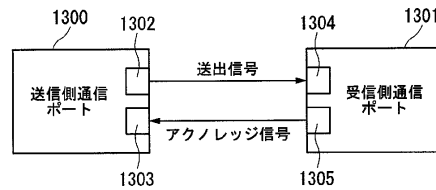
【図11】



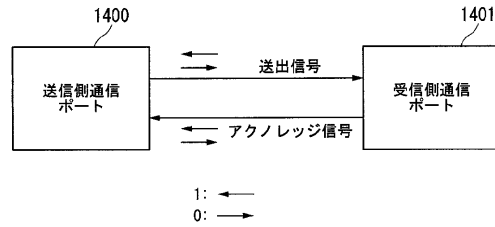
【図12】



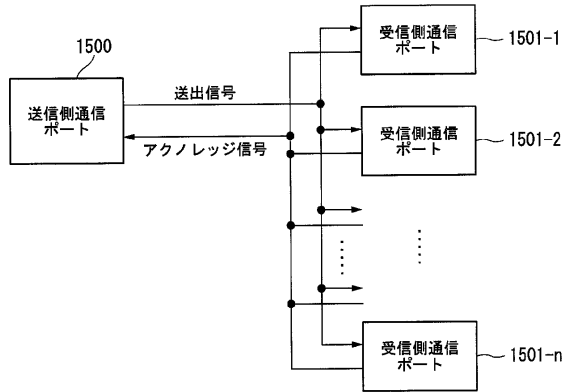
【図13】



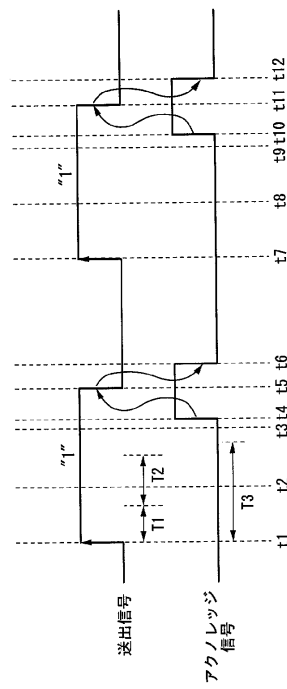
【図14】



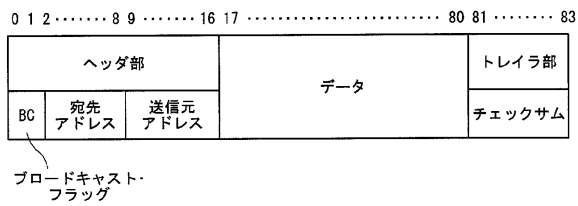
【図15】



【図17】



【図16】



フロントページの続き

- (56)参考文献 特開2002-190838(JP,A)
特開昭55-143857(JP,A)
特開2003-263404(JP,A)
特開2004-343802(JP,A)
特開2006-054926(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00 - 7/10