



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 696 36 913 T2** 2007.11.15

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 233 457 B1**

(21) Deutsches Aktenzeichen: **696 36 913.3**

(96) Europäisches Aktenzeichen: **02 008 520.5**

(96) Europäischer Anmeldetag: **09.05.1996**

(97) Erstveröffentlichung durch das EPA: **21.08.2002**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **14.02.2007**

(47) Veröffentlichungstag im Patentblatt: **15.11.2007**

(51) Int Cl.<sup>8</sup>: **H01L 29/739** (2006.01)  
**H01L 21/331** (2006.01)

(30) Unionspriorität:

**18578395 21.07.1995 JP**

(73) Patentinhaber:

**Mitsubishi Denki K.K., Tokyo, JP**

(74) Vertreter:

**WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,  
KAISER, POLTE, Partnerschaft, 85354 Freising**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(72) Erfinder:

**Takahashi, Hideki, Chiyoda-ku, Tokyo 100, JP**

(54) Bezeichnung: **Halbleiteranordnung mit isoliertem Gate und Verfahren zu ihrer Herstellung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft eine Halbleitervorrichtung bzw. -anordnung mit isoliertem Gate und ein Verfahren zum Herstellen derselben. Genauer betrifft die vorliegende Erfindung einen Anordnungs Aufbau, bei welchem ein parasitärer Transistor eines Bipolartransistor mit isoliertem Gate, welcher ein Graben-MOS-Gate aufweist, nicht leicht ein- bzw. durchschaltet, sodass ein sicherer Betriebsbereich (nachstehend "SOA" – safe operating area) groß ist, und betrifft auch ein Verfahren zum Herstellen derselben.

**[0002]** [Fig. 26](#) ist eine Teilschnittansicht einer herkömmlichen Halbleiteranordnung mit isoliertem Gate. Als ein Beispiel wird ein Bipolartransistor mit isoliertem Gate (nachstehend "IGBT"), speziell ein IGBT mit einem Grabengateaufbau beschrieben werden (ein IGBT mit einem Grabengateaufbau wird nachstehend als ein "U-IGBT" bezeichnet werden).

**[0003]** In den vergangenen Jahren sind in Spannungsschwingkreisen, die als Hochfrequenzumsetzer, Allzweck-Umsetzer, AC-Servo, Klimaanlage, etc. dienen, sehr oft IGBTs in verschiedenen Vorrichtungen wie etwa einem intelligenten Leistungsmodul, das eine veränderliche Drehzahl eines Dreiphasenmotors steuert, eingesetzt worden, um den Energieverbrauch, die Größe und das Gewicht von elektrischen Haushaltsgeräten zu verringern. Während eine Schaltcharakteristik, eine Sättigungsspannung und ein SOA bei IGBTs, d.h. Schlüsselvorrichtungen in diesen verschiedenen Geräten, gegeneinander abgewogen werden müssen, werden IGBTs mit einer besseren Schaltcharakteristik, einer niedrigen Sättigungsspannung und einem großen SOA verlangt.

**[0004]** In [Fig. 26](#) bezeichnet **1** eine P<sup>+</sup>-Kollektorschicht, **2** eine N<sup>-</sup>-Schicht, **3** eine P-Basissschicht, **4** N<sup>+</sup>-Emitterregionen, **5** Gräben, **6** Gateisolationfilme, **7** Gateelektroden, **8** einen Zwischenschichtisolationfilm, **9** eine N<sup>+</sup>-Pufferschicht, **10** eine Emittierelektrode, **11** eine Kollektorelektrode und **12** Kanalregionen.

**[0005]** Als nächstes wird eine Betriebsweise eines IGBT beschrieben werden.

**[0006]** Wenn über die Emittierelektrode **10** und die Kollektorelektrode **11** eine vorbestimmte Kollektorspannung  $V_{CE}$  angelegt wird und über die Emittierelektrode **10** und die Gateelektroden **7** eine vorbestimmte Gatespannung  $V_{GE}$  angelegt wird, kehren sich, wenn die Gates eingeschaltet werden, die Kanalregionen **12** in den N-Typ um, wodurch Kanäle gebildet werden. Durch diese Kanäle werden Elektronen aus der Emittierelektrode **10** in die N<sup>-</sup>-Schicht **2** injiziert. Injizierte Elektronen legen eine Vorspannung in Durchlassrichtung über die P<sup>+</sup>-Kollektorschicht **1**

und die N<sup>-</sup>-Schicht **2** an, sodass Löcher aus der Kollektorelektrode **11** durch die P<sup>+</sup>-Kollektorschicht **1** und die N<sup>+</sup>-Pufferschicht **9** in die N<sup>-</sup>-Schicht **2** injiziert werden. Die Leitfähigkeit wird demzufolge geändert und der Widerstand der N<sup>-</sup>-Schicht **2** wird in hohem Ausmaß vermindert, sodass sich eine Stromkapazität des IGBT erhöht. Ein Spannungsabfall zwischen Kollektor und Emitter in dem IGBT während diesen Zustands (ON-Zustand) definiert eine ON-Spannung ( $V_{CE(sat)}$ ).

**[0007]** Um den IGBT von einem ON-Zustand in einen OFF-Zustand zu ändern, wird, die über die Emittierelektrode **10** und die Gateelektroden **7** angelegte Gatespannung  $V_{GE}$  auf 0 V geändert oder wird über die Emittierelektrode **10** und die Gateelektroden **7** eine umgekehrte Vorspannung angelegt, wodurch die Gates sperren. Im Ergebnis kehren die in den N-Typ umgekehrten Kanalregionen **12** in den P-Typ zurück, sodass eine Injektion von Elektronen aus der Emittierelektrode **10** endet. In der N<sup>-</sup>-Schicht **2** aufgespeicherte Elektronen und Löcher fließen dann in die Kollektorelektrode **11** bzw. die Emittierelektrode **10** oder rekombinieren miteinander so, dass sie sich neutralisieren.

**[0008]** Die ON-Spannung des IGBT wird primär durch einen substanziellen Widerstand der N<sup>-</sup>-Schicht **2** bestimmt, der erforderlich ist, um eine Durchbruchspannung zu halten. Einer der Faktoren, die den Materialwiderstand bestimmen, ist eine Fähigkeit eines den IGBT ausbildenden MOSFET, Elektronen zuzuführen.

**[0009]** Bei einem U-IGBT, bei welchem enge und tiefe Nuten (Gräben) in einer Oberfläche eines Chips ausgebildet sind und MOSFETs in Seitenwänden der Gräben ausgebildet sind, wird die Fähigkeit der MOSFETs, Elektronen zuzuführen, durch weitestmögliches Reduzieren von Abständen zwischen Einheitszellen verbessert.

**[0010]** Im Allgemeinen ist ein Abschalt-Stromwert unter einer angelegten hohen Spannung eine wichtige elektrische Eigenschaft eines IGBT. Es ist daher vorzuziehen, einen höchstmöglichen Abschalt-Stromwert sicherzustellen. Je besser diese elektrische Eigenschaft ist, um so größer wird ein sicherer Betriebsbereich unter umgekehrter Vorspannung (nachstehend "RBSOA" – reverse bias safe operating area).

**[0011]** Wie indessen aus [Fig. 26](#), die den Aufbau des U-IGBT zeigt, klar verstanden werden kann, beinhaltet der U-IGBT einen parasitären Bipolartransistor, der durch die N<sup>+</sup>-Emitterregionen **4**, die P-Basissschicht **3** und die N<sup>-</sup>-Schicht **2** ausgebildet wird.

**[0012]** Wenn der parasitäre Bipolartransistor durchschaltet, kann die Gatespannung  $V_{GE}$  allein einen in

dem U-IGBT fließenden Strom nicht mehr steuern, wodurch der U-IGBT zerstört wird. Daher sind als Maßnahme zur Vergrößerung des RBSOA verschiedene Vorrichtungsstrukturen vorgeschlagen worden, in denen die Zellengröße klein ist, wobei eine Grabengatestruktur verwendet wird, sodass der parasitäre Bipolartransistor nicht leicht durchschaltet.

**[0013]** [Fig. 27](#) ist eine Teilschnittansicht, welche ein Beispiel einer herkömmlichen Halbleiteranordnung mit isoliertem Gate zeigt, die in der japanischen Offenlegungsschrift Nr. 60-253275 beschrieben ist.

**[0014]** In [Fig. 27](#) ist ein Halbleitersubstrat mit **13**, eine erste Hauptoberfläche des Halbleitersubstrats mit **14**, und P<sup>+</sup>-Regionen mit **15** bezeichnet. Die anderen Bezugszeichen sind den in [Fig. 24](#) verwendeten gleich. Die P<sup>+</sup>-Regionen **15** der N<sup>+</sup>-Emitterregionen **4** sind einfach deshalb angeordnet, um einen besseren Kontakt mit der Emittierelektrode **10** sicherzustellen. Die Störstellenkonzentration der P<sup>+</sup>-Regionen **15** ist niedriger als diejenige der N<sup>+</sup>-Emitterregionen.

**[0015]** Wenn bei dieser herkömmlichen Halbleiteranordnung mit isoliertem Gate die gleiche Maske als eine Maske zum Ausbilden der N<sup>+</sup>-Emitterregionen **4** und eine Maske zum Ausbilden der V-förmigen Gateelektroden **7** verwendet wird, wird eine Ausrichtung der Masken unnötig und werden Abstände zwischen Zellen reduziert. Nachdem jedoch die Gateelektroden **7** von der ersten Hauptoberfläche **14** des Halbleitersubstrats **13** hervorragen, müssen, um sicherzustellen, dass die N<sup>+</sup>-Emitterregionen **4** die P<sup>+</sup>-Regionen **15** kontaktieren, und gleichzeitig eine Anordnung des Zwischenschichtisolationsfilm **8** über der Emittierelektrode **10** und den Gateelektroden **7** zuzulassen, die N<sup>+</sup>-Emitterregionen **4** groß mit einem zusätzlichen Rand ausgebildet werden, wenn Masken während Ausbildung des Zwischenschichtisolationsfilm **8** ausgerichtet werden. Dies wirkt als ein Hindernis bezüglich eines Aufwand zur Reduzierung der Abstände zwischen den Zellen.

**[0016]** [Fig. 28](#) ist eine schematische Darstellung, welche einen Kontaktrand bei der herkömmlichen Technik zeigt.

**[0017]** In [Fig. 28](#) sind die Gateelektroden **7** eher Elektroden vom Grabentyp denn V-förmige Elektroden. [Fig. 28](#) zeigt zusätzliche Bereiche, welche erforderlich sind, damit die N<sup>+</sup>-Emitterregionen **4** mit einer Fehlausrichtung der Masken zurechtkommen (d.h., Gate-Kontaktränder).

**[0018]** [Fig. 29](#) ist eine Teilschnittansicht, welche ein Beispiel einer herkömmlichen Halbleiteranordnung mit isoliertem Gate zeigt, die in US-Patent Nr. 5,034,785 beschrieben ist. Die Abstände zwischen Zellen sind in der dargestellten Anordnung kürzer, da

die dargestellte Anordnung keine Gate-Kontaktränder verwendet, die bei der herkömmlichen Technik gemäß [Fig. 28](#) verwendet werden.

**[0019]** Die in [Fig. 29](#) gezeigte Anordnung bzw. Vorrichtung ist ein DMOS-Leistungstransistor und enthält ein Gate einer Grabenstruktur. Die Gateelektroden **7** weisen eine Oberfläche auf, die von der Hauptoberfläche **14** des Halbleitersubstrats **13** zurückgesetzt ist. Mit **16** ist eine Sourceelektrode bezeichnet.

**[0020]** In dem dargestellten Aufbau sind die Oberflächen der Gateelektroden **7** von der Hauptoberfläche **14** des Halbleitersubstrats **13** zurückgesetzt. Dies macht eine Maske zur Ausbildung der Gateelektroden **7** entbehrlich und macht es auch entbehrlich, dass die Sourceelektrode einen Rand zur Ausrichtung der Masken aufweist. Daher ist es möglich, den Grabenabstand bzw. die Grabenteilung zu reduzieren.

**[0021]** Es ist jedoch erforderlich, die N<sup>+</sup>-Sourceregion **16** so auszubilden, dass sie tiefer als die Oberfläche der Gateelektroden **7** ist. Die N<sup>+</sup>-Sourceregion **16** neigt daher dazu, tiefer zu sein. Nachdem die N<sup>+</sup>-Sourceregion **16** in den meisten Fällen durch Diffusion ausgebildet wird, wird dann, wenn die N<sup>+</sup>-Sourceregion **16** tief diffundiert wird, die N<sup>+</sup>-Sourceregion **16** breit diffundiert. Dies vergrößert die Grabenteilung.

**[0022]** [Fig. 30](#) ist eine schematische Darstellung, welche eine Seitendiffusion bei der herkömmlichen Struktur zeigt. Die dargestellte Anordnung ist ein IGBT.

**[0023]** In [Fig. 30](#) sind, um sicherzustellen, dass die Oberflächen der Gateelektroden **7** von den Oberflächen der N<sup>+</sup>-Emitterregionen **4** zurückgesetzt sind, die N<sup>+</sup>-Emitterregionen **4** tiefer ausgebildet und ist daher eine Seitendiffusion der N<sup>+</sup>-Emitterregionen **4** groß. Daher muss, damit eine freiliegende Oberfläche der P-Basissschicht **3** und die Oberflächen der N<sup>+</sup>-Emitterregionen **4** an der Emittierelektrode **10** miteinander kontaktieren, die Grabenteilung groß ausgebildet werden. Dies ermöglicht es dem parasitären Transistor, leicht durchzuschalten.

**[0024]** Ein anderer Wert, der mit dem SOA eines Elements in Bezug steht, ist der Sättigungsstrom  $I_{C(sat)}$ .

**[0025]** Der Wert eines Stroms, der in einem IGBT als Reaktion auf eine bestimmte angelegte Gate-Spannung fließt, wird als  $I_{C(sat)}$  ausgedrückt. Falls der Wert  $I_{C(sat)}$  zu groß ist, schaltet der parasitäre Transistor leicht durch, was wiederum den IGBT zerstört.

**[0026]** Weitere Informationen über den Stand der Technik können in Proceedings of the International Symposium on Power Semiconductor Devices, "600V Trench IGBT in Comparison with Planar IGBT Performance," 31. Mai 1994, Davos, Schweiz, Seiten 411-416 gefunden werden, wo die Entwicklung einer Verarbeitung eines großflächigen Graben-MOS wie auch eines Graben IGBT diskutiert werden, wie in Fig. 31 beispielhaft dargestellt.

**[0027]** JP-A-1198076 offenbart eine Halbleiteranordnung zur Sicherstellung einer Erhöhung einer Latch-up-Fließgrenze durch Ausbilden eines Grabens, um eine Basis eines ersten Leitfähigkeitstyps auf der Sourceseite eines IGBT einer vertikalen Grabenstruktur zu reduzieren, und Ausbilden einer Sourceelektrode, die sich so weit wie der Grabengrund erstreckt, oder Installieren einer Diffusionsregion des ersten Leitfähigkeitstyps mit hoher Störstellenkonzentration anstelle des Grabens. Bei dieser Halbleiteranordnung ist die sourceseitige Oberfläche eines IGBT einer vertikalen Grabenstruktur abgeflacht und ist die sourceseitige Oberfläche mit Ausnahme der freiliegenden Region einer P<sup>+</sup>-Basisschicht mit einem Resistfilm bedeckt. Durch Verwenden des Resistfilms als eine Maske wird ein zweiter Graben gegraben und wird die Region der Oberflächenseite der P<sup>+</sup>-Basisschicht abasiert. Der Resistfilm wird beseitigt, und eine Sourceelektrode, die sich so weit wie die Seitenfläche und die Bodenfläche des zweiten Grabens ausdehnt, wird ausgebildet. Eine Drainelektrode wird ausgebildet, und Polysilizium wird in dem zweiten Graben vergraben, um eine Halbleiteranordnung fertigzustellen. Eine P<sup>++</sup>-Diffusionsregion hoher Konzentration, die einen niedrigen Widerstand aufweist, wird anstelle des Grabens installiert, und die Reihenwiderstandskomponente zwischen der P<sup>+</sup>-Basisschicht und der Sourceelektrode wird verkleinert. Hierdurch kann die Latch-up-Fließgrenze verbessert werden.

**[0028]** EP 0 485 059 A2 betrifft eine Halbleiteranordnung mit einer Pin-Diode, welche eine hohe Durchbruchspannung aufweist. Eine p-Emitter-schicht **2** ist in einem Oberflächenabschnitt einer N<sup>-</sup>-Basisschicht **1** eines hohen Widerstands ausgebildet. P<sup>+</sup>P<sup>+</sup>-Kontaktschichten **2b** und N<sup>+</sup>-Stromblockierschichten **6** sind in einem vorher festgelegten Flächenverhältnis in dem Oberflächenbereich der p-Emitterschicht ausgebildet. Eine Kathodenelektrode **4** ist im Kontakt mit der Kontaktschicht **2b** wie auch der Stromblockierschicht **6** des pn-Sperrschichtdiodenabschnitts ausgebildet. Mit diesem Kathodenaufbau kann die Elektroneninjektion in dem ON-Zustand unterdrückt werden, um die Trägerkonzentration eines Abschnitts der auf der Kathodenseite liegenden n--Basisschicht **1** zu reduzieren, und die zu der Zeit einer umgekehrten Erholung verursachte Wirkung eines parasitären Transistors kann durch Vorsehen der Stromblockierschicht **6** unterdrückt

werden.

**[0029]** EP 0 633 611 A1 offenbart einen Bipolartransistor mit isoliertem Gate, der einen Halbleiterkörper bzw. -body mit einer ersten Region eines ersten Leitfähigkeitstyps, einer zweiten Region des entgegengesetzten Leitfähigkeitstyps, einer dritten Region des ersten Leitfähigkeitstyps, die von der ersten Region durch die zweite Region getrennt ist, und wenigstens einer Injektorregion zum Injizieren von Ladungsträgern des entgegengesetzten Leitfähigkeitstyps in die erste Region aufweist. Der Leitungskanalbereich, der an das isolierte Gate angrenzt, weist einen ersten und einen zweiten subsidiären Bereich zum Bereitstellen eines jeweiligen ersten und zweiten subsidiären Leitungskanals auf. Der zweite subsidiäre Bereich ist von der dritten Region beabstandet und ist niedriger dotiert als der erste subsidiäre Leitungskanalbereich, um dann, wenn der injizierte Stromtyp entgegengesetzter Leitfähigkeit einen gegebenen Wert erreicht, bewirkt, dass der pn-Übergang zwischen dem zweiten subsidiären Kanal und der zweiten Region eine Vorspannung in Durchlassrichtung annimmt, was bewirkt, dass der durch den zweiten subsidiären Kanal, die zweite Region und die ersten Region ausgebildete Bipolartransistor leitet, um mit der wenigstens einer Injektorregion einen Thyristorvorgang einzuleiten, der nach Entfernen des Leitungskanals verschwindet.

**[0030]** "500-V n-Channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure" von H.-R. Chang und B. Jayant Baliga, IEEE transactions on electron devices 36 (1989) September, Nr. 9-I, New York, USA, beschreibt einen verbesserten IGBT mit einer Grabengatestruktur, der einen niedrigen Spannungsabfall in Durchlassrichtung von 1,2 V bei einer Leitungsstromdichte in Durchlassrichtung von 200 A/cm<sup>2</sup> zeigt. Der Aufbau dieser Anordnung wurde unter Verwendung eines Selbstausrichtungsprozesses hergestellt, der nahe beabstandete vertikale Grabengates mit einer Einheitszelle von 6 µm erlaubt. Dies ermöglicht eine Erhöhung der Kanaldichte um das Fünffache und eine Beseitigung des parasitären JFET-Effekts, wodurch der Spannungsabfall in Durchlassrichtung signifikant reduziert wird.

**[0031]** Demgemäß ist es eine Aufgabe der vorliegenden Erfindung, eine Halbleiteranordnung mit isoliertem Gate zu schaffen, die einen Anordnungsaufbau aufweist, bei welchem ein parasitärer Transistor nicht leicht durchschaltet und daher die SOA verbessert ist, sowie ein Verfahren zur Herstellung einer solchen Anordnung.

**[0032]** Um diese und andere nachstehend genannten Aufgaben zu lösen, stellt die vorliegende Erfindung eine Halbleiteranordnung mit isoliertem Gate bereit, wie sie in dem unabhängigen Anspruch 1 definiert ist, wie auch ein Verfahren zur Herstellung ei-

ner Halbleiteranordnung mit isoliertem Gate, wie sie in Anspruch 4 definiert ist. Bevorzugte Ausführungsformen sind in den abhängigen Ansprüchen definiert.

**[0033]** Die Erfindung, wie sie beansprucht wird, beruht unter anderem auf dem nachstehend beschriebenen technischen Hintergrund.

**[0034]** Eine beispielhafte Halbleiteranordnung mit isoliertem Gate kann aufweisen: eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist; eine zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps, die auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist; eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps, die auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist; eine vierte Halbleiterschicht des zweiten Leitfähigkeitstyps, die selektiv auf einem Abschnitt einer Oberfläche der dritten Halbleiterschicht angeordnet ist; eine nutförmige Innenwand, die wenigstens eine zählt und die eine Öffnung definiert, die sich in einer Oberfläche der vierten Halbleiterschicht so öffnet, dass sie sich in einer Richtung entlang der Oberfläche der vierten Halbleiterschicht erstreckt, wobei sich die nutförmige Innenwand entlang einer Tiefenrichtung hiervon von der Oberfläche der vierten Halbleiterschicht zu der zweiten Halbleiterschicht erstreckt; eine fünfte Halbleiterschicht des zweiten Leitfähigkeitstyps, die auf den Oberflächen der dritten und der vierten Halbleiterschicht so angeordnet ist, dass sie sich über die dritte und die vierte Halbleiterschicht erstreckt, wobei eine Verbindungs- bzw. Übergangsstelle zwischen der fünften Halbleiterschicht und der vierten Halbleiterschicht einer Oberfläche ausgesetzt ist, wobei eine Bodenfläche der fünften Halbleiterschicht in einer seichteren Lage als eine Bodenfläche der vierten Halbleiterschicht angeordnet ist, wobei die fünfte Halbleiterschicht eine höhere Störstellenkonzentration als die vierte Halbleiterschicht aufweist; einen Isolationsfilm, der die Innenwand und eine Oberfläche der vierten Halbleiterschicht, die sich an die Innenwand anschließt und sich in der Umgebung der Öffnung befindet, bedeckt; eine Steuerelektrode, die auf einer Oberfläche der Innenwand über den Isolationsfilm so angeordnet ist, dass sie eine zurückgesetzte Oberfläche aufweist, die von einer Oberfläche eines die Oberfläche der vierten Halbleiterschicht bedeckenden Abschnitts des Isolationsfilms zurückgesetzt ist; eine erste Hauptelektrode, die auf den Oberflächen der vierten und der fünften Halbleiterschicht angeordnet ist; und eine zweite Hauptelektrode, die auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

**[0035]** Die beispielhafte Halbleiteranordnung mit isoliertem Gate kann eine Mehrzahl von nutförmigen

Innenwänden aufweisen, und eine freiliegende Oberfläche der fünften Halbleiterschicht zwischen zwei aneinandergrenzenden der nutförmigen Innenwände kann sich entlang den nutförmigen Innenwänden erstrecken.

**[0036]** Bei der beispielhaften Halbleiteranordnung mit isoliertem Gate des zweiten Gesichtspunkts kann die freiliegende Oberfläche der fünften Halbleiterschicht eine verstreute Konfiguration aufweisen.

**[0037]** Eine andere beispielhafte Halbleiteranordnung mit isoliertem Gate kann aufweisen: eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist; eine zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps, die auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist; eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps, die auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist; eine vierte Halbleiterschicht des zweiten Leitfähigkeitstyps, die selektiv auf einem Abschnitt einer Oberfläche der dritten Halbleiterschicht angeordnet ist; nutförmige Innenwände mehrfacher Zahl, wobei jede derselben eine Öffnung definiert, die sich in einer Oberfläche der vierten Halbleiterschicht so öffnet, dass sie sich in einer Richtung entlang der Oberfläche der vierten Halbleiterschicht erstreckt, wobei sich die nutförmigen Innenwände entlang einer Tiefenrichtung hiervon von der Oberfläche der vierten Halbleiterschicht zu der zweiten Halbleiterschicht erstrecken; eine fünfte Halbleiterschicht des zweiten Leitfähigkeitstyps, die auf den Oberflächen der dritten und der vierten Halbleiterschicht, die zwischen zwei benachbarten der nutförmigen Innenwände vorliegen, so angeordnet ist, dass sie sich über die dritte und die vierte Halbleiterschicht erstreckt, wobei eine Verbindungs- bzw. Übergangsstelle zwischen der fünften Halbleiterschicht und der vierten Halbleiterschicht einer Oberfläche ausgesetzt ist; wobei die fünfte Halbleiterschicht eine höhere Störstellenkonzentration als die vierte Halbleiterschicht aufweist; einen Isolationsfilm, der die nutförmigen Innenwände, einen Abschnitt einer Oberfläche der vierten Halbleiterschicht, der sich an die nutförmigen Innenwände anschließt und an diese angrenzt, und einen Abschnitt einer Oberfläche der fünften Halbleiterschicht, der an den Abschnitt der Oberfläche der vierten Halbleiterschicht angrenzt, bedeckt; eine Steuerelektrode, die auf Oberflächen der nutförmigen Innenwände über den Isolationsfilm so angeordnet ist, dass sie eine zurückgesetzte Oberfläche aufweist, die von einer Oberfläche eines den Abschnitt der Oberfläche der vierten Halbleiterschicht bedeckenden Abschnitts des Isolationsfilms zurückgesetzt ist; eine erste Hauptelektrode, die auf den Oberflächen der vierten und der fünften Halbleiterschicht angeordnet ist; und eine zweite

Hauptelektrode, die auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

**[0038]** Eine weitere beispielhafte Halbleiteranordnung mit isoliertem Gate kann aufweisen: eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist; eine zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps, die auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist; eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps, die auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist; vierte Halbleiterschichten des zweiten Leitfähigkeitstyps, die in einer Mehrzahl vorliegen und parallel zueinander in der Gestalt von Säulen auf einem Abschnitt einer Oberfläche der dritten Halbleiterschicht angeordnet sind; nutförmige Innenwände mehrfacher Zahl, welche jeweils Öffnungen definieren, die sich in jeweiligen Oberflächen der vierten Halbleiterschichten so öffnen, dass sie sich entlang den Säulen der vierten Halbleiterschichten erstrecken, wobei sich die nutförmigen Innenwände entlang einer Tiefenrichtung hiervon von den Oberflächen der vierten Halbleiterschichten zu der zweiten Halbleiterschicht erstrecken; eine fünfte Halbleiterschicht des zweiten Leitfähigkeitstyps, die auf den Oberflächen der dritten Halbleiterschicht und der vierten Halbleiterschichten so angeordnet ist, dass sie sich über die dritte und die vierten Halbleiterschichten erstreckt, wobei eine Verbindungs- bzw. Übergangsstelle zwischen der fünften Halbleiterschicht und den vierten Halbleiterschichten einer Oberfläche ausgesetzt ist, wobei eine Bodenfläche der fünften Halbleiterschicht in einer seichteren Position angeordnet ist als die Bodenflächen der vierten Halbleiterschichten, wobei die fünfte Halbleiterschicht eine höhere Störstellenkonzentration als die vierten Halbleiterschichten aufweist; einen Isolationsfilm, der die nutförmigen Innenwände und Oberflächen der vierten Halbleiterschichten, die sich in der Umgebung der Öffnungen befinden und sich an die nutförmigen Innenwände anschließen, bedeckt; eine Steuerelektrode, die auf Oberflächen der nutförmigen Innenwände über den Isolationsfilm so angeordnet ist, dass sie eine zurückgesetzte Oberfläche aufweist, die von einer Oberfläche eines die Oberflächen der vierten Halbleiterschichten bedeckenden Abschnitts des Isolationsfilms zurückgesetzt ist; eine erste Hauptelektrode, die auf den Oberflächen der vierten und der fünften Halbleiterschichten und dem Zwischenschichtisolationsfilm angeordnet ist; und eine zweite Hauptelektrode, die auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

**[0039]** Bei der weiteren beispielhaften Halbleiteranordnung mit isoliertem Gate kann die fünfte Halbleiterschicht in einer verstreuten Konfiguration entlang

den vierten Halbleiterschichten angeordnet sein.

**[0040]** Eine noch weitere beispielhafte Halbleiteranordnung mit isoliertem Gate kann aufweisen: eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist; eine zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps, die auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist; eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps, die auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist; vierte Halbleiterschichten des zweiten Leitfähigkeitstyps, die in einer Mehrzahl vorliegen und parallel zueinander in der Gestalt von Säulen auf einem Abschnitt einer Oberfläche der dritten Halbleiterschicht angeordnet ist; nutförmige Innenwände mehrfacher Zahl, welche jeweils Öffnungen definieren, die sich in jeweiligen Oberflächen der vierten Halbleiterschichten so öffnen, dass sie sich entlang den Säulen der vierten Halbleiterschichten erstrecken, wobei sich die nutförmigen Innenwände entlang einer Tiefenrichtung hiervon von der Oberfläche der vierten Halbleiterschichten zu der zweiten Halbleiterschicht erstrecken; eine fünfte Halbleiterschicht des zweiten Leitfähigkeitstyps, die in einer verstreuten Konfiguration entlang den vierten Halbleiterschichten und auf den Oberflächen der dritten und der vierten Halbleiterschichten so angeordnet ist, dass sie sich über die dritte und die vierten Halbleiterschichten erstreckt, wobei eine Verbindungs- bzw. Übergangsstelle zwischen der fünften Halbleiterschicht und den vierten Halbleiterschichten einer Oberfläche ausgesetzt ist, wobei die fünfte Halbleiterschicht eine höhere Störstellenkonzentration als die vierten Halbleiterschichten aufweist; einen Isolationsfilm, der die nutförmigen Innenwände, Oberflächen der vierten Halbleiterschichten, die sich an die nutförmigen Innenwände anschließen, an diese angrenzen und entlang diesen liegen, und einen Abschnitt einer Oberfläche der fünften Halbleiterschicht, der sich in der Umgebung der vierten Halbleiterschichten befindet, bedeckt; eine Steuerelektrode, die auf Oberflächen der nutförmigen Innenwände über den Isolationsfilm so angeordnet ist, dass sie eine zurückgesetzte Oberfläche aufweist, die von einer Oberfläche eines Oberflächen der vierten Halbleiterschichten bedeckenden Abschnitts des Isolationsfilms zurückgesetzt ist; einen Zwischenschichtisolationsfilm, der auf einer Oberfläche der Steuerelektrode angeordnet ist; eine erste Hauptelektrode, die auf den Oberflächen der vierten und der fünften Halbleiterschichten und dem Zwischenschichtisolationsfilm angeordnet ist; und eine zweite Hauptelektrode, die auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

**[0041]** Ein erster Gesichtspunkt der vorliegenden Erfindung betrifft eine Halbleiteranordnung mit isolier-

tem Gate, die aufweist: eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist; eine zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps, die auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist; eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps, die auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist; eine vierte Halbleiterschicht des zweiten Leitfähigkeitstyps, die auf einer Oberfläche der dritten Halbleiterschicht so angeordnet ist, dass sie eine freiliegende Oberfläche der dritten Halbleiterschicht in einer Konfiguration paralleler, diskontinuierlicher Säulen belässt; wenigstens eine nutförmige Innenwand, welche eine Öffnung definiert, die sich in einer Oberfläche der vierten Halbleiterschicht so öffnet, dass sie sich in einer Richtung entlang der Oberfläche der vierten Halbleiterschicht erstreckt, wobei sich die nutförmige Innenwand entlang einer Tiefenrichtung hiervon von der Oberfläche der vierten Halbleiterschichten zu der zweiten Halbleiterschicht erstreckt; einen Isolationsfilm, der die nutförmige Innenwand, einen Abschnitt der Oberfläche der vierten Halbleiterschicht, der sich in der Umgebung der Öffnung befindet und sich an die Innenwand anschließt, und einen Abschnitt einer Oberfläche der dritten Halbleiterschicht, der an die vierte Halbleiterschicht angrenzt, bedeckt; eine Steuerelektrode, die auf einer Oberfläche der nutförmigen Innenwand über den Isolationsfilm so angeordnet ist, dass sie eine zurückgesetzte Oberfläche aufweist, die von einer Oberfläche eines Abschnitts des Isolationsfilms, der den Abschnitt der Oberfläche der vierten Halbleiterschicht bedeckt, zurückgesetzt ist; einen Zwischenschichtisolationsfilm, der Oberflächen der Steuerelektrode und des Isolationsfilms bedeckt; eine erste Hauptelektrode, die auf den Oberflächen der dritten und der vierten Halbleiterschichten und dem Zwischenschichtisolationsfilm angeordnet ist; und eine zweite Hauptelektrode, die auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

**[0042]** Die Halbleiteranordnung mit isoliertem Gate kann eine Mehrzahl von nutförmigen Innenwänden aufweisen, wobei die freiliegende Oberfläche der dritten Halbleiterschicht zwischen und entlang zweier benachbarter der nutförmigen Innenwände angeordnet ist und sich in einer Längsrichtung der zwei benachbarten erstreckt.

**[0043]** Ein Verfahren zum Herstellen einer beispielhaften Halbleiteranordnung mit isoliertem Gate kann aufweisen: einen ersten Schritt eines Ausbildens eines Halbleitersubstrats, welches eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps und eine zweite, auf einer Oberfläche der ersten Halbleiterschicht angeordnete Halbleiterschicht eines zweiten

Leitfähigkeitstyps aufweist; einen zweiten Schritt eines Implantierens von Fremdatomen bzw. Störstellen des ersten Leitfähigkeitstyps in eine ersten Hauptoberfläche des Halbleitersubstrats, die sich auf der Seite der zweiten Halbleiterschicht des Halbleitersubstrats befindet, um hierdurch eine dritten Halbleiterschicht des ersten Leitfähigkeitstyps auszubilden; einen dritten Schritt eines Stapelns eines Resists auf der ersten Hauptoberfläche, eines selektiven Entfernens des Resists, um ein Resistmuster zu erhalten, eines selektiven Implantierens von Störstellen des zweiten Leitfähigkeitstyps unter Verwendung des Resistmusters als einer Maske, und eines Diffundierens der Störstellen des zweiten Leitfähigkeitstyps in einer Oberfläche der dritten Halbleiterschicht, um hierdurch eine vierte Halbleiterschicht des zweiten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als die zweite Halbleiterschicht auszubilden; einen vierten Schritt eines Ausbildens eines Abschirmfilms auf der ersten Hauptoberfläche, eines Ausbildens einer Öffnung in dem Abschirmfilm auf einem Abschnitt einer Oberfläche der vierten Halbleiterschicht so, dass sich die Öffnung entlang einer Oberfläche des Abschirmfilms erstreckt, eines selektiven Entfernens eines Halbleiters hinab zu der zweiten Halbleiterschicht unter Verwendung des Abschirmfilms als einer Maske, welche die Öffnung aufweist, um hierdurch eine nutförmige Innenwand, die eine Nut definiert, auszubilden, und hiernach eines Entfernens des Abschirmfilms; einen fünften Schritt eines Ausbildens eines Isolationsfilms auf einer Oberfläche der nutförmigen Innenwand und auf der ersten Hauptoberfläche; einen sechsten Schritt eines Stapelns eines leitfähigen Materials auf dem Isolationsfilm so, dass die Nut aufgefüllt wird; einen siebenten Schritt eines einheitlichen Entfernens des leitfähigen Materials unter Belassen des Isolationsfilms, bis ein Oberfläche des leitfähigen Materials, das in der Nut vergraben ist, von einer Oberfläche eines Abschnitts des Isolationsfilms, der auf der ersten Hauptoberfläche ausgebildet ist, zurückgesetzt ist; einen achten Schritt eines Stapelns eines Resists auf einem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt auf der ersten Hauptoberfläche freiliegt, und der Oberfläche des leitfähigen Materials, eines Ausbildens einer Öffnung hierin in einer Position derart, dass sie einen Bereich, der dem in dem dritten Schritt relativ belassenen Resist entspricht, umgibt und einen Abschnitt der Oberfläche der vierten Halbleiterschicht, der an den Bereich angrenzt, umgibt, eines selektiven Implantierens von Störstellen des ersten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als derjenigen der vierten Halbleiterschicht durch den Isolationsfilm unter Verwendung des Resists als einer Maske, welche die Öffnung aufweist, und eines Diffundierens der Störstellen des ersten Leitfähigkeitstyps seichter als einen Boden der vierten Halbleiterschicht, um hierdurch eine fünfte Halbleiterschicht des ersten Leitfähigkeitstyps, welche in Verbindung mit der dritten Halbleiterschicht steht, se-



lektiv auszubilden; einen neunten Schritt eines Stapelns eines Isolationsmaterials auf dem Abschnitt des Isolationsfilms, der in dem siebenten Schritt freigelegt wird, und auf einer Oberfläche des leitfähigen Materials; einen zehnten Schritt eines Stapelns eines Resists auf einer Oberfläche des Isolationsmaterials, eines Ausbildens einer Öffnung hierin, welche die fünfte Halbleiterschicht und einen Abschnitt der vierten Halbleiterschicht, der an die fünfte Halbleiterschicht angrenzt, umgibt, eines selektiven Entfernens des Isolationsmaterials und des Isolationsfilms unter Verwendung des Resists als einer Maske, welche die Öffnung aufweist, um hierdurch die fünfte und die vierte Halbleiterschicht freizulegen; einen elften Schritt eines Stapelns einer leitfähigen Schicht auf der vierten und der fünften Halbleiterschicht, die nach dem zehnten Schritt freigelegt sind, und auf der Oberfläche des Isolationsmaterials; und einen zwölften Schritt eines Stapelns einer leitfähigen Schicht auf einer zweiten Hauptoberfläche des Halbleitersubstrats, die sich auf einer gegenüberliegenden Seite bezüglich der ersten Hauptoberfläche befindet.

**[0044]** Ein Verfahren zum Herstellen einer anderen beispielhaften Halbleiteranordnung mit isoliertem Gate kann aufweisen: einen ersten Schritt eines Ausbildens eines Halbleitersubstrats, welches eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps und eine zweite, auf einer Oberfläche der ersten Halbleiterschicht angeordnete Halbleiterschicht eines zweiten Leitfähigkeitstyps aufweist; einen zweiten Schritt eines Implantierens von Fremdatomen bzw. Störstellen des ersten Leitfähigkeitstyps in eine erste Hauptoberfläche des Halbleitersubstrats, die sich auf der Seite der zweiten Halbleiterschicht des Halbleitersubstrats befindet, um hierdurch eine dritten Halbleiterschicht des ersten Leitfähigkeitstyps auszubilden; einen dritten Schritt eines Stapelns eines Resists auf der ersten Hauptoberfläche, eines selektiven Entfernens des Resists, so dass ein Abschnitt des Resists als eine Mehrzahl von Regionen, die parallel zueinander in der Gestalt von Säulen angeordnet sind, so belassen wird, dass ein Resistmuster ausgebildet wird, eines selektiven Implantierens von Störstellen des zweiten Leitfähigkeitstyps unter Verwendung des Resist patterns als einer Maske, und eines Diffundierens der Störstellen des zweiten Leitfähigkeitstyps in einer Oberfläche der dritten Halbleiterschicht, um hierdurch vierte Halbleiterschichten des zweiten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als die zweite Halbleiterschicht selektiv auszubilden; einen vierten Schritt eines Ausbildens eines Abschirmfilms auf der ersten Hauptoberfläche, eines Ausbildens einer Öffnung in dem Abschirmfilm auf einem Abschnitt einer Oberfläche der vierten Halbleiterschichten so, dass sich die Öffnung entlang einer Oberfläche von Säulen der vierten Halbleiterschichten erstreckt, eines selektiven Entfernens eines Halbleiters hinab zu der zweiten Halbleiterschicht unter Verwendung des Abschirmfilms als

eine Maske, welche die Öffnung aufweist, um hierdurch nutförmige Innenwände, die Nuten definieren, auszubilden, und hiernach eines Entfernens des Abschirmfilms; einen fünften Schritt eines Ausbildens eines Isolationsfilms auf Oberflächen der nutförmigen Innenwände und auf der ersten Hauptoberfläche; einen sechsten Schritt eines Stapelns eines leitfähigen Materials auf dem Isolationsfilm so, dass die Nuten aufgefüllt werden; einen siebenten Schritt eines einheitlichen Entfernens des leitfähigen Materials unter Belassen des Isolationsfilms, bis ein Oberfläche des leitfähigen Materials, das in den Nuten vergraben ist, von einer Oberfläche eines Abschnitts des Isolationsfilms, der auf der ersten Hauptoberfläche ausgebildet ist, zurückgesetzt ist; einen achten Schritt eines Stapelns eines Resists auf einem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt auf der ersten Hauptoberfläche freiliegt, und der Oberfläche des leitfähigen Materials, eines Ausbildens einer Öffnung hierin in einer Position derart, dass sie einen Bereich, der dem in dem dritten Schritt in der Gestalt von Säulen belassenen Resist entspricht, umgibt und Abschnitte der Oberflächen der vierten Halbleiterschichten, die an den Bereich angrenzen, umgibt, eines selektiven Implantierens von Störstellen des ersten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als derjenigen der vierten Halbleiterschichten durch den Isolationsfilm unter Verwendung des Resists als eine Maske, welche die Öffnung aufweist, und eines Diffundierens der Störstellen des ersten Leitfähigkeitstyps seichter als Böden der vierten Halbleiterschichten, um hierdurch eine fünfte Halbleiterschicht des ersten Leitfähigkeitstyps, welche in Verbindung mit der dritten Halbleiterschicht steht, selektiv auszubilden; einen neunten Schritt eines Stapelns eines Isolationsmaterials auf dem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt frei ist, und auf einer Oberfläche des leitfähigen Materials; einen zehnten Schritt eines Stapelns eines Resists auf einer Oberfläche des Isolationsmaterials, eines Ausbildens einer Öffnung hierin, welche die fünfte Halbleiterschicht und Abschnitte der vierten Halbleiterschichten, die an die fünfte Halbleiterschicht angrenzen, umgibt, eines selektiven Entfernens des Isolationsmaterials und des Isolationsfilms unter Verwendung des Resists als einer Maske, welche die Öffnung aufweist, um hierdurch die fünfte und die vierten Halbleiterschichten freizulegen; einen elften Schritt eines Stapelns einer leitfähigen Schicht auf den vierten und der fünften Halbleiterschicht, die nach dem zehnten Schritt frei und auf der Oberfläche des Isolationsmaterials ist; und einen zwölften Schritt eines Stapelns einer leitfähigen Schicht auf einer zweiten Hauptoberfläche des Halbleitersubstrats, die sich auf einer gegenüberliegenden Seite bezüglich der ersten Hauptoberfläche befindet.

**[0045]** Bei dem vorstehend erwähnten Verfahren kann in dem dritten Schritt der Abschnitt des Resists



als eine Mehrzahl von Regionen belassen werden, die in der Gestalt von Säulen verstreut sind und parallel zueinander angeordnet sind, um hierdurch das Resistmuster zu erhalten, und kann in dem zehnten Schritt die Öffnung des Resists so ausgebildet werden, dass sie die fünfte und die vierten Halbleiterschichten mit Ausnahme von Abschnitten der Oberflächen der vierten Halbleiterschichten, die an die Innenwände angrenzen und sich entlang diesen befinden, umgibt.

**[0046]** Ein Verfahren zum Herstellen einer weiteren beispielhaften Halbleiteranordnung mit isoliertem Gate kann aufweisen: einen ersten Schritt eines Ausbildens eines Halbleitersubstrats, welches eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps und eine zweite, auf einer Oberfläche der ersten Halbleiterschicht angeordnete Halbleiterschicht eines zweiten Leitfähigkeitstyps aufweist; einen zweiten Schritt eines Implantierens von Fremdatomen bzw. Störstellen des ersten Leitfähigkeitstyps in eine erste Hauptoberfläche des Halbleitersubstrats, die sich auf der Seite der zweiten Halbleiterschicht des Halbleitersubstrats befindet, um hierdurch eine dritte Halbleiterschicht des ersten Leitfähigkeitstyps auszubilden; einen dritten Schritt eines Stapelns eines Resists auf der ersten Hauptoberfläche, eines selektiven Entferns des Resists so, dass ein Abschnitt des Resists als eine Mehrzahl von Regionen, die in der Gestalt von Säulen verstreut sind und parallel zueinander angeordnet sind, so belassen wird, dass ein Resistmuster ausgebildet wird, eines selektiven Implantierens von Störstellen des zweiten Leitfähigkeitstyps unter Verwendung des Resistmusters als einer Maske, und eines Diffundierens der Störstellen des zweiten Leitfähigkeitstyps in einer Oberfläche der dritten Halbleiterschicht, um hierdurch vierte Halbleiterschichten des zweiten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als die zweite Halbleiterschicht auszubilden; einen vierten Schritt eines Ausbildens eines Abschirmfilms auf der ersten Hauptoberfläche, eines Ausbildens einer Öffnung in dem Abschirmfilm auf einem Abschnitt einer Oberfläche der vierten Halbleiterschichten so, dass sich die Öffnung entlang einer Oberfläche von Säulen der vierten Halbleiterschichten erstreckt, eines selektiven Entferns eines Halbleiters hinab zu der zweiten Halbleiterschicht unter Verwendung des Abschirmfilms als eine Maske, welche die Öffnung aufweist, um hierdurch nutförmige Innenwände, die Nuten definieren, auszubilden, und hiernach eines Entferns des Abschirmfilms; einen fünften Schritt eines Ausbildens eines Isolationsfilms auf Oberflächen der nutförmigen Innenwände und auf der ersten Hauptoberfläche; einen sechsten Schritt eines Stapelns eines leitfähigen Materials auf dem Isolationsfilm so, dass die Nuten aufgefüllt werden; einen siebenten Schritt eines einheitlichen Entferns des leitfähigen Materials unter Belassen des Isolationsfilms, bis ein Oberfläche des leitfähigen Materials, das in den Nuten

vergraben ist, von einer Oberfläche eines Abschnitts des Isolationsfilms, der auf der ersten Hauptoberfläche ausgebildet ist, zurückgesetzt ist; einen achten Schritt eines Stapelns eines Resists auf einem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt auf der ersten Hauptoberfläche freiliegt, und der Oberfläche des leitfähigen Materials, eines Ausbildens einer Öffnung hierin in einer Position derart, dass sie einen Bereich, der dem in dem dritten Schritt in der Gestalt von Säulen belassenen Resist entspricht, umgibt und Abschnitte der Oberflächen der vierten Halbleiterschichten, die an den Bereich angrenzen, umgibt, eines selektiven Implantierens von Störstellen des ersten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als derjenigen der vierten Halbleiterschichten durch den Isolationsfilm unter Verwendung des Resists als eine Maske, welche die Öffnung aufweist, und eines Diffundierens der Störstellen des ersten Leitfähigkeitstyps, um hierdurch eine fünfte Halbleiterschicht des ersten Leitfähigkeitstyps, welche in Verbindung mit der dritten Halbleiterschicht steht, selektiv auszubilden; einen neunten Schritt eines Stapelns eines Isolationsmaterials auf dem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt freigelegt ist, und auf einer Oberfläche des leitfähigen Materials; einen zehnten Schritt eines Stapelns eines Resists auf einer Oberfläche des Isolationsmaterials, eines Ausbildens einer Öffnung hierin, welche die fünfte Halbleiterschicht und die vierten Halbleiterschichten mit Ausnahme der Abschnitte der Oberflächen der vierten Halbleiterschichten, die an die Innenwände angrenzen und sich entlang diesen befinden, und mit Ausnahme eines Abschnitts einer Oberfläche der fünften Halbleiterschicht umgibt, eines selektiven Entferns des Isolationsmaterials und des Isolationsfilms unter Verwendung des Resists als einer Maske, welche die Öffnung aufweist, um hierdurch die fünfte und die vierten Halbleiterschichten freizulegen; einen elften Schritt eines Stapelns einer leitfähigen Schicht auf den vierten und der fünften Halbleiterschicht, die nach dem zehnten Schritt freigelegt sind, und auf der Oberfläche des Isolationsmaterials; und einen zwölften Schritt eines Stapelns einer leitfähigen Schicht auf einer zweiten Hauptoberfläche des Halbleitersubstrats, die sich auf einer gegenüberliegenden Seite bezüglich der ersten Hauptoberfläche befindet.

**[0047]** Ein zweiter Gesichtspunkt der vorliegenden Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiteranordnung mit isoliertem Gate, welches aufweist: einen ersten Schritt eines Ausbildens eines Halbleitersubstrats, welches eine erste Halbleiterschicht eines ersten Leitfähigkeitstyps und eine zweite, auf einer Oberfläche der ersten Halbleiterschicht angeordnete Halbleiterschicht eines zweiten Leitfähigkeitstyps aufweist; einen zweiten Schritt eines Implantierens von Fremdatomen bzw. Störstellen des ersten Leitfähigkeitstyps in eine erste Hauptoberfläche des Halbleitersubstrats, die sich auf der Seite der

zweiten Halbleiterschicht des Halbleitersubstrats befindet, um hierdurch eine dritten Halbleiterschicht des ersten Leitfähigkeitstyps auszubilden; einen dritten Schritt eines Stapelns eines Resists auf der ersten Hauptoberfläche, eines selektiven Entfernens des Resists, so, dass ein Abschnitt des Resists als eine Mehrzahl von Regionen, die in der Gestalt von zueinander parallelen, diskontinuierlichen Säulen angeordnet sind, so belassen wird, dass ein Resistmuster ausgebildet wird, eines selektiven Implantierens von Störstellen des zweiten Leitfähigkeitstyps unter Verwendung des Resistmusters als einer Maske, und eines Diffundierens der Störstellen des zweiten Leitfähigkeitstyps in einer Oberfläche der dritten Halbleiterschicht, um einen Abschnitt einer Oberfläche der dritten Halbleiterschicht zu belassen, um hierdurch eine vierte Halbleiterschicht des zweiten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als die zweite Halbleiterschicht auszubilden; einen vierten Schritt eines Ausbildens eines Abschirmfilms auf der ersten Hauptoberfläche, eines Ausbildens einer Öffnung in dem Abschirmfilm auf einem Abschnitt einer Oberfläche der vierten Halbleiterschicht so, dass sich die Öffnung entlang einer Oberfläche von Säulen der vierten Halbleiterschichten erstreckt, eines selektiven Entfernens eines Halbleiters hinab zu der zweiten Halbleiterschicht unter Verwendung des Abschirmfilms als eine Maske, welche die Öffnung aufweist, um hierdurch nutförmige Innenwände, die Nuten definieren, auszubilden, und hiernach eines Entfernens des Abschirmfilms; einen fünften Schritt eines Ausbildens eines Isolationsfilms auf Oberflächen der nutförmigen Innenwände und auf der ersten Hauptoberfläche; einen sechsten Schritt eines Stapelns eines leitfähigen Materials auf dem Isolationsfilm so, dass die Nuten aufgefüllt werden; einen siebenten Schritt eines einheitlichen Entfernens des leitfähigen Materials unter Belassen des Isolationsfilms, bis eine Oberfläche des leitfähigen Materials, das in den Nuten vergraben ist, von einer Oberfläche eines Abschnitts des Isolationsfilms, der auf der ersten Hauptoberfläche ausgebildet ist, zurückgesetzt ist; einen achten Schritt eines Stapelns eines Zwischenschichtisolationsfilms auf einem Abschnitt des Isolationsfilms, der nach dem siebenten Schritt freiliegt, und der Oberfläche des leitfähigen Materials; einen neunten Schritt eines Stapelns eines Resists auf einer Oberfläche des Zwischenschichtisolationsfilms, eines Ausbildens einer Öffnung hierin, welche die dritte und die vierten Halbleiterschicht mit Ausnahme von Abschnitten von Oberflächen der vierten Halbleiterschichten, die an die Innenwände angrenzen und sich entlang diesen befinden, und mit Ausnahme von Abschnitten der freiliegenden Oberfläche der dritten Halbleiterschicht, die an die Abschnitte der Oberflächen der vierten Halbleiterschichten angrenzen, umgibt, eines selektiven Entfernens des Zwischenschichtisolationsfilms und des Isolationsfilms unter Verwendung des Resists als einer Maske, welche die Öffnung aufweist, um hierdurch die dritte Halbleiter-

schicht und die Abschnitte der vierten Halbleiterschichten, die an die dritte Halbleiterschicht angrenzen, freizulegen; einen zehnten Schritt eines Stapelns einer leitfähigen Schicht auf Oberflächen der dritten und der vierten Halbleiterschichten, die nach dem neunten Schritt freigelegt sind, und auf der Oberfläche des Zwischenschichtisolationsfilms; und einen elften Schritt eines Stapelns einer leitfähigen Schicht auf einer zweiten Hauptoberfläche des Halbleitersubstrats, die sich auf einer gegenüberliegenden bezüglich der ersten Hauptoberfläche befindet.

**[0048]** Bei der beispielhaften Halbleiteranordnung mit isoliertem Gate ist die fünfte Halbleiterschicht auf den Oberflächen der dritten und der vierten Halbleiterschicht so angeordnet, dass sie sich über die dritte und die vierte Halbleiterschicht hinweg erstreckt, eine Verbindungsstelle zwischen der fünften und der vierten Halbleiterschicht einer Oberfläche ausgesetzt ist, und die Bodenfläche der fünften Halbleiterschicht an einer seichteren Position als der Dicke der vierten Halbleiterschicht angeordnet ist. Daher bleibt auch dann, wenn die freiliegende Oberfläche der dritten Halbleiterschicht, die an die vierte Halbleiterschicht angrenzt, klein wird, die Zellengröße klein, ist die ON-Spannung vermindert, schaltet ein parasitärer Transistor nicht leicht durch, und fällt der Wert eines Stroms, der beim Abschalten beendet werden kann, nicht ab, da die erste Hauptelektrode über die fünfte Halbleiterschicht einen Kontakt zwischen der dritten und der vierten Halbleiterschicht herstellt. Daher ist der Stromverbrauch der Halbleiteranordnung mit isoliertem Gate niedrig, ist der RBSOA der Halbleiteranordnung mit isoliertem Gate groß, und ist die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate hoch.

**[0049]** Falls die Mehrzahl der nutförmigen Innenwände angeordnet ist, die freiliegende Oberfläche der fünften Halbleiterschicht zwischen benachbarten Innenwänden ausgebildet ist und sich die freiliegende Oberfläche entlang den Innenwänden in der Richtung der Längsausdehnung der Innenwände erstreckt, ist es möglich, eine Mehrzahl der Steuerelektroden auszubilden. Ferner stellt die erste Hauptelektrode über die fünfte Halbleiterschicht einen Kontakt zwischen der dritten und der vierten Halbleiterschicht auch dann her, wenn benachbarte vierte Halbleiterschichten durch die freiliegende Oberfläche der fünften Halbleiterschicht extrem nahe aneinander liegen.

**[0050]** Bei der Halbleiteranordnung mit isoliertem Gate sind die Grabenabstände klein und ist die Anordnung klein und dicht.

**[0051]** Falls die freiliegende Oberfläche der fünften Halbleiterschicht eine verstreute Konfiguration aufweist, stellt die erste Hauptelektrode an dem Verbindungsabschnitt der vierten Halbleiterschicht, der die freiliegenden Oberflächenabschnitte der fünften

Halbleiterschicht, die zwischen benachbarten Innenwänden angeordnet ist, trennt, einen Kontakt zwischen der dritten und der vierten Halbleiterschicht her. Daher sind die Grabenabstände bei der Halbleiteranordnung mit isoliertem Gate klein und ist die Halbleiteranordnung mit isoliertem Gate klein und dicht.

**[0052]** Da bei der anderen beispielhaften Halbleiteranordnung mit isoliertem Gate der Film die Innenwände, die Abschnitte der Oberflächen der vierten Halbleiterschichten, die sich entlang den Innenwänden aneinander angrenzend befinden, und die Abschnitte der Oberflächen der fünften Halbleiterschicht, die an die Abschnitte der vierten Halbleiterschichten angrenzen, bedeckt, stehen die Verbindungsabschnitte der vierten Halbleiterschichten, welche die zwischen benachbarten Innenwänden angeordneten fünften Halbleiterschichten trennen, und die fünften Halbleiterschichten in abwechselndem Kontakt mit der ersten Hauptelektrode, während die vierten Halbleiterschichten, welche durch die fünften Halbleiterschichten und die Innenwände eingefasst sind, die erste Hauptelektrode nicht berühren. Daher dienen diese Abschnitte als ein Widerstand zwischen den vierten Halbleiterschichten, welche die erste Hauptelektrode berühren. Wenn ein großer Strom fließt, induziert der Widerstand einen Spannungsabfall innerhalb der vierten Halbleiterschichten. Daher schaltet ein parasitärer Transistor in der Halbleiteranordnung mit isoliertem Gate nicht leicht durch, ist ein RBSOA der Halbleiteranordnung mit isoliertem Gate groß, ist die Halbleiteranordnung mit isoliertem Gate klein und dicht und ist die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate hoch.

**[0053]** Bei der weiteren beispielhaften Halbleiteranordnung mit isoliertem Gate nehmen die vierten Halbleiterschichten die fünfte Halbleiterschicht in der Gestalt von Säulen zwischen sich auf, ist die Mehrzahl der Innenwände entlang dieser säulenartigen Anordnung ausgebildet, ist der Zwischenschichtisolationfilm auf der Oberfläche der Steuerelektrode ausgebildet und ist die erste Hauptelektrode auf den Oberflächen der vierten und der fünften Halbleiterschichten und dem Zwischenschichtisolationfilm angeordnet. Daher ist es möglich, eine Mehrzahl der Steuerelektroden auszubilden. Es ist auch möglich, die freiliegende Oberfläche der fünften Halbleiterschicht klein auszubilden. Auch ohne Erzeugen des zusätzlichen Bereichs hinsichtlich des Zwischenschichtisolationfilms zum Zwecke einer Ausrichtung einer Maske erzeugt die erste Hauptelektrode über die fünfte Halbleiterschicht einen Kontakt zwischen der dritten und den vierten Halbleiterschichten. Dies reduziert Grabenabstände und die Zellengröße. Daher ist die ON-Spannung verringert, schaltet ein parasitärer Transistor nicht leicht durch und fällt der Wert eines Stroms, der beim Abschalten beendet werden kann, nicht ab. So verwendet die Halbleiteranordnung mit

isoliertem Gate eine geringe Verbrauchsleistung, ist ein RBSOA der Halbleiteranordnung mit isoliertem Gate groß, ist die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate hoch und ist die Halbleiteranordnung mit isoliertem Gate klein und dicht.

**[0054]** Falls die freiliegende Oberfläche der fünften Halbleiterschicht eine verstreute Konfiguration aufweist, ist der Verbindungsabschnitt der vierten Halbleiterschicht, der freiliegende Oberflächenabschnitte der fünften Halbleiterschicht, die sich zwischen benachbarten Innenwänden befinden, trennt, nicht mit dem Zwischenschichtisolationfilm überzogen. Dieser Verbindungsabschnitt der vierten Halbleiterschicht ermöglicht der ersten Hauptelektrode, einen Kontakt zwischen der dritten und den vierten Halbleiterschichten zu erzeugen. Daher weist die Halbleiteranordnung mit isoliertem Gate noch kleinere Grabenabstände, eine geringe Größe und eine hohe Dichte auf.

**[0055]** Bei der noch weiteren Halbleiteranordnung mit isoliertem Gate bedeckt von den vierten Halbleiterschichten, die durch die fünfte Halbleiterschicht, welche eine verstreute Konfiguration zwischen benachbarten Innenwänden aufweist, angeordnet sind, der Isolationfilm diese vierten Halbleiterschichten, die aneinander angrenzend entlang den Wandoberflächen vorliegen, und den Abschnitt der fünften Halbleiterschicht, der sich in der Umgebung dieser vierten Halbleiterschichten befindet. Daher weisen die Verbindungsabschnitte der vierten Halbleiterschichten, welche die fünfte Halbleiterschicht in die verstreute Konfiguration teilen, und die fünfte Halbleiterschicht abwechselnd einen Kontakt mit der ersten Hauptelektrode auf. Nachdem die vierten Halbleiterschichten, die zwischen der fünften Halbleiterschicht und den Innenwänden eingeschlossen sind, keinen Kontakt mit der ersten Hauptelektrode aufweisen, dienen diese Abschnitte als ein Widerstand zwischen den vierten Halbleiterschichten, die die erste Hauptelektrode berühren. Wenn ein großer Strom fließt; induziert der Widerstand einen Spannungsabfall innerhalb der vierten Halbleiterschichten. Daher schaltet ein parasitärer Transistor in der Halbleiteranordnung mit isoliertem Gate nicht leicht durch und ist ein RBSOA der Halbleiteranordnung mit isoliertem Gate groß. Ferner ist die Durchbruchcharakteristik während Kurzschlusses ohne Vergrößerung der Zellengröße verbessert. Die Halbleiteranordnung mit isoliertem Gate ist klein und dicht, und die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate ist hoch.

**[0056]** Bei der Halbleiteranordnung mit isoliertem Gate, die gemäß der Definition in dem ersten Gesichtspunkt der vorliegenden Erfindung aufgebaut ist, bedeckt von den vierten Halbleiterschichten, die durch die eine verstreute Konfiguration aufweisende dritte Halbleiterschicht angeordnet sind, der Film die-

se vierten Halbleiterschichten, die aneinander angrenzend entlang den Wandoberflächen vorliegen, und den Abschnitt der dritten Halbleiterschicht, der sich in der Umgebung dieser vierten Halbleiterschichten befindet. Daher stehen die Verbindungsabschnitte der vierten Halbleiterschichten, welche die dritte Halbleiterschicht trennen, und die dritte Halbleiterschicht abwechselnd in Kontakt mit der ersten Hauptelektrode. Nachdem die vierten Halbleiterschichten, welche zwischen der dritten Halbleiterschicht und den Innenwänden eingeschlossen sind, nicht in Kontakt mit der ersten Hauptelektrode stehen, dienen diese Abschnitte als ein Widerstand zwischen den vierten Halbleiterschichten, welche die erste Halbleiterschicht berühren. Wenn ein großer Strom fließt, induziert der Widerstand einen Spannungsabfall innerhalb der vierten Halbleiterschichten. Daher schaltet bei der Halbleiteranordnung mit isoliertem Gate ein parasitärer Transistor nicht leicht durch, ist ein RSBOA der Halbleiteranordnung mit isoliertem Gate groß und ist die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate hoch.

**[0057]** Falls die Mehrzahl der nutförmigen Innenwände angeordnet ist und die dritte Halbleiterschicht in der verstreuten Konfiguration zwischen benachbarten Innenwänden entlang den Innenwänden angeordnet ist, bedeckt der Zwischenschichtisolationfilm von den durch die dritte Halbleiterschicht angeordneten vierten Halbleiterschichten diese vierten Halbleiterschichten, die sich aneinander angrenzend entlang den Wandoberflächen befinden, und den Abschnitt der dritten Halbleiterschicht, der sich in der Umgebung jener vierten Halbleiterschichten befindet. Daher ist es möglich, eine Mehrzahl der Steuerelektroden auszubilden. Ferner stehen die Verbindungsabschnitte der vierten Halbleiterschichten, welche die dritte Halbleiterschicht trennen, und die dritte Halbleiterschicht abwechselnd in Kontakt mit der ersten Hauptelektrode, während die vierten Halbleiterschichten, die durch die dritte Halbleiterschicht und die Innenwände eingefasst sind, keinen Kontakt mit der ersten Hauptelektrode aufweisen. Daher dienen diese Abschnitte als ein Widerstand zwischen den vierten Halbleiterschichten, welche die erste Hauptelektrode berühren. Auch wenn die freiliegende Oberfläche der dritten Halbleiterschicht klein wird, stellt die erste Hauptelektrode über die fünfte Halbleiterschicht einen Kontakt zwischen der dritten und den vierten Halbleiterschichten her und wird bei den vierten Halbleiterschichten ein Spannungsabfall erzeugt, wenn ein großer Strom fließt. Deshalb schaltet ein parasitärer Transistor in der Halbleiteranordnung mit isoliertem Gate nicht leicht durch, ist ein RSBOA der Halbleiteranordnung mit isoliertem Gate groß, ist die Halbleiteranordnung mit isoliertem Gate klein und dicht und ist die Zuverlässigkeit der Halbleiteranordnung mit isoliertem Gate hoch.

**[0058]** Bei dem Verfahren zur Herstellung einer bei-

spielhaften Halbleiteranordnung mit isoliertem Gate stellt auch dann, wenn die freiliegende Oberfläche der dritten Halbleiterschicht klein wird, die erste Hauptelektrode über die fünfte Halbleiterschicht einen Kontakt zwischen der dritten und den vierten Halbleiterschichten her. Daher ist es möglich, eine Halbleiteranordnung mit isoliertem Gate herzustellen, die eine geringe Verbrauchsleistung verwendet, die einen großen RSBOA aufweist und die hoch zuverlässig ist, und das zu geringen Kosten und ohne komplizierte Herstellungsschritte.

**[0059]** Bei dem Verfahren zur Herstellen einer anderen beispielhaften Halbleiteranordnung mit isoliertem Gate ist es möglich, eine Halbleiteranordnung mit isoliertem Gate herzustellen, bei welcher ein zusätzlicher Bereich bezüglich des Zwischenschichtisolationfilms zum Zweck einer Maskenausrichtung klein ist, die Zellenabstände klein sind, der Energieverbrauch niedrig ist, ein RSBOA groß ist und die Zuverlässigkeit hoch ist bei geringen Kosten und ohne komplizierte Herstellungsschritte.

**[0060]** Falls der Zwischenschichtisolationfilm die Verbindungsabschnitte der vierten Halbleiterschichten, welche die freiliegende Oberfläche der fünften Halbleiterschicht, die zwischen benachbarten Innenwänden angeordnet ist, trennen, nicht bedeckt und die Verbindungsabschnitte der vierten Halbleiterschichten und der fünften Halbleiterschicht der ersten Hauptelektrode ermöglichen, einen Kontakt zwischen der dritten und den vierten Halbleiterschichten herzustellen, ist es möglich, eine Halbleiteranordnung mit isoliertem Gate herzustellen, bei der bei geringen Kosten und ohne komplizierte Herstellungsschritte die Zellenabstände klein sind.

**[0061]** Bei dem Verfahren zur Herstellung einer weiteren beispielhaften Halbleiteranordnung mit isoliertem Gate dienen die vierten Halbleiterschichten, die zwischen der fünften Halbleiterschicht und den Innenwänden eingeschlossen sind, als ein Widerstand zwischen den vierten Halbleiterschichten, welche einen Kontakt mit der ersten Hauptelektrode aufweisen. Wenn eine großer Strom fließt, induziert der Widerstand einen Spannungsabfall innerhalb der vierten Halbleiterschichten. Daher ist es möglich, zu geringen Kosten und ohne komplizierte Herstellungsschritte eine kleine, dichte und zuverlässige Halbleiteranordnung mit isoliertem Gate herzustellen, bei welcher ein parasitärer Transistor nicht leicht durchschaltet und ein RSBOA groß ist.

**[0062]** Bei dem Verfahren zur Herstellung einer Halbleiteranordnung mit isoliertem Gate gemäß dem zweiten Gesichtspunkt der vorliegenden Erfindung ist die freiliegende Oberfläche der dritten Halbleiterschicht klein ausgebildet. Die vierten Halbleiterschichten, die zwischen der dritten Halbleiterschicht und den Innenwänden angeordnet sind, dienen als

ein Widerstand zwischen den vierten Halbleiterschichten, die einen Kontakt mit der ersten Hauptelektrode aufweisen. Wenn ein großer Strom fließt, induziert der Widerstand einen Spannungsabfall innerhalb der vierten Halbleiterschichten. Daher ist es möglich, zu geringen Kosten und ohne komplizierte Herstellungsschritte eine kleine, dichte und zuverlässige Halbleiteranordnung mit isoliertem Gate herzustellen, bei welcher ein parasitärer Transistor nicht leicht durchschaltet und ein RBSOA groß ist.

[0063] Nachdem dem vorstehenden Hintergrund der Erfindung Rechnung getragen wurde, wird nun die Erfindung selbst auf der Grundlage der Figuren, welche spezifische Ausführungsformen darstellen, diskutiert werden.

[0064] Die vorgenannten und andere Aufgaben, Merkmale, Gesichtspunkte und Vorteile der vorliegenden Erfindung werden aus den nachstehenden genauen Beschreibung der vorliegenden Erfindung ersichtlicher werden, wenn sie im Zusammenhang mit den begleitenden Zeichnungen genommen wird, in welchen

[0065] [Fig. 1](#) eine Draufsicht einer Halbleiteranordnung mit isoliertem Gate gemäß der vorliegenden Erfindung ist;

[0066] [Fig. 2](#) eine Teildraufsicht ist, welche einige Zellen einer beispielhaften Halbleiteranordnung mit isoliertem Gate zeigt;

[0067] [Fig. 3](#) eine Teilschnittansicht ist, welche einige Zellen der Halbleiteranordnung mit isoliertem Gate von [Fig. 2](#) entlang Linien A-A genommen zeigt;

[0068] [Fig. 4](#) eine schematische Teilschnittansicht ist, welche die vorliegende Erfindung zeigt;

[0069] [Fig. 5](#) ein Graph ist, welcher eine Beziehung zwischen einer Grabenteilung und einer ON-Spannung in einem U-IGBT zeigt;

[0070] [Fig. 6](#) bis [Fig. 12](#) Teilschnittansichten eines Elements während Herstellungsschritten der Halbleiteranordnung mit isoliertem Gate gemäß der vorliegenden Erfindung sind;

[0071] [Fig. 12](#) bis [Fig. 14](#) Teilschnittansichten eines Elements während Herstellungsschritten einer beispielhaften Halbleiteranordnung mit isoliertem Gate sind;

[0072] [Fig. 15](#) eine Teildraufsicht einer anderen beispielhaften Halbleiteranordnung mit isoliertem Gate ist, die nicht unter die vorliegende Erfindung fällt;

[0073] [Fig. 16](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 15](#) ist, ge-

nommen entlang Linien A-A;

[0074] [Fig. 17](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 15](#) ist, genommen entlang Linien B-B;

[0075] [Fig. 18](#) eine Teildraufsicht einer Halbleiteranordnung mit isoliertem Gate gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung ist;

[0076] [Fig. 19](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 18](#) ist, genommen entlang Linien A-A;

[0077] [Fig. 20](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 18](#) ist, genommen entlang Linien B-B;

[0078] [Fig. 21](#) eine Teildraufsicht einer weiteren beispielhaften Halbleiteranordnung mit isoliertem Gate ist, die nicht unter die vorliegende Erfindung fällt;

[0079] [Fig. 22](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 21](#) ist, genommen entlang Linien A-A;

[0080] [Fig. 23](#) eine Teilschnittansicht der Halbleiteranordnung mit isoliertem Gate gemäß [Fig. 21](#) ist, genommen entlang Linien B-B;

[0081] [Fig. 24](#) und [Fig. 25](#) Teilschnittansichten eines Elements während weiterer Herstellungsschritte der Halbleiteranordnung mit isoliertem Gate sind;

[0082] [Fig. 26](#) eine Teilschnittansicht einer herkömmlichen Halbleiteranordnung mit isoliertem Gate ist;

[0083] [Fig. 27](#) eine Teilschnittansicht einer anderen herkömmlichen Halbleiteranordnung mit isoliertem Gate ist;

[0084] [Fig. 28](#) eine schematische Darstellung ist, welche einen Kontaktrand in der anderen herkömmlichen Halbleiteranordnung mit isoliertem Gate zeigt;

[0085] [Fig. 29](#) eine Teilschnittansicht einer noch anderen Halbleiteranordnung mit isoliertem Gate ist; und

[0086] [Fig. 30](#) eine schematische Darstellung ist, welche eine Seitendiffusion in der noch anderen herkömmlichen Halbleiteranordnung mit isoliertem Gate zeigt.

[0087] [Fig. 1](#) ist eine Draufsicht einer Halbleiteranordnung mit isoliertem Gate gemäß der vorliegenden Erfindung. Als ein Beispiel einer Halbleiteranordnung mit isoliertem Gate wird nachstehend ein U-IGBT beschrieben werden.

[0088] **Fig. 2** ist eine Teildraufsicht, welche einige Zellen des U-IGBT von **Fig. 1** zeigt, und **Fig. 3** zeigt einige Zellen von **Fig. 2** in einer Teilschnittansicht entlang Linien A-A. In **Fig. 2** sind die Zellen so gezeigt, wie sie sich darstellen, wenn eine Emittierelektrode **51** und ein Zwischenschichtisolationfilm **50** entfernt sind.

[0089] In **Fig. 1** ist mit **30** ein U-IGBT bezeichnet, ist mit **31** eine Emittierelektrode bezeichnet, die als eine erste Hauptelektrode dient, sind mit **32** Gateleistungen bezeichnet, ist mit **33** ein Gateanschlussfleck bezeichnet, und ist mit **34** ein Teil von Zellen bezeichnet.

[0090] In **Fig. 2** und **Fig. 3** sind mit **41** eine P<sup>+</sup>-Kollektorschicht bezeichnet, die als eine erste Halbleiterschicht dient, ist mit **42** eine N<sup>-</sup>-Schicht bezeichnet, die als eine zweite Halbleiterschicht dient, ist mit **43** eine P-Basissschicht bezeichnet, die als eine dritte Halbleiterschicht dient, ist mit **44** eine N<sup>+</sup>-Emitterschicht bezeichnet, die als eine vierte Halbleiterschicht dient, sind mit **45** P<sup>+</sup>-Halbleiterschichten bezeichnet, die als eine fünfte Halbleiterschicht dienen, ist mit **46** eine N<sup>+</sup>-Pufferschicht bezeichnet, sind mit **47** Innenwände bezeichnet, die jeweils in der Gestalt einer Nut ausgebildet sind. Durch die Innenwände **47** sind Gräben definiert. Mit **48** sind Gateisolationfilme bezeichnet, mit **49** sind Gateelektroden bezeichnet, die jeweils als eine Steuerelektrode dienen, mit **50** ist der Zwischenschichtisolationfilm bezeichnet, und mit **51** ist die Emittierelektrode bezeichnet, die als die erste Hauptelektrode dient. Die Emittierelektrode **51** ist ein Abschnitt der Emittierelektrode **31** von **Fig. 1**. Mit **52** ist eine Kollektorelektrode bezeichnet, die als eine zweite Hauptelektrode dient, und mit **53** sind Kanalregionen bezeichnet. Bereiche C, die in **Fig. 2** durch Klammern und strichpunktierte Linien definiert sind, sind Bereiche, die mit dem Zwischenschichtisolationfilm **50** bedeckt sind.

[0091] In der vorliegenden Ausführungsform, die später beschrieben werden wird, bezeichnen gleiche bzw. ähnliche Symbole gleiche bzw. ähnliche Strukturen.

[0092] Üblicherweise sind die Gateisolationfilme **48** thermische Oxidationsfilme aus SiO<sub>2</sub> und sind die Gateelektroden **49** aus Polysilizium hergestellt, das mit Störstellen bzw. Fremdatomen des Leitfähigkeitstyps N dotiert ist. Der Zwischenschichtisolationfilm **50** ist aus einem Silikatglas hergestellt, welches Bor und Phosphor aufweist (nachstehend als "BPSG" bezeichnet). Die Emittierelektrode **51**, die Gateleistungen **32** und der Gateanschlussfleck **33** sind aus Si enthaltendem Al (nachstehend als "Al-Si" bezeichnet) hergestellt. Die Kollektorelektrode **52** ist aus einer AlMo-NiAu-Legierung hergestellt.

[0093] Die Gateleistungen **32** sind mit den Gateelek-

troden **49** so verbunden, dass Polysiliziumabschnitte in Wegen von den Gateelektroden **49** zu dem Gateanschlussfleck **33** klein sind, sodass ein elektrischer Widerstand von den Gateelektroden **49** zu dem Gateanschlussfleck **33** reduziert ist und das Element einheitlich über die gesamte Oberfläche des Elements gesteuert wird.

[0094] Bei diesem U-IGBT ist die N<sup>+</sup>-Pufferschicht **46** auf einer Oberfläche der P<sup>+</sup>-Kollektorschicht **41** angeordnet und ist die N<sup>-</sup>-Schicht **42** auf einer Oberfläche der N<sup>+</sup>-Pufferschicht **46** angeordnet. Ferner ist die P-Basissschicht **43** auf der N<sup>-</sup>-Schicht **42** angeordnet. Die N<sup>+</sup>-Emitterschichten **44** sind auf einer Oberfläche der P-Basissschicht **43** mit Abständen derart angeordnet, dass sie Streifen ausbilden. Entlang der Längsausdehnung der Streifen der N<sup>+</sup>-Emitterschichten **44** sind die grabenförmigen Innenwände **47** ausgebildet, die sich von Oberflächen der N<sup>+</sup>-Emitterschichten **44** aus erstrecken und durch die P-Basissschicht **43** hindurch in die N<sup>-</sup>-Schicht **42** eindringen.

[0095] In einer durch die P-Basissschicht **43** und die N<sup>+</sup>-Emitterschichten **44**, die zwischen zwei benachbarten Innenwänden **47** vorliegen, definierten Oberflächen, sind die P<sup>+</sup>-Halbleiterschichten **45** in solcher Weise ausgebildet, dass Bodenflächen der P<sup>+</sup>-Halbleiterschichten **45** einen Kontakt mit der P-Basissschicht **43** aufweisen und die N<sup>+</sup>-Emitterschichten **44** an den beiden Enden teilweise überlappen, und dass Verbindungsstellen zwischen den N<sup>+</sup>-Emitterschichten **44** und den P<sup>+</sup>-Halbleiterschichten **45** einer Oberfläche ausgesetzt sind bzw. an einer Oberfläche freiliegen.

[0096] Die Störstellenkonzentration der P<sup>+</sup>-Halbleiterschichten **45** ist allgemein höher als diejenige der N<sup>+</sup>-Emitterschichten **44**. Falls die Störstellenkonzentration der N<sup>+</sup>-Emitterschichten **44** bei etwa  $1 \times (10^{18} - 10^{19})$  festgelegt ist, ist die Störstellenkonzentration der P<sup>+</sup>-Halbleiterschichten **45** bei etwa  $2 \times (10^{18} - 10^{19})$  festgelegt, also etwa zwei mal höher als die Störstellenkonzentration der N<sup>+</sup>-Emitterschichten **44**.

[0097] Die Gateisolationfilme **48** sind in den Innenwänden **47** angeordnet. Die Gateisolationfilme **48** erstrecken sich bis hinauf zu den Oberflächen der N<sup>+</sup>-Emitterschichten **44**, welche an Öffnungen **56** der Innenwände **47** angrenzen. In jedem Graben, der von jeder Innenwand **47** über jeweilige Gateisolationfilme **48** umgeben ist, sind die jeweiligen Gateelektroden **49** bis hinauf zu den jeweiligen Öffnungen an den Oberflächen der N<sup>+</sup>-Emitterschichten **44** eingefüllt. Oberflächen der Gateelektroden **49** sind niedriger als Oberflächen der Gateisolationfilme **48**, welche auf den Oberflächen der an die Öffnungen **56** der Innenwände **47** angrenzenden N<sup>+</sup>-Emitterschichten **44** ausgebildet sind.

[0098] In **Fig. 3** fluchten die Oberflächen der Gatee-



lektroden **49** mit den Oberflächen der N<sup>+</sup>-Emitterschichten **44**. Obgleich die Oberflächen der Gateelektroden **49** weiter von den Oberflächen der N<sup>+</sup>-Emitterschichten **44** zurückgesetzt sein können, um Kanäle auszubilden, müssen die Oberflächen der Gateelektroden **49** in einer seichteren Position als der Boden der N<sup>+</sup>-Emitterschichten **44** angeordnet sein. Die Gateelektroden **49** stehen den Oberflächen der P-Basissschicht **43** über die Gateisolationsfilme **48** gegenüber. Die Oberflächen der P-Basissschicht **43** dienen als die Kanalregionen **53**.

**[0099]** Die Oberflächen der Gateelektroden **49** sind mit dem Zwischenschichtisolationsfilm **50** bedeckt. Über den Zwischenschichtisolationsfilm **50** ist die Emittierelektrode **51** auf einer Oberfläche des Elements angeordnet, in welcher die N<sup>+</sup>-Emitterschichten **44** und die P<sup>+</sup>-Halbleiterschichten **45** ausgebildet sind. Die N<sup>+</sup>-Emitterschichten **44** und die P-Basissschicht **43** stehen mit der Emittierelektrode **51** durch die P<sup>+</sup>-Halbleiterschichten **45** in Verbindung. Die Gateleitungen **32** und der Gateanschlussfleck **33**, die mit den Gateelektroden **49** verbunden sind, sind auf der Oberfläche des Elements angeordnet, während sie von den N<sup>+</sup>-Emitterschichten **44** und den P<sup>+</sup>-Halbleiterschichten **45** isoliert sind. Die Kollektorelektrode **52** ist auf der anderen Oberfläche der P<sup>+</sup>-Kollektorschicht **41** angeordnet.

**[0100]** Falls das Element eine Durchbruchspannung in der Größenordnung von beispielsweise 2000 V aufweist, beträgt die Dicke von der Oberfläche des Elements aus, d.h., der freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45**, oder von den Oberflächen der N<sup>+</sup>-Emitterschichten **44** aus bis zu einer Grenze zwischen der N<sup>-</sup>-Schicht **42** und der N<sup>+</sup>-Pufferschicht **46** etwa 200 µm, die Störstellenkonzentration der N<sup>-</sup>-Schicht **42**  $5 \times 10^{13} \text{ cm}^{-3}$ , die Abstände zwischen den grabenförmigen Innenwände **47**, d.h., die Abstände zwischen den Zellen, etwa 4 µm, und die Tiefe der Innenwände **47**, gemessen von den Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** aus, etwa 8 µm. Die Tiefe einer Verbindungs- bzw. Übergangsstelle zwischen Bodenflächen der N<sup>+</sup>-Emitterschichten **44** und der P-Basissschicht **43** beträgt etwa 1 µm, entweder von den N<sup>+</sup>-Emitterschichten **44** aus oder von den Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** aus. Die Dicke der N<sup>+</sup>-Pufferschicht **46** beträgt etwa 10 µm und die Dicke der P<sup>+</sup>-Kollektorschicht **41** beträgt etwa 300 µm.

**[0101]** Als Nächstes wird eine Betriebsweise beschrieben werden.

**[0102]** Wenn eine vorbestimmte Kollektorspannung  $V_{CE}$  über die Emittierelektrode **51** und die Kollektorelektrode **52** angelegt wird und eine vorbestimmte Gatespannung  $V_{GE}$  über die Emittierelektrode **51** und die Gateelektroden **49** angelegt wird, d.h., wenn die Gates eingeschaltet werden, werden die Kanalregio-

nen **53** in den N-Typ umgekehrt, wodurch Kanäle erzeugt werden. Durch diese Kanäle werden Elektronen aus der Emittierelektrode **51** in die N<sup>-</sup>-Schicht **42** injiziert. Injizierte Elektronen legen eine Vorspannung in Durchlassrichtung über die P<sup>+</sup>-Kollektorschicht **41** und die N<sup>-</sup>-Schicht **42** über die N<sup>+</sup>-Pufferschicht **46** an, sodass Löcher aus der Kollektorelektrode **52** durch die P<sup>+</sup>-Kollektorschicht **41** und die N<sup>+</sup>-Pufferschicht **46** in die N<sup>-</sup>-Schicht **42** injiziert werden. Die Leitfähigkeit wird demzufolge geändert, und der Widerstand der N<sup>-</sup>-Schicht **42** wird stark verringert, um eine Stromkapazität des IGBT zu erhöhen.

**[0103]** Um den IGBT aus einem ON-Zustand in einen OFF-Zustand zu ändern, wird die über die Emittierelektrode **51** und die Gateelektroden **49** angelegte Gatespannung  $V_{GE}$  auf 0 V geändert oder wird eine Vorspannung in Gegenrichtung über die Emittierelektrode **51** und die Gateelektroden **49** angelegt, wodurch die Gates sperren bzw. ausgeschaltet werden. Im Ergebnis kehren die in den N-Typ umgekehrten Kanalregionen **53** in den P-Typ zurück, sodass eine Injektion von Elektronen aus der Emittierelektrode **51** endet und eine Injektion von Löchern aus der P<sup>+</sup>-Kollektorschicht **41** in die N<sup>-</sup>-Schicht **42** endet. In der N<sup>-</sup>-Schicht **42** angesammelte Elektronen und Löcher fließen dann in die Kollektorelektrode **52** bzw. die Emittierelektrode **51** ab oder rekombinieren miteinander, um sich auszulöschen. Nachdem sich Löcher in diesem Zustand leicht innerhalb der P<sup>+</sup>-Halbleiterschichten **45** bewegen können, wird die Schaltgeschwindigkeit schneller.

**[0104]** [Fig. 4](#) ist eine schematische Teilschnittansicht, welche die vorliegende Erfindung zeigt.

**[0105]** [Fig. 4](#) beschreibt eine Wirkung der P<sup>+</sup>-Halbleiterschichten **45** in der vorliegenden Erfindung. Die Oberflächen der Gateelektroden **49** sind bei etwa der halben Tiefe der N<sup>+</sup>-Emitterschichten **44** angeordnet, gemessen von den Oberflächen der N<sup>+</sup>-Emitterschichten **44** aus. Wenn die Oberflächen der Gateelektroden **49** in einer niedrigen Position angeordnet sind, muss die Dicke der N<sup>+</sup>-Emitterschichten **44** groß sein. Nachdem die N<sup>+</sup>-Emitterschichten **44** in den meisten Fällen durch Diffusion ausgebildet sind, werden sich dann, wenn die N<sup>+</sup>-Emitterschichten **44** dick ausgebildet sind, benachbarte Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44**, die zwischen benachbarten grabenförmigen Innenwände **47** angeordnet sind, aufgrund einer Seitendiffusion extrem nahe aneinander befinden.

**[0106]** Dies bringt es notwendig mit sich, dass eine freiliegende Oberfläche der P-Basissschicht **43** extrem klein ist. In einigen Fällen berühren die benachbarten Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** einander, wodurch die freiliegenden Oberflächen der P-Basissschicht **43** vollständig verschwinden. Wenn dies geschieht, ist es nicht möglich, dass die P-Basis-



schicht **43** die Emittierelektrode **51** berührt.

**[0107]** Bei herkömmlichen Techniken wird dieses Problem durch Vergrößern der Grabenabstände vermieden. Statt dessen sind zwischen den Kantenabschnitten der N<sup>+</sup>-Emitterschichten **44**, die zwischen den Innenwänden **47** angeordnet sind, die P<sup>+</sup>-Halbleiterschichten **45** so ausgebildet, dass sie die N<sup>+</sup>-Emitterschichten **44** teilweise überlappen, sodass die Bodenabschnitte der P<sup>+</sup>-Halbleiterschichten **45** die P-Basissschicht **43** berühren, und sind ferner die Verbindungsstellen bzw. Übergänge zwischen den P<sup>+</sup>-Halbleiterschichten **45** und den N<sup>+</sup>-Emitterschichten **44** der Oberfläche des Elements ausgesetzt bzw. liegen an dieser frei. Im Ergebnis wird ein großer Kontakt zwischen den P<sup>+</sup>-Halbleiterschichten **45** und der Emittierelektrode **51** hergestellt. Daher ist es möglich, die Grabenabstände zu reduzieren, ohne dass sie darauf empfindlich reagieren, ob die benachbarten Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** nahe beieinander liegen.

**[0108]** Wenn die Oberflächen der Gateelektroden **49** in einer Position angeordnet sind, die von den Oberflächen der N<sup>+</sup>-Emitterschichten **44** zurückgenommen ist, ist es insbesondere erforderlich, die N<sup>+</sup>-Emitterschichten **44** dick auszubilden. Daher sind wegen den verkleinerten Grabenabständen die benachbarten Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** nahe beieinander angeordnet oder können einander in manchen Fällen sogar berühren. Nachdem jedoch die in die N<sup>+</sup>-Emitterschichten **44** eindringenden P<sup>+</sup>-Halbleiterschichten **45** die P-Basissschicht **43** berühren, stehen die P-Basissschicht **43** und die N<sup>+</sup>-Emitterschichten **44** über die P<sup>+</sup>-Halbleiterschichten **45** auch dann mit der Emittierelektrode **51** in Kontakt, wenn die benachbarten Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** einander berühren.

**[0109]** Nachdem die N<sup>+</sup>-Emitterschichten **44** durch Diffusion in die P-Basissschicht **43** ausgebildet werden, muss die Störstellenkonzentration der N<sup>+</sup>-Emitterschichten **44** höher als diejenige der P-Basissschicht **43** sein. Ferner muss, nachdem die P<sup>+</sup>-Halbleiterschichten **45** so diffundiert werden, dass sie benachbarte Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** überlappen, die Störstellenkonzentration der P<sup>+</sup>-Halbleiterschichten **45** höher als diejenige der N<sup>+</sup>-Emitterschichten **44** sein.

**[0110]** Falls die P<sup>+</sup>-Halbleiterschichten **45** zuerst ausgebildet werden und dann die N<sup>+</sup>-Emitterschichten **44** so ausgebildet werden, dass sie eine höhere Störstellenkonzentration als die P<sup>+</sup>-Halbleiterschichten **45** aufweisen, kommen benachbarte Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** nahe aneinander. Im Ergebnis werden bei der vorliegenden Ausführungsform die P<sup>+</sup>-Halbleiterschichten **45** durch die N<sup>+</sup>-Emitterschichten viermal beseitigt, und daher wird die Wirkung der Anordnung der P<sup>+</sup>-Halbleiter-

schichten **45** in der Erfindung nicht erzeugt.

**[0111]** [Fig. 5](#) ist ein Graph, der eine Beziehung zwischen dem Grabenabstand und der ON-Spannung bei dem U-IGBT zeigt.

**[0112]** Gemäß der Darstellung in [Fig. 5](#) wird die ON-Spannung um so niedriger und werden daher verschiedene die ON-Spannung beeinträchtigende Eigenschaften um so besser, je kleiner die Grabenteilung des U-IGBT ist.

**[0113]** Nachdem bei der vorliegenden Erfindung die P<sup>+</sup>-Halbleiterschichten **45** so ausgebildet sind, dass sie benachbarte Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44** überlappen und dass sie die P-Basissschicht **43** berühren, stehen die Emittierelektrode **51** und die P-Basissschicht **43** über die P<sup>+</sup>-Halbleiterschichten **45** miteinander in Kontakt. Im Ergebnis sind die Grabenteilung und daher die ON-Spannung verkleinert. Ferner wird das Element kleiner und dichter und ist die Zuverlässigkeit verbessert.

**[0114]** Zusätzlich schaltet wegen der kleinen Grabenteilung der parasitäre, durch die N<sup>+</sup>-Emitterregionen **4**, die P-Basissschicht **3** und die N<sup>-</sup>-Schicht **2** ausgebildete Transistor nicht leicht durch.

**[0115]** D.h., auch wenn sich der IGBT innerhalb des RBSOA in dem OFF-Zustand befindet, fließen in der N<sup>-</sup>-Schicht **2** (N<sup>+</sup>-Pufferschicht **9**, falls die N<sup>+</sup>-Pufferschicht **9** vorgesehen ist) angesammelten Elektronen und Löcher in die Kollektorelektrode **11** bzw. die Emittierelektrode **10** oder rekombinieren miteinander, sodass sie verschwinden, wie in dem Fall einer Änderung von dem normalen ON-Zustand in den OFF-Zustand.

**[0116]** Wenn in diesem Fall die Löcher in die Emittierelektrode **10** fließen, wird die Menge der Löcher, die in eine Zelle fließen, klein, wenn die Zellengröße klein ist. Nachdem der Lochstrom als ein Basisstrom des parasitären Bipolartransistors dient, schaltet der parasitäre Bipolartransistor durch, wenn das Potential der P-Basissschicht **3** ein eingebautes Potential (im Allgemeinen 0,6 V) zwischen der P-Basissschicht **3** und den N<sup>+</sup>-Emitterregionen **4** übersteigt.

**[0117]** Nachdem der Lochstrom jedoch klein ist, wird ein Spannungsabfall klein, und daher wird das eingebaute Potential zwischen der P-Basissschicht **3** und den N<sup>+</sup>-Emitterregionen **4** nicht leicht erreicht, was es dem parasitären Bipolartransistor schwierig macht durchzuschalten. Mit anderen Worten, der RBSOA wird groß.

**[0118]** Als Nächstes wird ein Beispiel eines Verfahrens zur Herstellung des U-IGBT gemäß der vorliegenden Erfindung beschrieben werden.

[0119] [Fig. 6](#) bis [Fig. 14](#) sind Teilschnittansichten, welche das Element während den jeweiligen Herstellungsstufen zeigen.

[0120] Zuerst werden auf einem P<sup>+</sup>-Siliziumsubstrat **60** nacheinander eine N<sup>+</sup>-Schicht **61** und eine N<sup>-</sup>-Schicht **62** ausgebildet. Danach werden Fremdatome bzw. Störstellen des P-Typs in einer Oberfläche der N<sup>-</sup>-Schicht **62** implantiert und geglüht, wodurch eine P-Basissschicht **63** definiert wird (vgl. [Fig. 6](#)).

[0121] Anschließend wird auf einer Oberfläche der P-Basissschicht **63** ein Resist gestapelt, und durch Photolithographieprozesse wird ein Resistmuster **64** ausgebildet, welches eine Mehrzahl von streifenförmigen Öffnungen aufweist. Unter Verwendung des Resistmusters **64** als eine Maske wird die Oberfläche der P-Basissschicht **63** mit Störstellen des N-Typs bis zu einer hohen Konzentration dotiert. Das Resistmuster **64** wird hiernach entfernt. Die Störstellen werden geglüht und diffundiert, um N<sup>+</sup>-Emitterregionen **65** auszubilden (vgl. [Fig. 7](#)).

[0122] Dann wird auf einer Oberfläche der P-Basissschicht **63** und der N<sup>+</sup>-Emitterregionen **65** ein Oxidfilm **66** ausgebildet, der als ein Abschirmfilm dient. Auf Oberflächen der N<sup>+</sup>-Emitterregionen **65** wird unter Verwendung des Oxidfilm **66** eine Silizium-Ätzmaske ausgebildet, welche eine streifenförmige Öffnung aufweist, die eine geringere Breite als die N<sup>+</sup>-Emitterregionen **65** aufweist. Unter Verwendung der Silizium-Ätzmaske wird ein RIE-(Reactive Ion Etching)-Vorgang ausgeführt, wodurch grabenförmige Innenwände **67** ausgebildet werden, die sich von den Oberflächen der N<sup>+</sup>-Emitterregionen **65** aus erstrecken und in die N<sup>-</sup>-Schicht **62** eindringen (vgl. [Fig. 8](#)). Der Oxidfilm **66** wird dann durch Ätzen entfernt.

[0123] Als Nächstes wird auf Oberflächen der Innenwände **67**, einer Oberfläche der P-Basissschicht **63** und den Oberflächen der N<sup>+</sup>-Emitterregionen **65** ein thermischer Oxidfilm **68** ausgebildet, der als ein Isolationsfilm dient. Auf dem thermischen Oxidfilm **68** wird elektrisch leitfähiges, mit Fremdatomen des N-Typs dotiertes Polysilizium **69** gestapelt, wodurch die durch die Innenwände **67** ausgebildeten Nuten aufgefüllt werden (vgl. [Fig. 9](#)).

[0124] Das gestapelte Polysilizium **69** wird dann zurückgeätzt, sodass eine Oberfläche des die durch die Innenwände **67** ausgebildeten Nuten auffüllenden Polysiliziums **69** von einer Oberfläche des auf den Oberflächen der N<sup>+</sup>-Emitterregionen **65** ausgebildeten thermischen Oxidfilms **68** zurückgesetzt ist (vgl. [Fig. 10](#)). Eine Rückätzung muss so durchgeführt werden, dass die Oberfläche des Polysiliziums **69** an einer seichteren Position als der Boden der N<sup>+</sup>-Emitterregionen **65** angeordnet ist.

[0125] Dann wird ein Resist **70** auf der Oberfläche

des die durch die Innenwände **67** ausgebildeten Nuten auffüllenden Polysiliziums **69** und auf der Oberfläche des thermischen Oxidfilms **68** gestapelt. In dem Resist **70** wird durch Photolithographieprozesse eine Öffnung derart ausgebildet, dass sie die Oberfläche der P-Basissschicht **63** und von Abschnitten der N<sup>+</sup>-Emitterregionen **65**, die an die P-Basissschicht **63** angrenzen und sich entlang den Innenwänden **67** erstrecken, umgibt, wodurch ein Resistmuster erhalten wird. Unter Verwendung des Resistmusters als eine Maske werden Störstellen des P-Typs in einer höheren Störstellenkonzentration als derjenigen der N<sup>+</sup>-Emitterregionen **65** durch den thermischen Oxidfilm **68** hindurch implantiert. Das Resistmuster wird hiernach entfernt. Durch einen thermischen Prozess werden die P-Störstellen seichter als der Boden der N<sup>+</sup>-Emitterregionen **65** diffundiert, um eine P<sup>+</sup>-Halbleiterschicht **71** zu definieren, deren Bodenfläche einen Kontakt mit der P-Basissschicht **63** aufweist (vgl. [Fig. 11](#)).

[0126] Als Nächstes wird ein BPSG **72**, welches als eine Isolierung dient, auf der Oberfläche des die durch die Innenwände **67** ausgebildeten Nuten auffüllenden Polysiliziums **69** und auf der Oberfläche des thermischen Oxidfilms **68** gestapelt (vgl. [Fig. 12](#)).

[0127] Anschließend wird ein Resist **73** auf einer Oberfläche des BPSG **72** gestapelt. In dem Resist **73** wird durch Photolithographieprozesse eine Öffnung ausgebildet, welche die P<sup>+</sup>-Halbleiterschicht **71** und Abschnitte der N<sup>+</sup>-Emitterregionen **65**, die an die P<sup>+</sup>-Halbleiterschicht **71** angrenzen und sich entlang den Innenwänden **67** erstrecken, umgibt, wodurch ein Resistmuster erhalten wird. Unter Verwendung des Resistmusters als eine Maske werden das BPSG **72** und der thermische Oxidfilm **68** geätzt, sodass ein Zwischenschichtisolationsfilm **72** auf der Oberfläche des die durch die Innenwände **67** ausgebildeten Nuten auffüllenden Polysiliziums **69** ausgebildet wird (vgl. [Fig. 13](#)). Hiernach wird das Resistmuster entfernt.

[0128] Um die P<sup>+</sup>-Halbleiterschicht **71** und die N<sup>+</sup>-Emitterregionen **65**, die durch Ätzen freigelegt werden, kurzzuschließen, wird auf einer Oberfläche des Elements, in welcher die P<sup>+</sup>-Halbleiterschicht **71**, die N<sup>+</sup>-Emitterregionen **65** und der Zwischenschichtisolationsfilm **72** ausgebildet sind, Al-Si gestapelt, welches als eine leitfähige Schicht dient. Dies erzeugt gleichzeitig eine Gateleitung und einen Gateanschlussfleck, welche mit dem in den durch die Emittierelektrode **73** und die Innenwände **67** definierten Nuten vergrabenen Polysilizium **69** verbunden sind.

[0129] Ferner wird AlMoNiAu, welches als eine leitfähige Schicht dient, auf der Oberfläche des P<sup>+</sup>-Siliziumsubstrats **60** gestapelt, um hierdurch eine Kollekt-

torelektrode **75** auszubilden.

**[0130]** Durch solche Herstellungsprozesse wird der U-IGBT gemäß der vorliegenden Ausführungsform zu geringen Kosten hergestellt.

**[0131]** [Fig. 15](#) ist eine Teildraufsicht einer Halbleiteranordnung mit isoliertem Gate gemäß einer anderen beispielhaften Konstruktion, [Fig. 16](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 15](#) entlang Linien A-A, und [Fig. 17](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 15](#) entlang Linien B-B. In [Fig. 15](#) sind die Zellen so gezeigt, wie sie sich darstellen, wenn die Emitterelektrode **51** und der Zwischenschichtisolationsfilm **50** entfernt sind. Durch Klammern und strichpunktierte Linien in [Fig. 15](#) definierte Gebiete C sind Gebiete, die mit dem Zwischenschichtisolationsfilm **50** bedeckt sind.

**[0132]** In [Fig. 15](#), [Fig. 16](#) und [Fig. 17](#) weisen in dem U-IGBT gemäß der vorliegenden Ausführungsform die N<sup>+</sup>-Emitterschichten **44**, die zwischen den grabenförmigen Innenwänden **47** ausgebildet sind, in der Draufsicht einen leiterartigen Aufbau auf. Mit anderen Worten, die N<sup>+</sup>-Emitterschichten **44** sind in der Gestalt von Streifen angeordnet, wobei sie die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** zwischen sich einschließen. Die an den Oberflächen der N<sup>+</sup>-Emitterschichten **44** Öffnungen aufweisenden, nutförmigen Innenwände **47** erstrecken sich entlang der Längsrichtung der N<sup>+</sup>-Emitterschichten **44**. Benachbarte N<sup>+</sup>-Emitterschichten **44**, die zwischen den in den Innenwänden vergrabenen Gateelektroden **49** angeordnet sind, sind durch Verbindungsabschnitte **55** miteinander verbunden. Die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und der Verbindungsabschnitte **55** sind abwechselnd angeordnet.

**[0133]** Das Gebiet C des Zwischenschichtisolationsfilm **50** bedeckt die Gateelektroden **49** und erstreckt sich über benachbarte N<sup>+</sup>-Emitterschichten **44**, die an die nutförmigen Innenwände **47** angrenzen und sich entlang diesen befinden, erstreckt sich aber nicht über die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45**.

**[0134]** Der dargestellte U-IGBT ist ansonsten im Aufbau dem zuvor beschriebenen U-IGBT gemäß [Fig. 3](#) ähnlich bzw. gleich aufgebaut.

**[0135]** Nachdem der ebene Aufbau der N<sup>+</sup>-Emitterschichten **44** ein leiterartiger Aufbau ist, wird ein Kontaktbereich, an welchem die Emitterelektrode **51** mit den N<sup>+</sup>-Emitterschichten **44** in Kontakt steht, ebenfalls durch die Verbindungsabschnitte **55** sichergestellt, was die Notwendigkeit eines zusätzlichen Erzeugens eines zusätzlichen Kontaktbereichs zur Bewältigung einer Fehlausrichtung von Masken beseitigt. D.h., nachdem es nicht erforderlich ist, zur Be-

wältigung einer Fehlausrichtung von Masken bei Ausbildung der in [Fig. 13](#) gezeigten Emitterelektrode **73** einen zusätzlichen Bereich sicherzustellen, und nachdem die Zellenabstände dementsprechend reduziert werden können im Vergleich mit der Struktur, bei welcher die N<sup>+</sup>-Emitterschichten **44** einfach so angeordnet sind, dass sie sich entlang den Gateelektroden **49** erstrecken, wie es in [Fig. 2](#) dargestellt ist, ist es möglich, dass die Zellen eine feine Geometrie aufweisen. Des Weiteren ist es möglich, Kontaktbereiche in einem gut ausgeglichenen Verhältnis über das gesamte Element anzuordnen.

**[0136]** Somit ist das Element dichter und so ausgebildet, dass es eine niedrige ON-Spannung aufweist. Es ist möglich, Betriebseigenschaften der jeweiligen Zellen über das gesamte Element zu vereinheitlichen.

**[0137]** Wenn darüber hinaus der ebene Aufbau der N<sup>+</sup>-Emitterschichten **44** ein leiterartiger Aufbau ist, die P<sup>+</sup>-Halbleiterschichten **45** nicht ausgebildet sind und die freiliegenden Oberflächen der P-Basissschicht **43** einfach ausgebildet sind, werden die Verbindungsabschnitte **55** der N<sup>+</sup>-Emitterschichten **44** aufgrund einer Diffusion in der horizontalen Richtung um so breiter, je dicker die N<sup>+</sup>-Emitterschichten **44** werden, wodurch die Menge eines unmittelbar unterhalb der Verbindungsabschnitte **55** fließenden Lochstroms groß wird. Nachdem die Löcher als ein Basisstrom für den durch die N<sup>+</sup>-Emitterschichten **44**, die P-Basissschicht **43** und die N-Schicht **42** ausgebildeten parasitären Transistor dient, wird der parasitäre Transistor leicht durchgeschaltet. Nachdem jedoch die P<sup>+</sup>-Halbleiterschichten **45** angeordnet sind, welche die Diffusion der Verbindungsabschnitte **55** in der Richtung der Breite der Verbindungsabschnitte **55** begrenzen, neigt der parasitäre Transistor nicht dazu, leicht durchzuschalten. Daher ist es möglich, eine Reduzierung des RBSOA zu verhindern.

**[0138]** Im Vergleich mit den vorstehend beschriebenen Herstellungsprozessen verwenden die Herstellungsprozesse gemäß dem vorliegenden Beispiel ein abweichendes Resistmuster zur Ausbildung der N<sup>+</sup>-Emitterregionen **65**. Bei den Herstellungsprozessen gemäß dem vorliegenden Beispiel wird der Resist auf der Oberfläche der P-Basissschicht **63** gestapelt, wird die Mehrzahl der Öffnungen, die in der Gestalt von parallelen Streifen vorliegen, und der Öffnungen, die mit diesen Öffnungen verbunden sind, durch Photolithographieprozesse ausgebildet, wird das Resistmuster, bei welchem Resist verstreut in der Gestalt von Säulen belassen wird, ausgebildet, und werden unter Verwendung dieses Resistmusters **64** als eine Maske Störstellen des N-Typs in die Oberfläche der P-Basissschicht **63** in einer hohen Dotierungskonzentration implantiert und durch Glühen diffundiert, um hierdurch die N<sup>+</sup>-Emitterregionen **65** zu definieren.

[0139] Ferner werden, anders als bei den vorstehend beschriebenen Herstellungsprozessen, nach Rückätzung des Polysiliziums **69** die P<sup>+</sup>-Halbleiterschichten **71** unter Verwendung eines Resistmusters ausgebildet, das eine abweichende Gestalt aufweist. In einem Resist werden Öffnungen in Übereinstimmung mit den freiliegenden Oberflächen der auf den N<sup>+</sup>-Emitterregionen **65** in einer verstreuten Konfiguration ausgebildeten P-Basisschichten **63** ausgebildet. Unter Verwendung eines solchen Resists als ein Resistmuster werden Störstellen implantiert und dann durch thermische Bearbeitung diffundiert, um hierdurch die P<sup>+</sup>-Halbleiterschicht **71** zu definieren.

[0140] [Fig. 18](#) ist eine Teildraufsicht eines U-IGBT gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung, [Fig. 19](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 18](#), die entlang Linien A-A genommen ist, und [Fig. 20](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 18](#), die entlang Linien B-B genommen ist. In [Fig. 18](#) sind die Zellen so gezeigt, wie sie sich darstellen, wenn die Emitterelektrode **51** und der Zwischenschichtisolationfilm **50** entfernt sind. Bereiche C in [Fig. 18](#), die durch Klammern und strichpunktierte Linien definiert sind, sind Bereiche, die mit dem Zwischenschichtisolationfilm **50** bedeckt sind.

[0141] In [Fig. 18](#), [Fig. 19](#) und [Fig. 20](#) weisen bei dem U-IGBT gemäß der vorliegenden Erfindung die N<sup>+</sup>-Emitterschichten **44**, die zwischen den nutförmigen Innenwänden **47** ausgebildet sind, eine in der Draufsicht leiterartige Konfiguration auf. In dieser Ausführungsform sind die P<sup>+</sup>-Halbleiterschichten **45** nicht angeordnet. Freiliegende Oberflächen der P-Basisschicht **43** sind in einer verstreuten Konfiguration in den zwischen den Innenwänden **47** vorliegenden N<sup>+</sup>-Emitterschichten **44** entlang der Längsausdehnung der Innenwände **47** ausgebildet.

[0142] D.h., die N<sup>+</sup>-Emitterschichten **44** sind in der Gestalt von Streifen angeordnet und schließen die freiliegenden Oberflächen der P-Basisschicht **43** zwischen sich ein. Die nutförmigen Innenwände **47**, welche Öffnungen an den Oberflächen der N<sup>+</sup>-Emitterschichten **44** aufweisen, erstrecken sich entlang der Längsausdehnung der N<sup>+</sup>-Emitterschichten **44**. Benachbarte N<sup>+</sup>-Emitterschichten **44**, die zwischen den in den Innenwänden vergrabenen Gateelektroden **49** angeordnet sind, sind durch die Verbindungsabschnitt **55** miteinander verbunden. Die freiliegenden Oberflächen der P-Basisschicht **43** und der Verbindungsabschnitte **55** sind abwechselnd angeordnet.

[0143] Die Gebiete C des Zwischenschichtisolationfilm **50** bedecken die Gateelektroden **49**, die an die nutförmigen Innenwände **47** angrenzenden und sich entlang diesen vorliegenden N<sup>+</sup>-Emitterschichten **44** und erstrecken sich weiter über die in der Umgebung der N<sup>+</sup>-Emitterschichten **44** vorliegende

P-Basisschicht **43**.

[0144] Somit steht die Emitterelektrode **51** abwechselnd mit den die N<sup>+</sup>-Emitterschichten **44** verbindenden Verbindungsabschnitten **55** und den freiliegenden Oberflächen der P-Basisschicht **43** in Verbindung. Zwischen den in einer verstreuten Konfiguration angeordneten Verbindungsabschnitten **55** sind aber die N<sup>+</sup>-Emitterschichten **44**, die zwischen den freiliegenden Oberflächen der P-Basisschicht **43** und den nutförmigen Innenwänden **47** aufgenommen sind, mit dem Zwischenschichtisolationfilm **50** bedeckt. Somit stehen diese N<sup>+</sup>-Emitterschichten **44** nicht mit der Emitterelektrode **51** in Verbindung. Die N<sup>+</sup>-Emitterschichten **44**, die zwischen den freiliegenden Oberflächen der P-Basisschicht **43** und den nutförmigen Innenwänden **47** aufgenommen sind, dienen deshalb als Emitterwiderstandsregionen **57**. Dies bedeutet, dass zwischenliegend Emitterwiderstände angeordnet sind, die der Emitterelektrode zugeordnet sind.

[0145] Als Nächstes wird eine Betriebsweise gemäß der vorliegenden Erfindung beschrieben werden.

[0146] Nachdem Werte des Emitterwiderstands der Emitterwiderstandsregionen **57**, die zwischen den freiliegenden Oberflächen der P-Basisschicht **43** und den nutförmigen Innenwänden **47** aufgenommen sind, klein sind, sind die Emitterwiderstände der Emitterwiderstandsregionen **57** nahezu verschwindend, wenn ein so kleiner Strom wie der Nennstrom fließt. Ersatzweise sind die Emitterwiderstandsregionen **57** so ausgebildet, dass sie Emitterwiderstandswerte derart aufweisen, dass sie  $V_{CE(sat)}$  nicht ändern.

[0147] Auch wenn jedoch die Emitterwiderstände so bestimmt sind, dass sie  $V_{CE(sat)}$  nicht ändern, erscheint dann, wenn ein großer Strom fließt wie etwa beim Kurzschluss, ebenfalls ein Spannungsabfall an den N<sup>+</sup>-Emitterschichten **44**, so lange Emitterwiderstände angeordnet sind. Solch ein Spannungsabfall dient dazu, eine Spannungsdifferenz zwischen der P-Basisschicht **43** und den N<sup>+</sup>-Emitterschichten **44** zu beseitigen.

[0148] Kurz gesagt, ein solcher Spannungsabfall arbeitet so, dass er verhindert, dass das eingebaute Potential (im Allgemeinen **0,6V**) des durch die N<sup>+</sup>-Emitterschichten **44**, die P-Basisschicht **43** und die N<sup>-</sup>-Schicht **42** ausgebildeten parasitären Transistors überschritten wird, und erschwert es hierdurch dem parasitären Transistor, durchzuschalten. Somit wird der RBSOA groß.

[0149] Eine andere Stromcharakteristik, die mit einer Zerstörung des Elements in Zusammenhang gebracht wird, ist  $I_C(sat)$ . Wenn z.B. ein Kurzschluss auftritt, d.h., wenn der IGBT durchschaltet, während



eine hohe Spannung an den IGBT angelegt ist, hängt ein in dem IGBT fließender Strom von  $I_C(\text{sat})$  ab.

**[0150]** Während eines Kurzschlusszustands erzeugte Wärme wird bestimmt durch:

Angelegte Spannung  $\times$  in dem IGBT fließender Strom  $\times$  Zeit des Kurzschlusszustands

**[0151]** Wenn der IGBT aufgrund derart erzeugter Wärme eine bestimmte Temperatur erreicht, wird der IGBT zerstört.

**[0152]** Indessen ist es bekannt, dass  $I_C(\text{sat})$  kleiner wird, wenn ein Emitterwiderstand angeordnet ist. In der vorliegenden Erfindung sind die Emitterwiderstandsregionen **57** innerhalb eines einfachen Aufbaus ausgebildet, bei welchem der Zwischenschichtisolationfilm **50** die N<sup>+</sup>-Emitterregionen **44**, die zwischen den freiliegenden Oberflächen der P-Basischicht **43** und den nutförmigen Innenwänden **47** aufgenommen sind, bedeckt, und eine Durchbruchcharakteristik während eines Kurzschlusszustands aufgrund der Emitterwiderstände verbessert ist.

**[0153]** Die Herstellungsprozesse gemäß der vorliegenden Ausführungsform unterscheiden sich von den vorstehend beschriebenen Herstellungsprozessen darin, dass der Schritt eines Ausbildens der P<sup>+</sup>-Halbleiterschichten **71** weggelassen wird und dass die Öffnungen, welche die die P-Basischicht **63** und die N<sup>+</sup>-Emitterregionen **65** verbindenden Verbindungsabschnitte umgeben, in dem Resist **73**, der während des Schritts eines Ausbildens des Zwischenschichtisolationfilms gestapelt wird, in Gebieten mit Ausnahme von Abschnitten der N<sup>+</sup>-Emitterregionen **65**, welche sich entlang den Innenwänden **67** erstrecken, und mit Ausnahme von Abschnitten der freiliegenden Oberflächen der P-Basischicht **63**, die sich teilweise nahe den N<sup>+</sup>-Emitterregionen **65** befinden, ausgebildet werden, um hierdurch ein Resistmuster zu erhalten.

**[0154]** [Fig. 21](#) ist eine Teildraufsicht eines weiteren beispielhaften U-IGBT, [Fig. 22](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 21](#), die entlang Linien A-A genommen ist, und [Fig. 23](#) ist eine Teilschnittansicht einiger Zellen von [Fig. 21](#), die entlang Linien B-B genommen ist. In [Fig. 21](#) sind die Zellen so gezeigt, wie sie sich darstellen, wenn die Emitterelektrode **51** und der Zwischenschichtisolationfilm **50** entfernt sind. Durch Klammern und strichpunktierte Linien in [Fig. 21](#) definierte Gebiet C sind Gebiete, die mit dem Zwischenschichtisolationfilm **50** bedeckt sind.

**[0155]** In [Fig. 21](#), [Fig. 22](#) und [Fig. 23](#) weisen bei dem U-IGBT gemäß dem vorliegenden Beispiel die N<sup>+</sup>-Emitterschichten **44**, die zwischen den nutförmigen Innenwänden **47** ausgebildet sind, eine in der Draufsicht leiterartige Konfiguration auf. D.h., die

N<sup>+</sup>-Emitterschichten **44** sind in der Gestalt von Streifen ausgebildet, welche die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** zwischen sich aufnehmen. Die nutförmigen Innenwände **47**, welche Öffnungen an den Oberflächen der N<sup>+</sup>-Emitterschichten **44** aufweisen, erstrecken sich entlang der Längsausdehnung der N<sup>+</sup>-Emitterschichten **44**. Die N<sup>+</sup>-Emitterschichten **44**, die zwischen den in den Innenwänden vergrabenen Gateelektroden **49** vorliegen, sind durch die Verbindungsabschnitte **55** miteinander verbunden. Die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und die Verbindungsabschnitte **55** sind abwechselnd angeordnet.

**[0156]** Die Gebiete C des Zwischenschichtisolationfilm **50** bedecken die Gateelektroden **49** und erstrecken sich über benachbarte N<sup>+</sup>-Emitterschichten **44**, die an die nutförmigen Innenwände **47** angrenzen und entlang den nutförmigen Innenwänden **47** vorliegen, und erstrecken sich weiter über die freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45**.

**[0157]** Die Emitterelektrode **51** weist abwechseln einen Kontakt mit den die N<sup>+</sup>-Emitterschichten **44** verbindenden Verbindungsabschnitten **55** und den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** auf. Allerdings sind die zwischen den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und den nutförmigen Innenwänden **47** aufgenommenen N<sup>+</sup>-Emitterschichten **44** zwischen den Verbindungsabschnitten **55**, die in einer verstreuten Konfiguration angeordnet sind, mit dem Zwischenschichtisolationfilm **50** bedeckt. Daher weisen die N<sup>+</sup>-Emitterschichten **44** keinen Kontakt mit der Emitterelektrode **51** auf.

**[0158]** Die N<sup>+</sup>-Emitterschichten **44**, die zwischen den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und den nutförmigen Innenwänden **47** aufgenommen sind, dienen daher als die Emitterwiderstandsregionen **57**. Das bedeutet, dass Emitterwiderstände zwischenliegend angeordnet sind, die der Emitterelektrode zugeordnet sind.

**[0159]** So tritt wie in der bevorzugten Ausführungsform dann, wenn ein großer Strom wie in einem Kurzschlusszustand fließt, auch ein Spannungsabfall bei den N<sup>+</sup>-Emitterschichten **44** ein, so lange Emitterwiderstände angeordnet sind. Ein solcher Spannungsabfall dient zur Beseitigung einer Spannungsdifferenz zwischen der P-Basischicht **43** und den N<sup>+</sup>-Emitterschichten **44**.

**[0160]** D.h., ein solcher Spannungsabfall dient dazu, zu verhindern, dass das eingebaute Potential (i.A. 0,6V) des durch die N<sup>+</sup>-Emitterschichten **44**, die P-Basischicht **43** und die N<sup>-</sup>-Schicht **42** ausgebildeten parasitären Transistors überschritten wird, wodurch es dem parasitären Transistor erschwert wird, durchzuschalten. Daher ist der RBSOA groß.

**[0161]** Wie in der bevorzugten Ausführungsform sind ferner die Emitterwiderstandsregionen **57** innerhalb einer einfachen Struktur ausgebildet, in welcher der Zwischenschichtisolationfilm **50** die zwischen den freiliegenden Oberflächen der P-Basissschicht **43** und den nutförmigen Innenwände **47** aufgenommenen N<sup>+</sup>-Emitterschichten **44** bedeckt und eine Durchbruchcharakteristik während eines Kurzschlusszustands aufgrund der Emitterwiderstände verbessert ist.

**[0162]** Hinzu kommt, dass die Struktur gemäß dem vorliegenden Beispiel die gleiche ist wie die Struktur gemäß der bevorzugten Ausführungsform, da sie so modifiziert ist, dass die P<sup>+</sup>-Halbleiterschichten **45** in den freiliegenden Oberflächen der P-Basissschicht **43** angeordnet sind. Wie in dem vorstehend beschriebenen ersten Beispiel weisen die P<sup>+</sup>-Halbleiterschichten **45** eine höhere Störstellenkonzentration als diejenige der N<sup>+</sup>-Emitterschichten **44** auf. Falls die Störstellenkonzentration der N<sup>+</sup>-Emitterschichten **44** bei etwa  $1 \times (10^{18} - 10^{19})$  festgelegt ist, ist die Störstellenkonzentration der P<sup>+</sup>-Halbleiterschichten **45** bei etwa  $2 \times (10^{18} - 10^{19})$  festgelegt, als etwa dem Zweifachen der Störstellenkonzentration der N<sup>+</sup>-Emitterschichten **44**.

**[0163]** Wenn eine Diffusion von N<sup>+</sup>-Störstellen in der horizontalen Richtung während Ausbildung der N<sup>+</sup>-Emitterschichten **44** unzureichend ist oder wenn der Gatekontaktrand während Ausbildung des Zwischenschichtisolationfilms **50** nicht hinreichend groß ausgebildet wird, kommen die benachbarten Kantenabschnitte der N<sup>+</sup>-Emitterschichten **44**, die zwischen benachbarten nutförmigen Innenwänden **47** angeordnet sind, in Positionen, die extrem nahe beieinander liegen. Um dies zu vermeiden, gab es herkömmlicherweise bisher keinen anderen Weg, als die Grabenabstände zu vergrößern. Auch in einem solchen Fall jedoch berühren die N<sup>+</sup>-Emitterschichten **44** und die P-Basissschicht **43** einander durch die P<sup>+</sup>-Halbleiterschichten **45** und die Emitterelektrode, da die P<sup>+</sup>-Halbleiterschichten **45** zwischen den benachbarten Kantenabschnitten der N<sup>+</sup>-Emitterschichten **44** angeordnet sind. Nachdem dies die Grabenabstände reduziert, schaltet der parasitäre Transistor nicht leicht durch. Die ON-Spannung ist verringert und die Dichte des Elements ist erhöht.

**[0164]** Des Weiteren sind gemäß dem vorliegenden Beispiel die Emitterwiderstandsregionen **57** innerhalb einer einfachen Struktur ausgebildet, in welcher die Diffusionsregionen der P<sup>+</sup>-Halbleiterschichten **45** ausgedehnt sind und die N<sup>+</sup>-Emitterschichten **44**, die zwischen den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und den nutförmigen Innenwänden **47** aufgenommen sind, mit dem Zwischenschichtisolationfilm **50** bedeckt sind. Daher ist die Durchbruchcharakteristik während Kurzschlusses verbessert, ohne einen Raum zur Anordnung von Emitterwiderständen zu erzeugen und ohne die Zellengröße zu

vergrößern.

**[0165]** Zusätzlich sind in [Fig. 22](#) die P<sup>+</sup>-Halbleiterschichten **45** dünner ausgebildet als die N<sup>+</sup>-Emitterschichten **44**. Gemäß dem vorliegenden Beispiel ist jedoch der Kontakt zwischen den N<sup>+</sup>-Emitterschichten **44** und der P-Basissschicht **43** durch die P<sup>+</sup>-Halbleiterschichten **45** und die Emitterelektrode innerhalb der Verbindungsabschnitte **55** der N<sup>+</sup>-Emitterschichten **44**, nicht innerhalb der zwischen den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und den nutförmigen Innenwänden **47** aufgenommenen N<sup>+</sup>-Emitterschichten **44** hergestellt. Daher ist es auch dann, wenn die zwischen den freiliegenden Oberflächen der P<sup>+</sup>-Halbleiterschichten **45** und die nutförmigen Innenwänden **47** aufgenommenen N<sup>+</sup>-Emitterschichten **44** als ein Ergebnis der Seitendiffusion während Ausbildung der P<sup>+</sup>-Halbleiterschichten **45** klein ausgebildet sind, aus dem Grund, dass die N<sup>+</sup>-Emitterschichten **44** nur groß genug sein müssen, um die Emitterwiderstandsregionen **57** auszubilden, unter Berücksichtigung der Seitendiffusion nicht immer erforderlich, um die P<sup>+</sup>-Halbleiterschichten **45** seichter zu diffundieren als den Boden der N<sup>+</sup>-Emitterschichten **44**.

**[0166]** [Fig. 24](#) und [Fig. 25](#) sind Teilschnittansichten einer Zelle während weiterer Herstellungsschritte in dem vorliegenden Beispiel. Verglichen mit den Herstellungsprozessen gemäß dem ersten Beispiel verwenden die Herstellungsprozesse gemäß dem vorliegenden Beispiel ein anderes Resistmuster zur Ausbildung der N<sup>+</sup>-Emitterregionen **65** und verwenden auch ein anderes Resistmuster zur Ausbildung des Zwischenschichtisolationfilms, der in [Fig. 13](#) gezeigt ist. Die anderen Herstellungsschritte sind gleich bzw. ähnlich. Im Einzelnen wird der Resist auf der Oberfläche der P-Basissschicht **63** gestapelt, wird die Mehrzahl der Öffnungen, die in der Gestalt von parallelen Streifen vorliegen, und die Öffnungen, die mit diesen Öffnungen verbunden, durch Photolithographieprozesse ausgebildet, wird das Resistmuster ausgebildet, in welchem Resistbestandteile in der Gestalt von Säulen verstreut belassen sind, und werden unter Verwendung dieses Resistmusters **64** als einer Maske N-Störstellen in die Oberfläche der P-Basissschicht **63** mit einer hohen Dotierungskonzentration implantiert und durch Glühen diffundiert, um hierdurch die N<sup>+</sup>-Emitterregionen **65** zu definieren.

**[0167]** Des Weiteren wird nach Ausbildung der P<sup>+</sup>-Halbleiterschichten **71** entlang der Innenwände **67** so, dass die P<sup>+</sup>-Halbleiterschicht **71** und die Verbindungsabschnitte der N<sup>+</sup>-Emitterregionen **65** abwechselnd auftreten, das BPSG **72** auf der Oberfläche des die durch die Innenwände **67** ausgebildeten Nuten auffüllenden Polysiliziums **69** und auf der Oberfläche des thermischen Oxidfilms **68** gestapelt, und wird der Resist **73** auf einer Oberfläche des BPSG **72** gesta-

pelt. Durch Photolithographieprozesse werden in dem Resist **73** die P<sup>+</sup>-Halbleiterschicht **71** und die Verbindungsabschnitte der N<sup>+</sup>-Emitterregionen **65** umgebende Öffnungen in Gebieten mit Ausnahme von Abschnitten der N<sup>+</sup>-Emitterregionen **65**, die sich entlang den Innenwänden **67** erstrecken, und mit Ausnahme von Abschnitten der P<sup>+</sup>-Halbleiterschichten **71**, die sich in der Umgebung der N<sup>+</sup>-Emitterregionen **65** befinden, ausgebildet, um hierdurch ein Resistmuster auszubilden. Unter Verwendung des Resistmusters als eine Maske werden das BPSG **72** und der thermischer Oxidfilm **68** geätzt, wodurch der Zwischenschichtisolationfilm **72** auf der Oberfläche des in den durch die Innenwände **67** definierten Nuten vergrabenen Polysiliziums **69** ausgebildet wird (vgl. [Fig. 24](#)). Dann wird das Resistmuster entfernt.

**[0168]** Anschließend wird, um die P<sup>+</sup>-Halbleiterschicht **71** und die durch Ätzen freigelegten N<sup>+</sup>-Emitterregionen **65** kurzzuschließen, als eine leitfähige Schicht dienendes Al-Si auf einer Oberfläche des Elements gestapelt, in welcher die P<sup>+</sup>-Halbleiterschicht **71**, die N<sup>+</sup>-Emitterregionen **65** und der Zwischenschichtisolationfilm **72** angeordnet sind. Dies erzeugt gleichzeitig eine Gateleitung und einen Gateanschlussfleck, die mit dem in den durch die Emittierelektrode **73** und die Innenwände **67** ausgebildeten Nuten vergrabenen Polysilizium **69** verbunden sind (vgl. [Fig. 25](#)).

**[0169]** Ferner wird als eine leitfähige Schicht dienendes AlMoNiAu auf der Oberfläche des P<sup>+</sup>-Siliziumsubstrats **60** gestapelt, um hierdurch eine Kollektorelektrode **75** auszubilden.

**[0170]** Mittels eines solchen Herstellungsprozesses wird der U-IGBT gemäß dem vorliegenden Beispiel zu geringen Kosten hergestellt.

**[0171]** Zusätzlich ist zu beachten, dass ungeachtet dessen, dass die vorstehende Beschreibung beschrieben hat, dass die Ps-Halbleiterschicht **71** in dem vorliegenden Beispiel in ähnlicher bzw. gleicher Weise wie die in dem ersten Beispiel ausgebildet ist, das vorliegende Beispiel nicht immer erfordert, dass unter Berücksichtigung der Seitendiffusion die P<sup>+</sup>-Halbleiterschichten **45** seichter als die Dicke der N<sup>+</sup>-Emitterschichten **44** diffundiert werden, wie vorstehend beschrieben wurde. Daher können während des Herstellungsprozesses in dem vorliegenden Beispiel Störstellen vom P-Typ durch den thermischer Oxidfilm **68** mit einer höheren Störstellenkonzentration als derjenigen der N<sup>+</sup>-Emitterregionen **65** implantiert werden und dann tiefer als der Boden der N<sup>+</sup>-Emitterregionen **65** thermisch diffundiert werden, um die P<sup>+</sup>-Halbleiterschicht **71** zu erhalten, deren Bodenfläche die P-Basissschicht **63** kontaktiert.

**[0172]** Obschon vorstehend die vorliegende Erfindung im Zusammenhang mit einem U-IGBT eines

N-Kanal-Typs beschrieben wurde, ist die vorliegende Erfindung auch auf einen U-IGBT eines P-Kanal-Typs anwendbar.

**[0173]** Während die Erfindung genau beschrieben worden ist, ist die vorstehende Beschreibung in allen Gesichtspunkten beispielhaft und nicht beschränkend. Es ist zu verstehen, dass vielfältige andere Abwandlungen und Abweichungen erdacht werden können, ohne den Umfang der Erfindung zu verlassen.

## Patentansprüche

1. Halbleiteranordnung mit isoliertem Gate (**30**), mit:  
 einer ersten Halbleiterschicht (**41**) eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht eine erste Hauptoberfläche und eine zweite Hauptoberfläche aufweist;  
 einer zweiten Halbleiterschicht (**42**) eines zweiten Leitfähigkeitstyps, welche auf der ersten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist, wobei die zweite Halbleiterschicht eine niedrige Störstellenkonzentration aufweist;  
 einer dritten Halbleiterschicht (**43**) des ersten Leitfähigkeitstyps, welche auf einer Oberfläche der zweiten Halbleiterschicht angeordnet ist;  
 einer vierten Halbleiterschicht (**44**) des zweiten Leitfähigkeitstyps, welche auf einer Oberfläche der dritten Halbleiterschicht so angeordnet ist, dass sie eine freiliegende Oberfläche der dritten Halbleiterschicht in einer Konfiguration paralleler, diskontinuierlicher Säulen belässt;  
 wenigstens einer rillenförmigen Innenwand (**47**), welche eine Öffnung definiert, die sich in einer Oberfläche der vierten Halbleiterschicht so öffnet, dass sie sich in einer Richtung entlang der Oberfläche der vierten Halbleiterschicht erstreckt, wobei sich die rillenförmige Innenwand entlang einer Tiefenrichtung hiervon von der Oberfläche der vierten Halbleiterschicht aus zu der zweiten Halbleiterschicht erstreckt;  
 einem Isolationsfilm (**48**), welcher die rillenförmige Innenwand, einen Teil der Oberfläche der vierten Halbleiterschicht, der sich in der Umgebung der Öffnung befindet und sich an die Innenwand anschließt, und einen Teil der Oberfläche der dritten Halbleiterschicht, der an die vierte Halbleiterschicht angrenzt, bedeckt;  
 einer Steuerelektrode (**49**), welche über den Isolationsfilm so auf einer Oberfläche der rillenförmigen Innenwand angeordnet ist, dass sie eine zurückgenommene Oberfläche aufweist, die von einer Oberfläche eines Teils des den Teil der Oberfläche der vierten Halbleiterschicht bedeckenden Isolationsfilms zurückgenommen ist;  
 einem Zwischenschichtisolationfilm (**50**), welcher Oberflächen der Steuerelektrode und des Isolationsfilms bedeckt;  
 einer ersten Hauptelektrode (**51**), welche auf den



Oberflächen der dritten und der vierten Halbleiterschicht und des Zwischenschichtisulationsfilms angeordnet ist; und einer zweiten Hauptelektrode (52), welche auf der zweiten Hauptoberfläche der ersten Halbleiterschicht angeordnet ist.

2. Halbleiteranordnung mit isoliertem Gate gemäß Anspruch 1, dadurch gekennzeichnet, dass die Anordnung eine Mehrzahl von rillenförmigen Innenwänden aufweist, wobei die freiliegende Oberfläche der dritten Halbleiterschicht zwischen und entlang von zwei aneinander angrenzenden der rillenförmigen Innenwände angeordnet ist und sich in einer Längsrichtung der zwei aneinander angrenzenden erstreckt.

3. Halbleiteranordnung mit isoliertem Gate gemäß Anspruch 2, dadurch gekennzeichnet, dass eine Oberflächenkonfiguration der vierten Halbleiterschicht in Bereichen, die zwischen den zwei angrenzenden der rillenförmigen Innenwände liegen, eine leiterartige Konfiguration ist.

4. Verfahren zum Herstellen einer Halbleiteranordnung mit isoliertem Gate, mit:  
 einem ersten Schritt eines Ausbildens eines Halbleitersubstrats, welches eine erste Halbleiterschicht (60) eines ersten Leitfähigkeitstyps und eine auf einer Oberfläche der ersten Halbleiterschicht angeordnete zweite Halbleiterschicht eines zweiten Leitfähigkeitstyps aufweist;  
 einem zweiten Schritt eines Implantierens von Störstellen des ersten Leitfähigkeitstyps in eine erste Hauptoberfläche des Halbleitersubstrats, die sich auf der Seite der zweiten Halbleiterschicht des Halbleitersubstrats befindet, um dadurch eine dritte Halbleiterschicht (63) des ersten Leitfähigkeitstyps auszubilden;  
 einem dritten Schritt eines Stapelns eines Resists (64) auf der ersten Hauptoberfläche, eines selektiven Entfernens des Resists so, dass ein Teil des Resists als eine Mehrzahl von Regionen, die in der Gestalt von diskontinuierlichen Säulen parallel zu einander angeordnet sind, verbleibt, sodass ein Resistmuster ausgebildet wird, eines selektiven Implantierens von Störstellen des zweiten Leitfähigkeitstyps unter Verwendung des Resistmusters als eine Maske und eines Diffundierens der Störstellen des zweiten Leitfähigkeitstyps in einer Oberfläche der dritten Halbleiterschicht so, dass ein Teil einer freiliegenden Oberfläche der dritten Halbleiterschicht, der mit dem Resist bedeckt ist, belassen wird, um dadurch eine vierte Halbleiterschicht (65) des zweiten Leitfähigkeitstyps mit einer höheren Störstellenkonzentration als der zweiten Halbleiterschicht selektiv auszubilden;  
 einem vierten Schritt eines Ausbildens eines Abschirmfilms (66) auf der ersten Hauptoberfläche, eines Ausbildens einer Öffnung in dem Abschirmfilm auf einem Teil einer Oberfläche der vierten Halbleiter-

schicht so, dass sich die Öffnung entlang einer Oberfläche von Säulen der vierten Halbleiterschicht erstreckt, eines selektiven Entfernens eines Halbleiters bis zu der zweiten Halbleiterschicht hinab, wobei der Abschirmfilm als eine Maske verwendet wird, welche die Öffnung aufweist, um dadurch rillenförmige Innenwände (67) auszubilden, welche Rillen definieren, und eines Entfernens des Abschirmfilms hiernach;  
 einem fünften Schritt eines Ausbildens eines Isolationsfilms (68) auf Oberflächen der rillenförmigen Innenwände und auf der ersten Hauptoberfläche;  
 einem sechsten Schritt eines Stapelns eines leitfähigen Materials (69) auf dem Isolationsfilm so, dass die Rillen aufgefüllt werden;  
 einem siebenten Schritt eines einheitlichen Entfernens des leitfähigen Materials unter Belassen des Isolationsfilms, bis eine Oberfläche des leitfähigen Materials, das in den Rillen vergraben ist, von einer Oberfläche eines Teil des Isolationsfilms, der auf der ersten Hauptoberfläche ausgebildet ist, zurückgenommen ist;  
 einem achten Schritt eines Stapelns eines Zwischenschichtisulationsfilms (72) auf einem Teil des Isolationsfilms, der nach dem siebenten Schritt freiliegt, und der Oberfläche des leitfähigen Materials;  
 einem neunten Schritt eines Stapelns eines Resists (73) auf einer Oberfläche des Zwischenschichtisulationsfilms, eines Ausbildens einer Öffnung darin, welche die dritte und die vierte Halbleiterschicht umgibt, mit Ausnahme von Teilen von Oberflächen der vierten Halbleiterschichten, die angrenzend an und entlang den Innenwänden verlaufen, und mit Ausnahme eines Teils der freiliegenden Oberfläche der dritten Halbleiterschicht, welche angrenzend an die Teile der Oberflächen der vierten Halbleiterschicht verläuft, eines selektiven Entfernens des Zwischenschichtisulationsfilms und des Isolationsfilms, wobei ein Resistmuster verwendet wird, das die Öffnung enthält, um dadurch die dritte Halbleiterschicht und die Teile der vierten Halbleiterschicht, die an die dritte Halbleiterschicht angrenzend verlaufen, freizulegen;  
 einem zehnten Schritt eines Stapelns einer Leiterschicht (74) auf Oberflächen der dritten und der vierten Halbleiterschicht, die nach dem neunten Schritt freiliegen, und auf der Oberfläche des Zwischenschichtisulationsfilms; und  
 einem elften Schritt eines Stapelns einer Leiterschicht (75) auf der zweiten Hauptoberfläche des Halbleitersubstrats, die sich auf einer der ersten Hauptoberfläche gegenüberliegenden Seite befindet.

Es folgen 16 Blatt Zeichnungen

FIG. 1

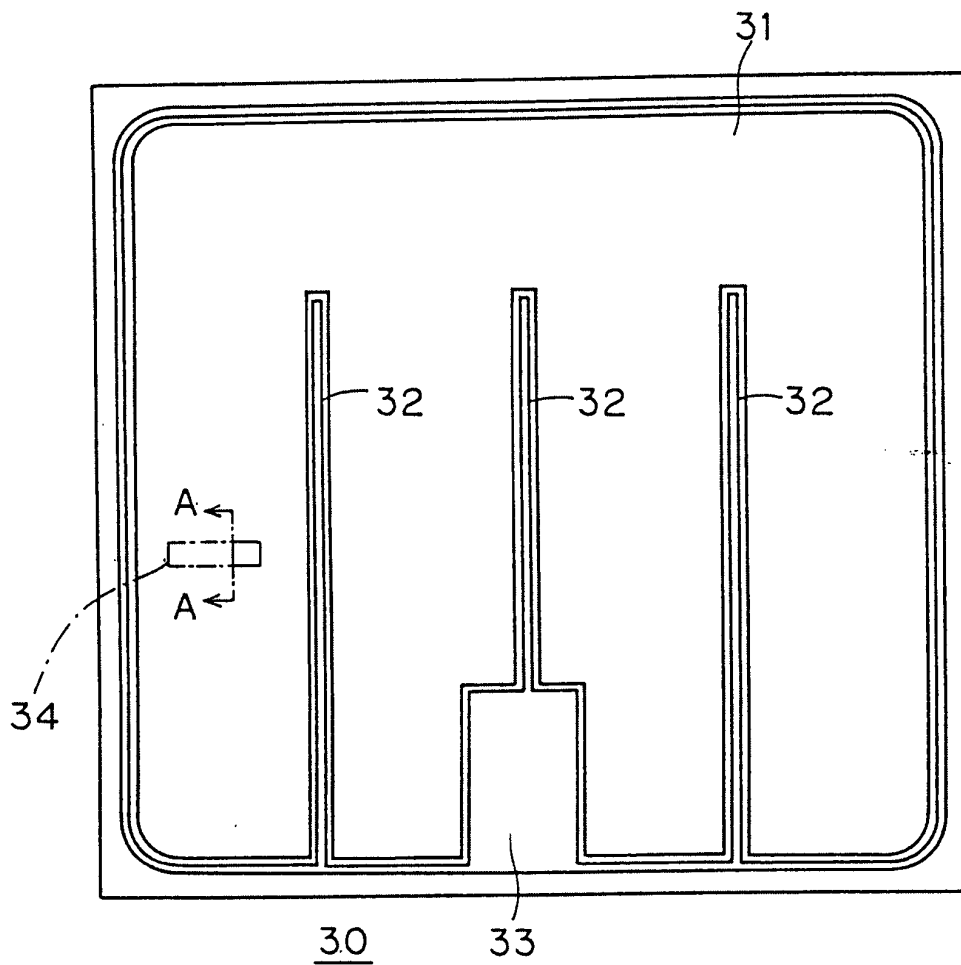
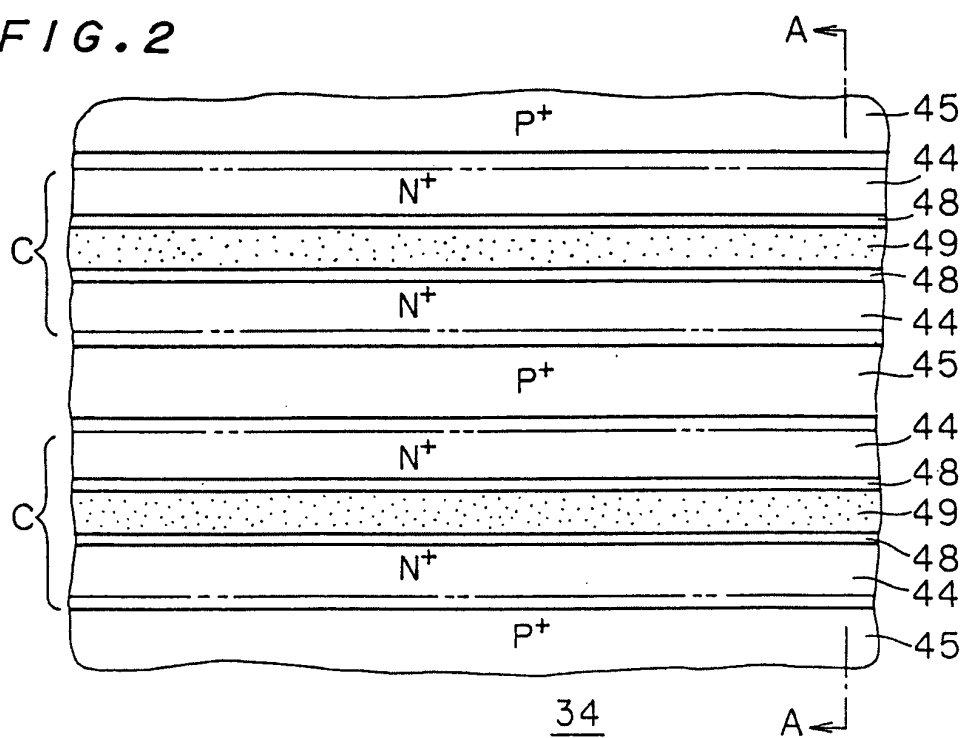


FIG. 2



**FIG. 3**

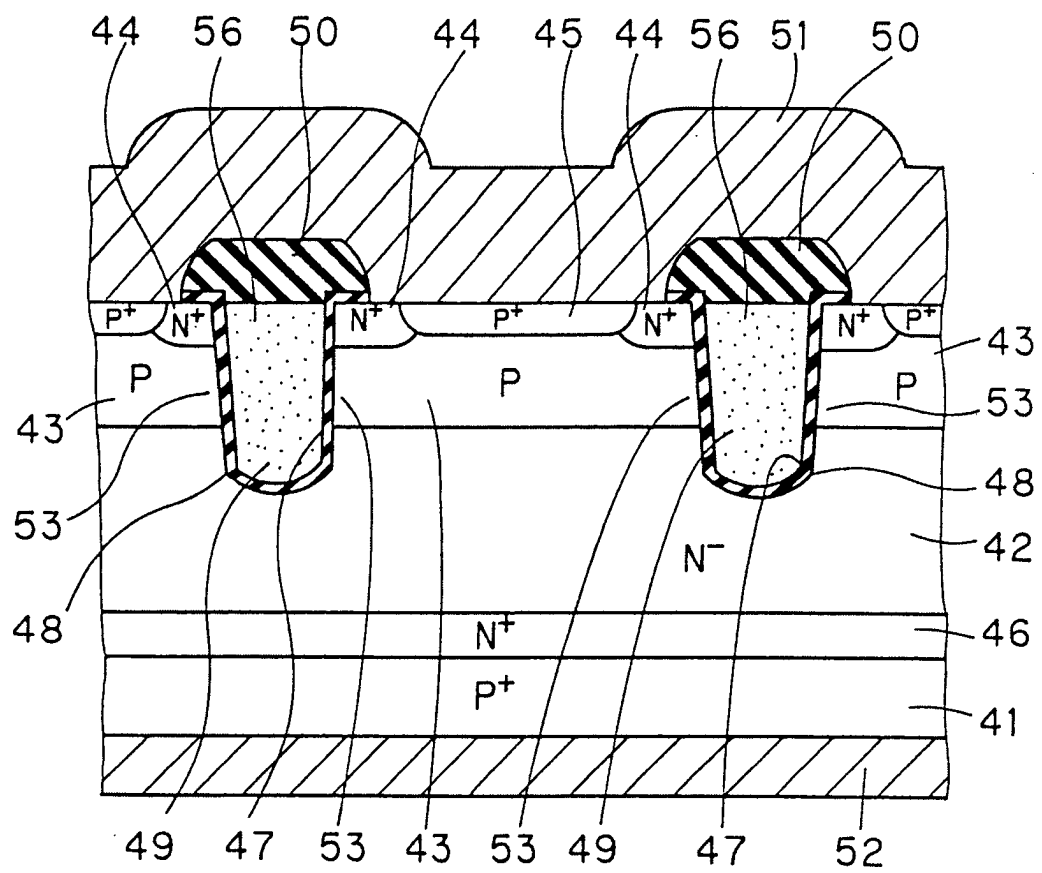


FIG. 4

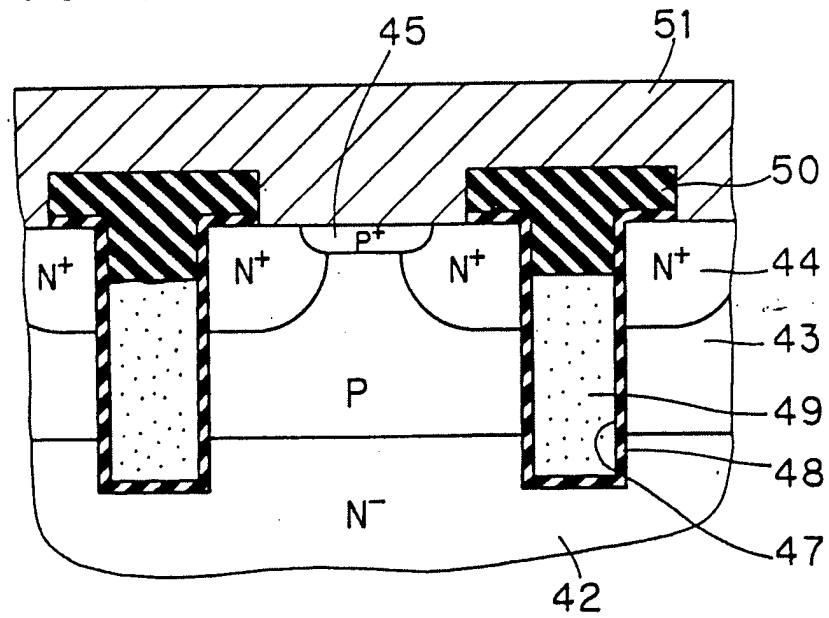
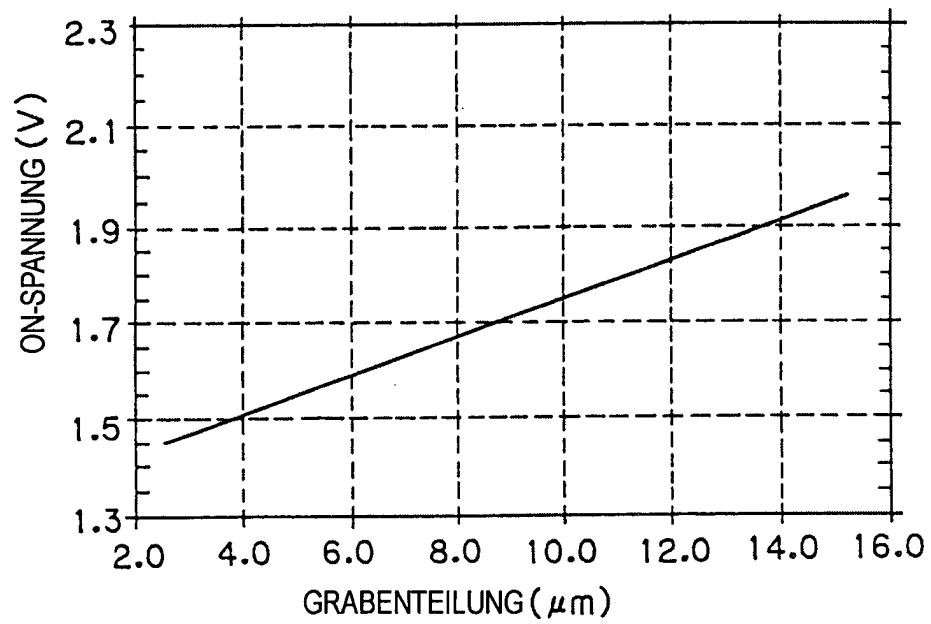
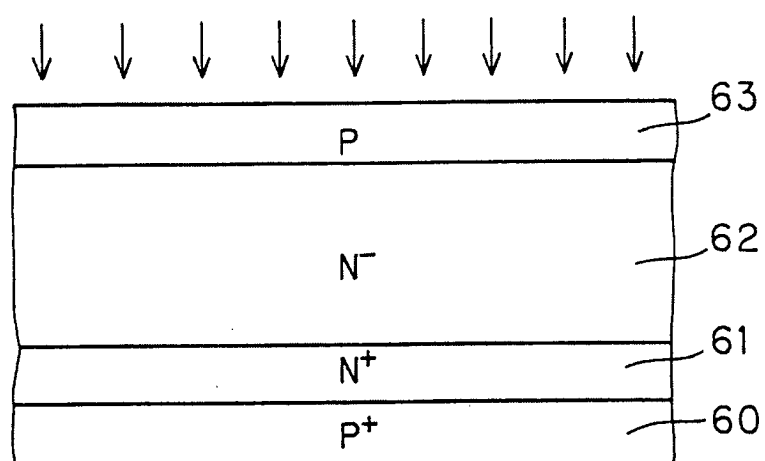


FIG. 5



**FIG. 6**



**FIG. 7**

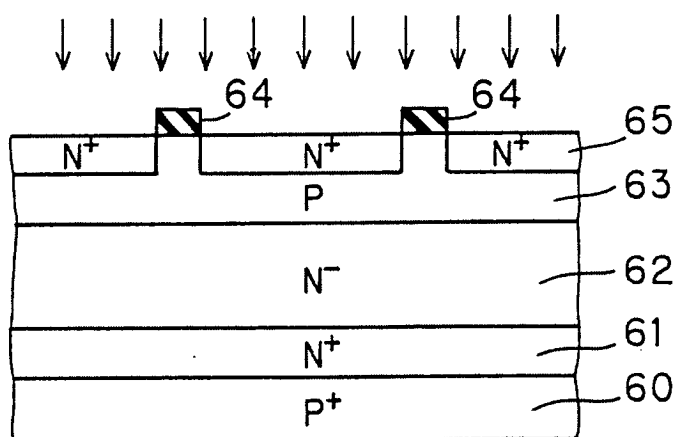


FIG. 8

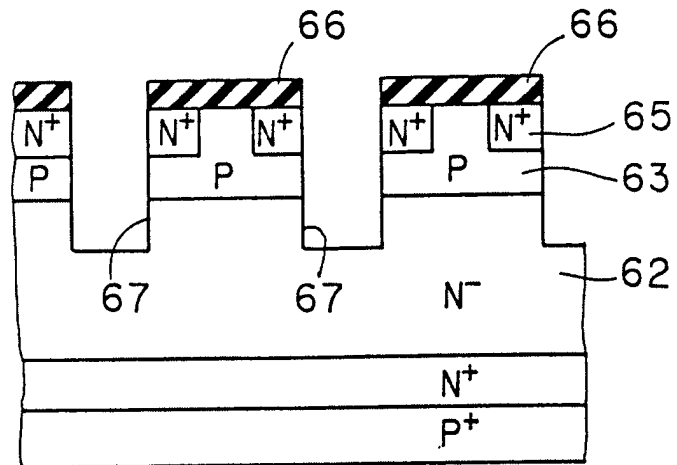
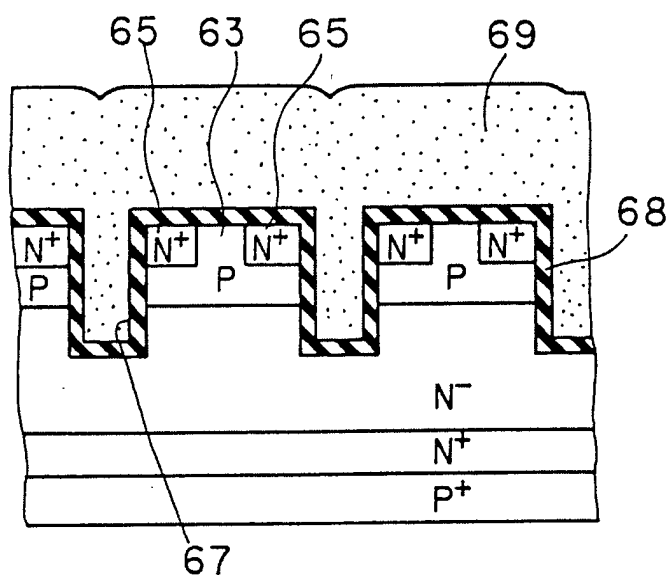
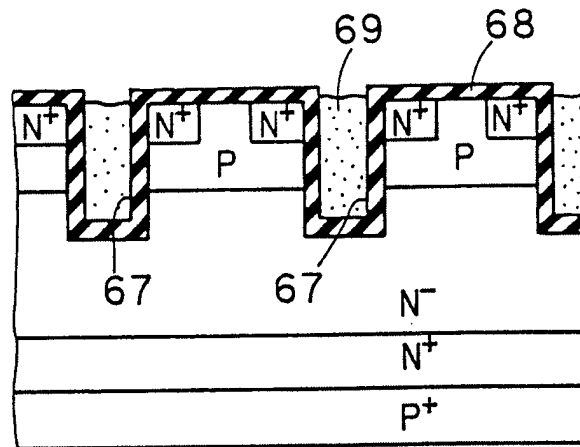


FIG. 9



**FIG. 10**



**FIG. 11**

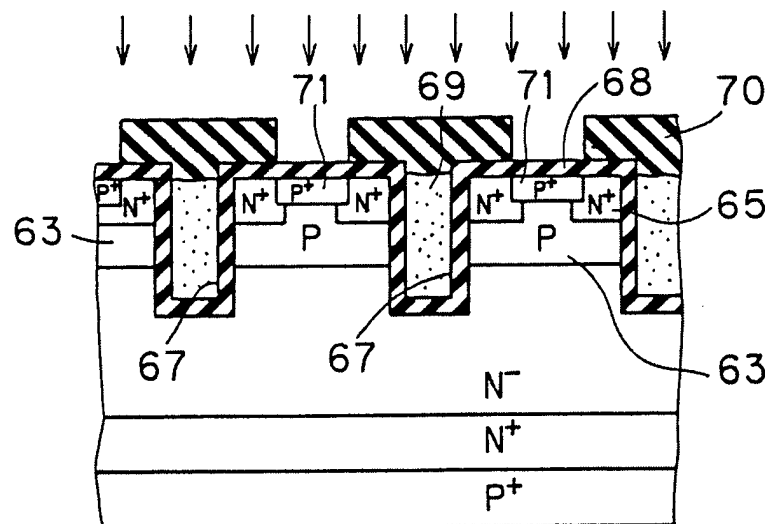




FIG. 12

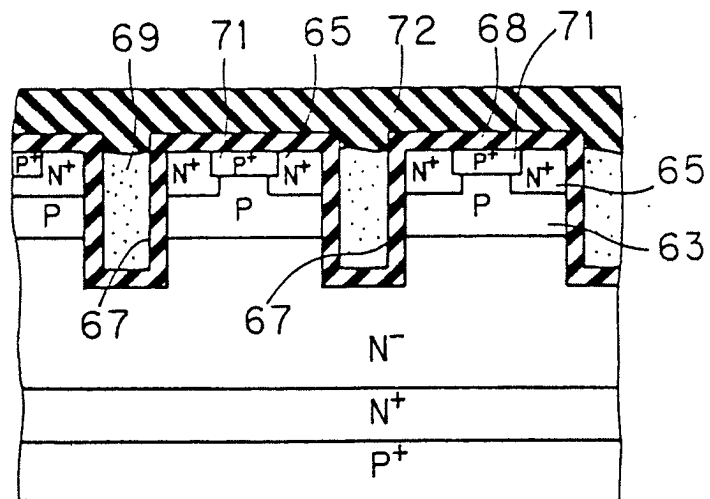


FIG. 13

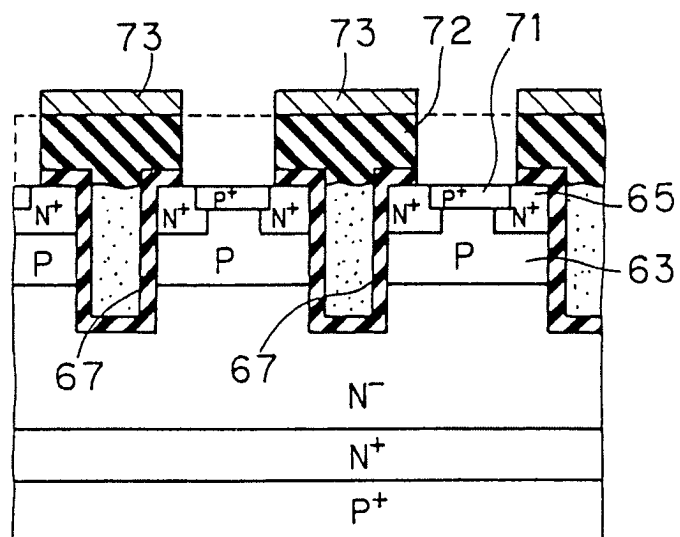
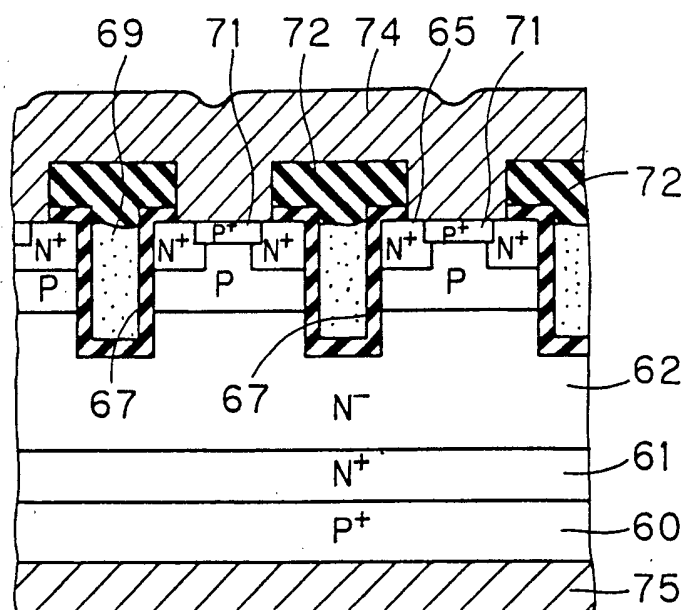


FIG. 14



**FIG. 15**

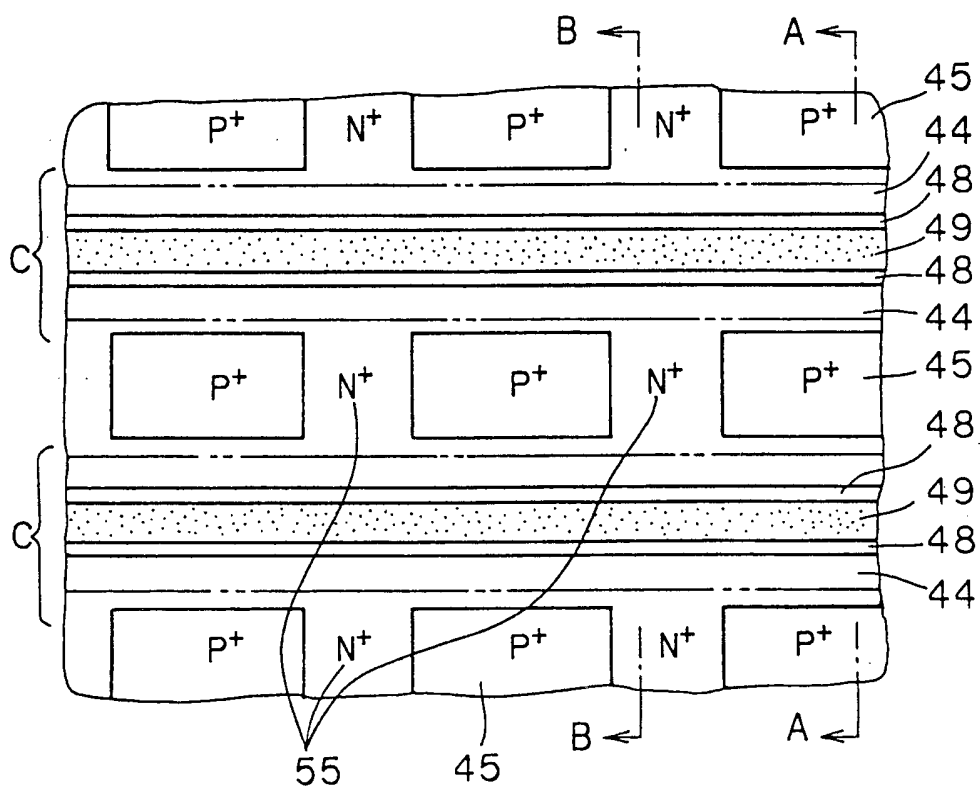


FIG. 16

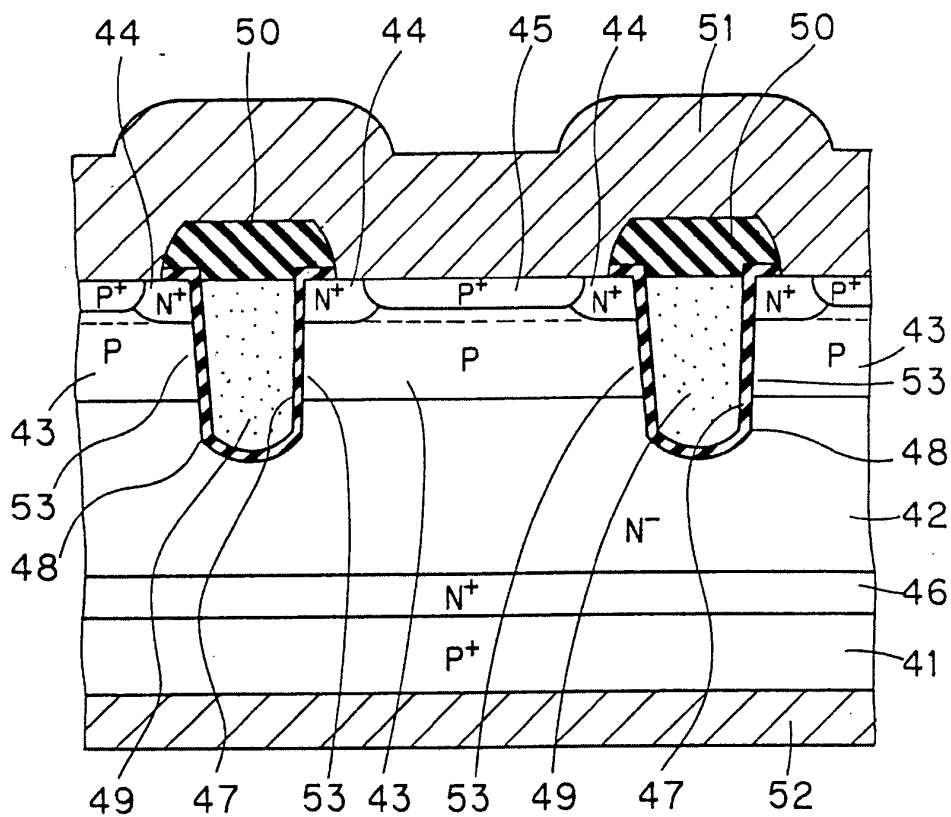
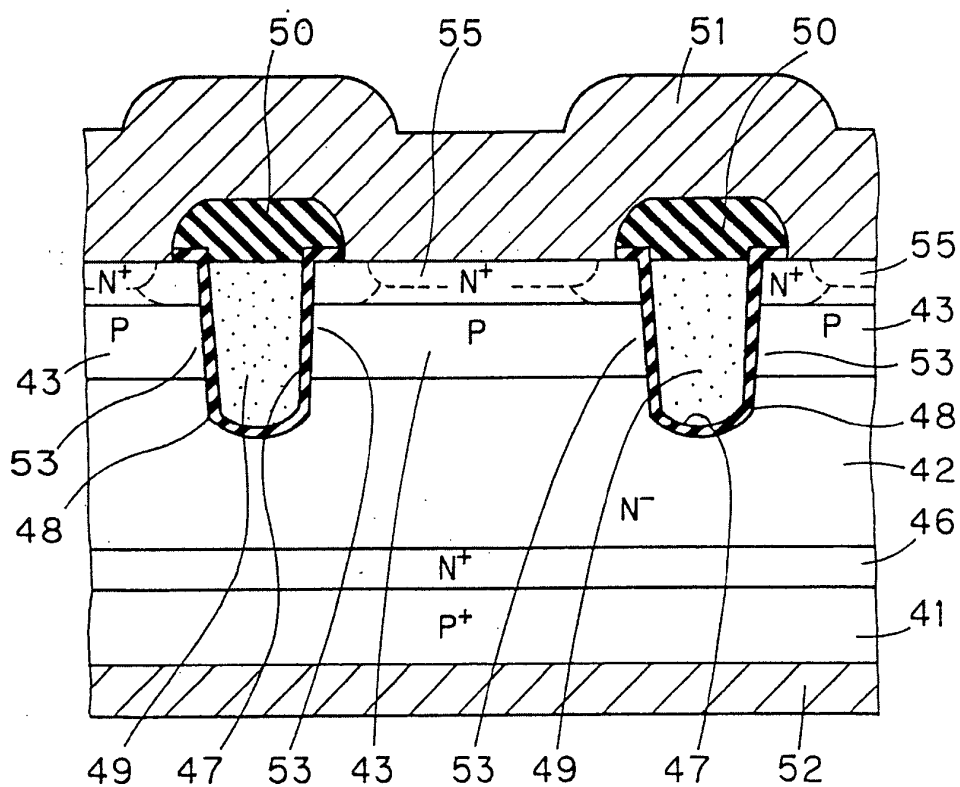


FIG. 17



**FIG. 18**

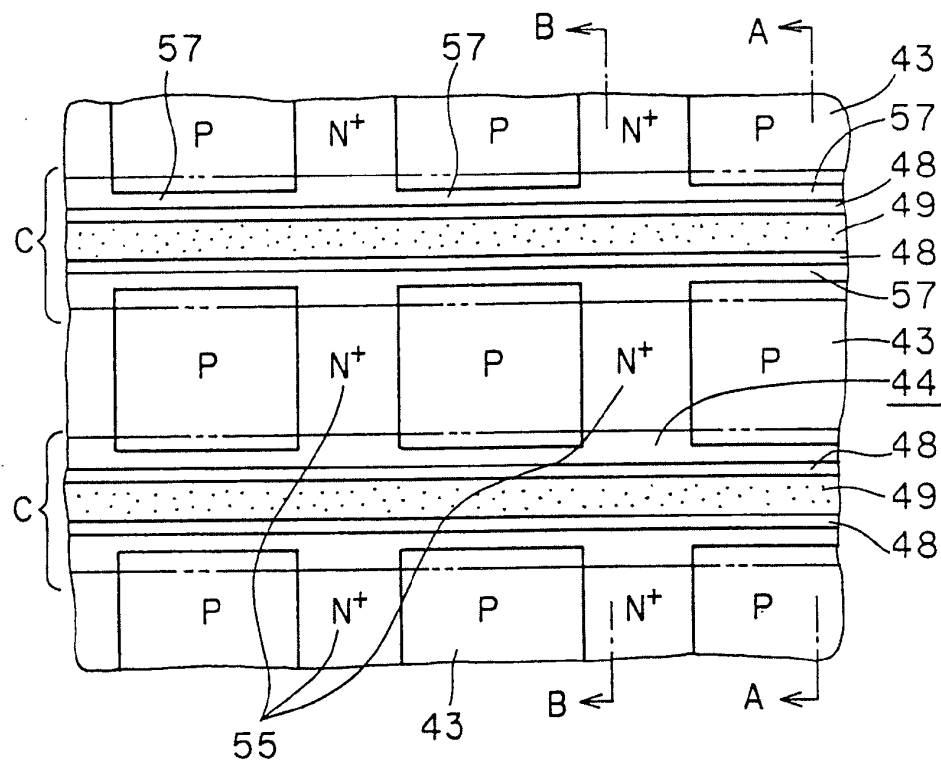


FIG. 19

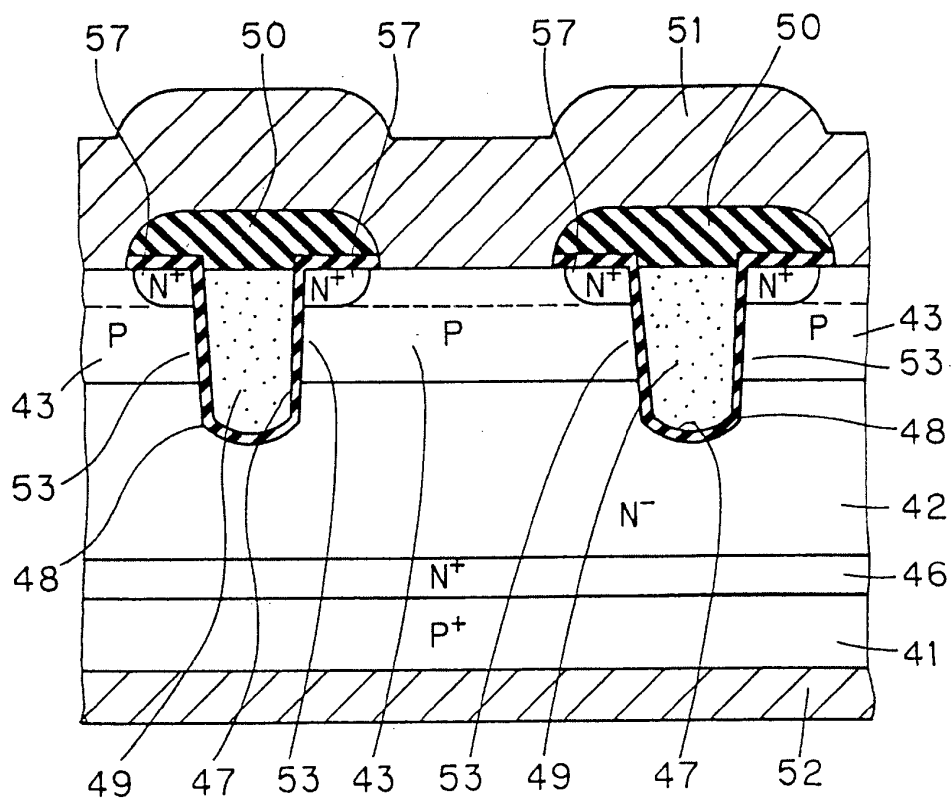


FIG. 20

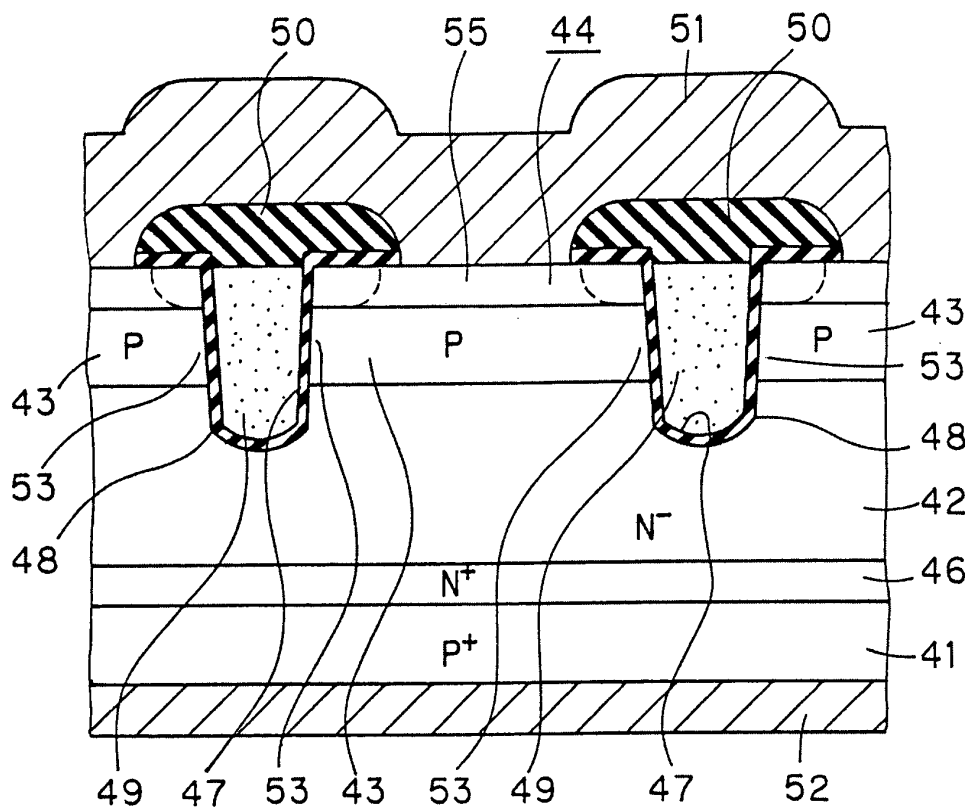


FIG. 21

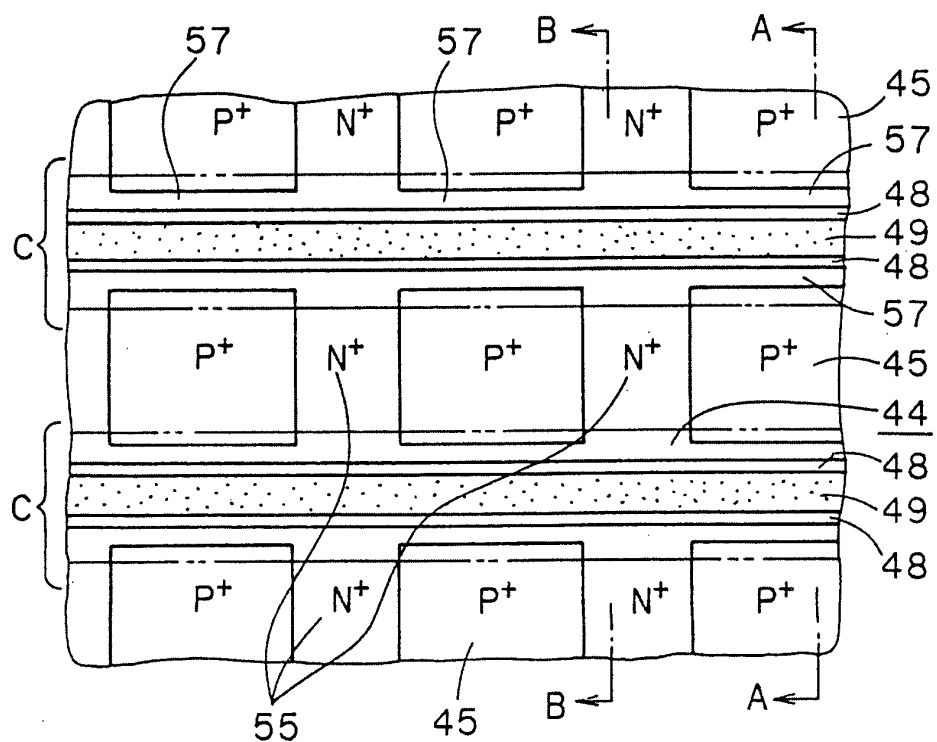


FIG. 22

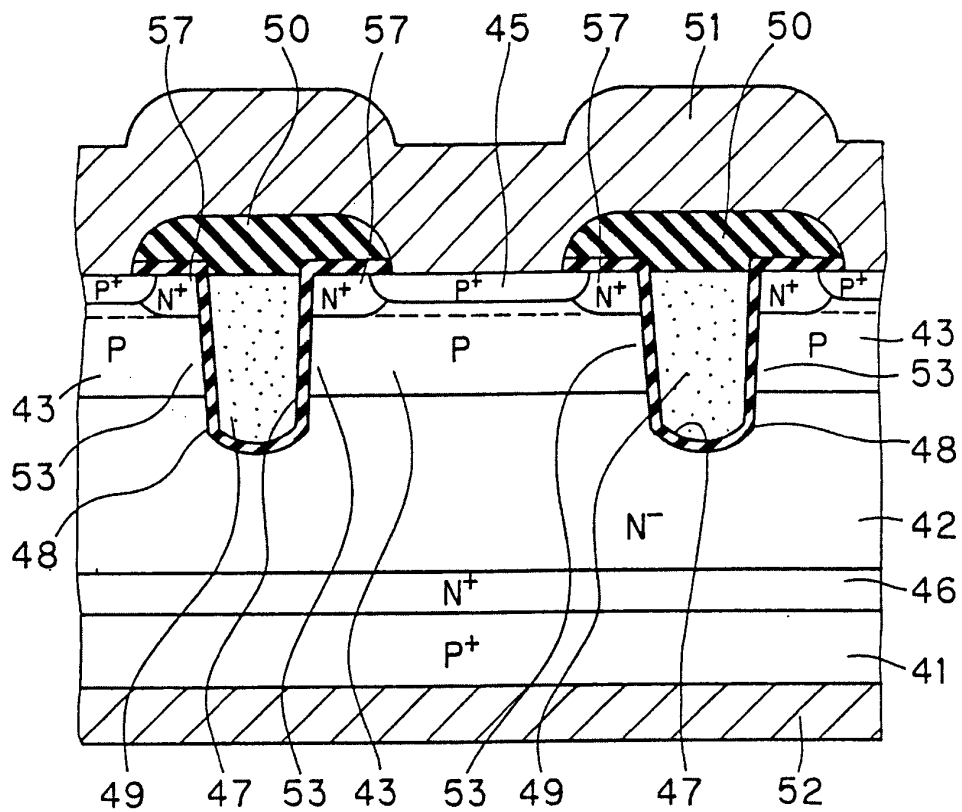


FIG. 23

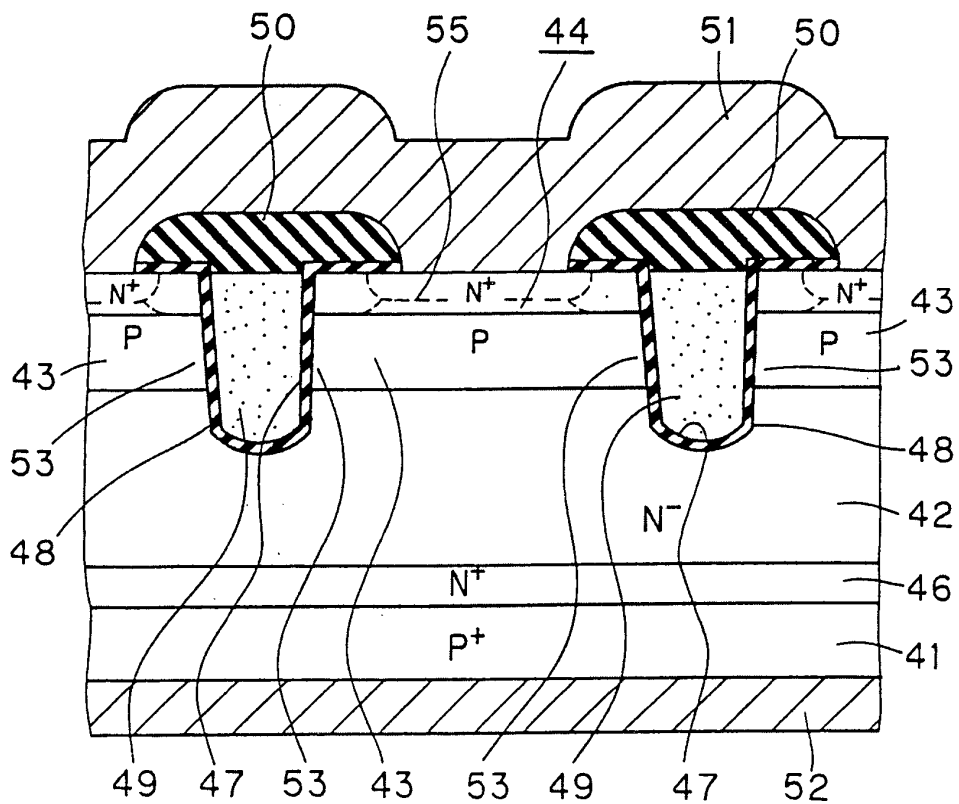


FIG. 24

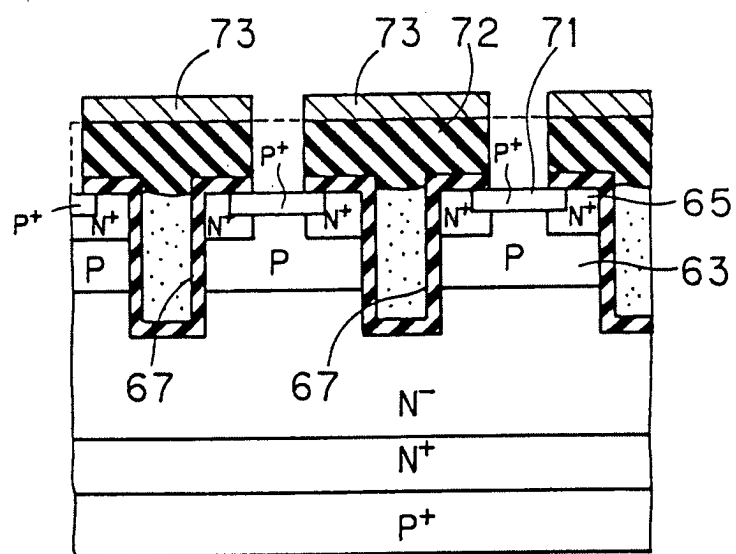


FIG. 25

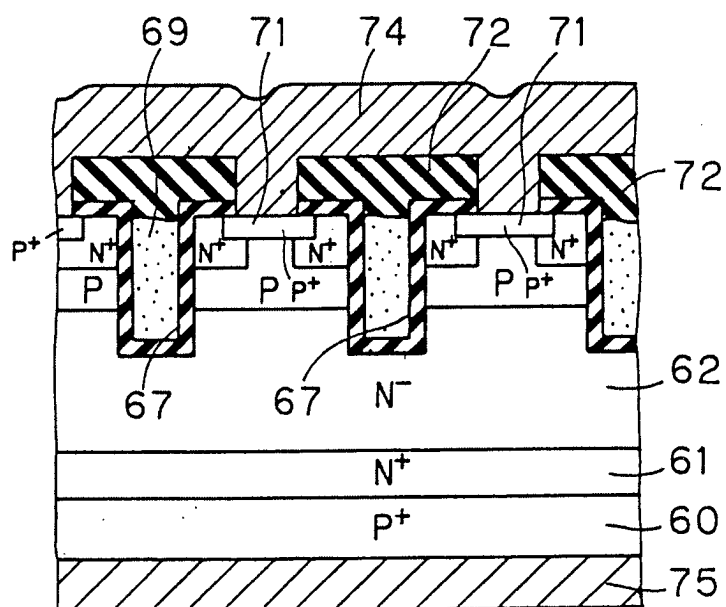




FIG. 26

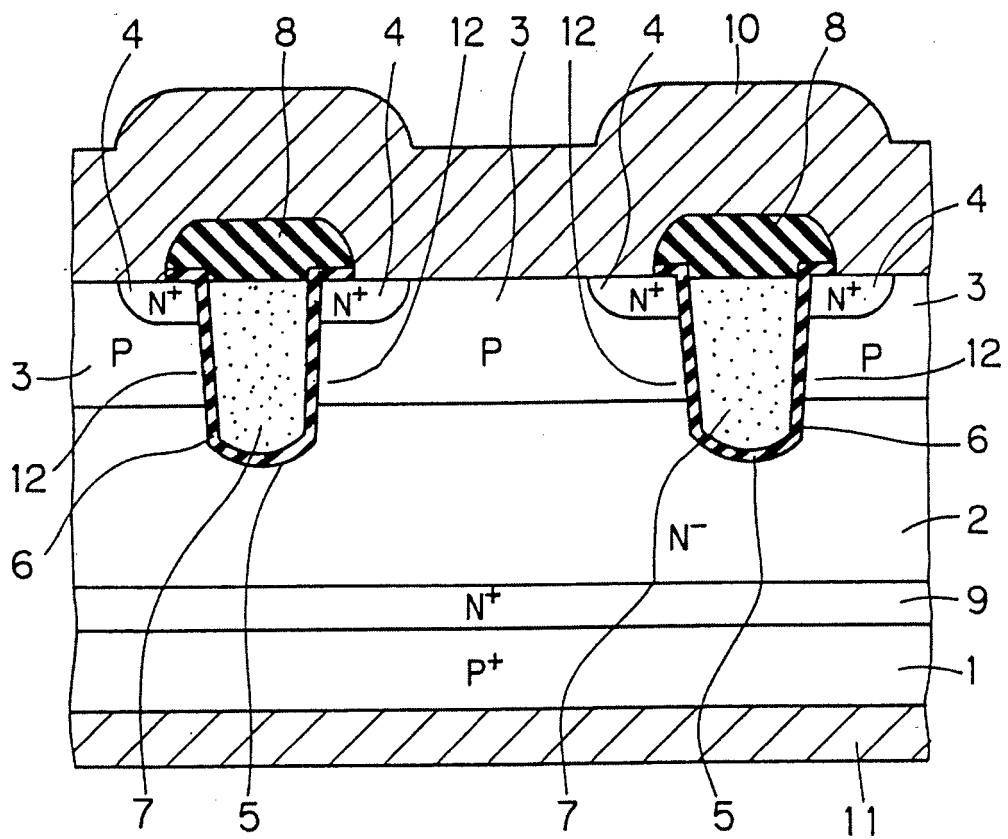


FIG. 27

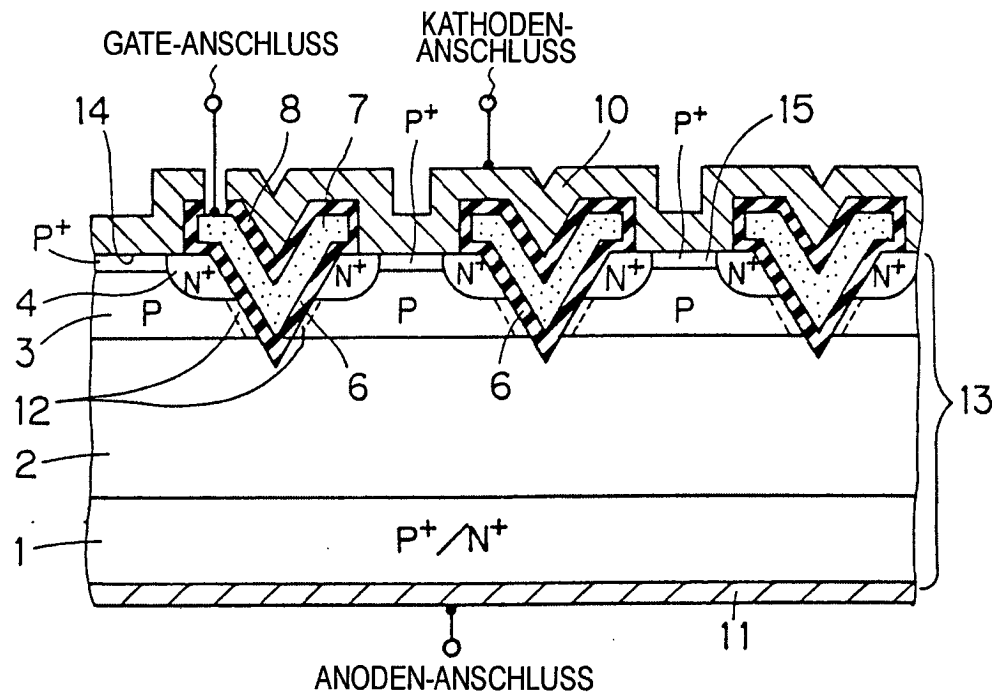


FIG. 28

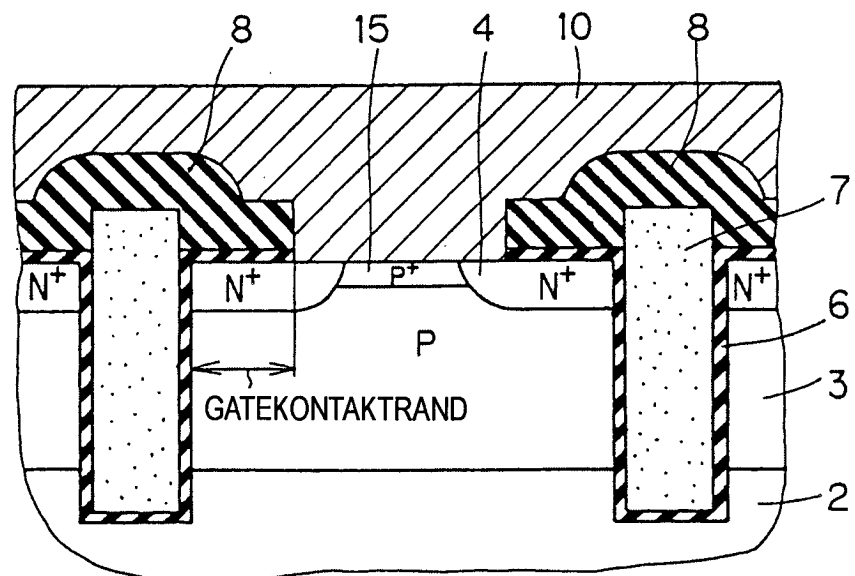


FIG. 29

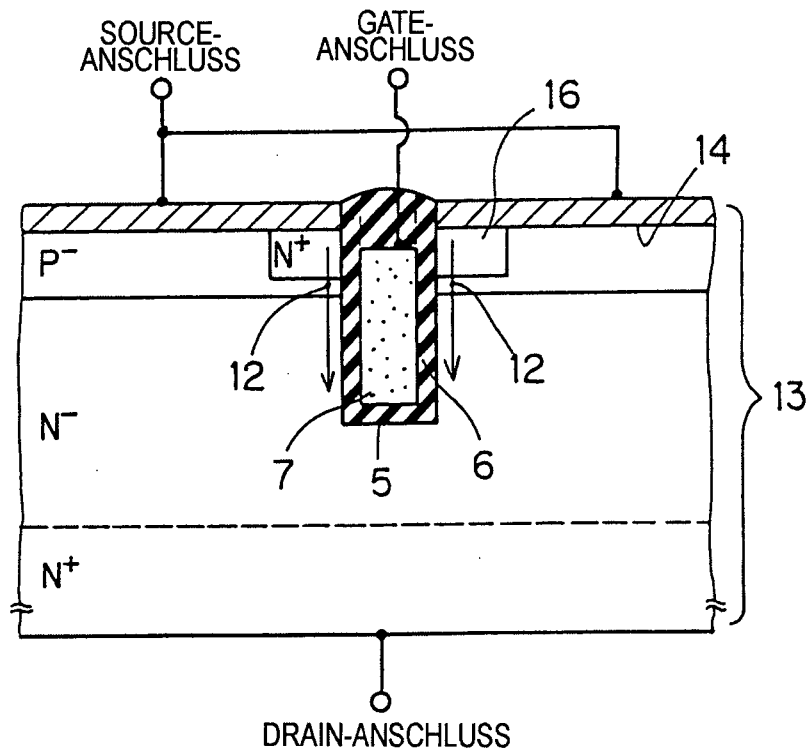


FIG. 30

