



(10) **DE 103 02 346 B4** 2011.06.30

(12) **Patentschrift**

(21) Aktenzeichen: **103 02 346.1**
 (22) Anmeldetag: **16.01.2003**
 (43) Offenlegungstag: **14.08.2003**
 (45) Veröffentlichungstag
 der Patenterteilung: **30.06.2011**

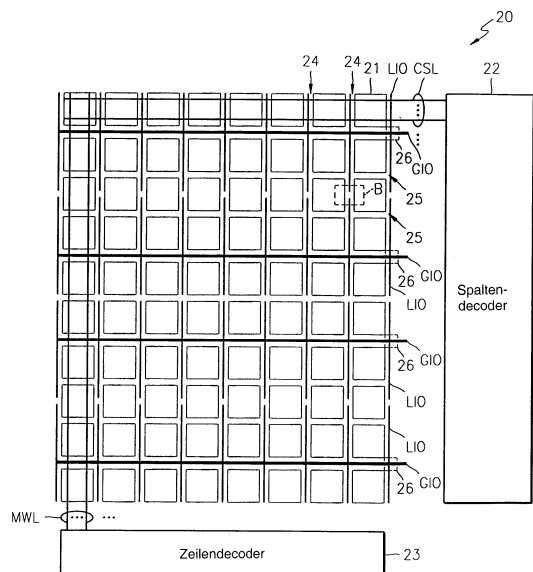
(51) Int Cl.: **G11C 7/00 (2006.01)**
G11C 11/407 (2006.01)
G11C 11/4096 (2006.01)
G11C 7/18 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

<p>(30) Unionspriorität: 2002/2508 16.01.2002 KR</p> <p>(73) Patentinhaber: Samsung Electronics Co., Ltd., Kyonggi, Suwon, KR</p> <p>(74) Vertreter: Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174, Stuttgart, DE</p>	<p>(72) Erfinder: Lee, Jae-woong, Seoul/Soul, KR; Won, Jong-hak, Kyonggi, Suwon, KR</p> <p>(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften: US 62 49 474 B1 US 2001/00 09 519 A1</p>
--	---

(54) Bezeichnung: **Halbleiterspeicherbaustein mit aufgeteiltem Speicherzellenfeld**

(57) Hauptanspruch: Halbleiterspeicherbaustein mit
 – einem Speicherzellenfeld, das durch Sub-Wortleitungstreiberflächen (25) und Bitleitungsabstastverstärkerflächen (24) in eine Mehrzahl von Teilfeldern (21) aufgeteilt ist,
 – lokalen E/A-Leitungen (LIO), die in den Bitleitungsabstastverstärkerflächen (24) angeordnet sind und jeweils an wenigstens einem Ende in einer der Bitleitungsabstastverstärkerflächen (24) enden, und
 – globalen E/A-Leitungen (GIO), die in den Sub-Wortleitungstreiberflächen (25) angeordnet sind,
 – wobei die Bitleitungsabstastverstärkerflächen (24) Blindbitleitungsabstastverstärkerbereiche (32) mit Blind bitleitungsabstastverstärkern umfassen, wobei wenigstens ein Ende von jeder lokalen E/A-Leitung in einem der Blindbitleitungsabstastverstärkerbereiche (32) angeordnet ist.



Beschreibung

[0001] Die Erfindung bezieht sich auf einen Halbleiterspeicherbaustein, insbesondere auf einen Halbleiterspeicherbaustein mit einer hierarchischen Eingangs/Ausgangs-Leitungsstruktur (E/A-Leitungsstruktur).

[0002] Gewöhnlich werden in einem Speicherzellenfeld eines Halbleiterspeicherbausteins, beispielsweise eines dynamischen Halbleiterspeicherbausteins mit direktem Zugriff (DRAM), Wortleitungen und Bitleitungen so angeordnet, dass sie sich senkrecht kreuzen. Durch einen Schalterschaltkreis werden die Bitleitungen an Eingangs/Ausgangs-Leitungen (E/A-Leitungen) angeschlossen, über die Daten ein- oder ausgegeben werden. Jede Speicherzelle ist typischerweise an einer der Kreuzungen der Bitleitungen mit den Wortleitungen angeordnet. Wenn sich die Speicherkapazität des Halbleiterspeicherbausteins erhöht, werden die Speicherzellen und Peripherieschaltkreise, die die Daten steuern, die in die Speicherzellen geschrieben oder aus den Speicherzellen gelesen werden, für gewöhnlich höher integriert.

[0003] Für einen Betrieb der E/A-Leitungen mit einer hohen Geschwindigkeit können die in den Halbleiterspeicherbaustein eingebetteten E/A-Leitungen eine hierarchische E/A-Leitungsstruktur haben, in der die E/A-Leitungen in lokale E/A-Leitungen und in globale E/A-Leitungen aufgeteilt werden. Gleichermaßen wird gewöhnlich, um Signalverzögerungen zu reduzieren, die durch den Widerstand des für Wortleitungen benutzten Polysiliziums hervorgerufen werden, auch eine hierarchische Wortleitungsstruktur verwendet, in der die Wortleitungen in Haupt-Wortleitungen und Sub-Wortleitungen aufgeteilt sind.

[0004] Üblicherweise ist die Anzahl von längs in einer Speicherzellenfeldmatrix angeordneten Teilfeldern gleich sechzehn. Neuerdings wird jedoch, um die Chipabmessungen unter Beibehaltung der gleichen Speicherkapazität zu verkleinern, die Anzahl der längs angeordneten Teilfelder auf vierzehn oder zwölf reduziert.

[0005] [Fig. 1](#) zeigt einen Auszug aus einem Layout-Diagramm eines Halbleiterspeicherbausteins mit einer herkömmlichen hierarchischen E/A-Leitungsstruktur. Wie aus [Fig. 1](#) ersichtlich ist, umfasst der Halbleiterspeicherbaustein **10** ein Speicherzellenfeld mit einer Mehrzahl von Teilfeldern **11**, einen Spaltendekoder **12** und einen Zeilendekoder **13**. Ein Teilfeld **11** umfasst eine Mehrzahl von Speicherzellen.

[0006] Das Speicherzellenfeld kann durch Bitleitungsabstastverstärkerflächen **14** und Sub-Wortleitungstreiberflächen **15** in 96 (= 12 × 8) Teilfelder **11** aufgeteilt sein. Die Bitleitungsabstastverstärkerflä-

chen **14** sind wiederholend in Spaltenrichtung angeordnet, während die Sub-Wortleitungstreiberflächen **15** wiederholend in Zeilenrichtung angeordnet sind. Auf bzw. in einer jeweiligen Bitleitungsabstastverstärkerfläche **14** ist ein nicht dargestellter Bitleitungsabstastverstärker angeordnet, während auf einer jeweiligen Sub-Wortleitungstreiberfläche **15** ein nicht dargestellter Sub-Wortleitungstreiber angeordnet ist.

[0007] Der Halbleiterspeicherbaustein **10** hat eine hierarchische Wortleitungsstruktur. Das bedeutet, dass eine Mehrzahl von Hauptwortleitungen (MWLs) mit dem Zeilendekoder **13** verbunden ist, wobei sie in Spaltenrichtung zwölf der Teilfelder **11** überkreuzen, und jede einer Mehrzahl von nicht dargestellten Sub-Wortleitungen, die über einen vorbestimmten Treiber mit den MWLs verbunden sind, ist auf einem Teilfeld **11** angeordnet. In Abhängigkeit von einer Zeilenadresse wählt und aktiviert der Zeilendekoder **13** die MWLs. Die MWLs werden auch als normale Wortleitungen (NWLs) bezeichnet.

[0008] Eine Mehrzahl von Spaltenauswahlleitungen (CSLs) ist mit dem Spaltendekoder **12** verbunden und überkreuzen acht der Teilfelder **11** in Zeilenrichtung. Der Spaltendekoder **12** wählt und aktiviert die CSLs.

[0009] Der Halbleiterspeicherbaustein **10** hat eine hierarchische E/A-Leitungsstruktur. Für jeweils drei der Teilfelder **11** steht ein Paar lokaler E/A-Leitungen (LIO) zur Verfügung. Wie in [Fig. 1](#) dargestellt ist, ist eine LIO normalerweise in vier Segmente oder in ein Vielfaches von vier Segmenten aufgeteilt. Die LIOs sind in Kreuzungsbereichen, an denen sich Bitleitungsabstastverstärkerflächen **14** und Sub-Wortleitungstreiberflächen **15** schneiden, aufgeteilt bzw. aufgetrennt und wiederholend in Spaltenrichtung angeordnet. Eine jeweilige LIO, die auf einer der Bitleitungsabstastverstärkerflächen **14** angeordnet ist, wird normalerweise von beiden Teilfeldern **11** genutzt, die jeweils beidseits der LIO angeordnet sind. Ein Paar von globalen E/A-Leitungen (GIO) ist mit den LIOs durch Schalterschaltkreise verbunden, und für jeweils drei in Spaltenrichtung angeordnete Teilfelder **11** ist eine GIO wiederholend auf einer der Sub-Wortleitungstreiberflächen **15** angeordnet. Jeder der Schalterschaltkreise ist in einem Kreuzungsbereich **16** angeordnet, in dem sich eine GIO und ein LIO schneiden.

[0010] [Fig. 2](#) ist eine detaillierte Darstellung eines Bereichs A aus [Fig. 1](#), in dem Paare lokaler E/A-Leitungen aufgeteilt sind. Wie daraus ersichtlich, sind die Teilfelder **11** durch die Bitleitungsabstastverstärkerflächen (BL S/A) und die Sub-Wortleitungstreiberflächen (SWD) geteilt bzw. voneinander getrennt. Auf jedem der Teilfelder **11** ist eine Mehrzahl von Sub-Wortleitungen (SWL) und eine Mehrzahl von Bitleitungs-paaren (BL) angeordnet, die einander schneiden. Eine Speicherzelle ist jeweils auf einer Kreuzungsfläche angeordnet, auf der sich eine SWL und

ein BL schneiden. Ein nicht dargestellter Sub-Wortleitungstreiber, der eine SWL treibt, ist auf einem SWD angeordnet, und ein Bitleitungsabstastverstärker, der mit einem BL verbunden ist, ist auf einer BL S/A angeordnet.

[0011] Eine jeweilige LIO wird auf einer Kreuzungsfläche (KREUZUNG) geteilt und ist auf einer BL S/A angeordnet und schneidet die BLs senkrecht. Auf der Kreuzungsfläche wird ein Steuerschaltkreis vorgesehen, der die SWD und die BL S/A steuert.

[0012] Falls nun die Chipabmessungen unter Beibehaltung der gleichen Speicherkapazität verkleinert werden sollen, wenn beispielsweise zehn Teilfelder mit einer größeren relativen Datenspeicherkapazität als die Teilfelder **11** des herkömmlichen Halbleiterspeicherbausteins **10** in Spaltenrichtung so angeordnet werden, dass die Chipabmessungen kleiner sind, können die LIOs nicht ohne weiteres auf einer der Kreuzungsflächen geteilt werden, und es kann schwierig sein, eine hierarchische E/A-Leitungsstruktur zu implementieren.

[0013] In der Patentschrift US 6.249.474 B1 ist ein Halbleiterspeicherbaustein mit einem Speicherzellenfeld, das durch Sub-Wortleitungstreiberflächen und Bitleitungsabstastverstärkerflächen in eine Mehrzahl von Teilfeldern aufgeteilt ist, lokalen E/A-Leitungen, die in den Bitleitungsabstastverstärkerflächen angeordnet sind, und globalen E/A-Leitungen offenbart, die sich außerhalb der Sub-Wortleitungstreiberflächen über die Teilfelder hinweg derart erstrecken, dass je eine von mehreren in jeder Bitleitungsabstastverstärkerfläche angeordneten Abstastverstärkereinheiten über die zugehörigen lokalen E/A-Leitungen an eine globale E/A-Leitung angekoppelt sind. In der Richtung zwischen benachbarten Sub-Wortleitungstreiberflächen ist in entsprechenden Ausführungsbeispielen eine Auftrennung der lokalen E/A-Leitungen mittels Trennlinien vorgesehen, wobei an entsprechender Stelle zusätzlich auch eine weitere Speicherzellenfeldaufteilung vorgesehen sein kann. In einem dortigen Beispiel zum Stand der Technik verlaufen globale E/A-Leitungen in Sub-Wortleitungstreiberflächen, und in letzteren enden auch dazu quer verlaufende lokale E/A-Leitungen, um über Schalter an die globalen E/A-Leitungen angekoppelt zu werden.

[0014] In der Offenlegungsschrift US 2001/0009519 A1 ist ein Halbleiterspeicherbaustein mit einem Speicherzellenfeld, das durch Sub-Wortleitungstreiberflächen und Bitleitungsabstastverstärkerflächen in eine Mehrzahl von Teilfeldern aufgeteilt ist, lokalen E/A-Leitungen, die in den Bitleitungsabstastverstärkerflächen angeordnet sind, und globalen E/A-Leitungen offenbart. Auf Höhe von jeweils außenseitigen Teilfeldern des Speicherzellenfeldes können in entsprechenden Bereichen der Bitleitungsabstastverstärkerflächen Blindbitleitungen ge-

bildet sein, bei denen es sich um Bitleitungsabschnitte handelt, die keinen Anschluss an einen Bitleitungsabstastverstärker haben.

[0015] Die Aufgabe der Erfindung ist es, einen Halbleiterspeicherbaustein mit reduzierten Chipabmessungen und trotzdem mit einer hierarchischen E/A-Leitungsstruktur anzugeben, bei dem die Kontinuität eines Speicherzellenfelds, eines Bitleitungsverstärkers und eines Spaltendekoders beibehalten wird.

[0016] Die Erfindung löst diese Aufgabe durch die Bereitstellung eines Speicherbausteins mit den Merkmalen des Anspruchs 1, 4 oder 10.

[0017] Erfindungsgemäß wird eine Verkleinerung der Chipabmessungen dadurch ermöglicht, dass die Teilung bzw. Trennung von lokalen E/A-Leitungen oder Paaren lokaler E/A-Leitungen auf bzw. in einer jeweiligen Bitleitungsabstastverstärkerfläche vorgenommen wird. Dies ist bei herkömmlichen Halbleiterspeicherbausteinen normalerweise nicht ohne weiteres möglich, weil dort die Bitleitungsabstastverstärkerflächen normalerweise zu klein sind, um eine LIO zu teilen.

[0018] Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0019] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie das zu deren besserem Verständnis oben erläuterte, herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Es zeigen:

[0020] [Fig. 1](#) einen Auszug aus einem Layout-Diagramm eines herkömmlichen Halbleiterspeicherbausteins mit einer hierarchischen E/A-Leitungsstruktur;

[0021] [Fig. 2](#) eine detaillierte Darstellung eines Bereichs A aus [Fig. 1](#) mit einem lokalen E/A-Leitungspaar;

[0022] [Fig. 3](#) einen Auszug aus einem Layout-Diagramm einer Ausführungsform eines erfindungsgemäßen Halbleiterspeicherbausteins mit einer hierarchischen E/A-Leitungsstruktur;

[0023] [Fig. 4](#) einen Auszug aus einem Layout-Diagramm einer weiteren Ausführungsform eines erfindungsgemäßen Halbleiterspeicherbausteins mit einer hierarchischen E/A-Leitungsstruktur;

[0024] [Fig. 5](#) eine detaillierte Darstellung eines Bereichs B aus [Fig. 3](#), in dem lokale E/A-Leitungspaare geteilt werden;

[0025] [Fig. 6](#) eine detaillierte Darstellung einer Bitleitungsabstastverstärkerfläche aus [Fig. 5](#), in der lokale E/A-Leitungspaare geteilt werden;

[0026] **Fig. 7** eine detaillierte Darstellung eines Bereichs C aus **Fig. 6**, in dem lokale E/A-Leitungspaare geteilt werden; und

[0027] **Fig. 8** ein Schaltbild eines Spaltendekoders aus **Fig. 3**.

[0028] Nachfolgend werden Ausführungsbeispiele der Erfindung anhand der **Fig. 3** bis **Fig. 10** näher beschrieben. Dabei sind zum einfacheren Verständnis und der Übersichtlichkeit halber funktionell äquivalente, nicht zwingend identische Elemente mit gleichen Bezugszeichen versehen.

[0029] **Fig. 3** zeigt eine Ausführungsform eines erfindungsgemäßen Halbleiterspeicherbausteins **20**, der ein Speicherzellenfeld mit einer Mehrzahl von Teilfeldern **21**, einen Spaltendekoder **22** und einen Zeilendekoder **23** umfasst. Die Datenspeicherkapazität der Teilfelder **21** kann dabei größer sein als die Datenspeicherkapazität der Teilfelder **11** von **Fig. 1**.

[0030] In der dargestellten Ausführungsform ist das Speicherzellenfeld durch Bitleitungsabstastverstärkerflächen **24** und Sub-Wortleitungstreiberflächen **25** in $80 (= 10 \times 8)$ Teilfelder aufgeteilt. Die Bitleitungsabstastverstärkerflächen **24** sind wiederholend in Spaltenrichtung angeordnet, während die Sub-Wortleitungstreiberflächen **25** wiederholend in Zeilenrichtung angeordnet sind. Auf den Bitleitungsabstastverstärkerflächen **24** sind nicht dargestellte Bitleitungsabstastverstärker angeordnet, während auf den Sub-Wortleitungstreiberflächen **25** nicht dargestellte Sub-Wortleitungstreiber angeordnet sind, die die Sub-Wortleitungen treiben.

[0031] Der dargestellte erfindungsgemäße Halbleiterspeicherbaustein **20** hat eine hierarchische Wortleitungsstruktur. Das bedeutet, dass eine Mehrzahl von Hauptwortleitungen (MWLs) mit dem Zeilendekoder **23** verbunden ist, die in Spaltenrichtung zehn der Teilfelder **21** überkreuzen, und jede einer Mehrzahl von nicht dargestellten Sub-Wortleitungen, die über einen Sub-Wortleitungstreiber mit den MWLs verbunden sind, ist auf einem der Teilfelder **21** angeordnet. In Abhängigkeit von einer Zeilenadresse wählt und aktiviert der Zeilendekoder **23** die MWLs. Die MWLs werden auch als normale Wortleitungen (NWLs) bezeichnet.

[0032] Eine Mehrzahl von Spaltenauswahlleitungen (CSLs) sind mit dem Spaltendekoder **22** verbunden und überkreuzen acht der Teilfelder **21** in Zeilenrichtung. Der Spaltendekoder **22** wählt und aktiviert die CSLs.

[0033] Der erfindungsgemäße Halbleiterspeicherbaustein **20** hat auch eine hierarchische E/A-Leitungsstruktur. Für jeweils 2,5 der Teilfelder **21** ist eine LIO geteilt und wiederholend in Spaltenrich-

tung auf der Bitleitungsabstastverstärkerfläche **24** angeordnet. Eine auf der Bitleitungsabstastverstärkerfläche **24** angeordnete LIO wird gewöhnlich von beiden Teilflächen **21** beidseits der LIO genutzt. Ein Paar von globalen E/A-Leitungen (GIO) ist mit den LIOs durch nicht dargestellte Schalterschaltkreise verbunden. Für jeweils 2,5 der in Spaltenrichtung angeordneten Teilfelder **21** ist eine GIO in Spaltenrichtung wiederholend auf einer der Sub-Wortleitungstreiberflächen **25** angeordnet. Jeder der Schalterschaltkreise ist an einer Kreuzungsfläche **26** angeordnet, an der sich eine der GIOs und eine der LIOs sich schneiden.

[0034] Weil die LIOs in den Bitleitungsabstastverstärkerflächen **24** geteilt sind, kann der erfindungsgemäße Halbleiterspeicherbaustein **20** seine Chipgesamt-abmessung reduzieren, während die Datenspeicherkapazität verglichen mit dem herkömmlichen Halbleiterspeicherbaustein **10** nahezu gleich bleibt.

[0035] **Fig. 4** zeigt einen Auszug aus einem Layout-Diagramm einer weiteren Ausführungsform eines erfindungsgemäßen Halbleiterspeicherbausteins **30** mit einer hierarchischen E/A-Leitungsstruktur. Wie aus **Fig. 4** ersichtlich ist, umfasst der Halbleiterspeicherbaustein **30** ein Speicherzellenfeld mit einer Mehrzahl von Teilfeldern **31**, einen Spaltendekoder **32** und einen Zeilendekoder **33**. Die Funktionen des Spaltendekoders **32** und des Zeilendekoders **33** sind die gleichen, wie bereits zum Spaltendekoder **22** und zum Zeilendekoder **23** aus **Fig. 3** ausgeführt.

[0036] Der in **Fig. 4** dargestellte Halbleiterspeicherbaustein **30** hat viele gleiche Komponenten wie der in **Fig. 3** dargestellte Halbleiterspeicherbaustein **20**, und deshalb werden nachfolgend nur die Unterschiede der beiden Halbleiterspeicherbausteine im Detail beschrieben. Im Unterschied zum Halbleiterspeicherbaustein **20** nach **Fig. 3** ist das Speicherzellenfeld des Halbleiterspeicherbausteins **30** durch Bitleitungsabstastverstärkerflächen **34** geteilt und eine Sub-Wortleitungstreiberfläche **35** ist an der Peripherie des Speicherzellenfelds vorgesehen.

[0037] **Fig. 5** zeigt eine detaillierte Darstellung eines Bereichs B aus **Fig. 3**, in dem lokale E/A-Leitungspaare geteilt sind. Auf jedem der Teilfelder **21** ist eine Mehrzahl von Sub-Wortleitungen (SWL) und eine Mehrzahl von normalen Bitleitungspaaren (BLs) angeordnet, die sich senkrecht schneiden. Auf einer Kreuzungsfläche, auf der sich eine SWL und eine BL schneiden, ist eine Speicherzelle angeordnet. Dummy- bzw. Blindbitleitungspaare (DBLs) sind parallel zu den BLs angeordnet. Des Weiteren ist auf der Kreuzungsfläche, auf der eine SWL und ein DBL sich schneiden, jeweils eine Speicherzelle angeordnet. Dadurch ist die Kontinuität des Speicherzellenfelds in dem Halbleiterspeicherbaustein **20** aufrecht erhalten.

[0038] Auf der Bitleitungsabstastverstärkerfläche **24** sind Bitleitungsabstastverstärkerbereiche (BL S/A) **31**, **33** und Blindbitleitungsabstastverstärkerflächen (DUMMY BL S/A) **32** gebildet, wobei die dargestellten BL S/A **31**, **33** und die DUMMY BL S/A **32** gemeinsam als Baugruppe **30** bezeichnet werden.

[0039] Lokale E/A-Leitungspaare (LIO, LIOB) sind auf der DUMMY BL S/A **32** geteilt und bilden jeweils eine erste geteilte LIO und eine zweite geteilte LIO. Die erste geteilte LIO und die zweite geteilte LIO sind durch Schalterschaltkreise mit einer ersten nicht dargestellten GIO bzw. mit einer zweiten nicht dargestellten GIO verbunden. Die erste geteilte LIO und die zweite geteilte LIO sind so angeordnet, dass sie die BLs und die DBLs senkrecht schneiden.

[0040] [Fig. 6](#) zeigt eine detaillierte Darstellung der Baugruppe **30** aus [Fig. 5](#), in der lokale E/A-Leitungspaare geteilt sind. Eine Struktur, die die in [Fig. 5](#) dargestellten LIOs benutzt, ist eine 4-Bitleitungspaar-/CSL-Struktur, in der 4 Bitleitungspaare zu einer CSL gehören.

[0041] Wie aus [Fig. 6](#) ersichtlich ist, sind auf einem Bitleitungsabstastverstärkerbereich **31** PMOS-Abstastverstärker mit PMOS-Transistoren, NMOS-Abstastverstärker mit NMOS-Transistoren, Equalizerschaltkreise, Trennschaltkreise und Spaltenauswahlschalter angeordnet.

[0042] In Abhängigkeit von Trennsignalen (PISOI, PISOJ) trennen die Trennschaltkreise auf der linken Seite angeordnete Bitleitungspaare [BLL<0>, BLBL<0>], [BLL<1>, BLBL<1>] und auf der rechten Seite angeordnete Bitleitungspaare [BLR<0>, BLBR<0>], [BLR<1>, BLBR<1>]. Die getrennten Bitleitungspaare werden selektiv mit lokalen E/A-Leitungspaaren [LIO0, LIOB0], [LIO4, LIOB4] verbunden.

[0043] Abhängig von Equalizersignalen PEQIB, PEQJB gleichen die Equalizerschaltkreise die Spannung der Bitleitungspaare auf einen vorbestimmten Spannungswert VBL aus.

[0044] In Abhängigkeit von einem vorbestimmten Spannungswert LA verstärken die PMOS-Abstastverstärker die Spannungsdifferenz zwischen den Bitleitungen der Paare [BLL<0>, BLBL<0>], [BLL<1>, BLBL<1>], die auf der linken Seite angeordnet sind. Eine Substratspannung VINTA wird an Substrate der PMOS-Transistoren der PMOS-Abstastverstärker angelegt. In Abhängigkeit von einer zu der Spannung LA invertierten Spannung LAB verstärken die NMOS-Abstastverstärker die Spannungsdifferenz zwischen den Bitleitungen der Paare [BLR<0>, BLBR<0>], [BLR<1>, BLBR<1>], die auf der rechten Seite angeordnet sind.

[0045] In Abhängigkeit von einem Spaltenauswahlleitungssignal, das die Spaltenauswahlleitung CSL<0> aktiviert bzw. inaktiviert, verbinden bzw. trennen die Spaltenauswahlschalter jeweils die Bitleitungspaare und die lokalen E/A-Leitungspaare. Jeder Spaltenauswahlschalter umfasst einen NMOS-Transistor.

[0046] Die Elemente, die auf dem Bitleitungsabstastverstärkerbereich **33** angeordnet sind, sind die gleichen Elemente wie auf dem Bitleitungsabstastverstärkerbereich **31**, die bereits oben beschrieben wurden. Der Bitleitungsabstastverstärkerbereich **33** unterscheidet sich jedoch in den Bezugszeichen für die Bitleitungspaare und die Spaltenauswahlleitung. Die entsprechenden Bezugszeichen sind [BLL<4>, BLBL<4>], [BLL<5>, BLBL<5>], [BLR<4>, BLBR<4>], [BLR<5>, BLBR<5>] bzw. CSL<2>.

[0047] Außerdem sind auch auf dem Blindbitleitungsabstastverstärkerbereich **32** die gleichen Elemente wie auf dem Bitleitungsabstastverstärkerbereich **31** angeordnet. Der Blindbitleitungsabstastverstärkerbereich **32** unterscheidet sich jedoch dadurch, dass eine an jeden Spaltenauswahlschalter des Blindbitleitungsabstastverstärkerbereichs **32** angeschlossene Spaltenauswahlleitung CSL<1> mit der Massespannung VSS verbunden ist, um einen inaktiven Zustand beizubehalten, und dass die Bezugszeichen der Bitleitungspaare und der Spaltenauswahlleitung, die auf dem Blindbitleitungsabstastverstärkerbereich **32** angeordnet sind, [DBLL<2>, DBLBL<2>], [DBLL<3>, DBLBL<3>], [DBLR<2>, DBLBR<2>], [DBLR<3>, DBLBR<3>] und CSL<1> sind. Deshalb ist die Kontinuität des im erfindungsgemäßen Halbleiterspeicherbaustein enthaltenen Bitleitungsabstastverstärkers ebenfalls gewährleistet.

[0048] Die Spaltenauswahlleitung CSL<1> kann auch im nicht dargestellten Spaltendekoder des erfindungsgemäßen Halbleiterspeicherbausteins mit der Massespannung VSS verbunden sein. Dies wird im Zusammenhang mit [Fig. 8](#) erläutert.

[0049] Der mit C bezeichnete Teil der [Fig. 6](#) wird unter Bezugnahme auf [Fig. 7](#) beschrieben. [Fig. 7](#) zeigt eine detaillierte Darstellung des Teils C der Baugruppe **30**, in dem lokale E/A-Leitungspaare geteilt sind. Wie aus [Fig. 7](#) ersichtlich ist, werden lokale E/A-Leitungspaare [LIO0, LIOB0], [LIO4, LIOB4] an den Punkten SPLIT1 bzw. SPLIT2 geteilt. Deshalb umfassen die gezeigten erfindungsgemäßen Halbleiterspeicherbausteine **20**, **30** den Blindbitleitungsabstastverstärkerbereich **32**, der jeweils eine Fläche zum Teilen der lokalen E/A-Leitungspaare zur Verfügung stellt.

[0050] [Fig. 8](#) zeigt ein Schaltbild des Spaltendekoders **22** aus [Fig. 3](#). Wie aus [Fig. 8](#) ersichtlich ist, umfasst der Spaltendekoder **22** eine Spaltendeko-

dierschaltung **221** und Treiberschaltungen **222a** und **222b**. Jede Treiberschaltung **222a** und **222b** umfasst eine Sicherung F, eine Zwischenspeicherschaltung **223**, einen Inverter INV3 und einen NMOS-Transistor MN.

[0051] Der NMOS-Transistor NM zieht in Abhängigkeit eines Steuersignals PVCCHB den Spannungspegel an einem Knoten N hinunter auf die Massepotentialspannung VSS. Das Steuersignal PVCCHB ist ein Impuls, der durch einen hohen logischen Pegel für eine vorbestimmte Zeitdauer aktiviert wird, wenn der Halbleiterspeicherbaustein mit Energie versorgt wird. Das bedeutet, dass das Steuersignal PVCCHB ein Signal ist, das anzeigt, dass der Halbleiterbaustein mit Energie versorgt ist.

[0052] Die Zwischenspeicherschaltung **223** hat zwei Inverter INV1, INV2, die kreuzweise miteinander gekoppelt sind. Die Zwischenspeicherschaltung **223** speichert den Spannungspegel am Knoten N zwischen, der auf die Massepotentialspannung VSS hinuntergezogen wurde. Der Inverter INV3 invertiert ein Ausgangssignal der Zwischenspeicherschaltung **223** und inaktiviert die Spaltenauswahlleitung CSL<1> mit einem niedrigen logischen Pegel.

[0053] Die Spaltendekoderschaltung **221** dekodiert eine Spaltenadresse CA_i und sendet eine dekodierte Spaltenadresse DCA₁ zu der Sicherung F. Die Sicherung F ist aufgetrennt, um die Spaltenauswahlleitung CSL<1> auf einem niedrigen logischen Pegel zu halten, und verhindert, dass ein Ausgangssignal der Spaltendekoderschaltung **221** zum Knoten N übertragen wird.

[0054] Die Spaltendekoderschaltung **221** dekodiert die Spaltenadresse CA_i und generiert auch eine dekodierte Spaltenadresse DCA_j. Hier ist j gleich „0“ oder gleich einer positiven ganzen Zahl mit Ausnahme von „1“. Die Treiberschaltung **222a** hat die gleichen Elemente wie die oben beschriebene Treiberschaltung **222b**. Eine in der Treiberschaltung **222a** vorgesehene Sicherung ist jedoch nicht aufgetrennt. Deshalb aktiviert die Treiberschaltung **222a** in Abhängigkeit von der dekodierten Spaltenadresse DCA_j die Spaltenauswahlleitung CSL<j>. Weil die Treiberschaltungen **222a** und **222b** die gleichen Elemente haben, ist die Kontinuität des Spaltendekoders **22** gewährleistet.

Patentansprüche

1. Halbleiterspeicherbaustein mit
 – einem Speicherzellenfeld, das durch Sub-Wortleitungstreiberflächen (**25**) und Bitleitungsabstastverstärkerflächen (**24**) in eine Mehrzahl von Teilfeldern (**21**) aufgeteilt ist,
 – lokalen E/A-Leitungen (LIO), die in den Bitleitungsabstastverstärkerflächen (**24**) angeordnet sind und je-

weils an wenigstens einem Ende in einer der Bitleitungsabstastverstärkerflächen (**24**) enden, und
 – globalen E/A-Leitungen (GIO), die in den Sub-Wortleitungstreiberflächen (**25**) angeordnet sind,
 – wobei die Bitleitungsabstastverstärkerflächen (**24**) Blindbitleitungsabstastverstärkerbereiche (**32**) mit Blind bitleitungsabstastverstärkern umfassen, wobei wenigstens ein Ende von jeder lokalen E/A-Leitung in einem der Blindbitleitungsabstastverstärkerbereiche (**32**) angeordnet ist.

2. Halbleiterspeicherbaustein nach Anspruch 1, gekennzeichnet durch einen ersten Schalterschaltkreis, der in Abhängigkeit von einem Spaltenauswahlsignal selektiv eine jeweilige lokale E/A-Leitung und eine Blindbitleitung, die mit dem zugehörigen Blindbitleitungsabstastverstärker verbunden ist, verbindet oder trennt.

3. Halbleiterspeicherbaustein nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die jeweilige lokale E/A-Leitung, die in der Bitleitungsabstastverstärkerfläche (**24**) angeordnet ist, aus einer ersten geteilten lokalen E/A-Leitung und einer zweiten geteilten lokalen E/A-Leitung gebildet ist, wobei die erste geteilte lokale E/A-Leitung mit einer ersten der globalen E/A-Leitungen durch einen zweiten Schalterschaltkreis verbunden ist und die zweite geteilte lokale E/A-Leitung mit einer zweiten der globalen E/A-Leitungen durch einen dritten Schalterschaltkreis verbunden ist.

4. Halbleiterspeicherbaustein mit
 – einem Speicherzellenfeld, das durch Sub-Wortleitungstreiberflächen (**25**) und Bitleitungsabstastverstärkerflächen (**24**) in eine Mehrzahl von Teilfeldern (**21**) aufgeteilt ist,
 – einer Mehrzahl von Sub-Wortleitungen (SWL), die in jedem Teilfeld (**21**) angeordnet sind,
 – einer Mehrzahl von normalen Bitleitungspaaren (BL), die in jedem Teilfeld (**21**) angeordnet sind und jeweils jede der Sub-Wortleitungen (SWL) senkrecht schneiden,
 – einer Mehrzahl von lokalen E/A-Leitungspaaren, von denen jedes mit einem normalen Bitleitungspaar durch einen zugehörigen von einer Mehrzahl von ersten Schalterschaltkreisen verbunden ist,
 – einer Mehrzahl von globalen E/A-Leitungspaaren, von denen jedes mit einem zugehörigen lokalen E/A-Leitungspaar durch einen zugehörigen von einer Mehrzahl von zweiten Schalterschaltkreisen verbunden ist,
 gekennzeichnet durch
 – ein jeweiliges Blindbitleitungspaar (DBL), das in jedem Teilfeld (**21**) angeordnet ist, wobei die Blindbitleitungspaare (DBL) jede der Sub-Wortleitungen senkrecht schneiden und jeweils parallel zu zugehörigen der normalen Bitleitungspaare (BL) angeordnet sind, und

- eine Mehrzahl von Blindbitleitungsabstastverstärkern, die jeweils mit einem zugehörigen der Blindbitleitungsbausteine verbunden sind und in zugehörigen Blindbitleitungsabstastverstärkerbereichen (**32**) der Bitleitungsabstastverstärkerflächen (**24**) angeordnet sind,
- wobei jedes von der Mehrzahl der lokalen E/A-Leitungspaare mit einem zugehörigen Blindbitleitungsbaustein (DBL) durch einen zugehörigen von der Mehrzahl der ersten Schalterschaltkreise verbunden ist und
- wobei das jeweilige lokale E/A-Leitungspaar an wenigstens einem Ende in einem zugehörigen Blindbitleitungsabstastverstärkerbereich (**32**) endet.

5. Halbleiterspeicherbaustein nach Anspruch 4, dadurch gekennzeichnet, dass jeder der ersten Schalterschaltkreise in Abhängigkeit von einer Inaktivierung eines zugehörigen Spaltenauswahlleitungssignals das zugehörige lokale E/A-Leitungspaar von dem zugehörigen Blindbitleitungsbaustein trennt.

6. Halbleiterspeicherbaustein nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass
- jedes von den lokalen E/A-Leitungspaaren, die in den Blindbitleitungsabstastverstärkerbereichen (**32**) angeordnet sind, aus einem ersten geteilten lokalen E/A-Leitungspaar und einem zweiten geteilten lokalen E/A-Leitungspaar gebildet ist,
 - die ersten geteilten lokalen E/A-Leitungspaare jeweils durch einen ersten der zweiten Schalterschaltkreise mit einem ersten der globalen E/A-Leitungspaare verbunden sind und
 - die zweiten geteilten lokalen E/A-Leitungspaare jeweils durch einen zweiten der zweiten Schalterschaltkreise mit einem zweiten der globalen E/A-Leitungspaare verbunden sind.

7. Halbleiterspeicherbaustein nach einem der Ansprüche 1 bis 6, gekennzeichnet durch einen Spaltendekoder (**22, 32**), der ein Spaltenauswahlsignal erzeugt.

8. Halbleiterspeicherbaustein nach Anspruch 7, dadurch gekennzeichnet, dass der Spaltendekoder (**22, 32**) folgende Elemente aufweist:
- eine Spaltendekoderschaltung (**221**), die zum Dekodieren einer Spaltenadresse (CAi), die dem Speicherbaustein zur Verfügung gestellt wird, ausgelegt ist, und
 - eine Mehrzahl von Treiberschaltungen (**222a, 222b**), die dafür ausgelegt sind, selektiv ein zugehöriges Spaltenauswahlsignal zur Verfügung zu stellen.

9. Halbleiterspeicherbaustein nach Anspruch 8, dadurch gekennzeichnet, dass jede der Treiberschaltungen (**222a, 222b**) folgende Elemente enthält:

- einen Zwischenspeicherschaltkreis (**223**), der einen logischen Wert zwischenspeichert, der auf einem

Spannungspegel an einem Eingangsknoten (N) basiert,

- einen Transistor (MN), der auf ein Steuersignal (PVCCHB) anspricht, das anzeigt, dass dem Halbleiterspeicherbaustein Energie zur Verfügung gestellt ist, und der dafür ausgelegt ist, selektiv den Spannungspegel des Eingangsknotens (N) des Zwischenspeicherschaltkreises (**223**) auf eine Massespannung hinunterzuziehen,
- einen Inverter (INV3), der dafür ausgelegt ist, ein Ausgangssignal des Zwischenspeicherschaltkreises (**223**) als ein Spaltenauswahlleitungssignal zu invertieren, und
- eine Sicherung (F), die dafür ausgelegt ist, selektiv ein Senden des Ausgangssignals der Spaltendekoderschaltung (**221**) zum Eingangsknoten (N) des Zwischenspeicherschaltkreises (**223**) zu ermöglichen oder zu verhindern.

10. Halbleiterspeicherbaustein mit
- einem Speicherzellenfeld, das durch Bitleitungsabstastverstärkerflächen (**34**) in eine entsprechende Mehrzahl von Teilfeldern (**31**) aufgeteilt ist, so dass zwischen jedem Paar zweier benachbarter Teilfelder jeweils eine Bitleitungsabstastverstärkerfläche angeordnet ist, und
 - einer ersten geteilten lokalen E/A-Leitung in wenigstens einer der Bitleitungsabstastverstärkerflächen (**34**),
- dadurch gekennzeichnet, dass
- die wenigstens eine der Bitleitungsabstastverstärkerflächen (**34**) einen Blindbitleitungsabstastverstärkerbereich (**832**) umfasst und
 - die erste geteilte lokale E/A-Leitung an wenigstens einem Ende in dem Blindbitleitungsabstastverstärkerbereich (**32**) der Bitleitungsabstastverstärkerfläche (**34**) endet.

11. Halbleiterspeicherbaustein nach Anspruch 10, gekennzeichnet durch eine zweite geteilte lokale E/A-Leitung.

12. Halbleiterspeicherbaustein nach Anspruch 11, dadurch gekennzeichnet, dass ein Ende der zweiten geteilten lokalen E/A-Leitung auf der Blindbitleitungsabstastverstärkerfläche gebildet ist.

13. Halbleiterspeicherbaustein nach Anspruch 11 oder 12, dadurch gekennzeichnet, dass ein Ende der zweiten geteilten lokalen E/A-Leitung auf dem Blindbitleitungsabstastverstärkerbereich angeordnet ist.

14. Halbleiterspeicherbaustein nach einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, dass

- eine Mehrzahl von Sub-Wortleitungen (SWL) in den Teilfeldern (**31**) angeordnet ist,
- mehrere normale Bitleitungsbausteine (BL) in den Teilfeldern (**31**) angeordnet sind und die Sub-Wortleitungen (SWL) senkrecht schneiden,

- ein jeweiliges Blindbitleitungspaar (DBL) vorgesehen ist, das in jedem der Teilfelder (**31**) parallel zu den normalen Bitleitungspaaren (BL) angeordnet ist und die Teilwortleitungen (SWL) senkrecht schneidet,
- eine Mehrzahl von Blindbitleitungsabstastverstärkern vorgesehen ist, die jeweils mit einem zugehörigen der Blindbitleitungspaare verbunden sind und in den Blindbitleitungsabstastverstärkerbereichen (**32**) der Bitleitungsabstastverstärkerflächen angeordnet sind,
- erste Schalterschaltkreise vorgesehen sind, die dafür ausgelegt sind, selektiv das jeweilige lokale E/A-Leitungspaar mit dem zugehörigen Blindbitleitungspaar zu verbinden oder von diesem zu trennen,
- eine Mehrzahl von lokalen E/A-Leitungspaaren vorgesehen ist, die in der jeweiligen Bitleitungsabstastverstärkerfläche (**34**), in welcher der betreffende Blindbitleitungsabstastverstärker angeordnet ist, in ein erstes geteiltes lokales E/A-Leitungspaar und ein zweites geteiltes lokales E/A-Leitungspaar geteilt sind, wobei wenigstens ein Teil der lokalen E/A-Leitungspaare mit einem zugehörigen normalen Bitleitungspaar (BL) und einem zugehörigen Blindbitleitungspaar (DBL) verbunden ist, und
- jeder der ersten Schalterschaltkreise von einem Spaltenauswahlleitungssignal einer Spaltenauswahlleitung gesteuert wird.

15. Halbleiterspeicherbaustein nach Anspruch 14, dadurch gekennzeichnet, dass das mit dem ersten geteilten lokalen E/A-Leitungspaar verbundene Blindbitleitungspaar und das mit dem zweiten geteilten lokalen E/A-Leitungspaar verbundene Blindbitleitungspaar jeweils in dem gleichen Teilfeld (**21, 31**) angeordnet sind.

16. Halbleiterspeicherbaustein nach einem der Ansprüche 2 bis 9, 14 und 15, dadurch gekennzeichnet, dass jeder der ersten Schalterschaltkreise wenigstens zwei NMOS-Transistoren umfasst.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1 (Stand der Technik)

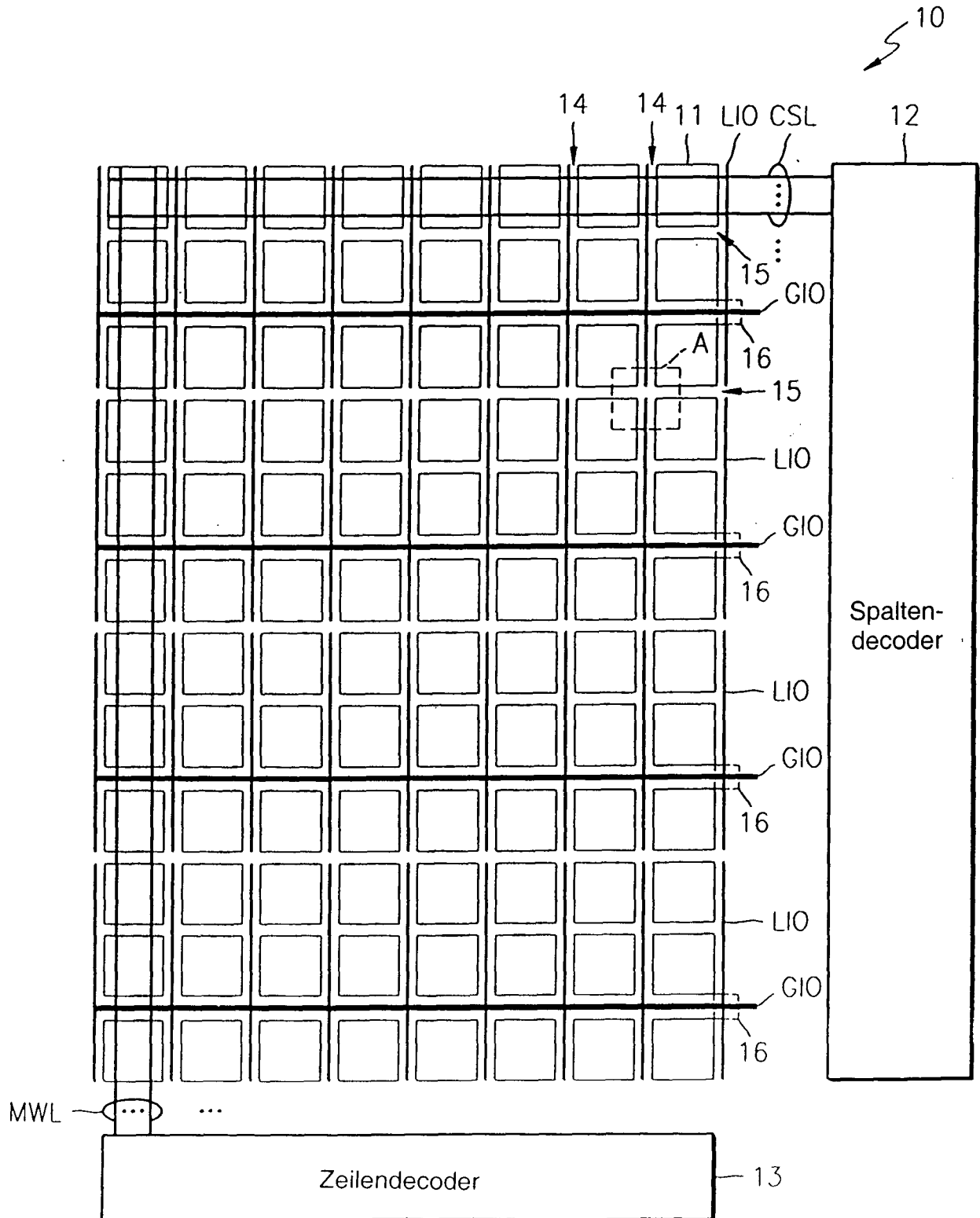


FIG. 2
(Stand der Technik)

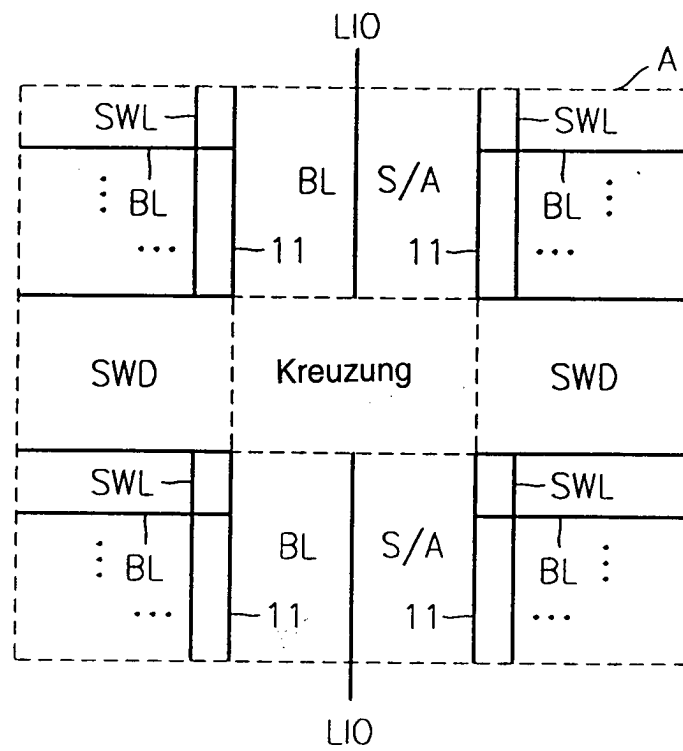


FIG. 3

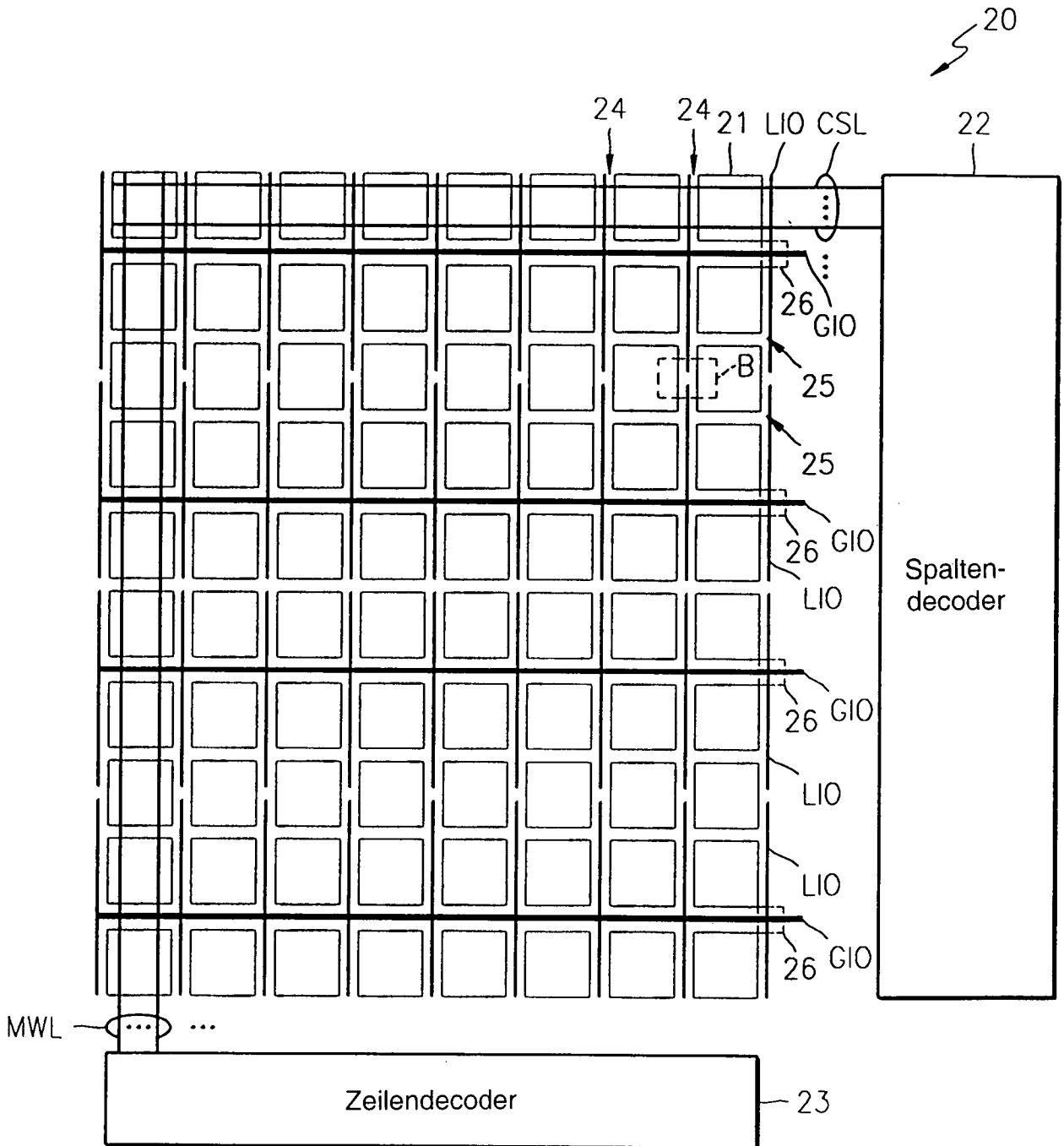


FIG. 4

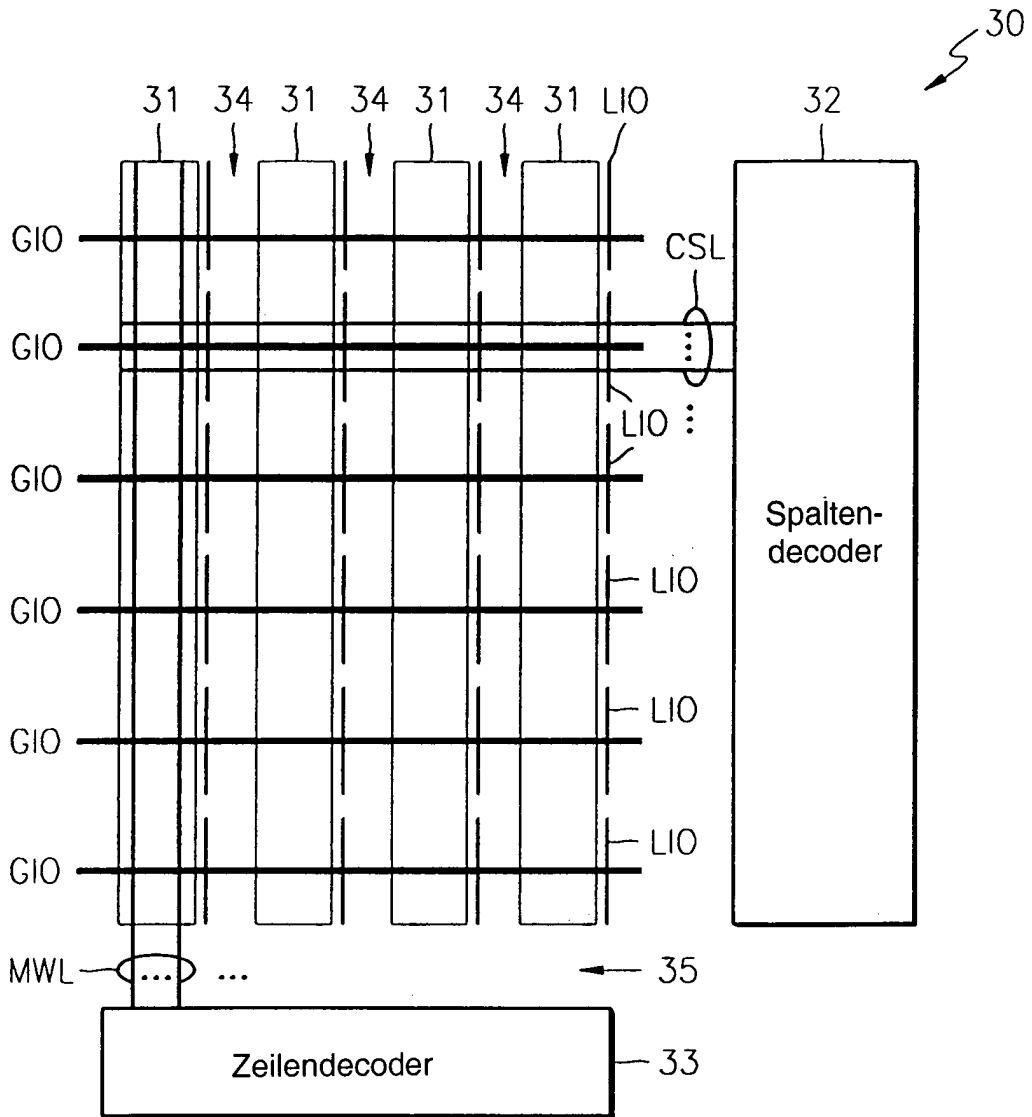


FIG. 5

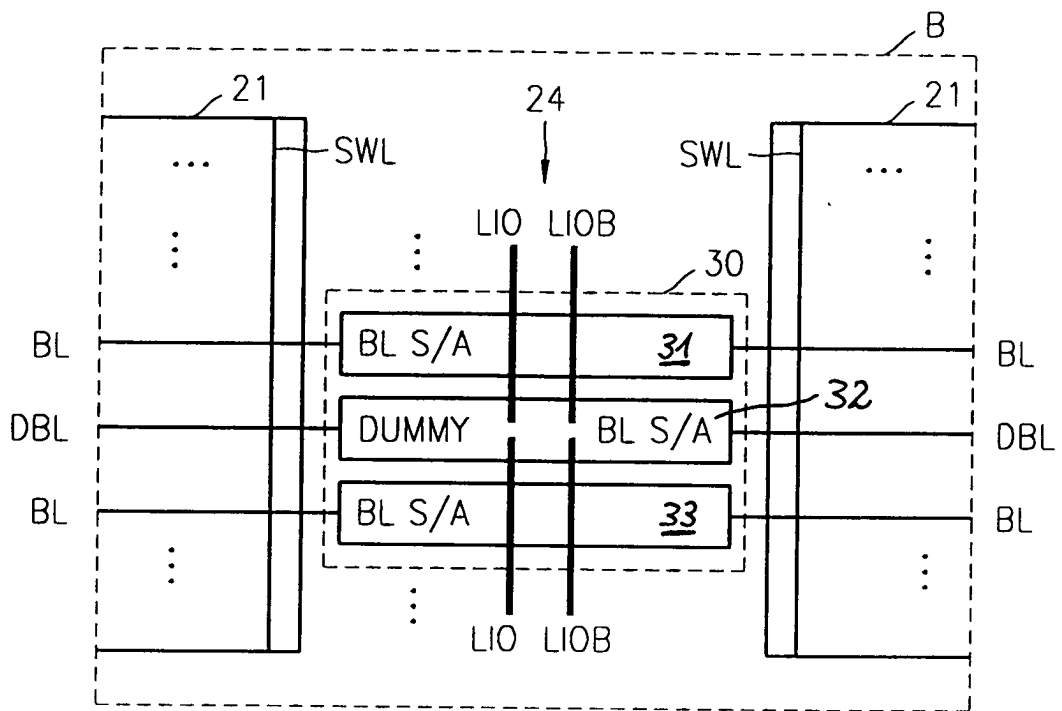


FIG. 6

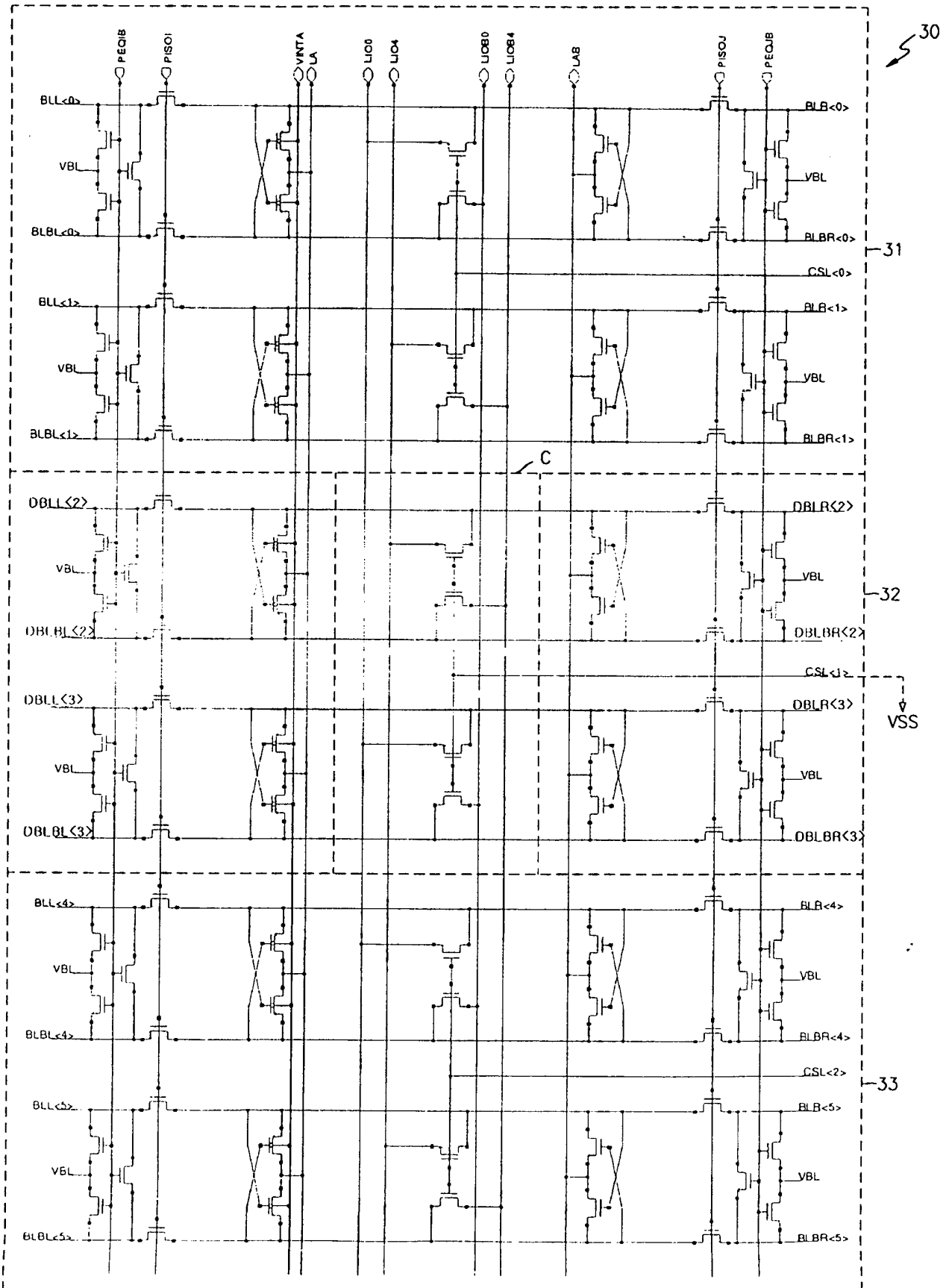


FIG. 7

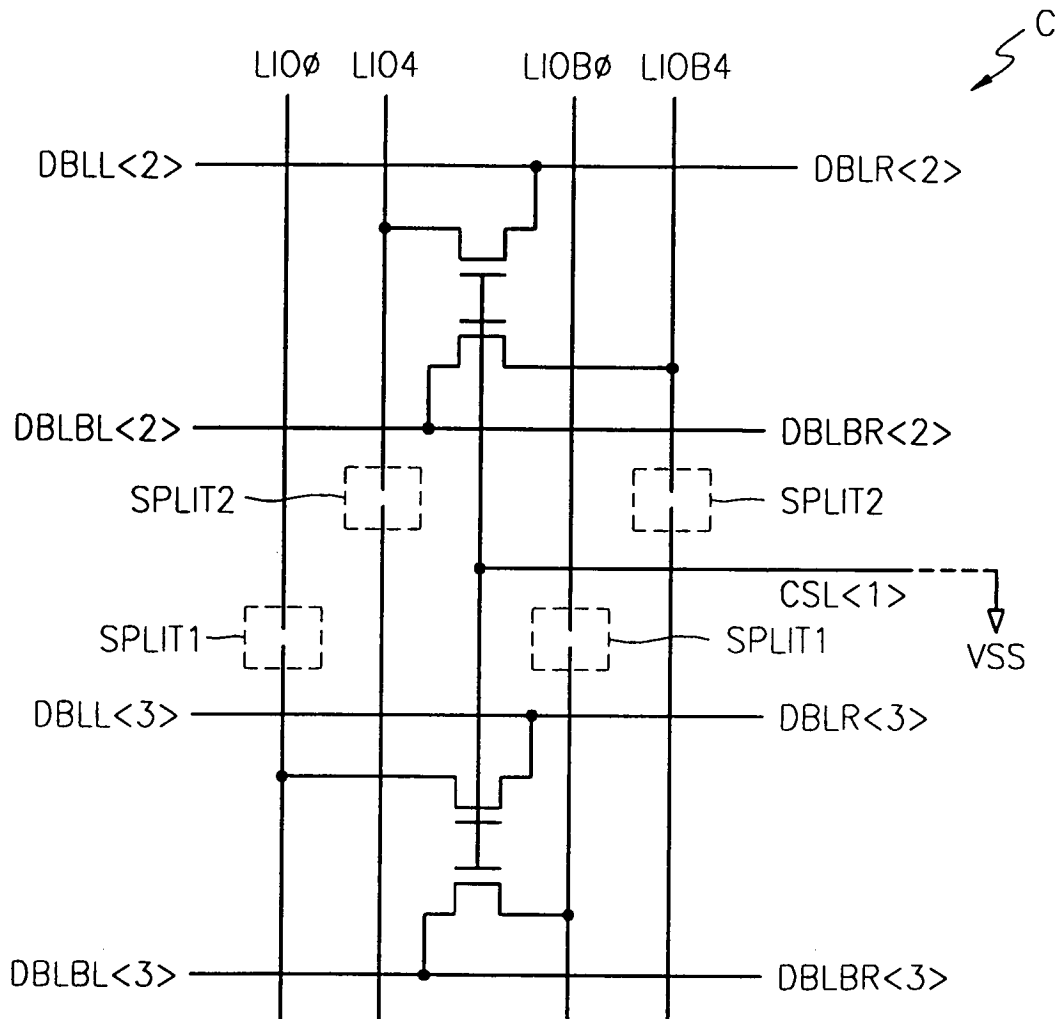


FIG. 8

