

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5364703号
(P5364703)

(45) 発行日 平成25年12月11日 (2013. 12. 11)

(24) 登録日 平成25年9月13日 (2013. 9. 13)

(51) Int. Cl.

F I

G 0 6 F 17/14 (2006.01)

G 0 6 F 17/14

B

請求項の数 28 (全 19 頁)

(21) 出願番号	特願2010-513926 (P2010-513926)	(73) 特許権者	598036300
(86) (22) 出願日	平成20年6月26日 (2008. 6. 26)		テレフオンアクチーボラゲット エル エ
(65) 公表番号	特表2010-531504 (P2010-531504A)		ム エリクソン (パブル)
(43) 公表日	平成22年9月24日 (2010. 9. 24)		スウェーデン国 スtockホルム エスー
(86) 国際出願番号	PCT/EP2008/058218		1 6 4 8 3
(87) 国際公開番号	W02009/000905	(74) 代理人	100095957
(87) 国際公開日	平成20年12月31日 (2008. 12. 31)		弁理士 亀谷 美明
審査請求日	平成23年6月23日 (2011. 6. 23)	(74) 代理人	100096389
(31) 優先権主張番号	07111255.1		弁理士 金本 哲男
(32) 優先日	平成19年6月28日 (2007. 6. 28)	(74) 代理人	100101557
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 萩原 康司
(31) 優先権主張番号	60/947,002	(74) 代理人	100128587
(32) 優先日	平成19年6月29日 (2007. 6. 29)		弁理士 松本 一騎
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 変換計算のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

変換を実行するためのデータ処理ユニットを作動させる方法であって、

前記方法は、

第1バッファ (302) の位置から第1入力データ値 (x_1) を読み出す工程 (430) であって、前記位置は、第1読み出しインデックスに基づいて第1読み出しアドレス (420) によって定められる、前記読み出し工程 (430) と、

前記第1バッファ (302) の位置から第2入力データ値 (x_2) を読み出す工程 (460) であって、前記位置は、第2読み出しインデックスに基づいて第2読み出しアドレス (450) によって定められる、前記読み出し工程 (460) と、

少なくとも前記第1入力データ値と前記第2入力データ値に基づいて、第1出力データ値および第2出力データ値 (y_1 、 y_2) を計算する工程 (480) と、

前記第1出力データ値および前記第2出力データ値を第2バッファ (303) に書き込む工程 (490) と、

前記第2バッファ (303) の位置から第3入力データ値 (x_1) を読み出す工程 (430) であって、前記位置は、前記第1読み出しインデックスに基づいて第3読み出しアドレス (420) によって定められる、前記読み出し工程 (430) と、

前記第2バッファ (303) の位置から第4入力データ値 (x_2) を読み出す工程 (460) であって、前記位置は、前記第2読み出しインデックスに基づいて第4読み出しアドレス (450) によって定められる、前記読み出し工程 (460) と、

10

20

を含み、

前記第 1 出力データ値および前記第 2 出力データ値は、1 つの書き込み周期の間に前記第 2 バッファの隣接するメモリ位置に書き込まれ、前記隣接する位置は第 1 書き込みアドレスによって定められ、前記第 3 読み出しアドレスは、前記第 1 読み出しインデックスのビットのうちの少なくとも 2 つを交換する工程 (530) によって定められ、前記第 4 読み出しアドレスは、前記第 2 読み出しインデックスのビットのうちの少なくとも 2 つを交換する工程 (530) によって定められることを特徴とする、方法。

【請求項 2】

前記第 3 読み出しアドレスは、前記第 1 読み出しインデックスの前記ビットのうちの 2 つを交換する工程によって定められ、前記第 4 読み出しアドレスは、前記第 2 読み出しインデックスの前記ビットのうちの 2 つを交換する工程によって定められる、請求項 1 に記載の方法。

10

【請求項 3】

前記第 1 出力データ値および前記第 2 出力データ値を計算する工程はさらに、少なくとも 1 つ回転因子に基づいている、請求項 1 または請求項 2 のいずれか 1 項に記載の方法。

【請求項 4】

第 3 バッファ (304) の位置から前記少なくとも 1 つの回転因子を読み出す工程 (470) をさらに含む、請求項 3 に記載の方法。

【請求項 5】

前記変換はサイズ N の変換であり、前記第 1 入力データ値および前記第 2 入力データ値を読み出す工程と、前記第 1 出力データ値および前記第 2 出力データ値を計算する工程と、1 つの書き込み周期の間に前記第 2 バッファの隣接するメモリ位置に前記第 1 出力データ値および前記第 2 出力データ値を書き込む工程とは、前記変換の第 1 段階 (201) の間に $N/2$ 回実行される、請求項 1 ～請求項 4 のいずれか 1 項に記載の方法。

20

【請求項 6】

少なくとも前記第 3 入力データ値および前記第 4 入力データ値に基づいて第 3 出力データ値および第 4 出力データ値 (y_1 、 y_2) を計算する工程 (480) と、

前記第 3 出力データ値および前記第 4 出力データ値を、1 つの書き込み周期の間に前記第 1 バッファ (302) の隣接するメモリ位置に書き込む工程 (490) と、

をさらに含む、請求項 1 ～請求項 5 のいずれか 1 項に記載の方法。

30

【請求項 7】

前記変換はサイズ N の変換であり、前記第 3 入力データ値および前記第 4 入力データ値を読み出す工程と、前記第 3 出力データ値および前記第 4 出力データ値を計算する工程と、1 つの書き込み周期の間に前記第 1 バッファの隣接するメモリ位置に前記第 3 出力データ値および前記第 4 出力データ値を書き込む工程とは、前記変換の第 2 段階 (202) の間に $N/2$ 回実行される、請求項 6 に記載の方法。

【請求項 8】

2 つの入力データ値を読み出す工程と、2 つの出力データ値を計算する工程と、1 つの書き込み周期の間にバッファの隣接するメモリ位置に前記 2 つの出力データ値を書き込む工程とは、前記変換の各段階 (201、202、203) の間に $N/2$ 回実行される、請求項 6 または請求項 7 のいずれか 1 項に記載の方法。

40

【請求項 9】

前記第 1 読み出しアドレスは、前記第 1 読み出しインデックスの前記ビットの順序を反転させることにより定められ、前記第 2 読み出しアドレスは、前記第 2 読み出しインデックスの前記ビットの順序を反転させることにより定められる、請求項 1 ～請求項 8 のいずれか 1 項に記載の方法。

【請求項 10】

前記変換は高速フーリエ変換である、請求項 1 ～請求項 9 のいずれか 1 項に記載の方法。

【請求項 11】

50

前記第 1 読み出しインデックスおよび前記第 2 読み出しインデックスは、前記第 1 バッファと前記第 2 バッファとのうちの少なくとも 1 つのアドレス値を含む、請求項 1～請求項 10 のいずれか 1 項に記載の方法。

【請求項 12】

変換を実行するためのデータ処理ユニットであって、回路 (301) を備え、

前記回路 (301) は、

データ値を格納するための第 1 バッファ (302) の位置から第 1 入力データ値を読み出し、前記位置は第 1 読み出しインデックスに基づいて第 1 読み出しアドレスによって定められ、

前記第 1 バッファ (302) の位置から第 2 入力データ値を読み出し、前記位置は第 2 読み出しインデックスに基づいて第 2 読み出しアドレスによって定められ、

少なくとも前記第 1 入力データ値および前記第 2 入力データ値に基づいて、第 1 出力データ値および第 2 出力データ値を計算し、

前記第 1 出力データ値および前記第 2 出力データ値を、データ値を格納するための第 2 バッファ (303) に書き込み、

前記第 2 バッファ (303) の位置から第 3 入力データ値を読み出し、前記位置は前記第 1 読み出しインデックスに基づいて第 3 読み出しアドレスによって定められ、

前記第 2 バッファ (303) の位置から第 4 入力データ値を読み出すように適合され、前記位置は前記第 2 読み出しインデックスに基づいて第 4 読み出しアドレスによって定められ、

1 つの書き込み周期の間に前記第 2 バッファの隣接するメモリ位置に前記第 1 出力データ値および前記第 2 出力データ値を書き込むように適合され、前記隣接する位置は第 1 書き込みアドレスによって定められる、前記回路 (301) と、

前記第 1 読み出しインデックスのビットのうちの少なくとも 2 つを交換することによって前記第 3 読み出しアドレスを定め、前記第 2 読み出しインデックスのビットのうちの少なくとも 2 つを交換することによって前記第 4 読み出しアドレスを定めるように適合されるアドレス生成器 (305) と、

を特徴とする、データ処理ユニット。

【請求項 13】

前記アドレス生成器は、前記第 1 読み出しインデックスの前記ビットのうちの 2 つを交換することによって前記第 3 読み出しアドレスを定め、前記第 2 読み出しインデックスの前記ビットのうちの 2 つを交換することによって前記第 4 読み出しアドレスを定めるように適合される、請求項 12 に記載のデータ処理ユニット。

【請求項 14】

前記回路はさらに、少なくとも 1 つ回転因子に基づいて前記第 1 出力データ値および前記第 2 出力データ値を計算するように適合される、請求項 12 または請求項 13 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 15】

前記回路はさらに、回転因子を格納するための第 3 バッファ (304) の位置から前記少なくとも 1 つの回転因子を読み出すように適合される、請求項 14 に記載のデータ処理ユニット。

【請求項 16】

前記変換はサイズ N の変換であり、前記回路は前記変換の第 1 段階の間に N/2 回、前記第 1 入力データ値および前記第 2 入力データ値を読み出し、前記第 1 出力データ値および前記第 2 出力データ値を計算し、1 つの書き込み周期の間に前記第 2 バッファの隣接するメモリ位置に前記第 1 出力データ値および前記第 2 出力データ値を書き込むように適合される、請求項 12～請求項 15 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 17】

前記回路はさらに、少なくとも前記第 3 入力データ値および前記第 4 入力データ値に基づいて第 3 出力データ値および第 4 出力データ値を計算し、前記第 3 出力データ値および

前記第 4 出力データ値を、1 つの書き込み周期の間に前記第 1 バッファの隣接するメモリ位置に書き込むように適合される、請求項 1 2 ～請求項 1 6 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 1 8】

前記変換はサイズ N の変換であり、前記回路は前記変換の第 2 段階の間に $N/2$ 回、前記第 3 入力データ値および前記第 4 入力データ値を読み出し、前記第 3 出力データ値および前記第 4 出力データ値を計算し、1 つの書き込み周期の間に前記第 1 バッファの隣接するメモリ位置に前記第 3 出力データ値および前記第 4 出力データ値を書き込むように適合される、請求項 1 7 に記載のデータ処理ユニット。

【請求項 1 9】

10

前記回路は前記変換の各段階の間に $N/2$ 回、2 つの入力データ値を読み出し、2 つの出力データ値を計算し、1 つの書き込み周期の間にバッファの隣接するメモリ位置に前記 2 つの出力データ値を書き込むように適合される、請求項 1 7 または請求項 1 8 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 2 0】

前記第 1 入力データ値と、
前記第 2 入力データ値と、
前記第 1 出力データ値と、
前記第 2 出力データ値と、

前記第 1 出力データ値および前記第 2 出力データ値の前記計算の中間結果と、
のうちの少なくとも 1 つを一時的に格納するように適合される少なくとも 1 つのレジスタユニット (306) をさらに含む、請求項 1 2 ～請求項 1 9 のいずれか 1 項に記載のデータ処理ユニット。

20

【請求項 2 1】

前記アドレス生成器は、制御信号を受信するように適合される入力ポートを含み、前記アドレス生成器は、前記制御信号に基づいて、前記第 1 読み出しインデックスの前記ビットのうちの少なくとも 2 つを交換し、前記第 2 読み出しインデックスの前記ビットのうちの少なくとも 2 つを交換するように適合される、請求項 1 2 ～請求項 2 0 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 2 2】

30

前記アドレス生成器は、前記第 1 読み出しインデックスの前記ビットの順序を反転させることにより前記第 1 読み出しアドレスを定め、前記第 2 読み出しインデックスの前記ビットの順序を反転させることにより前記第 2 読み出しアドレスを定めるように適合される、請求項 1 2 ～請求項 2 1 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 2 3】

前記変換は高速フーリエ変換である、請求項 1 2 ～請求項 2 2 のいずれか 1 項に記載のデータ処理ユニット。

【請求項 2 4】

前記第 1 読み出しインデックスおよび前記読み出し第 2 インデックスは、前記第 1 バッファと前記第 2 バッファとのうちの少なくとも 1 つのアドレス値を含む、請求項 1 2 ～請求項 2 3 に記載のデータ処理ユニット。

40

【請求項 2 5】

請求項 1 2 ～請求項 2 4 のいずれか 1 項に記載のデータ処理ユニットを含む変換計算ユニット。

【請求項 2 6】

請求項 1 2 ～請求項 2 4 のいずれか 1 項に記載のデータ処理ユニットと、
請求項 2 5 に記載の変換計算ユニットと、
の少なくとも 1 つを含む電子装置。

【請求項 2 7】

前記電子装置は、携帯型または手持ち型の移動無線通信機器、移動無線端末、携帯電話

50

(600)、ポケットベル、発信機、電子手帳、スマートフォン、コンピュータ、組込み型ドライブ、携帯型ゲーム機、時計、基地局、または、基地局コントローラである、請求項26に記載の電子装置。

【請求項28】

前記電子装置は、ユニバーサル移動通信システム・ロングタームエボリューションの規格に則する、請求項26または請求項27のいずれか1項に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルデータプロセッサ分野に関し、特に、デジタルデータプロセッサにおける変換の計算に関する。

【背景技術】

【0002】

様々な変換が、例えば、ユニバーサル移動通信システム・ロングタームエボリューション(UMTS LTE: Universal Mobile Telecommunications System Long Term Evolution)などの、直交周波数分割変調(OFDM: Orthogonal Frequency Division Modulation)を利用する無線アクセス標準規格に則した装置における受信信号のデジタル信号処理のような、非常に様々なデータ処理アプリケーションにおいて利用されている。様々な変換はまた、例えば、信号解析、圧縮アルゴリズム、およびフィルタリングにおいて利用することも出来る。さらに、変換は、例えば、ユニバーサル移動通信システム(UMTS: Universal Mobile Telecommunications System)、移動通信のためのグローバルシステム(GSM: Global System For Mobile communications)、汎用パケット無線サービス(GPRS: General Packet Radio Service)、デジタル映像放送(DVB: Digital Video Broadcasting)のような、UMTS LTE以外の標準規格に則する装置における利用にも適用可能でありうる。変換を計算することは、比較的計算が複雑なデータ処理タスクであることもあり、従って、変換計算が可能な限り最適化されていることが処理性能全般にとって非常に重要であることが多い。

【0003】

例えばフーリエ変換では、 N が2のべき乗である場合に、 $N/2$ 、サイズ2の変換からなるそれぞれにおいて、対数 $\log_2 N$ の計算段階でサイズ N の変換を低減することが出来ることは、当業者にはよく知られている。この計算の再構成は、 N^2 から $N \log_2 N$ へと上記問題の大きさを低減する。フーリエ変換の場合、得られる計算方法は、高速フーリエ変換(FFT: fast Fourier transform)を意味する。

【0004】

変換は、いわゆるバタフライダイアグラム(butterfly diagram)で表されることが多い。例示的なバタフライダイアグラムを、後に図2Aとの関連において記載する。バタフライダイアグラムは、複数の計算カーネルを含む。こうした計算カーネル100の例が図1において与えられている。図において、蝶に似ているように計算カーネルが示されることが分かるであろう。

【0005】

計算カーネル100において実施されるバタフライ計算(butterfly calculation)への2つの入力データが x_1 および x_2 で示されており、入力口101および102それぞれに供給される。バタフライ計算からの2つの出力データが y_1 および y_2 で示されており、出力口103および104それぞれにおいて見出されうる。この例示的なバタフライ演算の出力口103における出力データ値は、加算器105において、入力口101での入力データ値を入力口102での入力データ値に加算することによって得られる。出力口104での出力データ値は、乗算器107において、入力口102で

の入力データ値の符号を変更し、加算器106において、入力口101での入力データ値を乗算器107の結果に加算し、乗算器108において、加算器106の結果に、いわゆる回転因子(TF:twiddle factor)を乗じることによって得られる。

【0006】

図1に示される計算カーネルの実現は単に、複数の可能な様々な実現のうちの1つの例を表しているにすぎないことが強調される。例示的な実現として、乗算は乗算器以外の手段によって行なわれてもよい。乗算は、シフト演算または加算演算のような、現在公知のいかなる方法に従っても行なわれてもよく、または、将来発見される乗算のためのいかなる方法によっても行なわれてもよい。

【0007】

変換計算全体は蝶のような $(N/2) \log_2 N$ で構成されており、このことが、サイズ8のFFT計算200が示される図2Aにおいて例示されている。図2Aでは蝶の描写が単純化されているため、図があまり雑然としていない。しかし、当然のことながら、例えば図1に示される加算器および乗算器が、図2Aの実現においても存在する。

【0008】

図2Aには、3つの $(= \log_2 8)$ 計算段階201、202、203があり、それぞれの計算段階は、4つの $(= 8/2)$ バタフライ計算で構成されることに注意されたい。従って、変換演算の実行は、外部ループが $\log_2 N$ 回反復され(変換段階ごとに1回の反復)、内部ループが $N/2$ 回反復される(バタフライ計算ごとに1回の反復)入れ子型ループ(nested loop)として表わされうる。代替的に、変換演算の実行は、 $\log_2 N$ 回の反復(変換段階ごとに1回の反復)と $N/2$ 回のバタフライ計算とが並行して計算される1つのループとして表されてもよい。図2Aでは、変換計算の中間結果が、バッファ204、205、206に格納され、変換計算の最終結果が、バッファ207に格納される。幾つかの実現は、このタスクを遂行するために2つのバッファ全体を使用する。2つのバッファは、変換計算の異なる段階を通じて、読み出しバッファおよび書き込みバッファとしての役割を交互に果たす。さらなる幾つかの実現、いわゆる定位置変換(in-place transform)は、1つのバッファのみを使用する。バッファ204、205、207内の異なる位置のアドレス208が、明確にするために、10進表示およびビット表示の双方において与えられている。図2Aには、各読み出し周期の間にどのバッファアドレスから読み出すのかを決定するために利用される、例示的な読み出しインデックス209、210、211も示されている。例えば、図2Aにおいて与えられているインデックスおよびアドレスに従って、第1段階の(値が0および1の読み出しインデックス209に対応する)第1バタフライ計算は、バッファアドレス0および4からの入力データを使用するべきであり、第1段階の(値が2および3の読み出しインデックス209に対応する)第2バタフライ計算は、バッファアドレス2および6からの入力バッファを利用するべきである。さらに例示すれば、第2段階の(値が0および1の読み出しインデックス210に対応する)第1バタフライ計算は、図2Aによれば、バッファアドレス0および2からの入力データを使用し、第2段階の(値が2および3の読み出しインデックス210に対応する)第2バタフライ計算は、バッファアドレス4および6からの入力データを使用するべきである。

【0009】

図2Aに示されるような変換演算の入力は、入力バッファ204から、ビットを反転させた(bit-reversed)順序において読み出されるべきであることは、当業者には公知である。図では、第1段階の読み出しインデックス209のビット表示は、反転された場合のバッファアドレス208のビット表示に対応することが分かる。幾つかの変形が存在する。例えば、変換計算の入力は、入力バッファ204から、元の順序で読み出されてもよい。しかし、このことによって、結果的に、図2Aに示されるものとは異なる実現となるであろう。

【0010】

変換計算のための既存のソリューションに伴う1つの問題は、時間の消費である。例え

10

20

30

40

50

ば、各バタフライ計算について、2つの読み出しアクセスが、2つの入力バッファを取り出すために必要であり、2つの書き込みアクセスが、結果、すなわち2つの出力データを格納するために必要である。これにより、一般的に、各バタフライ計算のために少なくとも4つの周期が必要とされる。変換の大きさが非常に大きい（Nが1024～8192の大きさであるのが一般的である）ので、各変換計算は、大量のバタフライ計算を含む。従って、バタフライ計算が大抵パイプライン方式により実行されるとしても、各バタフライ計算の実行時間は、変換の全計算時間にとって非常に重要である。

【0011】

幾つかの実現は、1つの周期に2つの読み出しアクセスおよび／または2つの書き込みアクセスを処理することが可能なバッファ、例えば、2つ以上のアドレス入力、いわゆる2ポートメモリまたはデュアルポートメモリを含むバッファを使用する。このことが全計算時間を低減しうるとしても、この種のバッファは、一般的に、アドレス入力が1つのバッファより高価であり、従って、こうしたソリューションが常に望ましいわけではない。

10

【0012】

他の実現は、各バッファを2つ以上のメモリバンクに分けることもあるが、これもまた、1つの周期に2つの読み出しアクセスおよび／または2つの書き込みアクセスを可能にする。こうしたソリューションによって、一般的に、バッファがメモリバンクに分けられないソリューションと比較して複雑さが増すことになる。

【0013】

このように、全計算時間を低減するデータ処理の実現、および変換計算の方法に対する必要性がある。これは、望ましくは、実現に掛かるコストおよび複雑さが全く増すことなく、または、実現に掛かるコストおよび／または複雑さが僅かに増して達成されるべきであろう。

20

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明の目的は、上記の不利益の少なくとも幾つかを未然に防ぎ、変換計算のための改善された方法およびプロセッサを提供することである。

【課題を解決するための手段】

【0015】

本発明の第1の観点によれば、このことは、変換を実行するためのデータ処理ユニットを作動させる方法により達成される。上記方法は、第1バッファの位置から第1入力データ値を読み出す工程であって、上記位置は第1読み出しインデックスに基づいて第1読み出しアドレスによって定められる、上記読み出し工程と、上記第1バッファの位置から第2入力データ値を読み出す工程であって、上記位置は第2読み出しインデックスに基づいて第2読み出しアドレスによって定められる、上記読み出し工程と、を含む。上記方法は、少なくとも上記第1入力データ値と上記第2入力データ値に基づいて、第1出力データ値および第2出力データ値を計算する工程と、上記第1出力データ値および上記第2出力データ値を第2バッファに書き込む工程と、を含む。上記第1出力データ値および上記第2出力データ値は、1つの書き込み周期の間に上記第2バッファの隣接するメモリ位置に書き込まれ、上記隣接する位置は第1書き込みアドレスによって定められる。上記方法は、上記第2バッファの位置から第3入力データ値を読み出す工程であって、上記位置は上記第1読み出しインデックスに基づいて第3読み出しアドレスによって定められる、上記読み出し工程と、上記第2バッファの位置から第4入力データ値を読み出す工程であって、上記位置は上記第2読み出しインデックスに基づいて第4アドレスによって定められる、上記読み出し工程と、を含む。上記第3読み出しアドレスは、上記第1読み出しインデックスの上記ビットのうちの少なくとも2つを交換する工程によって定められ、上記第4の読み出しアドレスは、上記第2読み出しインデックスの上記ビットのうちの少なくとも2つを交換する工程によって定められる。データ処理ユニットはこれらの方法のステップを実施する。データ処理ユニットは1つ以上の物理的要素を含んでもよい。

30

40

50

【0016】

本発明の第1の観点の幾つかの実施形態において、上記第3読み出しアドレスは、上記第1読み出しインデックスの上記ビットのうちの2つを交換する工程によって定められ、上記第4読み出しアドレスは、上記第2読み出しインデックスの上記ビットのうちの2つを交換する工程によって定められる。上記第1読み出しアドレスは、上記第1読み出しインデックスの上記ビットの順序を反転させることにより定められ、上記第2読み出しアドレスは、上記第2読み出しインデックスの上記ビットの順序を反転させることにより定められる。

【0017】

上記第1出力データ値および上記第2出力データ値はさらに、少なくとも1つ回転因子に基づいてもよい。本発明の第1の観点に従った方法は、第3バッファの位置から上記少なくとも1つの回転因子を読み出す工程をさらに含んでもよい。

10

【0018】

本発明の第1の観点に従った方法は、少なくとも上記第3入力データ値および上記第4入力データ値に基づいて第3出力データ値および第4出力データ値を計算する工程と、上記第3出力データ値および上記第4出力データ値を、1つの書き込み周期の間に上記第1バッファの隣接するメモリ位置に書き込む工程と、をさらに含んでもよい。

【0019】

上記変換はサイズNの変換であり、上記第1入力データ値および上記第2入力データ値を読み出す工程と、上記第1出力データ値および上記第2出力データ値を計算する工程と、1つの書き込み周期の間に上記第2バッファの隣接するメモリ位置に上記第1出力データ値および上記第2出力データ値を書き込む工程とは、上記変換の第1段階の間に $N/2$ 回実行されてもよい。上記第3入力データ値および上記第4入力データ値を読み出す工程と、上記第3出力データ値および上記第4出力データ値を計算する工程と、1つの書き込み周期の間に上記第1バッファの隣接するメモリ位置に上記第3出力データ値および上記第4出力データ値を書き込む工程とは、上記変換の第2段階の間に $N/2$ 回実行されてもよい。2つの入力データ値を読み出す工程と、2つの出力データ値を計算する工程と、1つの書き込み周期の間にバッファの隣接するメモリ位置に上記2つの出力データ値を書き込む工程とは、上記変換の各段階の間に $N/2$ 回実行されてもよい。

20

【0020】

上記変換は高速フーリエ変換であってもよい。さらに、上記第1読み出しインデックスおよび上記第2読み出しインデックスは、上記第1データバッファと上記第2データバッファとのうちの少なくとも1つのアドレス値を含んでもよい。本発明の第2の観点によれば、変換を実行するためのデータ処理ユニットは、アドレス生成器と、回路と、を含んでもよく、上記回路は、データ値を格納するための第1バッファの位置から第1入力データ値を読み出し、上記位置は第1読み出しインデックスに基づいて第1読み出しアドレスによって定められ、上記第1バッファの位置から第2入力データ値を読み出すように適合され、上記位置は第2読み出しインデックスに基づいて第2読み出しアドレスによって定められる。上記回路は、少なくとも上記第1入力データ値および上記第2入力データ値に基づいて、第1出力データ値および第2出力データ値を計算し、1つの書き込み周期の間に、上記第1出力データ値および上記第2出力データ値を、データ値を格納するための第2バッファの隣接するメモリ位置に書き込むように適合され、上記隣接する位置は第1書き込みアドレスによって定められる。上記回路はまた、上記第2バッファの位置から第3入力データ値を読み出し、上記位置は上記第1読み出しインデックスに基づいて第3読み出しアドレスによって定められ、上記第2バッファの位置から第4入力データ値を読み出すように適合され、上記位置は上記第2読み出しインデックスに基づいて第4アドレスによって定められる。上記アドレス生成器は、上記第1読み出しインデックスの上記ビットのうちの少なくとも2つを交換することによって上記第3読み出しアドレスを定め、上記第2読み出しインデックスの上記ビットのうちの少なくとも2つを交換することによって上記第4読み出しアドレスを定めるように適合される。

30

40

50

【0021】

本発明の第2の観点の幾つかの実施形態によれば、データ処理ユニットは、上記第1入力データ値と、上記第2入力データ値と、上記第1出力データ値と、上記第2出力データ値と、上記第1出力データ値および上記第2出力データ値の上記計算の中間結果と、のうちの少なくとも1つを一時的に格納するように適合される少なくとも1つのレジスタユニットをさらに含んでもよい。

【0022】

上記アドレス生成器は、制御信号を受信するように適合される入力ポートを含んでもよく、上記アドレス生成器は、上記制御信号に基づいて、上記第1読み出しインデックスの上記ビットのうちの少なくとも2つを交換し、上記第2読み出しインデックスの上記ビットのうちの少なくとも2つを交換するように適合されてもよい。

10

【0023】

さらに、第2の観点に従ったデータ処理ユニットは、第1の観点に従った実施形態の様々な特徴に対応する機能的特徴を有してもよい。

【0024】

本発明の第3の観点によれば、変換計算ユニットは、本発明の第2の観点に従ったデータ処理ユニットを含んでもよい。

【0025】

本発明の第4の観点によれば、電子装置は、本発明の第2の観点に従ったデータ処理ユニット、または、本発明の第3の観点に従った変換計算ユニットと、の少なくとも1つを含む。上記電子装置は、携帯型または手持ち型の移動無線通信機器、移動無線端末、携帯電話、ポケットベル、発信機、電子手帳、スマートフォン、コンピュータ、組込み型ドライブレコーダー、携帯型ゲーム機、時計、基地局、または、基地局コントローラであってもよく、ユニバーサル移動通信システム・ロングタームエボリューションの規格に則してもよい。

20

【0026】

本発明の更なる実施形態は、従属請求項において定義されている。

【発明の効果】

【0027】

本発明の効果の1つは、変換計算を行なうために必要な書き込み周期の数を低減しうるということである。さらに正確には、変換計算を行なうために必要な書き込み周期の数を半減しうる。本発明の効果は、実現に掛かるコストおよび／または複雑さがほとんど増すことなく、または全く増すことなく達成されうるが、その場合、実現に掛かるコストは、追加的なハードウェア、および／または追加的な計算負荷によるパワー消費を指しこともある。

30

【0028】

本明細書で利用される場合「含む／含んでいる」(“comprises/comprising”)という語は、述べている特徴、整数、ステップ、または構成要素の存在を特定するために利用されるが、1つ以上の複数の他の特徴、整数、ステップ、または構成要素、またその集合の存在を排除するものではないことが強調される。

【図面の簡単な説明】

40

【0029】

本発明の更なる目的、特徴、および効果は、添付の図面を参照して、以下の本発明の詳細な記載から明らかとなろう。

【図1】例示的な計算カーネルを示す図である。

【図2A】サイズ8のFFT計算の例示的な実現を示すバタフライダイアグラムである。

【図2B】本発明の幾つかの実施形態に従った例示的な読み出し演算および書き込み演算を示す図である。

【図2C】本発明の幾つかの実施形態に従ったサイズ8のFFT計算の例示的な実現を示すバタフライダイアグラムである。

【図2D】本発明の幾つかの実施形態に従ったインデックスにおけるビット交換の例を示

50

す図である。

【図3】本発明の幾つかの実施形態に従った変換を計算するためのデータ処理ユニットを示すブロック図である。

【図4】本発明の幾つかの実施形態に従ったバタフライ計算ユニットにより実施される方法を示すフローチャートである。

【図5】本発明の幾つかの実施形態に従ったアドレス生成器により実施される方法を示すフローチャートである。

【図6】本発明の幾つかの実施形態に従った1つ以上の変換計算ユニットを含みうる移動端末の正面図である。

【発明を実施するための形態】

10

【0030】

記載を通じて、変換計算のための異なる実施形態を、高速フーリエ変換の演算にいくらか焦点を置きながら記載することにする。しかし、本発明は数多くの他の変換タイプにも同様に適用可能であることが強調される。例えば、本発明は、バタフライダイアグラムを通じて表されうる全ての変換に適用可能である。こうした変換の例は、FFTに加えて、離散コサイン変換(DCT: Discrete Cosine Transform)、離散サイン変換(DST: Discrete Sine Transform)、およびそれらの逆変換である。

【0031】

以下では、バタフライ計算からの2つの出力データが1つの書き込み周期の間にバッファに書き込まれる、本発明の実施形態を提示することにする。1つのアドレス入力を含む標準メモリ、いわゆるシングルポートメモリがバッファとして使用されると考える場合に、1つの書き込み周期の間の2つの出力データの書き込みは、本発明の幾つかの実施形態に従って、バッファ内の隣接するメモリ位置への2つの出力データの書き込みにより達成することが出来る。

20

【0032】

このことが、図2Bに示されている。図1との関連で説明したように、バタフライ計算ユニット170は、2つの入力データ(x_1 および x_2)から、2つの出力データ(y_1 、 y_2)を生成する。以前のように、図があまり雑然とならないようにバタフライの描写が単純化されている。複数のデータの(x_1 、 x_2 、 y_1 および y_2)すべては、一定のワード長(w : word length)を有する。

30

【0033】

従って、本発明の実施形態において、複数のデータのそれぞれはワード長Wを有してもよく、バッファの(2つの隣接するメモリ位置を含む)メモリセルは、データの2倍の幅であってもよく、すなわち2Wであってもよい。従って、メモリセルは、2つのデータを格納することが可能であってもよい。さらに、バッファは、メモリセル内に、2つの隣接するメモリ位置のうちの1つ(すなわち、2つのデータのうちの1つ)を選択するための手段を有してもよい。この性能は、例えば、読み出し演算の間に使用されうる。

【0034】

幾つかの実施形態において、この機能は、バッファをアドレス指定する際に幾つかの最下位ビットを破棄することによって実現される。例えば、各アドレスが幅Wのメモリ位置を指し、ビット0がバッファのアドレス指定の際に破棄されるアドレス方式が与えられている場合に、(それぞれがワード長Wの2つのデータを格納することが可能な)幅2Wのメモリセルへの参照が結果として起きる。メモリセルに含まれる2つのメモリ位置のうちの特定的一方が、アドレスビット0が0の場合にメモリセルの下半分を選択し、アドレスビット0が1の場合にメモリセルの上半分を選択することによって、アドレス指定されてもよい。

40

【0035】

バタフライ計算ユニット170は、バッファ150から2つの入力データを読み出してもよい。バッファ150は、幾つかのバッファ位置に分けられていてもよく、そのそれぞ

50

れは、ワード長Wのデータを格納することが可能であり、アドレスにより定められるバッファ内に一定の位置を有する。先に説明したように、2つの隣接するバッファ位置は、ワード長2Wのバッファセル内に含まれていてもよく、バッファ内の各セルの位置は、アドレスにおいてビット0を破棄することにより定められてもよい。読み出し演算においては、アドレスビット0が0の場合にバッファから読み出された2Wのデータビットの下半分を選択し、アドレスビット0が1の場合にバッファから読み出された2Wのデータビットの上半分を選択することによって、データの正しい部分が得られる。図2Bの例において、計算ユニット170は、バッファ位置151および152から、2つの入力データを読み出す。

【0036】

バタフライ計算ユニット170が、それぞれワード長Wを有する2つの出力データを計算した場合に、これら2つのデータは、ワード長2Wを有する1つの連結された出力データ(y)を生成するために連結される。連結は、図に示されるようにバタフライ計算ユニット170によって行なわれてもよい。y₁およびy₂のビットを互いに隣接させて置くことは、純粋な書き込みとして実現されてもよいので、連結は、ハードウェアにおける無演算命令(“no-op”)(no operationの省略)として実現されうることにより注意されたい。

【0037】

連結された出力データyは、その後バッファ160に書き込まれる。バッファ160は、バッファ150と同様に、幾つかのバッファ位置および対応するバッファセルに分けられていてもよい。各バッファ位置は、ワード長Wのデータを格納することが可能であってもよく、アドレスにより定められるバッファ内に一定の位置を有してもよい。各バッファセルは、ワード長2Wのデータを格納することが可能であってもよく、アドレスのビット0を破棄することにより定められるバッファ内に一定の位置を有してもよい。yは2Wのワード長を有するので、連結された出力データyをバッファに格納するためには、長さ2Wのバッファセル全体が必要である。書き込み演算においては、書き込みアドレスにおけるビット0が、先に説明したように破棄される。2つのデータは連結されているので、アドレスにおいてビット0を破棄することから起こる参照により示されるバッファセルに含まれる、2つの隣接するバッファ位置に書き込まれる。従って、バッファ160へのyの書き込みは、隣接するメモリ位置への2つの出力データの書き込みと同等であり、データがどこに書き込まれるべきかを示すために1つのバッファアドレスのみ必要なので、1つの書き込み周期のみが必要となる。図2Bの例では、連結された出力データがバッファ位置161に書き込まれる。

【0038】

従って、例えば、2つの出力データを連結し、1つの書き込みアドレスを使用することによって、1つの書き込み周期において2つの出力データを書き込むことが可能である。このソリューションは、2ポートメモリを使用するよりも安価であり、メモリバンクに分けられたバッファを使用するよりも複雑ではなく、同じ量の書き込み周期を必要とする。

【0039】

従って、上記のソリューションを利用すると、中間結果は、変換計算を構成する大部分のバタフライ計算について図2Aのサイズ8のFFTの例のために示される順序では書き込まれない。代わりに、隣接するメモリ位置への2つの出力データの書き込みの結果、「偏った」(“skewed”)バタフライ構造が浮かび上がる。これが、本発明の幾つかの実施形態に従ったサイズ8のFFT計算200'が示される図2Cにおいて例示されている。

【0040】

図2Cにおいて、バッファ204、205、206、207、バッファアドレス208、および、計算段階201、202、203は、図2Aのものと同様であり、従って、同じ参照番号が付されている。図2Aにおけるように、図2Cにおいて、FFT計算の中間結果が、バッファ204、205、206に格納され、FFT計算の最終結果がバッファ

10

20

30

40

50

207に格納される。以前に述べたように、幾つかの実現は、このタスクを遂行するために、交互に入れ替わる2つのバッファ全体を使用する。

【0041】

図2Cには、本発明の実施形態が実施される際に、各読み出し周期の間にどのバッファアドレスから読み出すのかについて定めるために使用される、読み出しインデックス209'、210'、211'も示されている。図2Cでは、中間結果が図2Aと同じ位置に格納されないことに注意することが不可欠である。このことは、第1段階の後に、それぞれのバタフライ計算において利用されるデータが、図2Aと比較して異なるバッファ位置から読み出される必要があることを意味している。

【0042】

例示すると、図2Cにおいて与えられたインデックスおよびアドレスによれば、第1段階の（値が0および1の読み出しインデックス209'に対応する）第1バタフライ計算は、バッファアドレス0および4からの入力データを使用し（かつ、出力バッファのアドレス0および1にバタフライ計算の結果を書き込み）、第1段階の（値が2および3の読み出しインデックス209'に対応する）第2バタフライ計算は、アドレス2および6からの入力データを使用する（かつ、出力バッファのアドレス2および3に結果を書き込む）べきである。第2段階の（値が0および1の読み出しインデックス210'に対応する）第1バタフライ計算は、図2Cによれば、バッファアドレス0および2からの入力データを使用し、第2段階の（値が2および3のインデックス210'に対応する）第2バタフライ計算は、バッファアドレス1および3からの入力データを使用するべきである。

【0043】

実際に、図2Cのバッファアドレス208、および読み出しインデックス210'のビット表示を検討することにより、段階2では、あるバッファ位置の読み出しアドレス208が、読み出しインデックス210'のビット0と1を交換することによって見出されることに気付くであろう。さらに、段階3では、あるバッファ位置の読み出しアドレス208が、読み出しインデックス211'のビット0と2を交換することによって見出されることに気付くであろう。これは、いかなるサイズNの変換にも有効な、一般的な観察である。このように、段階M+1において、読み出しインデックスのビット0とM、M=1、2、・・・、 $(\log_2 N) - 1$ とを交換することによって、バッファ位置の読み出しアドレスが見出される。

【0044】

図2Dには、インデックス240におけるビット0（220）とビットM（230）との交換の例が示されている。図3との関連で後に説明されるように、アドレスが、ビット交換インデックス（bit-swapped index）に基づいて生成される。幾つかの実施形態において、インデックス値は、バッファのメモリ位置を示す実際のアドレスである。

【0045】

図2Dには、アドレス241におけるビットX（221）とビットX+M（231）との交換の例も示されている。これは、本発明の幾つかの実施形態に従った操作を示している。これらの実施形態において、インデックス値は、バッファの（例えば2つのメモリ位置を含む）メモリセルへの実際のアドレスである。図2Bとの関連において説明したように、1つ以上の最下位ビットが、本実施形態において、メモリセル内の2つの隣接するメモリ位置のうちの1つを選択するために使用されている。従って、これらビットは、図2Dの下例のビット交換においては含まれていない。代わりに、ビット0、・・・、X-1がメモリセル内の位置を選択するために予約され、正しい読み出しアドレスを生成するために、ビットXとX+Mとが交換される。

【0046】

図2Cを再び参照すると、第1段階における読み出しアドレスは、（以前のよう）、読み出しインデックス209'のビット順を予約し、ビット反転インデックス209'に基づいてアドレス値を生成することによって見出される。ビット反転インデックスは、そ

10

20

30

40

50

れ自身が、ビット交換インデックスとの関連で先に説明されたものと同様に、メモリ位置またはメモリセルへのアドレスであってもよい。

【0047】

本発明を実施する際に、全変換計算の結果を構成する複数のデータの、出力バッファ(207)における順序は、一般に、従来の変換計算から生じうる順序とは異なっているもよいことにも注意されたい。このことは、後続の処理が可変的であり、結果の、異なる順序に合わせるために調整されうる場合には懸念することではない。一方、後続の処理が固定のものであり、結果の、異なる順序に合わせるために調整されえない場合には、変換計算の後と後続の処理の前に、追加的な並べ替えの段階を追加することが必要であろう。このような並び替えの段階の実現に掛かるコストは、本発明を実施する際に得られる効果と比較して、ごく僅かであることが多い。

10

【0048】

図3は、本発明の幾つかの実施形態に従ったデータ処理ユニット(DPU: data processing unit)312を含む、例示的な変換計算ユニット300を示している。データ処理ユニット312は、例えば、デジタル信号プロセッサ(DSP: digital signal processor)、中央処理ユニット(CPU: central processing unit)、コプロセッサユニット、画像処理ユニット(GPU: graphics processing unit)、加速器、または、特定用途向け集積回路(ASIC: application-specific integrated

20

circuit)として実現されてもよく、または、デジタル信号プロセッサ(DSP)、中央処理ユニット(CPU)、コプロセッサユニット、画像処理ユニット(GPU)、加速器、または、特定用途向け集積回路(ASIC)内に含まれていてもよい。データ処理ユニット312は、バタフライ計算を行なうバタフライ計算ユニット(BCU: butterfly calculation unit)301を含む。バタフライ計算自体は技術において公知であり、バタフライ計算ユニットにより行なわれる計算は、現在公知の如何なる方法に従ってもよく、または、将来に発見されるバタフライ計算のための如何なる方法に従ってもよい。バタフライ計算ユニット301は、第1データバッファ302、第2データバッファ303に動作可能に接続されている(operatively connected)。データバッファ302、303は、読み出し/書き込みメモリであってもよい。本実施形態において、バタフライ計算ユニット301は、第3データバッファ304にも動作可能に接続されている。データバッファ304は、読み出し専用メモリであってもよい。第3データバッファは本発明の幾つかの実施形態において排除されてもよいことに注意されたい。データバッファ302、303、304は、データ処理ユニット312に外付けされてよく、または、代替的に、データ処理ユニット312の組み込まれた部分であってもよい。2つ以上のデータバッファは、同じメモリユニットの一部であってもよく、または、同じメモリユニットの一部でなくてもよい。データ処理ユニット312はアドレス生成器(ADDR GEN: address generator)305を含み、さらに、1つ以上のレジスタユニット(REG: register unit)306と、制御ユニット(CU: control unit)307とを含んでもよい。アドレス生成器305は、バタフライ計算ユニット301と、バッファ302、303、304とに動作可能に接続されている。制御ユニット307は、例えば、アドレス生成器305に動作可能に接続されてもよい。

30

40

【0049】

バタフライ計算ユニット301は、第1データバッファ302、および第2データバッファ303からデータを読み出す。例として、バタフライ計算ユニット301は、第1読み出し周期および第2読み出し周期それぞれにおいて、第1データバッファ302から、2つの入力データを読み出すことが可能である。このデータは、図1に示されるバタフライ計算の入力口101および102における入力データ値と対応してもよい。バタフライ計算が回転因子を含む場合に、この回転因子は、第1読み出し周期または第2読み出し周

50

期の間に、第1データバッファ302からの読み出しと並行して、バタフライ計算ユニット301によってデータバッファ304から読み出されてもよい。回転因子は、第3読み出し周期の間にバタフライ計算ユニット301によって読み出されてもよい。代替的に、回転因子は既に、例えば、1つ以上のレジスタユニット306に格納されていてもよい。複数の入力データと、回転因子とは、図3に示されるようにワード長Wであってもよい。

【0050】

バタフライ計算ユニット301は、さらに、少なくとも2つの入力データに基づいて、2つの出力データを計算する。この出力データの部分は、図1に示されるバタフライ計算の出力口103および104における出力値に対応してもよい。2つの出力データの計算の間に、中間結果、および／または、2つの出力データのうちの1つ以上が、1つ以上のレジスタユニット306に一時的に格納されてもよい。2つの出力データの計算が完了すると、1つの書き込み周期の間に、バタフライ計算ユニットによって、第2データバッファ303の隣接するメモリ位置に、2つの出力データが書き込まれる。1つの書き込み周期の間の2つの出力データの書き込みは、例えばバタフライ計算ユニット301内で、2つの出力データを連結することによって達成される。このように、バッファ303に書き込まれる出力データは、図3に示すようにワード長2Wであってもよい。以前に述べたように、連結は、ハードウェアにおける純粋な書き込みとして実現されてもよい。

【0051】

この工程は、変換計算のある段階の全てのバタフライ計算が完了するまで継続する。その後、次の段階のバタフライ計算が同じように実行される。しかし、ここでは、バタフライ計算ユニット301は、第2データバッファ303から2つの入力データを読み出し、第1データバッファ302へと2つの出力データを書き込む。

【0052】

アドレス生成器305は、データバッファ302、303のうちの1つから、入力データの第1部分および第2部分を読み出すためのアドレスを生成する。アドレスの生成は、例えば、制御ユニット307によって開始されてもよい。代替的に、アドレスの生成は、バタフライ計算ユニット301によって開始されてもよく、または、アドレス生成器は、例えば、各クロック周期の間にアドレスを生成してもよい。生成は、アドレス生成器に外付けされたユニットによるアクティブなアクションによって開始される必要はない。

【0053】

いずれの場合にせよ、アドレス生成器は、ビット交換インデックス値 (bit-swapped index value) を生成するためにインデックス値を使用する。インデックス値は、例えば、制御ユニット307またはバタフライ計算ユニット301によって、アドレス生成器に供給されてもよい。アドレス生成器305にはさらに、ビット交換モードを示す制御信号が用意されている。ビット交換モードは、ビット交換インデックス値を生成するために、インデックス値におけるどのビットが交換されるべきかについて定める。この制御信号は、接続310を通じて制御ユニット307によって、または、接続311を通じてバタフライ計算ユニット301によって供給されてもよい。制御信号は、アドレス生成のビット交換モードを構成するために、変換計算の新しい段階に入る前に活性化されてもよい。制御信号およびインデックス値は、ビット交換器 (BS: bit-swapper) 308に供給されてよく、このビット交換器308は、例えば、アドレス生成器305に不可欠であってもよい。ビット交換器308は、制御信号により示されるインデックス値においてビットを交換することによって、ビット交換インデックス (bit-swapped index) を作成してもよい。

【0054】

アドレス生成器305は、その後、ビット交換インデックスに基づいてアドレスを生成する。ビット交換インデックスの値は、それ自体がメモリ位置のうちの1つのアドレスであってもよく、または、先に説明したように、データバッファ302、303のうちの1つの、メモリセルのうちの1つのアドレスであってもよい。この場合に、アドレス生成器305は単に、生成されたアドレスとしてビット交換インデックスを出力する。

【0055】

生成されたアドレスは、バッファ302および303をアドレス指定するために利用され、バタフライ計算ユニット301は、生成されたアドレスにより示されるバッファのうちの1つのメモリ位置からデータ値を読み出す。

【0056】

アドレス生成器はさらに、ビット反転インデックス値 (bit-reversed index value) を生成する。このために、インデックス値は、ビット反転器 (BR: bit-reverser) 309によって供給されてもよく、このビット反転器309は、例えば、アドレス生成器305に不可欠であってもよい。ビット反転器309は、インデックス値におけるビットを反転させることによって、ビット反転インデックスを生成してもよい。

10

【0057】

アドレス生成器305は、その後、ビット反転インデックスに基づいてアドレスを生成する。ビット反転インデックス値は、それ自体がデータバッファ302、303、304のうちの1つの、メモリ位置のうちの1つのアドレスであってもよい。この場合、アドレス生成器305は単に、生成されたアドレスとしてビット反転インデックスを出力する。

【0058】

生成されたアドレスは、バッファ302、303、304をアドレス指定するために利用され、バタフライ計算ユニット301は、生成されたアドレスにより示されるバッファのうちの1つのメモリ位置から、データ値を読み出す。変換計算の第1段階において、バタフライ計算ユニット301は、ビット反転インデックスに基づくアドレスにより示されるバッファ302、303のうちの1つのメモリ位置から入力データ値を読み出す。

20

【0059】

ビット交換器およびビット反転器は、代替的に、1つのユニットとして実現されうることになり注意されたい。

【0060】

アドレス生成器305はさらに、連結された2つの出力データをバッファ302と303のうちの1つに書き込むための書き込みアドレスを生成してもよい。

【0061】

図4には、変換計算のための方法400がフローチャートで示されている。方法400は、例えば、図3のようなデータ処理ユニットのバタフライ計算ユニットによって、実施されうる。

30

【0062】

本方法は、ステップ410において開始し、ステップ410では、第1インデックス値がアドレス生成ユニットへと供給され、このアドレス生成ユニットは、図3のアドレス生成器305と同様であってもよく、または、アドレス生成器305と同一であってもよい。以前に述べたように、このステップは、幾つかの実現において、例えば、インデックス値が制御ユニットにより供給される場合、またはアドレス生成ユニット自体の内部で生成される場合に省略される。

【0063】

ステップ420において、第1読み出しアドレスが、例えばアドレス生成ユニットから獲得され、ステップ430において、第1入力データ値が第1読み出しアドレスにより示されるデータバッファのメモリ位置から読み出される。

40

【0064】

本法はステップ440に進み、ステップ440において、第2インデックス値が、アドレス生成ユニットに供給される。以前のように、このステップは幾つかの実現において省略される。ステップ450において、第2読み出しアドレスが獲得され、ステップ460において、第2入力データ値が、第2読み出しアドレスにより示されるデータバッファのメモリ位置から読み出される。

【0065】

50

その後、本発明の幾つかの実施形態において、1つ以上の回転因子が、ステップ470においてデータバッファから読み出されてもよく、このデータバッファは、ステップ430および460においてアドレス指定されたデータバッファと同一であってもよく、または、ステップ430および460においてアドレス指定されたデータバッファと異なってもよい。当然のことながら、このステップは、代替的に、ステップ430またはステップ460のどちらか一方と同時に実施されてもよい。

【0066】

バタフライ計算は、ステップ480において実施される。2つの得られた出力データ値は、ステップ485において連結され、ステップ490において、1つの書き込み周期の間に、データバッファの隣接するメモリ位置に書き込まれる。再度、連結はハードウェアにおける純粋な書き込みとして実現可能であり、従って、図4のフローチャートでは破線のボックスで示されていることに注意されたい。

【0067】

図5には、読み出しアドレス生成のための方法500がフローチャートで示されている。方法500は、例えば、図3のようなデータ処理ユニットのアドレス生成器によって実施されてもよい。

【0068】

本方法は、インデックス値が獲得されるステップ510において開始し、ステップ520に進む。ステップ520では、ビット交換モードが獲得される。ステップ530において、ビット交換インデックスが、インデックス値およびビット交換モードに基づいて生成される。例えば、ビット交換モードがMであり、このことが、変換計算が段階M+1を実施していることを示す場合に、ビットが図2Dに示されるように交換されうる。ステップ540において、アドレスは、ビット交換インデックスに基づいて生成され、ステップ550において、生成されたアドレスがアドレス生成器によって出力される。

【0069】

本発明の記載された実施形態およびその均等物は、デジタル信号プロセッサ(DSP)、中央処理ユニット(CPU)、コプロセッサユニット、グラフィック処理ユニット(GPU)、加速器のような汎用回路によって、または、例えば特定用途向け集積回路(ASIC)のような特殊回路によって、部分的に、または完全に実施されうる。すべてのこうした形態は、本発明の範囲内にあるものとする。本発明は、記載された実施形態のいずれかに従った1つ以上のデータ処理ユニットを含む電子装置として実現されうる。電子装置は、例えば、携帯型または手持ち型の移動無線通信機器、移動無線端末、携帯電話、ポケットベル、発信機、電子手帳、スマートフォン、コンピュータ、組込み型ドライブ、携帯型ゲーム機、または(腕)時計であってもよい。電子装置は、代替的に、通信システムにおける基地局、または、基地局コントローラであってもよい。

【0070】

図6は、先に記載した少なくとも1つの変換計算ユニット300を含む例示的な電子装置としての携帯電話600を示している。携帯電話600の正面図が示されている。この例示的な携帯電話600は、装置の筐体に取り付けられたアンテナ601を含んでいる。代替的に、携帯電話600は、装置の筐体内に取り付けられた国際アンテナを有してもよい。携帯電話600はさらに、携帯電話600を操作するためにマンマシン・インタフェース(man-machine interface)を共に提供する、ディスプレイ604、キーボード605、スピーカ602、およびマイクロホン606を含んでもよい。

【0071】

携帯電話600は、無線基地局(基地局)への無線リンクを介して移動通信ネットワークに接続する。従って、携帯電話600のユーザは、音声呼、データ通話、映像通話、およびファックス送信のような、従来の回線交換通信サービスと同様に、電子メッセージ、インターネット閲覧、電子商取引などのようなパケットに基づくサービスを利用することが可能である。このために、携帯電話は、例えば、移動通信のためのグローバルシステム(GSM)、汎用パケット無線サービス(GPRS)、EDGE(Enhanced D

10

20

30

40

50

ata rates for GSM

Evolution)、ユニバーサル移動通信システム (UMTS)、またはUMTS
LTEのような移動通信規格に則している。

【0072】

様々な実施形態を参照しながら本発明を本明細書に解説してきた。しかし、当業者は、本発明の範囲に依然として収まる、記載された実施形態に対する数多くの変形が分かるであろう。例えば、本明細書に記載される方法の実施形態は、ある一定の順序に従って実行される本方法のステップを通じて、本方法を記載している。しかし、これらのイベントのシーケンスが、本発明の範囲から逸脱することなく、他の順序で行なわれることも可能であることが認識される。さらに、本発明の実施形態の記載を通じて、特定のユニットへの機能ブロックの配分は、決して、本発明を制限するものではないことに注意されたい。反対に、これらの配分は単なる例である。1つのユニットとして本明細書に記載される機能ブロックは、2つ以上のユニットに分けられてもよい。同様に、2つ以上のユニットとして実現されるものとして本明細書に記載されている機能ブロックは、本発明の範囲を逸脱することなく、単一ユニットとして実現されてもよい。従って、当然のことながら、記載される実施形態の限定は、単に例示することを目的としており、決して制限を目的とするものではない。反対に、本発明は、添付の請求項と、その全ての妥当な均等物によってのみ制限されるものと解釈される。

10

【図 1】

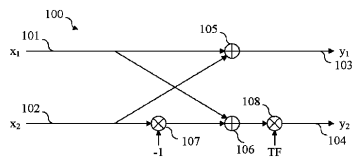


Fig. 1

【図 2 B】

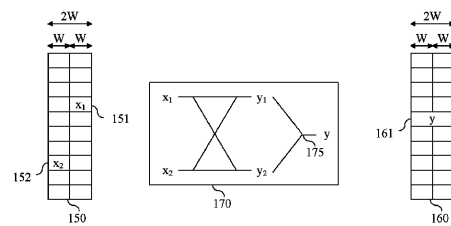


Fig. 2B

【図 2 A】

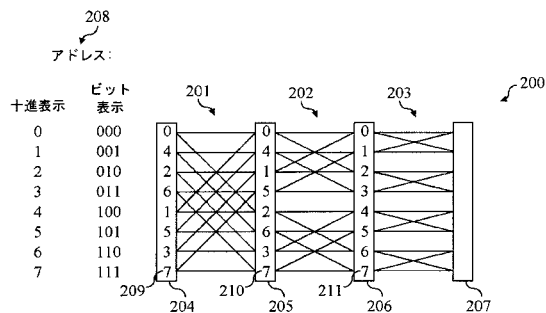


Fig. 2A

【図 2 C】

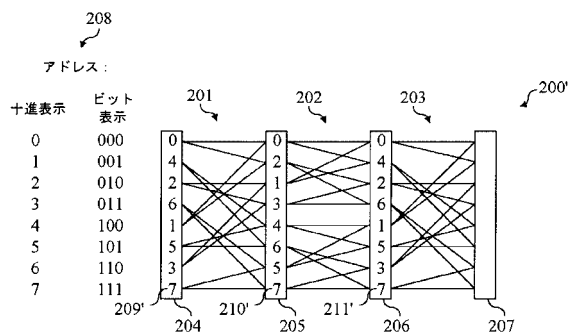


Fig. 2C

【図 2 D】

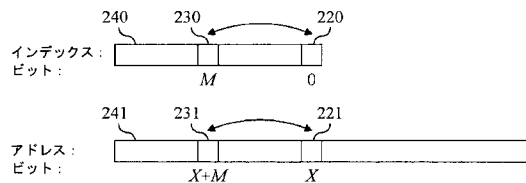


Fig. 2D

【図 3】

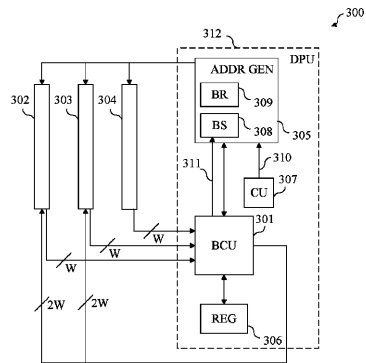


Fig. 3

【図 5】

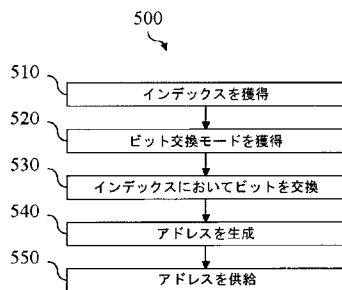


Fig. 5

【図 4】

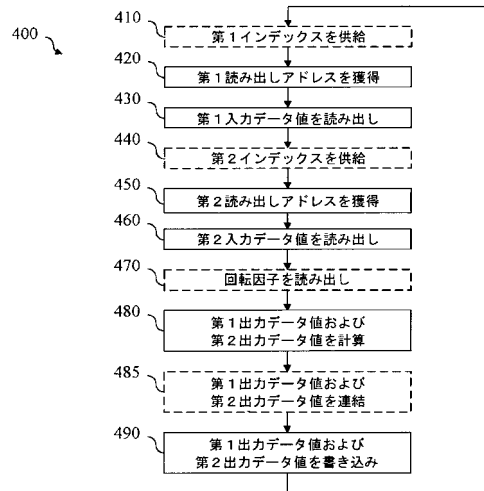


Fig. 4

【図 6】

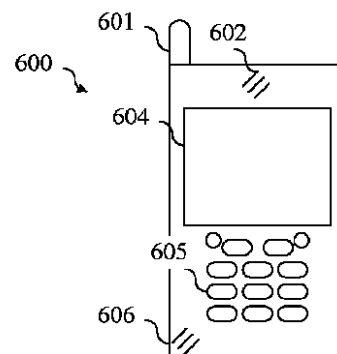


Fig. 6

フロントページの続き

(72)発明者 パーソン、ペル

スウェーデン王国 エスー247 34 セードラ サンドビー スコルヴェーゲン 4エー

審査官 篠塚 隆

(56)参考文献 特開2003-150576 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F17/14