

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3628576号
(P3628576)

(45) 発行日 平成17年3月16日(2005.3.16)

(24) 登録日 平成16年12月17日(2004.12.17)

(51) Int.Cl. ⁷	F I
H O 3 K 17/08	H O 3 K 17/08 C
G O 1 R 19/165	G O 1 R 19/165 L
G O 1 R 31/02	G O 1 R 31/02
H O 2 H 3/08	H O 2 H 3/08 T
H O 2 H 3/087	H O 2 H 3/087
請求項の数 2 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2000-32364 (P2000-32364)	(73) 特許権者	000006895
(22) 出願日	平成12年2月9日(2000.2.9)		矢崎総業株式会社
(65) 公開番号	特開2000-299625 (P2000-299625A)		東京都港区三田1丁目4番28号
(43) 公開日	平成12年10月24日(2000.10.24)	(74) 代理人	100083806
審査請求日	平成15年5月6日(2003.5.6)		弁理士 三好 秀和
(31) 優先権主張番号	特願平11-74259	(74) 代理人	100100712
(32) 優先日	平成11年2月14日(1999.2.14)		弁理士 岩▲崎▼ 幸邦
(33) 優先権主張国	日本国(JP)	(74) 代理人	100087365
			弁理士 栗原 彰
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		最終頁に続く	

(54) 【発明の名称】 微小電流検出装置

(57) 【特許請求の範囲】

【請求項1】

第1、第2の主電極及び制御電極とを有する第1の半導体素子と、
前記第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、抵抗に接続された第2の主電極とを有する第2の半導体素子と、
前記第1及び第2の半導体素子のそれぞれの主電極間電圧を比較する第1の比較手段と、
前記第1の比較手段の出力に応じて、前記第1と第2の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧手段と、
前記第1の半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と抵抗に接続された第2の主電極を有する第3の半導体素子と、
前記第1及び第3の半導体素子の主電極間電圧を比較する第2の比較手段と
前記第2、第3の半導体素子のトランジスタ幅は前記第1の半導体素子のトランジスタ幅より小さい幅に構成したこととを
特徴とするスイッチングデバイスを構成し、
前記スイッチングデバイスを他の電力供給素子と並列接続した構成にして電力供給源と負荷間に設置し、
負荷がオフ状態にある時、他の電力供給素子をオフにしてスイッチングデバイスのみを動作させて微小電流の有無を検出することを特徴とする微小電流検出装置。

【請求項2】

スイッチングデバイスのみを動作させたときのオン抵抗が他の電力供給素子のみを動作さ

せたときのオン抵抗に比べて大きな値に設定したことを特徴とする請求項１に記載の微小電流検出装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、微小電流検出機能付き半導体スイッチングデバイスに関する。

【０００２】

【従来の技術】

従来の電流検出機能を備えた半導体スイッチングデバイスとしては、例えば図８に示すようなものがある。図８に示す半導体スイッチングデバイスは電源１０１と負荷１０２の間に設置され、シャント抵抗ＲＳとパワーＦＥＴ等からなるスイッチングデバイスを直列接続した構造になっている。通常シャント抵抗とスイッチングデバイスは同一基板に組み込まれている。電流の検出はシャント抵抗両端に発生する電位差を用いて行う。負荷電流が流れるとシャント抵抗ＲＳの両端に電位差が発生し、この電位差を差動増幅器９１１、直流増幅器９１３で増幅し、Ａ／Ｄ変換器９０２を経由してマイコンが読み込み、過電流、過小電流等の判定をする。リーク電流等の微小電流もこの方法で原理的には検出できるが、検出対象の電流値が小さいため、検出感度を上げる事が課題となり、そのために、シャント抵抗の値を大きくするか、差動増幅器、直流増幅器の増幅率を高めるなどの対策が必要となる。シャント抵抗を大きくすると負荷電流が流れたときのシャント抵抗自身の発熱が大きくなることが問題になり、更にシャント抵抗で発生する電圧降下が大きくなるとその分だけ負荷に供給する電圧が低下するという問題が発生する。一方、差動増幅器、直流増幅器の増幅率を上げるとＳ／Ｎ比が悪化するため、検出精度が悪くなるという問題が生じる。このシャント抵抗を用いる方法では検出する微小電流の絶対値が小さくなればなるほど問題が顕著化し、目標達成が難しくなる。

【０００３】

半導体スイッチングデバイスは電源ＶＢから電力を負荷１０２に供給するというのが本来の機能であるが、それ以外にシャント抵抗ＲＳと負荷１０２間の配線が接地する等の故障発生時、大きな故障電流がシャント抵抗及び配線に流れるのを防止する機能、すなわち過電流保護機能を備えている。シャント抵抗を用いて電源線からのリーク電流を測定するとき、この過電流保護機能は必須となる。

【０００４】

半導体スイッチングデバイスは過熱遮断機能を内蔵する場合がある。図９に示すようにパワーデバイス（主ＦＥＴ）ＱＭ、抵抗ＲＧ、温度センサー１２１、ラッチ回路１２２及び過熱遮断用ＦＥＴＱＳを内蔵しており、温度センサー内蔵ＦＥＴＱＦの接合温度が規定以上の温度まで上昇した場合には、内蔵するゲート遮断回路によって温度センサー内蔵ＦＥＴＱＦを強制的にオフ制御する過熱遮断機能を備えている。つまり、パワーデバイス（主ＦＥＴ）ＱＭが規定以上の温度まで上昇したことが温度センサ１２１によって検出された場合には、その旨の検出情報がラッチ回路１２２に保持され、ゲート遮断回路としての過熱遮断用ＦＥＴＱＳがオン動作となることによって、パワーデバイスＱＭを強制的にオフ制御する。ここで、温度センサ１２１はポリシリコン等で構成した４個のダイオードが縦続接続されてなり、温度センサ１２１はパワーデバイスＱＭの近傍に集積化されている。パワーデバイスＱＭの温度が上昇するにつれて温度センサ１２１の４個のダイオードの順方向電圧降下が低下し、ＦＥＴＱ５１のゲート電位が“Ｌ”レベルとされる電位まで下がると、ＦＥＴＱ５１がオン状態からオフ状態に遷移する。これにより、ＦＥＴＱ５４のゲート電位が温度センサー内蔵ＦＥＴＱＡのゲート制御端子Ｇの電位にプルアップされ、ＦＥＴＱ５４がオフ状態からオン状態に遷移して、ラッチ回路１２２に“１”がラッチされることとなる。このとき、ラッチ回路１２２の出力が“Ｈ”レベルとなって過熱遮断用ＦＥＴＱＳがオフ状態からオン状態に遷移するので、パワーデバイスＱＭの真のゲートＴＧとソースＳ間が短絡されて、パワーデバイスＱＭがオン状態からオフ状態に遷移して、過熱遮断されることとなる。

10

20

30

40

50

【0005】

図8において、ZD1は温度センサー内蔵FETQFのゲート端子Gとソース端子S間を12Vに保って、パワーデバイスQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせるツェナーダイオードである。ドライバ901は、電流モニタ回路としての差動増幅器911、913と、電流制限回路としての差動増幅器912と、チャージポンプ回路915と、マイコン903からのオン／オフ制御信号および電流制限回路からの過電流判定結果に基づき、内部抵抗RGを介して温度センサー内蔵FETQFの真のゲートTGを駆動する駆動回路914を備えて構成されている。シャント抵抗RSの電圧降下に基づき差動増幅器912を介して、電流が判定値（上限）を超えたとして過電流が検出された場合には、駆動回路914によって温度センサー内蔵FETQFをオフ動作とし、その後電流が低下して判定値（下限）を下回ったら温度センサー内蔵FETQFをオン動作させる。一方、マイコン903は、電流モニタ回路（差動増幅器911、913）を介して電流を常時モニタしており、正常値を上回る異常電流が流れていれば、温度センサー内蔵FETQFの駆動信号をオフすることにより温度センサー内蔵FETQFをオフ動作させる。なお、マイコン903からオフ制御の駆動信号が出力される前に、温度センサー内蔵FETQFの温度が規定値を超えていれば、過熱遮断機能によって温度センサー内蔵FETQFはオフ動作となる。

10

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来の電流検出機能付きスイッチングデバイスでは、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗RSを必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視できないという問題点がある。

20

【0007】

検出対象電流が微少のためシャント抵抗値を大きくしたいが、大電流を流す電力供給線でシャント抵抗値を大きくすると発熱が問題になり、発熱を避けるためシャント抵抗値を小さくすると微少電流の検出精度が悪くなるというジレンマがあった。

【0008】

また、電流をシャント抵抗の電圧降下量で検出するため、シャント抵抗RSやA/D変換器902、マイコン903等からなる電流モニタ回路が必要となり、このため大きな実装スペースを要し、また、これらの比較的高価な物品により装置コストが高くなってしまいうという問題点もある。

30

【0009】

一方、負荷がオフ状態であっても、電源と負荷を結ぶ電力供給線に被覆磨耗による接地や、被水による電蝕などが起こるとリーク電流が流れ、そのまま放置するとリーク電流が増加して発火に至る事がある。このため、負荷がオフ状態の時の微少なリーク電流を監視したいという強いニーズがある。

【0010】

本発明の目的は、微少リーク電流検出を行うために電力の供給経路に直接接続されるシャント抵抗を不要として装置の熱損失を抑え、集積化が容易で安価な微少電流検出機能付きの半導体スイッチングデバイスを提供する事にある。

40

【0011】

【課題を解決するための手段】

上記問題点を達成するための本発明の特徴は、第1と第2の主電極及び制御電極とを有する第1の半導体素子と、この第1の半導体素子の第1の主電極と制御電極にそれぞれ接続された第1の主電極と制御電極と抵抗に接続された第2の主電極とを有する第2の半導体素子と、第1及び第2の半導体素子のそれぞれの主電極間電圧を比較する第1の比較手段と、この第1の比較手段の出力に応じて第1と第2の半導体素子のそれぞれの制御電極に制御電圧を供給する制御電圧手段と、第1の半導体素子の第1の主電極と制御電極にそれぞれ接続された第1の主電極と制御電極と抵抗に接続された第2の主電極を有する第3の半導体素子と、第1及び第3の半導体素子の主電極間電圧を比較する第2の比較手段とを

50

有し、第2と第3の半導体素子のトランジスタ幅は第1の半導体素子のトランジスタ幅より小さい幅に構成したスイッチングデバイスを構成することで、さらに、このスイッチングデバイスを他の電力供給素子と並列接続した構成にして電力供給源と負荷間に設置し、負荷がオフ状態にある時、他の電力供給素子をオフにしてスイッチングデバイスのみを動作させて微少電流の有無を検出する微少電流検出装置であることである。

【0012】

ここで、「第1乃至第3の半導体素子」としては、FETや静電誘導型トランジスタ(SIT)あるいはバイポーラトランジスタ(BJT)が使用可能である。また、エミッタスイッチド・サイリスタ(EST)、MOS制御サイリスタ(MCT)等のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。これらの半導体素子はnチャネル型でもpチャネル型でもかまわない。また「第1主電極」とは、BJTやIGBTにおいてはエミッタ電極又はコレクタ電極のいずれか一方、MOSFETやMOS SIT等のIGFETにおいてはソース電極又はドレイン電極のいずれか一方を意味する。「第2主電極」とは、BJTやIGBTにおいては上記第1主電極とはならないエミッタ電極又はコレクタ電極のいずれか一方、IGFETにおいては上記第1主電極とはならないソース電極又はドレイン電極のいずれか一方を意味する。すなわち、第1主電極が、エミッタ電極であれば、第2主電極はコレクタ電極であり、第1主電極がソース電極であれば、第2主電極はドレイン電極である。また、「制御電極」とはBJTのベース電極、IGBT及びIGFETのゲート電極を意味することは勿論である。

【0013】

「電力供給素子」(以下では「電流振動型遮断機能付きスイッチングデバイス」という。)を構成する第1の半導体素子として例えばパワーMOSFETを使用した場合、第1の半導体素子の端子間電圧と第2の半導体素子の端子間電圧(基準電圧)との差を検出することによって、電力供給経路の一部を成す第1の半導体素子の端子間電圧(即ち、電力供給経路の電流)が正常状態から逸脱している程度を判定する。したがって、電流振動型遮断機能付きスイッチングデバイスを並列に接続すれば大電流にも対応でき、微弱な電流を検出したい場合にもこの電流で生じる電圧を任意に設定可能な基準電圧とすればよい。

【0014】

すなわち、電流検出を行うために電力の供給経路に直列接続される従来のようなシャント抵抗を不要として装置の熱損失を抑えることができ、また、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流をも判定可能である。さらに、シャント抵抗を用いずに過電流の検出が可能であり、特に半導体スイッチングデバイスのオン／オフ制御をハードウェア回路で構成した場合はマイコンも不要であるため、実装スペースを縮小できるとともに、装置コストを大幅に削減可能である。

【0015】

「微少電流検出回路」とは、微少電流検出機能を備えた電流振動型遮断機能付きスイッチングデバイスであってもよく。以下では、同等のデバイスとして扱う。

【0016】

本発明の特徴は、スイッチングデバイスのみを動作させたときのオン抵抗が他の電力供給素子のみを動作させたときのオン抵抗に比べて大きな値に設定したことにより一層効果的である。このことにより、スイッチングデバイス間の発生電圧を大きくでき、微少電流検出精度を向上できる。

【0017】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態としてスイッチングデバイスを説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0018】

図1は本発明の実施の形態に係るスイッチングデバイスの構成図である。本発明の実施の形態に係るスイッチングデバイスは複数の負荷102を駆動するための電流を流す電流振

10

20

30

40

50

動型遮断機能付きスイッチング・デバイス110a、110b、110cとリーク電流が検出可能な微少電流検出用の電流振動型遮断機能付きスイッチング・デバイス114が並列接続されている。この並列接続は負荷102と電源VBの接続経路に挿入される。電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cの端子T2はSW1と抵抗R10に接続される。SW1の他端は接地され、R10の他端は電源VBに接続される。スイッチング・デバイス114の端子T12はSW11と抵抗R101に接続される。SW11の他端は接地され、R101の他端は電源VBに接続される。SW1がオンするとスイッチング・デバイス110a、110b、110cが導通する。複数の負荷102はそれぞれ図示されないスイッチが内蔵されており、これらのスイッチがオンすると負荷102には電流が流れる。複数の負荷102が全てオフの時はSW1がオンであっても正常な負荷電流は流れない。この状態で、SW1をオフ、SW11をオンするとスイッチング・デバイス110a、110b、110cは遮断され、スイッチング・デバイス114は導通する。このときスイッチング・デバイス114と負荷102の間の配線及び負荷102自身にリーク電流が無ければ、スイッチング・デバイス114には電流が流れない。もし、スイッチング・デバイス114と負荷102の間の配線から又は負荷102自身からリーク電流が流れていれば、スイッチング・デバイス114にはそれらのリーク電流の合計電流が流れるので、これによりリーク電流の検出が可能となる。電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cの並列接続する数は負荷に流す電流値等に依存し、電流値が大きいときは並列接続する数を多くする。これはスイッチングデバイスでの電圧降下を大きくしないためである。なお、図中のヒューズFLは本発明において必ずしも必要なものではない。さらに、SW1がオンでSW11がオフの状態では、電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cの端子T1、T3間が導通し、負荷102に電源電圧が印可される。複数の負荷102はそれぞれ独自のスイッチを備えており、それらのスイッチがオンであれば負荷102は駆動されるし、オフであれば電源電圧は印可されるものの負荷は駆動されない。すなわち、スイッチング・デバイス110a、110b、110cは負荷102に電源電圧を印可するためのデバイスで負荷102をスイッチングするものではない。SW1がオフでSW11がオンの状態では電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cの端子T1、T3間が遮断され負荷102には電源電圧が印可されない。このとき負荷102の各スイッチがオフであれば、微少電流検出用の電流振動型遮断機能付きスイッチング・デバイス114の端子T11とT13間を流れる電流は負荷側のリーク電流のみとなり、スイッチング・デバイス114はこのリーク電流を基準値と比較し、判定結果を出力する。負荷102のスイッチが一つでもオンしている場合は負荷駆動電流がリーク電流に重畳してスイッチング・デバイス114を流れるので、リーク電流の検出ができない。電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cは負荷電流が流れるときの電圧降下を小さくするのが役目である。これらの素子がリーク電流検出のときも導通しているとリーク電流が分散して流れ、114を流れるリーク電流が減少して検出精度が低下する。リーク電流を検出するときは全てのリーク電流がスイッチング・デバイス114を流れるようにしたいので、このような回路構成にしている。

【0019】

図2は本発明の実施の形態に係るスイッチングデバイスで使用する電流振動型遮断機能付きスイッチング・デバイス110の回路構成図である。図1の電流振動型遮断機能付きスイッチング・デバイス110a、110b、110cがこれに該当する。電流振動型遮断機能付きスイッチング・デバイス110は主デバイス（パワーデバイス）となる第1の半導体素子QAとこの主デバイス（第1の半導体素子）QAの異常電流を検知して、異常電流発生時には主デバイスQAをオン／オフ制御して電流振動を生成し、この電流振動により、主デバイスQAを遮断する制御回路とを同一基板上に集積化した半導体集積回路である。基板としてセラミック、ガラスエポキシ等の絶縁性基板や絶縁金属基板等を用いたハイブリッドICの形態でも良いが、より好ましくは、同一半導体基板（同一チップ）上に

10

20

30

40

50

モノリシックに集積化したパワー I C とすればよい。

【0020】

このパワー I C は、出力電圧 V B を供給する電源 1 0 1 とランプ等の負荷 1 0 2 との間に接続されて動作する。図 2 においては、パワー I C の主デバイス（パワーデバイス）として、感熱遮断機能を有した半導体スイッチング素子 Q A を用いている。感熱遮断機能を有した半導体スイッチング素子 Q A としては、例えば、図 9 に示した温度センサー内蔵 F E T Q A を用いればよい（以下の本発明の実施の形態においては、温度センサー内蔵 F E T を用いる場合で説明する）。なお、後述の説明から理解できるように感熱遮断機能は必須ではない。半導体スイッチング素子（第 1 の半導体素子）Q A は、第 1、第 2 の主電極及び制御電極とを有する。この第 1 の半導体素子としては、例えば、D M O S 構造、V M O S 構造、或いは U M O S 構造のパワー M O S F E T やこれらと類似な構造の M O S S I T が使用可能である。また、E S T や M C T 等の M O S 複合型デバイスや I G B T 等の他の絶縁ゲート型パワーデバイスが使用可能である。更に、常にゲートを逆バイアスで使うのであれば、接合型 F E T、接合型 S I T や S I サイリスタ等も使用可能である。このパワー I C の主デバイス（パワーデバイス）としての半導体スイッチング素子 Q A は n チャネル型でも p チャネル型でもかまわない。即ち、電流振動型遮断機能付きスイッチング・デバイス 1 1 0 は、n チャネル型及び p チャネル型の両方が存在する。

10

【0021】

図 2 においては、同一半導体基板上にモノリシックに集積化された n チャネル型電流振動型遮断機能付きスイッチング・デバイス 1 1 0 について説明する。図 2 に示すように、電流振動型遮断機能付きスイッチング・デバイスの制御回路は主デバイス（第 1 の半導体素子）Q A と並列接続された第 1 の基準デバイス（第 2 の半導体素子）としての F E T Q B、主デバイス Q A の主電極間電圧と基準デバイス Q B の主電極間電圧とを比較する比較手段（C M P 1）と、この比較手段（C M P 1）の出力に応じて、主デバイス Q A 及び基準デバイス Q B の制御電極に制御電圧を供給する制御電圧供給手段となる駆動回路 1 1 1 とを少なくとも具備している。ここで、第 1 と第 2 の半導体素子 Q A、Q B は、それぞれ第 1 及び第 2 主電極からなる主電極対をそれぞれ一組ずつ有する。「第 1 主電極領域」とは、I G B T においてエミッタ領域又はコレクタ領域のいずれか一方、パワー M O S F E T やパワー M O S S I T 等の I G F E T（パワー I G F E T）においてはソース領域又はドレイン領域のいずれか一方を意味する。「第 2 主電極領域」とは、I G B T においては上記第 1 主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、パワー I G F E T においては上記第 1 主電極領域とはならないソース領域又はドレイン領域のいずれか一方を意味する。すなわち、第 1 主電極領域が、エミッタ領域であれば、第 2 主電極領域はコレクタ領域であり、第 1 主電極領域がソース領域であれば、第 2 主電極領域はドレイン領域である。また、「制御電極」とは I G B T 及びパワー I G F E T のゲート電極を意味することは勿論である。主デバイス Q A と同様な電流電圧特性を有する第 2 の半導体素子 Q B についても、同様に「主電極」及び「制御電極」が定義される。

20

30

【0022】

主デバイス（第 1 の半導体素子）としての温度センサー内蔵 F E T Q A は、たとえば、図 1 1 に示すようなパワーデバイス（主 F E T）Q M、このパワーデバイス Q M の真のゲートに接続した抵抗 R G、温度センサ 1 2 1、温度センサ 1 2 1 にゲートを接続した F E T Q 5 1、この F E T Q 5 1 の出力側に接続されたラッチ回路 1 2 2 およびラッチ回路 1 2 2 の出力側にゲートを接続した過熱遮断用 F E T Q S を具備した回路から構成されている。過熱遮断用 F E T Q S の出力側にパワーデバイス Q M の真のゲートが接続されている。この温度センサー内蔵 F E T Q A の主 F E T Q M は、例えば、複数個のユニットセル（単位セル）が並列接続されたマルチ・チャネル構造のパワーデバイスを採用すればよい。そして、この温度センサー内蔵 F E T Q A の主 F E T（パワーデバイス）Q M に並列接続されるように、第 2 及び第 3 の半導体素子 Q B、Q C が、温度センサー内蔵 F E T Q A に隣接する位置に配置されている。この第 2 の半導体素子 Q B には、温度センサ、ラッチ回路あるいは過熱遮断用 F E T Q S 等の基準デバイスを過熱遮断するための回路は必須ではな

40

50

い。第2の半導体素子Q_Bが、主デバイス（主FET）Q_Mと同一プロセスで、隣接位置に配置されているので、温度ドリフトやロット間の不均一性の影響による互いの電気的特性のバラツキを除去（削減）できる。第2の半導体素子Q_Bの電流容量が主FETの電流容量よりも小さくなるように、第2の半導体素子Q_Bを構成する並列接続のユニットセル数を調整している。例えば、第2の半導体素子Q_Bのユニットセル数1に対して、主デバイス（主FET）Q_Mのユニットセル数を1000となるように構成することにより、第2の半導体素子Q_Bと第1の半導体素子Q_Mのチャンネル幅Wの比を1：1000としている。また、温度センサ121は、第2の半導体素子Q_B及び第1の半導体素子Q_Mの上部に形成された層間絶縁膜の上部に堆積されたポリシリコン薄膜等で構成した複数のダイオードが直列接続により構成され、温度センサ121をパワーデバイスQ_Mのチャンネル領域の近傍の位置に集積化している。パワーデバイスQ_Mの温度が上昇するにつれて温度センサ121の4個のダイオードの順方向電圧降下が低下し、FETQ₅₁のゲート電位が“L”レベルとされる電位まで下がると、FETQ₅₁がオン状態からオフ状態に遷移する。これにより、FETQ₅₄のゲート電位が温度センサー内蔵FETQ_Aのゲート制御端子Gの電位にプルアップされ、FETQ₅₄がオフ状態からオン状態に遷移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用FETQ_Sがオフ状態からオン状態に遷移するので、パワーデバイスQ_Mの真のゲートTGとソースS間が短絡されて、パワーデバイスQ_Mがオン状態からオフ状態に遷移して、過熱遮断されることとなる。

10

【0023】

20

電流振動型遮断機能付きスイッチング・デバイス110は、より具体的には、図2に示すように、第2の半導体素子Q_B、抵抗R₁、R₂、R₅、R₈、R_G、R_r、ツェナーダイオードZD₁、ダイオードD₁、比較手段としての比較器CMP₁、制御電圧供給手段としての駆動回路111を、主デバイス（第1の半導体素子）Q_Aと共に同一半導体基板（半導体チップ）110上にモノリシックに搭載している。図2において、ツェナーダイオードZD₁は温度センサー内蔵FETQ_Aのゲート端子Gとソース端子S間を12Vに保って、パワーデバイスQ_Aの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせる機能を有する。更に半導体チップ110の外部には、抵抗R₁₀及びスイッチSW₁を備えている。また、抵抗R_rが半導体チップ110の外部に設けられていてもよい。

30

【0024】

制御電圧供給手段としての駆動回路111には、コレクタ側が電位V_Pに接続されたソーストランジスタQ₅と、エミッタ側が接地電位（GND）に接続されたシンクトランジスタQ₆とを直列接続して備え、スイッチSW₁のオン／オフ切換えによる切換え信号に基づき、ソーストランジスタQ₅およびシンクトランジスタQ₆をオン・オフ制御して、主デバイス（温度センサー内蔵FET）Q_A及び基準デバイスQ_Bの制御電極にこれらを駆動制御する信号を出力する。図2に示すBJTの代わりにMOSFETで駆動回路111を構成しても良い。例えば、CMOSで、駆動回路111を構成することも可能である。MOSFETで駆動回路111を構成すれば、簡単なMOSFETの製造プロセスでパワーIC（電流振動型遮断機能付きスイッチング・デバイス）を製造することが可能となる。また、BJTで駆動回路111を構成すれば、BIMOS製造プロセスでパワーICを製造することができる。電源101の出力電圧V_Bは、例えば12Vで、チャージポンプの出力電圧V_Pは、例えばV_B+10Vである。

40

【0025】

主デバイス（第1の半導体素子）Q_Aの第1主電極（ドレイン電極）と第2の半導体素子Q_Bの第1主電極（ドレイン電極）とは互いに接続され共通電位に維持されている。さらに、第2の半導体素子Q_Bの第2主電極（ソース電極）には基準抵抗R_rが接続されている。基準抵抗R_rの抵抗値は、第2の半導体素子Q_Bと主デバイス（第1の半導体素子）Q_Mのチャンネル幅Wの比に応じて選定すればよい。例えば、上述したように、第2の半導体素子Q_Bと主デバイス（主FET）Q_Aのチャンネル幅Wの比を1：1000とした場合

50

は、負荷 102 の過負荷状態の抵抗値の 1000 倍の値となるように設定しておけばよい。この基準抵抗 R_r の設定により、温度センサー内蔵 FETQA に異常動作の過負荷電流が流れたときと同じドレインソース間電圧 V_{DS} を第 2 の半導体素子 QB に発生させることができる。

【0026】

主デバイス（第 1 の半導体素子）QA の第 1 主電極（ドレイン電極）と第 2 主電極（ソース電極）間には抵抗 R_1 と抵抗 R_2 との直列回路が接続されている。図 2 に示す比較器 CMP1 の“+”入力端子には、温度センサー内蔵 FETQA の主電極間電圧（ドレインドソース間電圧） V_{DS} を抵抗 R_1 と抵抗 R_2 とで分圧した電圧が抵抗 R_5 を介して供給されている。また、比較器 CMP1 の“-”入力端子には、FET（第 2 の半導体素子）QB のソース電圧 V_S が供給されている。“+”端子電圧 > “-”端子電圧のとき CMP1 の出力は“H”レベルとなり、駆動回路 111 はゲートに電圧を供給し、逆の場合は CMP1 の出力は“L”レベルとなってゲート駆動をオフする。なお、後述のように、比較器 CMP1 は一定のヒステリシスを持っている。

10

【0027】

図 3 は、本発明の実施形態に係るスイッチングデバイスで使用する電流振動型遮断機能付きスイッチング・デバイスの 1 チップ化の際の最小領域の配置図である。最小領域 113 は、図 2 の点線で囲まれた小さい方の領域 113 であり、FETQA と QB を備えている。図 2 に示すように FETQA と QB は、同一のトランジスタセル 119 で構成される。トランジスタセル 119 のゲート電極（図示省略）は、QA である QB であるに関係なくセル 119 同士で接続され図 2 の端子 T9 に引き出されている。ドレイン電極（図示省略）も、QA である QB であるに関係なくセル 119 同士で接続され図 2 の端子 T6 に引き出されている。QA は、80 個のセル 119 で構成され、QA を構成するセル 119 はソース電極 118 同士が接続されており、端子 T7 に引き出されている。QB は、1 個のセル 119 で構成され、このセル 119 のソース電極 118 は、端子 T8 と T10 に引き出されている。

20

【0028】

図 3 では、QB と QA のセルの数の比を 1 : 80 としたが、例えば QB と QA のチャネル幅 W の比を 1 : 1000 としたい場合は、セルの数の比を 1 : 1000 にすればよく、具体的には、1001 個の整数倍 1001 個とか 4004 個のセルを格子状に配置すればよい。なお、図 3 の 81 個のセル 119 は同一チップ上に近接して設けられることが好ましい。このことにより、同一製造装置で同時に処理できるので、処理毎に製造条件がばらついたとしても、同一チップ内のセル同士はばらついたなりの一定の条件で処理することができ、セル同士の構造は均一化できるからである。さらに、セル同士を近接して配置することにより、チップ内の配置場所によって生じる製造装置の処理むらがあっても、同一チップ内のセル同士はむらがあるなりの一定の条件で処理することができ、セル同士の構造は均一化できる。また、QB 用のセル 119 として 81 個のセル 119 の中央に配置されたセル 119 を用いている。これは、QB 用のセル 119 としては、81 個のセル 119 の平均的な電気特性を有するセルを選択したいためで、電気特性の配置位置の依存性がチップの大きさ程度以上であれば、中央に平均的なセルが配置されるからである。

30

40

【0029】

また、QA をオンし電流を流すと対応する 80 個のセル 119 に電流が流れ発熱する。各セルでの発熱量が等量であるとしても、四方をセル 119 で囲まれた中央部に位置するセル 119 と、外周部に位置するセル 119 とでは放熱の経路が異なるため温度差が生じる。この温度差によってセル 119 の電気特性に差が生じる。QB 用のセル 119 は QA のセルと同じ温度で使用し同じ電気特性を得たいので、QB 用のセル 119 は温度が低下する外周部に配置されるべきではない。なお、QB 用のセル 119 にも QA 用のセル 119 に流れる電流とほぼ等しい電流が流れるので、発熱量は QA 用のセルとほぼ等しい。微小電流検出素子としての動作では電流が小さいから発熱の問題は無い。

【0030】

50

図4は本発明の実施の形態に係るスイッチングデバイスで使用するリーク電流が検出可能な微少電流検出の機能を付加した電流振動型遮断機能付きスイッチング・デバイス114の回路構成図である。図2に比較し、第2リファレンスFETQC、コンパレータCMP2と第2基準抵抗Rr2が付加され、微少電流検出の機能を実現する回路が構成されている。抵抗Rr2の抵抗値は、主デバイスQAにリーク電流判定値に相当する電流が流れるときの負荷抵抗値にチャネル幅Wの比を乗じた値とする。例えば、電源電圧12Vの時60mAをリーク電流判定値とすれば、このときの負荷抵抗値は200Ωとなるので、チャネル幅比1:1000の場合、抵抗Rr2は200KΩとなる。QCのドレイン及びゲートはそれぞれQAのドレイン及びゲートに接続され、QCのソースは抵抗Rr2の一方の端子に接続され、抵抗Rr2の他の端子は接地されている。CMP2の+の入力端子にはQAのソース電圧が印可され、-の端子にはQCのソース電圧が印可される。そして、一端に印可される電圧より+端子の印可される電圧の方が大きいときは出力はハイレベルとなり、このことは、QAにおける電圧降下が小さく、検出しようとする微少電流（例えばリーク電流）が判定値以下であることを示すことになる。逆に、一端に印可される電圧より+端子の印可される電圧の方が小さいときは出力はロウレベルとなり、このことは、QAにおける電圧降下が大きく、検出しようとする微少電流が判定値以上であることを示すことになる。このことは、抵抗Rr2の抵抗値を大きくすることにより、QCでの電圧降下を小さくできるので微少電流の判定値を小さくすることができ、リーク電流の検出感度をあげることができる。なお、図4の点線で囲った部分110fはアナログ集積化されるチップの部分を示す。

10

20

【0031】

図4のQAとQCが、本発明の実施形態に係るスイッチングデバイスで使用するリーク電流が検出可能な微少電流検出の機能を付加した電流振動型遮断機能付きスイッチング・デバイスの1チップ化の際に搭載される必須の素子である。QAとQCのチップ上の配置は、図3のQBをQCに書き換えた図である。すなわち、QAとQCも、同一のトランジスタセル119で構成され、セル119同士間も図3と同様に接続される。ここで、微少電流（リーク電流）と微少電流判定値の差 ΔI_D 、QAのオン抵抗 R_{on} より、CMP2は $\Delta I_D \times R_{on}$ を検出しているのである。これより、 ΔI_D が同じでも R_{on} が大きいほど発生電圧は大きくなり、微少電流検出精度は向上する。 R_{on} を大きくするには、QAとして使用されるセル119の数を減らしたり、セル119のオン抵抗を大きくするためにチャネル長を長くしたり不純物濃度を下げて半導体基板の抵抗を大きくしたりすればよい。そして、図1のように構成すれば、微少電流検出素子は電力供給を必要としないから、 R_{on} の値を大きくすることができるので、微少電流の検出精度を上げることができる。

30

【0032】

図4において、ZD1は温度センサ内蔵スイッチング素子QA（図12に詳述）のゲート端子Gとソース端子S間を12Vに保って、スイッチング素子QAに集積化された主MOSTランジスタQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせるツェナーダイオードである。

【0033】

図5は、電流振動型遮断機能付きスイッチング・デバイスの主デバイス（第1の半導体素子）QAに着目した、概念的な等価回路図である。主デバイス（第1の半導体素子）としての温度センサ内蔵FETQAの等価回路を、等価電流源 $g_m \cdot v_i$ 、ドレイン抵抗 r_d 、ゲート・ソース間容量 C_{GS} 、ゲート・ドレイン間容量 C_{GD} 及びドレイン・ソース間容量 C_{DS} を用いて簡略化して示している。この温度センサ内蔵FETQAの等価回路を使用した場合、電源101から負荷102への電力供給経路は、図5に示すような回路として表される。負荷102には電力供給経路の配線インダクタンスLUと配線抵抗RUとを含む。

40

【0034】

図6には、このような電力供給経路の一部を成す温度センサ内蔵FETQAのドレイン

50

ーソース間電圧 V_{DS} のオフ状態からオン状態へ遷移する際の立ち下がり電圧特性を、負荷 102 が短絡の場合、基準負荷（通常動作）の場合、負荷 102 が抵抗 $1\text{ K}\Omega$ の場合について示す過渡応答カーブである。立ち下がり特性は、電流振動型遮断機能付きスイッチング・デバイスを含めた電力供給経路全体のインピーダンス、例えば、経路が持つ配線インダクタンス、配線抵抗に応じた過渡応答をする。

【0035】

先ず、図 5 の負荷 102 の抵抗が $1\text{ K}\Omega$ のときのドレインーソース間電圧 V_{DS} の変化について、次のように考察できる。つまり、この測定で用いた温度センサー内蔵 FETQA（日立製の「HAF2001」）の特性により、ドレイン電流 $I_D = 12\text{ mA}$ において、真のゲートーソース間電圧 V_{TGS} は、ほぼしきい値電圧 1.6 V に維持される。そして、駆動回路 111 による温度センサー内蔵 FETQA の真のゲート TG への充電は継続されるから、このまま行くと真のゲートーソース間電圧 V_{TGS} は上昇して行ってしまうが、ドレインーソース間電圧 V_{DS} が低下して、真のゲートドレイン間の容量値 C_{GD} を増大させるので、真のゲートーソース間電圧 V_{TGS} に達する電荷を吸収してしまうことになる。即ち、ドレインーソース間電圧 V_{DS} は真のゲートーソース間電圧 V_{TGS} に達した電荷が電位上昇を生じさせないだけの容量を発生させ、真のゲートーソース間電圧 V_{TGS} は約 1.6 V に維持される。つまり、温度センサー内蔵 FETQA がオン状態に遷移した後の各経過時点で、駆動回路 111 によってゲート G に送られる充電電荷を吸収し、真のゲート TG の電圧 V_{TGS} を一定に保つようなドレインーソース間電圧 V_{DS} となる。

【0036】

即ち、負荷抵抗が $1\text{ K}\Omega$ より小さい負荷 R に対応するドレインーソース間電圧 V_{DS} の図 6 の負荷抵抗 $= 1\text{ K}\Omega$ の時の曲線からの差を $\Delta V_{DS\text{ GAP}}$ とし、その時点における負荷 R に対応する真のゲートーソース間電圧を $V_{TGS\text{ R}}$ とすると、式 (7) の Q_{GD} 分の電荷を真のゲートーソース間電圧 $V_{TGS\text{ R}}$ から引き去れば、真のゲートーソース間電圧 $V_{TGS\text{ R}}$ は 1.6 V になることを意味する。

【0037】

【数 1】

$$Q_{GD} = \Delta V_{DS\text{ GAP}} \times C_{GD} + (V_{TGS\text{ R}} - 1.6\text{ V}) \times C_{GS} \quad \dots\dots (7)$$

換言すれば、真のゲートーソース間電圧 V_{TGS} は 1.6 V からこの電荷 Q_{GD} 分だけ電位が上昇していることを意味する。このことを式で示せば次式となる。

【0038】

【数 2】

$$\begin{aligned} & (V_{TGS\text{ R}} - 1.6) \times C_{GS} \\ & + \{ (V_{TGS\text{ R}} - 1.6) - \Delta V_{DS\text{ GAP}} \} \times C_{GD} \\ = & \{ \Delta V_{DS\text{ GAP}} - (V_{TGS\text{ R}} - 1.6) \} \times C_{GD} \\ & (V_{TGS\text{ R}} - 1.6) (C_{GS} + 2C_{GD}) = \Delta V_{DS\text{ GAP}} \times 2C_{GD} \end{aligned}$$

これより次式 (1) が得られる。

【0039】

$$\Delta V_{DS\text{ GAP}} = (V_{TGS\text{ R}} - 1.6) (C_{GS} / 2C_{GD} + 1) \quad \dots\dots (1)$$

即ち、 $\Delta V_{DS\text{ GAP}}$ は $(V_{TGS\text{ R}} - 1.6\text{ V})$ に比例する。なお、ドレイン電流 I_D がゼロの時は真のゲートを充電する回路およびミラー容量だけでドレインーソース間電圧 V_{DS} の曲線が決まるが、ドレイン電流 I_D が流れると、回路全体のインダクタンス L_C により逆起電力が発生し、負荷抵抗が増大したと同じ効果を与える。従って、電流 I_D が

変化しているときはインダクタンス等価抵抗が発生し、デッドショートのように負荷の純抵抗値が非常に小さくなっても負荷の等価抵抗値は回路インダクタンスで決まる一定値以下には下がらず、ドレイン電流 I_{DQ} の立ち上がり勾配は一定値に収斂し、したがって真のゲートソース間電圧 V_{TGS} の曲線も収れんすることとなる。

【0040】

本発明の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの第2の半導体素子 (FET) QBと主デバイス (主FET) QAのチャネル幅Wの比を1:1000とした場合は、温度センサー内蔵FETQAのドレイン電流として $I_{DQA} = 5A$ 、FETQBのドレイン電流として $I_{DQB} = 5mA$ がそれぞれ流れているときは、温度センサー内蔵FETQAおよびFETQBのそれぞれのドレインソース間電圧 V_{DS} と真のゲートソース間電圧 V_{TGS} は一致する。即ち、 $V_{DSA} = V_{DSB}$ 、 $V_{TGS A} = V_{TGS B}$ となる。ここで、 V_{DSA} 、 V_{DSB} はそれぞれ温度センサー内蔵FETQA、FETQBのドレインソース間電圧であり、 $V_{TGS A}$ 、 $V_{TGS B}$ はそれぞれ温度センサー内蔵FETQA、FETQBの真のゲートソース間電圧である。

10

【0041】

したがって、FETQBが完全にオン状態に遷移しているときは、第1の基準抵抗 R_{r1} の両端にはば電源電圧VBが印加されるから、温度センサー内蔵FETQAに接続する5Aの負荷に等価なFETQBの負荷として、第1の基準抵抗 R_{r1} の抵抗値は、 $R_{r1} = 12V / 5mA = 2.4K\Omega$ として決定される。

【0042】

20

次に、3極間特性領域における本発明の実施の形態に係る電流振動型遮断機能付きスイッチング・デバイスの動作について説明する。温度センサー内蔵FET (第1の半導体素子) QAがオン状態に遷移すると、ドレイン電流 I_{DQA} は回路抵抗で決まる最終負荷電流値を目指して立ち上がって行く。また、温度センサー内蔵FETQAの真のゲートソース間電圧 $V_{TGS A}$ は、ドレイン電流 I_{DQA} で決まる値を取り、ドレインソース間電圧 V_{DSA} の低下によるコンデンサ容量 C_{GD} のミラー効果でブレーキをかけられながら、これも立ち上がって行く。さらに、FET (第2の半導体素子) QBはQAが決めるゲート電圧に従って R_r を負荷抵抗とするソースフォロアとして動作する。

【0043】

また、温度センサー内蔵FET (第1の半導体素子) QAの真のゲートソース間電圧 $V_{TGS A}$ はドレイン電流 I_{DQA} の増加に応じて大きくなって行く。 $V_{DSA} = V_{TGS A} + V_{TGD}$ 、 $V_{DSB} = V_{TGS B} + V_{TGD}$ の関係にあるから、 $V_{DSA} - V_{DSB} = V_{TGS A} - V_{TGS B} = (I_{DQA} - n \times I_{DQB}) / G_m$ となる。従って、ドレインソース間電圧の差 $V_{DSA} - V_{DSB}$ を検出することにより、ドレイン電流の差 ($I_{DQA} - n \times I_{DQB}$) を得る事ができる。但し、 G_m はQAの伝達コンダクタンス、 n はQA、QBはチャネル幅比である。

30

【0044】

FET (第2の半導体素子) QBのドレインソース間電圧 V_{DSB} は比較器CMP1に直接入力され、温度センサー内蔵FETQAのドレインソース間電圧 V_{DSA} はR1と抵抗R2で分圧した値が比較器CMP1に入力される。即ち、可変抵抗RVについて考慮に入れないものとするれば、

40

$$V_+ = V_{DSA} \times R1 / (R1 + R2) \quad \dots \dots (2)$$

が比較器CMP1の“+”入力端子に入力されることになる。負荷側が正常状態の場合は $R_r / n < \text{負荷抵抗} R$ となり、 $V_+ < V_{DSB}$ となり、QAはオンを続ける。負荷側が過負荷になると $R_r / n > R$ になり、更に $V_+ > V_{DSB}$ となるとオーミック領域でQAはオフする。QA、QBのソース電位を V_{SA} 、 V_{SB} とすると、QAがオフ後、 V_{SA} 、 V_{SB} の電位はGNDに向かって低下して行くので、 V_{DSA} 、 V_{DSB} とも増加する。 V_{SA} 、 V_{SB} がGND電位に至る前に、 $V_+ < V_{DSB}$ の条件が成立して、再びQAはオンする。温度センサー内蔵FETQAがオン状態に遷移した直後はピンチオフ領域にあり、その後オーミック領域に向かってオン状態を続けていき、 $V_+ > V_{DSB}$ になると

50

オフする。これがオン／オフ動作の1サイクルである。一端オフするとオフ状態を維持し、逆に一端オンするとオン状態を維持するのは負荷側回路のインダクタンスによる。負荷側回路のインダクタンスは電流が変化するときには抵抗と等価な働きをする。電流が減少しているときはインダクタンス等価抵抗の符号はマイナスとなって、負荷側抵抗を減少させ、電流が増加するときにはインダクタンス等価抵抗の符号がプラスになり、負荷側の抵抗を増加させる。このために一端Q Aがオン、又はオフするとその状態を維持することになる。基準回路のQ B側はR rがRよりn倍大きいので、インダクタンス効果は無視できるほど小さく、Q B側回路は純抵抗回路として動作すると考えてよい。

【0045】

なお、比較器CMP 1では、ダイオードD 1と抵抗R 5でヒステリシスが形成されている。温度センサー内蔵FETQAがオフ状態に遷移したとき、駆動回路111のシンクトランジスタQ 6によりゲート電位は接地され、ダイオードD 1のカソード側電位は、 $V_{SA} - 0.7V$ （ツェナーダイオードZD 1の順方向電圧）になるので、ダイオードD 1が導通する。この結果、抵抗R 1→抵抗R 5→ダイオードD 1の経路で電流が流れ、比較器CMP 1の“+”入力端子の信号 V_+ は、駆動回路111がオン制御しているときの上述（2）式の値より大きくなる。したがって、オフ状態に遷移した直後より小さい、特定のドレイン－ソース間電圧の差 $V_{D SA} - V_{D SB}$ まで温度センサー内蔵FETQAはオフ状態を維持するが、その後、更に $V_{D SA}$ が大きくなることにより入力端子の信号 V_+ が $V_{D SB}$ より小さくなり、比較器CMP 1の出力は“L”レベルから“H”レベルに変化する。従って、温度センサー内蔵FETQAは再びオン状態に遷移させられることとなる。なお、ヒステリシス特性の付け方にはいろいろな方法があるが、これはその一例である。

【0046】

温度センサー内蔵FETQAがオフ状態に遷移するときのドレイン－ソース間電圧 $V_{D SA}$ をしきい値 $V_{D SA th}$ とすると、次式が成立する。

【0047】

$$V_{D SA th} - V_{D SB} = R 2 / R 1 \times V_{D SB} \quad \dots\dots (3)$$

3極管特性領域における過電流判定値は（3）式で決まることになる。

【0048】

次に、5極間特性領域における動作について説明する。配線が正常な状態で、温度センサー内蔵FETQAがオン状態に遷移すると、温度センサー内蔵FETQAは連続的にオン状態を維持することとなる。このため、真のゲート－ソース間電圧 $V_{T GS A}$ 、 $V_{T GS B}$ がピンチオフ電圧を超えた後は、温度センサー内蔵FETQA、FETQB、FETQCとも5極間特性領域で動作する。日立製の「HAF 2001」の場合、オン抵抗はゲート－ソース間電圧 $V_{T GS A} = 10V$ のとき、 $R_{DS(ON)} = 30m\Omega$ であるので、次式となる。

【0049】

【数3】

$$V_{DSB} = 5A \times 30 [m\Omega] = 0.15 [V] \quad \dots\dots (4)$$

$$V_{DSA} = I_{DQA} \times 30 [m\Omega] \quad \dots\dots (5)$$

$$V_{DSA} - V_{DSB} = 30 [m\Omega] \times (I_{DQA} - 5 [A]) \quad \dots\dots (6)$$

また、配線の短絡等でドレイン電流 I_{DQA} が増加すると式（6）の値が大きくなり、過電流判定値を超えると温度センサー内蔵FET（第1の半導体素子）QAをオフ状態に遷移させる。この場合、ピンチオフ点を経由して、上記の3極間特性領域での動作状態を経て、オフ状態へ遷移する。そして、図4に示したダイオードD 1と抵抗R 5とによるヒステリシスにより、一定時間経過後に、比較器CMP 1の“+”入力端子の信号 V_+ が $V_{D SB}$ より小さくなり、比較器CMP 1の出力は“L”レベルから“H”レベルに変化して、温度センサー内蔵FETQAを再びオン状態に遷移させることとなる。こうして、温度

10

20

30

40

50

センサー内蔵 F E T Q A はオン状態およびオフ状態への遷移を繰り返して、最終的に過熱遮断に至る。なお、過熱遮断に至る前に、配線が正常に復帰すれば（間欠的短絡故障の例）、温度センサー内蔵 F E T Q A は連続的にオン状態を維持するようになる。

【0050】

図7(a)は電流振動型遮断機能付きスイッチング・デバイスドレイン電流 I_D を、図7(b)は対応するドレインソース間電圧 V_{DS} をそれぞれ示す。図中、▲2▼は通常動作の場合、▲3▼は過負荷の場合である。過負荷状態が発生している場合（図中▲3▼）には、上述のように温度センサー内蔵 F E T（第1の半導体素子）Q A のオン／オフ動作が繰り返し行って、ドレイン電流 I_D を大きく変動させ、温度センサー内蔵 F E T Q A の周期的な発熱作用によって、温度センサー内蔵 F E T Q A の過熱遮断を速めている。

10

【0051】

【発明の効果】

以上説明したように、本発明のスイッチングデバイスによれば、電流検出を行うために電力の供給経路に直接接続されるシャント抵抗を不要として、リーク電流等の微小電流を精度よく検出でき、さらに、装置の熱損失を抑え、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答を可能とし、集積化が容易で安価な半導体スイッチングデバイスを提供することができる。

【0052】

本発明によれば、負荷がオフ状態にある時、他の電力供給素子をオフにしても流れるリーク電流の検出が可能になり、リーク電流の増加の監視が容易にできるようになる。

20

【0053】

特に半導体スイッチのオン／オフ制御をモノリシックに集積化した場合はマイコンも不要であるため、チップ面積を縮小できるとともに、装置コストを大幅に削減することができる。

【0054】

また、本発明によれば、本実施形態と同様に、ドレインソース間電圧 V_{DS} の特性の変化を利用するものの所定タイミングで所定しきい値との比較を行って過電流検出を行う他の手法と比較して、コンデンサや複数の抵抗といった部品が不要になるので、該部品のバラツキによる検出誤差がより低減できるとともに、チップに対する外付けコンデンサも不要であることから、実装スペースおよび装置コストをより削減することができる。

30

【0055】

また、本発明によれば、第2半導体スイッチの電流容量が半導体スイッチの電流容量よりも小さくなるように設定し、負荷および第2負荷の抵抗値比が半導体スイッチおよび第2半導体スイッチの電流容量比にほぼ逆比例するように設定することとしたので、第2半導体スイッチおよび第2負荷を持つ基準電圧生成手段の回路構成を小型化でき、実装スペースを縮小できるとともに、装置コストを削減できる。

【0056】

また、本発明によれば、半導体スイッチが過熱した場合に該半導体スイッチをオフ制御して保護する過熱保護手段（過熱保護ステップ）を備え、ある程度の短絡抵抗を持つ不完全短絡が発生したとき、制御手段（制御ステップ、即ちオフ制御ステップおよびオン制御ステップ）により、半導体スイッチのオン／オフ制御を繰り返して電流を大きく変動させ、半導体スイッチの周期的な発熱作用によって過熱保護手段（過熱保護ステップ）による半導体スイッチの遮断を速めることはできるので、不完全短絡発生時の異常電流に対して高速な応答を実現できる。

40

【図面の簡単な説明】

【図1】本発明の実施形態に係る微小電流検出装置の回路構成図である。

【図2】本発明の実施形態に係る微小電流検出装置で使用する電流振動型遮断機能付きスイッチング・デバイスの回路構成図である。

【図3】本発明の実施形態に係る微小電流検出装置で使用する電流振動型遮断機能付きスイッチング・デバイスの1チップ化の際の最小領域の配置図である。

50

【図４】本発明の実施形態に係る微少電流検出装置で使用する微少電流検出用の電流振動型遮断機能付きスイッチング・デバイスの回路構成図である。

【図５】本発明の実施の形態に係る微少電流検出装置で使用する電流振動型遮断機能付きスイッチング・デバイスの主デバイス（第１の半導体素子）に着目した概念的等価回路図である。

【図６】本発明の実施の形態に係る微少電流検出装置で使用する電流振動型遮断機能付きスイッチング・デバイスが利用する原理を説明する説明図であり、オフ状態からオン状態への遷移時のドレインソース間電圧の立ち下がり特性の説明図である。

【図７】図７（ａ）は、本発明の実施の形態に係る微少電流検出装置で使用する電流振動型遮断機能付きスイッチング・デバイスにおける、主デバイス（第１の半導体素子）のドレイン電流の過渡応答特性を、図７（ｂ）は、対応するドレインソース間電圧の過渡応答特性を示す説明図である。

10

【図８】従来の半導体スイッチの回路構成図である。

【図９】温度センサー内蔵ＦＥＴの回路構成図である。

【符号の説明】

１０１ 電源

１０２ 負荷

１１０、１１０ａ、１１０ｂ、１１０ｃ 電流振動型遮断機能付きスイッチングデバイス（半導体チップ）

１１３ １チップ化の最小領域

20

１１４ 微少電流検出用の電流振動型遮断機能付きスイッチングデバイス

１１１ 駆動回路（制御手段）

１１８ ソース電極

１１９ トランジスタセル

１２１ 温度センサ

１２２ ラッチ回路

３０１ 過電流検出部

ＣＭＰ１ 比較器

Ｄ１、Ｄ５１ ダイオード

ＱＡ、ＱＦ 温度センサー内蔵ＦＥＴ（第１の半導体素子）

30

ＱＢ ＦＥＴ（第２の半導体スイッチ）

Ｑ５、Ｑ６、Ｑ１１、Ｑ１２ ｎｐｎ型ＢＪＴ

ＲＧ 内部抵抗

Ｒ１、Ｒ２、Ｒ５、Ｒ８、Ｒ１０、Ｒ１１、Ｒ１２、Ｒ５１～Ｒ５５、Ｒ９１、Ｒ９２、

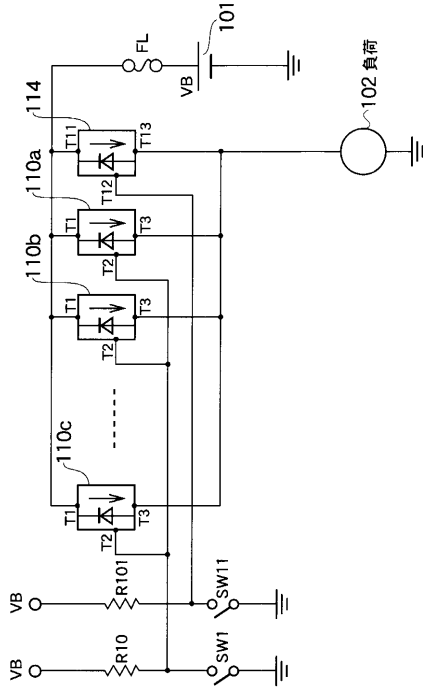
Ｒ４１３ 抵抗

Ｒｒ 基準抵抗

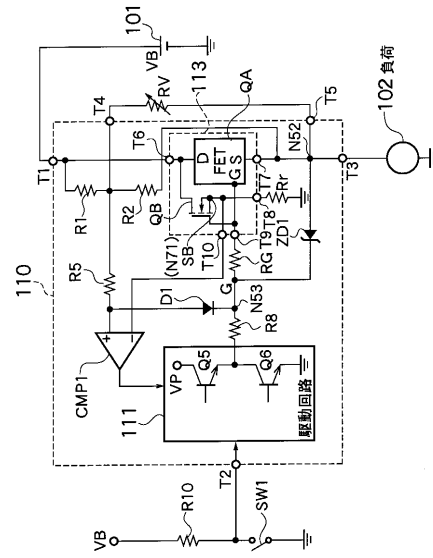
Ｒｒ２ 微少電流検出用の基準抵抗

ＺＤ１、ＺＤ２ ツェナーダイオード

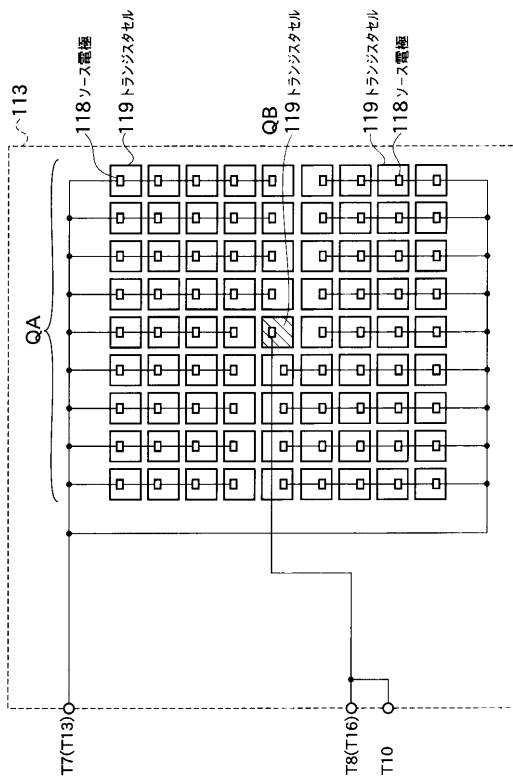
【図 1】



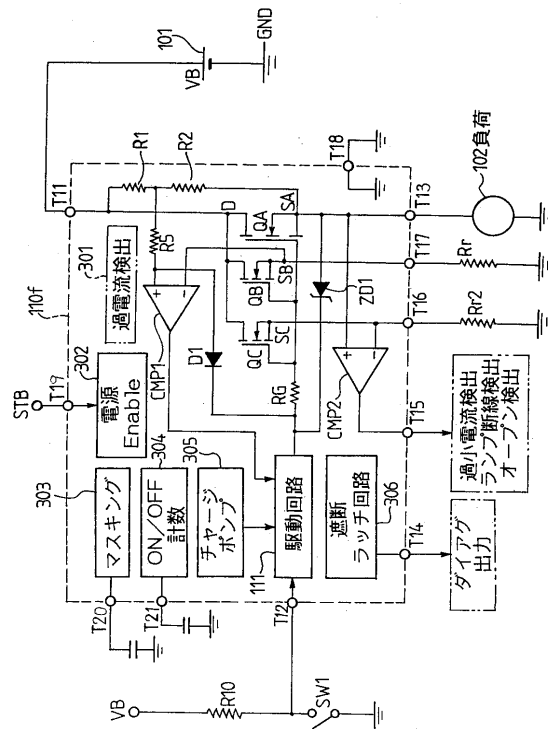
【図 2】



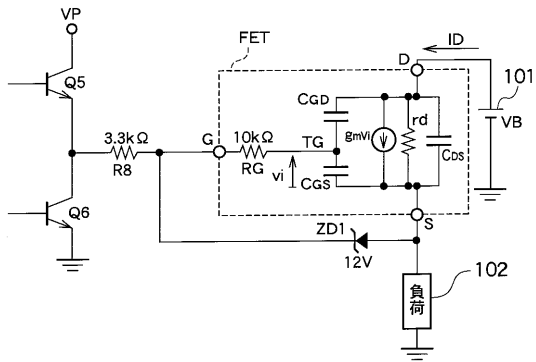
【図 3】



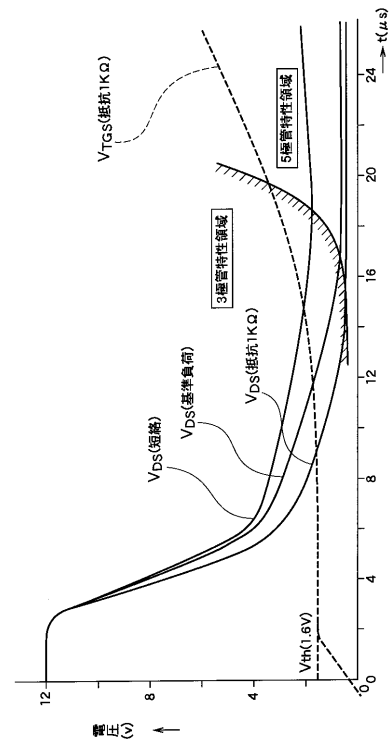
【図 4】



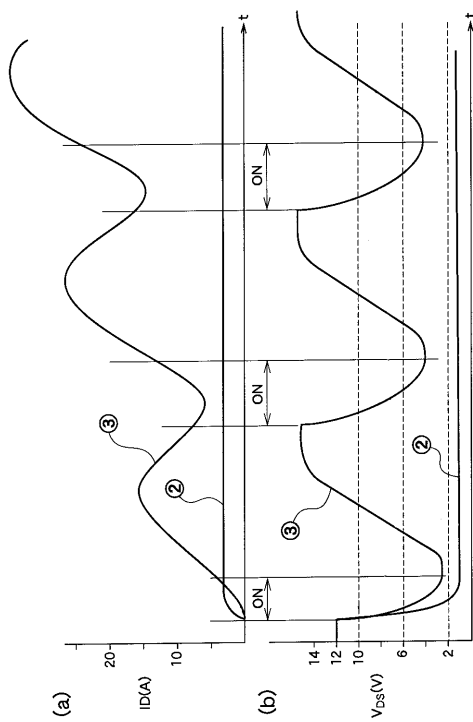
【 図 5 】



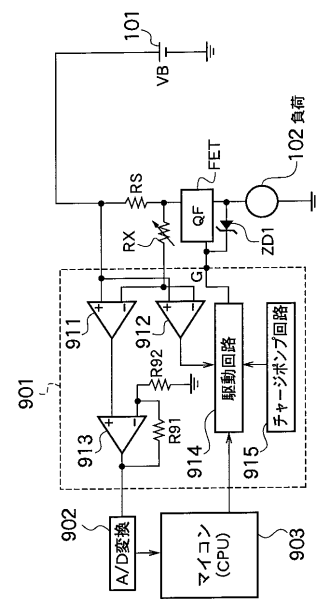
【图 6】



【 図 7 】



【图 8】



フロントページの続き

(51)Int.Cl.⁷ F I
H02M 1/00 H02M 1/00 H

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 大島 俊藏
静岡県湖西市鷺津2464-48 矢崎部品株式会社内

審査官 柳下 勝幸

(56)参考文献 特開平03-040517 (JP, A)
特開平06-164344 (JP, A)
特開平05-275999 (JP, A)
特開2001-339177 (JP, A)
特開2000-235424 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H03K17/00, H02H3/00