



(51) 国際特許分類:

H02M 3/155 (2006.01)

(21) 国際出願番号:

PCT/JP2024/019747

(22) 国際出願日:

2024年5月29日(29.05.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

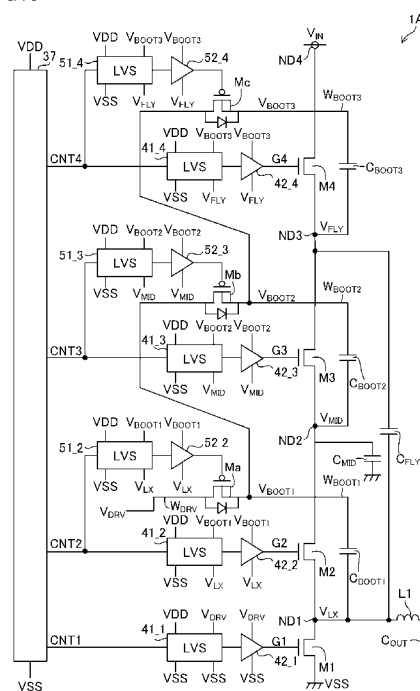
特願 2023-117305 2023年7月19日(19.07.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).(72) 発明者: 和 智 貴 嗣 (WACHI Takatsugu);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).(74) 代理人: 弁理士法人 佐野特許事務所 (SANO
PATENT OFFICE); 〒5400032 大阪府大阪市
中央区天満橋京町 2 - 6 天満橋八千代
ビル別館 5 F Osaka (JP).(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: POWER SUPPLY DEVICE

(54) 発明の名称: 電源装置

[図8]



(57) Abstract: According to the present invention, first to fourth switching elements (M1 to M4) are connected in series toward a power supply node that receives an input voltage (V_{IN}) from a reference node. Each switching element comprises an N channel-type MOSFET. In order to turn on the second to fourth switching elements, first to third boot voltages (V_{BOOT1} to V_{BOOT3}) supplied to the gates of the second to fourth switching elements are generated in first to third boot wirings (W_{BOOT1} to W_{BOOT3}). The respective boot voltages are generated using first to third boot capacitors (C_{BOOT1} to C_{BOOT3}) and first to third boot switches (Ma to Mc), the first to third boot capacitors and the first to third boot switches being provided to correspond to the first to third boot wirings, respectively.

(57) 要約: 基準ノードから入力電圧 (V_{IN}) を受ける電源ノードに向けて、第1~第4スイッチング素子 (M1~M4) が直列接続される。各スイッチング素子はNチャネル型のMOSFETにより構成される。第2~第4スイッチング素子をオンさせるために第2~第4スイッチング素子のゲートに供給される第1~第3ブート電圧 ($V_{BOOT1} \sim V_{BOOT3}$) を第1~第3ブート配線 ($W_{BOOT1} \sim W_{BOOT3}$) に発生させる。第1~第3ブート配線に対応付けて設けられる第1~第3ブートキャパシタ ($C_{BOOT1} \sim C_{BOOT3}$) 及び第1~第3ブートスイッチ (Ma~Mc) とを用いて各ブート電圧を生成する。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：電源装置

技術分野

[0001] 本開示は、電源装置に関する。

背景技術

[0002] 複数のスイッチングを用いて入力電圧を降圧することにより所望の出力電圧を生成する電源装置が広く利用される。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-89043号公報

[0004] [概要]

電源装置において効率の向上は重要である。

[0005] 本開示に係る電源装置は、入力電圧より低い電位を有する基準ノードと第1ノードとの間に設けられた第1スイッチング素子と、前記第1ノードと第2ノードとの間に設けられた第2スイッチング素子と、前記第2ノードと第3ノードとの間に設けられた第3スイッチング素子と、前記第3ノードと前記入力電圧を受ける第4ノードとの間に設けられた第4スイッチング素子と、前記第2スイッチング素子をオンさせるために前記第2スイッチング素子のゲートに供給される第1ブート電圧を第1ブート配線に発生させ、前記第3スイッチング素子をオンさせるために前記第3スイッチング素子のゲートに供給される第2ブート電圧を第2ブート配線に発生させ、且つ、前記第4スイッチング素子をオンさせるために前記第4スイッチング素子のゲートに供給される第3ブート電圧を第3ブート配線に発生させるよう構成された昇圧回路と、各スイッチング素子の状態を指定する制御信号を生成するよう構成された制御回路と、所定の駆動電圧と前記第1ブート電圧～前記第3ブート電圧とを用い前記制御信号に応じて前記第1スイッチング素子～前記第4スイッチング素子を個別にオン又はオフさせるよう構成された駆動回路と、

を備え、前記第1スイッチング素子～前記第4スイッチング素子の状態を制御することを通じ前記入力電圧より低い出力電圧を生成し、前記第1スイッチング素子～前記第4スイッチング素子は夫々にNチャネル型の電界効果トランジスタにより構成され、前記昇圧回路は、前記第1ノードと前記第1ブート配線との間に設けられた第1ブートキャパシタと、前記第2ノードと前記第2ブート配線との間に設けられた第2ブートキャパシタと、前記第3ノードと前記第3ブート配線との間に設けられた第3ブートキャパシタと、前記駆動電圧が加わる駆動配線と前記第1ブート配線との間に設けられた第1ブートスイッチと、前記第1ブート配線と前記第2ブート配線との間に設けられた第2ブートスイッチと、前記第2ブート配線と前記第3ブート配線との間に設けられた第3ブートスイッチと、を備え、前記制御回路により各スイッチング素子及び各ブートスイッチの状態が制御されることを通じて前記第1ブート電圧～前記第3ブート電圧が発生する。

図面の簡単な説明

[0006] [図1]図1は、本開示の第1実施形態に係る電源装置の全体構成図である。

[図2]図2は、本開示の第1実施形態に係り、各制御信号と各ゲート信号と各スイッチング素子の状態との関係を示す図である。

[図3]図3は、本開示の第1実施形態に係る電源装置において、スイッチング制御が行われるときの電流の流れを説明するための図である。

[図4]図4は、本開示の第1実施形態に係り、制御回路の内部構成が示された電源装置の構成図である。

[図5]図5は、本開示の第1実施形態に係り、電源装置のタイミングチャートである。

[図6]図6は、本開示の第1実施形態に係り、駆動回路の内部構成を示す図である。

[図7]図7は、本開示の第1実施形態に係り、昇圧回路の内部構成を示す図である。

[図8]図8は、本開示の第1実施形態に係り、駆動回路及び昇圧回路の内部構

成を示す図である。

[図9]図9は、本開示の第1実施形態に係り、状態ST__A1における各スイッチング素子及び各ブートスイッチの様子を示す図である。

[図10]図10は、本開示の第1実施形態に係り、状態ST__A2における各スイッチング素子及び各ブートスイッチの様子を示す図である。

[図11]図11は、本開示の第1実施形態に係る電源制御装置の外観斜視図である。

[図12]図12は、本開示の第1実施形態に係り、電源制御装置とディスクリート部品群との関係を示す図である。

[図13]図13は、本開示の第2実施形態に係る電源装置の全体構成図である。

[図14]図14は、本開示の第2実施形態に係り、状態ST__B1における各スイッチング素子の状態と発生電流とを示す図である。

[図15]図15は、本開示の第2実施形態に係り、状態ST__B2における各スイッチング素子の状態と発生電流とを示す図である。

[図16]図16は、本開示の第2実施形態に係り、状態ST__B3における各スイッチング素子の状態と発生電流とを示す図である。

[図17]図17は、本開示の第2実施形態に係り、状態ST__B4における各スイッチング素子の状態と発生電流とを示す図である。

[図18]図18は、本開示の第3実施形態に係る電源装置の全体構成図である。

[図19]図19は、本開示の第3実施形態に係り、状態ST__C1における各スイッチング素子の状態と発生電流とを示す図である。

[図20]図20は、本開示の第3実施形態に係り、状態ST__C2における各スイッチング素子の状態と発生電流とを示す図である。

[図21]図21は、本開示の第3実施形態に係り、状態ST__C3における各スイッチング素子の状態と発生電流とを示す図である。

[図22]図22は、本開示の第3実施形態に係り、状態ST__C4における各

スイッチング素子の状態と発生電流とを示す図である。

[図23]図23は、本開示の第3実施形態に係り、制御回路の内部構成図である。

[図24]図24は、本開示の第3実施形態に係り、電源装置のタイミングチャートである。

[図25]図25は、本開示の第3実施形態に係る電源装置の変形例を示す図である。

[0007] [詳細な説明]

以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、機能部、回路、素子又は部品等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、機能部、回路、素子又は部品等の名称を省略又は略記することがある。

[0008] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。グラウンドとは、0V（ゼロボルト）の基準電位を有する基準導電部を指す又は0Vの基準電位そのものを指す。或る部品、電極又はノードがグラウンドに接続されるとは、0Vの基準電位を有する基準ノードに対して当該部品、電極又はノードが接続されることを意味する。基準ノードとグラウンドとを互いに読み替え可能である。

[0009] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをライズエッジと称し、ハイレベルからローレベルへの切り替わりをフォールエッジと称する。

- [0010] 任意のスイッチング素子をトランジスタにて構成することができる。MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考えて良い。
- [0011] 以下、任意のスイッチング素子（トランジスタ）について、オン状態、オフ状態を、単に、オン、オフと表現することもある。任意のスイッチング素子について、オフ状態からオン状態への切り替わりをターンオンと表現し、オン状態からオフ状態への切り替わりをターンオフと表現する。また、任意のスイッチング素子について、スイッチング素子がオン状態とされる期間をオン期間と称し、スイッチング素子がオフ状態とされる期間をオフ期間と称する。
- [0012] ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる期間をハイレベル期間と称し、当該信号のレベルがローレベルとなる期間をローレベル期間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。
- [0013] 任意の回路素子、配線、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電氣的な接続を指すと解して良い。
- [0014] 対比されるべき任意の2つの電圧が電圧 v_1 及び v_2 であるとした場合、“ $v_1 > v_2$ ”は電圧 v_1 が電圧 v_2 よりも高いことを表し、“ $v_1 < v_2$ ”は電圧 v_1 が電圧 v_2 よりも低いことを表す。電圧以外の物理量を含む他の式についても同様である。
- [0015] <<第1実施形態>>

本開示の第1実施形態を説明する。図1は本開示の第1実施形態に係る電源装置1Aの全体構成図である。電源装置1Aは、図示されない電圧源から正の入力電圧 V_{IN} の供給を受け、入力電圧 V_{IN} を降圧することで正の出力電圧 V_{OUT} を生成する。出力電圧 V_{OUT} は入力電圧 V_{IN} よりも低い。電源装置1Aは出力電圧 V_{OUT} を所定の目標電圧にて安定化させる。即ち、定常状態において出力電圧 V_{OUT} は目標電圧と実質的に一致する。以下、目標電圧を記号“ V_{TG} ”にて参照する。電源装置1Aにおいて中間電圧 V_{MID} が生成される。出力電圧 V_{OUT} は中間電圧 V_{MID} よりも低い。また定常状態において、中間電圧 V_{MID} は実質的に入力電圧 V_{IN} の $1/2$ となる。故に“ $V_{IN} > 2 \times V_{OUT}$ ”が成立する。“ $V_{IN} > 2 \times V_{OUT}$ ”が成立する限り、入力電圧 V_{IN} 及び出力電圧 V_{OUT} の値は任意である。換言すれば、“ $V_{IN} > 2 \times V_{TG}$ ”が成立する限り、入力電圧 V_{IN} 及び目標電圧 V_{TG} の値は任意である。例えば、入力電圧 V_{IN} は48Vであり、目標電圧 V_{TG} （即ち定常状態における出力電圧 V_{OUT} ）は12V又は5Vである。

[0016] 尚、電源装置1Aに関し、定常状態とは、電源装置1Aの起動に伴い出力電圧 V_{OUT} が0Vから上昇して目標電圧 V_{TG} に達した後、出力電圧 V_{OUT} が目標電圧 V_{TG} にて安定化されている状態を指す。以下では、特に記述なき限り、電源装置1Aが定常状態にあるものとする。

[0017] 電源装置1Aは、主たる構成要素として、スイッチング素子M1～M4と、キャパシタ C_{FLY} 、 C_{MID} 及び C_{OUT} と、インダクタL1と、制御回路30Aと、駆動回路40Aと、昇圧回路50Aと、を備える。キャパシタ C_{FLY} をフライングキャパシタと称することができる。キャパシタ C_{MID} を中間キャパシタと称することができる。キャパシタ C_{OUT} を出力キャパシタと称することができる。

[0018] 電源装置1Aはバックコンバータとスタックドコンバータ（stacked converter）とを有する。電源装置1Aにおけるバックコンバータは、スイッチング素子M1及びM2、インダクタL1を備え、中間電圧 V_{MID} を降圧することで出力ノードND_{OUT}に出力電圧 V_{OUT} を発生させる。キャパシタ C_{OUT} もバックコンバータの構成要素に含まれると解して良い。スイッチング素子M1、M2は、バックコンバータにおけるローサイドスイッチング素子、ハイサイドスイ

ッチング素子として機能する。電源装置 1 A におけるスタックドコンバータは、スイッチング素子 M 3 及び M 4 並びにキャパシタ C_{FLY} を備え、入力電圧 V_{IN} から中間電圧 V_{MID} を生成する。キャパシタ C_{MID} もスタックドコンバータの構成要素に含まれると解して良い。

[0019] 本実施形態において、スイッチング素子 M 1 ～ M 4 は夫々に N チャンネル型の MOS FET により構成される。このため、以下、スイッチング素子 M 1 ～ M 4 をトランジスタ M 1 ～ M 4 と称することがある。

[0020] トランジスタ M 1 ～ M 4 はグラウンドとノード ND 4 との間で直列接続される。トランジスタ M 1 はグラウンド及びノード ND 1 間に設けられ、トランジスタ M 2 はノード ND 1 及び ND 2 間に設けられ、トランジスタ M 3 はノード ND 2 及び ND 3 間に設けられ、トランジスタ M 4 はノード ND 3 及び ND 4 間に設けられる。より具体的には、トランジスタ M 1 のソースはグラウンドに接続される。トランジスタ M 1 のドレイン及びトランジスタ M 2 のソースはノード ND 1 に接続される。トランジスタ M 2 のドレイン及びトランジスタ M 3 のソースはノード ND 2 に接続される。トランジスタ M 3 のドレイン及びトランジスタ M 4 のソースはノード ND 3 に接続される。トランジスタ M 4 のドレインはノード ND 4 に接続される。ノード ND 4 は入力電圧 V_{IN} を受ける電源ノードである。即ち、ノード ND 4 に対して入力電圧 V_{IN} が供給される。トランジスタ M 1 ～ M 4 のゲートに供給される信号を、夫々、ゲート信号 G 1 ～ G 4 と称する。

[0021] キャパシタ C_{FLY} はノード ND 3 及び ND 1 間に設けられる。即ち、キャパシタ C_{FLY} の第 1 端はノード ND 3 に接続され、キャパシタ C_{FLY} の第 2 端はノード ND 1 に接続される。

[0022] キャパシタ C_{MID} はノード ND 2 及びグラウンド間に設けられる。即ち、キャパシタ C_{MID} の第 1 端はノード ND 2 に接続され、キャパシタ C_{MID} の第 2 端はグラウンドに接続される。キャパシタ C_{MID} の第 1 端はキャパシタ C_{MID} の正極に相当する。ノード ND 2 における電圧は中間電圧 V_{MID} である。即ち、キャパシタ C_{MID} の両端間に中間電圧 V_{MID} が発生する。尚、ノード ND 1 における電圧を電圧 V

V_{LX} と称し、ノードND3における電圧を電圧 V_{FLY} と称する。

[0023] インダクタ L_1 はノードND1と出力ノードND_{OUT}との間に設けられる。即ち、インダクタ L_1 の第1端はノードND1に接続され、インダクタ L_1 の第2端は出力ノードND_{OUT}に接続される。

[0024] キャパシタ C_{OUT} は出力ノードND_{OUT}及びグランド間に設けられる。即ち、キャパシタ C_{OUT} の第1端は出力ノードND_{OUT}に接続され、キャパシタ C_{OUT} の第2端はグランドに接続される。キャパシタ C_{OUT} の第1端はキャパシタ C_{OUT} の正極に相当する。出力ノードND_{OUT}における電圧は出力電圧 V_{OUT} である。即ち、キャパシタ C_{OUT} の両端間に出力電圧 V_{OUT} が発生する。

[0025] 制御回路30Aは、トランジスタM1～M4の状態（オン又はオフの状態）を指定する制御信号を生成及び出力する。制御回路30Aにて生成される制御信号は制御信号CNT1～CNT4を含む。制御信号CNT1～CNT4は二値信号である。任意の二値信号はローレベル又はハイレベルを有する。制御回路30Aは制御信号CNT1～CNT4のレベルを個別にハイレベル又はローレベルに設定できる。駆動回路40Aは、トランジスタM1～M4の各ゲートに接続され、トランジスタM1～M4に対し制御信号CNT1～CNT4に応じたゲート信号G1～G4を供給することでトランジスタM1～M4の状態を個別にオン又はオフに設定する。昇圧回路50AはトランジスタM2～M4をオンさせるために必要な電圧を生成し、生成した電圧を駆動回路40Aに供給する。昇圧回路50Aの詳細は後述される。

[0026] 制御回路30Aは、駆動回路40A及び昇圧回路50Aと協働してトランジスタM1～M4の状態を制御し、これによって入力電圧 V_{IN} より低い所望の出力電圧 V_{OUT} を出力ノードND_{OUT}に発生させる。

[0027] 図2に制御信号CNT1～CNT4とゲート信号G1～G4とトランジスタM1～M4の状態との関係を示す。ハイレベルの制御信号CNT1、CNT2、CNT3、CNT4は、夫々、トランジスタM1、M2、M3、M4の状態をオン状態にすることを指定する信号である。ローレベルの制御信号CNT1、CNT2、CNT3、CNT4は、夫々、トランジスタM1、M

2、M3、M4の状態をオフ状態にすることを指定する信号である。従って、制御信号CNT1のハイレベル期間ではゲート信号G1もハイレベルを有し、トランジスタM1はオンとされる。制御信号CNT1のローレベル期間ではゲート信号G1もローレベルを有し、トランジスタM1はオフとされる。同様に、制御信号CNT2のハイレベル期間ではゲート信号G2もハイレベルを有し、トランジスタM2はオンとされる。制御信号CNT2のローレベル期間ではゲート信号G2もローレベルを有し、トランジスタM2はオフとされる。同様に、制御信号CNT3のハイレベル期間ではゲート信号G3もハイレベルを有し、トランジスタM3はオンとされる。制御信号CNT3のローレベル期間ではゲート信号G3もローレベルを有し、トランジスタM3はオフとされる。同様に、制御信号CNT4のハイレベル期間ではゲート信号G4もハイレベルを有し、トランジスタM4はオンとされる。制御信号CNT4のローレベル期間ではゲート信号G4もローレベルを有し、トランジスタM4はオフとされる。

[0028] 出力ノードND_{OUT}は図示されない負荷に接続される。負荷は出力電圧V_{OUT}に基づいて駆動する任意の負荷である。出力ノードND_{OUT}から負荷に供給される電流を負荷電流I_{LD}と称する。負荷電流I_{LD}は電源装置1Aの出力電流に相当する。またインダクタL1を通じて流れる電流をインダクタ電流I_Lと称する。ノードND1から出力ノードND_{OUT}に向かう向きのインダクタ電流I_Lは正の極性を有し、出力ノードND_{OUT}からノードND1に向かう向きのインダクタ電流I_Lは負の極性を持つものとする。

[0029] 制御回路30Aは、駆動回路40Aを用いて、トランジスタM1～M4の状態を複数の状態の何れかに設定することができ且つ複数の状態間で切り替えることができる。複数の状態は図3に示される状態ST__A1及びST__A2を含む。状態ST__A1において、トランジスタM2及びM4はオン状態であって且つトランジスタM1及びM3はオフ状態である。状態ST__A2において、トランジスタM2及びM4はオフ状態であって且つトランジスタM1及びM3はオン状態である。トランジスタM1～M4が全てオフとさ

れる状態が上記複数の状態の中に含まれていて良いが、本実施形態では、以下、トランジスタM1～M4が全てオフとされる状況について無視する。

[0030] 制御回路30Aは、駆動回路40Aを用いて、トランジスタM1～M4の状態を状態ST__A1及びST__A2間で交互に切り替えるスイッチング制御を実行できる。図3を参照し、スイッチング制御が行われるときに発生する電流について説明する。尚、キャパシタ C_{FLY} の第2端の電位（即ちノードND1の電位）を基準にキャパシタ C_{FLY} の第1端の電位（即ちノードND3の電位）を上昇させる向きの電流はキャパシタ C_{FLY} の充電電流であり、その逆向きの電流はキャパシタ C_{FLY} の放電電流である。キャパシタ C_{MID} に関しては、中間電圧 V_{MID} を上昇させる向きの電流が充電電流であり、中間電圧 V_{MID} を低下させる向きの電流が放電電流である。

[0031] 状態ST__A1にて電流811及び813が発生する。電流811は、キャパシタ C_{MID} からトランジスタM2及びインダクタL1を通じ出力ノードND_{OUT}に向かう電流であり、キャパシタ C_{MID} の放電により発生する。電流813は入力電圧 V_{IN} の印加端であるノードND4からトランジスタM4を通じキャパシタ C_{FLY} へと向かう電流であり、電流813によってキャパシタ C_{FLY} が充電される。

[0032] 状態ST__A2にて電流812及び814が発生する。電流812はグラウンドからトランジスタM1及びインダクタL1を通じて出力ノードND_{OUT}に向かう。電流814はキャパシタ C_{FLY} からトランジスタM3を通じキャパシタ C_{MID} の正極に向かう電流である。電流814はキャパシタ C_{FLY} の放電により発生し、キャパシタ C_{MID} の充電に寄与する。

[0033] 状態ST__A1ではトランジスタM2及びM4がオンであることから、キャパシタ C_{FLY} 及び C_{MID} にとって、状態ST__A1はキャパシタ C_{FLY} 及び C_{MID} が直列接続された状態と等価である。また状態ST__A2ではスイッチング素子M1及びM3を通じてキャパシタ C_{FLY} 及び C_{MID} が並列接続される。結果、トランジスタM1～M4並びにキャパシタ C_{FLY} 及び C_{MID} によりスイッチドキャパシタ回路が形成される。このため、定常状態においてキャパシタ C_{MID} の正極の

電圧である中間電圧 V_{MID} は略電圧 ($V_{IN}/2$) となる。即ち、スイッチング制御を通じて入力電圧 V_{IN} の分圧に相当する中間電圧 V_{MID} が生成される。このように、制御回路 30A は、スイッチング制御においてトランジスタ M1 ~ M4 並びにキャパシタ C_{MID} 及び C_{FLY} を有する回路をスイッチドキャパシタ回路として動作させ、これによってノード ND2 に中間電圧 V_{MID} を発生させる。

[0034] 一方で、トランジスタ M1 及び M2 並びにインダクタ L1 により中間電圧 V_{MID} を降圧する同期式のバックコンバータが形成される。このため、電源装置 1A を、スイッチドキャパシタ回路及び同期式のバックコンバータを融合したハイブリッド型バックコンバータと称することができる。

[0035] スイッチドキャパシタ回路により入力電圧 V_{IN} を半分にまで低減し、得られた中間電圧 V_{MID} を同期式のバックコンバータにて更に降圧するという方法を採用することで、高い効率を得ることができる。

[0036] 例えば、48V の入力電圧 V_{IN} から 12V の出力電圧 V_{OUT} を生成するケースを考える。基準方法として、単純な同期式のバックコンバータにて 48V を直接 12V に降圧する方法がある。基準方法では、48V の入力電圧 V_{IN} のスイッチングにより矩形波電圧（概ね 0V 及び 48V 間で変動する矩形波電圧）を生成し、矩形波電圧を整流及び平滑化することで 12V の出力電圧を得る。これに対し、電源装置 1A では、電圧 ($V_{IN}/2$) のスイッチングにより矩形波電圧（概ね 0V 及び 24V 間で変動する矩形波電圧）を生成し、矩形波電圧を整流及び平滑化することで 12V の出力電圧を得る。このため、基準方法に係る電源装置と比べて、電源装置 1A ではスイッチング損失を低く抑えることができる。

[0037] スwitchング損失の低下の要因は複数の要因を含むが、以下に幾つか例示する。基準方法ではスイッチングのデューティが比較的小さくなる。スイッチングのデューティが比較的小さいとき、矩形波電圧において瞬時値が上昇する期間の損失及び低下する期間の損失の影響が比較的大きくなる。これに対し、電源装置 1A を用いれば、同期式のバックコンバータへの入力電圧が電圧 ($V_{IN}/2$) となるため、基準方法と比べてスイッチングのデューティが

比較的大きくなり、スイッチング損失の改善につながる。また、スイッチングの過程では各種の寄生容量への充放電が発生するが、電源装置 1 A では、同期式のバックコンバータへの入力電圧が電圧 ($V_{IN}/2$) とされる分、基準方法と比べて寄生容量への充放電に伴う損失を比較的低く抑えることができる。

[0038] 図 4 に制御回路 30 A の内部構成例が示された電源装置 1 A の構成図を示す。ここでは、常時 " $I_L > 0$ " となる電流連続モードで電源装置 1 A が動作することを想定し、特に記述なき限り、電流連続モードに関わる構成のみを説明する。図 5 では、上から下に向けて、電圧 V_{LX} 、インダクタ電流 I_L 、誤差電圧 V_{ERR} 、スロープ電圧 V_{SLP} 、信号 CLK 、 $CMPOUT$ 、 $CNT1$ 、 $CNT2$ 、 $CNT3$ 、 $CNT4$ の波形が示される。

[0039] 制御回路 30 A は、エラーアンプ 31 と、ランプ回路 32 と、電流情報取得回路 33 と、加算器 34 と、PWM コンパレータ 35 と、発振回路（クロック生成回路）36 と、コントローラ 37 と、を備える。また電源装置 1 A には抵抗 $R1$ 及び $R2$ が設けられる。抵抗 $R1$ の第 1 端は出力ノード ND_{OUT} に接続され、抵抗 $R1$ の第 2 端は抵抗 $R2$ の第 1 端に接続され、抵抗 $R2$ の第 2 端はグランドに接続される。抵抗 $R1$ 及び $R2$ 間の接続ノードに出力電圧 V_{OUT} に応じた帰還電圧 V_{FB} が発生する。帰還電圧 V_{FB} は出力電圧 V_{OUT} の分圧であり、故に出力電圧 V_{OUT} に比例する。抵抗 $R1$ 及び $R2$ により帰還電圧 V_{FB} を生成する帰還電圧生成回路が形成される。帰還電圧 V_{FB} は制御回路 30 A に供給される。但し、帰還電圧生成回路は制御回路 30 A の構成要素に含まれると解しても良い。また出力電圧 V_{OUT} そのものが帰還電圧 V_{FB} とされても良い。何れにせよ、帰還電圧 V_{FB} は出力電圧 V_{OUT} の情報（詳細には出力電圧 V_{OUT} の値を示す情報）を内包する。

[0040] エラーアンプ 31 は、電流出力型のトランスコンダクタンスアンプである。エラーアンプ 31 は、反転入力端子、非反転入力端子及び出力端子を備える。エラーアンプ 31 の反転入力端子に対して帰還電圧 V_{FB} が供給される。エラーアンプ 31 の非反転入力端子には所定の基準電圧 V_{REF} が供給される。基準

電圧 V_{REF} は、正の所定電圧値を有する直流電圧であり、制御回路 30A 内の図示されない基準電圧生成回路にて生成される。エラーアンプ 31 の出力端子は配線 WR_{ERR} に接続される。尚、電源装置 1A の起動の際、基準電圧 V_{REF} の値を 0V から正の所定電圧値に向けて徐々に上昇させるソフトスタート制御が行われて良いが、以下ではソフトスタート制御の存在を無視する。

[0041] エラーアンプ 31 は、帰還電圧 V_{FB} 及び基準電圧 V_{REF} 間の差分に応じた電流信号を自身の出力端子から出力することで、帰還電圧 V_{FB} 及び基準電圧 V_{REF} 間の差分に応じた誤差電圧 V_{ERR} を配線 WR_{ERR} に発生させる。具体的には、エラーアンプ 31 は、帰還電圧 V_{FB} が基準電圧 V_{REF} よりも低いときには誤差電圧 V_{ERR} が上昇するよう自身の出力端子から配線 WR_{ERR} に向けて電流を出力し、帰還電圧 V_{FB} が基準電圧 V_{REF} よりも高いときには誤差電圧 V_{ERR} が低下するよう配線 WR_{ERR} から自身の出力端子に向けて電流を引き込む。尚、特に図示しないが、配線 WR_{ERR} 及びグランド間にキャパシタを含む位相補償回路が接続されて良い。

[0042] ランプ回路 32 は、トランジスタ M2 のオン期間において所定の初期電圧 V_{INT} から所定の変化率で単調上昇するランプ電圧 V_{RAMP} を生成する。ランプ回路 32 において、初期電圧 V_{INT} は例えば 0V であるが、0V と相違し得る。トランジスタ M2 のオフ期間においてランプ電圧 V_{RAMP} は初期電圧 V_{INT} で固定される。

[0043] 電流情報取得回路 33 は、インダクタ L1 の電流情報を取得し、インダクタ L1 の電流情報を示すセンス電圧 V_{IL} を生成する。インダクタ L1 の電流情報はインダクタ電流 I_L の値を示す情報である。センス電圧 V_{IL} は正の比例係数にてインダクタ電流 I_L の値に比例する電圧値を持つ。故に、インダクタ電流 I_L の増大に伴ってセンス電圧 V_{IL} は上昇し、インダクタ電流 I_L の減少に伴ってセンス電圧 V_{IL} は低下する。例えば “ $V_{IL} = k_{IV} \times I_L$ ” であって良い。 k_{IV} は所定の正の係数である。

[0044] センス電圧 V_{IL} がインダクタ L1 の電流情報を示す限り、センス電圧 V_{IL} の生成方法は任意である。例えばインダクタ電流 I_L を電流センサにて直接検出することでセンス電圧 V_{IL} を生成して良い。ここにおける電流センサはインダ

クタL 1 及びノードND 1 間に直列に挿入されたシャント抵抗（不図示）であって良い。或いは例えば、トランジスタM 2 のオン期間においてトランジスタM 2 に流れる電流（従ってインダクタ電流 I_L ）を検出することで、又は、トランジスタM 1 のオン期間においてトランジスタM 1 に流れる電流（従ってインダクタ電流 I_L ）を検出することで、センス電圧 V_{IL} を生成するようにしても良い。この他、インダクタ電流 I_L に応じた電圧が発生する任意の箇所の電圧を検出することで、センス電圧 V_{IL} を生成するようにしても良い。

[0045] 加算器3 4 は、ランプ電圧 V_{RAMP} に対してセンス電圧 V_{IL} を加算することで、それらの和電圧であるスロープ電圧 V_{SLP} を生成する。即ち“ $V_{SLP} = V_{RAMP} + V_{IL}$ ”である。

[0046] PWMコンパレータ3 5 は誤差電圧 V_{ERR} 及びスロープ電圧 V_{SLP} を比較し、それらの比較結果を示す信号C M P O U Tを生成及び出力する。PWMコンパレータ3 5 の反転入力端子に誤差電圧 V_{ERR} が入力され、PWMコンパレータ3 5 の非反転入力端子にスロープ電圧 V_{SLP} が入力される。PWMコンパレータ3 5 は、“ $V_{SLP} < V_{ERR}$ ”の成立時においてローレベルの信号C M P O U Tを出力し、“ $V_{SLP} > V_{ERR}$ ”の成立時においてハイレベルの信号C M P O U Tを出力する。“ $V_{SLP} = V_{ERR}$ ”の成立時において信号C M P O U Tはローレベル又はハイレベルを有する。

[0047] 発振回路3 6 は発振動作によりクロック信号C L Kを生成及び出力する。クロック信号C L Kは、所定の周波数 f_{PWM} を有する矩形波信号であり、ハイレベル又はローレベルの信号レベルを交互に持つ。クロック信号C L Kのデューティは任意である。ここでは、クロック信号C L Kは原則としてローレベルを有し、周波数 f_{PWM} の逆数の間隔で微小時間だけハイレベルを持つものとする（図5 参照）。

[0048] コントローラ3 7 に対して信号C M P O U Tとクロック信号C L Kが入力される。コントローラ3 7 は、クロック信号C L Kにおける所定レベル変化を契機に、制御信号C N T 2 及びC N T 4 にライズエッジを生じさせると共に（即ち制御信号C N T 2 及びC N T 4 のレベルをローレベルからハイレベ

ルへ切り替えると共に)、制御信号CNT 1及びCNT 3にフォールエッジを生じさせる(即ち制御信号CNT 1及びCNT 3のレベルをハイレベルからローレベルへ切り替える)。クロック信号CLKにおける所定レベル変化は、ここではクロック信号CLKのローレベルからハイレベルへの変化であるが、クロック信号CLKのハイレベルからローレベルへの変化であっても良い。駆動回路40Aに対しコントローラ37からの制御信号CNT 1～CNT 4が供給される。駆動回路40Aは、制御信号CNT 2及びCNT 4のライズエッジを契機にゲート信号G 2及びG 4にもライズエッジを発生させることでトランジスタM 2及びM 4をターンオンさせると共に、制御信号CNT 1及びCNT 3にフォールエッジを契機にゲート信号G 1及びG 3にもフォールエッジを発生させることでトランジスタM 1及びM 3をターンオフさせる。

[0049] トランジスタM 2及びM 4のターンオン並びにトランジスタM 1及びM 3のターンオフの後、スロープ電圧 V_{SLP} の単調上昇を経て“ $V_{SLP} < V_{ERR}$ ”の成立状態から“ $V_{SLP} > V_{ERR}$ ”の成立状態に遷移することで信号CMP OUTにライズエッジが生じる。スイッチング制御において、信号CMP OUTにライズエッジが生じると、コントローラ37は、制御信号CNT 2及びCNT 4にフォールエッジを生じさせると共に制御信号CNT 1及びCNT 3にライズエッジを生じさせる。駆動回路40Aは、制御信号CNT 2及びCNT 4のフォールエッジを契機にゲート信号G 2及びG 4にもフォールエッジを発生させることでトランジスタM 2及びM 4をターンオフさせると共に、制御信号CNT 1及びCNT 3のライズエッジを契機にゲート信号G 1及びG 3にもライズエッジを発生させることでトランジスタM 1及びM 3をターンオンさせる。

[0050] トランジスタM 2のターンオフに伴い、ランプ電圧 V_{RAMP} は十分に低い初期電圧 V_{INT} へと低下するため、“ $V_{SLP} < V_{ERR}$ ”の成立状態に戻り、速やかに信号CMP OUTにフォールエッジが生じる。尚、スイッチング制御において、トランジスタM 2及びM 4がターンオンされ且つトランジスタM 1及びM 3

がターンオフされるタイミングから、トランジスタM2及びM4がターンオフされ且つトランジスタM1及びM3がターンオンされるタイミングまでの時間を時間 t_{ON} と称する。

[0051] “ $V_{OUT} = V_{TG}$ ” であるとき “ $V_{FB} = V_{REF}$ ” である。“ $V_{OUT} = V_{TG}$ ” の成立状態を起点に負荷電流 I_{LD} が増大することを通じて “ $V_{OUT} < V_{TG}$ ” となると、“ $V_{FB} < V_{REF}$ ” となるので誤差電圧 V_{ERR} が上昇する。誤差電圧 V_{ERR} の上昇は、トランジスタM2のオン期間の増大をもたらす。トランジスタM2のオン期間の増大によりインダクタ電流 I_L が増加し、結果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて上昇してゆく。逆に、“ $V_{OUT} = V_{TG}$ ” の成立状態を起点に負荷電流 I_{LD} が減少することを通じて “ $V_{OUT} > V_{TG}$ ” となると、“ $V_{FB} > V_{REF}$ ” となるので誤差電圧 V_{ERR} が低下する。誤差電圧 V_{ERR} の低下は、トランジスタM2のオン期間の減少をもたらす。トランジスタM2のオン期間の減少によりインダクタ電流 I_L が減少し、結果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて低下してゆく。このように、スイッチング制御において、出力電圧 V_{OUT} 及び目標電圧 V_{TG} 間の差を減ずる制御が行われる。

[0052] 上述の時間 t_{ON} は、誤差電圧 V_{ERR} に依存し（従って出力電圧 V_{OUT} の情報に依存し）且つセンス電圧 V_{IL} に依存する（従ってインダクタL1の電流情報に依存する）。つまり、コントローラ37は、出力電圧 V_{OUT} の情報及びインダクタL1の電流情報に基づき、クロック信号CLKに同期してトランジスタM1～M4のスイッチング制御を行う。コントローラ37は、駆動回路40Aを用い、スイッチング制御において、クロック信号CLKにおける所定レベル変化を契機にトランジスタM2及びM4をターンオンさせ且つトランジスタM1及びM3をターンオフさせた後、出力電圧 V_{OUT} の情報及びインダクタL1の電流情報に応じた時間 t_{ON} が経過すると、トランジスタM2及びM4をターンオフさせ且つトランジスタM1及びM3をターンオンさせる。

[0053] コントローラ37は、上記スイッチング制御によりキャパシタ C_{MID} の両端間に中間電圧 V_{MID} を発生させると共に、トランジスタM1及びM2並びにインダクタL1を含むバックコンバータにて中間電圧 V_{MID} を降圧させることで出力ノ

ード $N D_{OUT}$ に出力電圧 V_{OUT} を発生させる。

[0054] 図6に駆動回路40Aの内部構成を示す。駆動回路40Aは、レベルシフタ41__1～41__4とゲートドライバ42__1～42__4を備える。図7に昇圧回路50Aの内部構成を示す。昇圧回路50Aは、ブートスイッチ M_a 、 M_b 及び M_c と、ブートキャパシタ C_{BOOT1} 、 C_{BOOT2} 及び C_{BOOT3} と、レベルシフタ51__2～51__4とゲートドライバ52__2～52__4を備える。但し、レベルシフタ41__2～41__4及びゲートドライバ42__2～42__4をレベルシフタ51__2～51__4及びゲートドライバ52__2～52__4として機能させても良い。

[0055] 制御回路30A内の各構成要素は（従ってコントローラ37は）、電圧 V_{DD} を正側の電源電圧として且つ電圧 V_{SS} を負側の電源電圧として用いて動作する。電圧 V_{SS} はここではグラウンドの電圧に相当する。電圧 V_{DD} 及び後述の電圧 V_{DRV} は入力電圧 V_{IN} よりも低い正の直流電圧であり、電源装置1A内において入力電圧 V_{IN} に基づき生成されて良い。電圧 V_{DD} 及び V_{DRV} は互いに異なる電圧値を有していて良い。以下、電圧 V_{DRV} は駆動電圧とも称され得る。駆動電圧 V_{DRV} は駆動配線 W_{DRV} における電圧である。

[0056] ブート配線 W_{BOOT1} 、 W_{BOOT2} 及び W_{BOOT3} 並びに駆動配線 W_{DRV} も昇圧回路50Aの構成要素に含まれると解して良い。ブート配線 W_{BOOT1} における電圧をブート電圧 V_{BOOT1} と称する。ブート配線 W_{BOOT2} における電圧をブート電圧 V_{BOOT2} と称する。ブート配線 W_{BOOT3} における電圧をブート電圧 V_{BOOT3} と称する。ブート電圧 V_{BOOT1} 、 V_{BOOT2} 、 V_{BOOT3} は、夫々、トランジスタ M_2 、 M_3 、 M_4 をオンさせるためにトランジスタ M_2 、 M_3 、 M_4 のゲートに供給される電圧である。

[0057] 図6を参照し、コントローラ37はレベルシフタ41__1～41__4に対して夫々制御信号 CNT_1 ～ CNT_4 を出力する。制御信号 CNT_1 ～ CNT_4 の夫々について、コントローラ37から出力されるハイレベルの制御信号は電圧 V_{DD} のレベルを有し、コントローラ37から出力されるローレベルの制御信号は電圧 V_{SS} のレベルを有する。

[0058] レベルシフタ41__1は電圧 V_{DD} 、 V_{SS} 及び V_{DRV} が加わる配線に接続さ

れ、それらの電圧の供給を受ける。レベルシフタ41__1は、電圧VDD、VSS及び V_{DRV} を用いて、コントローラ37からの制御信号CNT1のレベルをシフトさせ、レベルシフト後の制御信号CNT1を出力する。レベルシフタ41__1の出力信号はゲートドライバ42__1に供給される。レベルシフタ41__1の出力信号は、コントローラ37からハイレベルの制御信号CNT1が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT1が出力されるときにローレベルを有する。レベルシフタ41__1の出力信号におけるハイレベルは駆動電圧 V_{DRV} のレベルを有し、レベルシフタ41__1の出力信号におけるローレベルは電圧VSSのレベルを有する。

[0059] ゲートドライバ42__1はトランジスタM1のゲートに接続される。ゲートドライバ42__1は、電圧 V_{DRV} 及びVSSに基づき制御信号CNT1に応じて（詳細にはレベルシフタ41__1からのレベルシフト後の制御信号CNT1に応じて）トランジスタM1のゲートを駆動することによりトランジスタM1をオン又はオフさせる。ゲートドライバ42__1はレベルシフタ41__1の出力信号がハイレベルを有するとき、ハイレベルのゲート信号G1をトランジスタM1のゲートに供給することで、トランジスタM1の状態をオンに設定する。ゲートドライバ42__1はレベルシフタ41__1の出力信号がローレベルを有するとき、ローレベルのゲート信号G1をトランジスタM1のゲートに供給することで、トランジスタM1の状態をオフに設定する。ハイレベルのゲート信号G1は駆動電圧 V_{DRV} のレベルを有し、ローレベルのゲート信号G1は電圧VSSのレベルを有する。駆動電圧 V_{DRV} はトランジスタM1のゲート閾電圧よりも高い。

[0060] レベルシフタ41__2は電圧VDD、VSS、 V_{BOOT1} 及び V_{LX} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ41__2は、電圧VDD、VSS、 V_{BOOT1} 及び V_{LX} を用いて、コントローラ37からの制御信号CNT2のレベルをシフトさせ、レベルシフト後の制御信号CNT2を出力する。レベルシフタ41__2の出力信号はゲートドライバ42__2に供給さ

れる。レベルシフタ41__2の出力信号は、コントローラ37からハイレベルの制御信号CNT2が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT2が出力されるときにローレベルを有する。レベルシフタ41__2の出力信号におけるハイレベルはブート電圧 V_{BOOT1} のレベルを有し、レベルシフタ41__2の出力信号におけるローレベルは電圧 V_{LX} のレベルを有する。

[0061] ゲートドライバ42__2はトランジスタM2のゲートに接続される。ゲートドライバ42__2は、電圧 V_{BOOT1} 及び V_{LX} に基づき制御信号CNT2に応じて（詳細にはレベルシフタ41__2からのレベルシフト後の制御信号CNT2に応じて）トランジスタM2のゲートを駆動することによりトランジスタM2をオン又はオフさせる。ゲートドライバ42__2はレベルシフタ41__2の出力信号がハイレベルを有するとき、ハイレベルのゲート信号G2をトランジスタM2のゲートに供給することで、トランジスタM2の状態をオンに設定する。ゲートドライバ42__2はレベルシフタ41__2の出力信号がローレベルを有するとき、ローレベルのゲート信号G2をトランジスタM2のゲートに供給することで、トランジスタM2の状態をオフに設定する。ハイレベルのゲート信号G2はブート電圧 V_{BOOT1} のレベルを有し、ローレベルのゲート信号G2は電圧 V_{LX} のレベルを有する。差電圧（ $V_{BOOT1} - V_{LX}$ ）はトランジスタM2のゲート閾電圧よりも高い。

[0062] レベルシフタ41__3は電圧VDD、VSS、 V_{BOOT2} 及び V_{MID} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ41__3は、電圧VDD、VSS、 V_{BOOT2} 及び V_{MID} を用いて、コントローラ37からの制御信号CNT3のレベルをシフトさせ、レベルシフト後の制御信号CNT3を出力する。レベルシフタ41__3の出力信号はゲートドライバ42__3に供給される。レベルシフタ41__3の出力信号は、コントローラ37からハイレベルの制御信号CNT3が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT3が出力されるときにローレベルを有する。レベルシフタ41__3の出力信号におけるハイレベルはブート電圧 V_{BOOT}

T_2 のレベルを有し、レベルシフタ4 1 __ 3の出力信号におけるローレベルは中間電圧 V_{MID} のレベルを有する。

[0063] ゲートドライバ4 2 __ 3はトランジスタM 3のゲートに接続される。ゲートドライバ4 2 __ 3は、電圧 V_{BOOT2} 及び V_{MID} に基づき制御信号CNT 3に応じて（詳細にはレベルシフタ4 1 __ 3からのレベルシフト後の制御信号CNT 3に応じて）トランジスタM 3のゲートを駆動することによりトランジスタM 3をオン又はオフさせる。ゲートドライバ4 2 __ 3はレベルシフタ4 1 __ 3の出力信号がハイレベルを有するとき、ハイレベルのゲート信号G 3をトランジスタM 3のゲートに供給することで、トランジスタM 3の状態をオンに設定する。ゲートドライバ4 2 __ 3はレベルシフタ4 1 __ 3の出力信号がローレベルを有するとき、ローレベルのゲート信号G 3をトランジスタM 3のゲートに供給することで、トランジスタM 3の状態をオフに設定する。ハイレベルのゲート信号G 3はブート電圧 V_{BOOT2} のレベルを有し、ローレベルのゲート信号G 3は中間電圧 V_{MID} のレベルを有する。差電圧（ $V_{BOOT2} - V_{MID}$ ）はトランジスタM 3のゲート閾電圧よりも高い。

[0064] レベルシフタ4 1 __ 4は電圧VDD、VSS、 V_{BOOT3} 及び V_{FLY} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ4 1 __ 4は、電圧VDD、VSS、 V_{BOOT3} 及び V_{FLY} を用いて、コントローラ3 7からの制御信号CNT 4のレベルをシフトさせ、レベルシフト後の制御信号CNT 4を出力する。レベルシフタ4 1 __ 4の出力信号はゲートドライバ4 2 __ 4に供給される。レベルシフタ4 1 __ 4の出力信号は、コントローラ3 7からハイレベルの制御信号CNT 4が出力されるときにハイレベルを有し、コントローラ3 7からローレベルの制御信号CNT 4が出力されるときにローレベルを有する。レベルシフタ4 1 __ 4の出力信号におけるハイレベルはブート電圧 V_{BOOT3} のレベルを有し、レベルシフタ4 1 __ 4の出力信号におけるローレベルは電圧 V_{FLY} のレベルを有する。

[0065] ゲートドライバ4 2 __ 4はトランジスタM 4のゲートに接続される。ゲートドライバ4 2 __ 4は、電圧 V_{BOOT3} 及び V_{FLY} に基づき制御信号CNT 4に応じ

て（詳細にはレベルシフタ4 1__4からのレベルシフト後の制御信号CNT 4に応じて）トランジスタM 4のゲートを駆動することによりトランジスタM 4をオン又はオフさせる。ゲートドライバ4 2__4はレベルシフタ4 1__4の出力信号がハイレベルを有するとき、ハイレベルのゲート信号G 4をトランジスタM 4のゲートに供給することで、トランジスタM 4の状態をオンに設定する。ゲートドライバ4 2__4はレベルシフタ4 1__4の出力信号がローレベルを有するとき、ローレベルのゲート信号G 4をトランジスタM 4のゲートに供給することで、トランジスタM 4の状態をオフに設定する。ハイレベルのゲート信号G 4はブート電圧 V_{BOOT3} のレベルを有し、ローレベルのゲート信号G 4は電圧 V_{FLY} のレベルを有する。差電圧（ $V_{BOOT3} - V_{FLY}$ ）はトランジスタM 4のゲート閾電圧よりも高い。

[0066] 図7を参照し、ブートスイッチMa～Mcは各々にPチャネル型のMOS FETにより構成される。このため、以下、ブートスイッチMa～McをトランジスタMa～Mcと称することがある。図7にはトランジスタMa～Mcに付加された寄生ダイオードも図示される（トランジスタMa～Mcが示された、後述の幾つかの図面についても同様）。トランジスタMa～Mcの夫々において、寄生ダイオードはドレインからソースに向かう向きに順方向を有する。

[0067] ブートキャパシタ C_{BOOT1} はノードND 1とブート配線 W_{BOOT1} との間に設けられる。即ち、ブートキャパシタ C_{BOOT1} の第1端、第2端は、夫々、ノードND 1、ブート配線 W_{BOOT1} に接続される。ブート配線 W_{BOOT1} からブートキャパシタ C_{BOOT1} を介してノードND 1へと流れる電流によりブートキャパシタ C_{BOOT1} が充電され、その逆向きの電流によりブートキャパシタ C_{BOOT1} が放電される。ブートキャパシタ C_{BOOT1} の充電によりブート電圧 V_{BOOT1} が上昇する。

[0068] ブートキャパシタ C_{BOOT2} はノードND 2とブート配線 W_{BOOT2} との間に設けられる。即ち、ブートキャパシタ C_{BOOT2} の第1端、第2端は、夫々、ノードND 2、ブート配線 W_{BOOT2} に接続される。ブート配線 W_{BOOT2} からブートキャパシタ C_{BOOT2} を介してノードND 2へと流れる電流によりブートキャパシタ C_{BOOT2} が充電

され、その逆向きの電流によりブートキャパシタ C_{BOOT2} が放電される。ブートキャパシタ C_{BOOT2} の充電によりブート電圧 V_{BOOT2} が上昇する。

[0069] ブートキャパシタ C_{BOOT3} はノードND3とブート配線 W_{BOOT3} との間に設けられる。即ち、ブートキャパシタ C_{BOOT3} の第1端、第2端は、夫々、ノードND3、ブート配線 W_{BOOT3} に接続される。ブート配線 W_{BOOT3} からブートキャパシタ C_{BOOT3} を介してノードND3へと流れる電流によりブートキャパシタ C_{BOOT3} が充電され、その逆向きの電流によりブートキャパシタ C_{BOOT3} が放電される。ブートキャパシタ C_{BOOT3} の充電によりブート電圧 V_{BOOT3} が上昇する。

[0070] トランジスタMaは駆動電圧 V_{DRV} が加わる駆動配線 W_{DRV} とブート配線 W_{BOOT1} との間に設けられる。具体的には、トランジスタMaのドレインは駆動配線 W_{DRV} に接続され、トランジスタMaのソースはブート配線 W_{BOOT1} に接続される。トランジスタMbはブート配線 W_{BOOT1} とブート配線 W_{BOOT2} との間に設けられる。具体的には、トランジスタMbのドレインはブート配線 W_{BOOT1} に接続され、トランジスタMbのソースはブート配線 W_{BOOT2} に接続される。トランジスタMcはブート配線 W_{BOOT2} とブート配線 W_{BOOT3} との間に設けられる。具体的には、トランジスタMcのドレインはブート配線 W_{BOOT2} に接続され、トランジスタMcのソースはブート配線 W_{BOOT3} に接続される。

[0071] コントローラ37はレベルシフタ51__2～51__4に対して夫々制御信号CNT1～CNT4を出力する。

[0072] レベルシフタ51__2は電圧VDD、VSS、 V_{BOOT1} 及び V_{LX} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ51__2は、電圧VDD、VSS、 V_{BOOT1} 及び V_{LX} を用いて、コントローラ37からの制御信号CNT2のレベルをシフトさせ、レベルシフト後の制御信号CNT2を出力する。レベルシフタ51__2の出力信号はスイッチドライバ52__2に供給される。レベルシフタ51__2の出力信号は、コントローラ37からハイレベルの制御信号CNT2が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT2が出力されるときにローレベルを有する。レベルシフタ51__2の出力信号におけるハイレベルはブート電圧

V_{BOOT1} のレベルを有し、レベルシフタ51__2の出力信号におけるローレベルは電圧 V_{LX} のレベルを有する。

[0073] スイッチドライバ52__2はトランジスタMaのゲートに接続される。スイッチドライバ52__2は、電圧 V_{BOOT1} 及び V_{LX} に基づき制御信号CNT2に応じて（詳細にはレベルシフタ51__2からのレベルシフト後の制御信号CNT2に応じて）トランジスタMaのゲートを駆動することによりトランジスタMaをオン又はオフさせる。スイッチドライバ52__2はレベルシフタ51__2の出力信号がハイレベルを有するとき、ハイレベルのゲート信号をトランジスタMaのゲートに供給することで、トランジスタMaの状態をオフに設定する。スイッチドライバ52__2はレベルシフタ51__2の出力信号がローレベルを有するとき、ローレベルのゲート信号をトランジスタMaのゲートに供給することで、トランジスタMaの状態をオンに設定する。トランジスタMaに対するハイレベルのゲート信号はブート電圧 V_{BOOT1} のレベルを有し、トランジスタMaに対するローレベルのゲート信号は電圧 V_{LX} のレベルを有する。差電圧（ $V_{BOOT1} - V_{LX}$ ）はトランジスタMaのゲート閾電圧の絶対値よりも大きい。

[0074] レベルシフタ51__3は電圧VDD、VSS、 V_{BOOT2} 及び V_{MID} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ51__3は、電圧VDD、VSS、 V_{BOOT2} 及び V_{MID} を用いて、コントローラ37からの制御信号CNT3のレベルをシフトさせ、レベルシフト後の制御信号CNT3を出力する。レベルシフタ51__3の出力信号はスイッチドライバ52__3に供給される。レベルシフタ51__3の出力信号は、コントローラ37からハイレベルの制御信号CNT3が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT3が出力されるときにローレベルを有する。レベルシフタ51__3の出力信号におけるハイレベルはブート電圧 V_{BOOT2} のレベルを有し、レベルシフタ51__3の出力信号におけるローレベルは電圧 V_{MID} のレベルを有する。

[0075] スイッチドライバ52__3はトランジスタMbのゲートに接続される。ス

スイッチドライバ52__3は、電圧 V_{BOOT2} 及び V_{MID} に基づき制御信号CNT3に応じて（詳細にはレベルシフタ51__3からのレベルシフト後の制御信号CNT3に応じて）トランジスタMbのゲートを駆動することによりトランジスタMbをオン又はオフさせる。スイッチドライバ52__3はレベルシフタ51__3の出力信号がハイレベルを有するとき、ハイレベルのゲート信号をトランジスタMbのゲートに供給することで、トランジスタMbの状態をオフに設定する。スイッチドライバ52__3はレベルシフタ51__3の出力信号がローレベルを有するとき、ローレベルのゲート信号をトランジスタMbのゲートに供給することで、トランジスタMbの状態をオンに設定する。トランジスタMbに対するハイレベルのゲート信号はブート電圧 V_{BOOT2} のレベルを有し、トランジスタMbに対するローレベルのゲート信号は電圧 V_{MID} のレベルを有する。差電圧（ $V_{BOOT2} - V_{MID}$ ）はトランジスタMbのゲート閾電圧の絶対値よりも大きい。

[0076] レベルシフタ51__4は電圧VDD、VSS、 V_{BOOT3} 及び V_{FLY} が加わる配線に接続され、それらの電圧の供給を受ける。レベルシフタ51__4は、電圧VDD、VSS、 V_{BOOT3} 及び V_{FLY} を用いて、コントローラ37からの制御信号CNT4のレベルをシフトさせ、レベルシフト後の制御信号CNT4を出力する。レベルシフタ51__4の出力信号はスイッチドライバ52__4に供給される。レベルシフタ51__4の出力信号は、コントローラ37からハイレベルの制御信号CNT4が出力されるときにハイレベルを有し、コントローラ37からローレベルの制御信号CNT4が出力されるときにローレベルを有する。レベルシフタ51__4の出力信号におけるハイレベルはブート電圧 V_{BOOT3} のレベルを有し、レベルシフタ51__4の出力信号におけるローレベルは電圧 V_{FLY} のレベルを有する。

[0077] スwitchドライバ52__4はトランジスタMcのゲートに接続される。スイッチドライバ52__4は、電圧 V_{BOOT3} 及び V_{FLY} に基づき制御信号CNT4に応じて（詳細にはレベルシフタ51__4からのレベルシフト後の制御信号CNT4に応じて）トランジスタMcのゲートを駆動することによりトランジ

スタM cをオン又はオフさせる。スイッチドライバ5 2__4はレベルシフタ5 1__4の出力信号がハイレベルを有するとき、ハイレベルのゲート信号をトランジスタM cのゲートに供給することで、トランジスタM cの状態をオフに設定する。スイッチドライバ5 2__4はレベルシフタ5 1__4の出力信号がローレベルを有するとき、ローレベルのゲート信号をトランジスタM cのゲートに供給することで、トランジスタM cの状態をオンに設定する。トランジスタM cに対するハイレベルのゲート信号はブート電圧 V_{BOOT3} のレベルを有し、トランジスタM cに対するローレベルのゲート信号は電圧 V_{FLY} のレベルを有する。差電圧($V_{BOOT3} - V_{FLY}$)はトランジスタM cのゲート閾電圧の絶対値よりも大きい。

[0078] 上述したように、レベルシフタ4 1__2～4 1__4及びゲートドライバ4 2__2～4 2__4をレベルシフタ5 1__2～5 1__4及びゲートドライバ5 2__2～5 2__4として機能させても良い。この場合、トランジスタM a～M cを駆動するための専用のレベルシフタ及びスイッチドライバは昇圧回路5 0 Aに設けられない（即ち昇圧回路5 0 Aからレベルシフタ5 1__2～5 1__4及びゲートドライバ5 2__2～5 2__4が省略される）。そして、ドライバ4 2__2から出力されるゲート信号G 2をトランジスタM aのゲートに供給し、ドライバ4 2__3から出力されるゲート信号G 3をトランジスタM bのゲートに供給し、且つ、ドライバ4 2__4から出力されるゲート信号G 4をトランジスタM cのゲートに供給すると良い。

[0079] 図8に駆動回路4 0 Aの内部構成及び昇圧回路5 0 Aの内部構成を合わせて示す。但し、図8並びに後述の図9及び図1 0では符号“4 0 A”及び“5 0 A”の図示が省略される。

[0080] 図9及び図1 0を参照して各ブートキャパシタが充電又は放電される動作を説明する。

[0081] 図9に示す如く、状態S T__A 1において、コントローラ3 7はローレベルの制御信号C N T 1及びC N T 3を出力し且つハイレベルの制御信号C N T 2及びC N T 4を出力する。このため、状態S T__A 1において、駆動回

路 40A は制御信号 CNT1 ~ CNT4 に基づきトランジスタ G1 及び G3 をオフに設定し且つトランジスタ G2 及び G4 をオンに設定する。また、状態 ST__A1 において、昇圧回路 50A は制御信号 CNT2 ~ CNT4 に基づきトランジスタ Ma 及び Mc をオフに設定し且つトランジスタ Mb をオンに設定する。

[0082] 結果、状態 ST__A1 では電流 821 が発生する。電流 821 はブートキャパシタ C_{BOOT2} を充電する電流であって、ブートキャパシタ C_{BOOT1} の放電により発生する。電流 821 は、ブート配線 W_{BOOT1} からトランジスタ Mb、ブート配線 W_{BOOT2} 、ブートキャパシタ C_{BOOT2} 、ノード ND2、トランジスタ M2、ノード ND1 及びブートキャパシタ C_{BOOT1} を通じ、ブート配線 W_{BOOT1} へ戻る電流ループを流れる。また、状態 ST__A1 では、ブートキャパシタ C_{BOOT1} の放電電流を用いてゲート信号 G2 がハイレベルへ持ち上げられ、ブートキャパシタ C_{BOOT3} の放電電流を用いてゲート信号 G4 がハイレベルへ持ち上げられる。

[0083] 図 10 に示す如く、状態 ST__A2 において、コントローラ 37 はハイレベルの制御信号 CNT1 及び CNT3 を出力し且つローレベルの制御信号 CNT2 及び CNT4 を出力する。このため、状態 ST__A2 において、駆動回路 40A は制御信号 CNT1 ~ CNT4 に基づきトランジスタ G1 及び G3 をオンに設定し且つトランジスタ G2 及び G4 をオフに設定する。また、状態 ST__A2 において、昇圧回路 50A は制御信号 CNT2 ~ CNT4 に基づきトランジスタ Ma 及び Mc をオンに設定し且つトランジスタ Mb をオフに設定する。

[0084] 結果、状態 ST__A2 では電流 822 及び 823 が発生する。電流 822 はブートキャパシタ C_{BOOT1} を充電する電流であって、駆動電圧 V_{DRV} を生成する電圧源（不図示）により発生する。当該電圧源は電源装置 1A（後述の電源制御装置 10A；図 11 参照）に設けられ、入力電圧 V_{IN} を元に駆動電圧 V_{DRV} を生成する直流電圧源である。電流 822 は、当該電圧源から駆動配線 W_{DRV} 、トランジスタ Ma、ブート配線 W_{BOOT1} 、ブートキャパシタ C_{BOOT1} 、ノード ND1、トランジスタ M1 及びグランドを通じ、当該電圧源へ戻る電流ループを流

れる。電流 823 はブートキャパシタ C_{BOOT3} を充電する電流であって、ブートキャパシタ C_{BOOT2} の放電により発生する。電流 823 は、ブート配線 W_{BOOT2} からトランジスタ M_c 、ブート配線 W_{BOOT3} 、ブートキャパシタ C_{BOOT3} 、ノード $ND3$ 、トランジスタ $M3$ 、ノード $ND2$ 及びブートキャパシタ C_{BOOT2} を通じ、ブート配線 W_{BOOT2} へ戻る電流ループを流れる。また、状態 ST_A2 では、ブートキャパシタ C_{BOOT2} の放電電流を用いてゲート信号 $G3$ がハイレベルへ持ち上げられる。

[0085] トランジスタ $M1 \sim M4$ の状態を状態 ST_A1 及び ST_A2 間で交互に切り替えるスイッチング制御（図3参照）が行われるとき、トランジスタ $Ma \sim Mc$ の状態も図9及び図10に示すように切り替えられる。これにより、少なくとも定常状態においては、差電圧 $(V_{BOOT1} - V_{LX})$ がトランジスタ $M2$ のゲート閾電圧よりも高く、差電圧 $(V_{BOOT2} - V_{MID})$ がトランジスタ $M3$ のゲート閾電圧よりも高く、且つ、差電圧 $(V_{BOOT3} - V_{FLY})$ がトランジスタ $M4$ のゲート閾電圧よりも高い状態が保たれる。

[0086] 図11は電源装置1Aに含まれる電源制御装置10Aの外観斜視図である。電源制御装置10Aは、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体から電源制御装置10Aの外部に対して露出する複数の外部端子と、を備えた電子部品である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することで電源制御装置10Aが形成される。尚、図2に示される電源制御装置10Aの外部端子の数及び電源制御装置10Aの筐体の種類は例示に過ぎず、それらを任意に設計可能である。

[0087] 電源装置1Aは電源制御装置10Aと電源制御装置10Aに対して外付け接続されるディスクリート部品群とを備える。電源装置1Aの構成要素の内、一部が電源制御装置10Aに設けられ、残部がディスクリート部品群にて構成される。

[0088] 図12を参照し、インダクタ $L1$ 、キャパシタ C_{OUT} 、 C_{MID} 、 C_{FLY} 、 C_{BOOT1} 、 C_{BOOT2} 及び C_{BOOT3} 、並びに、抵抗 $R1$ 及び $R2$ は、ディスクリート部品群に設け

られる。但し、抵抗 R_1 及び R_2 は電源制御装置10Aに内蔵され得る。トランジスタ $M_1 \sim M_4$ もディスクリート部品群に設けられる。但し、トランジスタ $M_1 \sim M_4$ は電源制御装置10Aに内蔵され得る。制御回路30A及び駆動回路40Aは電源制御装置10Aに設けられる。昇圧回路50Aの構成要素の内、ブートキャパシタ $C_{BOOT1} \sim C_{BOOT3}$ 以外は電源制御装置10Aに設けられる。

[0089] 本実施形態の昇圧回路50Aを持たない参考電源装置（不図示）も検討される。参考電源装置では、3つのブートストラップ用のダイオードを電源制御装置に対して外付け接続する。これらダイオードの分だけ、参考電源装置では電源装置1Aよりも部品点数が多くなる。電源装置1Aでは、ブートストラップ用の整流素子としてダイオードではなくPチャネル型のMOSFET（ $M_a \sim M_b$ ）を用いるためブートストラップ用の整流素子を電源制御装置10に内蔵可能である。即ち、部品点数の低減と、それに伴う電源装置の小型化が可能となる。また、参考電源装置では、ダイオードの順方向電圧分、トランジスタ $M_2 \sim M_4$ をオンさせるためのゲート信号のレベルが低くなる。これに対し、電源装置1Aでは、ダイオードの順方向電圧の影響が無いので、トランジスタ $M_2 \sim M_4$ のスイッチング損失の低減効果が得られると共に、各部の電圧が比較的低い場合における駆動マージンも確保しやすい。

[0090] <<第2実施形態>>

本開示の第2実施形態を説明する。第2実施形態並びに後述の第3及び第4実施形態は第1実施形態を基礎とする実施形態であり、第2～第4実施形態において特に述べない事項に関しては、矛盾の無い限り、第1実施形態の記載が第2～第4実施形態にも適用される。但し、第2実施形態の記載を解釈するにあたり、第1及び第2実施形態間で矛盾する事項については第2実施形態の記載が優先されて良い（後述の第3及び第4実施形態についても同様）。矛盾の無い限り、第1～第4実施形態の内、任意の複数の実施形態を組み合わせても良い。

[0091] 図13は本開示の第2実施形態に係る電源装置1Bの全体構成図である。

電源装置 1 B はマルチフェーズコンバータの一種である。第 1 実施形態に係る電源装置 1 A に対してスイッチング素子 M5 及びインダクタ L2 を追加することで電源装置 1 B が構成される。尚、第 1 実施形態の記載を第 2 実施形態に適用する際、第 1 実施形態における記載“電源装置 1 A”は本実施形態において“電源装置 1 B”に読み替えられる。上記追加に伴い、電源装置 1 B では、キャパシタ C_{FLY} の第 1 端はノード ND3 に接続され、キャパシタ C_{FLY} の第 2 端はノード ND5 に接続される。スイッチング素子 M5 は、スイッチング素子 M1 ~ M4 と同様、N チャネル型の MOSFET により構成される。このため、以下、スイッチング素子 M5 をトランジスタ M5 と称することがある。電源装置 1 B において、トランジスタ M5 のドレイン及びインダクタ L2 の第 1 端はノード ND5 に接続され、インダクタ L2 の第 2 端は出力ノード ND_{OUT} に接続され、トランジスタ M5 のソースはグランドに接続される。

[0092] 電源装置 1 B はバックコンバータ CNV a とスタックドコンバータ (stacked converter) CNV b とを有する。バックコンバータ CNV a は、トランジスタ M1 及び M2、インダクタ L1 並びにキャパシタ C_{OUT} を備え、中間電圧 V_{MID} を降圧することで所望の出力電圧 V_{OUT} を生成する。トランジスタ M1、M2 は、バックコンバータ CNV a におけるローサイドスイッチング素子、ハイサイドスイッチング素子として機能する。

[0093] スタックドコンバータ CNV b は、トランジスタ M3 ~ M5、キャパシタ C_{FLY} 及びインダクタ L2 を備え、入力電圧 V_{IN} から中間電圧 V_{MID} を生成する。キャパシタ C_{MID} もスタックドコンバータ CNV b の構成要素に含まれると解して良い。また、スタックドコンバータ CNV b はマルチフェーズコンバータにおける 1 フェーズ分のコンバータとしても機能する。トランジスタ M3 は、キャパシタ C_{MID} を充電するための制御用スイッチング素子として機能する。トランジスタ M4 は、中間電圧 V_{MID} を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。トランジスタ M5 は、マルチフェーズ用のローサイドスイッチ

グ素子として機能する。

[0094] 電源装置 1 B では、図 1 の制御回路 3 0 A、駆動回路 4 0 A 及び昇圧回路 5 0 A の代わりに、制御回路 3 0 B、駆動回路 4 0 B 及び昇圧回路 5 0 B が設けられる。

[0095] 制御回路 3 0 B は、出力電圧 V_{OUT} の情報及びインダクタ L_1 の電流情報に基づき、出力電圧 V_{OUT} が目標電圧 V_{TG} にて安定化されるよう、駆動回路 4 0 B を用いてトランジスタ $M_1 \sim M_5$ のスイッチング制御を行う。出力電圧 V_{OUT} の情報は、出力電圧 V_{OUT} に応じた情報であり、例えば第 1 実施形態で述べた帰還電圧 V_{FB} であって良い。インダクタ L_1 の電流情報は、インダクタ電流 I_L に応じた情報であり、例えばインダクタ電流 I_L の値に比例する電圧信号（図 4 のセンス電圧 V_{IL} ）である。制御回路 3 0 B はスイッチング制御においてトランジスタ $M_1 \sim M_5$ を個別にオン又はオフに制御する。制御回路 3 0 B は、出力電圧 V_{OUT} の情報及びインダクタ L_1 の電流情報に基づき上述の制御信号 $CNT_1 \sim CNT_4$ を生成すると共にトランジスタ M_5 の状態（オン又はオフ状態）を指定する制御信号 CNT_5 を生成する。駆動回路 4 0 B は、第 1 実施形態の駆動回路 4 0 A と同じ構成を備え、且つ、制御信号 CNT_5 に応じたゲート信号 G_5 を生成する。昇圧回路 5 0 B は第 1 実施形態の昇圧回路 5 0 A と同じ構成を持つ。トランジスタ $M_1 \sim M_5$ のゲートに対して、夫々、駆動回路 4 0 B からのゲート信号 $G_1 \sim G_5$ が供給されることで、トランジスタ $M_1 \sim M_5$ の状態が個別にオン又はオフに設定される。

[0096] 制御回路 3 0 B のスイッチング制御により、トランジスタ $M_1 \sim M_5$ の状態は、図 1 4 ～図 1 7 に示す状態 $ST_B_1 \sim ST_B_4$ 間で切り替えられる。図 1 4 ～図 1 7 では、各状態にて発生する電流の流れが複数の矢印付き折れ線にて示されている。ここでは、電流連続モードで電源装置 1 B が動作していることを想定する。尚、キャパシタ C_{FLY} の第 2 端の電位（即ちノード ND_5 の電位）を基準にキャパシタ C_{FLY} の第 1 端の電位（即ちノード ND_3 の電位）を上昇させる向きの電流はキャパシタ C_{FLY} の充電電流であり、その逆向きの電流はキャパシタ C_{FLY} の放電電流である。キャパシタ C_{MID} に関しては、中間

電圧 V_{MID} を上昇させる向きの電流が充電電流であり、中間電圧 V_{MID} を低下させる向きの電流が放電電流である。

[0097] 図14に示す如く状態 ST_B1 において、トランジスタ $M1$ 及び $M4$ はオン状態であり、トランジスタ $M2$ 、 $M3$ 及び $M5$ はオフ状態である。状態 ST_B1 において電流 841 及び 842 が発生する。電流 841 は入力電圧 V_{IN} の印加端からトランジスタ $M4$ 、キャパシタ C_{FLY} 及びインダクタ $L2$ を通じて出力ノード ND_{OUT} へと向かう電流である。電流 841 はキャパシタ C_{FLY} への充電電流に相当し、電流 841 によりキャパシタ C_{FLY} が充電される。電流 842 はグラウンドからトランジスタ $M1$ 及びインダクタ $L1$ を介して出力ノード ND_{OUT} に向かう。状態 ST_B1 においてキャパシタ C_{MID} に対する充放電は生じず、キャパシタ C_{MID} の蓄積電荷は不変に保持される。

[0098] 図15に示す如く状態 ST_B2 において、トランジスタ $M2$ 及び $M4$ はオン状態であり、トランジスタ $M1$ 、 $M3$ 及び $M5$ はオフ状態である。状態 ST_B2 において上記電流 841 と共に電流 843 が発生する。電流 843 はキャパシタ C_{MID} からトランジスタ $M2$ 及びインダクタ $L1$ を通じ出力ノード ND_{OUT} に向かう電流であり、キャパシタ C_{MID} の放電により発生する。

[0099] 図16に示す如く状態 ST_B3 において、トランジスタ $M2$ 、 $M3$ 及び $M5$ はオン状態であり、トランジスタ $M1$ 及び $M4$ はオフ状態である。状態 ST_B3 において上記電流 843 と共に電流 844 及び 845 が発生する。電流 844 はグラウンドからトランジスタ $M5$ 、キャパシタ C_{FLY} 及びトランジスタ $M3$ を通じてキャパシタ C_{MID} の正極に向かい、キャパシタ C_{MID} を通じてグラウンドに戻る。電流 844 によりキャパシタ C_{FLY} が放電される一方でキャパシタ C_{MID} が充電される。電流 845 はグラウンドからトランジスタ $M5$ 及びインダクタ $L2$ を通じ出力ノード ND_{OUT} に向かう。

[0100] 図17に示す如く状態 ST_B4 において、トランジスタ $M1$ 、 $M3$ 及び $M5$ はオン状態であり、トランジスタ $M2$ 及び $M4$ はオフ状態である。状態 ST_B4 において上記電流 842 、 844 及び 845 が発生する。

[0101] 状態 ST_B1 において電流 841 及び 842 の大きさは同程度である。

また状態 ST_B2 において電流 841 及び 843 の大きさは同程度である。そして状態 ST_B2 ではトランジスタ $M2$ 及び $M4$ がオンであることから、キャパシタ C_{FLY} 及び C_{MID} にとって、状態 ST_B2 はキャパシタ C_{FLY} 及び C_{MID} が直列接続された状態と等価である。また状態 ST_B3 及び ST_B4 ではトランジスタ $M3$ 及び $M5$ を通じてキャパシタ C_{FLY} 及び C_{MID} が並列接続される。結果、電源装置 $1A$ と類似して、電源装置 $1B$ においてトランジスタ $M1 \sim M5$ 並びにキャパシタ C_{FLY} 及び C_{MID} を有する回路によりスイッチドキャパシタ回路が形成される。制御回路 $40B$ は当該回路をスイッチドキャパシタ回路として動作させることにより、キャパシタ C_{MID} の正極に入力電圧 V_{IN} の分圧に相当する中間電圧 V_{MID} を発生させる。中間電圧 V_{MID} は実質的に電圧 ($V_{IN}/2$) と一致する。厳密には、中間電圧 V_{MID} は電圧 ($V_{IN}/2$) を中心に多少変動する。

[0102] バックコンバータ $CNVa$ による出力ノード ND_{OUT} への出力電流 (842 、 843)、及び、スタックドコンバータ $CNVb$ による出力ノード ND_{OUT} への出力電流 (841 、 845) は脈流であって、前者の出力電流と後者の出力電流は互いに異なる位相を有する。即ち、電源装置 $1B$ はマルチフェーズコンバータ (マルチフェーズ方式の DC/DC コンバータ) であり、フェーズ数は 2 である。

[0103] 昇圧回路 $50B$ の構成及び動作は第 1 実施形態の昇圧回路 $50A$ (図 7 参照) と同じである。故に、トランジスタ Ma は、トランジスタ $M2$ のオン期間においてオフであり、トランジスタ $M2$ のオフ期間においてオンである。トランジスタ Mb は、トランジスタ $M3$ のオン期間においてオフであり、トランジスタ $M3$ のオフ期間においてオンである。トランジスタ Mc は、トランジスタ $M4$ のオン期間においてオフであり、トランジスタ $M4$ のオフ期間においてオンである。トランジスタ $M1 \sim M4$ 及び $Ma \sim Mc$ の状態のみに注目した場合、図 15 の状態 ST_B2 は図 9 の状態 ST_A1 と等価であり、図 17 の状態 ST_B4 は図 10 の状態 ST_A2 と等価である。

[0104] <<第 3 実施形態>>

本開示の第3実施形態を説明する。図18は本開示の第3実施形態に係る電源装置1Cの全体構成図である。尚、第1実施形態の記載を第3実施形態に適用でき、この適用の際、第1実施形態における記載“電源装置1A”は本実施形態において“電源装置1C”に読み替えられる。

- [0105] 電源装置1Cは、電源装置1A又は1Bと同様、図示されない電圧源から正の入力電圧 V_{IN} の供給を受け、入力電圧 V_{IN} を降圧することで正の出力電圧 V_{OUT} を生成する。電源装置1Cは、コンバータCNV1及びコンバータCNV2、制御回路30C、駆動回路40C及び昇圧回路50Cを備える。コンバータCNV1及びコンバータCNV2の構成要素として、電源装置1Cは、スイッチング素子M1～M8と、キャパシタ C_{FLY1} 、 C_{FLY2} 、 C_{MID1} 、 C_{MID2} 及び C_{OUT} と、インダクタL1～L4を備える。キャパシタ C_{FLY1} 及び C_{FLY2} をフライングキャパシタと称することができる。キャパシタ C_{MID1} 及び C_{MID2} を中間キャパシタと称することができる。キャパシタ C_{OUT} を出力キャパシタと称することができる。
- [0106] コンバータCNV1は第1チャンネルのコンバータである。コンバータCNV1の構成要素には、スイッチング素子M1～M4と、キャパシタ C_{FLY1} 及び C_{MID1} と、インダクタL1及びL3が含まれる。コンバータCNV2は第2チャンネルのコンバータである。コンバータCNV2の構成要素には、スイッチング素子M5～M8と、キャパシタ C_{FLY2} 及び C_{MID2} と、インダクタL2及びL4が含まれる。キャパシタ C_{OUT} はコンバータCNV1及びCNV2に兼用される。即ちキャパシタ C_{OUT} はコンバータCNV1及びCNV2の夫々の構成要素であって、コンバータCNV1及びCNV2にて共用される。
- [0107] キャパシタ C_{OUT} 以外にも、電源装置1Cにおける幾つかの部品はコンバータCNV1及びCNV2にて兼用される（換言すれば共有される）。これについて以下詳説する。
- [0108] コンバータCNV1は第1チャンネルのバックコンバータと第1チャンネルのスタックドコンバータとを有する。第1チャンネルのバックコンバータは、スイッチング素子M1及びM2、インダクタL1を備え、キャパシタ C_{OUT} と協働

して中間電圧 V_{MID1} を降圧することで出力ノード N_{DOUT} に出力電圧 V_{OUT} を発生させる。コンバータ C_{NV1} の動作に注目したとき、スイッチング素子 $M1$ 、 $M2$ は、第1チャネルのバックコンバータにおけるローサイドスイッチング素子、ハイサイドスイッチング素子として機能する。

[0109] 第1チャネルのスタックドコンバータは、スイッチング素子 $M3 \sim M5$ 、キャパシタ C_{FLY1} 及びインダクタ $L3$ を備え、入力電圧 V_{IN} から中間電圧 V_{MID1} を生成する。キャパシタ C_{MID1} も第1チャネルのスタックドコンバータの構成要素に含まれると解して良い。コンバータ C_{NV1} 自体は2フェーズのマルチフェーズコンバータである。第1チャネルのスタックドコンバータはコンバータ C_{NV1} における1フェーズ分のコンバータとしても機能する。スイッチング素子 $M3$ は、キャパシタ C_{MID1} を充電するための制御用スイッチング素子として機能する。スイッチング素子 $M4$ は、中間電圧 V_{MID1} を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。コンバータ C_{NV1} の動作に注目したとき、スイッチング素子 $M5$ は、マルチフェーズ用のローサイドスイッチング素子として機能する。

[0110] コンバータ C_{NV2} は第2チャネルのバックコンバータと第2チャネルのスタックドコンバータとを有する。第2チャネルのバックコンバータは、スイッチング素子 $M5$ 及び $M6$ 、インダクタ $L2$ を備え、キャパシタ C_{OUT} と協働して中間電圧 V_{MID2} を降圧することで出力ノード N_{DOUT} に出力電圧 V_{OUT} を発生させる。コンバータ C_{NV2} の動作に注目したとき、スイッチング素子 $M5$ 、 $M6$ は、第2チャネルのバックコンバータにおけるローサイドスイッチング素子、ハイサイドスイッチング素子として機能する。

[0111] 第2チャネルのスタックドコンバータは、スイッチング素子 $M7$ 、 $M8$ 及び $M1$ 、キャパシタ C_{FLY2} 並びにインダクタ $L4$ を備え、入力電圧 V_{IN} から中間電圧 V_{MID2} を生成する。キャパシタ C_{MID2} も第2チャネルのスタックドコンバータの構成要素に含まれると解して良い。コンバータ C_{NV2} 自体は2フェーズのマルチフェーズコンバータである。第2チャネルのスタックドコンバー

タはコンバータC N V 2における1フェーズ分のコンバータとしても機能する。スイッチング素子M 7は、キャパシタC_{MID2}を充電するための制御用スイッチング素子として機能する。スイッチング素子M 8は、中間電圧V_{MID2}を生成するためのスイッチング素子として機能すると共に、マルチフェーズ用のハイサイドスイッチング素子としても機能する。コンバータC N V 2の動作に注目したとき、スイッチング素子M 1は、マルチフェーズ用のローサイドスイッチング素子として機能する。

[0112] 電源装置1 Cでは、第1チャンネルのバックコンバータと、第1チャンネルのスタックドコンバータと、第2チャンネルのバックコンバータと、第2チャンネルのスタックドコンバータとが、夫々に電流を出力ノードN D_{OUT}に供給し、これによって出力ノードN D_{OUT}に所望電圧値を有する出力電圧V_{OUT}を発生させる。

[0113] 上述の説明から理解されるよう、スイッチング素子M 1は、第1チャンネルのバックコンバータにおけるローサイドスイッチング素子として、且つ、第2チャンネルのスタックドコンバータにおけるマルチフェーズ用のローサイドスイッチング素子として兼用される。これに類似して、スイッチング素子M 5は、第2チャンネルのバックコンバータにおけるローサイドスイッチング素子として、且つ、第1チャンネルのスタックドコンバータにおけるマルチフェーズ用のローサイドスイッチング素子として兼用される。

[0114] 上述したようにコンバータC N V 1及びC N V 2は各々に2フェーズのマルチフェーズコンバータである。電源装置1 CではコンバータC N V 1及びC N V 2が並列動作する。図1 3の電源装置1 Bを2つ設ける場合にはスイッチング素子が計1 0個必要となるのに対し、電源装置1 Cでは計8つのスイッチング素子にて2つの電源装置1 Bを並列動作させたのと同様の作用を実現でき、部品点数の削減効果が得られる。

[0115] 図1 8の電源装置1 Cの構成について更に詳細に説明する。本実施形態において、スイッチング素子M 1～M 8は夫々にNチャンネル型のM O S F E Tにより構成される。このため、以下、スイッチング素子M 1～M 8をトラン

ジスタM1～M8と称することがある。

[0116] トランジスタM1～M4はグラウンドとノードND4との間で直列接続される。トランジスタM1はグラウンド及びノードND1間に設けられ、トランジスタM2はノードND1及びND2間に設けられ、トランジスタM3はノードND2及びND3間に設けられ、トランジスタM4はノードND3及びND4間に設けられる。より具体的には、トランジスタM1のソースはグラウンドに接続される。トランジスタM1のドレイン及びトランジスタM2のソースはノードND1に接続される。トランジスタM2のドレイン及びトランジスタM3のソースはノードND2に接続される。トランジスタM3のドレイン及びトランジスタM4のソースはノードND3に接続される。トランジスタM4のドレインはノードND4に接続される。トランジスタM1～M4のゲートに供給される信号を、夫々、ゲート信号G1～G4と称する。

[0117] トランジスタM5～M8はグラウンドとノードND8との間で直列接続される。トランジスタM5はグラウンド及びノードND5間に設けられ、トランジスタM6はノードND5及びND6間に設けられ、トランジスタM7はノードND6及びND7間に設けられ、トランジスタM8はノードND7及びND8間に設けられる。より具体的には、トランジスタM5のソースはグラウンドに接続される。トランジスタM5のドレイン及びトランジスタM6のソースはノードND5に接続される。トランジスタM6のドレイン及びトランジスタM7のソースはノードND6に接続される。トランジスタM7のドレイン及びトランジスタM8のソースはノードND7に接続される。トランジスタM8のドレインはノードND8に接続される。トランジスタM5～M8のゲートに供給される信号を、夫々、ゲート信号G5～G8と称する。

[0118] ノードND4及びND8は入力電圧 V_{IN} を受ける電源ノードである。即ち、ノードND4及びND8に対して入力電圧 V_{IN} が供給される。ここでは、トランジスタM4のドレインが接続される電源ノードとトランジスタM8のドレインが接続される電源ノードに対して互いに異なる参照符号（ND4、ND8）を割り当てているが、ノードND4及びND8は単一のノードであって

も良いし、入力電圧 V_{IN} の供給を受ける互いに分離した2つのノードであっても良い。

[0119] キャパシタ C_{MID1} はノードND2及びグランド間に設けられる。即ち、キャパシタ C_{MID1} の第1端はノードND2に接続され、キャパシタ C_{MID1} の第2端はグランドに接続される。キャパシタ C_{MID1} の第1端はキャパシタ C_{MID1} の正極に相当する。ノードND2における電圧は中間電圧 V_{MID1} である。即ち、キャパシタ C_{MID1} において中間電圧 V_{MID1} 分の電荷が蓄積される。

[0120] キャパシタ C_{MID2} はノードND6及びグランド間に設けられる。即ち、キャパシタ C_{MID2} の第1端はノードND6に接続され、キャパシタ C_{MID2} の第2端はグランドに接続される。キャパシタ C_{MID2} の第1端はキャパシタ C_{MID2} の正極に相当する。ノードND6における電圧は中間電圧 V_{MID2} である。即ち、キャパシタ C_{MID2} において中間電圧 V_{MID2} 分の電荷が蓄積される。

[0121] インダクタ $L1$ はノードND1と出力ノードND_{OUT}との間に設けられる。即ち、インダクタ $L1$ の第1端はノードND1に接続され、インダクタ $L1$ の第2端は出力ノードND_{OUT}に接続される。キャパシタ C_{FLY1} はノードND3及びND5間に設けられる。即ち、キャパシタ C_{FLY1} の第1端はノードND3に接続され、キャパシタ C_{FLY1} の第2端はノードND5に接続される。インダクタ $L3$ はノードND5と出力ノードND_{OUT}との間に設けられる。即ち、インダクタ $L3$ の第1端はノードND5に接続され（従ってキャパシタ C_{FLY1} の第2端に接続され）、インダクタ $L3$ の第2端は出力ノードND_{OUT}に接続される。

[0122] インダクタ $L2$ はノードND5と出力ノードND_{OUT}との間に設けられる。即ち、インダクタ $L2$ の第1端はノードND5に接続され、インダクタ $L2$ の第2端は出力ノードND_{OUT}に接続される。キャパシタ C_{FLY2} はノードND7及びND1間に設けられる。即ち、キャパシタ C_{FLY2} の第1端はノードND7に接続され、キャパシタ C_{FLY2} の第2端はノードND1に接続される。インダクタ $L4$ はノードND1と出力ノードND_{OUT}との間に設けられる。即ち、インダクタ $L4$ の第1端はノードND1に接続され（従ってキャパシタ C_{FLY2} の第2端に接続され）、インダクタ $L4$ の第2端は出力ノードND_{OUT}に接続される。

[0123] キャパシタ C_{OUT} は出力ノード $N D_{OUT}$ 及びグランド間に設けられる。即ち、キャパシタ C_{OUT} の第1端は出力ノード $N D_{OUT}$ に接続され、キャパシタ C_{OUT} の第2端はグランドに接続される。キャパシタ C_{OUT} の第1端はキャパシタ C_{OUT} の正極に相当する。出力ノード $N D_{OUT}$ における電圧は出力電圧 V_{OUT} である。即ち、キャパシタ C_{OUT} において出力電圧 V_{OUT} 分の電荷が蓄積される。

[0124] 制御回路30Cは、出力電圧 V_{OUT} の情報、インダクタ L_1 の電流情報及びインダクタ L_2 の電流情報に基づき、出力電圧 V_{OUT} が目標電圧 V_{TG} にて安定化されるよう、トランジスタ $M_1 \sim M_8$ のスイッチング制御を行う。制御回路30Cによるトランジスタ $M_1 \sim M_8$ のスイッチング制御及びトランジスタ $M_1 \sim M_8$ のオン又はオフの制御は、駆動回路40Cを用いて実現されるが、駆動回路40Cの記述は省略されることがある。出力電圧 V_{OUT} の情報は出力電圧 V_{OUT} に応じた情報であり、例えば第1実施形態で述べた帰還電圧 V_{FB} であって良い。インダクタ L_1 の電流情報はインダクタ L_1 に流れる電流に応じた情報であり、例えばインダクタ L_1 に流れる電流に比例する電圧信号である。インダクタ L_2 の電流情報はインダクタ L_2 に流れる電流に応じた情報であり、例えばインダクタ L_2 に流れる電流に比例する電圧信号である。制御回路30Cはスイッチング制御においてトランジスタ $M_1 \sim M_8$ を個別にオン又はオフに制御する。制御回路30Cは、出力電圧 V_{OUT} の情報並びにインダクタ L_1 及び L_2 の各電流情報に基づきトランジスタ $M_1 \sim M_8$ の状態（オン又はオフ状態）を指定する制御信号 $CNT_1 \sim CNT_8$ を生成する。

[0125] 駆動回路40Cは、第1実施形態の駆動回路40Aと同様に制御信号 $CNT_1 \sim CNT_4$ に応じたゲート信号 $G_1 \sim G_4$ を生成し、更に、制御信号 $CNT_5 \sim CNT_8$ に応じたゲート信号 $G_5 \sim G_8$ を生成する。トランジスタ $M_1 \sim M_8$ のゲートに対して、夫々、駆動回路40Cからのゲート信号 $G_1 \sim G_8$ が供給されることで、トランジスタ $M_1 \sim M_8$ の状態が個別にオン又はオフに設定される。昇圧回路50Cについては後述される。

[0126] 制御信号 $CNT_1 \sim CNT_8$ に対し、夫々、ゲート信号 $G_1 \sim G_8$ が対応する。制御信号 $CNT_1 \sim CNT_8$ の何れかを制御信号 CNT_x と称し、制

御信号 CNT_x に対応するゲート信号をゲート信号 G_x と称する。トランジスタ $M_1 \sim M_8$ の内、ゲート信号 G_x をゲートにて受けるトランジスタを、トランジスタ M_x と称する。駆動回路 40C は、制御信号 CNT_x のハイレベル期間においてゲート信号 G_x にハイレベルを持たせ、制御信号 CNT_x のローレベル期間においてゲート信号 G_x にローレベルを持たせる。ゲート信号 G_x がハイレベルを有するときトランジスタ M_x はオン状態であり、ゲート信号 G_x がローレベルを有するときトランジスタ M_x はオフ状態である。従って例えば、ゲート信号 G_1 のハイレベル期間にてトランジスタ M_1 はオン状態であり、ゲート信号 G_1 のローレベル期間にてトランジスタ M_1 はオフ状態である。同様に、ゲート信号 G_2 のハイレベル期間にてトランジスタ M_2 はオン状態であり、ゲート信号 G_2 のローレベル期間にてトランジスタ M_2 はオフ状態である。トランジスタ $M_3 \sim M_8$ についても同様である。ハイレベルのゲート信号 G_x は、トランジスタ M_x のソース電位から見てトランジスタ M_x のゲート閾電圧だけ高い電位よりも更に高い電位を有する。ローレベルのゲート信号 G_x はトランジスタ M_x のソース電位と同等の電位を有して良い。

[0127] 制御回路 30C によりトランジスタ $M_1 \sim M_8$ の状態が制御されること通じ、入力電圧 V_{IN} より低い所望の出力電圧 V_{OUT} が出力ノード ND_{OUT} に発生する。制御回路 30C はトランジスタ $M_1 \sim M_8$ の状態を状態 $ST_C1 \sim ST_C4$ 間で順次切り替える。図 19～図 22 を参照して状態 $ST_C1 \sim ST_C4$ を説明する。

[0128] 尚、キャパシタ C_{FLY1} の第 2 端の電位（即ちノード $ND5$ の電位）を基準にキャパシタ C_{FLY1} の第 1 端の電位（即ちノード $ND3$ の電位）を上昇させる向きの電流はキャパシタ C_{FLY1} の充電電流であり、その逆向きの電流はキャパシタ C_{FLY1} の放電電流である。同様に、キャパシタ C_{FLY2} の第 2 端の電位（即ちノード $ND1$ の電位）を基準にキャパシタ C_{FLY2} の第 1 端の電位（即ちノード $ND7$ の電位）を上昇させる向きの電流はキャパシタ C_{FLY2} の充電電流であり、その逆向きの電流はキャパシタ C_{FLY2} の放電電流である。キャパシタ C_{MID1} に関

しては、中間電圧 V_{MID1} を上昇させる向きの電流が充電電流であり、中間電圧 V_{MID1} を低下させる向きの電流が放電電流である。同様に、キャパシタ C_{MID2} に関しては、中間電圧 V_{MID2} を上昇させる向きの電流が充電電流であり、中間電圧 V_{MID2} を低下させる向きの電流が放電電流である。

[0129] またここでは、電流連続モードにて電源装置 1 C が動作しているものとする。電流連続モードでは、インダクタ $L_1 \sim L_4$ の夫々の第 1 端から第 2 端に向けて常時電流が流れる、即ちキャパシタ C_{OUT} が充電される向きにインダクタ $L_1 \sim L_4$ を通じて常時電流が流れる。インダクタ L_1 を通じて流れる電流をインダクタ電流 I_{L1} と称する。同様に、インダクタ L_2 、 L_3 、 L_4 を通じて流れる電流を、夫々、インダクタ電流 I_{L2} 、 I_{L3} 、 I_{L4} と称する。出力ノード ND_{OUT} は図示されない負荷に接続される。負荷は出力電圧 V_{OUT} に基づいて駆動する任意の負荷である。出力ノード ND_{OUT} から負荷に供給される電流を負荷電流 I_{LD} と称する。負荷電流 I_{LD} は電源装置 1 C の出力電流に相当する。

[0130] 図 19 に、状態 ST_C1 におけるトランジスタ $M1 \sim M8$ のオン／オフ状態と、状態 ST_C1 にて発生する電流の流れが示される。状態 ST_C1 において、制御回路 30 C は、駆動回路 40 C を用いて、トランジスタ $M2$ 、 $M3$ 、 $M5$ 及び $M8$ をオン状態に制御する一方、トランジスタ $M1$ 、 $M4$ 、 $M6$ 及び $M7$ をオフ状態に制御する。状態 ST_C1 での状態は、コンバータ $CNV1$ にとっては図 16 の状態 ST_B3 に対応し、コンバータ $CNV2$ にとっては図 14 の状態 ST_B1 に対応する。

[0131] 状態 ST_C1 では、コンバータ $CNV1$ において電流 911～913 が発生する。電流 911 は、キャパシタ C_{MID1} からスイッチング素子 $M2$ 及びインダクタ $L1$ を通じ出力ノード ND_{OUT} に向かう電流であり、キャパシタ C_{MID1} の放電により発生する。電流 912 は、グラウンドからスイッチング素子 $M5$ 、キャパシタ C_{FLY1} 、スイッチング素子 $M3$ を通じてキャパシタ C_{MID1} の第 1 端に向かい、キャパシタ C_{MID1} を通じてグラウンドに戻る。電流 912 によりキャパシタ C_{FLY1} が放電される一方でキャパシタ C_{MID1} が充電される。電流 913 は、グラウンドからスイッチング素子 $M5$ 及びインダクタ $L3$ を通じ出力ノード

ND_{OUT} に向かう。

[0132] 状態 ST_C1 では、コンバータ $CNV2$ において電流 914 及び 915 が発生する。電流 914 はノード $ND8$ からスイッチング素子 $M8$ 、キャパシタ C_{FLY2} 及びインダクタ $L4$ を通じて出力ノード ND_{OUT} へと向かう。電流 914 によりキャパシタ C_{FLY2} が充電される。電流 915 はグラウンドからスイッチング素子 $M5$ 及びインダクタ $L2$ を通じて出力ノード ND_{OUT} に向かう。状態 ST_C1 においてキャパシタ C_{MID2} に対する充放電は生じず、キャパシタ C_{MID2} の蓄積電荷は不変に保持される。

[0133] 図20に、状態 ST_C2 におけるトランジスタ $M1 \sim M8$ のオン／オフ状態と、状態 ST_C2 にて発生する電流の流れが示される。状態 ST_C2 において、制御回路30Cは、駆動回路40Cを用いて、トランジスタ $M2$ 、 $M4$ 、 $M6$ 及び $M8$ をオン状態に制御する一方、トランジスタ $M1$ 、 $M3$ 、 $M5$ 及び $M7$ をオフ状態に制御する。状態 ST_C2 での状態は、コンバータ $CNV1$ にとっては図15の状態 ST_B2 に対応し、コンバータ $CNV2$ にとっても図15の状態 ST_B2 に対応する。

[0134] 状態 ST_C2 では、コンバータ $CNV1$ において上記電流 911 と共に電流 916 が発生する。上述したように電流 911 はキャパシタ C_{MID1} の放電により発生する。電流 916 はノード $ND4$ からスイッチング素子 $M4$ 、キャパシタ C_{FLY1} 及びインダクタ $L3$ を通じて出力ノード ND_{OUT} へと向かう。電流 916 によりキャパシタ C_{FLY1} が充電される。

[0135] 状態 ST_C2 では、コンバータ $CNV2$ において上記電流 914 と共に電流 917 が発生する。上述したように電流 914 によりキャパシタ C_{FLY2} が充電される。電流 917 は、キャパシタ C_{MID1} からスイッチング素子 $M6$ 及びインダクタ $L2$ を通じ出力ノード ND_{OUT} に向かう電流であり、キャパシタ C_{MID2} の放電により発生する。

[0136] 図21に、状態 ST_C3 におけるトランジスタ $M1 \sim M8$ のオン／オフ状態と、状態 ST_C3 にて発生する電流の流れが示される。状態 ST_C3 において、制御回路30Cは、駆動回路40Cを用いて、トランジスタ M

1、M4、M6及びM7をオン状態に制御する一方、トランジスタM2、M3、M5及びM8をオフ状態に制御する。状態ST__C3での状態は、コンバータCNV1にとっては図14の状態ST__B1に対応し、コンバータCNV2にとっては図16の状態ST__B3に対応する。

[0137] 状態ST__C3では、コンバータCNV1において上記電流916と共に電流918が発生する。上述したように電流916によりキャパシタ C_{FLY1} が充電される。電流918はグラウンドからスイッチング素子M1及びインダクタL1を通じて出力ノードND_{OUT}に向かう。状態ST__C3においてキャパシタ C_{MID1} に対する充放電は生じず、キャパシタ C_{MID1} の蓄積電荷は不変に保持される。

[0138] 状態ST__C3では、コンバータCNV2において上記電流917と共に電流919及び920が発生する。上述したように電流917はキャパシタ C_{MID2} の放電により発生する。電流919は、グラウンドからスイッチング素子M1、キャパシタ C_{FLY2} 、スイッチング素子M7を通じてキャパシタ C_{MID2} の第1端に向かい、キャパシタ C_{MID2} を通じてグラウンドに戻る。電流919によりキャパシタ C_{FLY2} が放電される一方でキャパシタ C_{MID2} が充電される。電流920は、グラウンドからスイッチング素子M1及びインダクタL4を通じ出力ノードND_{OUT}に向かう。

[0139] 図22に、状態ST__C4におけるトランジスタM1～M8のオン／オフ状態と、状態ST__C4にて発生する電流の流れが示される。状態ST__C4において、制御回路30Cは、駆動回路40Cを用いて、トランジスタM1、M3、M5及びM7をオン状態に制御する一方、トランジスタM2、M4、M6及びM8をオフ状態に制御する。状態ST__C4での状態は、コンバータCNV1にとっては図17の状態ST__B4に対応し、コンバータCNV2にとっても図17の状態ST__B4に対応する。

[0140] 状態ST__C4では、コンバータCNV1において上記電流912、913及び918が発生する。上述したように、電流912によりキャパシタ C_{FLY1} が放電される一方でキャパシタ C_{MID1} が充電される。

- [0141] 状態 ST_C4 では、コンバータ $CNV2$ において上記電流 919 、 920 及び 915 が発生する。上述したように、電流 919 によりキャパシタ C_{FLY2} が放電される一方でキャパシタ C_{MID2} が充電される。
- [0142] コンバータ $CNV1$ に注目する。状態 ST_C3 において電流 918 及び 916 の大きさ（即ちインダクタ電流 I_{L1} 及び I_{L3} の大きさ）は同程度である。また状態 ST_C2 において電流 911 及び 916 の大きさ（即ちインダクタ電流 I_{L1} 及び I_{L3} の大きさ）は同程度である。そして状態 ST_C2 ではトランジスタ $M2$ 及び $M4$ がオンであることから、キャパシタ C_{FLY1} 及び C_{MID1} にとって、状態 ST_C2 の状態はキャパシタ C_{FLY1} 及び C_{MID1} が直列接続された状態と等価である。また状態 ST_C1 及び ST_C4 ではトランジスタ $M3$ 及び $M5$ を通じてキャパシタ C_{FLY1} 及び C_{MID1} が並列接続される。結果、トランジスタ $M1 \sim M5$ 並びにキャパシタ C_{FLY1} 及び C_{MID1} を有する回路によりスイッチドキャパシタ回路が形成される。制御回路 $40C$ は当該回路をスイッチドキャパシタ回路として動作させることにより、キャパシタ C_{MID1} の正極に入力電圧 V_{IN} の分圧に相当する中間電圧 V_{MID1} を発生させる。中間電圧 V_{MID1} は実質的に電圧 $(V_{IN}/2)$ と一致する。厳密には、中間電圧 V_{MID1} は電圧 $(V_{IN}/2)$ を中心に多少変動する。
- [0143] コンバータ $CNV2$ に注目する。状態 ST_C1 において電流 915 及び 914 の大きさ（即ちインダクタ電流 I_{L2} 及び I_{L4} の大きさ）は同程度である。また状態 ST_C2 において電流 917 及び 914 の大きさ（即ちインダクタ電流 I_{L2} 及び I_{L4} の大きさ）は同程度である。そして状態 ST_C2 ではトランジスタ $M6$ 及び $M8$ がオンであることから、キャパシタ C_{FLY2} 及び C_{MID2} にとって、状態 ST_C2 の状態はキャパシタ C_{FLY2} 及び C_{MID2} が直列接続された状態と等価である。また状態 ST_C3 及び ST_C4 ではトランジスタ $M7$ 及び $M1$ を通じてキャパシタ C_{FLY2} 及び C_{MID2} が並列接続される。結果、トランジスタ $M5 \sim M8$ 及び $M1$ 並びにキャパシタ C_{FLY2} 及び C_{MID2} を有する回路によりスイッチドキャパシタ回路が形成される。制御回路 $40C$ は当該回路をスイッチドキャパシタ回路として動作させることにより、キャパシタ C_{MID2}

の正極に入力電圧 V_{IN} の分圧に相当する中間電圧 V_{MID2} を発生させる。中間電圧 V_{MID2} は実質的に電圧 $(V_{IN}/2)$ と一致する。厳密には、中間電圧 V_{MID2} は電圧 $(V_{IN}/2)$ を中心に多少変動する。

[0144] 昇圧回路 50C はコンバータ CNV1 用の昇圧回路とコンバータ CNV2 用の昇圧回路を有する。

[0145] コンバータ CNV1 用の昇圧回路は第1実施形態の昇圧回路 50A (図7参照) と同じものである。故に、コンバータ CNV1 用の昇圧回路におけるトランジスタ Ma は、トランジスタ M2 のオン期間においてオフであり、トランジスタ M2 のオフ期間においてオンである。コンバータ CNV1 用の昇圧回路におけるトランジスタ Mb は、トランジスタ M3 のオン期間においてオフであり、トランジスタ M3 のオフ期間においてオンである。コンバータ CNV1 用の昇圧回路におけるトランジスタ Mc は、トランジスタ M4 のオン期間においてオフであり、トランジスタ M4 のオフ期間においてオンである。トランジスタ M1 ~ M4 及び Ma ~ Mc の状態のみに注目した場合、図20の状態 ST__C2 は図9の状態 ST__A1 と等価であり、図22の状態 ST__C4 は図10の状態 ST__A2 と等価である。

[0146] コンバータ CNV1 用の昇圧回路がトランジスタ M2 ~ M4 をオンにするためのブート電圧を生成するのに対し、コンバータ CNV2 用の昇圧回路はトランジスタ M6 ~ M8 をオンにするためのブート電圧を生成する。この点を除けば、コンバータ CNV2 用の昇圧回路の構成及び動作はコンバータ CNV1 用の昇圧回路の構成及び動作と同じであって良い。

[0147] 図23に制御回路 30C の内部構成を示す。図24に制御回路 30C の動作に関わるタイミングチャートを示す。図24では、上から下に向けて、信号 CLK1、CMPOUT1、CLK2、CMPOUT2、CNT1 ~ CNT8 の波形が示される。

[0148] 制御回路 30C は、エラーアンプ 31 と、ランプ回路 32__1 及び 32__2 と、電流情報取得回路 33__1 及び 33__2 と、加算器 34__1 及び 34__2 と、PWMコンパレータ 35__1 及び 35__2 と、クロック生成回路 3

6Cと、コントローラ37__1及び37__2と、を備える。尚、電源装置1Cには抵抗R1及びR2が設けられる。抵抗R1の第1端は出力ノードND_{OUT}に接続され、抵抗R1の第2端は抵抗R2の第1端に接続され、抵抗R2の第2端はグランドに接続される。抵抗R1及びR2間の接続ノードに出力電圧V_{OUT}に応じた帰還電圧V_{FB}が発生する。帰還電圧V_{FB}は出力電圧V_{OUT}の分圧であり、故に出力電圧V_{OUT}に比例する。抵抗R1及びR2により帰還電圧V_{FB}を生成する帰還電圧生成回路が形成される。帰還電圧V_{FB}は制御回路30Cに供給される。但し、帰還電圧生成回路は制御回路30Cの構成要素に含まれると解しても良い。また出力電圧V_{OUT}そのものが帰還電圧V_{FB}とされても良い。何れにせよ、帰還電圧V_{FB}は出力電圧V_{OUT}の情報（詳細には出力電圧V_{OUT}の値を示す情報）である。

[0149] エラーアンプ31は、電流出力型のトランスコンダクタンスアンプである。エラーアンプ31は、反転入力端子、非反転入力端子及び出力端子を備える。エラーアンプ31の反転入力端子に対して帰還電圧V_{FB}が供給される。エラーアンプ31の非反転入力端子には所定の基準電圧V_{REF}が供給される。基準電圧V_{REF}は、正の所定電圧値を有する直流電圧であり、制御回路30C内の図示されない基準電圧生成回路にて生成される。エラーアンプ31の出力端子は配線WR_{ERR}に接続される。尚、電源装置1Cの起動の際、基準電圧V_{REF}の値を0Vから正の所定電圧値に向けて徐々に上昇させるソフトスタート制御が行われて良いが、以下ではソフトスタート制御の存在を無視する。

[0150] エラーアンプ31は、帰還電圧V_{FB}及び基準電圧V_{REF}間の差分に応じた電流信号を自身の出力端子から出力することで、帰還電圧V_{FB}及び基準電圧V_{REF}間の差分に応じた誤差電圧V_{ERR}を配線WR_{ERR}に発生させる。具体的には、エラーアンプ31は、帰還電圧V_{FB}が基準電圧V_{REF}よりも低いときには誤差電圧V_{ERR}が上昇するよう自身の出力端子から配線WR_{ERR}に向けて電流を出力し、帰還電圧V_{FB}が基準電圧V_{REF}よりも高いときには誤差電圧V_{ERR}が低下するよう配線WR_{ERR}から自身の出力端子に向けて電流を引き込む。尚、特に図示しないが、配線WR_{ERR}及びグランド間にキャパシタを含む位相補償回路が接続されて良い。

- [0151] ランプ回路 3 2 __ 1 は、トランジスタ M 2 のオン期間において所定の初期電圧 V_{INT} から所定の変化率で単調上昇するランプ電圧 V_{RAMP1} を生成する。ランプ回路 3 2 __ 1 において、初期電圧 V_{INT} は例えば 0 V であるが、0 V と相違し得る。トランジスタ M 2 のオフ期間においてランプ電圧 V_{RAMP1} は初期電圧 V_{INT} で固定される。
- [0152] 電流情報取得回路 3 3 __ 1 は、インダクタ L 1 の電流情報を取得し、インダクタ L 1 の電流情報を示すセンス電圧 V_{IL1} を生成する。インダクタ L 1 の電流情報はインダクタ電流 I_{L1} の値を示す情報である。センス電圧 V_{IL1} は正の比例係数にてインダクタ電流 I_{L1} の値に比例する電圧値を持つ。故に、インダクタ電流 I_{L1} の増大に伴ってセンス電圧 V_{IL1} は上昇し、インダクタ電流 I_{L1} の減少に伴ってセンス電圧 V_{IL1} は低下する。ここでは、“ $V_{IL1} = k_{IV} \times I_{L1}$ ” であるとする。 k_{IV} は所定の正の係数である。
- [0153] センス電圧 V_{IL1} がインダクタ L 1 の電流情報を示す限り、センス電圧 V_{IL1} の生成方法は任意である。例えばインダクタ電流 I_{L1} を電流センサにて直接検出することでセンス電圧 V_{IL1} を生成して良い。ここにおける電流センサはインダクタ L 1 及びノード N D 1 間に直列に挿入されたシャント抵抗（不図示）であって良い。或いは例えば、トランジスタ M 2 のオン期間においてトランジスタ M 2 に流れる電流（従ってインダクタ電流 I_{L1} ）を検出することで、又は、トランジスタ M 1 のオン期間においてトランジスタ M 1 に流れる電流（従ってインダクタ電流 I_{L1} ）を検出することで、センス電圧 V_{IL1} を生成するようにしても良い。この他、インダクタ電流 I_{L1} に応じた電圧が発生する任意の箇所の電圧を検出することで、センス電圧 V_{IL1} を生成するようにしても良い。
- [0154] 加算器 3 4 __ 1 は、ランプ電圧 V_{RAMP1} に対してセンス電圧 V_{IL1} を加算することで、それらの和電圧であるスロープ電圧 V_{SLP1} を生成する。即ち “ $V_{SLP1} = V_{RAMP1} + V_{IL1}$ ” である。
- [0155] PWMコンパレータ 3 5 __ 1 は誤差電圧 V_{ERR} 及びスロープ電圧 V_{SLP1} を比較し、それらの比較結果を示す信号 C M P O U T 1 を生成及び出力する。PWMコンパレータ 3 5 __ 1 の反転入力端子に誤差電圧 V_{ERR} が入力され、PWMコ

ンパレータ 35__1 の非反転入力端子にスロープ電圧 V_{SLP1} が入力される。PWM コンパレータ 35__1 は、“ $V_{SLP1} < V_{ERR}$ ” の成立時においてローレベルの信号 C M P O U T 1 を出力し、“ $V_{SLP1} > V_{ERR}$ ” の成立時においてハイレベルの信号 C M P O U T 1 を出力する。“ $V_{SLP1} = V_{ERR}$ ” の成立時において信号 C M P O U T 1 はローレベル又はハイレベルを有する。

[0156] コントローラ 37__1 に対して信号 C M P O U T 1 と基準クロック信号 C L K 1 が入力される。基準クロック信号 C L K 1 は、クロック生成回路 36 C にて生成される。基準クロック信号 C L K 1 は所定の周波数 f_{PWM} を有する矩形波信号であり、ハイレベル又はローレベルの信号レベルを交互に持つ。基準クロック信号 C L K 1 のデューティは任意である。ここでは、基準クロック信号 C L K 1 は原則としてローレベルを有し、周波数 f_{PWM} の逆数の間隔で微小時間だけハイレベルを持つものとする（図 24 参照）。

[0157] コントローラ 37__1 は、基準クロック信号 C L K 1 における所定レベル変化を契機に、制御信号 C N T 1 及び C N T 7 にフォールエッジを生じさせることでトランジスタ M 1 及び M 7 をターンオフさせると共に、制御信号 C N T 2 及び C N T 8 にライズエッジを生じさせることでトランジスタ M 2 及び M 8 をターンオンさせる。基準クロック信号 C L K 1 における所定レベル変化（第 1 所定レベル変化）は、ここでは基準クロック信号 C L K 1 のローレベルからハイレベルへの変化であるが、基準クロック信号 C L K 1 のハイレベルからローレベルへの変化であっても良い。

[0158] トランジスタ M 1 及び M 7 のターンオフ及びトランジスタ M 2 及び M 8 のターンオンの後、スロープ電圧 V_{SLP1} の単調上昇を経て“ $V_{SLP1} < V_{ERR}$ ”の成立状態から“ $V_{SLP1} > V_{ERR}$ ”の成立状態に遷移することで信号 C M P O U T 1 にライズエッジが生じる。信号 C M P O U T 1 にライズエッジが生じると、コントローラ 37__1 は、制御信号 C N T 1 及び C N T 7 にライズエッジを生じさせることでトランジスタ M 1 及び M 7 をターンオンさせると共に制御信号 C N T 2 及び C N T 8 にフォールエッジを生じさせることでトランジスタ M 2 及び M 8 をターンオフさせる。トランジスタ M 2 のターンオフに伴い、

ランプ電圧 V_{RAMP1} は十分に低い初期電圧 V_{INT} へと低下するため、“ $V_{SLP1} < V_{ERR}$ ” の成立状態に戻り、速やかに信号 $CMP OUT 1$ にフォールエッジが生じる。尚、トランジスタ $M1$ 及び $M7$ がターンオフされ且つトランジスタ $M2$ 及び $M8$ がターンオンされるタイミングから、トランジスタ $M1$ 及び $M7$ がターンオンされ且つトランジスタ $M2$ 及び $M8$ がターンオフされるタイミングまでの時間を時間 t_{ON1} と称する。

[0159] ランプ回路 32__2 は、トランジスタ $M6$ のオン期間において所定の初期電圧 V_{INT} から所定の変化率で単調上昇するランプ電圧 V_{RAMP2} を生成する。ランプ回路 32__2 において、初期電圧 V_{INT} は例えば $0V$ であるが、 $0V$ と相違し得る。トランジスタ $M6$ のオフ期間においてランプ電圧 V_{RAMP2} は初期電圧 V_{INT} で固定される。尚、ランプ回路 32__2 はランプ回路 32__1 と同じ構成を有する。このため、トランジスタ $M6$ のオン期間におけるランプ電圧 V_{RAMP2} の変化率は、トランジスタ $M2$ のオン期間におけるランプ電圧 V_{RAMP1} の変化率と等しい。

[0160] 電流情報取得回路 33__2 は、インダクタ $L2$ の電流情報を取得し、インダクタ $L2$ の電流情報を示すセンス電圧 V_{IL2} を生成する。インダクタ $L2$ の電流情報はインダクタ電流 I_{L2} の値を示す情報である。センス電圧 V_{IL2} は正の比例係数にてインダクタ電流 I_{L2} の値に比例する電圧値を持つ。故に、インダクタ電流 I_{L2} の増大に伴ってセンス電圧 V_{IL2} は上昇し、インダクタ電流 I_{L2} の減少に伴ってセンス電圧 V_{IL2} は低下する。ここでは、“ $V_{IL2} = k_{IV} \times I_{L2}$ ” であるとする。

[0161] センス電圧 V_{IL2} がインダクタ $L2$ の電流情報を示す限り、センス電圧 V_{IL2} の生成方法は任意である。例えばインダクタ電流 I_{L2} を電流センサにて直接検出することでセンス電圧 V_{IL2} を生成して良い。ここにおける電流センサはインダクタ $L2$ 及びノード $ND5$ 間に直列に挿入されたシャント抵抗（不図示）であって良い。或いは例えば、トランジスタ $M6$ のオン期間においてトランジスタ $M6$ に流れる電流（従ってインダクタ電流 I_{L2} ）を検出することで、又は、トランジスタ $M5$ のオン期間においてトランジスタ $M5$ に流れる電流（従

ってインダクタ電流 I_{L2}) を検出することで、センス電圧 V_{IL2} を生成するようにしても良い。この他、インダクタ電流 I_{L2} に応じた電圧が発生する任意の箇所の電圧を検出することで、センス電圧 V_{IL2} を生成するようにしても良い。

[0162] 加算器 34__2 は、ランプ電圧 V_{RAMP2} に対してセンス電圧 V_{IL2} を加算することで、それらの和電圧であるスロープ電圧 V_{SLP2} を生成する。即ち “ $V_{SLP2} = V_{RAMP2} + V_{IL2}$ ” である。

[0163] PWMコンパレータ 35__2 は誤差電圧 V_{ERR} 及びスロープ電圧 V_{SLP2} を比較し、それらの比較結果を示す信号 CMP_OUT2 を生成及び出力する。PWMコンパレータ 35__2 の反転入力端子に誤差電圧 V_{ERR} が入力され、PWMコンパレータ 35__2 の非反転入力端子にスロープ電圧 V_{SLP2} が入力される。PWMコンパレータ 35__2 は、“ $V_{SLP2} < V_{ERR}$ ” の成立時においてローレベルの信号 CMP_OUT2 を出力し、“ $V_{SLP2} > V_{ERR}$ ” の成立時においてハイレベルの信号 CMP_OUT2 を出力する。“ $V_{SLP2} = V_{ERR}$ ” の成立時において信号 CMP_OUT2 はローレベル又はハイレベルを有する。

[0164] コントローラ 37__2 に対して信号 CMP_OUT2 とシフトクロック信号 $CLK2$ が入力される。シフトクロック信号 $CLK2$ は基準クロック $CLK1$ を元にクロック生成回路 36C より生成される。シフトクロック信号 $CLK2$ は基準クロック $CLK1$ の位相をシフトさせた信号である。従って、基準クロック信号 $CLK1$ 及びシフトクロック信号 $CLK2$ は互いに同じ周波数 f_{PWM} を有し且つ互いに異なる位相を有する。基準クロック $CLK1$ と同様、シフトクロック信号 $CLK2$ は原則としてローレベルを有し、周波数 f_{PWM} の逆数の間隔で微小時間だけハイレベルを持つ (図 24 参照)。ここでは、シフトクロック信号 $CLK2$ は基準クロック信号 $CLK1$ から 180° 分の位相が遅れた信号であるとする。従ってクロック信号 $CLK1$ 及び $CLK2$ 間の位相差は 180° である。遅れ量を 180° に設定することが出力電圧 V_{OUT} のリップル最小化に最適である。但し、基準クロック信号 $CLK1$ の位相から見たシフトクロック信号 $CLK2$ の位相の遅れ量は 180° 以外であっても良い (例えば 170° 又は 190° であっても良い)。

[0165] コントローラ 37__2 は、シフトクロック信号 CLK 2 における所定レベル変化を契機に、制御信号 CNT 3 及び CNT 5 にフォールエッジを生じさせることでトランジスタ M3 及び M5 をターンオフさせると共に制御信号 CNT 4 及び CNT 6 にライズエッジを生じさせることでトランジスタ M4 及び M6 をターンオンさせる。シフトクロック信号 CLK 2 における所定レベル変化（第 2 所定レベル変化）は、ここではシフトクロック信号 CLK 2 のローレベルからハイレベルへの変化であるが、シフトクロック信号 CLK 2 のハイレベルからローレベルへの変化であっても良い。

[0166] トランジスタ M3 及び M5 のターンオフ及びトランジスタ M4 及び M6 のターンオンの後、スロープ電圧 V_{SLP2} の単調上昇を経て “ $V_{SLP2} < V_{ERR}$ ” の成立状態から “ $V_{SLP2} > V_{ERR}$ ” の成立状態に遷移することで信号 C M P O U T 2 にライズエッジが生じる。信号 C M P O U T 2 にライズエッジが生じると、コントローラ 37__2 は、制御信号 CNT 3 及び CNT 5 にライズエッジを生じさせることでトランジスタ M3 及び M5 をターンオンさせると共に制御信号 CNT 4 及び CNT 6 にフォールエッジを生じさせることでトランジスタ M4 及び M6 をターンオフさせる。トランジスタ M6 のターンオフに伴い、ランプ電圧 V_{RAMP2} は十分に低い初期電圧 V_{INT} へと低下するため、“ $V_{SLP2} < V_{ERR}$ ” の成立状態に戻り、速やかに信号 C M P O U T 2 にフォールエッジが生じる。尚、トランジスタ M3 及び M5 がターンオフされ且つトランジスタ M4 及び M6 がターンオンされるタイミングから、トランジスタ M3 及び M5 がターンオンされ且つトランジスタ M4 及び M6 がターンオフされるタイミングまでの時間を時間 t_{ON2} と称する。

[0167] コントローラ 37__1 及び 37__2 による上述のスイッチング制御により、図 24 に示す如く（図 19～図 22 も参照）、トランジスタ M1～M8 の状態が状態 ST__C 1～ST__C 4 間で順次切り替わる。即ち、図 24 のタイミングチャートにおいて、状態 ST__C 3 を起点に考えると、トランジスタ M1～M8 の状態は、基準クロック信号 CLK 1 のライズエッジを契機に状態 ST__C 3 から状態 ST__C 2 に切り替わり、その後、信号 C M P O U

T 2 のライズエッジを契機に状態 S T _ C 2 から状態 S T _ C 1 に切り替わり、その後、信号 C M P O U T 1 のライズエッジを契機に状態 S T _ C 1 から状態 S T _ C 4 に切り替わり、その後、シフトクロック信号 C L K 2 のライズエッジを契機に状態 S T _ C 4 から状態 S T _ C 3 に戻る。以後、同様の動作が繰り返される。状態 S T _ C 3 から状態 S T _ C 2 への遷移タイミングと、次回の状態 S T _ C 3 から状態 S T _ C 2 への遷移タイミングとの間の長さは、基準クロック信号 C L K 1 の周波数 f_{PWM} の逆数と一致する。

[0168] “ $V_{OUT} = V_{TG}$ ” であるとき “ $V_{FB} = V_{REF}$ ” である。“ $V_{OUT} = V_{TG}$ ” の成立状態を起点に負荷電流 I_{LD} が増大することを通じて “ $V_{OUT} < V_{TG}$ ” となると、“ $V_{FB} < V_{REF}$ ” となるので誤差電圧 V_{ERR} が上昇する。誤差電圧 V_{ERR} の上昇は、トランジスタ M 2 及び M 6 のオン期間の増大をもたらす。トランジスタ M 2 のオン期間の増大によりインダクタ電流 I_{L1} が増加すると共にトランジスタ M 6 のオン期間の増大によりインダクタ電流 I_{L2} が増加し、結果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて上昇してゆく。逆に、“ $V_{OUT} = V_{TG}$ ” の成立状態を起点に負荷電流 I_{LD} が減少することを通じて “ $V_{OUT} > V_{TG}$ ” となると、“ $V_{FB} > V_{REF}$ ” となるので誤差電圧 V_{ERR} が低下する。誤差電圧 V_{ERR} の低下は、トランジスタ M 2 及び M 6 のオン期間の減少をもたらす。トランジスタ M 2 のオン期間の減少によりインダクタ電流 I_{L1} が減少すると共にトランジスタ M 6 のオン期間の減少によりインダクタ電流 I_{L2} が減少し、結果、出力電圧 V_{OUT} が目標電圧 V_{TG} に向けて低下してゆく。このように、出力電圧 V_{OUT} 及び目標電圧 V_{TG} 間の差を減ずる制御が行われる。

[0169] 上述の時間 t_{ON1} は、誤差電圧 V_{ERR} に依存し（従って出力電圧 V_{OUT} の情報に依存し）且つセンス電圧 V_{IL1} に依存する（従ってインダクタ L 1 の電流情報に依存する）。つまり、コントローラ 37 __ 1 は、出力電圧 V_{OUT} の情報及びインダクタ L 1 の電流情報に基づき、基準クロック信号 C L K 1 に同期してトランジスタ M 1、M 2、M 7 及び M 8 のスイッチング制御を行う。コントローラ 37 __ 1 は、基準クロック信号 C L K 1 における所定レベル変化を契機にトランジスタ M 1 及び M 7 をターンオフさせ且つトランジスタ M 2 及び M 8 を

ターンオンさせた後、出力電圧 V_{OUT} の情報及びインダクタ L_1 の電流情報に応じた時間 t_{ON1} が経過すると、トランジスタ M_1 及び M_7 をターンオンさせ且つトランジスタ M_2 及び M_8 をターンオフさせる。

[0170] 上述の時間 t_{ON2} は、誤差電圧 V_{ERR} に依存し（従って出力電圧 V_{OUT} の情報に依存し）且つセンス電圧 V_{IL2} に依存する（従ってインダクタ L_2 の電流情報に依存する）。つまり、コントローラ 37__2 は、出力電圧 V_{OUT} の情報及びインダクタ L_2 の電流情報に基づき、シフトクロック信号 CLK_2 に同期してトランジスタ $M_3 \sim M_6$ のスイッチング制御を行う。コントローラ 37__2 は、シフトクロック信号 CLK_2 における所定レベル変化を契機にトランジスタ M_3 及び M_5 をターンオフさせ且つトランジスタ M_4 及び M_6 をターンオンさせた後、出力電圧 V_{OUT} の情報及びインダクタ L_2 の電流情報に応じた時間 t_{ON2} が経過すると、トランジスタ M_3 及び M_5 をターンオンさせ且つトランジスタ M_4 及び M_6 をターンオフさせる。

[0171] コンバータ CNV_1 及び CNV_2 は互いに同じ構成を有する。加えて、インダクタ L_1 の電流情報に基づくトランジスタ M_1 、 M_2 、 M_7 及び M_8 のスイッチング制御と、インダクタ L_2 の電流情報に基づくトランジスタ M_3 、 M_4 、 M_5 及び M_6 のスイッチング制御と、は互いに等価である。故に、コンバータ CNV_1 の出力電流とコンバータ CNV_2 の出力電流とのバランスがとれた状態でマルチフェーズ動作が実現される。

[0172] 電源装置 1C において、コンバータ CNV_1 の出力電流はインダクタ電流 I_{L1} 及び I_{L3} の和であり、コンバータ CNV_2 の出力電流はインダクタ電流 I_{L2} 及び I_{L4} の和である。第 1 チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）の平均と、第 1 チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）の平均は、略同じとなる。同様に、第 2 チャンネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）の平均と、第 2 チャンネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）の平均は、略同じとなる。結果、各タイミングにおいてインダクタ電流 $I_{L1} \sim I_{L4}$ の瞬時値は互いに相違するものの、インダクタ電流 I_{L1} の平均と、インダクタ電

流 I_{L2} の平均と、インダクタ電流 I_{L3} の平均と、インダクタ電流 I_{L4} の平均とは実質的に等しくなる。

[0173] 第1チャネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）、第2チャネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）、第1チャネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）、及び、第2チャネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）は、夫々に脈流である。これらの内、第1チャネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L1} ）と第1チャネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L3} ）とは互いに異なる位相を有し、一方で、第2チャネルのバックコンバータの出力電流（即ちインダクタ電流 I_{L2} ）と第2チャネルのスタックドコンバータの出力電流（即ちインダクタ電流 I_{L4} ）とは互いに異なる位相を有する。

[0174] 尚、図18の電源装置1CからインダクタL3及びL4を削除することで電源装置1Cを図25の電源装置1C'に変形しても良い。電源装置1C'では電源装置1Cから見てインダクタL3及びL4を通過する電流が発生しなくなるだけであり、その他の点において電源装置1C'の構成及び動作は電源装置1Cのそれらと同じである。

[0175] また特に図示しないが、電源装置1C又は1C'においてキャパシタ C_{MID2} を省略しても良く、この場合にはノードND2及びND6間が短絡される。或いは、電源装置1C又は1C'においてキャパシタ C_{MID2} を省略した上で、キャパシタ C_{MID1} をノードND2及びND6間に挿入するようにしても良い（即ち、キャパシタ C_{MID1} の第1端をノードND2に接続し且つキャパシタ C_{MID1} の第2端をノードND6に接続しても良い）。

[0176] <<第4実施形態>>

本開示の第4実施形態を説明する。第4実施形態では第1～第3実施形態に対する変形技術、応用技術又は補足事項等を説明する。

[0177] 本開示に係る電源装置を電源装置1と称する。電源装置1は第1～第3実施形態にて述べた何れかの電源装置であって良く、従って電源装置1A、1

B、1 C 及び 1 C' の何れかであって良い。電源装置 1 を、安定した直流電圧を要する任意の装置又はシステムに適用することができる。例えば、データセンタ用の電源システムに電源装置 1 を適用して良い。この際例えば、電源装置 1 における出力電圧 V_{OUT} は 48 V であって良く、電源装置 1 は 48 V の電源バスに対して出力電圧 V_{OUT} を供給する。近年、データセンタでの消費電力低減は重要な課題となっており、この中で 12 V の電源バスから 48 V の電源バスへの移行が進んでいる。48 V の電源バスから、サーバシステムに対して又は半導体メモリ若しくは磁気ディスク等から成るストレージデバイスに対して、高効率で電力供給を行う必要がある。電源装置 1 の利用により、高効率での電力供給が可能となる。

[0178] 或いは、自動車等の車両におけるプライマリ電源に対して電源装置 1 を適用して良い。この際、電源装置 1 は、車両に搭載されたバッテリーから入力電圧 V_{IN} を直接受けて出力電圧 V_{OUT} を生成して良く、出力電圧 V_{OUT} は車両に搭載された任意のシステム（例えばレベル 3 以上の自動運転システム）の駆動用電圧として機能して良い。或いは例えば、充電システム用の電源に対して電源装置 1 を適用して良い。充電システムは電動車両のバッテリーを充電するものであって良い。或いは例えば、基地局向けの電源に対して電源装置 1 を適用して良い。

[0179] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。

[0180] 各実施形態に示された FET（電界効果トランジスタ）のチャネルの種類は例示である。上述の主旨を損なわない形で、任意の FET のチャネルの種類は P チャネル型及び N チャネル型間で変更され得る。

[0181] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類のトランジスタであって良い。例えば、MOSFET として上述された任意のトランジスタを、不都合が生じない限り、接合型 FET、IGBT（Insulated Gate Bipolar Transistor）又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第 1 電極、第 2 電極及び制御電極を有

する。FETにおいては、第1及び第2電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。IGBTにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。IGBTに属さないバイポーラトランジスタにおいては、第1及び第2電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0182] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0183] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0184] 本開示の一側面に係る電源装置（例えば1A；図1、図6～図8参照）は、入力電圧（ V_{IN} ）より低い電位を有する基準ノードと第1ノード（ND1）との間に設けられた第1スイッチング素子（M1）と、前記第1ノードと第2ノード（ND2）との間に設けられた第2スイッチング素子（M2）と、前記第2ノードと第3ノード（ND3）との間に設けられた第3スイッチング素子（M3）と、前記第3ノードと前記入力電圧を受ける第4ノード（ND4）との間に設けられた第4スイッチング素子（M4）と、前記第2スイッチング素子をオンさせるために前記第2スイッチング素子のゲートに供給される第1ブート電圧（ V_{BOOT1} ）を第1ブート配線（ W_{BOOT1} ）に発生させ、前記第3スイッチング素子をオンさせるために前記第3スイッチング素子のゲートに供給される第2ブート電圧（ V_{BOOT2} ）を第2ブート配線（ W_{BOOT2} ）に発生させ、且つ、前記第4スイッチング素子をオンさせるために前記第4スイッチング素子のゲートに供給される第3ブート電圧（ V_{BOOT3} ）を第3ブート配線（

W_{BOOT3})に発生させるよう構成された昇圧回路(50A)と、各スイッチング素子の状態を指定する制御信号を生成するよう構成された制御回路(30A)と、所定の駆動電圧(V_{DRV})と前記第1ブート電圧～前記第3ブート電圧とを用い前記制御信号に応じて前記第1スイッチング素子～前記第4スイッチング素子を個別にオン又はオフさせるよう構成された駆動回路(40A)と、を備え、前記第1スイッチング素子～前記第4スイッチング素子の状態を制御することを通じ前記入力電圧より低い出力電圧(V_{OUT})を生成し、前記第1スイッチング素子～前記第4スイッチング素子は夫々にNチャネル型の電界効果トランジスタにより構成され、前記昇圧回路は、前記第1ノードと前記第1ブート配線との間に設けられた第1ブートキャパシタ(C_{BOOT1})と、前記第2ノードと前記第2ブート配線との間に設けられた第2ブートキャパシタ(C_{BOOT2})と、前記第3ノードと前記第3ブート配線との間に設けられた第3ブートキャパシタ(C_{BOOT3})と、前記駆動電圧が加わる駆動配線(W_{DRV})と前記第1ブート配線との間に設けられた第1ブートスイッチ(Ma)と、前記第1ブート配線と前記第2ブート配線との間に設けられた第2ブートスイッチ(Mb)と、前記第2ブート配線と前記第3ブート配線との間に設けられた第3ブートスイッチ(Mc)と、を備え、前記制御回路により各スイッチング素子及び各ブートスイッチの状態が制御されることを通じて前記第1ブート電圧～前記第3ブート電圧が発生する構成(第1の構成)である。

[0185] これにより、各スイッチング素子のスイッチング損失を低く抑えた、高効率の電源装置を形成できる。

[0186] 上記第1の構成に係る電源装置において(図9及び図10参照)、前記制御回路は、前記第1スイッチング素子～前記第4スイッチング素子の状態を、第1状態(ST_A1)及び第2状態(ST_A2)を含む複数の状態間で切り替え、前記第1状態において、前記第2スイッチング素子及び前記第4スイッチング素子はオンであって且つ前記第1スイッチング素子及び前記第3スイッチング素子はオフであり、前記第2状態において、前記第2スイッチング素子及び前記第4スイッチング素子はオフであって且つ前記第1ス

イッチング素子及び前記第3スイッチング素子はオンである構成（第2の構成）であっても良い。

[0187] 上記第2の構成に係る電源装置において（図9及び図10参照）、前記昇圧回路は、前記第1状態において前記第1ブートスイッチ及び前記第3ブートスイッチをオフに設定し且つ前記第2ブートスイッチをオンに設定し、前記第2状態において前記第1ブートスイッチ及び前記第3ブートスイッチをオンに設定し且つ前記第2ブートスイッチをオフに設定する構成（第3の構成）であっても良い。

[0188] 上記第1～第3の構成の何れかに係る電源装置において、前記第1ブートスイッチ～前記第3ブートスイッチは各々にPチャネル型の電界トランジスタにより構成される構成（第4の構成）であっても良い。

[0189] 各ブートスイッチをPチャネル型の電界トランジスタにて構成することにより、高いブート電圧を得ることが可能となる。結果、各スイッチング素子のスイッチング損失を低く抑えることができる。また、半導体集積回路を有する半導体装置とディスクリード部品群とを用いて電源装置を構成する場合、制御回路等を半導体集積回路に設けることができるが、この際、各ブートスイッチも半導体集積回路に設けることが容易である。このため、電源装置にて部品点数の低減が可能となり、それに伴う電源装置の小型化も可能となる。

[0190] 上記第4の構成に係る電源装置において（図9及び図10参照）、前記昇圧回路は、前記第1ノードの電圧（ V_{LX} ）と前記第1ブート電圧とに基づいて前記第1ブートスイッチをオン又はオフに設定し、前記第2ノードの電圧（ V_{MID} ）と前記第2ブート電圧とに基づいて前記第2ブートスイッチをオン又はオフに設定し、前記第3ノードの電圧（ V_{FLY} ）と前記第3ブート電圧とに基づいて前記第3ブートスイッチをオン又はオフに設定する構成（第5の構成）であっても良い。

[0191] 上記第1～第5の構成の何れかに係る電源装置において、前記制御回路は、前記出力電圧の情報と、前記第1ノードと前記出力電圧が加わる出力ノード

ドとの間に設けられたインダクタ (L_1) の電流情報と、に基づき、前記第 1 スwitchング素子～前記第 4 スwitchング素子の状態を前記複数の状態間で切り替えるスitchング制御を行うことにより、前記入力電圧を分圧するとともに分圧により得られた中間電圧 (V_{MID}) を降圧して前記出力電圧を生成し、前記制御回路は、前記スitchング制御において、前記第 1 スitchング素子～前記第 4 スitchング素子と前記第 2 ノードに接続された中間キャパシタ (C_{MID}) と前記第 3 ノードに接続されたフライングキャパシタ (C_{FLY}) とを有する回路を、スitchドキャパシタ回路として動作させ、これによって前記第 2 ノードに前記中間電圧を発生させる構成 (第 6 の構成) であっても良い。

[0192] 上記第 1 ～第 6 の構成の何れかに係る電源装置において、前記制御回路にて生成される前記制御信号は第 1 制御信号～第 4 制御信号 ($CNT_1 \sim CNT_4$) を含み、前記駆動回路は、前記駆動電圧と前記基準ノードの電圧 (V_{SS}) とに基づき前記第 1 制御信号に応じて前記第 1 スitchング素子のゲートを駆動することにより前記第 1 スitchング素子をオン又はオフさせるよう構成された第 1 ゲートドライバ (42_1) と、前記第 1 ブート電圧と前記第 1 ノードの電圧 (V_{LX}) とに基づき前記第 2 制御信号に応じて前記第 2 スitchング素子のゲートを駆動することにより前記第 2 スitchング素子をオン又はオフさせるよう構成された第 2 ゲートドライバ (42_2) と、前記第 2 ブート電圧と前記第 2 ノードの電圧 (V_{MID}) とに基づき前記第 3 制御信号に応じて前記第 3 スitchング素子のゲートを駆動することにより前記第 3 スitchング素子をオン又はオフさせるよう構成された第 3 ゲートドライバ (42_3) と、前記第 3 ブート電圧と前記第 3 ノードの電圧 (V_{FLY}) とに基づき前記第 4 制御信号に応じて前記第 4 スitchング素子のゲートを駆動することにより前記第 4 スitchング素子をオン又はオフさせるよう構成された第 4 ゲートドライバ (42_4) と、を備える構成 (第 7 の構成) であっても良い。

符号の説明

[0193] 1 A、1 B、1 C、1 C' 電源装置

1 0 A 電源制御装置

3 0 A、3 0 B、3 0 C 制御回路

4 0 A、4 0 B、4 0 C 駆動回路

5 0 A、5 0 B、5 0 C 昇圧回路

M 1 ～ M 8 スイッチング素子（トランジスタ）

G 1 ～ G 8 ゲート信号

C_{FLY} 、 C_{FLY1} 、 C_{FLY2} キャパシタ（フライングキャパシタ）

C_{MID} 、 C_{MID1} 、 C_{MID2} キャパシタ（中間キャパシタ）

C_{OUT} キャパシタ（出力キャパシタ）

L 1 ～ L 4 インダクタ

V_{IN} 入力電圧

V_{OUT} 出力電圧

V_{MID} 、 V_{MID1} 、 V_{MID2} 中間電圧

V_{LX} 、 V_{FLY} 電圧

N D 1 ～ N D 8 ノード

N D_{OUT} 出力ノード

I_L 、 I_{L1} ～ I_{L4} インダクタ電流

I_{LD} 負荷電流

C N T 1 ～ C N T 8 制御信号

G 1 ～ G 8 ゲート信号

3 1 エラーアンプ

3 2、3 2__1、3 2__2 ランプ回路

3 3、3 3__1、3 3__2 電流情報取得回路

3 4、3 4__1、3 4__2 加算器

3 5、3 5__1、3 5__2 PWMコンパレータ

3 6 発振回路

3 6 C クロック生成回路

3 7、3 7__1、3 7__2 コントローラ

R 1、R 2 抵抗

V_{FB} 帰還電圧

V_{REF} 基準電圧

V_{ERR} 誤差電圧

WR_{ERR} 配線

V_{RAMP} 、 V_{RAMP1} 、 V_{RAMP2} ランプ電圧

V_{IL} 、 V_{IL1} 、 V_{IL2} センス電圧

V_{SLP} 、 V_{SLP1} 、 V_{SLP2} スロープ電圧

C L K 基準クロック信号

C L K 1 基準クロック信号

C L K 2 シフトクロック信号

4 1__1～4 1__4、5 1__2～5 1__4、 レベルシフタ

4 2__1～4 2__4 ゲートドライバ

5 2__2～5 2__4 スイッチドライバ

V_{DRV} 駆動電圧

V_{BOOT1} ～ V_{BOOT3} ブート電圧

W_{BOOT1} ～ W_{BOOT3} ブート配線

M a～M a ブートスイッチ（トランジスタ）

C N V a バックコンバータ

C N V b スタックドコンバータ

C N V 1、C N V 2 コンバータ

請求の範囲

- [請求項1] 入力電圧より低い電位を有する基準ノードと第1ノードとの間に設けられた第1スイッチング素子と、
- 前記第1ノードと第2ノードとの間に設けられた第2スイッチング素子と、
- 前記第2ノードと第3ノードとの間に設けられた第3スイッチング素子と、
- 前記第3ノードと前記入力電圧を受ける第4ノードとの間に設けられた第4スイッチング素子と、
- 前記第2スイッチング素子をオンさせるために前記第2スイッチング素子のゲートに供給される第1ブート電圧を第1ブート配線に発生させ、前記第3スイッチング素子をオンさせるために前記第3スイッチング素子のゲートに供給される第2ブート電圧を第2ブート配線に発生させ、且つ、前記第4スイッチング素子をオンさせるために前記第4スイッチング素子のゲートに供給される第3ブート電圧を第3ブート配線に発生させるよう構成された昇圧回路と、
- 各スイッチング素子の状態を指定する制御信号を生成するよう構成された制御回路と、
- 所定の駆動電圧と前記第1ブート電圧～前記第3ブート電圧とを用い前記制御信号に応じて前記第1スイッチング素子～前記第4スイッチング素子を個別にオン又はオフさせるよう構成された駆動回路と、
- を備え、前記第1スイッチング素子～前記第4スイッチング素子の状態を制御することを通じ前記入力電圧より低い出力電圧を生成し、
- 前記第1スイッチング素子～前記第4スイッチング素子は夫々にNチャネル型の電界効果トランジスタにより構成され、
- 前記昇圧回路は、
- 前記第1ノードと前記第1ブート配線との間に設けられた第1ブートキャパシタと、

前記第2ノードと前記第2ブート配線との間に設けられた第2ブートキャパシタと、

前記第3ノードと前記第3ブート配線との間に設けられた第3ブートキャパシタと、

前記駆動電圧が加わる駆動配線と前記第1ブート配線との間に設けられた第1ブートスイッチと、

前記第1ブート配線と前記第2ブート配線との間に設けられた第2ブートスイッチと、

前記第2ブート配線と前記第3ブート配線との間に設けられた第3ブートスイッチと、を備え、

前記制御回路により各スイッチング素子及び各ブートスイッチの状態が制御されることを通じて前記第1ブート電圧～前記第3ブート電圧が発生する

、電源装置。

[請求項2]

前記制御回路は、前記第1スイッチング素子～前記第4スイッチング素子の状態を、第1状態及び第2状態を含む複数の状態間で切り替え、

前記第1状態において、前記第2スイッチング素子及び前記第4スイッチング素子はオンであって且つ前記第1スイッチング素子及び前記第3スイッチング素子はオフであり、

前記第2状態において、前記第2スイッチング素子及び前記第4スイッチング素子はオフであって且つ前記第1スイッチング素子及び前記第3スイッチング素子はオンである

、請求項1に記載の電源装置。

[請求項3]

前記昇圧回路は、前記第1状態において前記第1ブートスイッチ及び前記第3ブートスイッチをオフに設定し且つ前記第2ブートスイッチをオンに設定し、前記第2状態において前記第1ブートスイッチ及び前記第3ブートスイッチをオンに設定し且つ前記第2ブートスイッ

チをオフに設定する

、請求項 2 に記載の電源装置。

[請求項4] 前記第 1 ブートスイッチ～前記第 3 ブートスイッチは各々に P チャネル型の電界トランジスタにより構成される
、請求項 1 ～ 3 の何れかに記載の電源装置。

[請求項5] 前記昇圧回路は、
前記第 1 ノードの電圧と前記第 1 ブート電圧とに基づいて前記第 1 ブートスイッチをオン又はオフに設定し、
前記第 2 ノードの電圧と前記第 2 ブート電圧とに基づいて前記第 2 ブートスイッチをオン又はオフに設定し、
前記第 3 ノードの電圧と前記第 3 ブート電圧とに基づいて前記第 3 ブートスイッチをオン又はオフに設定する
、請求項 4 に記載の電源装置。

[請求項6] 前記制御回路は、前記出力電圧の情報と、前記第 1 ノードと前記出力電圧が加わる出力ノードとの間に設けられたインダクタの電流情報と、に基づき、前記第 1 スイッチング素子～前記第 4 スイッチング素子の状態を前記複数の状態間で切り替えるスイッチング制御を行うことにより、前記入力電圧を分圧するとともに分圧により得られた中間電圧を降圧して前記出力電圧を生成し、

前記制御回路は、前記スイッチング制御において、前記第 1 スイッチング素子～前記第 4 スイッチング素子と前記第 2 ノードに接続された中間キャパシタと前記第 3 ノードに接続されたフライングキャパシタとを有する回路を、スイッチドキャパシタ回路として動作させ、これによって前記第 2 ノードに前記中間電圧を発生させる
、請求項 1 ～ 5 の何れかに記載の電源装置。

[請求項7] 前記制御回路にて生成される前記制御信号は第 1 制御信号～第 4 制御信号を含み、
前記駆動回路は、

前記駆動電圧と前記基準ノードの電圧とに基づき前記第1制御信号に応じて前記第1スイッチング素子のゲートを駆動することにより前記第1スイッチング素子をオン又はオフさせるよう構成された第1ゲートドライバと、

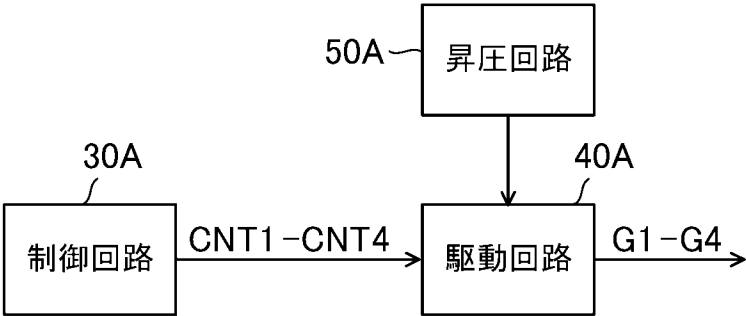
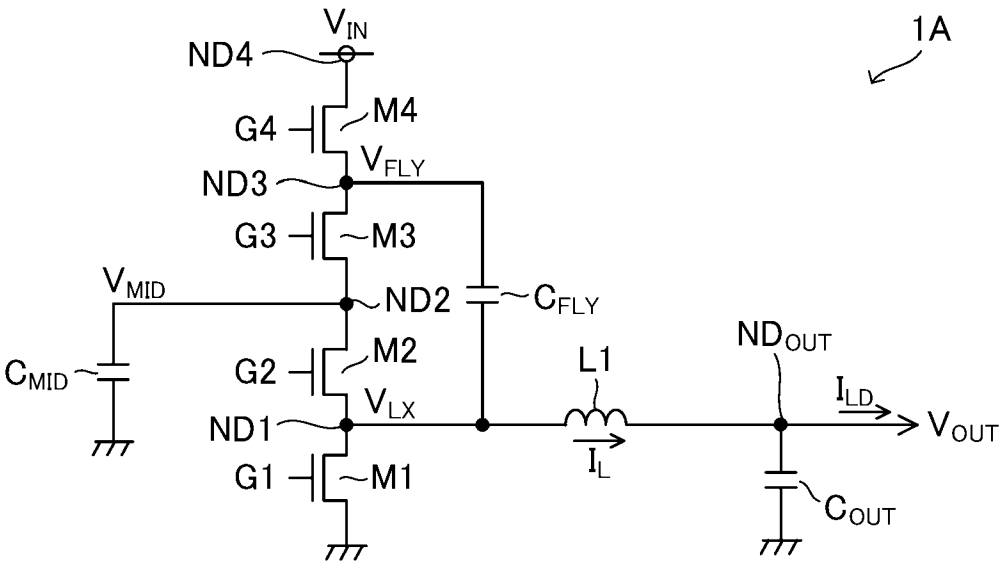
前記第1ブート電圧と前記第1ノードの電圧とに基づき前記第2制御信号に応じて前記第2スイッチング素子のゲートを駆動することにより前記第2スイッチング素子をオン又はオフさせるよう構成された第2ゲートドライバと、

前記第2ブート電圧と前記第2ノードの電圧とに基づき前記第3制御信号に応じて前記第3スイッチング素子のゲートを駆動することにより前記第3スイッチング素子をオン又はオフさせるよう構成された第3ゲートドライバと、

前記第3ブート電圧と前記第3ノードの電圧とに基づき前記第4制御信号に応じて前記第4スイッチング素子のゲートを駆動することにより前記第4スイッチング素子をオン又はオフさせるよう構成された第4ゲートドライバと、を備える

、請求項1～6の何れかに記載の電源装置。

[図1]

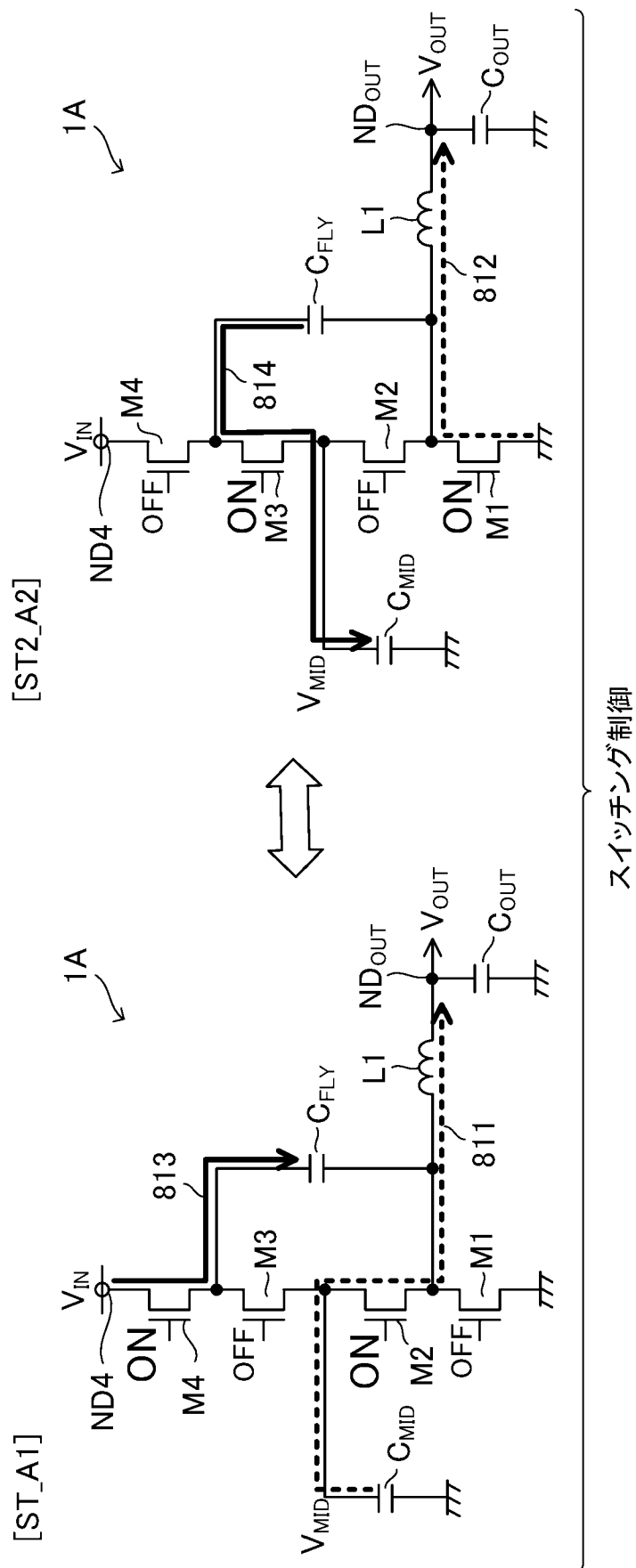


[図2]

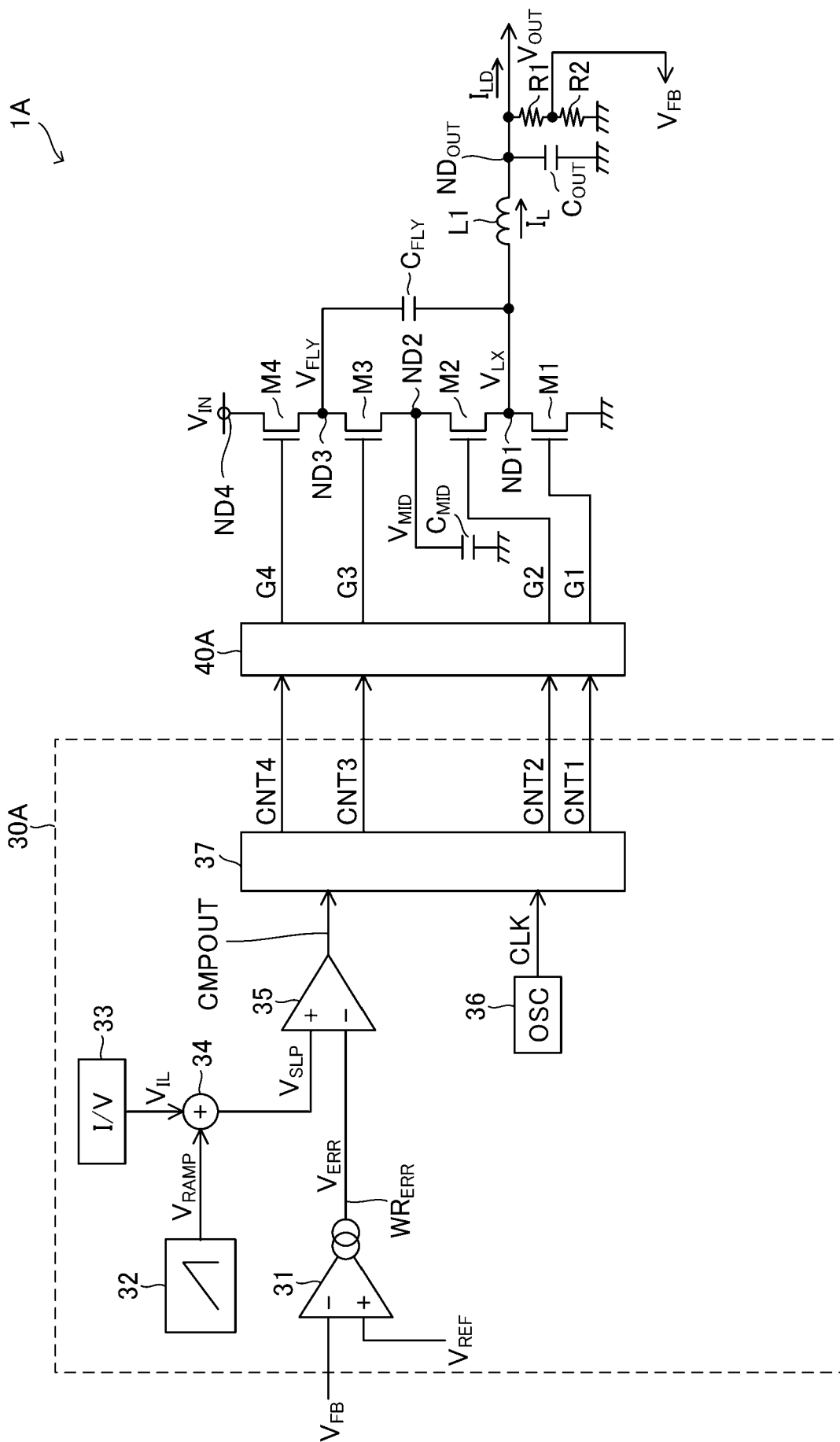
CNT1	G1	M1	CNT3	G3	M3
HI	HI	ON	HI	HI	ON
LOW	LOW	OFF	LOW	LOW	OFF

CNT2	G2	M2	CNT4	G4	M4
HI	HI	ON	HI	HI	ON
LOW	LOW	OFF	LOW	LOW	OFF

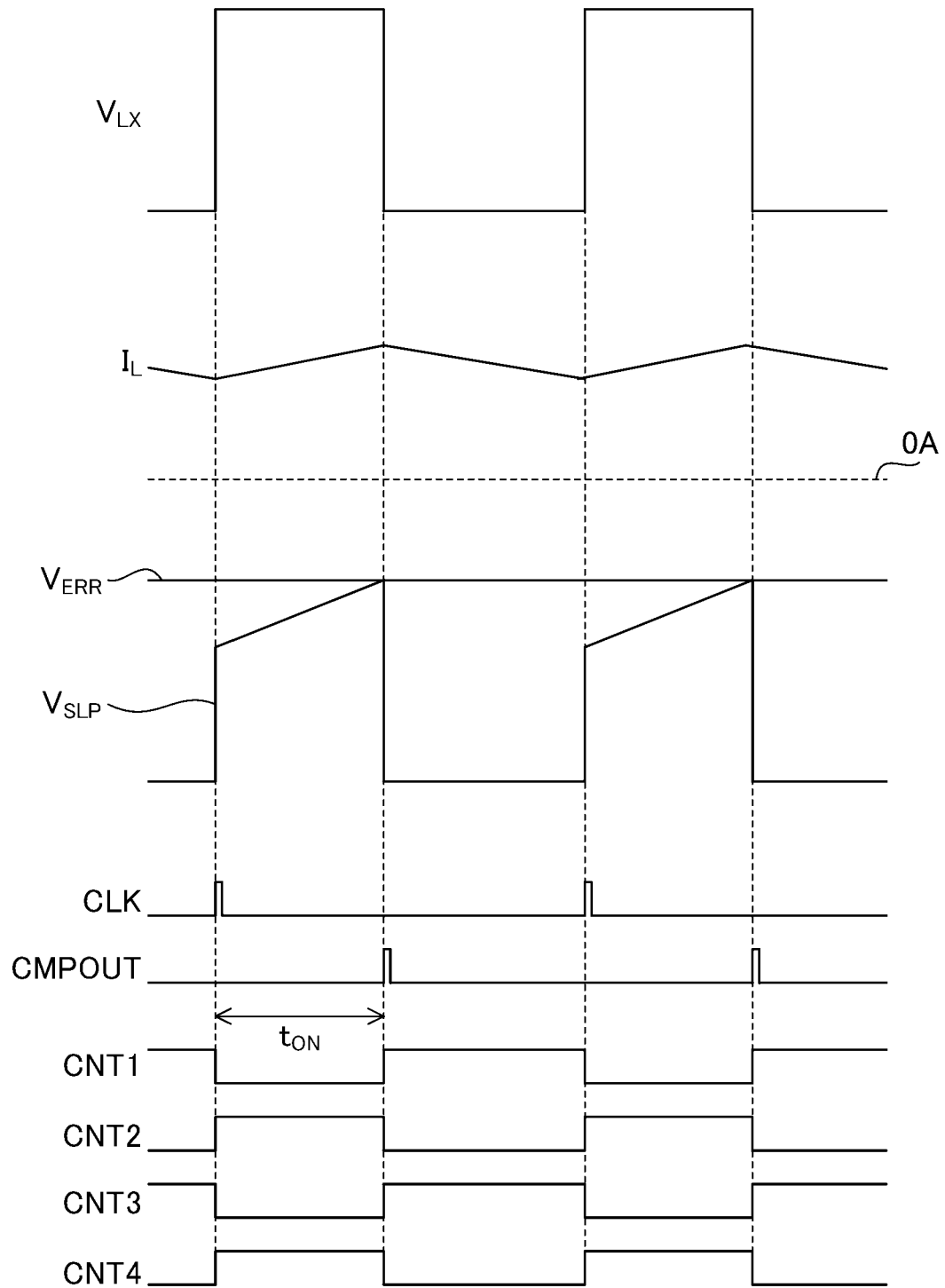
[図3]



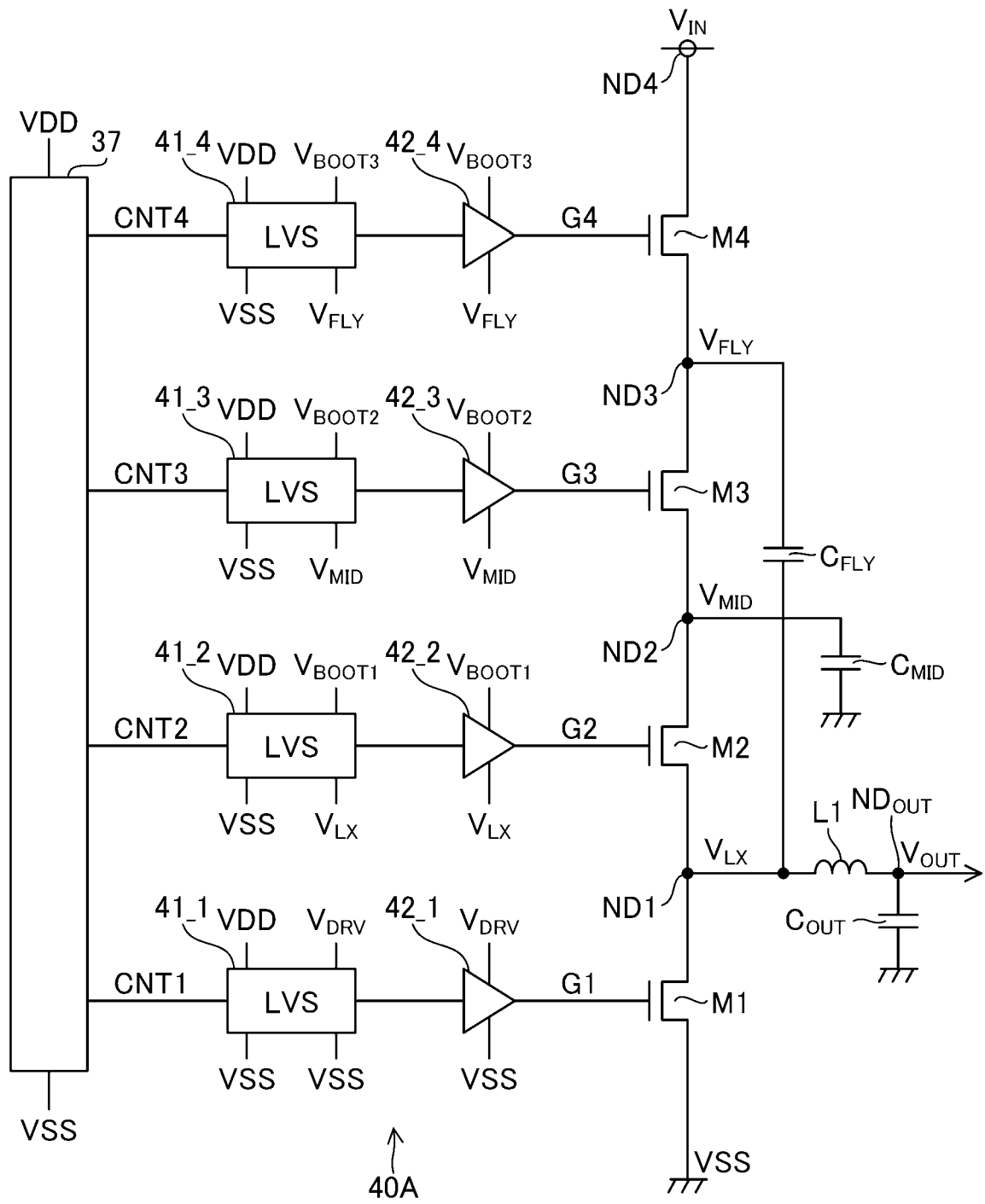
[図4]

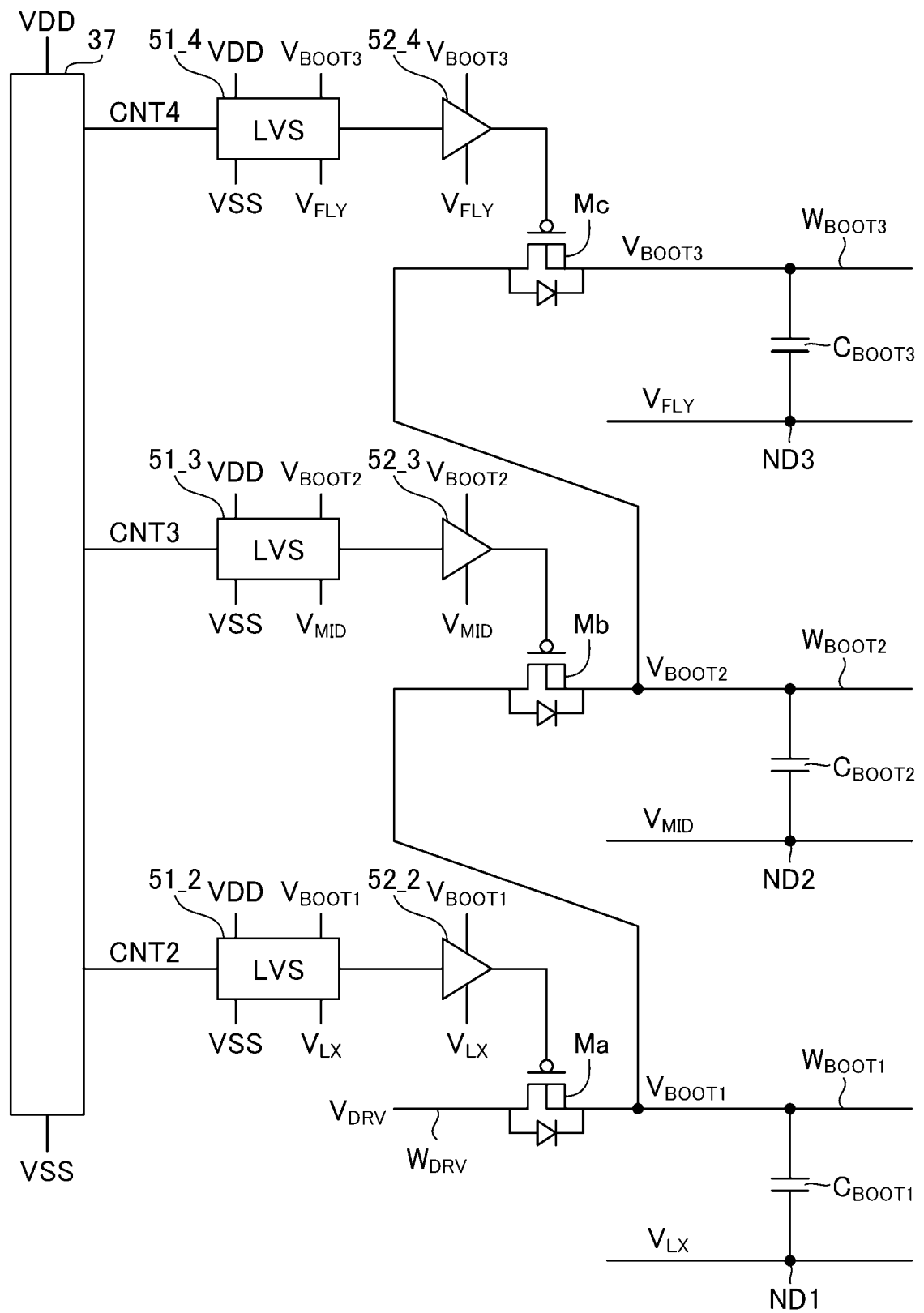


[図5]

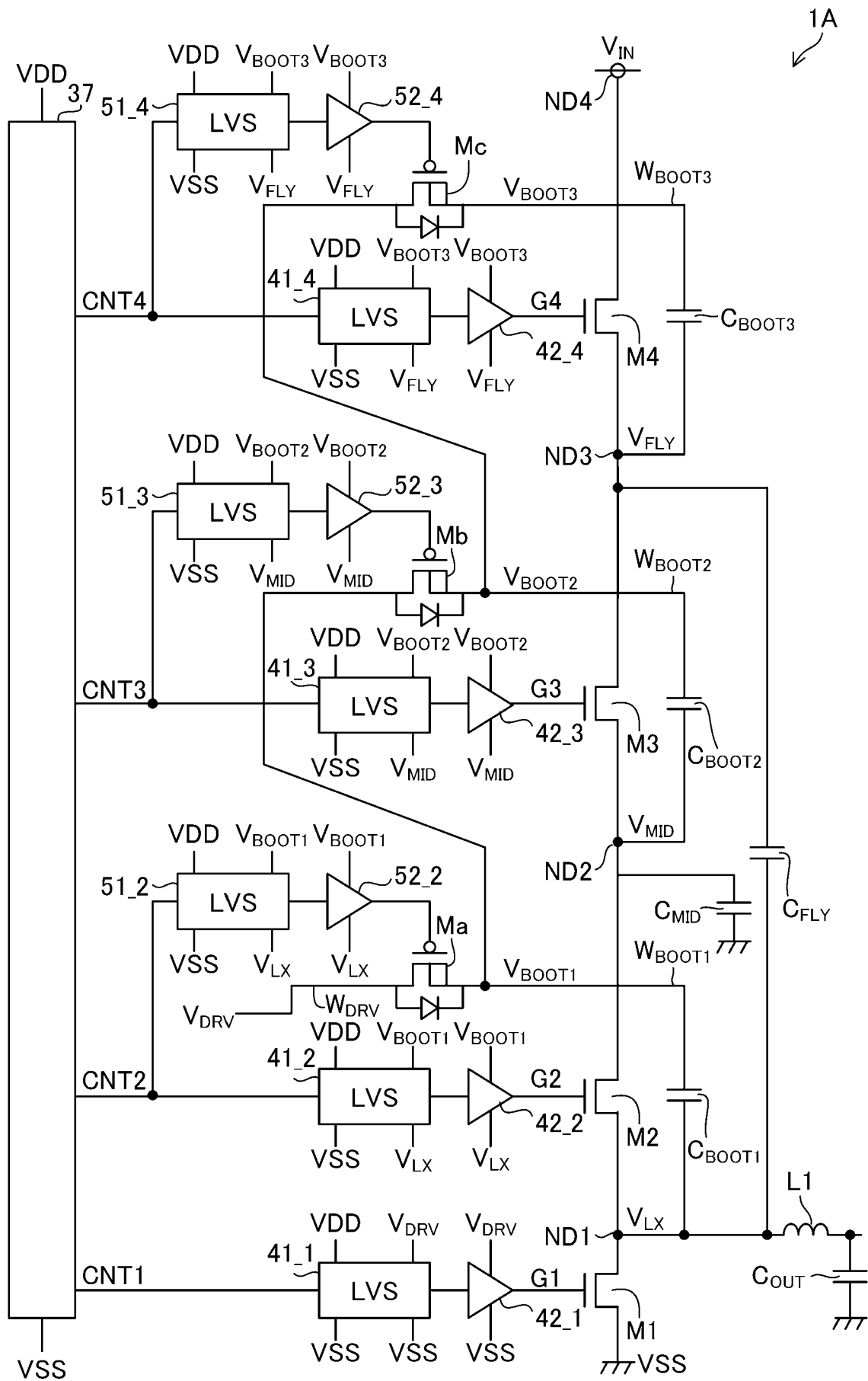


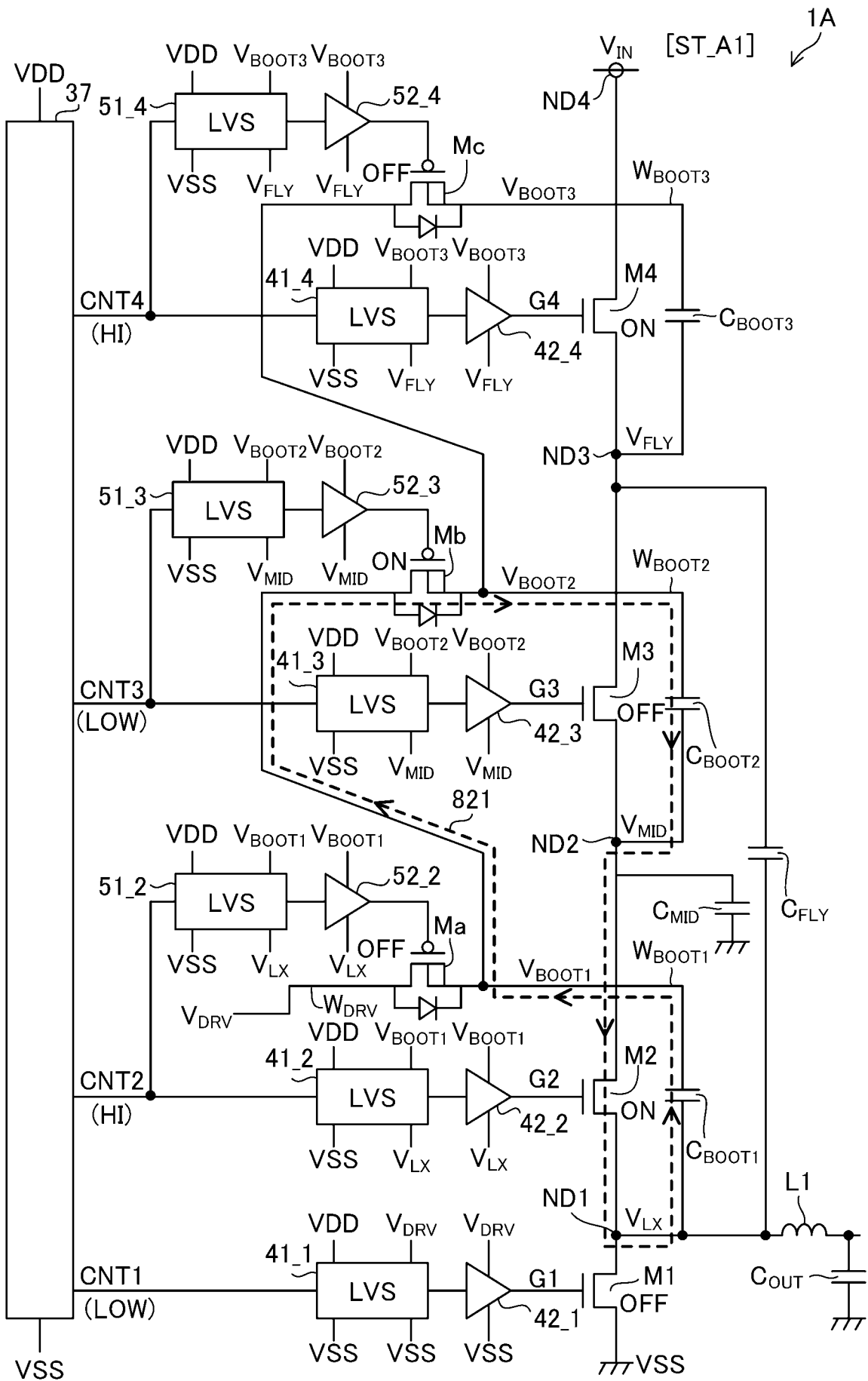
[図6]



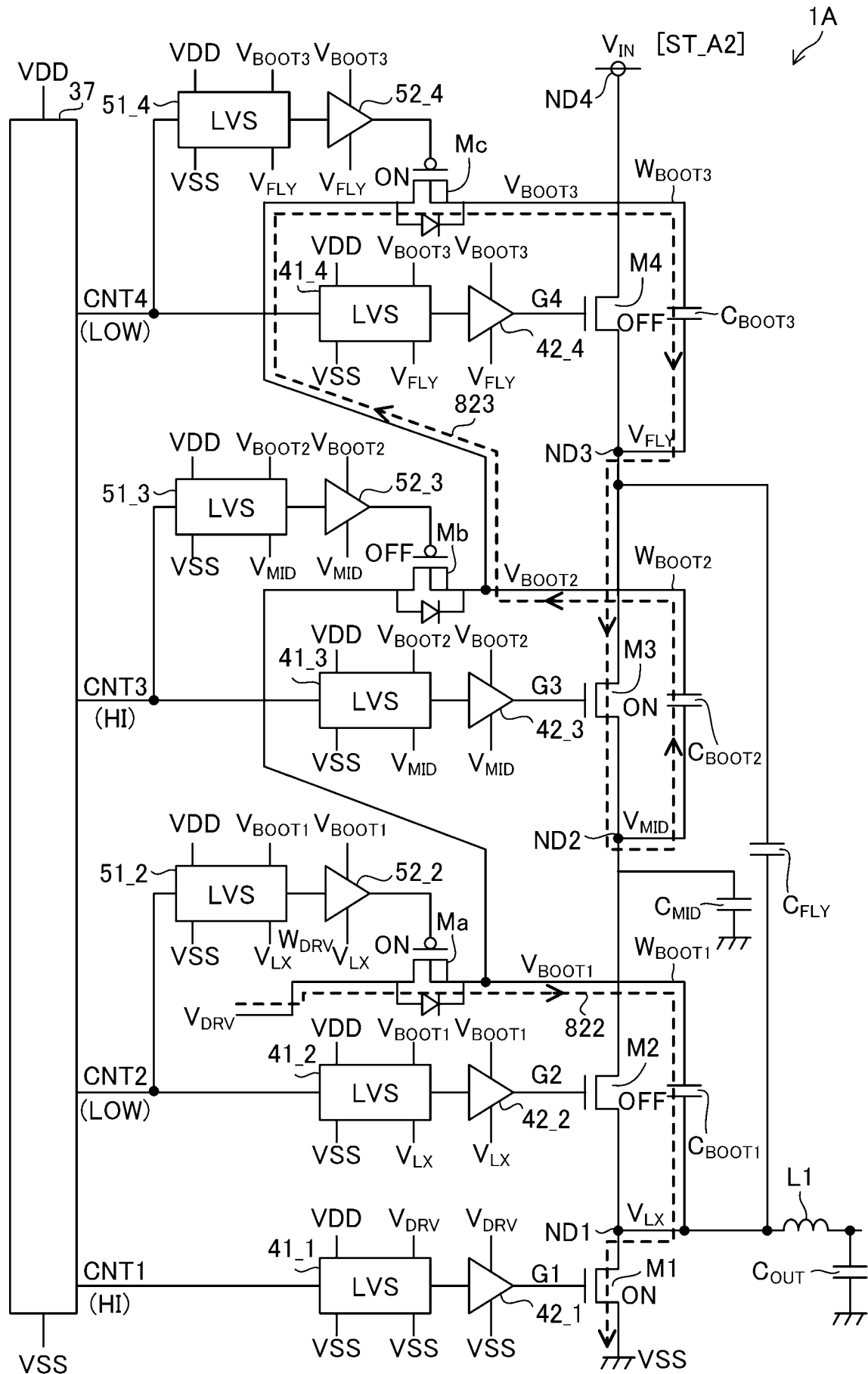


[図8]

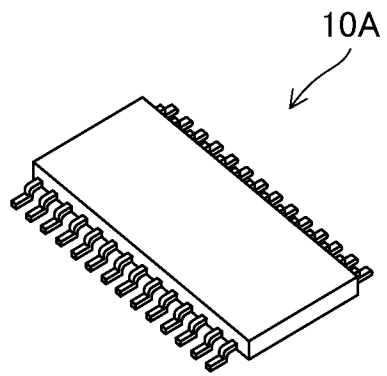




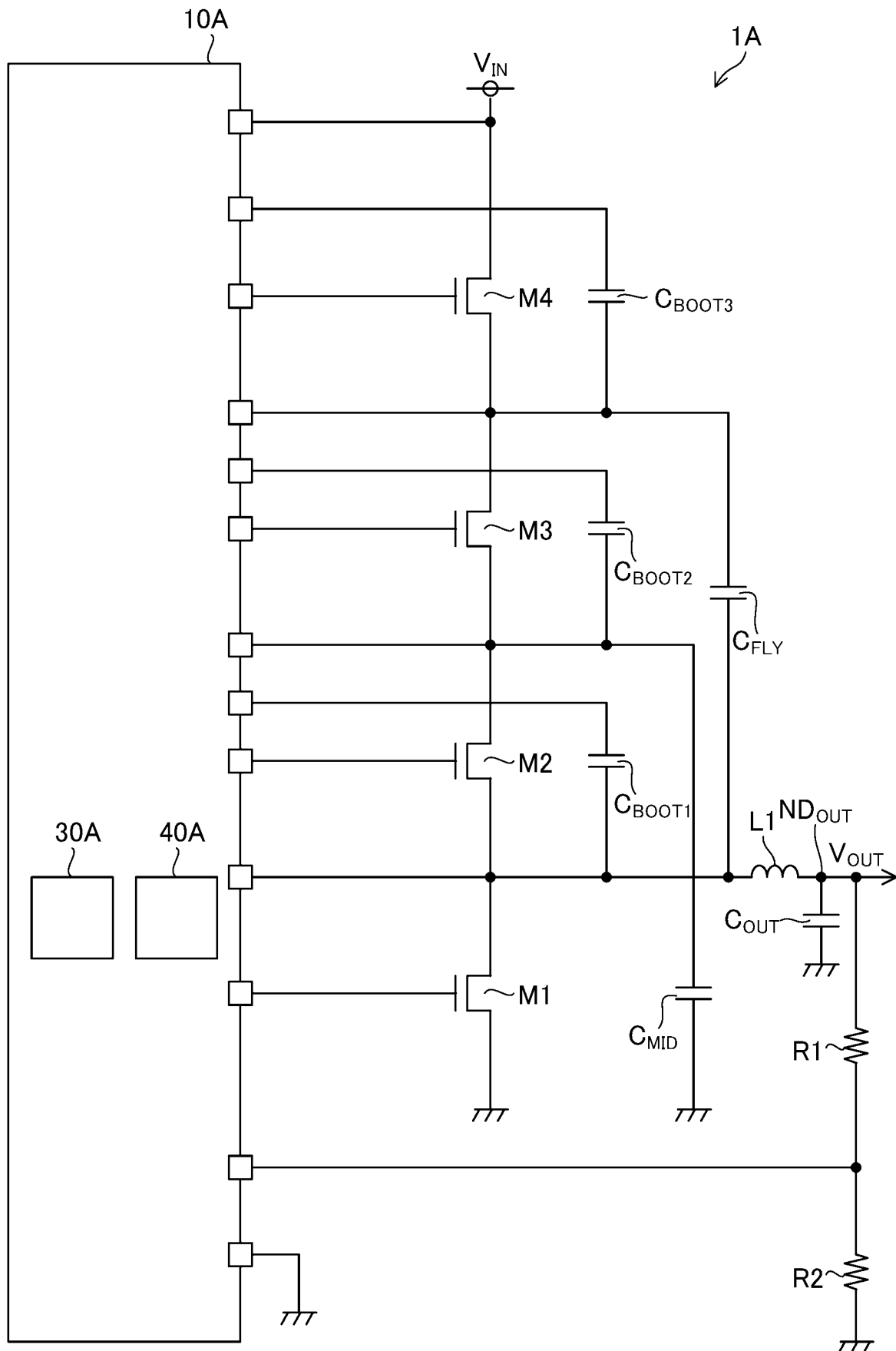
[図10]



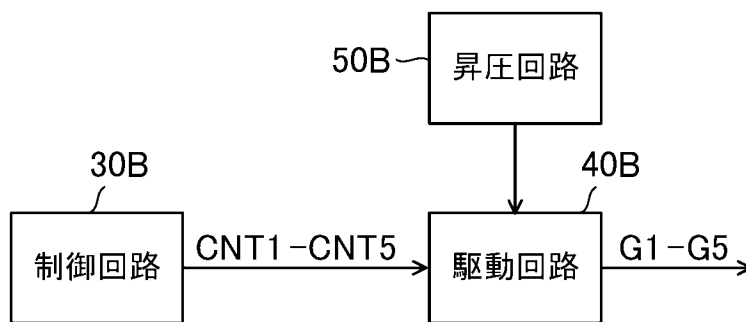
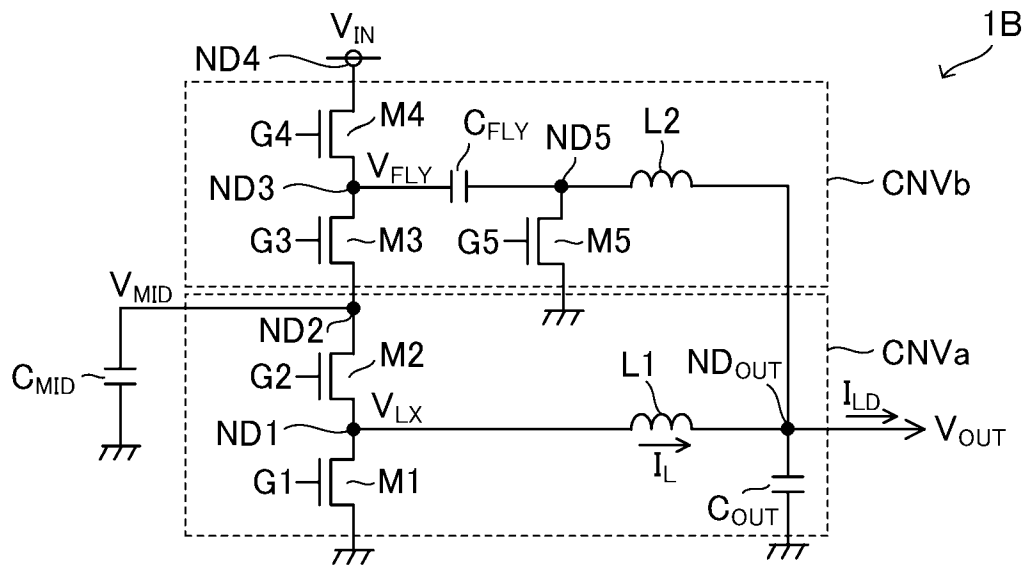
[図11]



[図12]

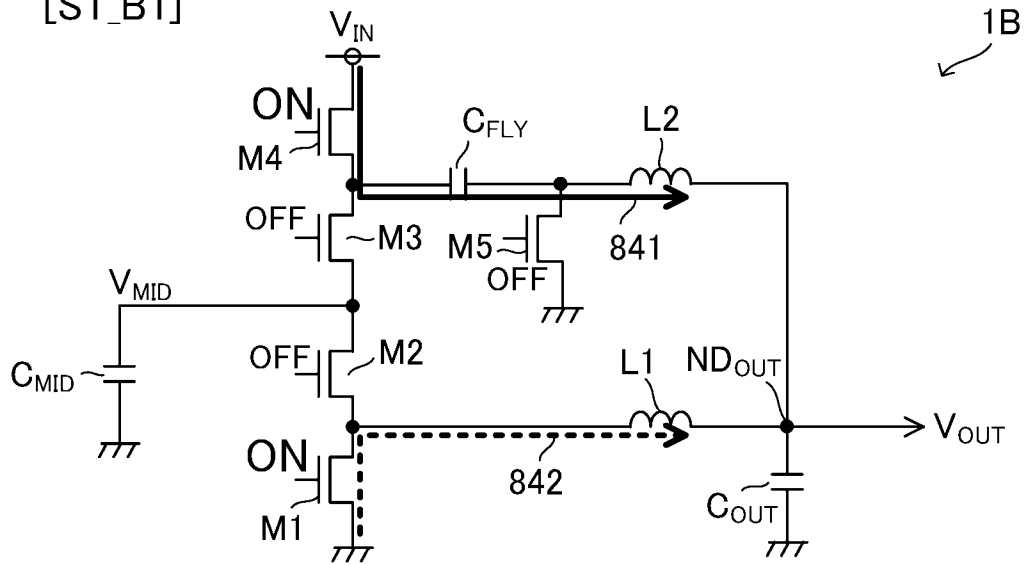


[図13]



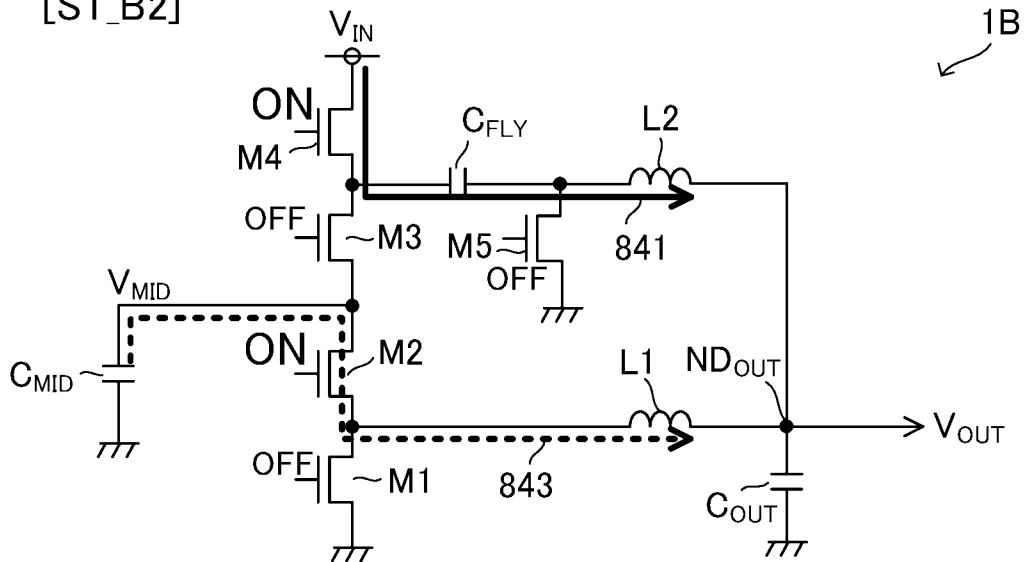
[図14]

[ST_B1]

 C_{FLY} :充電 C_{MID} :電荷保持

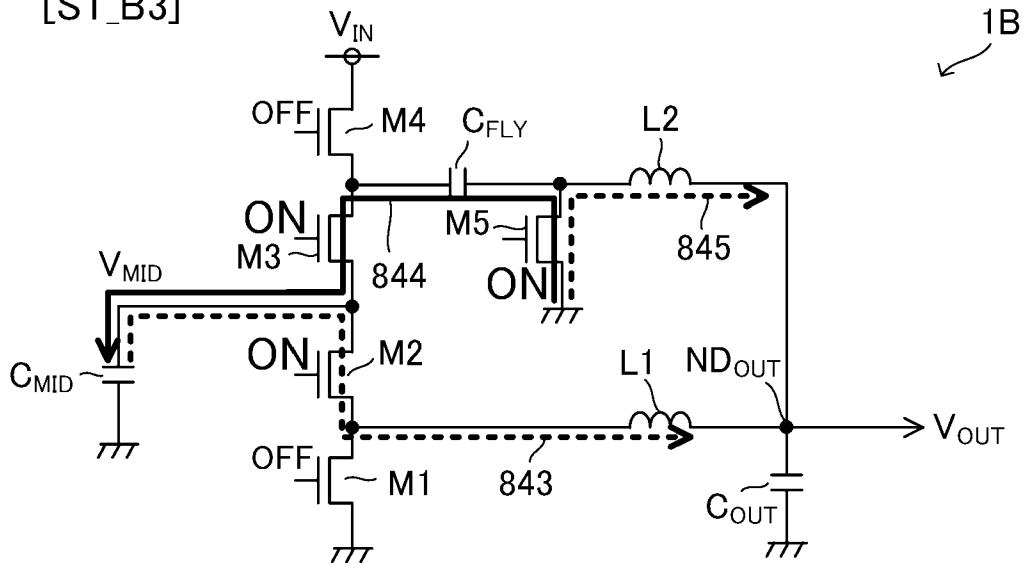
[図15]

[ST_B2]

 C_{FLY} :充電 C_{MID} :放電

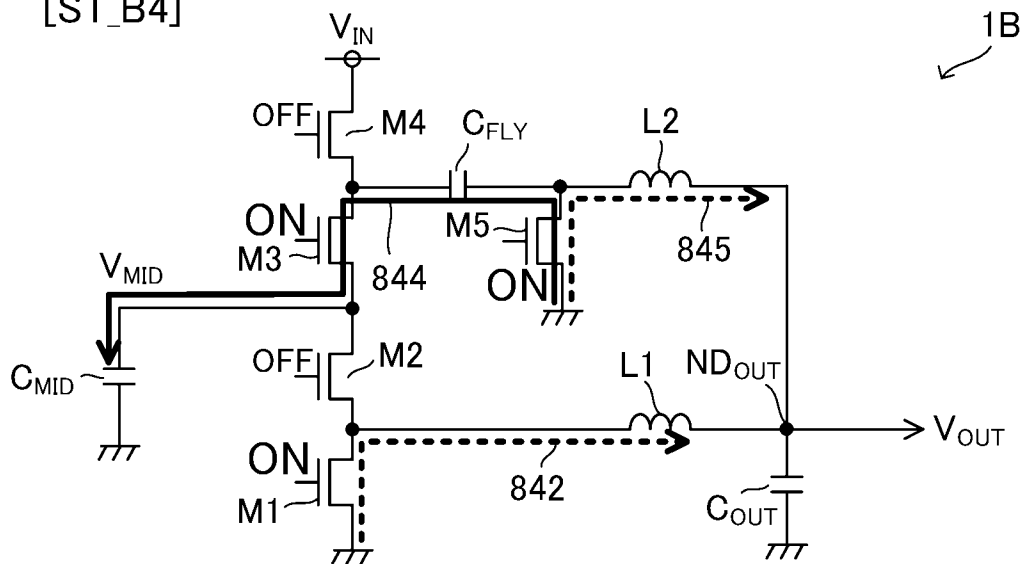
[図16]

[ST_B3]

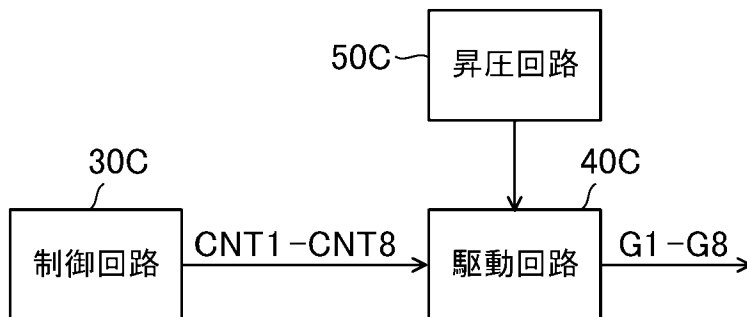
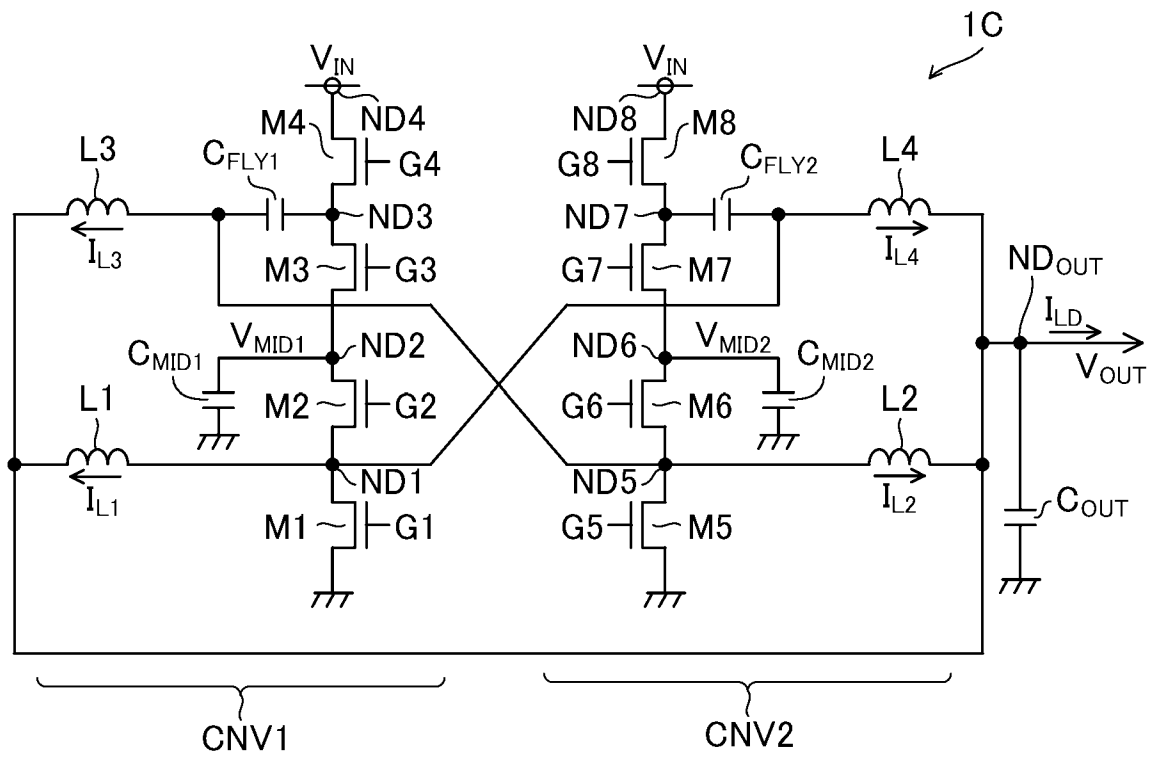
 C_{FLY} :放電 C_{MID} :充電/放電

[図17]

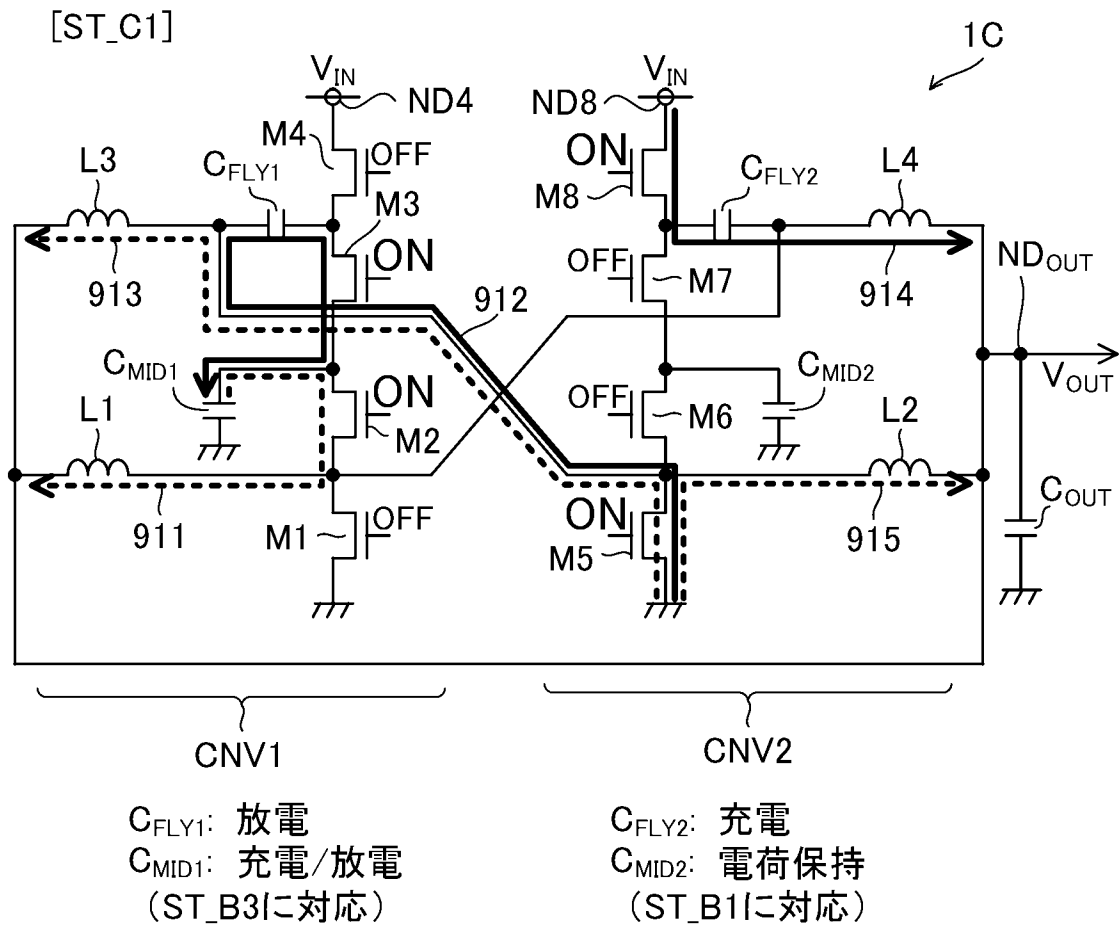
[ST_B4]

 C_{FLY} :放電 C_{MID} :充電

[図18]

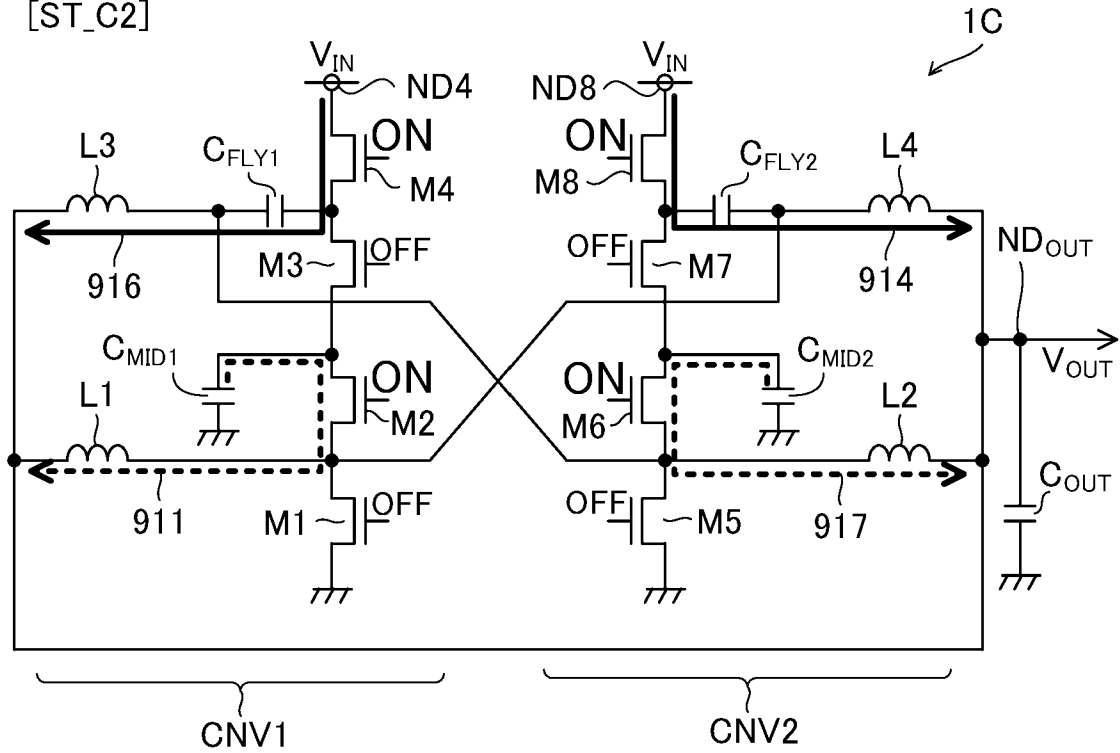


[図19]



[図20]

[ST_C2]

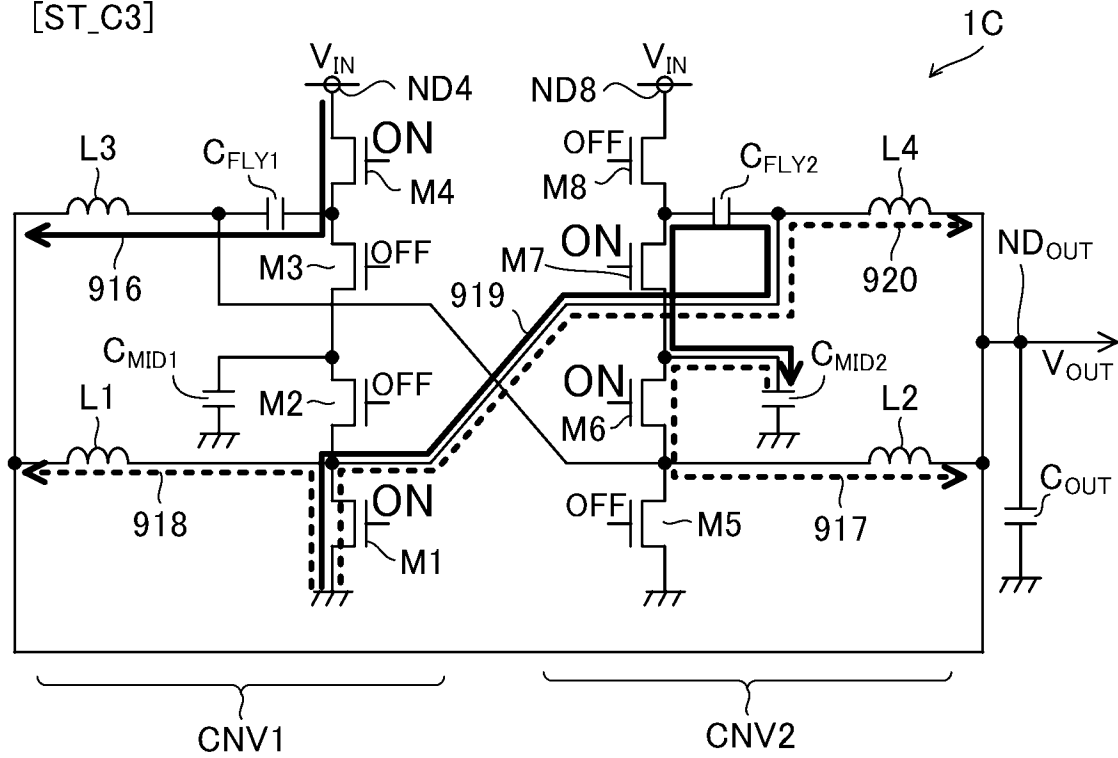


C_{FLY1} : 充電
 C_{MID1} : 放電
 (ST_B2に対応)

C_{FLY2} : 充電
 C_{MID2} : 放電
 (ST_B2に対応)

[図21]

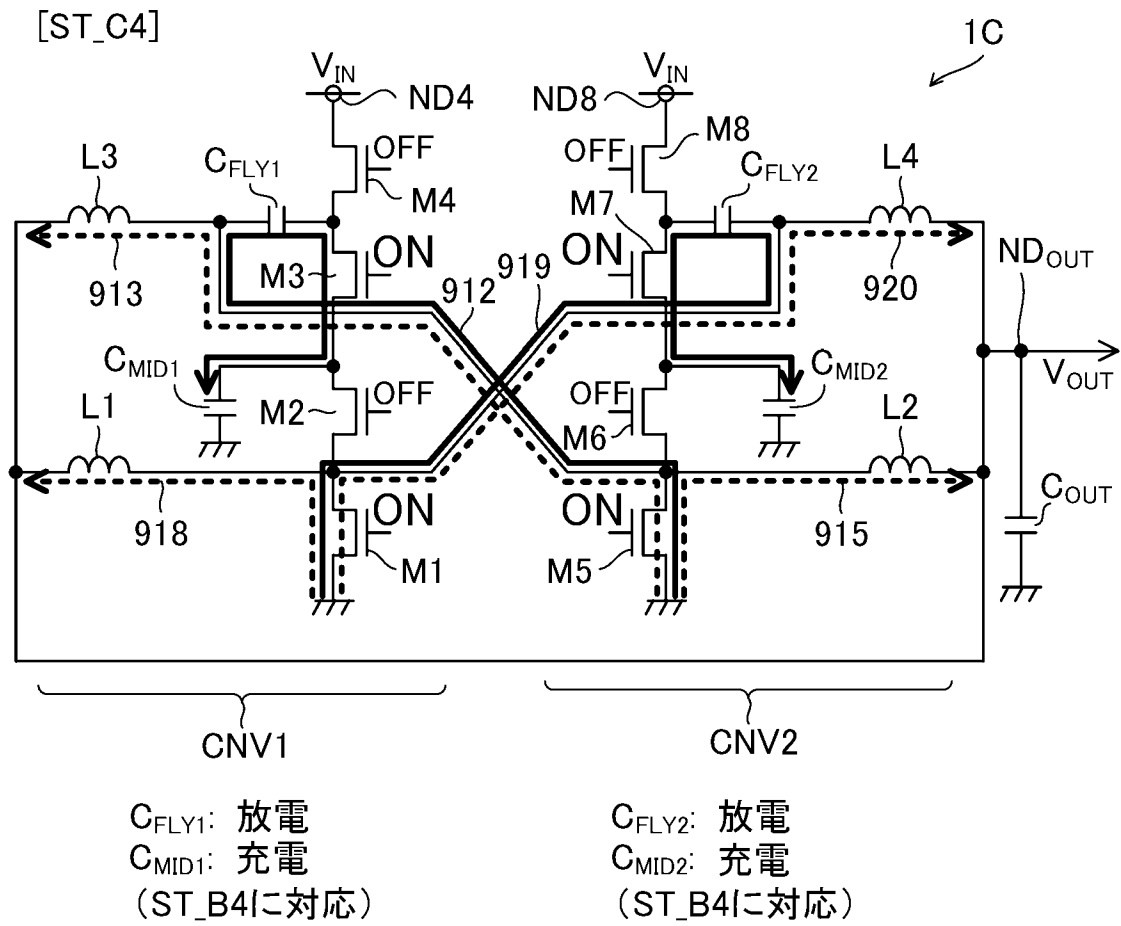
[ST_C3]



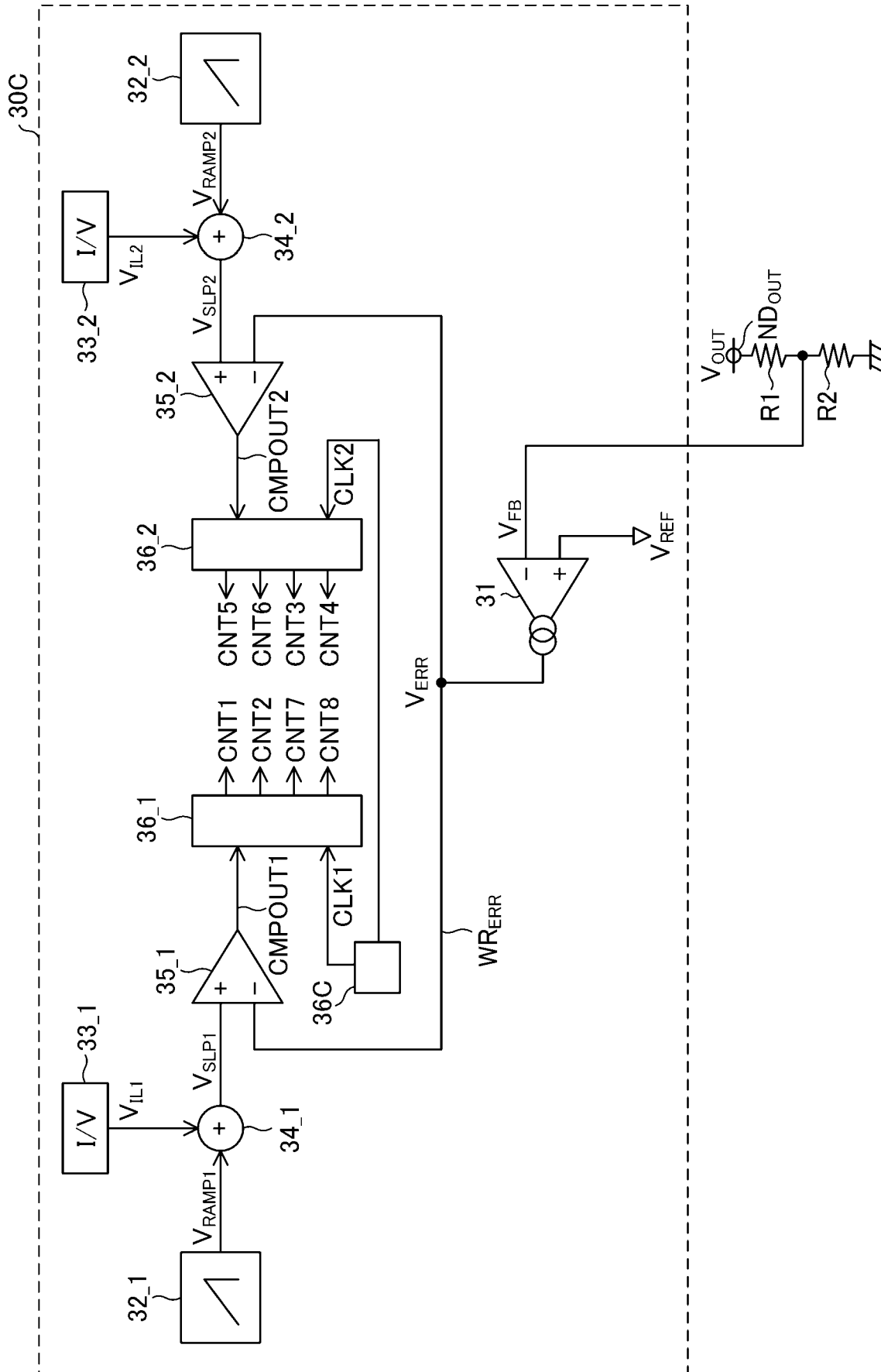
C_{FLY1}: 充電
 C_{MID1}: 電荷保持
 (ST_B1に対応)

C_{FLY2}: 放電
 C_{MID2}: 充電/放電
 (ST_B3に対応)

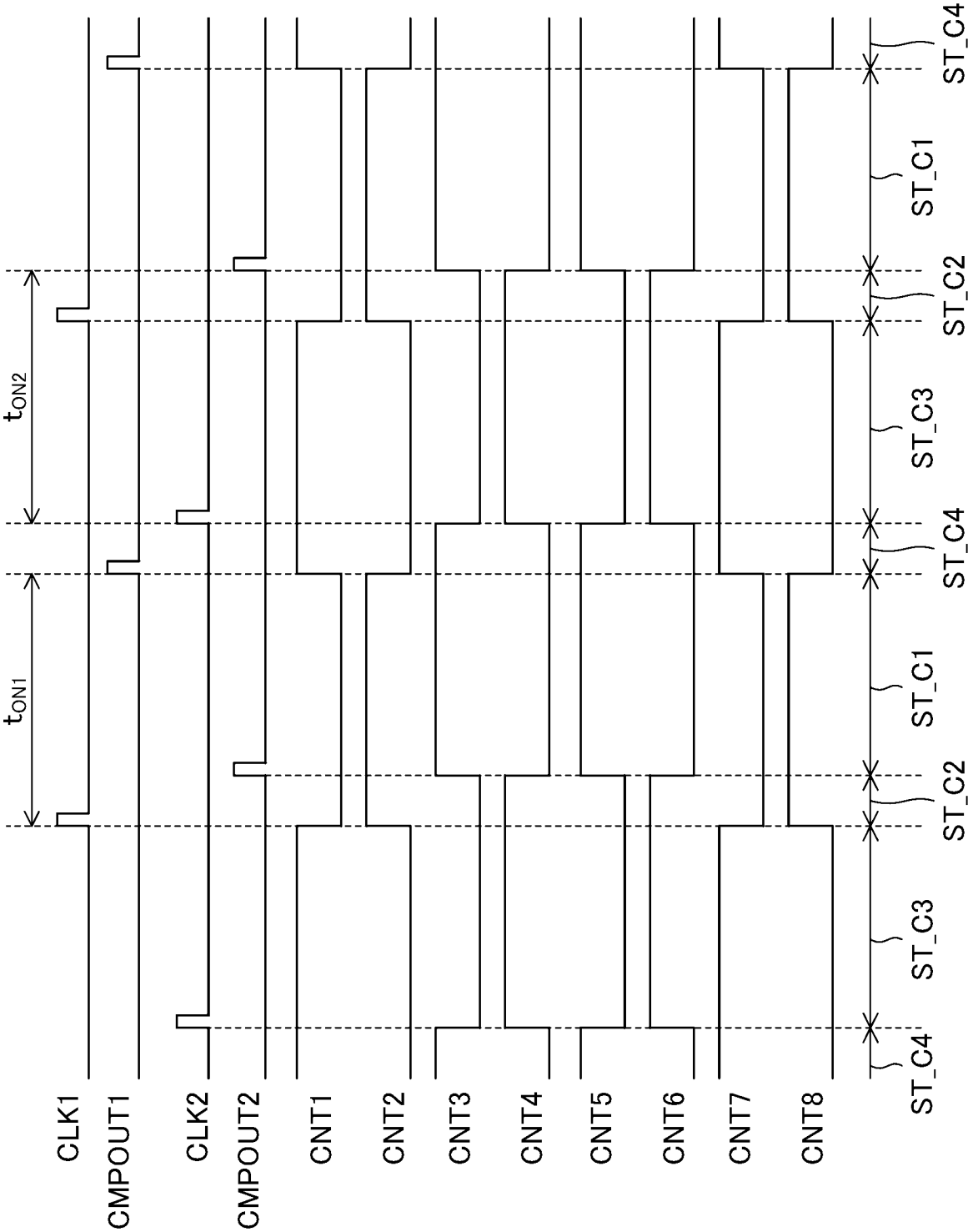
[図22]



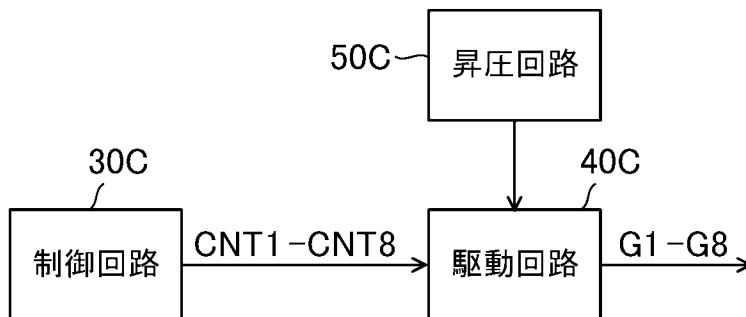
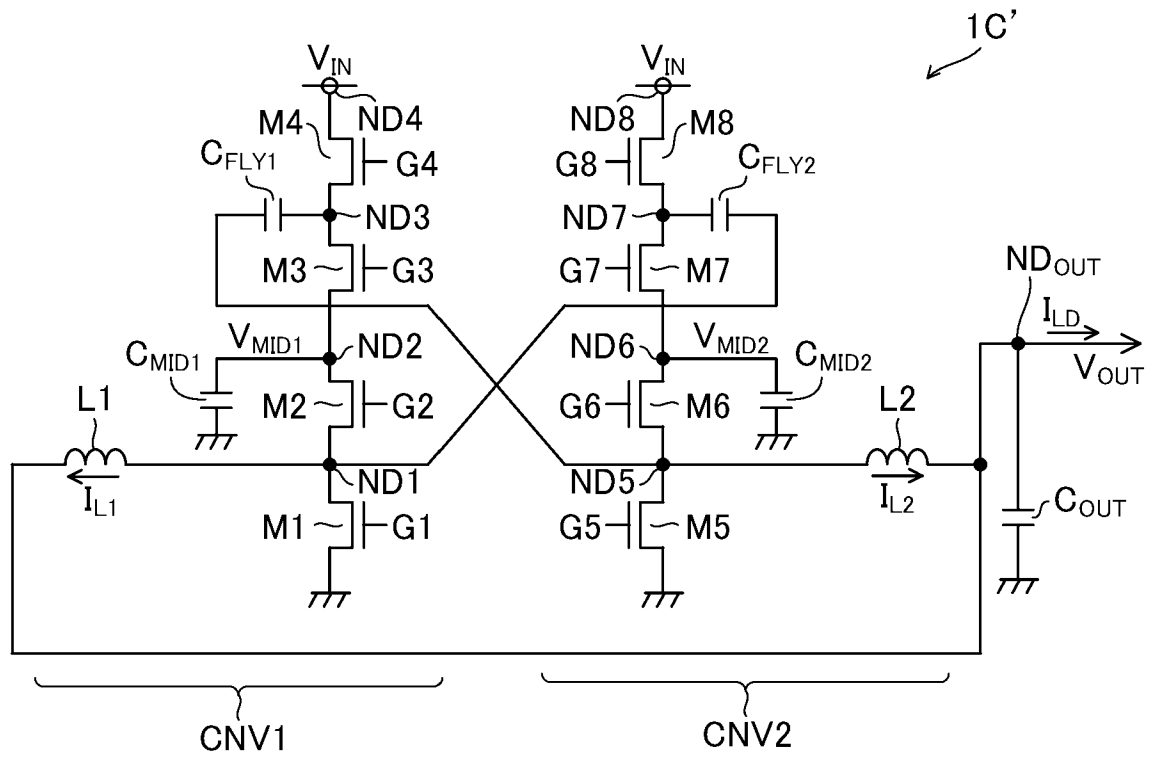
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019747

A. CLASSIFICATION OF SUBJECT MATTER H02M 3/155 (2006.01)i FI: H02M3/155 S According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M3/155 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-69160 A (ROHM CO., LTD.) 30 April 2021 (2021-04-30) entire text, all drawings	1-7
A	JP 2020-501488 A (INTEGRATED DEVICE TECHNOLOGY, INC.) 16 January 2020 (2020-01-16) entire text, all drawings	1-7
A	JP 2020-156161 A (KABUSHIKI KAISHA MEIDENSHA) 24 September 2020 (2020-09-24) entire text, all drawings	1-7
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 07 August 2024		Date of mailing of the international search report 20 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019747

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2021-69160	A	30 April 2021	US	2021/0119540	A1	
				entire text, all drawings			
JP	2020-501488	A	16 January 2020	US	2018/0159346	A1	
				entire text, all drawings			
				WO	2018/102689	A1	
				KR	10-2019-0077046	A	
				CN	110050400	A	
JP	2020-156161	A	24 September 2020	US	2022/0045622	A1	
				entire text, all drawings			
				WO	2020/189041	A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 3/155(2006.01)i
FI: H02M3/155 S

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2024年
日本国実用新案登録公報 1996 - 2024年
日本国登録実用新案公報 1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2021-69160 A（ローム株式会社） 30.04.2021（2021 - 04 - 30） 全文、全図	1-7
A	JP 2020-501488 A（インテグレートッド・デバイス・テクノロジー・インコーポレー テッド） 16.01.2020（2020 - 01 - 16） 全文、全図	1-7
A	JP 2020-156161 A（株式会社明電舎） 24.09.2020（2020 - 09 - 24） 全文、全図	1-7

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

07.08.2024

国際調査報告の発送日

20.08.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

尾家 英樹 3H 9335

電話番号 03-3581-1101 内線 3316

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/019747

引用文献			公表日	パテントファミリー文献			公表日
JP	2021-69160	A	30.04.2021	US	2021/0119540	A1	
				全文、全図			
JP	2020-501488	A	16.01.2020	US	2018/0159346	A1	
				全文、全図			
				WO	2018/102689	A1	
				KR	10-2019-0077046	A	
				CN	110050400	A	
JP	2020-156161	A	24.09.2020	US	2022/0045622	A1	
				全文、全図			
				WO	2020/189041	A1	