

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-243877

(P2012-243877A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 R	4 M 1 O 4
HO 1 L 21/285 (2006.01)	HO 1 L 21/285 S	
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 3 O 1 B	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 2 L	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 5 A	
審査請求 未請求 請求項の数 17 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2011-110792 (P2011-110792)	(71) 出願人	000001199
(22) 出願日	平成23年5月17日 (2011.5.17)		株式会社神戸製鋼所
			兵庫県神戸市中央区脇浜町二丁目10番26号
		(74) 代理人	100075409
			弁理士 植木 久一
		(74) 代理人	100129757
			弁理士 植木 久彦
		(74) 代理人	100115082
			弁理士 菅河 忠志
		(74) 代理人	100125243
			弁理士 伊藤 浩彰
		(74) 代理人	100125173
			弁理士 竹岡 明美
最終頁に続く			

(54) 【発明の名称】 半導体電極構造

(57) 【要約】

【課題】半導体装置の製造工程で高温下に曝された場合であっても、ヒロックの発生が抑制されて耐熱性に優れ、かつ膜自体の電気抵抗率が低く抑えられたAl合金膜を有する半導体電極構造を提供する。

【解決手段】基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、前記Al合金膜は、480℃で30分間保持する加熱処理を行った後に下記(a)~(c)を全て満たし、かつ膜厚が1~5μmであることを特徴とする半導体電極構造。

(a) Alマトリックスの最大粒径が1μm以下

(b) ヒロック密度が 1×10^9 個/m²未満

(c) 電気抵抗率が10μΩ/cm以下

【選択図】なし

【特許請求の範囲】

【請求項 1】

基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、

前記Al合金膜は、480 で30分間保持する加熱処理を行った後に下記(a)~(c)を全て満たし、かつ膜厚が1~5 μm であることを特徴とする半導体電極構造。

(a) Alマトリックスの最大粒径が1 μm 以下

(b) ヒロック密度が 1×10^9 個/ m^2 未満

(c) 電気抵抗率が10 μcm 以下

【請求項 2】

基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、

前記Al合金膜は、300 で5時間保持する加熱処理を5回繰り返し行った後に下記(a)~(c)を全て満たし、かつ膜厚が1~5 μm であることを特徴とする半導体電極構造。

(a) Alマトリックスの最大粒径が1 μm 以下

(b) ヒロック密度が 1×10^9 個/ m^2 未満

(c) 電気抵抗率が10 μcm 以下

【請求項 3】

前記Al合金膜は、希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、CrおよびPtよりなる群(X群)から選択される少なくとも一種の元素(X群元素)を含むものである請求項1または2に記載の半導体電極構造。

【請求項 4】

前記Al合金膜は、更に、Niおよび/またはCoを含むものである請求項3に記載の半導体電極構造。

【請求項 5】

前記Al合金膜は、更に、Geおよび/またはCuを含むものである請求項3または4に記載の半導体電極構造。

【請求項 6】

前記Al合金膜中のX群元素の含有量は、0.1~5原子%である請求項3~5のいずれかに記載の半導体電極構造。

【請求項 7】

前記Al合金膜中のNiおよび/またはCoの含有量は、0.1~3原子%である請求項4~6のいずれかに記載の半導体電極構造。

【請求項 8】

前記Al合金膜中のGeおよび/またはCuの含有量は、0.1~3原子%である請求項5~7のいずれかに記載の半導体電極構造。

【請求項 9】

前記高融点金属薄膜は、Mo、Ti、W、Ta、Zr、NbおよびHfよりなる群から選択される少なくとも一種の元素の金属膜または合金膜である請求項1~8のいずれかに記載の半導体電極構造。

【請求項 10】

前記高融点金属薄膜は、膜厚が10nm~100nmである請求項1~9のいずれかに記載の半導体電極構造。

【請求項 11】

前記基板は、Si基板、SiC基板、またはGaN基板である請求項1~10のいずれかに記載の半導体電極構造。

【請求項 12】

請求項1~11のいずれかに記載の半導体電極構造のAl合金膜を形成するためのスパッタリングターゲットであって、

10

20

30

40

50

希土類元素、T a、N b、R e、Z r、W、M o、V、H f、T i、C rおよびP tよりなる群（X群）から選択される少なくとも一種の元素（X群元素）を0.1～5原子%含み、残部がA lおよび不可避免的不純物であることを特徴とするスパッタリングターゲット。

【請求項13】

更に、N iおよび/またはC oを0.1～3原子%含むものである請求項12に記載のスパッタリングターゲット。

【請求項14】

更に、G eおよび/またはC uを0.1～3原子%含むものである請求項12または13に記載のスパッタリングターゲット。

10

【請求項15】

請求項1～11のいずれかに記載の半導体電極構造を備え、かつ前記A l合金膜が電極に用いられた半導体素子。

【請求項16】

請求項1～11のいずれかに記載の半導体電極構造を備え、かつ前記A l合金膜が電気配線に用いられた半導体素子。

【請求項17】

請求項15または16に記載の半導体素子を備えた半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体電極構造に関するものであり、例えばI G B T（絶縁ゲート型バイポーラトランジスタ）等の半導体装置における半導体電極構造に関するものである。

【背景技術】

【0002】

近年、I G B TやパワーM O S F E T（パワーM O S型電界効果トランジスタ）などの、絶縁ゲート（M O S）型の半導体装置が大電力を制御するパワーデバイスとして普及している。

【0003】

図1を参照しながら一般的なI G B Tの構成を説明する。p型のコレクタ層にはコレクタ電極が接続されている。コレクタ層の上にn型のベース層が形成されている。n型のベース層の上部にはp型のボディ領域が形成され、その内部にn型のエミッタ層が形成されている。2つのエミッタ層間にあるn型のベース層の領域がチャンネル領域であり、そのチャンネル領域上には、ゲート絶縁膜およびゲート電極が形成されている。また、エミッタ層の上部にはエミッタ電極が形成されている。一般的にこれらのn型領域やp型領域は、S iなどからなる基板にPやBが元々含まれるか、領域ごとに決められたドーズ量、加速電圧、注入角度にてPやA s、Bをイオン注入した後に、領域ごとに決められた温度、時間で活性化の熱処理を行うことで形成される。

30

【0004】

I G B Tのエミッタ電極上面には金属製のワイヤーやリボンが接続され、これらを通して外部端子に接続されている。コレクタ電極は回路基板などに半田層を介して直接固定し接続されている。

40

【0005】

チャンネル領域がp型のI G B Tでは、エミッタ電極に負のバイアス、裏面電極に正のバイアスを印加するのと並行し、ゲート電極に正のバイアスを印加することで、チャンネル領域に反転層が形成され、エミッタ層とn型ベース層が反転層で接続されて電流が流れる。この電流はコレクタ電極に流れる。

【0006】

上記エミッタ電極等には、例えば純A lやA l - S i合金からなるA l系膜が用いられている。

50

【 0 0 0 7 】

ところで上記 I G B T の製造プロセスでは、エミッタ電極を形成後、基板の裏面よりコレクタ層のイオン注入を行う。次いで、450 以下の熱処理を行うことによって注入されたイオンの活性化を図る。よって、上記エミッタ電極等には熱処理による熱応力が加わる。また、I G B T は実使用環境において、約 200 ~ 300 に繰り返し曝される場合があるが、この場合も上記電極等に熱応力が加わる。

【 0 0 0 8 】

しかしながら、製造プロセス時の熱処理温度が例えば約 450 より高くなる場合や、実使用環境において 200 ~ 300 程度の高温に繰り返し曝される場合、上記電極等を構成する Al 系膜には、ヒロックと呼ばれる突起状の形状異常が生じたり、合金添加元素の異常析出や、接触する薄膜間で原子の相互拡散が生じ、薄膜自体が劣化する。よってこれまでは、高々 450 以下での熱処理しか行えず、実使用温度も低温にせざるを得なかった。

10

【 0 0 0 9 】

例えば特許文献 1 には、コレクタ層を活性化する目的で 800 ~ 950 の熱処理を施すことが記載されているが、このような高温での熱処理は、配線膜の形成前に限られている。配線膜を成膜した状態では、450 程度の熱処理しか施されておらず、より高温で熱処理することについては記載されていない。また、実使用環境時の耐熱性については全く評価されていない。

【 0 0 1 0 】

また、下地 Si 基板と Al の相互拡散により、Si 中にスパイクが発生するリスクもあるため、必要に応じて Mo や Ti などの高融点金属薄膜を Si 基板と Al 系膜の間に積層することも検討されているが、前記の耐熱性の課題には何ら効果はない。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開 2007 - 242699 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

上述したように、Al 系膜を形成した状態でコレクタ層活性化のための熱処理を行う場合、熱処理温度を高くすると、熱応力により Al 系膜に突起状の形状異常（ヒロック）が発生するなどの問題が生じる。しかし熱処理温度を比較的lowめにすると、コレクタ層の活性化に 2 時間程度と長時間を要したり、活性化が不十分となるリスクがある。

30

【 0 0 1 3 】

そこで従来は、上記 Al 系膜の膜厚を厚くし、かつ熱処理温度の上限をせいぜい 450 程度にしていた。しかし昨今、I G B T などのパワー半導体素子の特性向上が強く要求されており、より高温で熱処理してコレクタ層を十分活性化する等の必要性があることから、上記 Al 系膜として、熱処理温度の高温化に耐えうるものが求められている。

【 0 0 1 4 】

また上述した通り、半導体素子の使用環境や動作環境によっては、断続的に 300 程度までの熱が Al 系膜に加わることもあるが、このような熱負荷に対しても優れた耐熱性を発揮する Al 系膜が求められている。

40

【 0 0 1 5 】

更に Al 系膜には、耐熱性の他に低い電気抵抗率が要求される。Al 系膜に含まれる合金元素の添加量が多くなると、Al 系膜自体の電気抵抗率が増加してしまうため、半導体装置の製造工程で熱履歴を受けるなかで、電気抵抗率が十分に低減されることも求められている。

【 0 0 1 6 】

また従来では、上述した通り耐熱性確保の観点から Al 系膜を厚くする必要があったが

50

、成膜の効率が悪くかつ材料コストがかかるため、Al系膜の薄膜化も求められている。

【0017】

本発明は上記事情に鑑みてなされたものであり、その目的は、半導体装置の製造工程で高温下に曝された場合や、実使用環境下で繰り返し加熱された場合であっても、ヒロックの発生が抑制されて耐熱性に優れ、かつ膜自体の電気抵抗率が低く抑えられ、更には薄膜化を図ることのできるAl合金膜を備えた半導体電極構造を実現することにある。

【0018】

また本発明は、更に、上記半導体電極構造を備えた半導体素子や半導体装置、および上記Al合金膜を形成するためのスパッタリングターゲットを提供することを目的とするものである。

10

【課題を解決するための手段】

【0019】

上記課題を解決し得た本発明の半導体電極構造は、基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、前記Al合金膜が、480 で30分間保持する加熱処理を行った後に下記(a)~(c)を全て満たし、かつ膜厚が1~5 μ mであるところに特徴を有する。

(a) Alマトリックスの最大粒径が1 μ m以下

(b) ヒロック密度が 1×10^9 個/ m^2 未満

(c) 電気抵抗率が10 μ cm以下

【0020】

20

また本発明の半導体電極構造は、基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、前記Al合金膜が、300 で5時間保持する加熱処理を5回繰り返し行った後に下記(a)~(c)を全て満たし、かつ膜厚が1~5 μ mであるところに特徴を有するものでもある。

(a) Alマトリックスの最大粒径が1 μ m以下

(b) ヒロック密度が 1×10^9 個/ m^2 未満

(c) 電気抵抗率が10 μ cm以下

【0021】

本発明の好ましい実施形態において、前記Al合金膜は、希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、CrおよびPtよりなる群(X群)から選択される少なくとも一種の元素(X群元素)を含むものである。

30

【0022】

本発明の好ましい実施形態において、前記Al合金膜は、更に、Niおよび/またはCoを含むものである。

【0023】

本発明の好ましい実施形態において、前記Al合金膜は、更に、Geおよび/またはCuを含むものである。

【0024】

本発明の好ましい実施形態において、前記Al合金膜中のX群元素の含有量は、0.1~5原子%である。

40

【0025】

本発明の好ましい実施形態において、前記Al合金膜中のNiおよび/またはCoの含有量は、0.1~3原子%である。

【0026】

本発明の好ましい実施形態において、前記Al合金膜中のGeおよび/またはCuの含有量は、0.1~3原子%である。

【0027】

本発明の好ましい実施形態において、前記高融点金属薄膜は、Mo、Ti、W、Ta、Zr、NbおよびHfよりなる群から選択される少なくとも一種の元素の金属膜または合金膜である。

50

【0028】

本発明の好ましい実施形態において、前記高融点金属薄膜は、膜厚が10nm～100nmである。

【0029】

本発明の好ましい実施形態において、前記基板は、Si基板、SiC基板、またはGaN基板である。

【0030】

また本発明には、前記半導体電極構造のAl合金膜を形成するためのスパッタリングターゲットであって、希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、CrおよびPtよりなる群(X群)から選択される少なくとも一種の元素(X群元素)を0.1～5原子%含み、残部がAlおよび不可避的不純物であるところに特徴を有するスパッタリングターゲットも含まれる。

10

【0031】

本発明の好ましい実施形態において、前記スパッタリングターゲットは、更に、Niおよび/またはCoを0.1～3原子%含むものである。

【0032】

本発明の好ましい実施形態において、前記スパッタリングターゲットは、更に、Geおよび/またはCuを0.1～3原子%含むものである。

【0033】

本発明には、前記半導体電極構造を備え、かつ前記Al合金膜が電極に用いられた半導体素子も包含される。

20

【0034】

本発明には、前記半導体電極構造を備え、かつ前記Al合金膜が電気配線に用いられた半導体素子も包含される。

【0035】

本発明には、前記半導体素子を備えた半導体装置も包含される。

【発明の効果】

【0036】

本発明によれば、半導体電極構造におけるAl合金膜の耐熱性(特に高温耐熱性)に優れているため、例えばこのAl合金膜を半導体素子の電極・電気配線として備えた、IGBT等の半導体装置の製造プロセスにおいて、コレクタ層のイオン活性化等のための熱処理を高温で行うことができる。また、実使用環境において、約250～300の温度に繰り返し曝された場合であっても、特性の劣化を抑えることができる。更には、電気抵抗率が小さく、かつ薄膜化を図ることのできるAl合金膜を備えた半導体素子や半導体装置を実現できる。その結果、特性の向上したパワー半導体素子、またこの半導体素子を備えて優れた特性を発揮する上記IGBT等の半導体装置を実現することができる。

30

【図面の簡単な説明】

【0037】

【図1】図1は、一般的なIGBTの構成を示す概略断面図である。

【図2】図2は、熱処理条件とAl合金膜におけるAlマトリックスの結晶粒径との関係を模式的に示した説明図である。

40

【発明を実施するための形態】

【0038】

本発明者らは、前記課題を解決するために鋭意研究を重ねた。その結果、基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えた半導体電極構造であって、前記Al合金膜が、本発明で規定する条件(特に、Alマトリックスの最大粒径を1μm以下)を満たすようにすれば、半導体素子の製造工程で高温熱処理を受けたり、実使用環境において繰り返し熱処理を受けた後であっても、前記Al合金膜は、ヒロック密度が 1×10^9 個/m²未満に抑えられて優れた耐熱性を発揮し、かつ電気抵抗率が10μcm以下に抑えられることを見出した。以下、本発明について詳述する。

50

【0039】

本発明の半導体電極構造におけるAl合金膜は、膜厚が1～5μmであって、かつ480で30分間保持する加熱処理（以下「加熱パターン1」ということがある）を行った後に、下記（a）～（c）を全て満たすところに特徴を有する。

（a）Alマトリックスの最大粒径が1μm以下

（b）ヒロック密度が 1×10^9 個/m²未満

（c）電気抵抗率が10μcm以下

【0040】

本発明におけるAl合金膜は、前記加熱パターン1（480で30分間保持する加熱処理）の前の熱処理の有無や、施された熱処理の条件によらず、上記（a）～（c）を全て満たすものである。よって本発明におけるAl合金膜は、半導体装置の製造工程で450～480の高温に曝され、その後更に、前記加熱パターン1の加熱処理が施された場合であっても、上記（a）～（c）を全て満たす。

【0041】

尚、上記加熱パターン1の加熱雰囲気は、不活性ガス（N₂）雰囲気または真空雰囲気である。

【0042】

上記（a）に示すAlマトリックスの最大粒径は、好ましくは900nm以下、より好ましくは700nm以下である。このAlマトリックスの最大粒径は、後述する実施例に示す方法で測定されるものである。

【0043】

上記（b）は、Al合金膜の表面に、加熱により形成されるヒロック（熱応力によりAl合金膜に形成される突起状の形状異常）の密度を規定したものである。本発明においてヒロック密度は、好ましくは 5×10^8 個/m²未満であり、より好ましくは 1×10^8 個/m²以下である。このヒロック密度は、後述する実施例に示す方法で測定される。

【0044】

上記（c）に示す電気抵抗率は、好ましくは9.0μcm以下、より好ましくは8.0μcm以下である。この電気抵抗率は、後述する実施例で示す方法で測定される。

【0045】

本発明のAl合金膜の膜厚は、1～5μmである。成膜の効率や装置の小型化のために薄膜化を図る場合には、4μm以下とすることが好ましく、3μm以下とすることがより好ましい。尚、より高い耐熱性のAl合金膜を得る観点からは、膜厚を1.5μm以上とすることが好ましく、より好ましくは2μm以上である。

【0046】

また、本発明の半導体電極構造におけるAl合金膜は、膜厚が1～5μmであって、かつ300で5時間保持を5回繰り返す加熱処理（以下「加熱パターン2」ということがある）を行った後に、上記（a）～（c）を全て満たす点に特徴を有するものでもある。

【0047】

この300で5時間保持を5回繰り返す加熱処理は、実使用環境を想定したものである。本発明のAl合金膜は、前記加熱パターン2（300で5時間保持を5回繰り返す加熱処理）の前の熱処理の有無や、施された熱処理の条件によらず、上記（a）～（c）を全て満たすものである。よって本発明のAl合金膜は、半導体装置の製造工程で450～480の高温に曝され、その後更に、前記加熱パターン2の加熱処理が施された場合であっても、上記（a）～（c）を全て満たす。

【0048】

尚、上記加熱パターン2の加熱雰囲気は、不活性ガス（N₂）雰囲気または真空雰囲気である。

【0049】

この加熱パターン2を施したAl合金膜に関する上記（a）～（c）および膜厚の詳細は、前記加熱パターン1の場合と同じである。

10

20

30

40

50

【0050】

前記A1合金膜を得るには、下記成分組成のA1合金膜とすることが推奨される。即ち、希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、CrおよびPtよりなる群(X群)から選択される少なくとも一種の元素(X群元素)を含むものとすることが推奨される。

【0051】

X群元素(希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、Cr、Pt)は、耐熱性向上に寄与する元素である。

【0052】

ここで、希土類元素とは、ランタノイド元素(周期表において、原子番号57のLaから原子番号71のLuまでの合計15元素)に、Sc(スカンジウム)とY(イットリウム)とを加えた元素群を意味する。本発明では、上記希土類元素を用いる場合、単独で用いても良いし、2種以上を併用しても良い。希土類元素のうち好ましいのは、Nd、La、Gd、Ceであり、より好ましいのは、Nd、Laである。

10

【0053】

上記Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、Cr、Ptは、融点が概ね1600以上の高融点金属元素であり、特に高温下の耐熱性向上に寄与する元素である。

【0054】

X群元素は、単独で添加しても良いし、2種以上を併用しても良い。

20

【0055】

上記X群元素の含有量(単独で含有する場合は単独の量であり、2種以上を併用するときは合計量である。)は、0.1~5原子%であることが好ましい。X群元素の含有量が0.1原子%未満では、上記作用が有効に発揮されないため、X群元素の含有量の好ましい下限を0.1原子%とした。X群元素の含有量は、より好ましくは0.2原子%以上、更に好ましくは0.3原子%以上である。一方、X群元素の含有量が5原子%を超えると、A1合金膜の電気抵抗率が高くなり過ぎるほか、配線加工時に残渣が発生し易くなるなどの問題が生じるため、X群元素の含有量の好ましい上限を5原子%とした。X群元素の含有量は、より好ましくは3.0原子%以下であり、更に好ましくは2.0原子%以下である。

30

【0056】

本発明におけるA1合金膜として、上記X群元素を含有し、残部がA1および不可避免的不純物のものが挙げられる。

【0057】

前記A1合金膜は、更に、Niおよび/またはCoや、Geおよび/またはCuを含有していてもよい。

【0058】

Niおよび/またはCoは、更なる耐熱性の向上を可能にする元素である。これらは単独で添加しても良いし、両方を添加しても良い。このような作用を有効に発揮させるためには、Niおよび/またはCoの含有量(単独の場合は単独の含有量であり、両方を含有する場合は合計量である)を0.1~3原子%とすることが好ましい。上記元素の含有量が0.1原子%未満の場合、所望の効果が得られないため、好ましい下限値を0.1原子%とした。一方、Niおよび/またはCoの含有量が3原子%を超えると、A1合金膜の電気抵抗率が高まる。上記元素のより好ましい上限値は1.0原子%であり、更に好ましい上限値は0.6原子%である。

40

【0059】

Geおよび/またはCuも、更なる耐熱性の向上に有効な元素である。これらは単独で添加しても良いし、両方を添加しても良い。このような作用を有効に発揮させるためには、Geおよび/またはCuの含有量(単独の場合は単独の含有量であり、両方を含有する場合は合計量である)を0.1~3原子%とすることが好ましい。上記元素の含有量が0

50

・1原子%未満の場合、上記効果を発揮させることが困難になるため、好ましい下限値を0.1原子%とした。より好ましい下限値は0.3原子%であり、更に好ましい下限値は0.5原子%である。一方、Geおよび/またはCuの含有量が3原子%を超えると、Al合金膜の電気抵抗率が高まる。上記元素のより好ましい上限値は1.5原子%であり、更に好ましい上限値は1.0原子%である。

【0060】

本発明の半導体電極構造において、基板とAl合金膜の間には高融点金属薄膜を介在させる。このような構造とすることで、基板（特にSi含有基板）とAl合金膜との間の拡散を防止して半導体特性をより高めることができる。

【0061】

前記高融点金属薄膜は、Mo、Ti、W、Ta、Zr、NbおよびHfよりなる群から選択される少なくとも一種の元素の金属膜または合金膜であることが好ましい。

【0062】

前記高融点金属薄膜の膜厚は、10nm~100nmとすることが好ましい。上記膜厚が10nm未満の場合、上記効果が十分に発揮されないため、好ましい下限値を10nmとした。一方、膜厚が100nmを超えると、この薄膜が電極膜として作用する場合、電気抵抗率が高まるとともに、材料コストや成膜時間が増大する。前記膜厚のより好ましい上限値は70nmであり、更に好ましい上限値は50nmである。

【0063】

尚、本発明の半導体電極構造は、基板上に少なくとも、基板側から順に、高融点金属薄膜と、Al合金膜とを備えていればよく、基板と高融点金属薄膜との間や、高融点金属薄膜とAl合金膜との間に他の層が形成されていてもよい。例えば、前記基板と前記高融点金属薄膜の間に、酸化シリコンや窒化シリコンなどの層間絶縁膜層、Si、SiC、GaNなどからなる薄膜半導体層等が形成されていてもよい。

【0064】

本発明の半導体電極構造において、基板としては、Si基板、SiC基板、またはGaN基板等が挙げられる。本発明においては、基板とAl合金膜の間に高融点金属薄膜を介在させているため、上記基板を用いた場合にも、基板とAl合金膜との間で拡散が生じず、優れた半導体特性を発揮する。

【0065】

上記Al合金膜は、スパッタリング法にてスパッタリングターゲット（以下「ターゲット」ということがある）を用いて形成することが望ましい。イオンプレーティング法や電子ビーム蒸着法、真空蒸着法で形成された薄膜よりも、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成できるからである。

【0066】

また、上記スパッタリング法で上記Al合金膜を形成するには、上記ターゲットとして、前述した元素を含むものであって、所望のAl合金膜と同一組成のAl合金スパッタリングターゲットを用いれば、組成ズレの恐れがなく、所望の成分組成のAl合金膜を形成できるのでよい。

【0067】

本発明には、前述したAl合金膜と同じ組成のスパッタリングターゲットも本発明の範囲内に包含される。詳細には、上記ターゲットとして、希土類元素、Ta、Nb、Re、Zr、W、Mo、V、Hf、Ti、CrおよびPtよりなる群（X群）から選択される少なくとも一種の元素（X群元素）を0.1~5原子%含み、残部がAlおよび不可避的不純物であるターゲットのほか、更に、Niおよび/またはCo：0.1~3原子%や、Geおよび/またはCu：0.1~3原子%を含むターゲットが含まれる。

【0068】

上記ターゲットの形状は、スパッタリング装置の形状や構造に応じて任意の形状（角型プレート状、円形プレート状、ドーナツプレート状、円筒状など）に加工したものが含まれる。

10

20

30

40

50

【0069】

上記ターゲットの製造方法としては、溶解鑄造法や粉末焼結法、スプレIFOーミング法で、Al合金からなるインゴットを製造して得る方法や、Al合金からなるプリフォーム（最終的な緻密体を得る前の中間体）を製造した後、該プリフォームを緻密化手段により緻密化して得られる方法が挙げられる。

【0070】

上記高融点金属薄膜は、スパッタリング法（例えばDCマグネトロン・スパッタ法）にてスパッタリングターゲットを用いて形成することが望ましい。Al合金膜の場合と同様に、イオンプレーティング法や電子ビーム蒸着法、真空蒸着法で形成された薄膜よりも、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成できるからである。

10

【0071】

また、上記スパッタリング法で上記高融点金属薄膜を形成するには、上記ターゲットとして、前述した元素を含むものであって、所望の高融点金属薄膜と同一組成の高融点金属スパッタリングターゲットを用いれば、組成ズレの恐れがなく、所望の成分組成の高融点金属薄膜を形成できるのでよい。

【0072】

本発明には、上記Al合金膜を含む半導体電極構造を備えた半導体素子も包含される。本発明のAl合金膜が、この半導体素子の電極や電気配線（例えば、前述したIGBTにおけるエミッタ電極等）に用いられることで、上記効果が十分に発揮される。

20

【0073】

本発明の半導体装置（例えばIGBTにおける、特に半導体素子）の製造工程では、前記Al合金膜を形成後、このAl合金膜に450～480の高温熱処理が加わってもよい。上述した通り、本発明の半導体電極構造におけるAl合金膜は、耐熱性に優れているため、上記高温に曝された場合であってもヒロックの発生が抑制される。

【0074】

前記Al合金膜を備えた本発明の半導体電極構造（具体的には、この構造を備えた半導体素子や半導体装置）は、上述した高温での熱処理を行い得ること以外は、通常行われている方法で製造することができる。

【実施例】

【0075】

以下、実施例を挙げて本発明をより具体的に説明するが、本発明はもとより下記実施例によって制限を受けるものではなく、前・後記の趣旨に適合し得る範囲で適当に変更を加えて実施することも勿論可能であり、それらはいずれも本発明の技術的範囲に包含される。

30

【0076】

（実施例1）

表1, 2に示す種々の下地膜（膜厚は表1, 2に示す通りである）を、DCマグネトロン・スパッタ法にて、雰囲気ガス=アルゴン、圧力=2mTorr、基板温度=25（室温）、ターゲットサイズ=4インチ、成膜パワー=260W/4インチの条件で成膜した。次いで、表1, 2に示す種々の合金組成のAl合金膜（膜厚=1μm）を、DCマグネトロン・スパッタ法にて、雰囲気ガス=アルゴン、圧力=2mTorr、基板温度=25（室温）の条件で成膜した。基板として、単結晶シリコン基板（面方位100）を使用した（基板のサイズは直径4インチである）。

40

【0077】

尚、上記下地膜の形成には、高融点金属ターゲットを用いた。また、上記種々の合金組成のAl合金膜の形成には、真空溶解法で作製した種々の組成のAl合金ターゲットをスパッタリングターゲットとして用いた。

【0078】

また実施例で用いた種々のAl合金膜における各合金元素の含有量は、ICP発光分析（誘導結合プラズマ発光分析）法によって求めた。

50

【0079】

上記のようにして成膜したAl合金膜に対し、下記に示す加熱処理を施した後に、耐熱性、Al合金膜の電気抵抗率、Alマトリックスの最大粒径を測定した。詳細について以下に示す。

【0080】

(1) 加熱処理後の耐熱性

成膜後のAl合金膜に対し、不活性ガス(N₂)雰囲気下にて、表1, 2に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480の各温度で30分間保持する加熱処理(1回目の熱処理)を行い、次いで表1, 2に示す通り480で30分間保持する加熱処理(2回目の熱処理、加熱パターン1)を行った。そして、加熱処理後のAl合金膜の表面性状を光学顕微鏡(倍率:500倍)で観察し、ヒロック密度(個/m²)を測定した。尚、この測定では、直径0.1μm以上のヒロックを対象とした。

10

【0081】

そして、表3に示す判断基準により耐熱性を評価した。本実施例では、およびを合格とした。その結果を表1, 2に示す。

【0082】

(2) 加熱処理後のAl合金膜の電気抵抗率(配線抵抗)

成膜後のAl合金膜に10μm幅のラインアンドスペースパターンを形成したのに対し、不活性ガス(N₂)雰囲気下にて、表1, 2に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480の各温度で30分間保持する加熱処理(1回目の熱処理)を行い、次いで表1, 2に示す通り480で30分間保持する加熱処理(2回目の熱処理、加熱パターン1)を行ってから、4端子法で電気抵抗率を測定した。

20

【0083】

そして、表3に示す判断基準により電気抵抗率を評価した。本実施例では、およびを合格とした。その結果を表1, 2に示す。

【0084】

(3) 加熱処理後のAlマトリックスの最大粒径

成膜後のAl合金膜に対し、不活性ガス(N₂)雰囲気下にて、表1, 2に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480の各温度で30分間保持する加熱処理(1回目の熱処理)を行い、次いで表1, 2に示す通り480で30分間保持する加熱処理(2回目の熱処理、加熱パターン1)を行った。そして、加熱処理後のAl合金膜の表面を、平面TEM(透過電子顕微鏡、倍率15万倍)で観察した。観察は、各サンプルの任意の場所において、3視野(一視野は1.2μm×1.6μm)を行い、3視野中に観察されるAlマトリックス粒径(円相当直径)の最大値を最大粒径とした。

30

【0085】

そして、表3に記載の判断基準により粒径を評価し、本実施例では、およびを合格とした。その結果を表1, 2に示す。

40

【0086】

【 表 1 】

No.	組成 (数値は各元素の 含有量(原子%)を示す)	下地膜		2回目の 熱処理条件 (加熱パターン1)	1回目の熱処理条件 450°C 30分			1回目の熱処理条件 480°C 30分		
		組成	膜厚		最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗
1	Al	Ti	50nm	480°C 30分	x	x	x	x	x	◎
2	Al-1Si	Ti	50nm	480°C 30分	x	x	x	x	x	◎
3	Al-0.1Nd	Ti	50nm	480°C 30分	○	○	○	△	△	◎
4	Al-0.2Nd	Ti	50nm	480°C 30分	○	○	○	△	△	◎
5	Al-2Nd	Ti	50nm	480°C 30分	○	○	○	○	○	◎
6	Al-2Nd	Ti	10nm	480°C 30分	○	○	○	○	○	◎
7	Al-2Nd	Ti	50nm	480°C 30分	○	○	○	○	○	◎
8	Al-2Nd	Ti	100nm	480°C 30分	○	○	○	○	○	◎
9	Al-2Nd	Ti	50nm	480°C 30分	○	○	○	○	○	◎
10	Al-2Nd	Mo	50nm	480°C 30分	○	○	○	○	○	◎
11	Al-2Nd	Zr	50nm	480°C 30分	○	○	○	○	○	◎
12	Al-2Nd	Hf	50nm	480°C 30分	○	○	○	○	○	◎
13	Al-2Nd	W	50nm	480°C 30分	○	○	○	○	○	◎
14	Al-2Nd	Mo-10Nb	50nm	480°C 30分	○	○	○	○	○	◎
15	Al-2Nd	Mo-50Ti	50nm	480°C 30分	○	○	○	○	○	◎
16	Al-5Nd	Ti	50nm	480°C 30分	○	○	○	○	○	◎
17	Al-2La	Ti	50nm	480°C 30分	○	○	○	○	○	◎
18	Al-2Gd	Ti	50nm	480°C 30分	○	○	○	○	○	◎
19	Al-2Y	Ti	50nm	480°C 30分	○	○	○	○	○	◎
20	Al-2Sc	Ti	50nm	480°C 30分	○	○	○	○	○	◎
21	Al-2Dy	Ti	50nm	480°C 30分	○	○	○	○	○	◎
22	Al-2Sm	Ti	50nm	480°C 30分	○	○	○	○	○	◎
23	Al-2Ce	Ti	50nm	480°C 30分	○	○	○	○	○	◎
24	Al-0.5Ta	Ti	50nm	480°C 30分	○	○	○	○	△	◎
25	Al-5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	△	◎
26	Al-0.2Nd-0.5Ta	Ti	50nm	480°C 30分	○	○	○	○	○	◎
27	Al-0.2Nd-5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
28	Al-0.1Ni-0.5Ge-0.1Ta	Ti	50nm	480°C 30分	○	○	○	◎	◎	◎
29	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
30	Al-0.1Ni-0.5Ge-5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
31	Al-3Ni-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
32	Al-0.1Ni-2Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
33	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎

【 0 0 8 7 】

【 表 2 】

No.	組成 (数値は各元素の 含有量(原子%)を示す)	下地膜		2回目の 熱処理条件 (加熱パターン1)	1回目の熱処理条件 450°C 30分			1回目の熱処理条件 480°C 30分		
		組成	膜厚		最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗
34	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
35	Al-0.1Ni-0.5Ge-0.5Nb	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
36	Al-0.1Ni-0.5Ge-0.5Re	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
37	Al-0.1Ni-0.5Ge-0.5Zr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
38	Al-0.1Ni-0.5Ge-0.5W	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
39	Al-0.1Ni-0.5Ge-0.5Mo	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
40	Al-0.1Ni-0.5Ge-0.5V	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
41	Al-0.1Ni-0.5Ge-0.5Hf	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
42	Al-0.1Ni-0.5Ge-0.5Ti	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
43	Al-0.1Ni-0.5Ge-0.5Cr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
44	Al-0.1Ni-0.5Ge-0.5Pt	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
45	Al-0.1Ni-0.5Ge-0.5Ta-0.5Zr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
46	Al-0.1Ni-0.5Ge-0.5Cu-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
47	Al-0.1Ni-0.5Ge-0.2Nd-0.1Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
48	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
49	Al-0.1Ni-0.5Ge-0.2Nd-5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
50	Al-3Ni-0.5Ge-0.2Nd-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
51	Al-0.1Ni-2Ge-0.2Nd-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
52	Al-0.1Ni-0.5Ge-0.2Nd-0.5Nb	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
53	Al-0.1Ni-0.5Ge-0.2Nd-0.5Re	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
54	Al-0.1Ni-0.5Ge-0.2Nd-0.5Zr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
55	Al-0.1Ni-0.5Ge-0.2Nd-0.5W	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
56	Al-0.1Ni-0.5Ge-0.2Nd-0.5Mo	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
57	Al-0.1Ni-0.5Ge-0.2Nd-0.5V	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
58	Al-0.1Ni-0.5Ge-0.2Nd-0.5Hf	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
59	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ti	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
60	Al-0.1Ni-0.5Ge-0.2Nd-0.5Cr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
61	Al-0.1Ni-0.5Ge-0.2Nd-0.5Pt	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
62	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
63	Al-0.1Ni-0.5Ge-0.2Nd-0.5Cu-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
64	Al-0.1Co-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
65	Al-0.5Ge-0.5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
66	Al-0.5Ge-5Ta	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎

【 0 0 8 8 】

10

20

30

40

【表 3】

項目	◎	○	△	×
Alマトリックスの最大粒径 (nm)	700以下	700超900以下	900超1000以下	1000超
耐熱性 (ヒロック密度、個/m ²)	1 × 10 ⁸ 以下	1 × 10 ⁸ 超5 × 10 ⁸ 未満	5 × 10 ⁸ 以上1 × 10 ⁹ 未満	1 × 10 ⁹ 以上
電気抵抗率 (μΩ cm)	1回目の熱処理温度が 450°C	8.0以下	9.0超10以下	10超
	1回目の熱処理温度が 480°C	8.0以下	9.0超10以下	10超

表 1, 2 より次のように考察できる。即ち、No. 1, 2 は、従来の純 Al 膜または Al-Si からなる Al 合金膜であるが、この場合、熱処理を施した後の Al マトリックスの最大粒径が大きく、またヒロックが規定範囲を超えて過剰に発生した。これに対し、No. 3 ~ 6 は本発明の要件を満たすものであり、2 回目の熱処理後も、Al マトリックスの最大粒径は小さく、またヒロックの発生も抑えられ、更には電気抵抗率の小さいものが得られた。

【0090】

熱処理条件と Al マトリックスの結晶粒径の関係について、この実施例 1 で得られた結果の傾向を図 2 に示す。この図 2 において、本発明の Al 合金膜は、1 回目の熱処理後の Al マトリックスの結晶粒が、いずれの加熱温度 (450、480) においても小さく、かつ 2 回目の熱処理として 480 で 30 分間の熱処理を施した後も、Al マトリックスの結晶粒径は 1 回目の熱処理後とほとんど変わらず、Al マトリックスの結晶粒は小さいままであった。これに対し、比較例に相当する Al 合金膜は、1 回目の熱処理として 480 で 30 分間加熱保持する熱処理を施したところ、Al マトリックスの結晶粒が著しく粗大化した。

10

【0091】

(実施例 2)

表 4, 5 に示す種々の下地膜 (膜厚は表 4, 5 に示す通りである) を、DC マグネトロン・スパッタ法にて、雰囲気ガス = アルゴン、圧力 = 2 mTorr、基板温度 = 25 (室温)、ターゲットサイズ = 4 インチ、成膜パワー = 260 W / 4 インチの条件で成膜した。次いで、表 4, 5 に示す種々の合金組成の Al 合金膜 (膜厚 = 1 μm) を、DC マグネトロン・スパッタ法にて、雰囲気ガス = アルゴン、圧力 = 2 mTorr、基板温度 = 25 (室温) の条件で成膜した。基板として、単結晶シリコン基板 (面方位 100) を使用した (基板サイズは直径 4 インチである)。

20

【0092】

尚、上記下地膜の形成には、高融点金属ターゲットを用いた。また、上記種々の合金組成の Al 合金膜の形成には、真空溶解法で作製した種々の組成の Al 合金ターゲットをスパッタリングターゲットとして用いた。

【0093】

また実施例で用いた種々の Al 合金膜における各合金元素の含有量は、ICP 発光分析 (誘導結合プラズマ発光分析) 法によって求めた。

30

【0094】

上記のようにして成膜した Al 合金膜に対し、下記に示す加熱処理を施した後に、耐熱性、Al 合金膜の電気抵抗率、Al マトリックスの最大粒径を測定した。詳細について以下に示す。

【0095】

(1) 加熱処理後の耐熱性

成膜後の Al 合金膜に対し、不活性ガス (N₂) 雰囲気下にて、表 4, 5 に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480 の各温度で 30 分間保持する加熱処理 (1 回目の熱処理) を行い、次いで、実使用環境時に加わる熱処理を模擬して、表 4, 5 に示す通り、300 で 5 時間保持する加熱処理を 5 回繰り返し施した (2 回目の熱処理、加熱パターン 2、一部の試料については、加熱処理の回数を 10 回または 30 回とした)。そして加熱処理後の Al 合金膜の表面性状を光学顕微鏡 (倍率: 500 倍) で観察し、ヒロックの密度 (個 / m²) を測定した。尚、この測定では、直径 0.1 μm 以上のヒロックを対象とした。

40

【0096】

そして、表 3 に示す判断基準により耐熱性を評価した。本実施例では、および を合格とした。その結果を表 4, 5 に示す。

【0097】

(2) 加熱処理後の Al 合金膜の電気抵抗率 (配線抵抗)

50

成膜後の Al 合金膜に 10 μm 幅のラインアンドスペースパターンを形成したのに対し、不活性ガス (N_2) 雰囲気下にて、表 4, 5 に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480 の各温度で 30 分間保持する加熱処理 (1 回目の熱処理) を行い、次いで、実使用環境時で加わる熱処理を模擬して、表 4, 5 に示す通り、300 で 5 時間保持する加熱処理を 5 回繰り返し施してから (2 回目の熱処理、加熱パターン 2、一部の試料については、加熱処理の回数を 10 回または 30 回とした)、4 端子法で電気抵抗率を測定した。

【0098】

そして表 3 に示す判断基準により電気抵抗率を評価した。本実施例では、およびを合格とした。その結果を表 4, 5 に示す。

10

【0099】

(3) 加熱処理後の Al マトリックスの最大粒径

成膜後の Al 合金膜に対し、不活性ガス (N_2) 雰囲気下にて、表 4, 5 に示す通り、半導体素子の製造工程で配線材料に加わる熱処理を模擬して、450、480 の各温度で 30 分間保持する加熱処理 (1 回目の熱処理) を行い、次いで、実使用環境時で加わる熱処理を模擬して、表 4, 5 に示す通り、300 で 5 時間保持する加熱処理を 5 回繰り返し施した (2 回目の熱処理、加熱パターン 2、一部の試料については、加熱処理の回数を 10 回または 30 回とした)。そして加熱処理後の Al 合金膜の表面を平面 TEM (透過電子顕微鏡、倍率 15 万倍) で観察した。観察は、各サンプルの任意の場所において、3 視野 (一視野は 1.2 μm \times 1.6 μm) 行い、3 視野中に観察される Al マトリックス粒径 (円相当直径) の最大値を最大粒径とした。

20

【0100】

そして表 3 に記載の判断基準により粒径を評価し、本実施例では、およびを合格とした。その結果を表 4, 5 に示す。

【0101】

【 表 4 】

No.	組成 (数値は各元素の 含有量(原子%)を示す)	下地膜		2回目の 熱処理条件 (加熱パターン2)	1回目の熱処理条件 450°C 30分			1回目の熱処理条件 480°C 30分		
		組成	膜厚		最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗
1	Al	Ti	50nm	300°C 5時間 5回	x	x	x	x	x	◎
2	Al-1Si	Ti	50nm	300°C 5時間 5回	x	x	x	x	x	◎
3	Al-0.1Nd	Ti	50nm	300°C 5時間 5回	○	○	○	△	△	◎
4	Al-0.2Nd	Ti	50nm	300°C 5時間 5回	○	◎	◎	△	○	◎
5	Al-2Nd	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
6	Al-2Nd	Ti	50nm	300°C 5時間 10回	○	◎	◎	○	○	◎
7	Al-2Nd	Ti	50nm	300°C 5時間 30回	○	◎	◎	○	○	◎
8	Al-2Nd	Ti	10nm	300°C 5時間 5回	○	◎	◎	○	○	◎
9	Al-2Nd	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
10	Al-2Nd	Ti	100nm	300°C 5時間 5回	○	◎	◎	○	○	◎
11	Al-2Nd	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
12	Al-2Nd	Mo	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
13	Al-2Nd	Zr	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
14	Al-2Nd	Hf	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
15	Al-2Nd	W	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
16	Al-2Nd	Mo-10Nb	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
17	Al-2Nd	Mo-50Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
18	Al-5Nd	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
19	Al-2La	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
20	Al-2Gd	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
21	Al-2Y	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
22	Al-2Sc	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
23	Al-2Dy	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
24	Al-2Sm	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
25	Al-2Ce	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
26	Al-0.5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
27	Al-5Ta	Ti	50nm	300°C 5時間 5回	◎	○	○	◎	△	○
28	Al-0.2Nd-0.5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
29	Al-0.2Nd-5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
30	Al-0.1Ni-0.5Ge-0.1Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
31	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
32	Al-0.1Ni-0.5Ge-5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
33	Al-3Ni-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎
34	Al-0.1Ni-2Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	○	◎	◎	○	○	◎

【 0 1 0 2 】

【表 5】

No.	組成 (数値は各元素の 含有量(原子%)を示す)	下地膜		2回目の 熱処理条件 (加熱パターン2)		1回目の熱処理条件 450°C 30分			1回目の熱処理条件 480°C 30分			
		組成	膜厚	最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗
35	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
36	Al-0.1Ni-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
37	Al-0.1Ni-0.5Ge-0.5Nb	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
38	Al-0.1Ni-0.5Ge-0.5Re	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
39	Al-0.1Ni-0.5Ge-0.5Zr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
40	Al-0.1Ni-0.5Ge-0.5W	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
41	Al-0.1Ni-0.5Ge-0.5Mo	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
42	Al-0.1Ni-0.5Ge-0.5V	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
43	Al-0.1Ni-0.5Ge-0.5Hf	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
44	Al-0.1Ni-0.5Ge-0.5Ti	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
45	Al-0.1Ni-0.5Ge-0.5Cr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
46	Al-0.1Ni-0.5Ge-0.5Pt	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
47	Al-0.1Ni-0.5Ge-0.5Ta-0.5Zr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
48	Al-0.1Ni-0.5Ge-0.5Cu-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
49	Al-0.1Ni-0.5Ge-0.2Nd-0.1Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
50	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
51	Al-0.1Ni-0.5Ge-0.2Nd-5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
52	Al-3Ni-0.5Ge-0.2Nd-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
53	Al-0.1Ni-2Ge-0.2Nd-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
54	Al-0.1Ni-0.5Ge-0.2Nd-0.5Nb	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
55	Al-0.1Ni-0.5Ge-0.2Nd-0.5Re	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
56	Al-0.1Ni-0.5Ge-0.2Nd-0.5Zr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
57	Al-0.1Ni-0.5Ge-0.2Nd-0.5W	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
58	Al-0.1Ni-0.5Ge-0.2Nd-0.5Mo	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
59	Al-0.1Ni-0.5Ge-0.2Nd-0.5V	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
60	Al-0.1Ni-0.5Ge-0.2Nd-0.5Hf	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
61	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ti	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
62	Al-0.1Ni-0.5Ge-0.2Nd-0.5Cr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
63	Al-0.1Ni-0.5Ge-0.2Nd-0.5Pt	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
64	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
65	Al-0.1Ni-0.5Ge-0.2Nd-0.5Cu-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
66	Al-0.1Co-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
67	Al-0.5Ge-0.5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	
68	Al-0.5Ge-5Ta	Ti	50nm	300°C 5時間 5回	◎	◎	◎	◎	◎	◎	◎	

10

20

30

40

【0103】

表4, 5より次のように考察できる。即ち、No. 1, 2は本発明の要件を満たすものでなく、繰り返し熱処理を施した後のAlマトリックスの最大粒径は大きく、またヒロックが規定範囲を超えて過剰に発生した。これに対し、No. 3~68は本発明の要件を満たすものであり、2回目の熱処理後も、Alマトリックスの最大粒径は小さく、ヒロック密度が小さく、かつ電気抵抗率の小さいものが得られた。

【0104】

尚、表4において、Al-2Ndについては、2回目の熱処理における繰り返し回数を10回(No. 6)、30回(No. 7)とした場合についても評価したが、この様に繰り返し回数を増加させた場合も、繰り返し回数が5回の場合と同様に良好な特性を示した

50

。

【0105】

(実施例3)

表6に示す下地膜(膜厚は表6に示す通りである)を、DCマグネトロン・スパッタ法にて、雰囲気ガス=アルゴン、圧力=2mTorr、基板温度=25(室温)、ターゲットサイズ=4インチ、成膜パワー=260W/4インチの条件で成膜した。次いで、表6に示す種々の合金組成のAl合金膜を、表6に示す通り膜厚を変えて(膜厚=1~4 μ m)、DCマグネトロン・スパッタ法にて、雰囲気ガス=アルゴン、圧力=2mTorr、基板温度=25(室温)の条件で成膜した。基板として、単結晶シリコン基板(面方位100)を使用した(基板のサイズは直径4インチである)。

10

【0106】

尚、上記下地膜の形成には、高融点金属ターゲットを用いた。また、上記種々の合金組成のAl合金膜の形成には、真空溶解法で作製した種々の組成のAl合金ターゲットをスパッタリングターゲットとして用いた。

【0107】

また実施例で用いた種々のAl合金膜における各合金元素の含有量は、ICP発光分析(誘導結合プラズマ発光分析)法によって求めた。

【0108】

上記のようにして成膜したAl合金膜に対し、実施例1と同様に、熱処理を施した後、耐熱性、Al合金膜の電気抵抗率、Alマトリックスの最大粒径を測定した。その結果を表6に示す。

20

【0109】

【 表 6 】

No.	組成 (数値は各元素の 含有量(原子%)を示す)	膜厚	下地膜		2回目の 熱処理条件 (加熱パターン1)	1回目の熱処理条件 450°C 30分			1回目の熱処理条件 480°C 30分		
			組成	膜厚		最大 粒径	ヒロック 密度	配線 抵抗	最大 粒径	ヒロック 密度	配線 抵抗
1	Al	1 μm	Ti	50nm	480°C 30分	x	x	◎	x	x	◎
2	Al	4 μm	Ti	50nm	480°C 30分	x	x	◎	x	x	◎
3	Al-1Si	1 μm	Ti	50nm	480°C 30分	x	x	◎	x	x	◎
4	Al-1Si	4 μm	Ti	50nm	480°C 30分	x	x	◎	x	x	◎
5	Al-2Nd	1 μm	Ti	50nm	480°C 30分	○	◎	◎	○	○	◎
6	Al-2Nd	2 μm	Ti	50nm	480°C 30分	○	◎	◎	○	○	◎
7	Al-2Nd	3 μm	Ti	50nm	480°C 30分	○	◎	◎	○	○	◎
8	Al-2Nd	4 μm	Ti	50nm	480°C 30分	○	◎	◎	○	○	◎
9	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	1 μm	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
10	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	2 μm	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
11	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	3 μm	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎
12	Al-0.1Ni-0.5Ge-0.2Nd-0.5Ta-0.5Zr	4 μm	Ti	50nm	480°C 30分	◎	◎	◎	◎	◎	◎

【 0 1 1 0 】

10

20

30

40

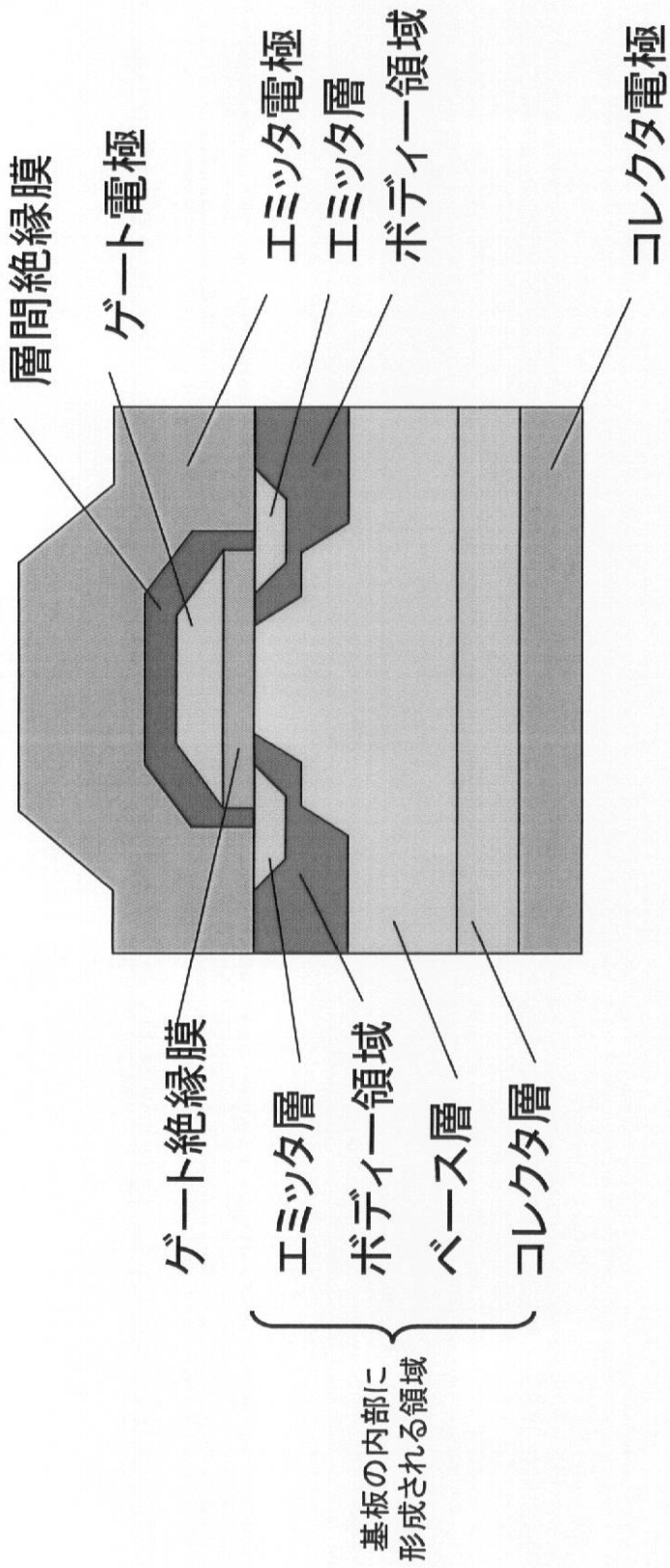
50

表6より次のように考察できる。即ち、No. 1～4は本発明の要件を満たすものでなく、熱処理を施した後のAlマトリックスの最大粒径が大きく、またヒロックが規定範囲を超えて過剰に発生した。これに対し、No. 5～12は本発明の要件を満たすものであり、2回目の熱処理後も、いずれの膜厚の場合も、Alマトリックスの最大粒径は小さく、ヒロック密度が小さく、かつ電気抵抗率の小さいものが得られた。

【0111】

尚、実施例1～3において、1回目の熱処理はいずれの温度についても保持時間が30分であるが、この保持時間を200分とした場合であっても同様の結果が得られた。

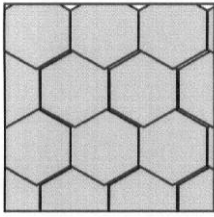
【図1】



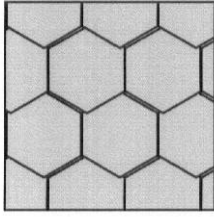
【図 2】

【本発明例】

1回目熱処理
450°C30分

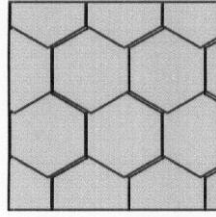
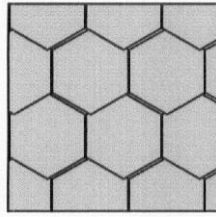


1回目熱処理
480°C30分



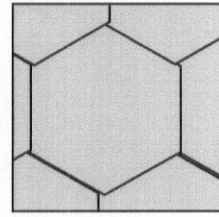
1回目熱処理後

2回目熱処理後
(480°C30分)



【比較例】

480°C30分
熱処理後



(最初の熱処理条件によらず、480°C30分の熱処理で粗大化)

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/78 6 5 8 F

(72)発明者 奥野 博行
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 釘宮 敏洋
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 横田 嘉宏
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 前田 剛彰
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内

Fターム(参考) 4M104 AA01 AA03 AA04 BB02 BB13 BB14 BB16 BB17 BB18 BB37
BB38 CC01 DD40 DD79 FF13 GG09 GG18 HH03 HH16