

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4123452号
(P4123452)

(45) 発行日 平成20年7月23日 (2008. 7. 23)

(24) 登録日 平成20年5月16日 (2008. 5. 16)

(51) Int. Cl.

F I

H O 4 N 7/26 (2006. 01)

H O 4 N 7/13 Z

H O 4 N 5/14 (2006. 01)

H O 4 N 5/14 Z

H O 4 N 5/907 (2006. 01)

H O 4 N 5/907 B

H O 4 N 5/91 (2006. 01)

H O 4 N 5/91 N

H O 4 N 5/92 (2006. 01)

H O 4 N 5/92 H

請求項の数 9 (全 22 頁) 最終頁に続く

(21) 出願番号 特願平10-167855

(22) 出願日 平成10年6月16日 (1998. 6. 16)

(65) 公開番号 特開2000-4436 (P2000-4436A)

(43) 公開日 平成12年1月7日 (2000. 1. 7)

審査請求日 平成17年3月9日 (2005. 3. 9)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(72) 発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 奥脇 智紀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

審査官 菅原 道晴

最終頁に続く

(54) 【発明の名称】 画像処理装置および画像処理方法

(57) 【特許請求の範囲】

【請求項 1】

動画像を構成する画像データを、復元処理時の画質の劣化を抑制して圧縮する画像処理装置において、

動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施し、所定のビットが間引かれた画素である第1のビット間引き画素と、前記所定のビットとは異なるビットが間引かれた画素である第2のビット間引き画素とからなるビット間引き画像データを生成するビット間引き手段と、

前記ビット間引き画像データを構成する前記第1および第2のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより前記一方の画素の元の画素値を復元する前記復元処理、または前記一方の画素の元の画素値を予測するのに用いられるデータである予測データと、前記他方の画素の画素値との積和演算によって、前記一方の画素の元の画素値を復元する前記復元処理によって、元の画像データに復元される前記ビット間引き画像データを出力する出力手段と

を備え、

前記ビット間引き手段は、前記第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施す

ことを特徴とする画像処理装置。

【請求項 2】

前記ビット間引き手段は、前記画素のレベルの最上位ビットから偶数番目または奇数番

目の一方のビットを間引くことにより、前記第 1 のビット間引き画素を生成し、他方のビットを間引くことにより、前記第 2 のビット間引き画素を生成する

ことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

動画像を構成する画像データを、復元処理時の画質の劣化を抑制して圧縮する画像処理方法において、

動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施し、所定のビットが間引かれた画素である第 1 のビット間引き画素と、前記所定のビットとは異なるビットが間引かれた画素である第 2 のビット間引き画素とからなるビット間引き画像データを生成するビット間引きステップと、

前記ビット間引き画像データを構成する前記第 1 および第 2 のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより前記一方の画素の元の画素値を復元する前記復元処理、または前記一方の画素の元の画素値を予測するのに用いられるデータである予測データと、前記他方の画素の画素値との積和演算によって、前記一方の画素の元の画素値を復元する前記復元処理によって、元の画像データに復元される前記ビット間引き画像データを出力する出力ステップとを含み、

前記ビット間引きステップでは、前記第 1 または第 2 のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施す

ことを特徴とする画像処理方法。

【請求項 4】

動画像を構成する画像データの画素を間引くことにより生成されたビット間引き画像データを伸張する画像処理装置において、

動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施すことにより得られる所定のビットが間引かれた画素である第 1 のビット間引き画素と、前記所定のビットとは異なるビットが間引かれた画素である第 2 のビット間引き画素とからなる前記ビット間引き画像データであって、前記第 1 または第 2 のビット間引き画素が、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことにより得られる前記ビット間引き画像データを受信する受信手段と、

前記ビット間引き画像データを構成する前記第 1 および第 2 のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより前記一方の画素の元の画素値を復元する、または前記一方の画素の元の画素値を予測するのに用いられるデータである予測データと、前記他方の画素の画素値との積和演算によって、前記一方の画素の元の画素値を復元する復元手段と

を備えることを特徴とする画像処理装置。

【請求項 5】

前記第 1 のビット間引き画素は、それぞれ、前記画素のレベルの最上位ビットから偶数番目または奇数番目の一方のビットを間引くことにより生成されたものであり、前記第 2 のビット間引き画素は、他方のビットを間引くことにより生成されたものである

ことを特徴とする請求項 4 に記載の画像処理装置。

【請求項 6】

前記復元手段は、

前記ビット間引き画像データの所定の注目画素に対して、前記注目画素の周辺に位置する周辺画素に基づいて、前記注目画素の特徴を表す所定のクラスを決定する決定手段と、

前記決定手段が出力する前記クラスに対応するデータであって、かつ、ビット間引きが施される前の前記一方の画素の画素値を予測するのに用いられるデータである前記予測データと、前記他方の画素の画素値との前記積和演算によって、前記一方の画素である前記注目画素に対応するビット間引きが施される前の画素の画素値を予測し、その画素値を発生する発生手段と

を有する

ことを特徴とする請求項 4 又は 5 のうちのいずれかに記載の画像処理装置。

【請求項 7】

前記発生手段は、

学習用の動画像を構成する画像データを用いて、あらかじめ学習を行うことにより生成された前記クラスごとの所定の予測データを、前記クラスごとに記憶する記憶手段を有し、

前記決定手段が出力する前記クラスに対応する前記予測データを、前記記憶手段から読み出し、その読み出された予測データと、前記他方の画素の画素値との前記積和演算によって、前記注目画素に対応するビット間引きが施される前の画素の画素値を発生する

ことを特徴とする請求項 6 に記載の画像処理装置。

10

【請求項 8】

前記記憶手段は、前記予測データとして、前記積和演算に用いる、前記クラスごとの所定の予測係数のセットを記憶しており、

前記発生手段は、前記決定手段が出力する前記クラスに対応する前記予測係数のセットを、前記記憶手段から読み出し、その読み出された予測係数のセットと、前記注目画素の周辺に位置する、前記ビット間引き画像データの複数の画素の画素値であって、かつ、前記他方の画素の画素値との前記積和演算によって、前記注目画素に対応するビット間引きが施される前の画素の画素値を算出する演算手段をさらに有する

ことを特徴とする請求項 7 に記載の画像処理装置。

20

【請求項 9】

前記決定手段は、前記注目画素に対して、空間方向若しくは時間方向のうちのいずれか一方、または両方に位置する、前記ビット間引き画像データの複数の画素を用いて、前記クラスを決定する

ことを特徴とする請求項 6 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置および画像処理方法に関し、特に、動画像の画質等の劣化を低減することができるようにする画像処理装置および画像処理方法に関する。

【0002】

30

【従来の技術】

従来より、動画像を表示するときの走査方法の 1 つとして、インターレース走査がある。

【0003】

即ち、例えば、ビデオカメラなどで画像を撮影した場合に、本来ならば、図 1 4 に示すように、その内蔵する CCD (Charge Coupled Device) などの光電変換素子が有する画素と同一配置の画素 (同図において、印で示す) で、各フレームを構成し、伝送や記録を行うのが、画質や解像度などの面からは理想的である。

【0004】

しかしながら、これでは、伝送や記録等する情報量が多くなる。そこで、情報量の低減のために、図 1 5 に示すように、最初の画面 (インターレース走査では、フィールド) は、奇数ラインの画素 (同図において 印で示す) を間引いて、偶数ラインの画素 (同図において 印で示す) だけで構成され、次の画面は、偶数ラインの画素 (同図において 印で示す) を間引いて、奇数ラインの画素 (同図において 印で示す) だけで構成され、さらに次の画面は、最初の画面と同様に構成され、以下、同様にして、画面が構成される。

40

【0005】

ここで、インターレース走査は、上述したことから、情報量を低減するための画素を間引く手法の 1 つと考えることができるので、このような間引きの手法を、以下、適宜、インターレース間引きという。

【0006】

【発明が解決しようとする課題】

50

ところで、画像の垂直方向の解像度は、そのライン数に依存する。従って、インターレース間引きを行うと、その間引き後の画像の垂直方向の解像度は、間引き前の画像の垂直方向の解像度の $1/2$ になる。その結果、垂直方向の速い変化を表現するのが困難となり、そのような動きがあると、画質が劣化する課題があった。

【0007】

本発明は、このような状況に鑑みてなされたものであり、画素（画素データ）のレベル方向におけるビット間引きによる画質の劣化を低減することができるようにするものである。

【0008】

【課題を解決するための手段】

請求項1に記載の画像処理装置は、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すビット間引き手段を備えることを特徴とする。

【0009】

請求項3に記載の画像処理方法は、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことを特徴とする。

【0012】

請求項4に記載の画像処理装置は、動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施すことにより得られる所定のビットが間引かれた画素である第1のビット間引き画素と、所定のビットとは異なるビットが間引かれた画素である第2のビット間引き画素とからなる間引き画像データであって、第1または第2のビット間引き画素が、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことにより得られる間引き画像データを構成する第1および第2の画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより一方の画素の元の画素値を復元する、または一方の画素の元の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素の元の画素値を復元する復元手段を備えることを特徴とする。

【0013】

請求項1に記載の画像処理装置においては、ビット間引き手段が、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すようになされている。

【0014】

請求項3に記載の画像処理方法においては、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すようになされている。

【0017】

請求項4に記載の画像処理装置においては、復元手段が、動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施すことにより得られる所定のビットが間引かれた画素である第1のビット間引き画素と、所定のビットとは異なるビットが間引かれた画素である第2のビット間引き画素とからなる間引き画像データであって、第1または第2のビット間引き画素が、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことにより得られる間引き画像データを構成する第1および第2の画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより一方の画素の元の画素値を復元する、または一方の画素の元の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素の元の画素値を復元するようになされている。

【0018】

【発明の実施の形態】

以下に、本発明の実施の形態を説明するが、その前に、特許請求の範囲に記載の発明の各

10

20

30

40

50

手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し、一例）を付加して、本発明の特徴を記述すると、次のようになる。

【0019】

即ち、請求項1に記載の画像処理装置は、動画像を構成する画像データを、復元処理時の画質の劣化を抑制して圧縮する画像処理装置において、動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施し、所定のビットが間引かれた画素である第1のビット間引き画素と、所定のビットとは異なるビットが間引かれた画素である第2のビット間引き画素とからなるビット間引き画像データを生成するビット間引き手段（例えば、図1に示すレベル方向ビットサブサンプリング回路2など）と、ビット間引き画像データを構成する第1および第2のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより一方の画素の元の画素値を復元する復元処理、または一方の画素の元の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素の元の画素値を復元する復元処理によって、元の画像データに復元されるビット間引き画像データを出力する出力手段（例えば、図1に示す送信処理回路4など）とを備え、ビット間引き手段が、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことを特徴とする。

10

【0020】

請求項4に記載の画像処理装置は、動画像を構成する画像データの画素を間引くことにより生成されたビット間引き画像データを伸張する画像処理装置において、動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施すことにより得られる所定のビットが間引かれた画素である第1のビット間引き画素と、所定のビットとは異なるビットが間引かれた画素である第2のビット間引き画素とからなる間引き画像データであって、第1または第2のビット間引き画素が、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことにより得られるビット間引き画像データを受信する受信手段（例えば、図1に示す受信処理回路8など）と、ビット間引き画像データを構成する第1および第2のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより一方の画素の元の画素値を復元する、または一方の画素の元の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素の元の画素値を復元する復元手段（例えば、図1に示すクラスタップ/予測タップ切り出し回路11、クラスタリング回路12、メモリ13、および画素データ生成回路14など）とを備えることを特徴とする。

20

30

【0021】

請求項6に記載の画像処理装置は、復元手段が、ビット間引き画像データの所定の注目画素に対して、注目画素の周辺に位置する周辺画素に基づいて、注目画素の特徴を表す所定のクラスを決定する決定手段（例えば、図1に示すクラスタリング回路12など）と、決定手段が出力するクラスに対応するデータであって、かつ、ビット間引きが施される前の一方の画素の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素である注目画素に対応するビット間引きが施される前の画素の画素値を予測し、その画素値を発生する発生手段（例えば、図1に示すメモリ13や画素データ生成回路14など）とを有することを特徴とする。

40

【0022】

請求項7に記載の画像処理装置は、発生手段が、学習用の動画像を構成する画像データを用いて、あらかじめ学習を行うことにより生成されたクラスごとの所定の予測データを、クラスごとに記憶する記憶手段（例えば、図1に示すメモリ13など）を有し、決定手段が出力するクラスに対応する予測データを、記憶手段から読み出し、その読み出された予測データと、他方の画素の画素値との積和演算によって、注目画素に対応するビット間引きが施される前の画素の画素値を発生することを特徴とする。

50

【 0 0 2 3 】

請求項 8 に記載の画像処理装置は、記憶手段が、予測データとして、積和演算に用いる、クラスごとの所定の予測係数のセットを記憶しており、発生手段が、決定手段が出力するクラスに対応する予測係数のセットを、記憶手段から読み出し、その読み出された予測係数のセットと、注目画素の周辺に位置する、ビット間引き画像データの複数の画素の画素値であって、かつ、他方の画素の画素値との積和演算によって、注目画素に対応するビット間引きが施される前の画素の画素値を算出する演算手段（例えば、図 1 に示す画素データ生成回路 1 4 など）をさらに有することを特徴とする。

【 0 0 2 4 】

なお、勿論この記載は、各手段を上記したものに限定することを意味するものではない。

10

【 0 0 2 5 】

図 1 は、本発明を適用した送受信システム（システムとは、複数の装置が論理的に集合したものをいい、各構成の装置が同一筐体中にあるか否かは問わない）の一実施の形態の構成例を示している。

【 0 0 2 6 】

この送受信システムは、送信装置 1 0 0 と受信装置 2 0 0 とで構成されている。そして、送信装置 1 0 0 は、入力端子 1、レベル方向ビットサブサンプリング回路 2、エンコーダ 3、送信処理回路 4、および出力端子 5 で構成され、画像の各画素（画素データ）のレベル方向の所定のビットを間引くことにより圧縮して送信するようになされており、受信装置 2 0 0 は、入力端子 7、受信処理回路 8、デコーダ 9、クラスタップ / 予測タップ切り出し回路 1 1、クラスタリング回路 1 2、メモリ 1 3、画素データ生成回路 1 4、および出力端子 1 5 で構成され、送信装置 1 0 0 からの圧縮された画像を伸張するようになされている。

20

【 0 0 2 7 】

即ち、送信装置 1 0 0 には、例えば、図示せぬビデオカメラなどで撮影され、その内蔵する CCD などの光電変換素子が有する画素と同一配置の画素で、各フレームが構成される動画像（以下、適宜、全画素動画像という）のデジタル画像データが供給される。ここで、このような全画素動画像は、いわゆるプログレッシブカメラ（光電変換素子上の画素すべてを、いわゆるラスタスキャン順に走査して、1 フレームの画像信号として出力するビデオカメラ）や、全画素カメラ（光電変換素子上の画素すべてにおける信号を、一度に、1 フレームの画像信号として出力するビデオカメラ）などによって得ることができる。

30

【 0 0 2 8 】

このデジタル画像データは、入力端子 1 を介して、レベル方向ビットサブサンプリング回路 2 に供給される。レベル方向ビットサブサンプリング回路 2 に供給されるデジタル画像データとしての動画像を構成する各フレームの画素（画素データ）は、例えば 8 ビットで構成されており、レベル方向ビットサブサンプリング回路 2 では、その 8 ビットの各画素が、図 2 に示すように、空間方向および時間方向の両方向に、五の目格子状に、画素のレベル方向に対して異なるビット間引きにより間引かれることにより圧縮される。

【 0 0 2 9 】

ここで、図 2 において（後述する図 3 乃至図 6 および図 1 2 においても同様）、印および印の両方が、全画素動画像を構成するフレームの画素（画素データ）を示している。そして、図 3（A）に示されるように、レベル方向ビットサブサンプリング回路 2 は、そのうちの印の 8 ビットの画素データについては、そのレベル方向の MSB（Most Significant Bit）から 2 番目、4 番目、6 番目及び 8 番目（LSB（Least Significant Bit））のビットを間引き、MSB から 1 番目、3 番目、5 番目及び 7 番目のビットから構成される 4 ビットの画素データ（以下、第 1 のビット間引き画素（画素データ）という）を構成する。また、レベル方向ビットサブサンプリング回路 2 は、印の 8 ビットの画素データについては、そのレベル方向の MSB から 1 番目、3 番目、5 番目及び 7 番目のビットを間引き、MSB から 2 番目、4 番目、6 目及び 8 番目のビットから構成される 4 ビットの画素データ（以下、第 2 のビット間引き画素（画素データ）という）を構成する。

40

50

【 0 0 3 0 】

従って、レベル方向ビットサブサンプリング回路 2 では、全画素動画像の第 1 フレームについては、例えば、図 4 (A) に示すように、その 1 ライン目の 2 列目、4 列目、6 列目、8 列目、・・・、2 ライン目の 1 列目、3 列目、5 列目、7 列目、・・・の画素 (同図 (A) に 印で示す) が第 1 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれ、また、その 1 ライン目の 1 列目、3 列目、5 列目、7 列目、・・・、2 ライン目の 2 列目、4 列目、6 列目、8 列目、・・・の画素 (同図 (A) に 印で示す) が第 2 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。以下、同様にして、奇数フレームについては、第 1 または第 2 のビット間引き画素それぞれが、空間方向に、五の目格子状に並ぶように、各画素のレベル方向に対してビット間引きが行われる。

10

【 0 0 3 1 】

また、第 2 フレームについては、例えば、図 4 (B) に示すように、その 1 ライン目の 1 列目、3 列目、5 列目、7 列目、・・・、2 ライン目の 2 列目、4 列目、6 列目、8 列目、・・・の画素 (同図 (B) に 印で示す) が第 1 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれ、その 1 ライン目の 2 列目、4 列目、6 列目、8 列目、・・・、2 ライン目の 1 列目、3 列目、5 列目、7 列目、・・・の画素 (同図 (B) に 印で示す) が第 2 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。以下、同様にして、偶数フレームについても、第 1 または第 2 のビット間引き画素それぞれが、空間方向に、五の目格子状に並ぶように、各画素のレベル方向のビット間引きが行われる。

20

【 0 0 3 2 】

この場合、ある 1 ラインまたは 1 列に注目すれば、例えば、図 5 に示すように、第 1 フレームについては、その注目ラインまたは注目列を構成する 2 番目、4 番目、6 番目、8 番目、・・・の画素 (同図において 印で示す) が第 1 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれ、第 2 フレームについては、注目ラインまたは注目列を構成する 1 番目、3 番目、5 番目、7 番目、・・・の画素 (同図において 印で示す) が第 1 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。そして、第 3 フレームについては、再び、注目ラインまたは注目列を構成する 2 番目、4 番目、6 番目、8 番目、・・・の画素 (同図において 印で示す) が第 1 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。

30

【 0 0 3 3 】

さらに、第 1 フレームについては、その注目ラインまたは注目列を構成する 1 番目、3 番目、5 番目、7 番目、・・・の画素 (同図において 印で示す) が第 2 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれ、第 2 フレームについては、注目ラインまたは注目列を構成する 2 番目、4 番目、6 番目、8 番目、・・・の画素 (同図において 印で示す) が第 2 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。そして、第 3 フレームについては、再び、注目ラインまたは注目列を構成する 1 番目、3 番目、5 番目、7 番目、・・・の画素 (同図において 印で示す) が第 2 のビット間引き画素 (画素データ) として構成されるように、各画素データの 8 ビットのうちの 4 ビットが間引かれる。

40

【 0 0 3 4 】

以下、同様にして、ビット間引きが行われることにより、レベル方向ビットサブサンプリング回路 2 では、時間方向にも、第 1 または第 2 のビット間引き画素それぞれが、五の目格子状に並ぶように、各画素のレベル方向のビット間引きが行われる。

50

【0035】

全画素動画像の各フレームについて、以上のように、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に、五の目格子状に並ぶように、各画素のレベル方向のビット間引き（以下、適宜、空間／時間五の目レベル方向ビット間引きという）が行われることにより、空間方向および時間方向のいずれの方向にも、第1のビット間引き画素（画素データ）と第2のビット間引き画素（画素データ）が交互（1つおき）に存在するようになる。従って、空間／時間五の目レベル方向ビット間引き後の情報量は、単純には、従来技術のインターレース間引きを行った場合と同様に、元の情報量の1/2になる。

【0036】

空間／時間五の目レベル方向ビット間引きは、このように情報量を低減することができる。さらに、間引き後の画素数自体は、元の画素数と変わらないから、水平方向、垂直方向、および斜め方向のいずれの解像度も維持することができ、その結果、これらのいずれの方向の速い変化をも表現することが可能となり、そのような動きがある場合の画質の劣化を低減（防止）することが可能となる。従って、空間／時間五の目レベル方向ビット間引きによれば、デジタル画像データについて、いわば均一な間引きを実現できる。

【0037】

図1に戻り、レベル方向ビットサブサンプリング回路2において、空間／時間五の目レベル方向ビット間引きが施されることにより得られるビット間引き画像データは、エンコーダ3に供給される。エンコーダ3では、レベル方向ビットサブサンプリング回路2からのビット間引き画像データ（第1のビット間引き画素と第2のビット間引き画素で構成される画像データ）が高能率符号化される。ここで、高能率符号化方式としては、例えば、DCT（Discrete Cosine Transform）などの直交変換と動き補償を組み合わせたハイブリッド方式、DCTと量子化を組み合わせたハイブリッド方式、ADRC（Adaptive Dynamic Range Coding）などを用いることが可能である。なお、ADRCについては、例えば、本出願人が先に出願している特開昭61-144989号公報などに、その詳細が記載されている。なお、場合によっては（例えば、伝送路6の容量が充分大きい場合など）、このエンコーダ3は省略することが可能である。

【0038】

エンコーダ3において、ビット間引き画像データが高能率符号化されることにより得られる符号化データは、送信処理回路4に供給される。送信処理回路4では、エンコーダ3からの符号化データに対して、例えば、エラー訂正、パケット化、チャネル符号化などの必要な信号処理が施され、その結果得られる伝送データが、出力端子5を介して出力される。この伝送データは、所定の伝送路6を介して送信される。なお、伝送路6には、例えば、衛星回線や、地上波、CATV網、公衆網、インターネットなどの通信回線の他、例えば、磁気記録／再生のプロセス、さらには、磁気ディスク、光ディスク、磁気テープ、光磁気ディスク、相変化ディスクその他の記録媒体も含まれる。

【0039】

伝送路6からの伝送データは、受信装置200の入力端子7を介して、受信処理回路8で受信される。受信処理回路8では、伝送データに対して、チャネル復号化、アンパケット化、エラー訂正などの必要な信号処理が施され、その結果得られる符号化データが、送信装置のエンコーダ3に対応するデコーダ9に供給される。デコーダ9では、その符号化データがエンコーダ3の符号化処理に対応する復号処理によりデコードされ、第1のビット間引き画素と第2のビット間引き画素で構成されるビット間引き画像データとされ、クラスタップ／予測タップ切り出し回路11に供給される。

【0040】

クラスタップ／予測タップ切り出し回路11は、例えば、図6に示すように、4ビットにレベル方向のビット間引きが施された所定のビット間引き画素（画素データ） x' を注目画素（注目ビット間引き画素）としたとき、その注目ビット間引き画素 x' と、その空間方向の上下左右に隣接する4つのビット間引き画素（画素データ） a 、 b 、 c 、 d とを後

10

20

30

40

50

述するクラスタリング回路 12 でクラスを決定するのに用いる画素（以下、適宜、クラスタップという）として切り出すとともに、後述する画素データ生成回路 14 で注目ビット間引き画素 x' を元の 8 ビットの画素データ x に復元するのに用いる画素（以下、予測タップという）として切り出す。この切り出されたクラスタップまたは予測タップは、クラスタリング回路 12 または画素データ生成回路 14 にそれぞれ供給される。なお、ここでは、ある注目ビット間引き画素について、クラスタップと予測タップを同一のビット間引き画素から構成することとしたが、異なるビット間引き画素から構成することも可能である。クラスタップ / 予測タップ切り出し回路 11 は、すべてのビット間引き画素（つまり、第 1 のビット間引き画素（画素データ）及び第 2 のビット間引き画素（画素データ））について、その上下左右に隣接するビット間引き画素でなるクラスタップまたは予測タップを構成し、クラスタリング回路 12 または画素データ生成回路 14 に、それぞれ供給する。

10

【0041】

クラスタリング回路 12 は、クラスタップ / 予測タップ切り出し回路 11 からのクラスタップを受け取り、そのクラスタップを構成する 4 ビットのビット間引き画素の性質に応じてクラスタリングを行い、注目ビット間引き画素に対する所定のクラスを発生する。

【0042】

ここで、クラスタリングについて簡単に説明する。いま、例えば、図 7 (A) に示すように、 2×2 画素でなるクラスタップを考え、各画素が、1 ビットで表現される（0 または 1 のうちのいずれかのレベルをとる）ものとする、この 2×2 の 4 画素のクラスタップは、各画素のレベル分布により、図 7 (B) に示すように、 $16 (= (2^1)^4)$ パターンにクラス分けすることができる。このようなクラス分けがクラスタリングであり、このような処理がクラスタリング回路 12 において行われる。なお、ここでは、説明の簡略化を考え、各画素を 1 ビットで表現した場合について説明したが、本実施の形態では、クラスタップを構成する各画素を、例えば 2 ビットで表現し、そのようなクラスタップを対象にクラスタリングが行われるようになされている。

20

【0043】

即ち、本実施の形態では、各画素（ビット間引き画素）には、4 ビットが（その画素値を表現するために）割り当てられている。また、本実施の形態においては、上述したように、クラスタップは 5 画素（ビット間引き画素 x' , a , b , c , d ）で構成される。従って、このようなクラスタップを対象にクラスタリングを行ったのでは、 $(2^4)^5$ という膨大な数のクラスが生じることになる。

30

【0044】

そこで、クラスタリング回路 12 は、図 8 に示すように、2 ビット A D R C 回路 16 を有しており、この 2 ビット A D R C 回路 16 において、クラスタップに対して、2 ビット A D R C 処理が施されるようになされている。これにより、クラスタップを構成する各画素（ビット間引き画素）のビット数を 4 ビットから 2 ビットに減少させ、クラス数を削減するようになされている。

【0045】

即ち、例えば、いま、説明を簡単にするため、図 9 (A) に示すように、直線上に並んだ 4 画素で構成されるクラスタップを考えると、A D R C 処理においては、その画素値の最大値 M A X と最小値 M I N が検出される。そして、 $D R = M A X - M I N$ を、ブロックの局所的なダイナミックレンジとし、このダイナミックレンジ D R に基づいて、ブロックを構成する画素の画素値が K ビットに再量子化される。

40

【0046】

即ち、ブロック内の各画素値から、最小値 M I N を減算し、その減算値を $D R / 2^K$ で除算する。そして、その結果得られる除算値に対応するコード（A D R C コード）に変換される。具体的には、2 ビット A D R C 回路 16 では、 $K = 2$ として、図 9 (B) に示すように、除算値が、ダイナミックレンジ D R を $4 (= 2^2)$ 等分して得られるいずれの範囲に属するかが判定され、除算値が、例えば、最も下のレベルの範囲、下から 2 番目のレベ

50

ルの範囲、下から3番目のレベルの範囲、または最も上のレベルの範囲に属する場合には、それぞれ、例えば、00B, 01B, 10B、または11Bなどの2ビットにコード化される(Bは2進数であることを表す)。

【0047】

なお、その復号は、ADRCコード00B, 01B, 10B、または11Bを、例えば、ダイナミックレンジDRを4等分して得られる最も下のレベルの範囲の中心値L00、下から2番目のレベルの範囲の中心値L01、下から3番目のレベルの範囲の中心値L10、または最も上のレベルの範囲の中心値L11に変換し、その値に、最小値MINを加算することで行うことができる。

【0048】

また、クラスタリングは、上述したように、クラスタップを構成する各画素(ビット間引き画素)のレベルそのものに基づいて行う他、例えば、クラスタップを構成する画素のレベルの傾向(例えば、すべての画素のレベルがほぼ揃っているとか、右にある画素のレベルが他の画素のレベルよりも高いまたは低いとかなど)などに基づいて行うことも可能である。

【0049】

2ビットADRC回路16において、5画素のクラスタップに、2ビットADRC処理が施されることにより、5画素それぞれのビット数が2ビットにされたクラスタップが得られる。2ビットADRC回路16は、このビット数が2ビットの5画素の画素値を並べた10ビットのデータを、注目ビット間引き画素に対する仮のクラスとして出力する。

【0050】

クラスタリング回路12は、図8に示すように、2ビットADRC回路16の他、ビット付加回路17も有しており、2ビットADRC回路16が出力する10ビットの仮のクラスコードは、ビット付加回路17に供給される。

【0051】

ビット付加回路17は、2ビットADRC回路16からの仮のクラスコードに対して1ビットを付加し、最終的なクラスコードを生成する。即ち、ビット付加回路17は、クラスタップに対する注目ビット間引き画素が第1のビット間引き画素(画素データ)であるかもしくは第2のビット間引き画素(画素データ)であるかによって異なる1ビットを付加ビットとして仮のクラスコードに付加する。例えば、注目ビット間引き画素が第1のビット間引き画素(画素データ)である場合には、ビット“0”を、注目ビット間引き画素が第2のビット間引き画素(画素データ)である場合には、ビット“1”を付加する。そして、この1ビットが付加された合計11ビットが、注目ビット間引き画素に対する最終的なクラスとして、クラスタリング回路12から出力される。

【0052】

再び、図1に戻り、以上のようなクラスタリングにより得られた注目ビット間引き画素に対するクラス(クラスコード)は、メモリ13に対して、アドレスとして与えられる。メモリ13は、全画素動画像を構成する画素からレベル方向に対して空間/時間五の目レベル方向ビット間引きの施されたビット間引き画素(注目ビット間引き画素) x' に対応する元の画素 x を予測するための予測データを、クラスごとに記憶しており、クラスタリング回路12からアドレスとしてのクラス(クラスコード)が与えられると、そのクラスに対応する予測データを読み出し、画素データ生成回路14に供給する。

【0053】

ここで、いまの場合、メモリ13においては、例えば、注目画素(注目ビット間引き画素) x' に対応する元の画素 x を、その注目ビット間引き画素 x' と、その上下左右に隣接するビット間引き画素(画素データ) a 乃至 d (図6)からなる予測タップを用いた線形一次式により予測するための、その線形一次式の係数(予測係数)のセット w_1, w_2, w_3, w_4, w_5 が、予測データとして記憶されている。従って、メモリ13から画素データ生成回路14には、注目ビット間引き画素のクラスに対応する係数のセット w_1 乃至 w_5 が、予測データとして供給される。

10

20

30

40

50

【 0 0 5 4 】

画素データ生成回路 1 4 は、予測データ w_1 乃至 w_5 を受信すると、その予測データである係数のセット w_1 乃至 w_5 と、クラスタップ / 予測タップ切り出し回路 1 1 から供給された予測タップを構成するビット間引き画素（画素データ）の画素値 x' 、 a 乃至 d とを用いて、次の線形一次式を演算することにより、注目ビット間引き画素 x' に対応する元の 8 ビットの画素（画素データ） x を生成（予測）する。

【 0 0 5 5 】

$$x = w_1 a + w_2 b + w_3 c + w_4 d + w_5 x' \\ \cdots (1)$$

【 0 0 5 6 】

画素データ生成回路 1 4 で求められた 8 ビットの画素（画素データ） x は、出力端子 1 5 に供給されて順次出力される。この結果、出力端子 1 5 からは、元の全画素動画像を構成するフレームのデータが出力される。

【 0 0 5 7 】

次に、クラス毎の予測データの生成について説明する。注目ビット間引き画素である 4 ビットのビット間引き画素 x' から元の 8 ビットの画素（画素データ） x を求めるのに、式（1）の線形一次式を構成するための予測データである係数のセット w_1 、 w_2 、 w_3 、 w_4 、 w_5 は、学習により求められるようになされている。

【 0 0 5 8 】

図 1 0 は、予測データである係数のセット w_1 乃至 w_5 を求めるための学習を行う学習装置の一実施の形態の構成例を示している。

【 0 0 5 9 】

学習では、学習用の全画素動画像が複数用意され、入力端子 2 0 には、その学習用の全画素動画像が、例えば、フレーム単位で入力される。ここで、学習用の全画素動画像は、予測データとして係数のセット w_1 乃至 w_5 の作成を考慮した標準的なものであるのが望ましい。

【 0 0 6 0 】

入力端子 2 0 に入力された全画素動画像の各フレームは、レベル方向ビットサンプリング回路 2 1 に供給されるとともに、タップ切り出し回路 2 2 に供給される。レベル方向ビットサンプリング回路 2 1 では、上述した図 1 に示されるレベル方向ビットサブサンプリング回路 2 と同様に、全画素動画像に対して空間 / 時間方向五の目レベル方向ビット間引きが施され、第 1 のビット間引き画素（画素データ）と第 2 のビット間引き画素（画素データ）でなるビット間引き画像データが生成される。このビット間引き画像データは、タップ切り出し回路 2 2 に供給される。

【 0 0 6 1 】

タップ切り出し回路 2 2 は、入力端子 2 0 から供給された全画素動画像の各フレームを構成する画素から、図 6 に示した注目ビット間引き画素 x' に対応する 8 ビットの画素 x を教師画素（画素データ）として切り出すとともに、レベル方向ビットサブサンプリング回路 2 1 から供給されたビット間引き画像データから注目ビット間引き画素 x' と、その上下左右に隣接する 4 つのビット間引き画素（画素データ） a 乃至 d をクラスタップ及び予測タップとして切り出す。そして、タップ切り出し回路 2 2 で切り出された 5 つのビット間引き画素（画素データ） x' 、 a 乃至 d からなるクラスタップはクラスタリング回路 2 4 に供給される。さらに、タップ切り出し回路 2 2 で切り出された 5 つのビット間引き画素（画素データ） x' 、 a 乃至 d からなる予測タップと 8 ビットの教師画素（画素データ） x はデータメモリ 2 3 の入力端子 I_N に供給される。

【 0 0 6 2 】

クラスタリング回路 2 4 は、図 1 のクラスタリング回路 1 2 と同様に、そこに供給されるクラスタップを A D R C 処理することによりクラスタリングする。さらに、その結果得られる仮のクラスコードに、注目ビット間引き画素が第 1 のビット間引き画素（画素データ）であるか、または第 2 のビット間引き画素（画素データ）であるかどうかを示す 1 ビッ

10

20

30

40

50

トを付加し、それにより得られる最終的なクラスコードを注目ビット間引き画素のクラスとして、スイッチ 25 の端子 25 a に供給する。ここで、スイッチ 25 は、学習用の全画素動画像から得られるすべてのビット間引きについて、上述したクラスタリング処理及びデータメモリ 23 への供給処理が終了するまでは、端子 25 a を選択しており、従って、クラスタリング回路 24 が出力する注目ビット間引き画素に対するクラスは、スイッチ 25 を介して、データメモリ 23 のアドレス端子 A D に供給される。

【 0 0 6 3 】

データメモリ 23 は、そのアドレス端子 A D に供給されるクラスに対応するアドレスに、その入力端子 I N に供給されるデータを記憶する。

【 0 0 6 4 】

ここで、例えば、所定のクラス C l a s s に分類される注目ビット間引き画素 x_1' , x_2' , \dots , x_n' について、その各注目ビット間引き画素 x_1' , x_2' , \dots , x_n' の位置に対応する、学習用の全画素動画像から得られる教師画素（画素データ）を x_1 , x_2 , \dots , x_n とする。また、注目ビット間引き画素 x_1' の上下左右に隣接する予測タップを構成する 4 つのビット間引き画素（画素データ）を a_1 , b_1 , c_1 , d_1 と、注目ビット間引き画素 x_2' の上下左右に隣接する予測タップを構成する 4 つのビット間引き画素（画素データ）を a_2 , b_2 , c_2 , d_2 と、 \dots 、注目ビット間引き画素 x_n' の上下左右に隣接する予測タップを構成する 4 つのビット間引き画素（画素データ）を a_n , b_n , c_n , d_n と、それぞれする。この場合、上述の処理により、メモリ 23 の、クラス C l a s s に対応するアドレスには、教師画素（画素データ） x_1 , x_2 , \dots , x_n , 予測タップを構成するビット間引き画素（画素データ） a_1 , a_2 , \dots , a_n , b_1 , b_2 , \dots , b_n , c_1 , c_2 , \dots , c_n , d_1 , d_2 , \dots , d_n , x_1' , x_2' , \dots , x_n' が記憶される。

【 0 0 6 5 】

学習用の全画素動画像から得られるすべての教師画素についてのクラスタリング処理及びデータメモリ 23 への記憶処理が終了すると、スイッチ 25 は端子 25 b を選択する。端子 25 b には、カウンタ 26 の出力が供給されるようになされており、カウンタ 26 は、所定のクロック C K をカウントすることにより、順次変化するアドレスを発生するようになされている。従って、カウンタ 26 が発生するアドレスは、スイッチ 25 を介して出力される。カウンタ 26 からスイッチ 25 を介して出力されるアドレスは、データメモリ 23 のアドレス端子 A D と、メモリ 28 のアドレス端子 A D とに供給される。

【 0 0 6 6 】

データメモリ 23 においては、そのアドレス端子 A D に供給される、カウンタ 26 からのアドレスにしたがって、そのアドレスに対応する記憶内容（教師画素（画素データ）と予測タップを構成する 5 つのビット間引き画素（画素データ））が読み出され、最小自乗法演算回路 27 に供給される。最小自乗法演算回路 27 では、データメモリ 23 から供給される教師画素（画素データ）と予測タップを構成するビット間引き画素（画素データ）に基づいて、方程式がたてられ、これが、例えば、最小自乗法によって解かれることにより、予測データとしての係数のセット w_1 乃至 w_5 が求められる。

【 0 0 6 7 】

即ち、上述のクラス C l a s s に注目した場合、最小自乗法演算回路 27 では、データメモリ 23 の、クラス C l a s s に対応するアドレスに記憶された教師画素（画素データ） x_1 , x_2 , \dots , x_n 、予測タップを構成する 5 つのビット間引き画素（画素データ） a_1 , a_2 , \dots , a_n , b_1 , b_2 , \dots , b_n , c_1 , c_2 , \dots , c_n , d_1 , d_2 , \dots , d_n , x_1' , x_2' , \dots , x_n' を用いて、式（ 1 ）に対応する、以下のような連立方程式がたてられる。

$$x_1 = w_1 a_1 + w_2 b_1 + w_3 c_1 + w_4 d_1 + w_5 x_1'$$

$$x_2 = w_1 a_2 + w_2 b_2 + w_3 c_2 + w_4 d_2 + w_5 x_2'$$

.

.

10

20

30

40

50

・

$$x_n = w_1 a_n + w_2 b_n + w_3 c_n + w_4 d_n + w_5 x_n'$$

・・・(2)

【0068】

そして、最小自乗法演算回路27は、式(2)の連立方程式を、最小自乗法によって解くことにより、クラスC1a s sについての予測データとしての係数のセット w_1 乃至 w_5 を求める。他のクラスについての予測データとしての係数のセットも同様にして求められる。

【0069】

最小自乗法演算回路27で求められた予測データとしての係数のセット w_1 乃至 w_5 は、メモリ28に供給される。従って、クラスC1a s sについての予測データとしての係数のセット w_1 乃至 w_5 は、メモリ23において、データ $x_1, x_2, \dots, x_n, a_1, a_2, \dots, a_n, b_1, b_2, \dots, b_n, c_1, c_2, \dots, c_n, d_1, d_2, \dots, d_n, x_1', x_2', \dots, x_n'$ が記憶されていたアドレスと同一のメモリ28のアドレスに記憶される。他のクラスについての予測データとしての係数のセットも、同様にして、メモリ28に記憶される。

【0070】

図1のメモリ13には、以上のようにしてメモリ28に記憶された予測データとしての係数のセットが記憶されている。

【0071】

次に、図1のメモリ13には、予測データとして、式(1)に示した線形一次式を計算するための係数ではなく、8ビットの画素値そのものを記憶させておくようにすることができる。

【0072】

図11は、8ビットの画素値を予測データとしてメモリ13に記憶させる場合の、その予測データを求める学習装置の一実施の形態の構成例を示している。なお、図中、図10における場合と対応する部分については、同一の符号を付してある。

【0073】

入力端子20に入力された全画素動画像の各フレームは、レベル方向ビットサンプリング回路21に供給されるとともに、タップ切り出し回路22に供給される。レベル方向ビットサンプリング回路21では、上述した図1に示されるレベル方向ビットサブサンプリング回路と同様に、全画素動画像に対して空間/時間方向五の目レベル方向ビット間引きが施され、第1のビット間引き画素(画素データ)と第2のビット間引き画素(画素データ)でなるビット間引き画像データが生成される。このビット間引き画像データは、タップ切り出し回路22に供給される。

【0074】

タップ切り出し回路22は、入力端子20から供給された全画素動画像の各フレームを構成する画素から、図6に示した注目ビット間引き画素 x' に対応する8ビットの画素 x を教師画素(画素データ)として切り出すとともに、レベル方向ビットサブサンプリング回路21から供給されたビット間引き画像データから注目ビット間引き画素 x' と、その上下左右に隣接する4つのビット間引き画素(画素データ) a 乃至 d をクラスタップとして切り出す。そして、タップ切り出し回路22は、その5つのビット間引き画素(画素データ) x', a 乃至 d からなるクラスタップをクラスタリング回路24に供給するとともに、8ビットの教師画素(画素データ) x を演算器34に供給する。

【0075】

クラスタリング回路24は、図1のクラスタリング回路12と同様に、そこに供給されるクラスタップをクラスタリングし、その結果得られるクラスを、データメモリ30のアドレス端子ADと、度数メモリ31のアドレス端子ADとに供給する。ここで、データメモリ30および度数メモリ31は、学習を開始する前に、その記憶内容が0にクリアされるようになされている。

10

20

30

40

50

【 0 0 7 6 】

度数メモリ 3 1 では、そのアドレス端子 A D に、アドレスとしてのクラス（クラスコード）が供給されると、そのアドレスの記憶内容としての度数が読み出され、その出力端子 O U T から出力される。度数メモリ 3 1 から出力された度数は、演算器 3 2 に供給され、1 だけインクリメントされる。このインクリメント結果は、度数メモリ 3 1 の入力端子 I N に供給され、インクリメント前の度数が記憶されていたアドレスに記憶される（上書きされる）。

【 0 0 7 7 】

一方、データメモリ 3 0 では、そのアドレス端子 A D に、アドレスとしてのクラス（クラスコード）が供給されると、やはり、そのアドレスの記憶内容が読み出され、その出力端子 O U T から出力される。データメモリ 3 0 の出力は、演算器 3 3 に供給される。演算器 3 3 には、さらに、度数メモリ 3 1 が出力する度数も供給されており、そこでは、この度数と、データメモリ 3 0 の出力とが乗算される。この乗算結果は、演算器 3 4 に供給される。

10

【 0 0 7 8 】

演算器 3 4 では、演算器 3 3 における乗算結果と、タップ切り出し回路 2 2 からの注目画素（8 ビットの画素値）とが加算され、その加算値は、演算器 3 5 に供給される。演算器 3 5 には、さらに、演算器 3 2 による度数のインクリメント結果も供給されており、そこでは、演算器 3 4 の加算結果を被除数とするとともに、加算器 3 2 のインクリメント結果を除数として、除算が行われる。この除算結果は、データメモリ 3 0 の入力端子 I N に供給され、クラスタリング回路 2 4 が出力するクラス（クラスコード）に対応するアドレスに記憶される（上書きされる）。

20

【 0 0 7 9 】

図 1 1 の学習装置において、データメモリ 3 0 および度数メモリ 3 1 のあるアドレス a d へのアクセスが最初に行われる場合には、タップ切り出し回路 2 2 から演算器 3 4 に供給される 8 ビットの教師画素（画素データ） $\times 1$ がそのまま、データメモリ 3 0 のアドレス a d に書き込まれ、また、度数メモリ 3 1 のアドレス a d には、1 が書き込まれる。その後、再度、アドレス a d へのアクセスが行われ、このときにタップ切り出し回路 2 2 から演算器 3 4 に供給される 8 ビットの教師画素（画素データ）が $\times 2$ であったとすると、演算器 3 2 の出力は 2 となり、また、演算器 3 4 の出力は $\times 1 + \times 2$ となるから、演算器 3 5 の出力は $(\times 1 + \times 2) / 2$ となり、これが、データメモリ 3 0 のアドレス a d に書き込まれる。そして、度数メモリ 3 1 のアドレス a d には、演算器 3 2 の出力である 2 が書き込まれる。さらに、再び、アドレス a d へのアクセスが行われ、このときにタップ切り出し回路 2 2 から演算器 3 4 に供給される 8 ビットの教師画素（画素データ）が $\times 3$ であったとすると、同様の処理により、データメモリ 3 0 のアドレス a d には、 $(\times 1 + \times 2 + \times 3) / 3$ が書き込まれ、度数メモリ 3 1 のアドレス a d には、3 が書き込まれる。

30

【 0 0 8 0 】

以上のようにして、データメモリ 3 0 には、各クラスに分類されるビット間引き画素に対応する教師画素（画素データ）の 8 ビットの画素値の平均値が記憶される。

【 0 0 8 1 】

40

なお、図 1 のメモリ 1 3 に、データメモリ 3 0 に記憶された 8 ビットの画素値を、予測データとして記憶させる場合には、その予測データとしての 8 ビットの画素値を、メモリ 1 3 から読み出して出力することが 8 ビットの画素を予測することになるから、画素データ生成回路 1 4 は設ける必要がなく、さらに、クラスタップ / 予測タップ切り出し回路 1 1 でも予測タップの生成、出力を行わずに済むようになる。

【 0 0 8 2 】

ところで、上述の場合には、図 1 のクラスタップ / 予測タップ切り出し回路 1 1 において、図 6 に示したように、ビット間引き画素（注目ビット間引き画素） \times' と、その空間方向の上下左右に隣接する 4 つのビット間引き画素（画素データ）a, b, c, d で 1 つのクラスタップ及び予測タップを構成するようにしたが、クラスタップ及び予測タップは、

50

注目ビット間引き画素としてのビット間引き画素 x' の時間方向に隣接するビット間引き画素も含めて構成することが可能である。

【0083】

即ち、例えば、図12に示すように、第 n フレームのある注目ビット間引き画素 x' についてクラスタップ及び予測タップを構成する場合においては、注目ビット間引き画素 x' 、その同一フレーム内の上下左右に隣接する4つのビット間引き画素（画素データ） a 、 b 、 c 、 d 、並びに第 $n-1$ フレームの、注目ビット間引き画素 x' と同一位置にあるビット間引き画素（画素データ） e 、および第 $n+1$ フレームの、注目ビット間引き画素 x' と同一位置にあるビット間引き画素（画素データ） f の合計7つのビット間引き画素（画素データ）などでクラスタップ及び予測タップを構成することが可能である。

10

【0084】

この場合、時間方向のビット間引き画素（画素データ） e 、 f をも考慮してクラスタリングや、式（1）の演算が行われるので、注目ビット間引き画素 x' を、より元のものに近い画素 x に復元することが可能となる。なお、この場合、学習時においても、同様にクラスタップを構成する必要がある。また、クラスタップは、注目ビット間引き画素 x' の時間方向にある間引き後画素だけで構成することも可能である。

【0085】

次に、以上では、受信装置200において、学習を行うことにより得られた予測データを用いて、ビット間引き画素から元の8ビットの画素を予測するようにしたので、ビット間引き画素で構成される画像に含まれていない高周波成分も復元することができるが、ビット間引き画素に対する元の画素の復元は、単純なビット補間によって行うことも可能である。

20

【0086】

図13は、そのような送受信システムの一実施の形態の構成例を示している。なお、図中、図1における場合と対応する部分については、同一の符号を付してある。即ち、この送受信システムは、クラスタップ／予測タップ切り出し回路11、クラスタリング回路12、メモリ13、および画素データ生成回路14に代えて、補間フィルタ40が設けられている他は、図1の送受信システムと同様に構成されている。

【0087】

補間フィルタ40は、デコーダ9からの注目ビット間引き画素（画素データ）の間引かれたビットを、その周辺にあるビット間引き画素（画素データ）を用いて補間して出力する。この場合、図1における場合のように、ビット間引き画素で構成される画像に含まれていない高周波成分を復元することはできないが、受信装置200の構成を簡単化することができる。

30

【0088】

以上、本発明を適用した送受信システムについて説明したが、このような送受信システムは、テレビジョン放送は勿論、画像を記録／再生する場合などにも用いることができる。

【0089】

なお、本実施の形態では、あるビット間引き画素に注目した場合において、クラスタリングで使用されるクラスタップに用いるビット間引き画素（画素データ）と、式（1）に示した線形一次式を計算するのに使用される予測タップに用いるビット間引き画素（画素データ）とを同一のものとしたが、これらは、同一である必要はなく、クラスタップと予測タップとは、それぞれ別々のビット間引き画素の集合を用いることができる。即ち、クラスタップを構成する画素と、予測タップを構成する画素とは、それぞれ、クラスタップ／予測タップ切り出し回路11に適応的に切り出させることができる。なお、予測タップ、クラスタップの切り出し方は、画像の空間的な特徴（アクティビティ）や動き等に応じて適応的に変えてもよい。

40

【0090】

また、本実施の形態においては、クラスタップや予測タップに、注目ビット間引き画素（画素データ）を含めるようにしたが、注目ビット間引き画素を含めないようにすることも

50

可能である。この場合、クラス毎の予測データを生成する学習時においても同様に、クラスタップや予測タップに注目ビット間引き画素（画素データ）を含めないようにする必要がある。

【0091】

さらに、クラスタップとしてのビット間引き画素（画素データ）や、予測タップとしてのビット間引き画素（画素データ）は、注目ビット間引き画素に対して、空間的または時間的に隣接している必要はない。但し、注目ビット間引き画素の周辺にあるビット間引き画素（画素データ）を用いるのが望ましい。

【0092】

また、本実施の形態においては、動画像を構成する各フレームの8ビットの画素を4ビットの画素にビット間引きするようにしたが、本発明はこれに限らず、例えば、12ビットの画素を6ビットの画素にビット間引きしたり、12ビットの画素を8ビットや4ビットに間引いてもよい。即ち、オリジナルの動画像や空間／時間五の目レベル方向ビット間引き後のビット間引き画像データの各画素のビット数は、特に限定されるものではない。

【0093】

さらに、本実施の形態においては、動画像データの画素の8ビットの画素値を、1ビットおきに間引き、4ビットの画素値とするようにしたが、本発明はこれに限らず、例えば、第1のビット間引き画素は、元の画素のレベル方向のMSBから3番目、4番目、5番目及び6番目のビットを間引き、MSBから1番目、2番目、7番目及び8番目のビットの4ビットの画素データから構成し、第2のビット間引き画素は、元の画素のレベル方向のMSBから1番目、2番目、7番目及び8番目（LSB）のビットを間引き、MSBから3番目、4番目、5番目及び6番目のビットの4ビットの画素データから構成してもよい。

【0094】

また、本実施の形態では、第1と第2のビット間引き画素それぞれを生成するのにあたって、元の画素から、それぞれ相補的な関係にあるビットを間引くようにしたが、即ち、第1のビット間引き画素は、元の画素のMSBから偶数番目のビットを間引くことによって、第2のビット間引き画素は、元の画素のMSBから奇数番目のビットを間引くことによって、それぞれ生成するようにしたが、第1または第2のビット間引き画素それぞれを生成するにあたっては、元の画素から、一部重複するビットを間引くようにすることも可能である。

【0095】

さらに、本実施の形態においては、予測タップとして5ビットのビット間引き画素データを用い、係数との線形一時結合により元の画素データを復元することとしたが、その他、例えば、4ビットのビット間引き画素データを一時的に8ビットの画素データに変換し、その8ビットの画素データと係数とを用いた線形一時結合により元の画素データを復元してもよい。4ビットのビット間引き画素を、一時的に8ビットの画素に変換する方法としては、例えば、間引かれたビット位置に、一時的にビット“0”または“1”を補間して、8ビットの画素データにする方法がある。この場合、クラス毎の予測データとしての係数のセットを生成する学習時においても同様に、4ビットのビット間引き画素データから8ビットの画素データに一時的に変換したものをを用いる必要がある。

【0096】

【発明の効果】

請求項1に記載の画像処理装置および請求項3に記載の画像処理方法によれば、第1または第2のビット間引き画素それぞれが、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きが施される。従って、動画像の水平、垂直、および斜め方向の解像度を維持しながら、その情報量を低減することが可能となる。

【0098】

請求項4に記載の画像処理装置によれば、動画像を構成する各フレームの画素に対して、そのレベル方向にビット間引きを施すことにより得られる所定のビットが間引かれた画

10

20

30

40

50

素である第 1 のビット間引き画素と、所定のビットとは異なるビットが間引かれた画素である第 2 のビット間引き画素とからなる間引き画像データであって、第 1 または第 2 のビット間引き画素が、空間方向および時間方向の両方向に五の目格子状に並ぶようにビット間引きを施すことにより得られる間引き画像データを構成する第 1 および第 2 のビット間引き画素について、その一方の画素で間引かれているビットを、他方の画素の画素値を用いて補間することにより一方の画素の元の画素値を復元する、または一方の画素の元の画素値を予測するのに用いられるデータである予測データと、他方の画素の画素値との積和演算によって、一方の画素の元の画素値が復元される。従って、画質の劣化の少ない画像を得ることが可能となる。

【図面の簡単な説明】

10

【図 1】本発明を適用した送受信システムの第 1 実施の形態の構成例を示すブロック図である。

【図 2】図 1 のレベル方向ビットサブサンプリング回路 2 の処理を説明するための図である。

【図 3】図 1 のレベル方向ビットサブサンプリング回路 2 の処理を説明するための図である。

【図 4】図 1 のレベル方向ビットサブサンプリング回路 2 の処理を説明するための図である。

【図 5】図 1 のレベル方向ビットサブサンプリング回路 2 の処理を説明するための図である。

20

【図 6】図 1 のクラスタップ / 予測タップ切り出し回路 1 1 の処理を説明するための図である。

【図 7】図 1 のクラスタリング回路 1 2 の処理を説明するための図である。

【図 8】図 1 のクラスタリング回路 1 2 の構成例を示す図である。

【図 9】A D R C を説明するための図である。

【図 10】予測用データを求める学習装置の第 1 実施の形態の構成例を示すブロック図である。

【図 11】予測用データを求める学習装置の第 2 実施の形態の構成例を示すブロック図である。

【図 12】図 1 のクラスタップ / 予測タップ切り出し回路 1 1 の他の処理を説明するための図である。

30

【図 13】本発明を適用した送受信システムの第 2 実施の形態の構成例を示すブロック図である。

【図 14】インターレース間引きがされる前の画像を示す図である。

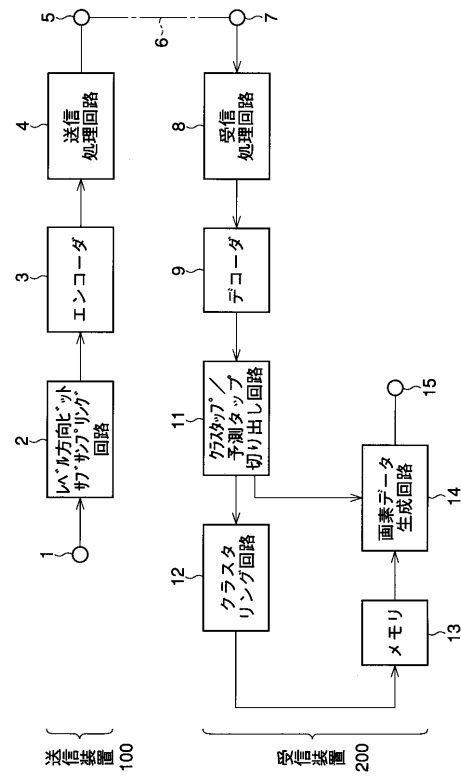
【図 15】インターレース間引きがされる後の画像を示す図である。

【符号の説明】

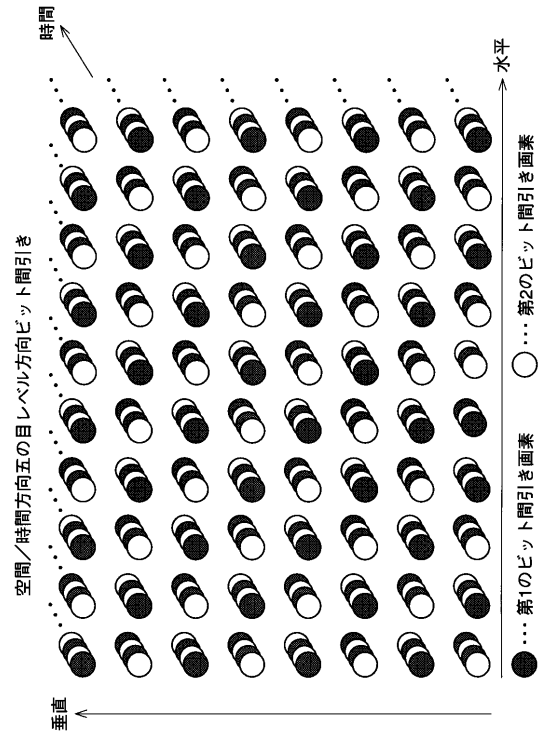
1 入力端子, 2 レベル方向ビットサブサンプリング回路, 3 エンコーダ, 4 送信処理装置, 5 出力端子, 6 伝送路, 7 入力端子, 8 受信処理回路, 9 デコーダ, 11 クラスタップ / 予測タップ切り出し回路, 12 クラスタリング回路, 13 メモリ, 14 画素データ生成回路, 15 出力端子, 20 入力端子, 21 レベル方向サブサンプリング回路, 22 タップ切り出し回路, 23 データメモリ, 24 クラスタリング回路, 25 スイッチ, 25 a, 25 b 端子, 26 カウンタ, 27 最小自乗法演算回路, 28 メモリ, 30 データメモリ, 31 度数メモリ, 32 乃至 35 演算器, 40 補間フィルタ, 100 送信装置, 200 受信装置

40

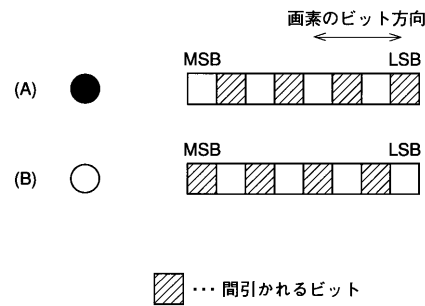
【図 1】



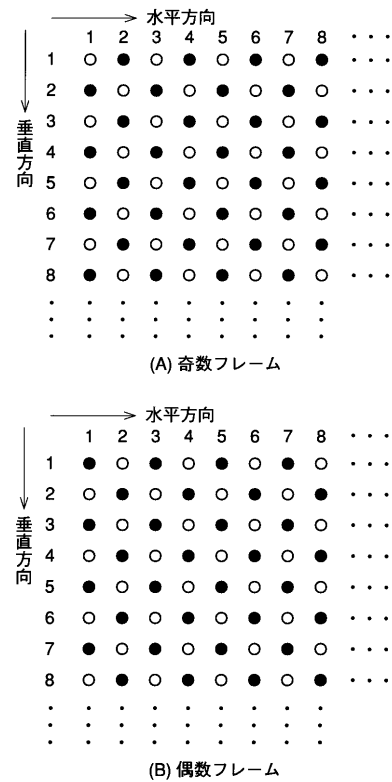
【図 2】



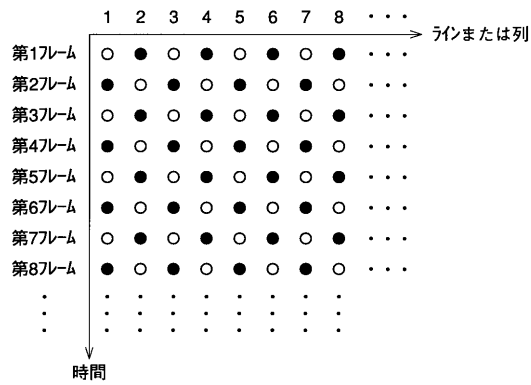
【図 3】



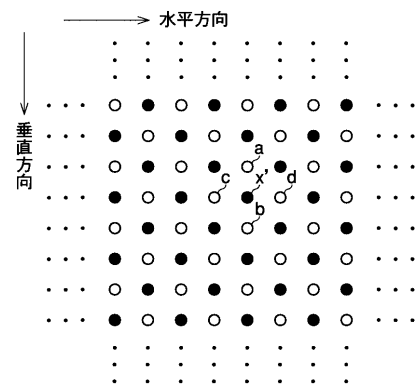
【図 4】



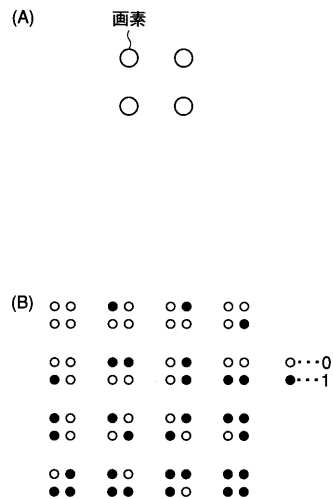
【図 5】



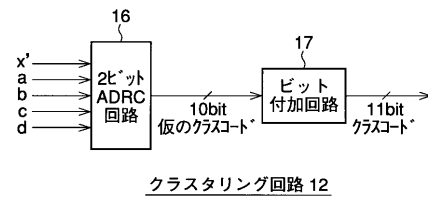
【図 6】



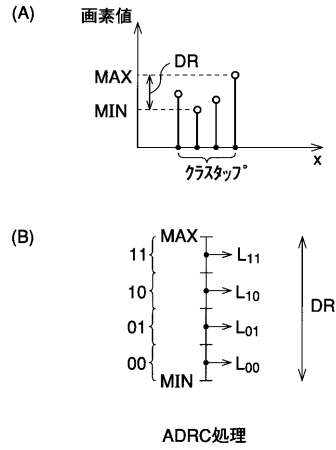
【図 7】



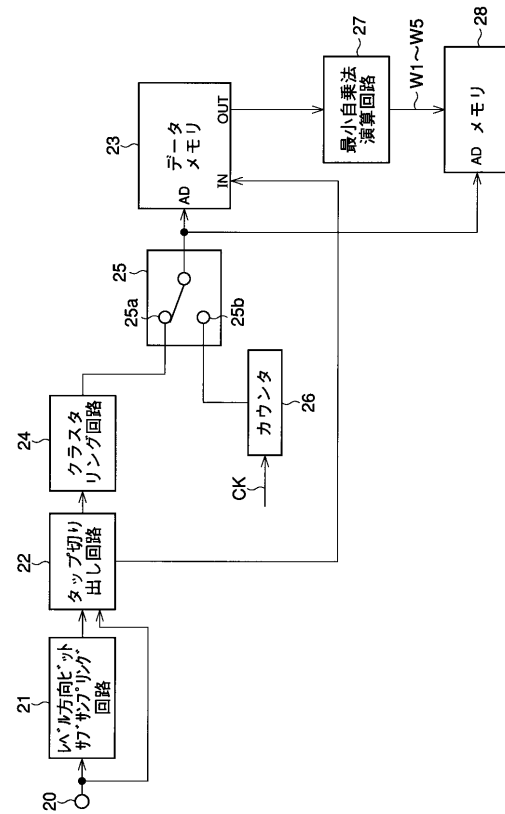
【図 8】



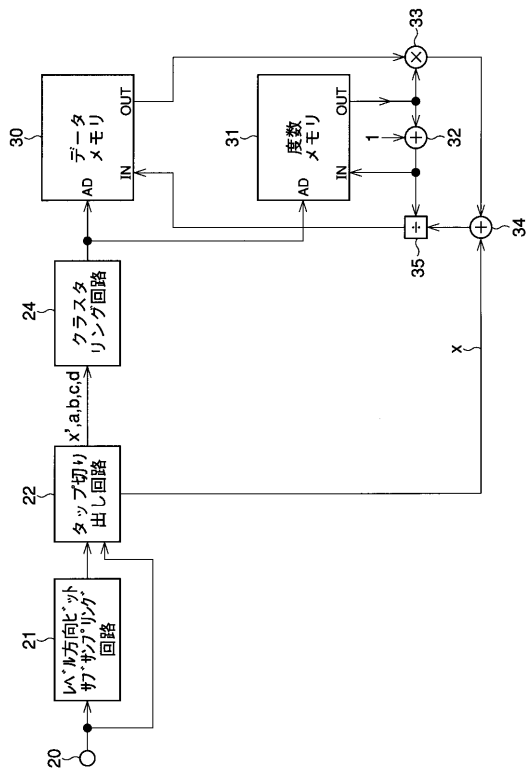
【図 9】



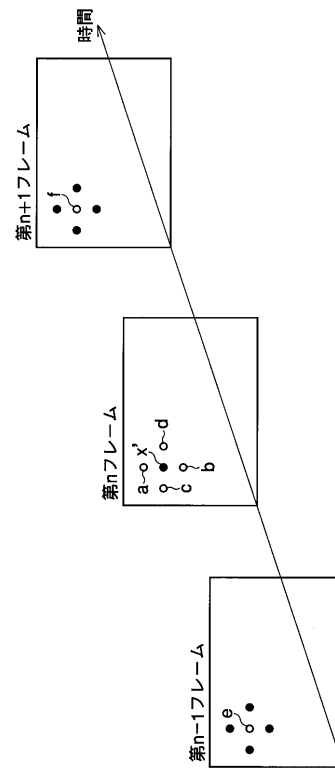
【図 10】



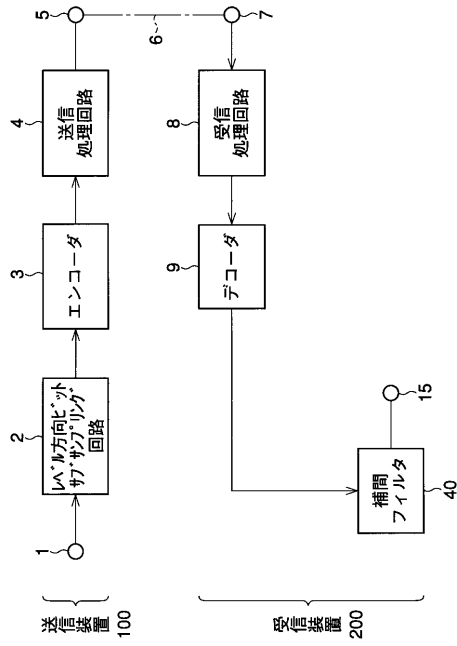
【図 11】



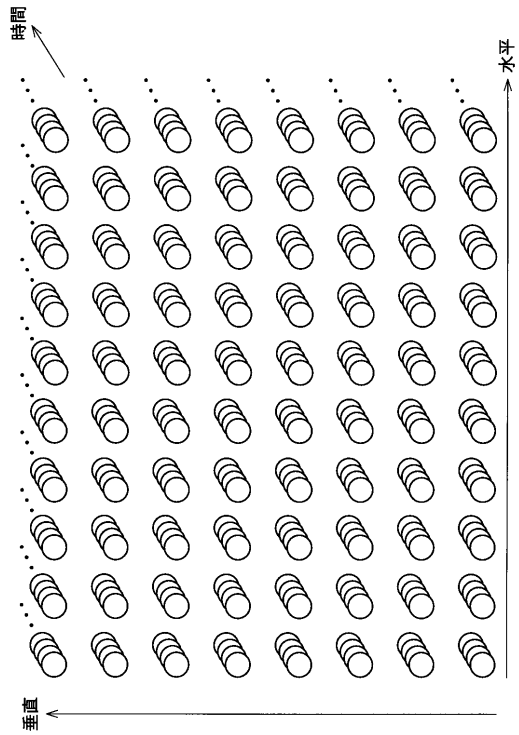
【図 12】



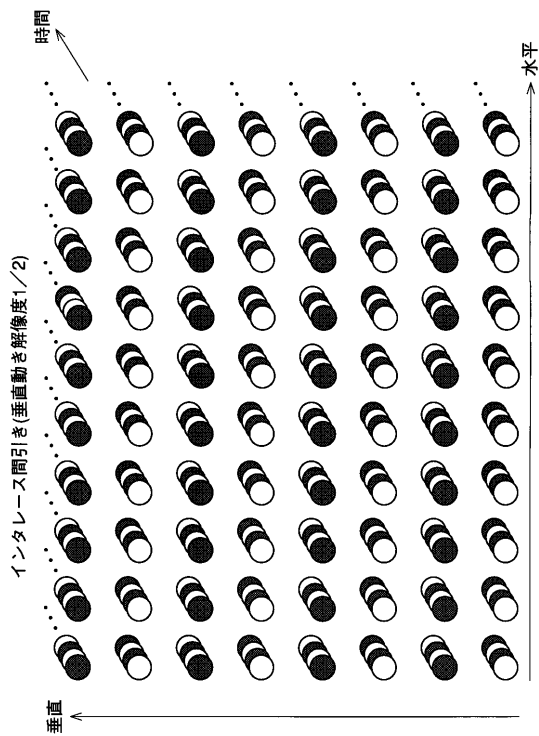
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 7/01 (2006.01) H 0 4 N 7/01 Z

(56)参考文献 特開平 0 7 - 0 4 6 5 8 9 (J P , A)
特開平 0 7 - 0 9 5 5 6 3 (J P , A)
特開平 0 7 - 0 9 5 5 7 6 (J P , A)
特開平 0 4 - 2 2 9 7 9 6 (J P , A)
特開平 0 7 - 1 0 7 5 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H04N 7/26-7/68